



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0104099
(43) 공개일자 2024년07월04일

- (51) 국제특허분류(Int. Cl.)
H01L 25/10 (2006.01) H01L 23/00 (2006.01)
H01L 23/538 (2006.01) H01L 25/00 (2014.01)
H01L 25/065 (2023.01) H01L 25/18 (2023.01)
H05K 1/14 (2006.01)
- (52) CPC특허분류
H01L 25/105 (2013.01)
H01L 23/5383 (2013.01)
- (21) 출원번호 10-2024-7013807
- (22) 출원일자(국제) 2022년10월28일
심사청구일자 없음
- (85) 번역문제출일자 2024년04월24일
- (86) 국제출원번호 PCT/US2022/048192
- (87) 국제공개번호 WO 2023/091285
국제공개일자 2023년05월25일
- (30) 우선권주장
17/532,754 2021년11월22일 미국(US)

- (71) 출원인
헬컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
파틸 아니켓
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
- 리스크 두로다미
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
- (74) 대리인
특허법인코리아나

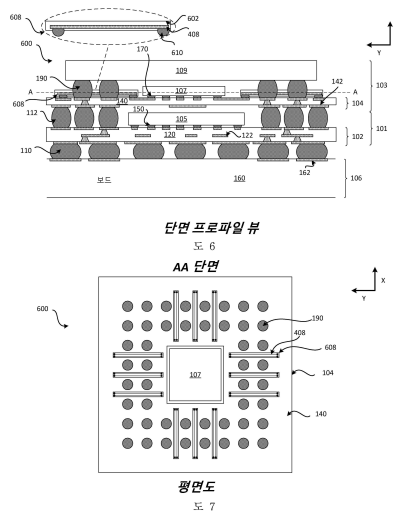
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 솔더 상호연결부들 사이에 위치한 채널 상호연결부들을 포함하는 패키지

(57) 요약

디바이스는 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기판, 및 제1 기판에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기판, 제2 기판의 제1 표면에 커플링되는 제2 집적 디바이스, 제2 복수의 솔더 상호연결부들을 통해 제2 기판의 제1 표면에 커플링되는 제3 집적 디바이스, 및 제2 기판의 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들 - 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다.

대표도



(52) CPC특허분류

H01L 23/5385 (2013.01)
H01L 23/5386 (2013.01)
H01L 23/5387 (2013.01)
H01L 24/16 (2013.01)
H01L 25/0657 (2023.08)
H01L 25/18 (2023.08)
H01L 25/50 (2013.01)
H05K 1/144 (2013.01)
H05K 1/147 (2013.01)

페인터 찰스 데이비드

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(72) 발명자

위 홍복

미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

디바이스로서,

제1 패키지 - 상기 제1 패키지는,

적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기판; 및

상기 제1 기판에 커플링되는 제1 집적 디바이스를 포함함 -; 및

제1 복수의 솔더 상호연결부들을 통해 상기 제1 패키지에 커플링되는 제2 패키지를 포함하고, 상기 제2 패키지는,

적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기판;

상기 제2 기판의 제1 표면에 커플링되는 제2 집적 디바이스;

제2 복수의 솔더 상호연결부들을 통해 상기 제2 기판의 상기 제1 표면에 커플링되는 제3 집적 디바이스; 및

상기 제2 기판의 상기 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들 - 상기 제1 복수의 채널 상호연결부들은 상기 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함하는, 디바이스.

청구항 2

제1항에 있어서, 상기 제2 집적 디바이스는 상기 제3 집적 디바이스와 상기 제2 기판 사이에 위치되는, 디바이스.

청구항 3

제1항에 있어서, 상기 제2 기판의 제1 표면에 커플링되는 제4 기판을 추가로 포함하고, 상기 제1 복수의 채널 상호연결부들은 상기 제4 기판의 일부인, 디바이스.

청구항 4

제1항에 있어서, 상기 제2 기판의 상기 제1 표면에 커플링되는 가요성 케이블을 추가로 포함하고, 상기 제1 복수의 채널 상호연결부들은 상기 가요성 케이블의 일부인, 디바이스.

청구항 5

제1항에 있어서, 상기 제1 복수의 채널 상호연결부들은 상기 제3 집적 디바이스 아래에서 연장되는, 디바이스.

청구항 6

제1항에 있어서, 상기 제2 집적 디바이스와 상기 제1 기판 사이의 제1 전기 경로는 상기 제1 복수의 채널 상호연결부들을 포함하는, 디바이스.

청구항 7

제1항에 있어서, 상기 제2 집적 디바이스와 상기 제1 기판 사이의 제1 전기 경로는,

상기 제2 집적 디바이스를 상기 제2 기판에 커플링시키는 적어도 하나의 제1 솔더 상호연결부;

상기 제2 기판의 상기 제2 복수의 상호연결부들로부터의 적어도 하나의 제1 상호연결부;

상기 제1 복수의 채널 상호연결부들로부터의 적어도 하나의 채널 상호연결부;

상기 제2 기판의 상기 제2 복수의 상호연결부들로부터의 적어도 하나의 제2 상호연결부;

상기 제2 기관과 상기 제1 기관을 커플링시키는 상기 제1 복수의 솔더 상호연결부들로부터의 적어도 하나의 제2 솔더 상호연결부; 및

상기 제1 기관의 상기 제1 복수의 상호연결부들로부터의 적어도 하나의 상호연결부를 포함하는, 디바이스.

청구항 8

제1항에 있어서, 상기 제2 기관의 제2 표면에 커플링되는 제2 복수의 채널 상호연결부들을 추가로 포함하는, 디바이스.

청구항 9

제1항에 있어서, 상기 제1 기관의 제1 표면에 커플링되는 제2 복수의 채널 상호연결부들을 추가로 포함하는, 디바이스.

청구항 10

제9항에 있어서, 상기 제2 복수의 채널 상호연결부들은 제4 기관 및/또는 가요성 케이블의 일부인, 디바이스.

청구항 11

장치로서,

제1 패키지 - 상기 제1 패키지는,

적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관; 및

상기 제1 기관에 커플링되는 제1 집적 디바이스를 포함함 -; 및

제1 복수의 솔더 상호연결부들을 통해 상기 제1 패키지에 커플링되는 제2 패키지를 포함하고, 상기 제2 패키지는,

적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기관;

상기 제2 기관의 제1 표면에 커플링되는 제2 집적 디바이스;

제2 복수의 솔더 상호연결부들을 통해 상기 제2 기관의 상기 제1 표면에 커플링되는 제3 집적 디바이스; 및

상기 제2 기관의 상기 제1 표면에 커플링되는 채널 상호연결부들을 위한 수단 - 상기 채널 상호연결부들을 위한 수단은 상기 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함하는, 장치.

청구항 12

제11항에 있어서, 상기 제2 집적 디바이스는 상기 제3 집적 디바이스와 상기 제2 기관 사이에 위치되는, 장치.

청구항 13

제11항에 있어서, 상기 채널 상호연결부들을 위한 수단은 제4 기관을 포함하는, 장치.

청구항 14

제11항에 있어서, 상기 채널 상호연결부들을 위한 수단은 가요성 케이블을 포함하는, 장치.

청구항 15

제11항에 있어서, 상기 채널 상호연결부들을 위한 수단은 상기 제3 집적 디바이스 아래에서 연장되는, 장치.

청구항 16

제11항에 있어서, 상기 제2 집적 디바이스와 상기 제1 기관 사이의 제1 전기 경로는 상기 채널 상호연결부를 위한 수단을 포함하는, 장치.

청구항 17

제11항에 있어서, 상기 제2 집적 디바이스와 상기 제1 기관 사이의 제1 전기 경로는,
 상기 제2 집적 디바이스를 상기 제2 기관에 커플링시키는 적어도 하나의 제1 솔더 상호연결부;
 상기 제2 기관의 상기 제2 복수의 상호연결부들로부터의 적어도 하나의 제1 상호연결부;
 상기 채널 상호연결부를 위한 수단;
 상기 제2 기관의 상기 제2 복수의 상호연결부들로부터의 적어도 하나의 제2 상호연결부;
 상기 제2 기관과 상기 제1 기관을 커플링시키는 상기 제1 복수의 솔더 상호연결부들로부터의 적어도 하나의 제2 솔더 상호연결부; 및
 상기 제1 기관의 상기 제1 복수의 상호연결부들로부터의 적어도 하나의 상호연결부를 포함하는, 장치.

청구항 18

제11항에 있어서, 상기 제2 기관의 제2 표면에 커플링되는 채널 상호연결부들을 위한 제2 수단을 추가로 포함하는, 장치.

청구항 19

제11항에 있어서, 상기 제1 기관의 제1 표면에 커플링되는 채널 상호연결부들을 위한 제2 수단을 추가로 포함하는, 장치.

청구항 20

제11항에 있어서, 상기 장치는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 차량에서의 디바이스로 이루어진 그룹으로부터 선택된 디바이스를 포함하는, 장치.

청구항 21

방법으로서,
 제1 패키지를 제공하는 단계 - 상기 제1 패키지는,
 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관; 및
 상기 제1 기관에 커플링되는 제1 집적 디바이스를 포함함 -;
 제1 복수의 솔더 상호연결부들을 통해 상기 제1 기관에 제2 기관을 커플링시키는 단계 - 상기 제2 기관은 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함함 -;
 상기 제2 기관의 제1 표면 위에 제1 복수의 채널 상호연결부들을 제공하는 단계;
 상기 제2 기관의 상기 제1 표면에 제2 집적 디바이스를 커플링시키는 단계; 및
 제2 복수의 솔더 상호연결부들을 통해 상기 제2 기관의 상기 제1 표면에 제3 집적 디바이스를 커플링시키는 단계 - 상기 제1 복수의 채널 상호연결부들은 상기 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 를 포함하는, 방법.

청구항 22

제21항에 있어서, 상기 제2 집적 디바이스는 상기 제3 집적 디바이스와 상기 제2 기관 사이에 위치되는, 방법.

청구항 23

제21항에 있어서, 상기 제1 복수의 채널 상호연결부들을 제공하는 단계는 상기 제1 복수의 채널 상호연결부들을 포함하는 제4 기관을 상기 제2 기관의 상기 제1 표면에 커플링시키는 단계를 포함하는, 방법.

청구항 24

제21항에 있어서, 상기 제1 복수의 채널 상호연결부들을 제공하는 단계는 상기 제1 복수의 채널 상호연결부들을 포함하는 가요성 케이블을 상기 제2 기관의 상기 제1 표면에 커플링시키는 단계를 포함하는, 방법.

청구항 25

제21항에 있어서, 상기 제1 복수의 채널 상호연결부들은 상기 제3 집적 디바이스 아래에서 연장되는, 방법.

발명의 설명

기술 분야

- [0001] 관련 출원에 대한 상호참조
- [0002] 본 출원은 2021년 11월 22일자로 미국 특허청에 출원된 정규 출원 일련번호 제17/532,754호에 대한 우선권 및 이익을 주장하며, 상기 출원의 전체 내용은 그 전체가 모든 적용가능한 목적들로 아래에서 완전히 기술되는 것처럼 참조로 본 명세서에 통합된다.
- [0003] 기술분야
- [0004] 다양한 특징들은 집적 디바이스들을 갖는 패키지들에 관한 것이다.

배경 기술

- [0005] 패키지는 기관 및 집적 디바이스들을 포함할 수 있다. 이들 컴포넌트들은 다양한 전기 기능들을 수행할 수 있는 패키지를 제공하기 위해 함께 커플링된다. 더 양호한 성능의 패키지들을 제공하고 패키지들의 전체 크기를 감소시킬 지속적인 필요성이 존재한다.

발명의 내용

- [0006] 다양한 특징들은 집적 디바이스를 갖는 패키지들에 관한 것이다.
- [0007] 하나의 예는, 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함하는 디바이스를 제공한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관, 및 제1 기관에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기관, 제2 기관의 제1 표면에 커플링되는 제2 집적 디바이스, 제2 복수의 솔더 상호연결부들을 통해 제2 기관의 제1 표면에 커플링되는 제3 집적 디바이스, 및 제2 기관의 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들 - 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다.
- [0008] 다른 예는, 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함하는 장치를 제공한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관, 및 제1 기관에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기관, 제2 기관의 제1 표면에 커플링되는 제2 집적 디바이스, 제2 복수의 솔더 상호연결부들을 통해 제2 기관의 제1 표면에 커플링되는 제3 집적 디바이스, 및 제2 기관의 제1 표면에 커플링되는 채널 상호연결부들을 위한 수단 - 채널 상호연결부들을 위한 수단은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다.
- [0009] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 본 방법은 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관, 및 제1 기관에 커플링되는 제1 집적 디바이스를 포함하는 제1 패키지를 제공한다. 본 방법은 제1 복수의 솔더 상호연결부들을 통해 제1 기관에 제2 기관을 커플링시키며, 여기에서 제2 기관은 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함한다. 본 방법은 제2 기관의 제1 표면 위에 제1 복수의 채널 상호연결부들을 제공한다. 본 방법은 제2 기관의 제1 표면에 제2 집적 디바이스를 커플링시킨다. 본 방법은 제2 복수의 솔더 상호연결부들을 통해 제2 기관의 제1 표면에 제3 집적 디바이스를 커플링시키며, 여기에서 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치된다.

도면의 간단한 설명

- [0010] 다양한 특성들, 속성, 및 이점들은, 도면들과 함께 취해진 경우, 아래에 기재된 상세한 설명으로부터 명백해질 수 있으며, 도면에서, 동일한 참조 부호들은 전반에 걸쳐 대응적으로 식별된다.
- 도 1은 채널 상호연결부들을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.
- 도 2는 채널 상호연결부들을 포함하는 패키지의 예시적인 단면 평면도를 예시한다.
- 도 3은 채널 상호연결부들을 포함하는 패키지 내의 예시적인 전기 경로들을 예시한다.
- 도 4는 채널 상호연결부들을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.
- 도 5는 채널 상호연결부들을 포함하는 패키지의 예시적인 단면 평면도를 예시한다.
- 도 6은 채널 상호연결부들을 갖는 채널 기관을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.
- 도 7은 채널 상호연결부들을 갖는 채널 기관을 포함하는 패키지의 예시적인 단면 평면도를 예시한다.
- 도 8은 채널 상호연결부들을 갖는 가요성 케이블을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.
- 도 9는 채널 상호연결부들을 갖는 가요성 케이블을 포함하는 패키지의 예시적인 단면 평면도를 예시한다.
- 도 10은 여러 채널 상호연결부들을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.
- 도 11a 내지 도 11c는 복수의 채널 상호연결부들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.
- 도 12a 내지 도 12c는 복수의 채널 상호연결부들을 포함하는 채널 기관을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.
- 도 13은 채널 상호연결부들을 포함하는 패키지를 제조하는 방법의 예시적인 흐름도를 예시한다.
- 도 14a 및 도 14b는 기관을 제조하기 위한 예시적인 시퀀스를 예시한다.
- 도 15는 기관을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.
- 도 16은 본 명세서에서 설명된 다이, 전자 회로, 집적 디바이스, 집적 수동 디바이스(IPD), 수동 컴포넌트, 패키지 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 다음의 설명에 있어서, 특정 상세들은 본 개시내용의 다양한 양태들의 철저한 이해를 제공하기 위해 주어진다. 하지만, 그 양태들은 이들 특정 세부사항들 없이도 실시될 수 있음이 당업자에 의해 이해될 것이다. 예를 들어, 회로들은, 불필요하게 상세히 양태들을 불명료하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 예시들에서, 널리-공지된 회로들, 구조들 및 기술들은 본 개시내용의 양태들을 불명료하게 하지 않기 위해 상세히 도시되지 않을 수 있다.
- [0012] 본 개시내용은, 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함하는 디바이스를 설명한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관, 및 제1 기관에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기관, 제2 기관의 제1 표면에 커플링되는 제2 집적 디바이스, 제2 복수의 솔더 상호연결부들을 통해 제2 기관의 제1 표면에 커플링되는 제3 집적 디바이스, 및 제2 기관의 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들 - 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다. 아래에서 추가로 설명될 바와 같이, 솔더 상호연결부들 사이에서의 제1 복수의 채널 상호연결부들의 사용은 (i) 패키지에서의 신호 격리를 개선하는 것, (ii) 신호 경로들을 푸는 것, (iii) 패키지 두께를 감소시키는 것, (iv) 열 소산을 개선하는 것, 및/또는 (v) 제조 리드 타임(lead time)들을 개선하는 것을 돕는다.
- [0013] **채널 상호연결부들을 포함하는 예시적인 패키지**
- [0014] 도 1은 채널 상호연결부들을 포함하는 패키지(100)의 단면 프로파일 뷰를 예시한다. 패키지(100)는 패키지 온 패키지(PoP)일 수 있다. 패키지(100)는 제1 패키지(101) 및 제2 패키지(103)를 포함할 수 있다. 패키지(100)는 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 커플링된다. 보드(106)는 적어도 하나의 보드 유전체

층(160) 및 복수의 보드 상호연결부들(162)을 포함한다. 보드(106)는 인쇄 회로 보드(PCB)를 포함할 수 있다.

- [0015] 제1 패키지(101)는 제1 기판(102) 및 제1 집적 디바이스(105)를 포함한다. 제1 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)의 제1 표면(예컨대, 상단 표면)에 커플링된다. 제1 기판(102)은 적어도 하나의 제1 유전체 층(120) 및 제1 복수의 상호연결부들(122)을 포함한다. 제1 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 제1 기판(102)의 제1 복수의 상호연결부들(122)에 커플링된다.
- [0016] 제2 패키지(103)는 제2 기판(104), 제2 집적 디바이스(107), 제3 집적 디바이스(109) 및 복수의 채널 상호연결부들(108)을 포함한다. 제2 집적 디바이스(107)는 복수의 솔더 상호연결부들(170)을 통해 제2 기판(104)의 제1 표면(예컨대, 상단 표면)에 커플링된다. 제3 집적 디바이스(109)는 복수의 솔더 상호연결부들(190)을 통해 제2 기판(104)의 제1 표면(예컨대, 상단 표면)에 커플링된다. 제2 집적 디바이스(107)는 제2 기판(104)과 제3 집적 디바이스(109) 사이에 위치된다. 제2 집적 디바이스(107)는 제3 집적 디바이스(109) 아래에 위치된다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.
- [0017] 복수의 채널 상호연결부들(108)은 제2 기판(104)의 제1 표면(예컨대, 상단 표면) 위에 위치된다. 도 1에 도시된 복수의 채널 상호연결부들(108)은 가능한 채널 상호연결부들의 개념적 표현을 나타낸다는 것에 유의한다. 적어도 도 4 내지 도 9에서 추가로 후술될 바와 같이, 복수의 채널 상호연결부들(108)은 복수의 채널 상호연결부들, 채널 기판(예컨대, 제4 기판, 패치 기판) 및/또는 가요성 케이블(예컨대, 가요성 기판, 가요성 보드)로서 구현될 수 있고/있거나 그를 포함할 수 있다. 복수의 채널 상호연결부들(108)은 채널 상호연결을 위한 수단일 수 있다. 복수의 채널 상호연결부들(108)로부터의 적어도 하나의 채널 상호연결부들은 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치된다. 복수의 채널 상호연결부들(108)은 제3 집적 디바이스(109) 아래에서 연장될 수 있다.
- [0018] 솔더 상호연결부들 사이의 복수의 채널 상호연결부들(108)은 (i) 패키지에서의 신호 격리를 개선하는 것, (ii) 신호 경로들을 푸는 것, (iii) 패키지 두께를 감소시키는 것, (iv) 열 소산을 개선하는 것, 및/또는 (v) 제조 리드 타임들을 개선하는 것을 돕는다. 예를 들어, 일부 신호들은 이들 신호들이 다른 신호들과 간섭하지 않도록 복수의 채널 상호연결부들(108)을 포함하는 전기 경로를 통해 이동하도록 구성될 수 있다. 일부 구현예들에서, 집적 디바이스(107)로의 및/또는 그로부터의 신호들은 이들 신호들이 집적 디바이스(105)와 집적 디바이스(109) 사이에서 이동하는 신호들과 간섭하지 않고/않거나 그로부터 격리되도록 복수의 채널 상호연결부들(108)을 포함하는 전기 경로를 통해 이동하도록 구성될 수 있다. 이는 집적 디바이스(105), 집적 디바이스(107), 집적 디바이스(109) 및/또는 패키지(100)에 대한 개선된 성능들로 이어질 수 있다. 일부 전기 경로들은, 제2 기판(104)에서 혼잡을 감소시키고 경로들을 풀기 위해 복수의 채널 상호연결부들(108)을 포함할 수 있다. 복수의 채널 상호연결부들(108)의 사용은 제2 기판(104) 내의 금속 층들의 수를 감소시킬 수 있으며, 이는 제2 기판(104) 및/또는 패키지(100)의 전체 두께를 감소시키는 것을 도울 수 있다. 더 적은 금속 층들을 갖는 기판을 사용하는 것은 패키지(100)에서 열 소산을 개선하는 데 도움이 되며, 이는 패키지(100)의 전체 성능을 개선하는 것을 도울 수 있다.
- [0019] 일부 구현예들에서, 제2 기판(104), 복수의 솔더 상호연결부들(112), 제1 기판(102) 및 복수의 솔더 상호연결부들(110)의 전체 두께는 약 510 마이크로미터 이하일 수 있다. 제2 기판(104)은 적어도 하나의 제2 유전체 층(140) 및 제2 복수의 상호연결부들(142)을 포함한다. 제2 기판(104)은 인터포저일 수 있다. 일부 구현예들에서, 제2 기판(104)은 2개 이하의 금속 층들을 가질 수 있다. 제3 집적 디바이스(109)는 복수의 솔더 상호연결부들(190)을 통해 제2 기판(104)의 제2 복수의 상호연결부들(142)에 커플링된다. 제2 집적 디바이스(107)는 복수의 솔더 상호연결부들(170)을 통해 제2 기판(104)의 제2 복수의 상호연결부들(142)에 커플링된다. 제2 패키지(103)는 복수의 솔더 상호연결부들(112)을 통해 제1 패키지(101)에 커플링된다. 예를 들어, 제2 기판(104)은 복수의 솔더 상호연결부들(112)을 통해 제1 기판(102)에 커플링된다. 복수의 솔더 상호연결부들(112)은 제1 패키지(101) 및/또는 제2 패키지(103)의 일부로 간주될 수 있다.
- [0020] 도 2는 패키지(100)의 AA 단면을 가로지르는 평면도를 예시한다. 도 2는 제2 기판(104), 제2 집적 디바이스(107), 복수의 솔더 상호연결부들(190), 및 복수의 채널 상호연결부들(108)을 예시한다. 도 2에 도시된 바와 같이, 복수의 채널 상호연결부들(108)로부터의 적어도 하나의 채널 상호연결부들은 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치된다. 복수의 채널 상호연결부들(108)은 제2 기판(104) 위에 위치된다. 복수의 채널 상호연결부들(108)은 채널 상호연결부들이 패키지(100) 내에 구현 및/또는 위치될 수 있는 영역을 개념적으로 나타낼 수 있다. 도 2는 하나의 컴포넌트로서 복수의 채널 상호연결부들(108)을 개념적으로 도시한다. 그러나, 복수의 채널 상호연결부들(108)은 하나 이상의 컴포넌트들로서 제공될 수 있다.

복수의 채널 상호연결부들(108)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다. 복수의 채널 상호연결부들(108)은 다양한 상호연결부 요구들 및/또는 설계들을 수용하기 위해 하나 이상의 금속 층들(예컨대, 하나의 금속 층, 2개의 금속 층들)을 포함할 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0021] 도 3은 패키지(100) 내의 가능한 전기 경로들을 예시한다. 도 3은 전기 경로(305), 전기 경로(306) 및 전기 경로(307)를 예시한다. 전기 경로(305)는 제2 집적 디바이스(107)로의 및/또는 그로부터의 하나 이상의 신호들에 대한 가능한 전기 경로를 나타낼 수 있다. 전기 경로(306)는 제2 집적 디바이스(107)로의 및/또는 그로부터의 하나 이상의 신호들에 대한 가능한 전기 경로를 나타낼 수 있다. 전기 경로(307)는 제1 집적 디바이스(105)로의 및/또는 그로부터의 하나 이상의 신호들에 대한 가능한 전기 경로를 나타낼 수 있다.

[0022] 전기 경로(305)(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)는 제2 집적 디바이스(107)와 제1 기판(102) 사이의 하나 이상의 신호들에 대한 전기 경로의 예일 수 있다. 전기 경로(305)는 (i) 제2 집적 디바이스(107)를 제2 기판(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기판(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 상호연결부들(108)(예컨대, 복수의 채널 인터커넥트들)로부터의 적어도 하나의 채널 상호연결부, (iv) 제2 기판(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 제2 기판(104)과 제1 기판(102)을 커플링시키는 제1 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 제2 솔더 상호연결부, 및 (vi) 제1 기판(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(305)의 일부인 제1 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 제2 솔더 상호연결부는 기판(102), 기판(104), 및/또는 패키지(100)의 주변부를 따라 위치되는 솔더 상호연결부들(112)일 수 있다. 일부 구현예들에서, 기판(102) 및/또는 기판(104)의 주변부를 따라 위치되는 솔더 상호연결부들(112)은 기판(102) 및/또는 기판(104)의 하나 이상의 에지들에 가장 가까운 솔더 상호연결부들을 포함한다. 일부 구현예들에서, 기판(102) 및/또는 기판(104)의 주변부를 따라 위치되는 솔더 상호연결부들(112)은 기판(102) 및/또는 기판(104)의 하나 이상의 에지들에 가장 가까운 솔더 상호연결부들의 행들을 포함한다. 일부 구현예들에서, 기판(102) 및/또는 기판(104)의 주변부를 따라 위치되는 솔더 상호연결부들(112)은 기판(102) 및/또는 기판(104)의 하나 이상의 에지들에 가장 가까운 솔더 상호연결부들의 2개의 행들을 포함할 수 있다. 솔더 상호연결부들의 행은 기판의 X 방향 및/또는 Y 방향을 따라 행들을 포함할 수 있다.

[0023] 전기 경로(305)는 보드(106)에 커플링되도록 연장될 수 있다. 예를 들어, 전기 경로(305)는, 또한, 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부를 포함할 수 있다. 따라서, 보드(106)와 제2 집적 디바이스(107) 사이의 하나 이상의 신호들은 위에서 설명된 바와 같이 전기 경로(305)를 통해 이동할 수 있다.

[0024] 전기 경로(306)(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)는 제2 집적 디바이스(107)와 제1 집적 디바이스(105) 사이의 하나 이상의 신호들에 대한 전기 경로의 예일 수 있다. 전기 경로(306)는 (i) 제2 집적 디바이스(107)를 제2 기판(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기판(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 상호연결부들(108)(예컨대, 복수의 채널 인터커넥트들)로부터의 적어도 하나의 채널 상호연결부, (iv) 제2 기판(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(150)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0025] 전기 경로(307)(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)는 제1 집적 디바이스(105)와 제3 집적 디바이스(109) 사이의 하나 이상의 신호들에 대한 전기 경로의 예일 수 있다. 전기 경로(307)는 (i) 제1 집적 디바이스(105)를 제1 기판(102)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 150), (ii) 제1 기판(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 제1 상호연결부, (iii) 제2 기판(104)과 제1 기판(102)을 커플링시키는 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, (iv) 제2 기판(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 상호연결부, 및 (v) 제3 집적 디바이스(109)와 제2 기판(104)을 커플링시키는 복수의 솔더 상호연결부들(190)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0026] 도 3은 패키지 성능의 개선을 제공하는 것을 돕기 위해서 라우팅 혼잡을 감소시키는 것, 신호 격리를 개선하는 것 및 라우팅을 푸는 것을 돕기 위해 전기 경로들이 채널 상호연결부들 내외로 드나들도록 패키지에서 구현 및

구성될 수 있는 방법을 예시한다. 일례에서, 집적 디바이스(105)는 애플리케이션 프로세서를 포함할 수 있고, 집적 디바이스(107)는 모뎀을 포함할 수 있으며, 집적 디바이스(109)는 메모리를 포함할 수 있다. 일부 구현예들에서, 기관(104)은 2개의 금속 층들(예컨대, M1, M2)을 포함할 수 있다. 일부 구현예들에서, 집적 디바이스(107)는 하나 이상의 코어들 및/또는 하나 이상의 기능들을 포함할 수 있다. 일부 구현예들에서, 상이한 채널 상호연결부들은 집적 디바이스(107)의 상이한 코어들 및/또는 상이한 기능들에 커플링되도록 구성될 수 있다. 일부 구현예들에서, 복수의 채널 상호연결부들(108)은 집적 디바이스(107)로, 그로부터 및/또는 그를 통해 이동하는 신호들, 전류 및/또는 접지에 사용되도록 구성된다.

[0027] 도 4는 채널 상호연결부들을 포함하는 패키지(400)의 단면 프로파일 뷰를 예시한다. 패키지(400)는 패키지 온 패키지(PoP)일 수 있다. 패키지(400)는 패키지(100)와 유사할 수 있고, 패키지(100)와 유사한 컴포넌트들을 포함할 수 있다. 패키지(400)는 제1 패키지(101) 및 제2 패키지(103)를 포함할 수 있다. 패키지(400)는 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 커플링된다. 패키지(400)는 복수의 채널 상호연결부들(408)을 포함한다. 복수의 채널 상호연결부들(408)은 복수의 채널 상호연결부들(108)의 예일 수 있다. 복수의 채널 상호연결부들(408)은 제2 기관(104) 위에 형성 및/또는 위치될 수 있다. 복수의 채널 상호연결부들(408)은 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 복수의 채널 상호연결부들(408)은 채널 상호연결을 위한 수단의 예일 수 있다. 복수의 채널 상호연결부들(408)은 제2 기관(104) 위에 인쇄(예컨대, 잉크젯 인쇄)될 수 있다. 복수의 채널 상호연결부들(408)은 하나의 금속 층을 포함한다. 그러나, 일부 구현예들에서, 복수의 채널 상호연결부들(408)은 2개 이상의 금속 층들을 포함할 수 있다. 복수의 채널 상호연결부들(408)에 대해 하나 초과금속 층이 존재할 때, 유전체 층이 복수의 채널 상호연결부들(408)의 제1 금속 층 위에 형성 및 위치될 수 있고, 제2 금속 층이 유전체 층 및 제1 금속 층 위에 형성될 수 있다. 복수의 채널 상호연결부들(408)은 제1 금속 층 및 제2 금속 층 상의 채널 상호연결부들에 의해 정의될 수 있다. 이 예에서, 기관(104) 위의, 제1 금속 층 및 제2 금속 층 상의 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치될(예컨대, 측방향으로 위치될) 수 있다. 일부 구현예들에서, 적어도 하나의 유전체 층(도시되지 않음)이 복수의 상호연결부들(408) 위에 위치될 수 있다. 적어도 하나의 유전체 층은 폴리머(예컨대, 순수 폴리머)를 포함할 수 있다. 일부 구현예들에서, 복수의 상호연결부들(408) 위에 위치되는 유전체 층은 제2 기관(104)의 적어도 하나의 유전체 층(140)과는 상이하다.

[0028] 도 3에 설명된 바와 같은 전기 경로(305), 전기 경로(306) 및/또는 전기 경로(307)는 패키지(400) 내에 구현될 수 있다. 예를 들어, 패키지(400) 내에 구현된 전기 경로(305)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부, (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 제2 기관(104)과 제1 기관(102)을 커플링시키는 제1 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 제2 솔더 상호연결부, 및 (vi) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(305)는 보드(106)에 커플링되도록 연장될 수 있다. 예를 들어, 전기 경로(305)는, 또한, 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부를 포함할 수 있다. 따라서, 보드(106)와 제2 집적 디바이스(107) 사이의 하나 이상의 신호들은 위에서 설명된 바와 같이 전기 경로(305)를 통해 이동할 수 있다. 전기 경로(305)는 기관(102) 및/또는 기관(104)의 주변부 부분(들)에서 기관(102) 및/또는 기관(104)을 통해 수직으로 연장될 수 있다. 예를 들어, 전기 경로(305)는 기관(102) 및/또는 기관(104)의 주변부 부분(들)에 위치되는 상호연결부들(예컨대, 비아(via) 상호연결부들)을 포함할 수 있다.

[0029] 패키지(400) 내에 구현된 전기 경로(306)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부, (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(150)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0030] 패키지(400) 내에 구현된 전기 경로(307)는 (i) 제1 집적 디바이스(105)를 제1 기관(102)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 150), (ii) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 제1 상호연결부, (iii) 제2 기관(104)과 제1 기관(102)을 커플링시키는 복수의 솔더 상호연결부들(112)

로부터의 적어도 하나의 솔더 상호연결부, (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 상호연결부, 및 (v) 제3 집적 디바이스(109)와 제2 기관(104)을 커플링시키는 복수의 솔더 상호연결부들(190)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다. 전기 경로(307)는 기관(102) 및/또는 기관(104)의 주변부 부분(들)에서 기관(102) 및/또는 기관(104)을 통해 수직으로 연장될 수 있다. 예를 들어, 전기 경로(307)는 기관(102) 및/또는 기관(104)의 주변부 부분(들)에 위치되는 상호연결부들(예컨대, 비아 상호연결부들)을 포함할 수 있다. 기관(예컨대, 102, 104)의 주변부는 상이하게 정의될 수 있다. 일부 구현예들에서, 기관의 주변부 부분은 기관의 중심에 대해 솔더 상호연결부들의 최외부 행(들) 위 또는 아래에 위치되는 기관의 내부 부분과 기관의 에지(들)(예컨대, 제1 에지, 제2 에지, 제3 에지, 제4 에지) 사이의 기관의 하나 이상의 부분들(예컨대, 상호연결부들을 포함함)을 포함할 수 있다. 솔더 상호연결부들의 행은 X 방향 및/또는 Y 방향을 따라 위치될 수 있다. 예를 들어, 기관(102)의 주변부는 솔더 상호연결부들(112)의 최외부 행(예컨대, 기관의 에지(들)에 가장 가까운 솔더 상호연결부들의 행(들), 제1 에지에 가장 가까운 행, 제2 에지에 가장 가까운 행, 제3 에지에 가장 가까운 행, 제4 에지에 가장 가까운 행) 위 또는 아래에 위치된 내부 부분과 기관(102)의 에지(들) 사이의 기관(102)의 하나 이상의 부분들을 포함할 수 있다. 기관(104)의 주변부는 솔더 상호연결부들(112)의 최외부 행(예컨대, 기관의 에지(들)에 가장 가까운 솔더 상호연결부들의 행(들), 제1 에지에 가장 가까운 행, 제2 에지에 가장 가까운 행, 제3 에지에 가장 가까운 행, 제4 에지에 가장 가까운 행) 위 또는 아래에 위치된 내부 부분과 기관(104)의 에지(들) 사이의 기관(104)의 하나 이상의 부분들을 포함할 수 있다. 일부 구현예들에서, 기관의 주변부 부분은 솔더 상호연결부들(112)의 2개의 최외부 행들(예컨대, 기관의 에지(들)에 가장 가까운 솔더 상호연결부들의 2개의 행들) 위 또는 아래에 위치된 내부 부분과 기관의 에지(들) 사이의 기관의 하나 이상의 부분들을 포함할 수 있다.

[0031] 도 5는 패키지(400)의 AA 단면을 가로지르는 평면도를 예시한다. 도 5는 제2 기관(104), 제2 집적 디바이스(107), 복수의 솔더 상호연결부들(190), 및 복수의 채널 상호연결부들(408)을 예시한다. 도 5에 도시된 바와 같이, 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부는 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치된다. 복수의 채널 상호연결부들(408)은 제2 기관(104) 위에 위치된다. 복수의 채널 상호연결부들(408)은 제3 집적 디바이스(109) 아래에서 연장될 수 있다. 복수의 채널 상호연결부들(408)은 채널 트레이스들 및/또는 채널 패드들을 포함할 수 있다. 복수의 채널 상호연결부들(408)은 집적 디바이스(107)의 4개의 측부들 각각을 향한다. 예를 들어, 제1 복수의 채널 상호연결부들은 집적 디바이스(107)의 제1 측부를 향하고, 제2 복수의 채널 상호연결부들은 집적 디바이스(107)의 제2 측부를 향하며, 제3 복수의 채널 상호연결부들은 집적 디바이스(107)의 제3 측부를 향하고, 제4 복수의 채널 상호연결부들은 집적 디바이스(107)의 제4 측부를 향한다. 그러나, 복수의 채널 상호연결부들은 집적 디바이스(107)의 4개의 측부들 모두보다 적은 측부를 향할 수 있다(예컨대, 집적 디바이스의 하나 이상의 측부들을 향할 수 있음). 복수의 채널 상호연결부들(408)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다. 복수의 채널 상호연결부들(408)은 다양한 상호연결부 요구들 및/또는 설계들을 수용하기 위해 하나 이상의 금속 층들(예컨대, 하나의 금속 층, 2개의 금속 층들)을 포함할 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0032] 도 6은 채널 상호연결부들을 포함하는 패키지(600)의 단면 프로파일 뷰를 예시한다. 패키지(600)는 패키지 온 패키지(PoP)일 수 있다. 패키지(600)는 패키지(100)와 유사할 수 있고, 패키지(100)와 유사한 컴포넌트들을 포함할 수 있다. 패키지(600)는 제1 패키지(101) 및 제2 패키지(103)를 포함할 수 있다. 패키지(600)는 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 커플링된다. 패키지(600)는 복수의 채널 기관들(608)(예컨대, 제4 기관, 패치 기관)을 포함한다. 복수의 채널 기관들(608)은 적어도 하나의 채널 유전체 층(602) 및 복수의 채널 상호연결부들(408)을 포함할 수 있다. 복수의 채널 기관들(608)은 상이한 수의 금속 층들을 포함할 수 있다. 복수의 채널 기관들(608)은 복수의 채널 상호연결부들(108)의 예일 수 있다. 복수의 채널 기관들(608)은 제2 기관(104) 위에 제공될 수 있다. 복수의 채널 기관들(608)은 복수의 솔더 상호연결부들(610)을 통해 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 예를 들어, 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(610)을 통해 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 복수의 채널 기관들(608)은 채널 상호연결을 위한 수단의 예일 수 있다. 도 6은 복수의 채널 기관들(608)이 복수의 솔더 상호연결부들(610)(예컨대, 볼 그리드 어레이(BGA))을 통해 제2 기관(104)에 커플링되는 것을 예시한다. 그러나, 일부 구현예들에서, 복수의 채널 기관들(608)은 랜드 그리드 어레이(LGA)를 통해 제2 기관(104)에 커플링될 수 있다. 일부 구현예들에서, 복수의 채널 기관들(608)의 복수의 채널 상호연결부들(408)은 솔더 상호연결부들의 필요 없이 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 도 6은 하나의 금속 층을 포함하는 복수의 채널 기관들(608)을 예시한다. 그러나, 일부 구현예들에서, 복수의 채널 기관들(608)은 2개 이상의 금속 층들 상에 복수의 채널 상호연결

부들(408)을 포함할 수 있다.

[0033] 도 3에 설명된 바와 같은 전기 경로(305), 전기 경로(306) 및/또는 전기 경로(307)는 패키지(600) 내에 구현될 수 있다. 예를 들어, 패키지(600) 내에 구현된 전기 경로(305)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부(또한 복수의 솔더 상호연결부들(610)로부터의 (내외로의) 솔더 상호연결부들을 포함할 수 있음), (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 제2 기관(104)과 제1 기관(102)을 커플링시키는 제1 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 제2 솔더 상호연결부, 및 (vi) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(305)는 보드(106)에 커플링되도록 연장될 수 있다. 예를 들어, 전기 경로(305)는, 또한, 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부를 포함할 수 있다. 따라서, 보드(106)와 제2 집적 디바이스(107) 사이의 하나 이상의 신호들은 위에서 설명된 바와 같이 전기 경로(305)를 통해 이동할 수 있다.

[0034] 패키지(600) 내에 구현된 전기 경로(306)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부(또한 복수의 솔더 상호연결부들(610)로부터의 (내외로의) 솔더 상호연결부들을 포함할 수 있음), (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(150)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0035] 패키지(600) 내에 구현된 전기 경로(307)는 (i) 제1 집적 디바이스(105)를 제1 기관(102)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 150), (ii) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 제1 상호연결부, (iii) 제2 기관(104)과 제1 기관(102)을 커플링시키는 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 상호연결부, 및 (v) 제3 집적 디바이스(109)와 제2 기관(104)을 커플링시키는 복수의 솔더 상호연결부들(190)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0036] 도 7은 패키지(600)의 AA 단면을 가로지르는 평면도를 예시한다. 도 7은 제2 기관(104), 제2 집적 디바이스(107), 복수의 솔더 상호연결부들(190), 및 복수의 채널 기관들(608)을 예시한다. 도 7에 도시된 바와 같이, 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408) 중 적어도 일부는 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치된다. 복수의 채널 기관들(608) 및 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)은 제2 기관(104) 위에 위치된다. 복수의 채널 상호연결부들(408)은 제3 집적 디바이스(109) 아래에서 연장될 수 있다. 복수의 채널 상호연결부들(408)은 채널 트레이스들 및/또는 채널 패드들을 포함할 수 있다. 복수의 채널 기관들(608)은 집적 디바이스(107)의 4개의 측부들 각각을 향한다. 예를 들어, 제1 복수의 채널 기관들은 집적 디바이스(107)의 제1 측부를 향하고, 제2 복수의 채널 기관들은 집적 디바이스(107)의 제2 측부를 향하며, 제3 복수의 채널 기관들은 집적 디바이스(107)의 제3 측부를 향하고, 제4 복수의 채널 기관들은 집적 디바이스(107)의 제4 측부를 향한다. 그러나, 복수의 채널 기관들은 집적 디바이스(107)의 4개의 측부들 모두보다 적은 측부를 향할 수 있다(예컨대, 집적 디바이스의 하나 이상의 측부들을 향할 수 있음). 복수의 채널 상호연결부들(408)은 집적 디바이스(107)의 4개의 측부들 각각을 향한다. 예를 들어, 제1 복수의 채널 상호연결부들은 집적 디바이스(107)의 제1 측부를 향하고, 제2 복수의 채널 상호연결부들은 집적 디바이스(107)의 제2 측부를 향하며, 제3 복수의 채널 상호연결부들은 집적 디바이스(107)의 제3 측부를 향하고, 제4 복수의 채널 상호연결부들은 집적 디바이스(107)의 제4 측부를 향한다. 그러나, 복수의 채널 상호연결부들은 집적 디바이스(107)의 4개의 측부들 모두보다 적은 측부를 향할 수 있다(예컨대, 집적 디바이스의 하나 이상의 측부들을 향할 수 있음). 복수의 채널 기관들(608)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다. 복수의 채널 기관들(608)은 다양한 상호연결부 요구들 및/또는 설계들을 수용하기 위해 하나 이상의 금속 층들(예컨대, 하나의 금속 층, 2개의 금속 층들)을 포함할 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0037] 도 8은 채널 상호연결부들을 포함하는 패키지(800)의 단면 프로파일 뷰를 예시한다. 패키지(800)는 패키지 온

패키지(PoP)일 수 있다. 패키지(800)는 패키지(100)와 유사할 수 있고, 패키지(100)와 유사한 컴포넌트들을 포함할 수 있다. 패키지(800)는 제1 패키지(101) 및 제2 패키지(103)를 포함할 수 있다. 패키지(800)는 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 커플링된다. 패키지(800)는 복수의 가요성 케이블들(808)(예컨대, 가요성 기관, 가요성 보드, 가요성 인쇄 회로 보드)을 포함한다. 복수의 가요성 케이블들(808)은 적어도 하나의 가요성 유전체 층(802) 및 복수의 채널 상호연결부들(408)을 포함할 수 있다. 적어도 하나의 가요성 유전체 층(802)은 폴리이미드를 포함할 수 있다. 복수의 가요성 케이블들(808)은 상이한 수의 금속 층들을 포함할 수 있다. 복수의 가요성 케이블들(808)은 복수의 채널 상호연결부들(108)의 예일 수 있다. 복수의 가요성 케이블들(808)은 제2 기관(104) 위에 제공될 수 있다. 복수의 가요성 케이블들(808)은 복수의 솔더 상호연결부들(810)을 통해 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 예를 들어, 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(810)을 통해 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 복수의 가요성 케이블들(808)은 채널 상호연결을 위한 수단의 예일 수 있다. 도 8은 하나의 금속 층을 포함하는 복수의 가요성 케이블들(808)을 예시한다. 그러나, 일부 구현예들에서, 복수의 가요성 케이블들(808)은 2개 이상의 금속 층들 상에 복수의 채널 상호연결부들(408)을 포함할 수 있다.

[0038] 도 3에 설명된 바와 같은 전기 경로(305), 전기 경로(306) 및/또는 전기 경로(307)는 패키지(800) 내에 구현될 수 있다. 예를 들어, 패키지(800) 내에 구현된 전기 경로(305)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 가요성 케이블들(808)로부터의 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부(또한 복수의 솔더 상호연결부들(810)로부터의 (내외로의) 솔더 상호연결부들을 포함할 수 있음), (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 제2 기관(104)과 제1 기관(102)을 커플링시키는 제1 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 제2 솔더 상호연결부, 및 (vi) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(305)는 보드(106)에 커플링되도록 연장될 수 있다. 예를 들어, 전기 경로(305)는, 또한, 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부를 포함할 수 있다. 따라서, 보드(106)와 제2 집적 디바이스(107) 사이의 하나 이상의 신호들은 위에서 설명된 바와 같이 전기 경로(305)를 통해 이동할 수 있다.

[0039] 패키지(800) 내에 구현된 전기 경로(306)는 (i) 제2 집적 디바이스(107)를 제2 기관(104)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 170), (ii) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제1 상호연결부, (iii) 복수의 가요성 케이블들(808)로부터의 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부(또한 복수의 솔더 상호연결부들(810)로부터의 (내외로의) 솔더 상호연결부들을 포함할 수 있음), (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 제2 상호연결부, (v) 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(150)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0040] 패키지(800) 내에 구현된 전기 경로(307)는 (i) 제1 집적 디바이스(105)를 제1 기관(102)에 커플링시키는 적어도 하나의 솔더 상호연결부(예컨대, 150), (ii) 제1 기관(102)의 제1 복수의 상호연결부들(122)로부터의 적어도 하나의 제1 상호연결부, (iii) 제2 기관(104)과 제1 기관(102)을 커플링시키는 복수의 솔더 상호연결부들(112)로부터의 적어도 하나의 솔더 상호연결부, (iv) 제2 기관(104)의 제2 복수의 상호연결부들(142)로부터의 적어도 하나의 상호연결부, 및 (v) 제3 집적 디바이스(109)와 제2 기관(104)을 커플링시키는 복수의 솔더 상호연결부들(190)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0041] 도 9는 패키지(800)의 AA 단면을 가로지르는 평면도를 예시한다. 도 9는 제2 기관(104), 제2 집적 디바이스(107), 복수의 솔더 상호연결부들(190), 및 복수의 가요성 케이블들(808)을 예시한다. 도 9에 도시된 바와 같이, 복수의 가요성 케이블들(808)로부터의 복수의 채널 상호연결부들(408) 중 적어도 일부는 복수의 솔더 상호연결부들(190)로부터의 인접 솔더 상호연결부들 사이에 위치된다. 복수의 가요성 케이블들(808) 및 복수의 가요성 케이블들(808)로부터의 복수의 채널 상호연결부들(408)은 제2 기관(104) 위에 위치된다. 복수의 채널 상호연결부들(408)은 제3 집적 디바이스(109) 아래에서 연장될 수 있다. 복수의 채널 상호연결부들(408)은 채널 트레이스들 및/또는 채널 패드들을 포함할 수 있다. 복수의 가요성 케이블들(808)은 집적 디바이스(107)의 4개의 측부들 각각을 향한다. 예를 들어, 제1 복수의 가요성 케이블들은 집적 디바이스(107)의 제1 측부를 향하고, 제2 복수의 가요성 케이블들은 집적 디바이스(107)의 제2 측부를 향하며, 제3 복수의 가요성 케이블들

은 집적 디바이스(107)의 제3 측부를 향하고, 제4 복수의 가요성 케이블들은 집적 디바이스(107)의 제4 측부를 향한다. 그러나, 복수의 가요성 케이블들은 집적 디바이스(107)의 4개의 측부들 모두보다 적은 측부를 향할 수 있다(예컨대, 집적 디바이스의 하나 이상의 측부들을 향할 수 있음). 복수의 채널 상호연결부들(408)은 집적 디바이스(107)의 4개의 측부들 각각을 향한다. 예를 들어, 제1 복수의 채널 상호연결부들은 집적 디바이스(107)의 제1 측부를 향하고, 제2 복수의 채널 상호연결부들은 집적 디바이스(107)의 제2 측부를 향하며, 제3 복수의 채널 상호연결부들은 집적 디바이스(107)의 제3 측부를 향하고, 제4 복수의 채널 상호연결부들은 집적 디바이스(107)의 제4 측부를 향한다. 그러나, 복수의 채널 상호연결부들은 집적 디바이스(107)의 4개의 측부들 모두보다 적은 측부를 향할 수 있다(예컨대, 집적 디바이스의 하나 이상의 측부들을 향할 수 있음). 복수의 가요성 케이블들(808)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다. 복수의 가요성 케이블들(808)은 다양한 상호연결부 요구들 및/또는 설계들을 수용하기 위해 하나 이상의 금속 층들(예컨대, 하나의 금속 층, 2개의 금속 층들)을 포함할 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0042] 도 10은 채널 상호연결부들을 포함하는 패키지(1000)의 단면 프로파일 뷰를 예시한다. 패키지(1000)는 패키지 온 패키지(PoP)일 수 있다. 패키지(1000)는 패키지(100)와 유사할 수 있고, 패키지(100)와 유사한 컴포넌트들을 포함할 수 있다. 패키지(1000)는 제1 패키지(101) 및 제2 패키지(103)를 포함할 수 있다. 패키지(1000)는 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 커플링된다.

[0043] 패키지(1000)는 복수의 채널 상호연결부들(108), 복수의 채널 상호연결부들(1008) 및 복수의 채널 상호연결부들(1009)을 포함한다. 복수의 채널 상호연결부들(1008)은, 도 4 내지 도 9에서 설명된 바와 같이, 복수의 채널 상호연결부들(408), 복수의 채널 기관들(608) 및/또는 복수의 가요성 케이블들(808)로서 구현될 수 있다. 유사하게, 복수의 채널 상호연결부들(1009)은, 도 4 내지 도 9에서 설명된 바와 같이, 복수의 채널 상호연결부들(408), 복수의 채널 기관들(608) 및/또는 복수의 가요성 케이블들(808)로서 구현될 수 있다. 복수의 채널 상호연결부들(1008)은 제1 기관(102)의 제1 표면(예컨대, 상단 표면)에 커플링된다. 복수의 채널 상호연결부들(1009)은 제2 기관(104)의 제2 표면(예컨대, 하단 표면)에 커플링된다.

[0044] 전기 경로(1005)(예컨대, 제1 전기 경로, 제2 전기 경로)는 복수의 채널 상호연결부들(1008)(예컨대, 복수의 채널 상호연결부들(408))을 포함할 수 있다. 예를 들어, 전기 경로(1005)를 통해 이동하는 적어도 하나의 신호는 제1 기관(102)의 제1 복수의 상호연결부들(122)을 통해 복수의 채널 상호연결부들(1008)(예컨대, 복수의 채널 상호연결부들(408))로 진입하고 그를 빠져나갈 수 있다(예컨대, 제1 기관(102)의 제1 표면을 통해 진입하고 빠져나갈 수 있음). 일부 구현예들에서, 전기 경로(1005)는 전기 경로(305), 전기 경로(306) 및/또는 전기 경로(307)로 구현될 수 있다. 전기 경로(1005)는 제1 집적 디바이스(105), 제2 집적 디바이스(107), 및/또는 제3 집적 디바이스(109)에 커플링되는 전기 경로(예컨대, 305, 306, 307)의 일부일 수 있다.

[0045] 전기 경로(1006)(예컨대, 제1 전기 경로, 제2 전기 경로)는 복수의 채널 상호연결부들(1009)(예컨대, 복수의 채널 상호연결부들(408))을 포함할 수 있다. 예를 들어, 전기 경로(1006)를 통해 이동하는 적어도 하나의 신호는 제2 기관(104)의 제2 복수의 상호연결부들(142)을 통해 복수의 채널 상호연결부들(1009)(예컨대, 복수의 채널 상호연결부들(408))로 진입하고 그를 빠져나갈 수 있다(예컨대, 제2 기관(104)의 제2 표면을 통해 진입하고 빠져나갈 수 있음). 일부 구현예들에서, 전기 경로(1006)는 전기 경로(305), 전기 경로(306) 및/또는 전기 경로(307)로 구현될 수 있다. 전기 경로(1006)는 제1 집적 디바이스(105), 제2 집적 디바이스(107), 및/또는 제3 집적 디바이스(109)에 커플링되는 전기 경로(예컨대, 305, 306, 307)의 일부일 수 있다.

[0046] 복수의 채널 상호연결부들(예컨대, 108, 1006, 1008)은, 본 개시내용에서 설명된 바와 같이, 하나의 기관, 2개의 기관, 또는 2개 초과 기관을 포함하는 패키지의 일부로서 구현될 수 있다. 기관은 기관의 하나의 표면(예컨대, 상단 표면, 하단 표면) 또는 둘 모두의 표면들 위에 하나 이상의 채널 상호연결부들을 포함할 수 있다. 일부 구현예들에서, 패키지는 복수의 채널 상호연결부들의 상이한 설계들 및/또는 변형들을 포함할 수 있다. 예를 들어, 기관과 가요성 케이블의 조합이 기관과 함께 사용될 수 있다. 복수의 채널 상호연결부들은 상이한 크기들 및/또는 형상들을 가질 수 있다. 복수의 채널 상호연결부들은 상이한 수의 채널 상호연결부들을 가질 수 있다.

[0047] 집적 디바이스(예컨대, 105, 107, 109)는 다이(예컨대, 반도체 베어 다이(semiconductor bare die))를 포함할 수 있다. 집적 디바이스는 전력 관리 집적 회로(PMIC)를 포함할 수 있다. 집적 디바이스는 애플리케이션 프로세서(ASIC)를 포함할 수 있다. 집적 디바이스는 모뎀을 포함할 수 있다. 집적 디바이스는 무선 주파수(RF) 디바이스, 패시브 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs)계 집적 디바이스

스, 표면 음향파(SAW) 필터들, 벌크 음향 파(BAW) 필터, 발광 다이오드(LED) 집적 디바이스, 실리콘(Si) 기반 집적 디바이스, 실리콘 카비드(SiC)계 집적 디바이스, 메모리, 전력 관리 프로세서, 및/또는 이들의 조합을 포함할 수 있다. 집적 디바이스(예를 들어, 105, 107, 109)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등)를 포함할 수 있다. 집적 디바이스는 트랜지스터들을 포함할 수 있다. 집적 디바이스는 전기 컴포넌트 및/또는 전기 디바이스의 예일 수 있다.

[0048] 패키지(예를 들어, 100, 400, 600, 800)는 무선 주파수(RF) 패키지로 구현될 수 있다. RF 패키지는 RFFE(radio frequency front end) 패키지일 수 있다. 패키지(예컨대, 100, 400, 600, 800)는 WiFi(Wireless Fidelity) 통신 및/또는 셀룰러 통신(예컨대, 2G, 3G, 4G, 5G)을 제공하도록 구성될 수 있다. 패키지들(예컨대, 100, 400, 600, 800)은 GSM(Global System for Mobile) 통신들, UMTS(Universal Mobile Telecommunications System) 및/또는 LTE(Long-Term Evolution)를 지원하도록 구성될 수 있다. 패키지들(예컨대, 100, 400)은 상이한 주파수들 및/또는 통신 프로토콜들을 갖는 신호들을 송신 및 수신하도록 구성될 수 있다.

[0049] 다양한 패키지들을 설명하였으므로, 이제 패키지를 제조하기 위한 시퀀스를 이하에 설명한다.

[0050] **채널 상호연결부들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0051] 일부 구현들에서, 패키지를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 11a 내지 도 11c는 채널 상호연결부들을 포함하는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현예들에서, 도 11a 내지 도 11c의 시퀀스는 패키지(400)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 11a 내지 도 11c의 프로세스는 본 개시내용에서 설명된 패키지들(예컨대, 100, 1000) 중 임의의 것을 제조하는 데 사용될 수 있다.

[0052] 도 11a 내지 도 11c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명료화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.

[0053] 스테이지 1은, 도 11a에 도시된 바와 같이, 기판(102)이 제공된 후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 제1 표면(예컨대, 상단 표면) 및 제2 표면(예컨대, 하단 표면)을 포함할 수 있다. 기판(102)은 도 14a 및 도 14b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현예들에서, 코어형 기판(예컨대, 코어 층을 포함하는 기판)이 제공된다.

[0054] 스테이지 2는 제1 집적 디바이스(105)가 기판(102)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제1 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제1 집적 디바이스(105)를 기판(102)에 커플링시키는 데 사용될 수 있다.

[0055] 스테이지 3은 기판(104)이 복수의 솔더 상호연결부들(112)을 통해 기판(102)에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 기판(104)을 기판(102)에 커플링시키는 데 사용될 수 있다. 기판(104)은 제1 집적 디바이스(105)가 기판(102)과 기판(104) 사이에 위치되도록 기판(102)에 커플링된다. 기판(104)은 적어도 하나의 유전체 층(140) 및 복수의 상호연결부들(142)을 포함한다. 기판(104)은 도 14a 및 도 14b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 기판(104)은 인터포저일 수 있다.

[0056] 스테이지 4는, 도 11b에 도시된 바와 같이, 복수의 채널 상호연결부들(408)이 제2 기판(104)의 제1 표면 위에 형성된 후의 상태를 예시한다. 복수의 채널 상호연결부들(408)은 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 복수의 채널 상호연결부들(408)은 제2 기판(104) 위에 인쇄(예컨대, 잉크젯 인쇄)될 수 있다. 복수의 채널 상호연결부들(408)의 추가 금속 층들이 기판(104) 위에 형성될 수 있다. 하나 이상의 유전체 층들이 복수의 채널 상호연결부들(408) 위에 형성될 수 있다.

[0057] 스테이지 5는 제2 집적 디바이스(107)가 기판(104)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제2 집적 디바이스(107)는 복수의 솔더 상호연결부들(170)을 통해 기판(104)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제2 집적 디바이스(107)를 기판(104)에 커플링시키는 데 사용될 수 있다.

[0058] 스테이지 6은, 도 11c에 도시된 바와 같이, 제3 집적 디바이스(109)가 기판(104)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제3 집적 디바이스(109)는 복수의 솔더 상호연결부들(190)을 통해 기판(104)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제3 집적 디바이스(109)를 기판(104)에 커플링시키는 데 사용될 수 있다. 제3 집적 디바이스(109)는 제2 집적 디바이스(107) 위에 위치될 수 있다. 제2 집적 디바

이스(107)는 제3 집적 디바이스(109)와 기관(104) 사이에 위치될 수 있다. 복수의 채널 상호연결부들(408)로부터의 적어도 하나의 채널 상호연결부는 복수의 솔더 상호연결부들(190)로부터의 솔더 상호연결부들 사이에 위치될 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0059] 스테이지 7은 복수의 솔더 상호연결부들(110)이 기관(102)의 제2 표면에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(110)을 기관(102)에 커플링시키는 데 사용될 수 있다. 스테이지 7은, 적어도 도 4에서 설명된 바와 같이, 복수의 채널 상호연결부들(408)을 포함하는 패키지(400)를 예시할 수 있다. 패키지(400)는 한 번에 하나씩 제조될 수 있거나, 하나 이상의 스트립들 또는 패널들의 일부로서 부분적으로 또는 전체적으로 함께 제조된 다음에 조립되거나 개별 패키지들로 싱글레이션될 수 있다.

[0060] **채널 상호연결부들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0061] 일부 구현들에서, 패키지를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 12a 내지 도 12c는 채널 상호연결부들을 포함하는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현예들에서, 도 12a 내지 도 12c의 시퀀스는 패키지(600)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 12a 내지 도 12c의 프로세스는 본 개시내용에서 설명된 패키지들(예컨대, 800, 1000) 중 임의의 것을 제조하는 데 사용될 수 있다.

[0062] 도 12a 내지 도 12c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명료화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.

[0063] 스테이지 1은, 도 12a에 도시된 바와 같이, 기관(102)이 제공된 후의 상태를 예시한다. 기관(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기관(102)은 제1 표면(예컨대, 상단 표면) 및 제2 표면(예컨대, 하단 표면)을 포함할 수 있다. 기관(102)은 도 14a 및 도 14b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 일부 구현예들에서, 코어형 기관(예컨대, 코어 층을 포함하는 기관)이 제공된다.

[0064] 스테이지 2는 제1 집적 디바이스(105)가 기관(102)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제1 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기관(102)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제1 집적 디바이스(105)를 기관(102)에 커플링시키는 데 사용될 수 있다.

[0065] 스테이지 3은 기관(104)이 복수의 솔더 상호연결부들(112)을 통해 기관(102)에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 기관(104)을 기관(102)에 커플링시키는 데 사용될 수 있다. 기관(104)은 제1 집적 디바이스(105)가 기관(102)과 기관(104) 사이에 위치되도록 기관(102)에 커플링된다. 기관(104)은 적어도 하나의 유전체 층(140) 및 복수의 상호연결부들(142)을 포함한다. 기관(104)은 도 14a 및 도 14b에서 설명되는 바와 같은 방법을 사용하여 제조될 수 있다. 기관(104)은 인터포저일 수 있다.

[0066] 스테이지 4는, 도 12b에 도시된 바와 같이, 복수의 채널 기관들(608)이 제2 기관(104)의 제1 표면에 커플링된 후의 상태를 예시한다. 복수의 채널 기관들(608)은 복수의 채널 상호연결부들(408)을 포함할 수 있다. 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(610)을 통해 제2 복수의 상호연결부들(142)에 커플링될 수 있다. 일부 구현예들에서, 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)은 랜드 그리드 어레이(LGA)를 통해 기관(104)에 커플링될 수 있다.

[0067] 일부 구현예들에서, 복수의 채널 기관들(608) 대신에 또는 그에 더하여, 복수의 가요성 케이블들(808)이 제2 기관(104)의 제1 표면에 커플링될 수 있다. 일부 구현예들에서, 복수의 채널 기관들(608) 및/또는 복수의 가요성 케이블들(808)은 제2 기관(104)의 제2 표면 및/또는 기관(102)의 제1 표면에 커플링될 수 있다. 복수의 채널 기관들(608) 및/또는 복수의 가요성 케이블들(808)은, 기관(104)이 기관(102)에 커플링되기 전에, 제2 기관(104)의 제2 표면 및/또는 기관(102)의 제1 표면에 커플링될 수 있다.

[0068] 스테이지 5는 제2 집적 디바이스(107)가 기관(104)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제2 집적 디바이스(107)는 복수의 솔더 상호연결부들(170)을 통해 기관(104)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제2 집적 디바이스(107)를 기관(104)에 커플링시키는 데 사용될 수 있다.

[0069] 스테이지 6은, 도 12c에 도시된 바와 같이, 제3 집적 디바이스(109)가 기관(104)의 제1 표면(예를 들어, 상단 표면)에 커플링된 후의 상태를 예시한다. 제3 집적 디바이스(109)는 복수의 솔더 상호연결부들(190)을 통해 기관(104)에 커플링될 수 있다. 솔더 리플로우 프로세스가 제3 집적 디바이스(109)를 기관(104)에 커플링시키는 데 사용될 수 있다. 제3 집적 디바이스(109)는 제2 집적 디바이스(107) 위에 위치될 수 있다. 제2 집적 디바이스(107)는 제3 집적 디바이스(109)를 둘러쌀 수 있다.

이스(107)는 제3 집적 디바이스(109)와 기관(104) 사이에 위치될 수 있다. 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(190)로부터의 솔더 상호연결부들 사이에 위치될 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0070] 스테이지 7은 복수의 솔더 상호연결부들(110)이 기관(102)의 제2 표면에 커플링된 후의 상태를 예시한다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(110)을 기관(102)에 커플링시키는 데 사용될 수 있다. 스테이지 7은, 적어도 도 6에서 설명된 바와 같이, 복수의 채널 상호연결부들(408)을 포함하는 복수의 채널 기관들(608)을 포함하는 패키지(600)를 예시할 수 있다. 패키지(600)는 한 번에 하나씩 제조될 수 있거나, 하나 이상의 스트립들 또는 패들들의 일부로서 부분적으로 또는 전체적으로 함께 제조된 다음에 조립되거나 개별 패키지들로 싱글레이션될 수 있다.

[0071] **채널 상호연결부들을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0072] 일부 구현들에서, 패키지를 제조하는 것은 몇몇 프로세스들을 포함한다. 도 13은 채널 상호연결부들을 포함하는 패키지를 제공 또는 제조하기 위한 방법(1300)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 13의 방법(1300)은 본 개시내용에서 설명된 패키지들(100, 400, 600, 800 및/또는 1000)을 제공 또는 제조하는 데 사용될 수 있다. 본 방법(1300)은 본 개시내용에서 설명된 패키지들 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0073] 도 13의 방법은, 패키지를 제공 또는 제조하기 위한 방법을 단순화하고 그리고/또는 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 점에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0074] 본 방법은 (1305에서) 제1 기관(예컨대, 102) 및 제1 기관(예컨대, 102)의 제1 표면에 커플링된 제1 집적 디바이스(예컨대, 105)를 제공한다. 제1 기관(102) 및 제1 집적 디바이스(105)는 제1 패키지(101)의 일부일 수 있다. 제1 기관(102)은 적어도 하나의 제1 유전체 층(120) 및 제1 복수의 상호연결부들(122)을 포함한다. 도 11a의 스테이지 2는 제1 집적 디바이스를 갖는 제1 기관의 예를 예시하고 설명한다. 도 12a의 스테이지 2는 제1 집적 디바이스를 갖는 제1 기관의 예를 예시하고 설명한다.

[0075] 본 방법은 (1310에서) 복수의 솔더 상호연결부들(예컨대, 112)을 통해 제1 기관(예컨대, 102)에 제2 기관(예컨대, 104)을 커플링시킨다. 제2 기관은 인터포저를 포함할 수 있다. 제2 기관(104)은 적어도 하나의 제2 유전체 층(140) 및 제2 복수의 상호연결부들(142)을 포함한다. 솔더 리플로우 프로세스가 제2 기관을 제1 기관에 커플링시키는 데 사용될 수 있다. 도 11a의 스테이지 3은 제1 기관에 커플링된 제2 기관의 예를 예시하고 설명한다. 도 12a의 스테이지 3은 제1 기관에 커플링된 제2 기관의 예를 예시하고 설명한다.

[0076] 본 방법은 (1315에서) 제2 기관(104)의 제1 표면(예컨대, 상단 표면) 위에 복수의 채널 상호연결부들을 제공한다. 상이한 구현예들은 복수의 채널 상호연결부들을 상이하게 제공할 수 있다. 일부 구현예들에서, 복수의 채널 상호연결부들(408)은, 도 11b의 스테이지 4에서 설명된 바와 같이, 인쇄 프로세스(예컨대, 잉크젯 인쇄 프로세스)를 통해 제2 기관(104) 위에 형성된다. 일부 구현예들에서, 복수의 채널 상호연결부들(408)은, 도 12b의 스테이지 4에서 설명된 바와 같이, 제2 기관(104)에 커플링되는 복수의 채널 기관들(608)의 일부이다. 일부 구현예들에서, 복수의 채널 상호연결부들(408)은, 도 12b의 스테이지 4에서 설명된 바와 같이, 제2 기관(104)에 커플링되는 복수의 가요성 케이블들(808)의 일부이다. 본 방법은 제1 기관(102) 및/또는 제2 기관(104)의 상이한 표면들 위 및/또는 아래에 복수의 채널 상호연결부들을 제공할 수 있다는 것에 유의한다.

[0077] 본 방법은 (1320에서) 복수의 솔더 상호연결부들(예컨대, 170)을 통해 제2 기관(예컨대, 104)의 제1 표면에 제2 집적 디바이스(예컨대, 107)를 커플링시킨다. 솔더 리플로우 프로세스가 제2 집적 디바이스를 제2 기관(104)의 제1 표면에 커플링시키는 데 사용될 수 있다. 도 11b의 스테이지 5는 제2 기관에 커플링된 제2 집적 디바이스의 예를 예시하고 설명한다. 도 12b의 스테이지 5는 제2 기관에 커플링된 제2 집적 디바이스의 예를 예시하고 설명한다.

[0078] 본 방법은 (1325에서) 복수의 솔더 상호연결부들(예컨대, 190)을 통해 제2 기관(예컨대, 104)의 제1 표면에 제3 집적 디바이스(예컨대, 109)를 커플링시킨다. 솔더 리플로우 프로세스가 제3 집적 디바이스를 제2 기관(104)의 제1 표면에 커플링시키는 데 사용될 수 있다. 제3 집적 디바이스(109)는 제2 집적 디바이스(107) 위에 위치될 수 있다. 제2 집적 디바이스(107)는 제3 집적 디바이스(109)와 기관(104) 사이에 위치될 수 있다. 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(190)로부터의 솔더 상호연결부들 사이에 위치될 수 있다. 복수의 채널 기관들(608)로부터의 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(190)로부터의 솔

더 상호연결부들 사이에 위치될 수 있다. 복수의 가요성 케이블들(808)로부터의 복수의 채널 상호연결부들(408)은 복수의 솔더 상호연결부들(190)로부터의 솔더 상호연결부들 사이에 위치될 수 있다. 복수의 솔더 상호연결부들(190)은 제2 집적 디바이스(107)를 측방향으로 둘러쌀 수 있다.

[0079] 일부 구현예들에서, 여러 패키지들이 동시에 제조된다. 그러한 경우들에서, 본 방법은 (1330에서) 패키지(예컨대, 100, 400, 600, 800, 1000)를 싱글레이션할 수 있다. 다른 경우들에서, 싱글레이션은 기판들이 서로 커플링되기 전에 일어난다.

[0080] **기판을 제조하기 위한 예시적인 시퀀스**

[0081] 일부 구현예들에서, 기판을 제조하는 것은 몇몇 프로세스들을 포함한다. 도 14a 및 도 14b는 기판을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현예들에서, 도 14a 및 도 14b의 시퀀스는 기판(102)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 14a 및 도 14b의 프로세스는 기판(104) 및/또는 채널 기판(608)과 같은, 본 개시내용에서 설명된 기판들 중 임의의 것을 제조하는 데 사용될 수 있다.

[0082] 도 14a 및 도 14b의 시퀀스가 기판을 제공 또는 제조하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현예들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.

[0083] 스테이지 1은, 도 14a에 도시된 바와 같이, 캐리어(1400)가 제공된 후의 상태를 예시한다. 시드 층(seed layer)(1401) 및 상호연결부들(1402)이 캐리어(1400) 위에 위치될 수 있다. 상호연결부들(1402)은 시드 층(1401) 위에 위치될 수 있다. 도금 프로세스 및 에칭 프로세스가 상호연결부들(1402)을 형성하는 데 사용될 수 있다. 일부 구현예들에서, 캐리어(1400)에는 상호연결부들(1402)을 형성하도록 패틴화되는 금속 층 및 시드 층(1401)이 제공될 수 있다. 상호연결부들(1402)은 복수의 상호연결부들(122)로부터의 상호연결부들 중 적어도 일부를 나타낼 수 있다.

[0084] 스테이지 2는 유전체 층(1420)이 캐리어(1400), 시드 층(1401) 및 상호연결부들(1402) 위에 형성된 후의 상태를 예시한다. 침착 및/또는 라미네이션 프로세스가 유전체 층(1420)을 형성하는 데 사용될 수 있다. 유전체 층(1420)은 프리프레그(prepreg) 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1420)은 포토 이미징가능 유전체를 포함할 수 있다. 그러나, 상이한 구현은 유전체 층에 대해 상이한 재료를 사용할 수 있다.

[0085] 스테이지 3은 복수의 공동들(1410)이 유전체 층(1420) 내에 형성된 후의 상태를 예시한다. 복수의 공동들(1410)은 에칭 프로세스(예를 들어, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다.

[0086] 스테이지 4는 상호연결부들(1412)이 복수의 공동들(1410) 내 및 위를 포함하여 유전체 층(1420) 내에 그리고 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0087] 스테이지 5는 유전체 층(1422)이 유전체 층(1420) 및 상호연결부들(1412) 위에 형성된 후의 상태를 예시한다. 침착 및/또는 라미네이션 프로세스가 유전체 층(1422)을 형성하는 데 사용될 수 있다. 유전체 층(1422)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1422)은 포토 이미징가능 유전체를 포함할 수 있다. 그러나, 상이한 구현은 유전체 층에 대해 상이한 재료를 사용할 수 있다.

[0088] 스테이지 6은, 도 14b에 도시된 바와 같이, 복수의 공동들(1430)이 유전체 층(1422) 내에 형성된 후의 상태를 예시한다. 복수의 공동들(1430)은 에칭 프로세스(예를 들어, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다.

[0089] 스테이지 7은 상호연결부들(1414)이 복수의 공동들(1430) 내 및 위를 포함하여 유전체 층(1422) 내에 그리고 위에 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 복수의 상호연결부들(1402), 복수의 상호연결부들(1412), 및/또는 복수의 상호연결부들(1414)은 복수의 상호연결부들(122)에 의해 표현될 수 있다. 유전체 층(1420) 및/또는 유전체 층(1422)은 적어도 하나의 유전체 층(120)에 의해 표현될 수 있다. 적어도 하나의 유전체 층(120)은 포토 이미징가능 유전체를 포함할 수 있다. 적어도 하나의 유전체 층(120)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다.

[0090] 스테이지 8은, 캐리어(1400)가 적어도 하나의 유전체 층(120) 및 시드 층(1401)으로부터 디커플링(예를 들어, 탈착, 제거, 연마)되고, 시드 층(1401)의 일부분들이 제거(예를 들어, 에칭 아웃)되어, 적어도 하나의 유전체

층(120) 및 복수의 상호연결부들(122)을 포함하는 기관(102)을 남긴 후의 상태를 예시한다.

- [0091] 일부 구현예들에서, 기관은 솔더 레지스트 층(들)을 포함할 수 있다. 스테이지 9는 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)이 기관(102) 위에 형성된 후의 상태를 예시한다. 침착 프로세스가 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 형성하는 데 사용될 수 있다. 일부 구현예들에서, 적어도 하나의 유전체 층(120) 위에는 솔더 레지스트 층이 형성되지 않을 수 있거나 또는 하나의 솔더 레지스트 층이 형성될 수 있다.
- [0092] 상이한 구현예들은 금속 층(들) 및/또는 상호연결부들을 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현예들에서, CVD(Chemical Vapor Deposition) 프로세스, PVD(Physical Vapor Deposition) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.
- [0093] **기관을 제작하기 위한 방법의 예시적인 흐름도**
- [0094] 일부 구현예들에서, 기관을 제조하는 것은 몇몇 프로세스들을 포함한다. 도 15는 기관을 제공 또는 제조하기 위한 방법(1500)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 15의 방법(1500)은 본 개시내용의 기관(들)을 제공 또는 제조하기 위해 사용될 수 있다. 예를 들어, 도 15의 방법(1500)은 기관(102)을 제조하기 위해 사용될 수 있다.
- [0095] 도 15의 방법(1500)은, 기관을 제공 또는 제조하기 위한 방법을 단순화하고 그리고/또는 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.
- [0096] 본 방법은 (1505에서) 캐리어(예를 들어, 1400)를 제공한다. 상이한 구현예들은 캐리어(1400)에 대해 상이한 재료들을 사용할 수 있다. 캐리어(1400)는 시드 층(예컨대, 1401)을 포함할 수 있다. 시드 층(1401)은 금속(예를 들어, 구리)을 포함할 수 있다. 캐리어는 기관, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 14a의 스테이지 1은 제공되는 시드 층을 갖는 캐리어의 예를 예시하고 설명한다.
- [0097] 본 방법은 (1510에서) 캐리어(1400) 및 시드 층(1401) 위에 상호연결부들을 형성하고 패턴화한다. 금속 층이 상호연결부들을 형성하도록 패턴화될 수 있다. 금속 층 및 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 일부 구현예들에서, 캐리어 및 시드 층은 금속 층을 포함할 수 있다. 금속 층은 시드 층 위에 위치되고, 금속 층은 상호연결부들(예컨대, 402)을 형성하도록 패턴화될 수 있다. 도 14a의 스테이지 1은 시드 층 및 캐리어 위에 상호연결부들을 형성하고 패턴화하는 예를 예시하고 설명한다.
- [0098] 본 방법은 (1515에서) 시드 층(1401), 캐리어(1400) 및 상호연결부들(1402) 위에 유전체 층(1420)을 형성한다. 침착 및/또는 라미네이션 프로세스가 유전체 층(1420)을 형성하는 데 사용될 수 있다. 유전체 층(1420)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1420)은 포토 이미징가능 유전체를 포함할 수 있다. 유전체 층(1420)을 형성하는 것은, 또한, 유전체 층(1420) 내에 복수의 공동들(예를 들어, 1410)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예를 들어, 포토 에칭) 또는 레이저 프로세스를 이용하여 형성될 수 있다. 도 14a의 스테이지 2 및 스테이지 3은 유전체 층 및 유전체 층 내의 공동들을 형성하는 예를 예시하고 설명한다.
- [0099] 본 방법은 (1520에서) 유전체 층 내에 그리고 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1412)은 유전체 층(1420) 내에 그리고 위에 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들을 형성하는 것은, 유전체 층 위에 그리고/또는 유전체 층 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한, 유전체 층의 공동들 내에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 14a의 스테이지 4는 유전체 층 내에 그리고 위에 상호연결부들을 형성하는 예를 예시하고 설명한다.
- [0100] 본 방법은 (1525에서) 유전체 층(1420) 및 상호연결부들(1412) 위에 유전체 층(1422)을 형성한다. 침착 및/또는 라미네이션 프로세스가 유전체 층(1422)을 형성하는 데 사용될 수 있다. 유전체 층(1422)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1422)은 포토 이미징가능 유전체를 포함할 수 있다. 유전체 층(1422)을 형성하는 것은, 또한, 유전체 층(1422) 내에 복수의 공동들(예를 들어, 1430)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예를 들어, 포토 에칭) 또는 레이저 프로세스를 이용하여 형성될 수 있다. 도 14a 및 도 14b의 스테이지 5 및 스테이지 6은 유전체 층 및 유전체 층 내의 공동들을 형성하는 예를 예시하고 설명한다.

- [0101] 본 방법은 (1530에서) 유전체 층 내에 그리고 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1414)은 유전체 층(1422) 내에 그리고 위에 형성될 수 있다. 상호연결부들을 형성하기 위해 도금 프로세스가 사용될 수 있다. 상호연결부들을 형성하는 것은, 유전체 층 위에 그리고/또는 유전체 층 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한, 유전체 층의 공동들 내에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 14b의 스테이지 7은 유전체 층 내에 그리고 위에 상호연결부들을 형성하는 예를 예시하고 설명한다.
- [0102] 본 방법은 (1535에서) 시드 층(예컨대, 1401)으로부터 캐리어(예컨대, 1400)를 디커플링시킨다. 캐리어(1400)는 탈착 및/또는 연마될 수 있다. 본 방법은, 또한, (1535에서) 시드 층(예컨대, 1401)의 일부분들을 제거할 수 있다. 에칭 프로세스가 시드 층(1401)의 일부분들을 제거하는 데 사용될 수 있다. 도 14b의 스테이지 8은 캐리어 디커플링 및 시드 층 제거의 예를 예시하고 설명한다.
- [0103] 일부 구현예들에서, 본 방법은 기판의 제1 표면 및/또는 제2 표면 위에 솔더 레지스트 층(들)을 형성할 수 있다. 도 14b의 스테이지 9는 솔더 레지스트 층(들)을 형성하는 예를 예시하고 설명한다.
- [0104] 상이한 구현은 금속 층(들)을 형성하기 위해 상이한 프로세스를 사용할 수 있다. 일부 구현예들에서, CVD(Chemical Vapor Deposition) 프로세스, PVD(Physical Vapor Deposition) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.
- [0105] **예시적인 전자 디바이스들**
- [0106] 도 16은 전술된 디바이스, 집적 디바이스, 집적 회로(IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(PoP), 시스템 인 패키지(SiP), 또는 시스템 온 칩(SoC) 중 임의의 것과 집적될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 전화 디바이스(1602), 랩톱 컴퓨터 디바이스(1604), 고정 위치 단말 디바이스(1606), 웨어러블 디바이스(1608) 또는 자동차 차량(1610)은 본 명세서에서 설명된 디바이스(1600)를 포함할 수 있다. 디바이스(1600)는 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 16에 예시된 디바이스들(1602, 1604, 1606 및 1608) 및 차량(1610)은 단지 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이블테면 개인용 디지털 보조기기, GPS(global positioning system) 가능 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 이블테면 계측 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 시계들, 안경), IoT(Internet of things) 디바이스들, 서버들, 라우터들, 자동차들(예컨대, 자율 주행 차량들)에 구현된 전자 디바이스들, 또는 데이터나 컴퓨터 명령들을 저장 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 결합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하는(그러나 이에 제한되지 않음) 디바이스(1600)를 특징으로 할 수 있다.
- [0107] 도 1 내지 도 10, 도 11a 내지 도 11c, 도 12a 내지 도 12c, 도 13, 도 14a 및 도 14b, 및 도 15 및 도 16에 예시된 컴포넌트들, 프로세스들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 조합되거나, 몇몇 컴포넌트들, 프로세스들 또는 기능들에서 구현될 수 있다. 추가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들이 또한 본 개시내용으로부터 벗어나지 않고 추가될 수 있다. 도 1 내지 도 10, 도 11a 내지 도 11c, 도 12a 내지 도 12c, 도 13, 도 14a 및 도 14b 및 도 15 및 도 16, 및 본 개시내용에서 이에 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않음에 또한 유의해야 한다. 일부 구현예들에서, 도 1 내지 도 10, 도 11a 내지 도 11c, 도 12a 내지 도 12c, 도 13, 도 14a 및 도 14b 및 도 15 및 도 16, 및 그의 대응하는 설명은 디바이스들 및/또는 집적 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현예들에서, 디바이스는 다이, 집적 디바이스, 집적 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지 온 패키지(PoP) 디바이스, 열 소산 디바이스 및/또는 인터포저를 포함할 수 있다.
- [0108] 본 개시내용의 도면들이 다양한 부분들, 컴포넌트들, 객체들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 표현할 수 있다는 것에 유의한다. 일부 경우들에서, 도면들은 실적이 아닐 수 있다. 일부 경우들에서, 명확성을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되지는 않을 수 있다. 일부 경우들에서, 도면들에서의 다양한 부분들 및/또는 컴포넌트들의 포지셔닝, 로케이션, 크기들 및/또는 형상들은 예시적일 수 있다. 일부 구현예들에서, 도면들의 다양한 컴포넌트들 및/또는

부분들은 선택적일 수 있다.

[0109] 단어 "예시적인"은 "예, 예증, 또는 예시로서 기능함"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로 본 명세서에 설명된 임의의 구현 또는 양태는 본 개시내용의 다른 양태들에 비해 반드시 바람직하거나 유리한 것으로 해석될 필요는 없다. 유사하게, 용어 "양태들"은, 본 개시내용의 모든 양태들이 논의된 특징, 이점 또는 동작 모드를 포함할 것을 요구하지는 않는다. 용어 "커플링된"은 2개의 객체들 간의 직접 또는 간접적인 커플링(예를 들어, 기계적 커플링)을 지칭하도록 본 명세서에서 사용된다. 예를 들어, 객체 A가 객체 B를 물리적으로 터치하고 객체 B가 객체 C를 터치하는 경우, 객체 A 및 객체 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 결합된 것으로 여전히 고려될 수 있다. 객체 B에 커플링되는 객체 A는 객체 B의 적어도 일부에 커플링될 수 있다. 용어 "전기적으로 커플링된"은 전류(예컨대, 신호, 전력, 접지)가 2개의 객체들 사이에서 이동할 수 있도록 2개의 객체들이 직접적으로 또는 간접적으로 함께 커플링되는 것을 의미할 수 있다. 전기적으로 커플링된 2개의 객체들은 2개의 객체들 사이에서 이동하는 전류를 가질 수 있거나 또는 갖지 않을 수 있다. 용어들 "제1", "제2", "제3" 및 "제4"(및/또는 제4 이상의 임의의 것)의 사용은 임의적이다. 설명된 컴포넌트들 중 임의의 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예를 들어, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 용어들 "캡슐화하다", "캡슐화하는" 및/또는 임의의 파생어는 객체가 다른 객체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. 본 개시내용에서 사용되는 바와 같이, 제2 객체를 둘러싸는 제1 객체는 제1 객체가 제2 객체를 부분적으로 둘러싸거나 제2 객체를 완전히 둘러싸는 것을 의미할 수 있다. 용어 "최상부" 및 "최하부"는 임의적이다. 최상부 상에 위치한 컴포넌트는 최하부 상에 위치한 컴포넌트 상에 위치될 수 있다. 최상부 컴포넌트는 최하부 컴포넌트로 간주될 수 있고, 그 반대도 마찬가지이다. 본 개시내용에서 설명된 바와 같이, 제2 컴포넌트 "위에" 위치되는 제1 컴포넌트는, 최하부 또는 최상부가 어떻게 임의적으로 정의되는지에 따라, 제1 컴포넌트가 제2 컴포넌트 위에 또는 아래에 위치되는 것을 의미할 수 있다. 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(예를 들어, 위에) 위치될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(예를 들어, 아래에) 위치될 수 있으며, 제2 표면은 제1 표면에 대향한다. 또한, 다른 컴포넌트 위에 위치한 하나의 컴포넌트의 맥락에서 본 명세서에서 사용되는 용어 "위에(over)"는 다른 컴포넌트 상에 및/또는 다른 컴포넌트 내에(예를 들어, 컴포넌트의 표면 상에 또는 컴포넌트에 매립된) 있는 컴포넌트를 의미하는 데 사용될 수 있다는 것에 유의한다. 따라서, 예를 들어, 제2 컴포넌트 위에 있는 제1 컴포넌트는 (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만 제2 컴포넌트와 직접 접촉하지 않은 것, (2) 제1 컴포넌트가 제2 컴포넌트 상에(예를 들어, 표면 상에) 있는 것, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있는 것(예를 들어, 내에 매립된 것)을 의미할 수 있다. 제2 컴포넌트 "내에" 위치되는 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 위치될 수 있거나 제2 컴포넌트 내에 완전히 위치될 수 있다. 약 X 내지 XX인 값은 X 및 XX를 포함하여 X와 XX 사이인 값을 의미할 수 있다. X와 XX 사이의 값(들)은 이산적이거나 연속적일 수 있다. 본 개시내용에서 사용되는 용어 "약 '값 X'" 또는 "대략 값 X"는 '값 X'의 10% 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미할 것이다.

[0110] 일부 구현들에서, 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이에서 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현예들에서, 상호연결부는 트레이스(예를 들어, 트레이스 상호연결부), 비아(예를 들어, 비아 상호연결부), 패드(예를 들어, 패드 상호연결부), 필러, 금속화 층, 재분배 층, 및/또는 UBM(under bump metallization) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 인터커넥트는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기적 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나 초과와 엘리먼트 또는 컴포넌트를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들에 의해 정의될 수 있다. 인터커넥트는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 상이한 구현은 인터커넥트를 형성하기 위해 상이한 프로세스 및/또는 시퀀스를 사용할 수 있다. 일부 구현들에서, CVD(Chemical Vapor Deposition) 공정, PVD(Physical Vapor Deposition) 공정, 스퍼터링 공정, 스프레이 코팅, 및/또는 도금 공정이 상호연결들을 형성하기 위해 사용될 수 있다.

[0111] 또한, 본 명세서에 포함된 다양한 개시들이 흐름도, 흐름도, 구조도, 또는 블록도로 묘사되는 프로세스로서 설명될 수 있다는 것에 유의한다. 흐름도가 동작들을 순차적인 프로세스로서 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재배열될 수 있다. 프로세스는 그 동작들이 완료될 경우에 종료된다.

[0112] 하기에서, 본 발명의 이해를 용이하게 하기 위해 추가 예들이 설명된다.

- [0113] 양태 1: 디바이스는 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기판, 및 제1 기판에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기판; 제2 기판의 제1 표면에 커플링되는 제2 집적 디바이스; 제2 복수의 솔더 상호연결부들을 통해 제2 기판의 제1 표면에 커플링되는 제3 집적 디바이스; 및 제2 기판의 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들 - 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다.
- [0114] 양태 2: 양태 1에 있어서, 제2 집적 디바이스는 제3 집적 디바이스와 제2 기판 사이에 위치되는, 디바이스.
- [0115] 양태 3: 양태 1 또는 양태 2에 있어서, 제2 기판의 제1 표면에 커플링되는 제4 기판을 추가로 포함하고, 제1 복수의 채널 상호연결부들은 제4 기판의 일부인, 디바이스.
- [0116] 양태 4: 양태 1 내지 양태 3 중 어느 한 양태에 있어서, 제2 기판의 제1 표면에 커플링되는 가요성 케이블을 추가로 포함하고, 제1 복수의 채널 상호연결부들은 가요성 케이블의 일부인, 디바이스.
- [0117] 양태 5: 양태 1 내지 양태 4 중 어느 한 양태에 있어서, 제1 복수의 채널 상호연결부들은 제3 집적 디바이스 아래에서 연장되는, 디바이스.
- [0118] 양태 6: 양태 1 내지 양태 5 중 어느 한 양태에 있어서, 제2 집적 디바이스와 제1 기판 사이의 제1 전기 경로는 제1 복수의 채널 상호연결부들을 포함하는, 디바이스.
- [0119] 양태 7: 양태 1 내지 양태 6 중 어느 한 양태에 있어서, 제2 집적 디바이스와 제1 기판 사이의 제1 전기 경로는, 제2 집적 디바이스를 제2 기판에 커플링시키는 적어도 하나의 제1 솔더 상호연결부; 제2 기판의 제2 복수의 상호연결부들로부터의 적어도 하나의 제1 상호연결부; 제1 복수의 채널 상호연결부들로부터의 적어도 하나의 채널 상호연결부; 제2 기판의 제2 복수의 상호연결부들로부터의 적어도 하나의 제2 상호연결부; 제2 기판과 제1 기판을 커플링시키는 제1 복수의 솔더 상호연결부들로부터의 적어도 하나의 제2 솔더 상호연결부; 및 제1 기판의 제1 복수의 상호연결부들로부터의 적어도 하나의 상호연결부를 포함하는, 디바이스.
- [0120] 양태 8: 양태 1 내지 양태 7 중 어느 한 양태에 있어서, 제2 기판의 제2 표면에 커플링되는 제2 복수의 채널 상호연결부들을 추가로 포함하는, 디바이스.
- [0121] 양태 9: 양태 1 내지 양태 8 중 어느 한 양태에 있어서, 제1 기판의 제1 표면에 커플링되는 제2 복수의 채널 상호연결부들을 추가로 포함하는, 디바이스.
- [0122] 양태 10: 양태 8 또는 양태 9에 있어서, 제2 복수의 채널 상호연결부들은 제4 기판 및/또는 가요성 케이블의 일부인, 디바이스.
- [0123] 양태 11: 장치는 제1 패키지, 및 제1 복수의 솔더 상호연결부들을 통해 제1 패키지에 커플링되는 제2 패키지를 포함한다. 제1 패키지는 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기판; 및 제1 기판에 커플링되는 제1 집적 디바이스를 포함한다. 제2 패키지는 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함하는 제2 기판; 제2 기판의 제1 표면에 커플링되는 제2 집적 디바이스; 제2 복수의 솔더 상호연결부들을 통해 제2 기판의 제1 표면에 커플링되는 제3 집적 디바이스; 및 제2 기판의 제1 표면에 커플링되는 채널 상호연결부들을 위한 수단 - 채널 상호연결부들을 위한 수단은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치됨 - 을 포함한다.
- [0124] 양태 12: 양태 11에 있어서, 제2 집적 디바이스는 제3 집적 디바이스와 제2 기판 사이에 위치되는, 장치.
- [0125] 양태 13: 양태 11 또는 양태 12에 있어서, 채널 상호연결부들을 위한 수단은 제4 기판을 포함하는, 장치.
- [0126] 양태 14: 양태 11 내지 양태 13 중 어느 한 양태에 있어서, 채널 상호연결부들을 위한 수단은 가요성 케이블을 포함하는, 장치.
- [0127] 양태 15: 양태 11 내지 양태 14 중 어느 한 양태에 있어서, 채널 상호연결부들을 위한 수단은 제3 집적 디바이스 아래에서 연장되는, 장치.
- [0128] 양태 16: 양태 11 내지 양태 15 중 어느 한 양태에 있어서, 제2 집적 디바이스와 제1 기판 사이의 제1 전기 경로는 채널 상호연결부를 위한 수단을 포함하는, 장치.
- [0129] 양태 17: 양태 11 내지 양태 16 중 어느 한 양태에 있어서, 제2 집적 디바이스와 제1 기판 사이의 제1 전기 경

로는, 제2 집적 디바이스를 제2 기관에 커플링시키는 적어도 하나의 제1 솔더 상호연결부; 제2 기관의 제2 복수의 상호연결부들로부터의 적어도 하나의 제1 상호연결부; 채널 상호연결부를 위한 수단; 제2 기관의 제2 복수의 상호연결부들로부터의 적어도 하나의 제2 상호연결부; 제2 기관과 제1 기관을 커플링시키는 제1 복수의 솔더 상호연결부들로부터의 적어도 하나의 제2 솔더 상호연결부; 및 제1 기관의 제1 복수의 상호연결부들로부터의 적어도 하나의 상호연결부를 포함하는, 장치.

- [0130] 양태 18: 양태 11 내지 양태 17 중 어느 한 양태에 있어서, 제2 기관의 제2 표면에 커플링되는 채널 상호연결부들을 위한 제2 수단을 추가로 포함하는, 장치.
- [0131] 양태 19: 양태 11 내지 양태 18 중 어느 한 양태에 있어서, 제1 기관의 제1 표면에 커플링되는 채널 상호연결부들을 위한 제2 수단을 추가로 포함하는, 장치.
- [0132] 양태 20: 양태 11 내지 양태 19 중 어느 한 양태에 있어서, 장치는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 차량에서의 디바이스로 이루어진 그룹으로부터 선택된 디바이스를 포함하는, 장치.
- [0133] 양태 21: 방법은 적어도 하나의 제1 유전체 층 및 제1 복수의 상호연결부들을 포함하는 제1 기관, 및 제1 기관에 커플링되는 제1 집적 디바이스를 포함하는 제1 패키지를 제공한다. 본 방법은 제1 복수의 솔더 상호연결부들을 통해 제1 기관에 제2 기관을 커플링시키며, 여기에서 제2 기관은 적어도 하나의 제2 유전체 층 및 제2 복수의 상호연결부들을 포함한다. 본 방법은 제2 기관의 제1 표면 위에 제1 복수의 채널 상호연결부들을 제공한다. 본 방법은 제2 기관의 제1 표면에 제2 집적 디바이스를 커플링시킨다. 본 방법은 제2 복수의 솔더 상호연결부들을 통해 제2 기관의 제1 표면에 제3 집적 디바이스를 커플링시키며, 여기에서 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치된다.
- [0134] 양태 22: 양태 21에 있어서, 제2 집적 디바이스는 제3 집적 디바이스와 제2 기관 사이에 위치되는, 방법.
- [0135] 양태 23: 양태 21 또는 양태 22에 있어서, 제1 복수의 채널 상호연결부들을 제공하는 단계는 제1 복수의 채널 상호연결부들을 포함하는 제4 기관을 제2 기관의 제1 표면에 커플링시키는 단계를 포함하는, 방법.
- [0136] 양태 24: 양태 21 내지 양태 23 중 어느 한 양태에 있어서, 제1 복수의 채널 상호연결부들을 제공하는 단계는 제1 복수의 채널 상호연결부들을 포함하는 가요성 케이블을 제2 기관의 제1 표면에 커플링시키는 단계를 포함하는, 방법.
- [0137] 양태 25: 양태 21 내지 양태 24 중 어느 한 양태에 있어서, 제1 복수의 채널 상호연결부들은 제3 집적 디바이스 아래에서 연장되는, 방법.
- [0138] 양태 26: 디바이스는 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는 기관, 및 기관에 커플링되는 집적 디바이스를 포함하는 패키지를 포함한다. 디바이스는 기관의 제1 표면에 커플링되는 제1 복수의 채널 상호연결부들을 포함한다.
- [0139] 양태 27: 양태 26에 있어서, 기관의 제1 표면에 커플링되는 다른 기관을 추가로 포함하고, 제1 복수의 채널 상호연결부들은 다른 기관의 일부인, 디바이스.
- [0140] 양태 28: 양태 26 또는 양태 27에 있어서, 기관의 제1 표면에 커플링되는 가요성 케이블을 추가로 포함하고, 제1 복수의 채널 상호연결부들은 가요성 케이블의 일부인, 디바이스.
- [0141] 양태 29: 양태 26 내지 양태 28 중 어느 한 양태에 있어서, 집적 디바이스로의/로부터의 제1 전기 경로는 제1 복수의 채널 상호연결부들을 포함하는, 디바이스.
- [0142] 양태 30: 양태 26 내지 양태 29 중 어느 한 양태에 있어서, 집적 디바이스로의/로부터의 제1 전기 경로는 집적 디바이스를 기관에 커플링시키는 적어도 하나의 제1 솔더 상호연결부; 기관의 복수의 상호연결부들로부터의 적어도 하나의 제1 상호연결부; 제1 복수의 채널 상호연결부들로부터의 적어도 하나의 채널 상호연결부; 기관의 복수의 상호연결부들로부터의 적어도 하나의 제2 상호연결부를 포함하는, 디바이스.
- [0143] 양태 31: 양태 26 내지 양태 30 중 어느 한 양태에 있어서, 기관의 제2 표면에 커플링되는 제2 복수의 채널 상호연결부들을 추가로 포함하는, 디바이스.
- [0144] 양태 32: 양태 31에 있어서, 제2 복수의 채널 상호연결부들은 제4 기관 및/또는 가요성 케이블의 일부인, 디바이스.

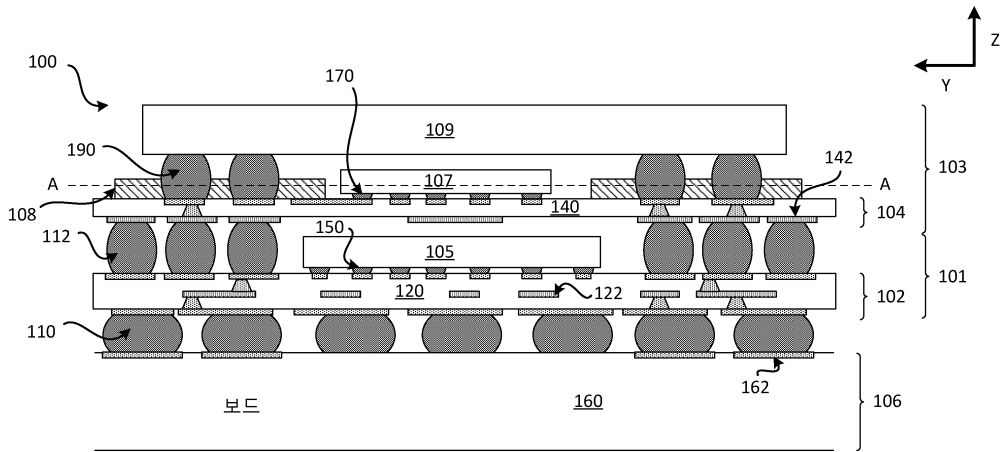
이스.

[0145] 양태 33: 양태 1 내지 양태 32 중 어느 한 양태에 있어서, 제2 복수의 솔더 상호연결부들을 통해 기관의 제1 표면에 커플링되는 다른 집적 디바이스를 추가로 포함하며, 제1 복수의 채널 상호연결부들은 제2 복수의 솔더 상호연결부들로부터의 솔더 상호연결부들 사이에 위치되고, 다른 집적 디바이스는 집적 디바이스 위에 위치되는, 디바이스.

[0146] 본 명세서에서 설명된 본 개시내용의 다양한 특징들은 본 개시내용으로부터 벗어남 없이 상이한 시스템들에서 구현될 수 있다. 본 개시내용의 전술한 양태들은 단지 예들일 뿐이며 본 개시내용을 한정하는 것으로서 해석되지 않아야 함에 유의한다. 본 개시내용의 양태들의 설명은, 청구항들의 범위를 제한하는 것이 아니라 예시적인 것으로 의도된다. 이와 같이, 본 교시들은 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 다수의 대안들, 수정들, 및 변동들은 당업자에게 명백할 것이다.

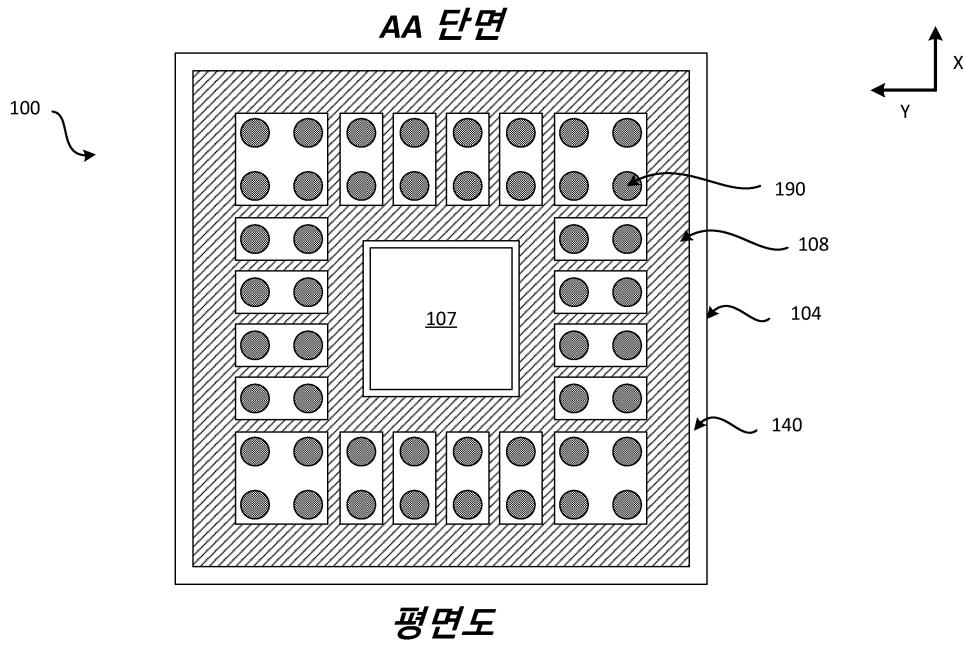
도면

도면1

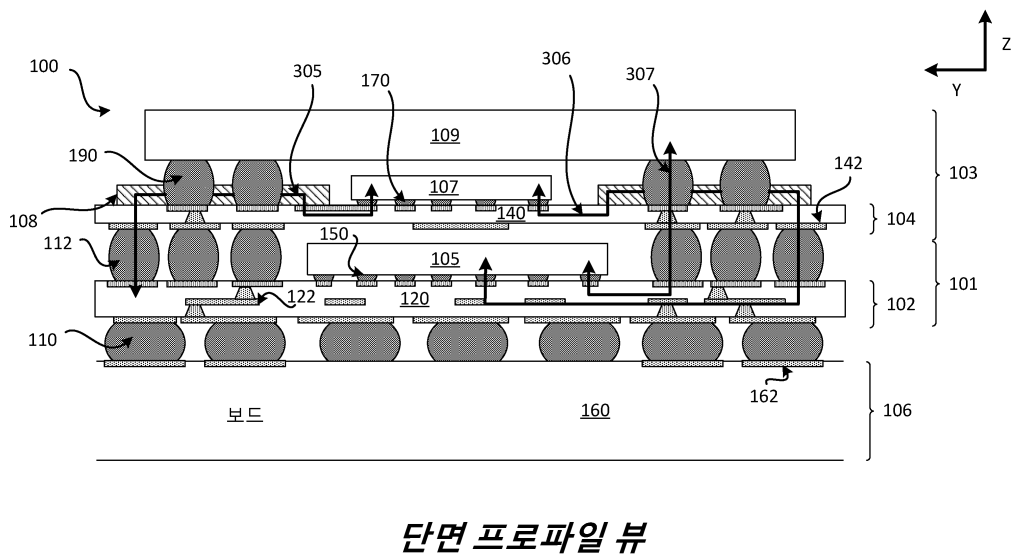


단면 프로파일 뷰

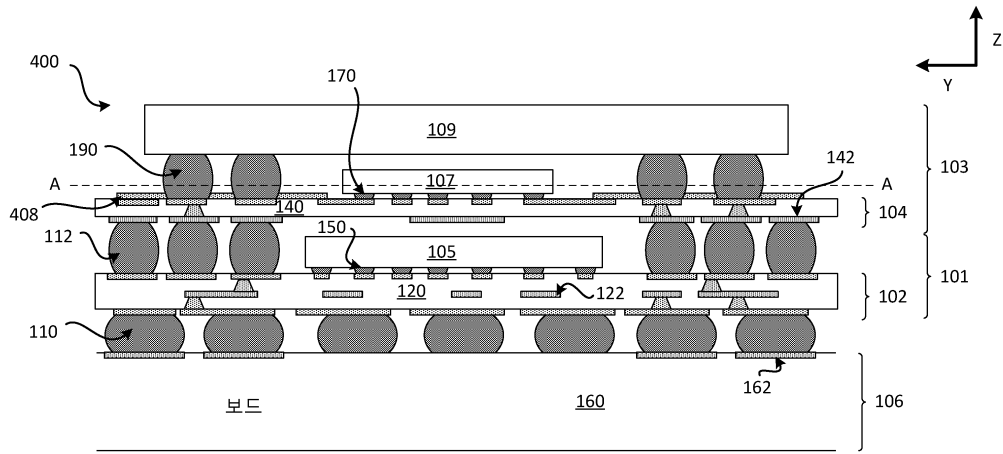
도면2



도면3

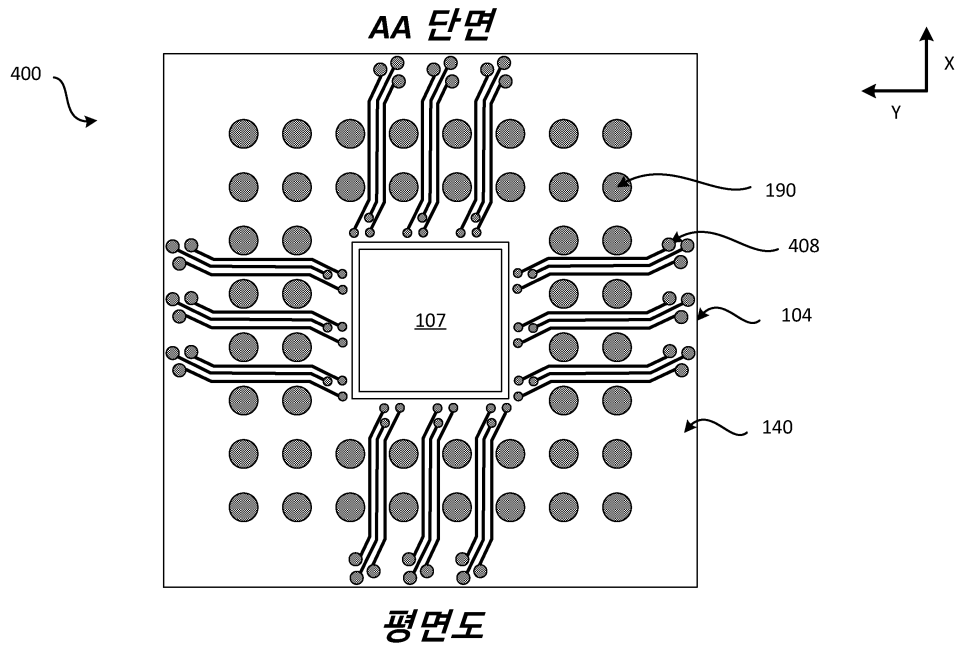


도면4



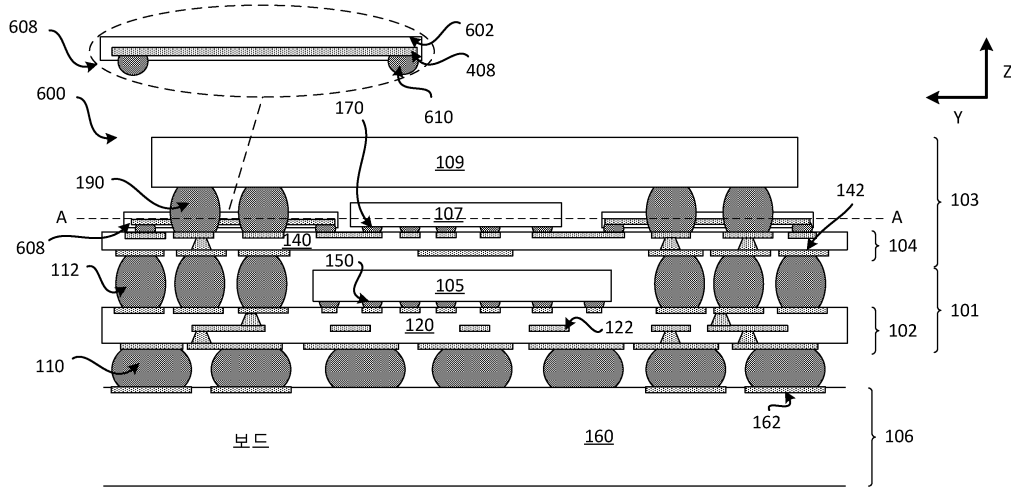
단면 프로파일 뷰

도면5



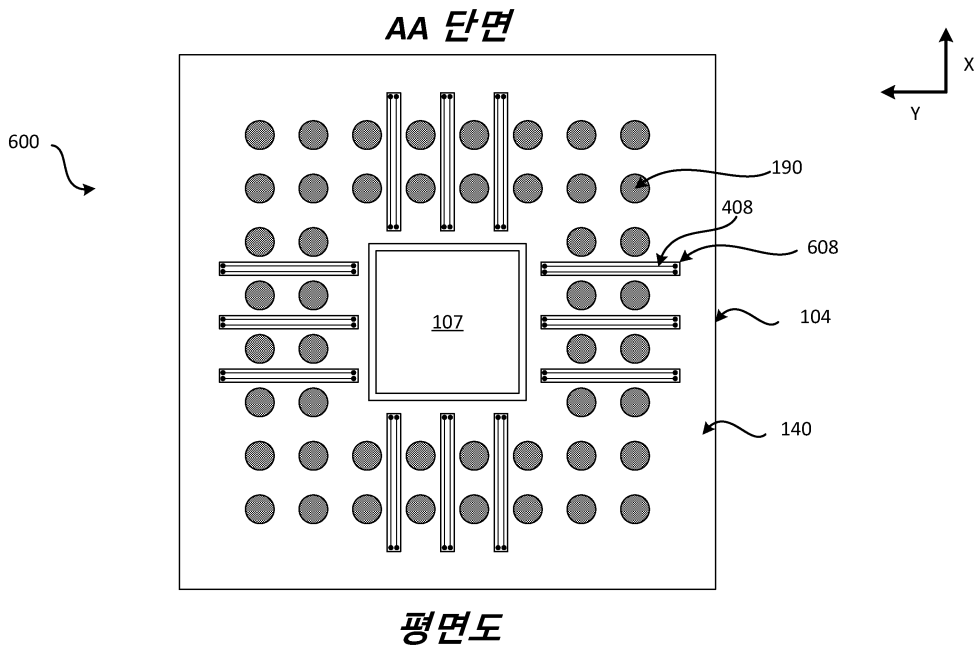
평면도

도면6



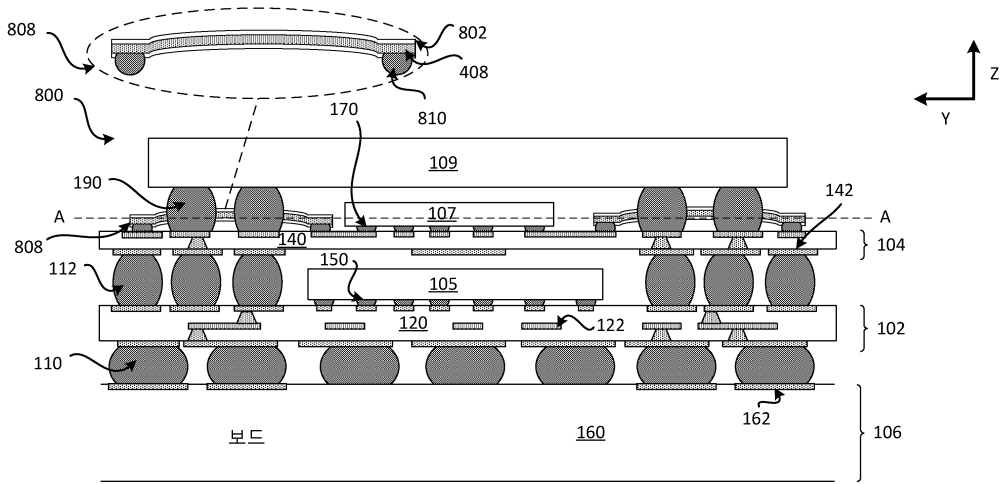
단면 프로파일 뷰

도면7



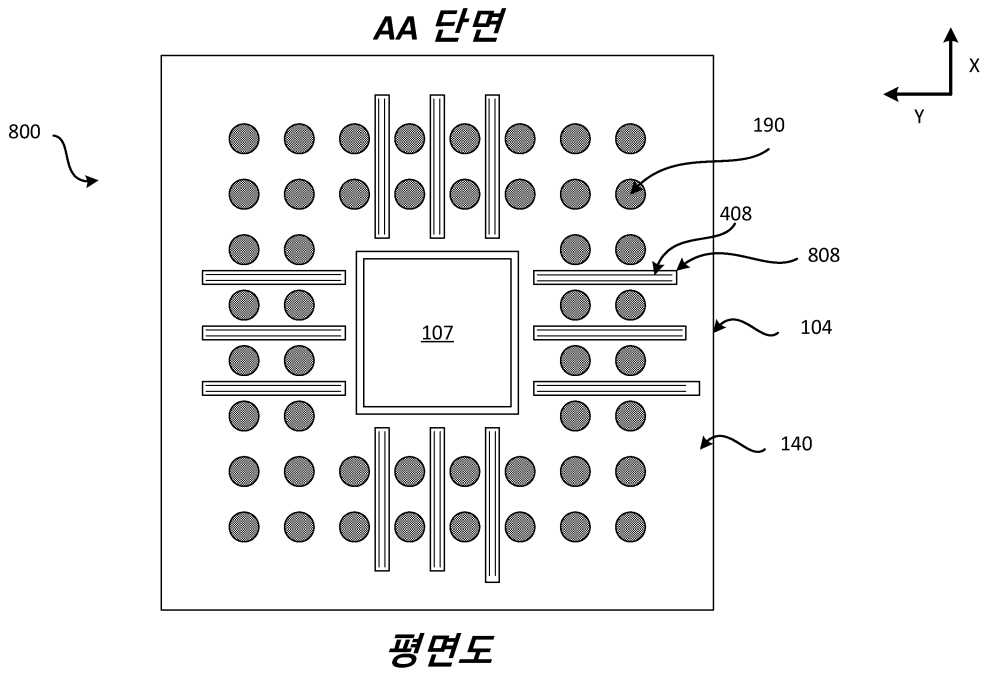
평면도

도면8



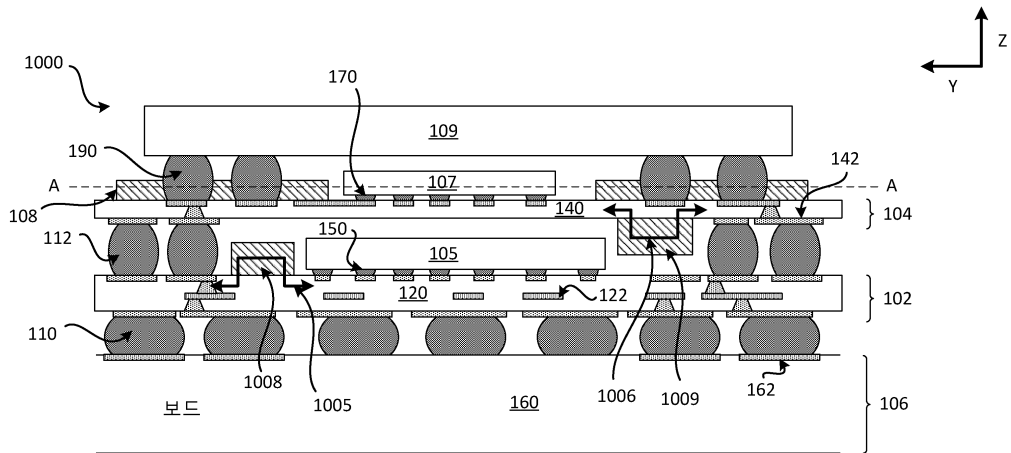
단면 프로파일 뷰

도면9



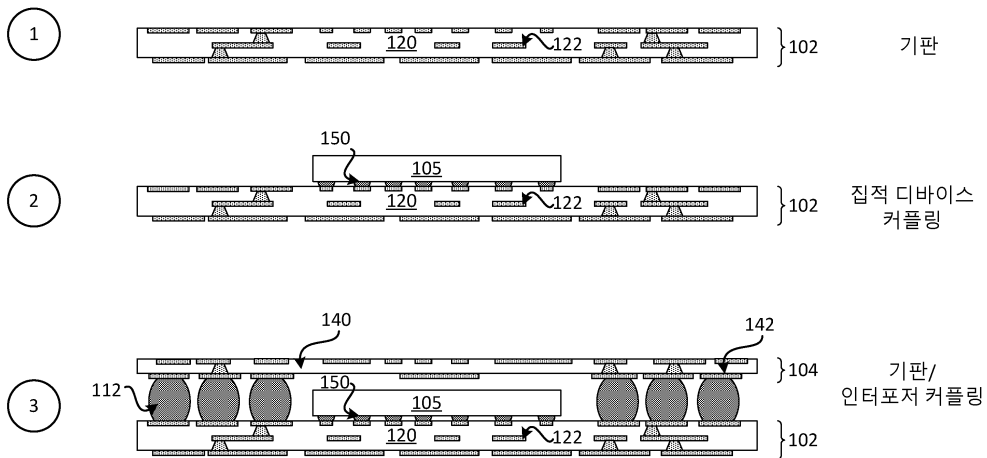
평면도

도면10

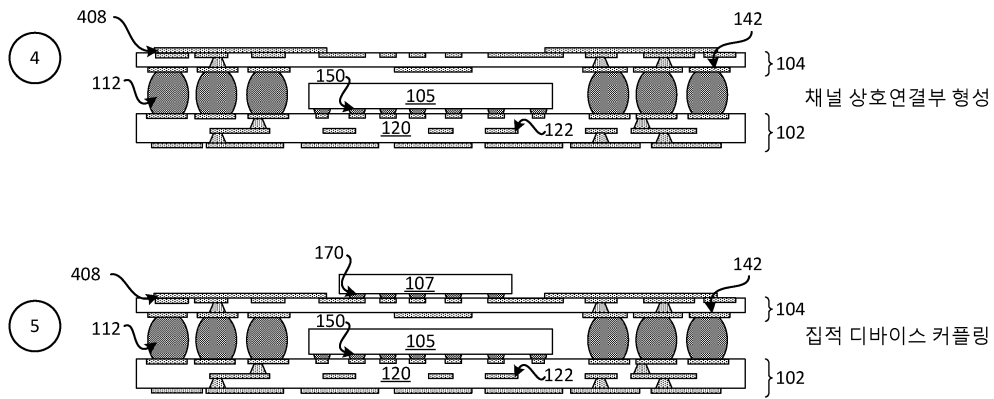


단면 프로파일 뷰

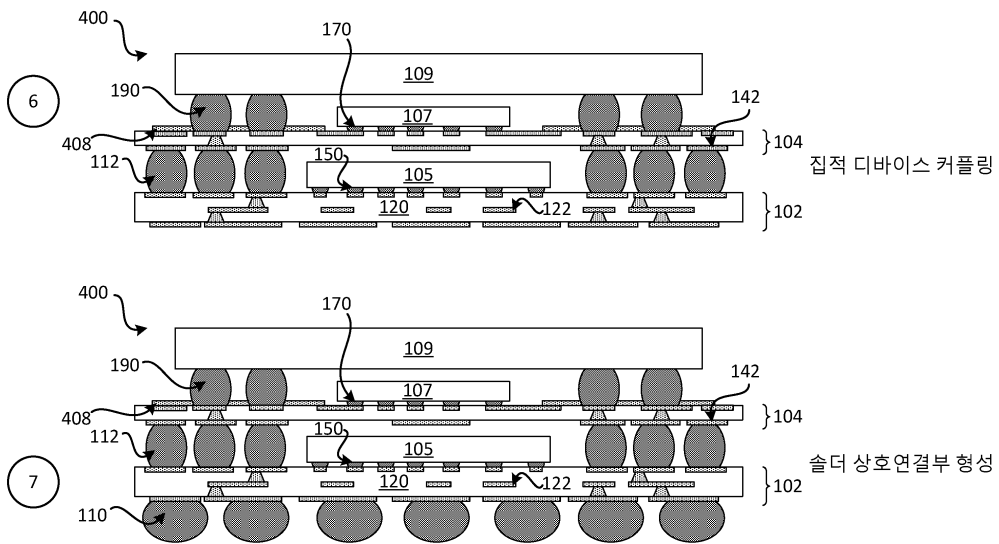
도면11a



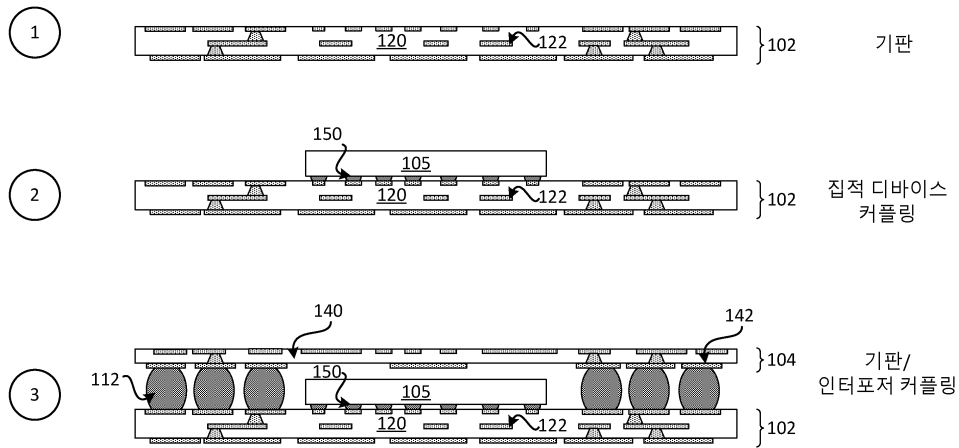
도면11b



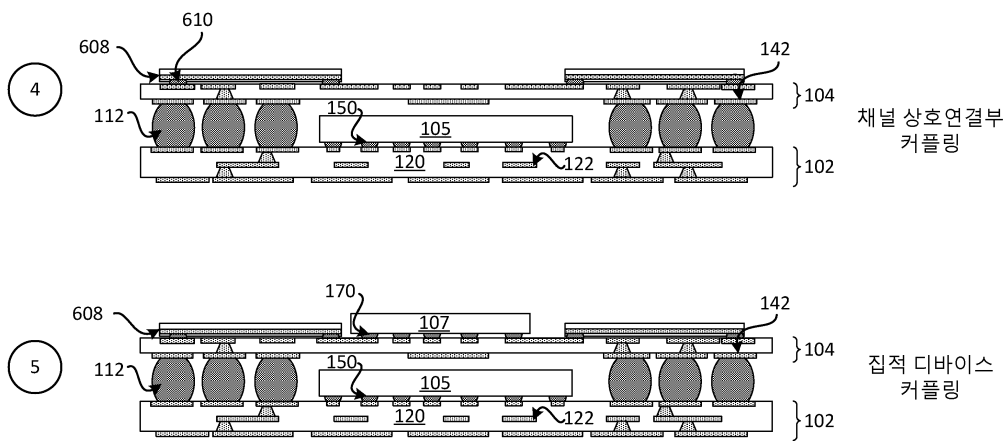
도면11c



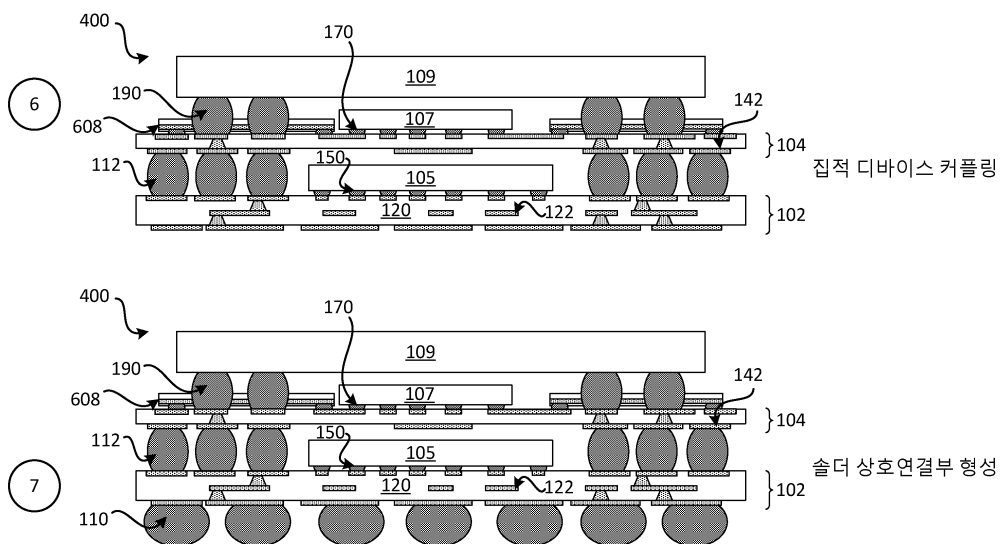
도면12a



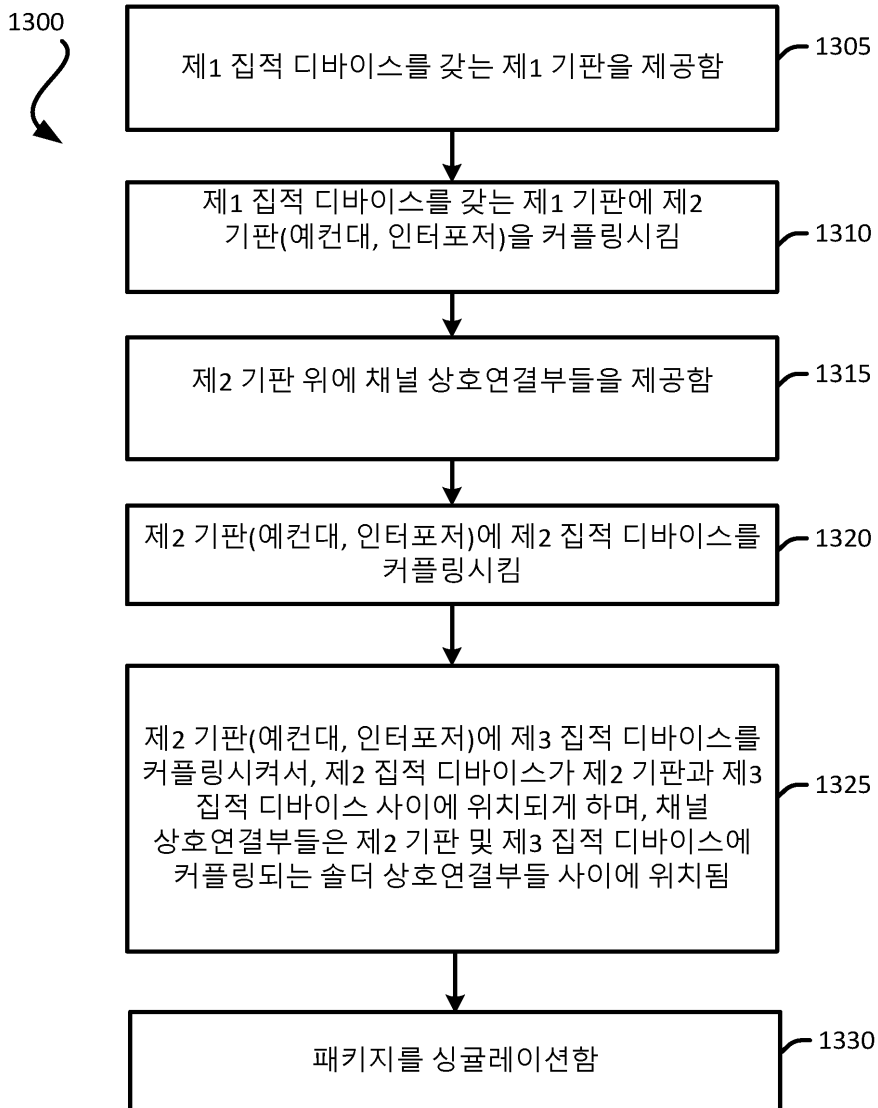
도면12b



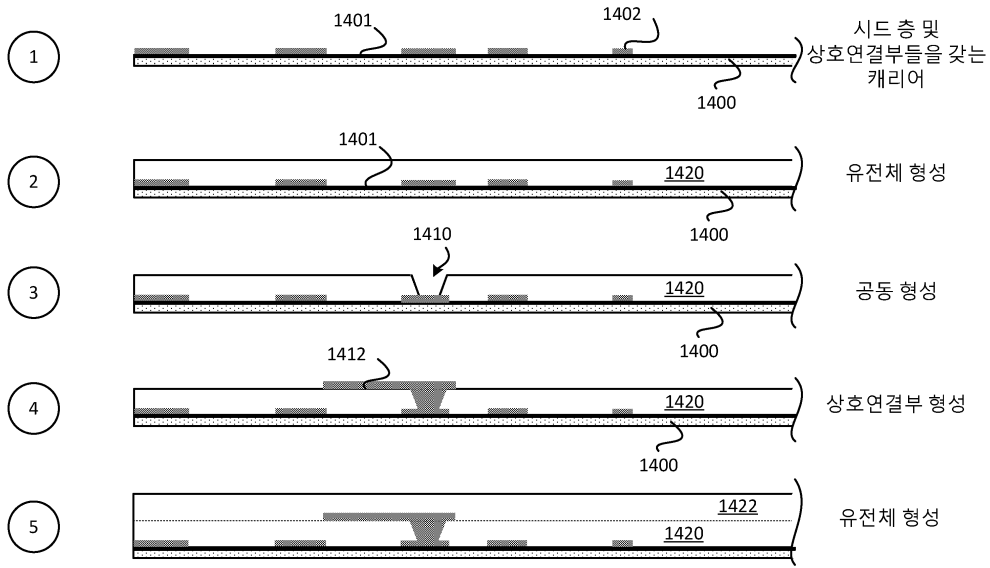
도면12c



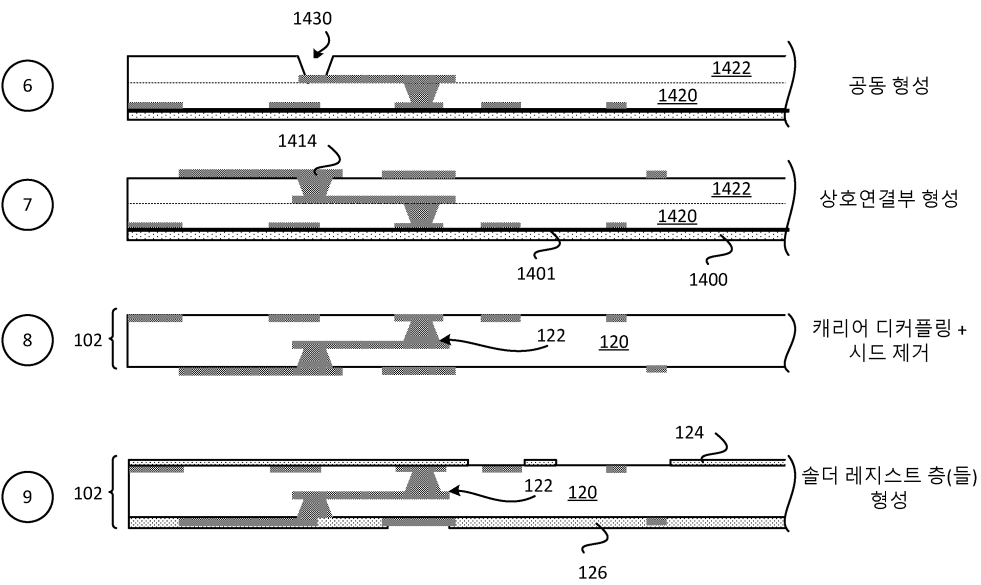
도면13



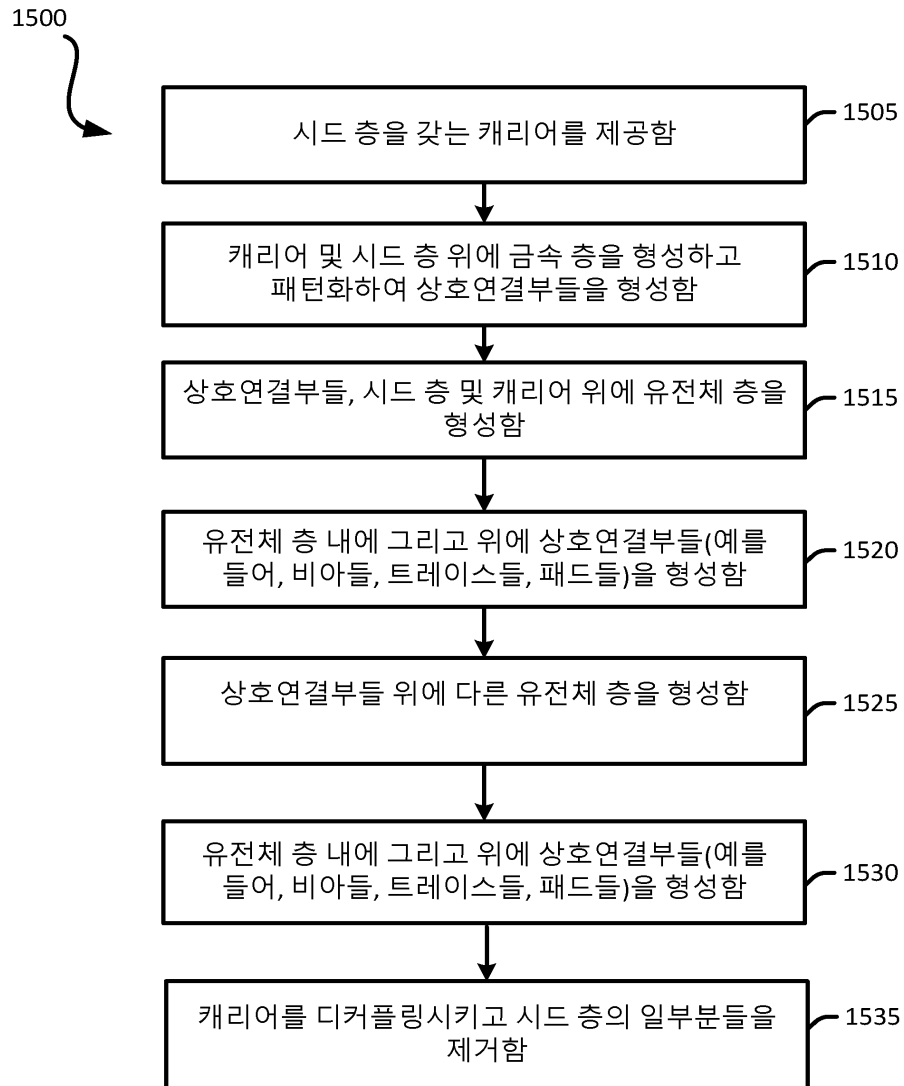
도면14a



도면14b



도면15



도면16

