

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7617554号
(P7617554)

(45)発行日 令和7年1月20日(2025.1.20)

(24)登録日 令和7年1月9日(2025.1.9)

(51)国際特許分類		F I		
H 1 0 D	89/00 (2025.01)	H 0 1 L	27/04	F
H 0 5 K	1/18 (2006.01)	H 0 5 K	1/18	L
H 1 0 D	1/68 (2025.01)	H 0 1 L	27/04	C
H 0 1 L	21/3205(2006.01)	H 0 1 L	21/88	J
H 0 1 L	21/768(2006.01)	H 0 1 L	27/04	D

請求項の数 7 (全19頁) 最終頁に続く

(21)出願番号	特願2020-215195(P2020-215195)	(73)特許権者	518082091 株式会社 S C U 東京都千代田区神田錦町二丁目9番地
(22)出願日	令和2年12月24日(2020.12.24)	(74)代理人	100114306 弁理士 中辻 史郎
(65)公開番号	特開2022-100912(P2022-100912 A)	(74)代理人	100148655 弁理士 諏訪 淳一
(43)公開日	令和4年7月6日(2022.7.6)	(72)発明者	永田 真 兵庫県神戸市灘区六甲台町1-1 国立 大学法人神戸大学内
審査請求日	令和5年11月9日(2023.11.9) (出願人による申告)令和2年度、国立研究開発法人 新エネルギー・産業技術総合開発機構「S I P (戦略的 イノベーション創造プログラム)第2期/I o T社会に 対応したサイバー・フィジカル・セキュリティ」委託研 究、産業技術力強化法第17条の適用を受ける特許出願	(72)発明者	三木 拓司 兵庫県神戸市灘区六甲台町1-1 国立 大学法人神戸大学内
		審査官	市川 武宜

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

電子回路が形成される第1の面と該第1の面の裏側になる第2の面とを有する回路基板の前記第1の面をプリント基板に向けて実装した半導体装置であって、

前記回路基板の前記第2の面に貼り合わせる配線基板を備え、

前記回路基板は、前記第1の面と前記第2の面をつなぐビア導体を備え、

前記電子回路は、前記ビア導体を介して前記配線基板の接合面に設けられた配線導体に接続され、

前記配線基板は、ストリップ導体からなる容量配線導体が前記接合面に形成され、

前記配線導体は、前記容量配線導体の放電電流を流すように接続し、

前記電子回路は、

前記容量配線導体の容量の変化から物体の接近を検知し、放電電流の静止から切断を検知する容量センサ回路を備えた

ことを特徴とする半導体装置。

【請求項2】

前記回路基板と前記配線基板とは、酸化膜結合で貼り合わせたことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記回路基板は、前記プリント基板に対してフリップチップ実装されたことを特徴とする請求項1に記載の半導体装置。

【請求項 4】

前記配線導体は、ストリップ導体により形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記配線導体は、ミアンダ状、ストライプ状、又は、メッシュ状に形成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

容量測定の高感度を向上させるための参照容量の充放電回路をさらに備えたことを特徴とする請求項 1 乃至 5 のいずれか一つに記載の半導体装置。

【請求項 7】

電子回路が形成される第 1 の面と該第 1 の面の裏側になる第 2 の面とを有する回路基板の前記第 1 の面をプリント基板に向けて実装した半導体装置であって、

前記回路基板の前記第 2 の面に貼り合わせる配線基板を備え、

前記回路基板は、前記第 1 の面と前記第 2 の面とをつなぐビア導体を備え、

前記電子回路は、前記ビア導体を介して前記配線基板の接合面に設けられた配線導体に接続され、

前記配線基板は、前記接合面の全面にミアンダ状に形成され、

前記電子回路は、

前記配線導体の容量変化により切断場所と物体の接近を検知する容量センサ回路とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路基板の裏面へのセキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる半導体装置に関する。

【背景技術】

【0002】

従来、半導体製造技術の進展により、信号を処理するために、集積された電子回路を含む様々な半導体装置が使用されている。

【0003】

ある種の信号処理（例えば、暗号化及び復号化）では、処理される信号の秘匿性及び／又は真正性が求められる場合がある。この場合、機密情報を含む信号が、外部から直接にアクセス可能な信号線に伝送されないことが求められる。また、機密情報を含む信号を処理する回路が、不要電波又は電源ノイズなどの形態で信号の内容を漏洩しないことが求められる。

【0004】

例えば、特許文献 1 には、IC チップの裏面シリコン基板を介したノイズ観測やフォルト注入等のセキュリティ攻撃を防ぎ、かつ、裏側からの物理攻撃すなわち暴露攻撃を検知する裏面埋込配線構造の技術が開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開 2019 - 110293 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献 1 のものは、IC チップの電子回路面を下にしてプリント基板に実装するフリップチップ実装を行う場合に、回路基板の裏面が露出してしまうという問題がある。このため、例えば裏面の配線に対してバイパス回路を設ける等のバイパス攻撃等、攻撃者が回避策を講じることが可能で、攻撃者による高度な攻撃をうける可能性

10

20

30

40

50

が生ずる。

【0007】

本発明は、上述した従来技術による問題点（課題）を解決するためになされたものであって、回路基板の裏面へのセキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するため、本発明は、電子回路が形成される第1の面と該第1の面の裏側になる第2の面とを有する回路基板の前記第1の面をプリント基板に向けて実装した半導体装置であって、前記回路基板の前記第2の面に貼り合わせる配線基板を備え、前記回路基板は、前記第1の面と前記第2の面をつなぐビア導体を備え、前記電子回路は、前記ビア導体を介して前記配線基板の接合面に設けられた配線導体に接続され、前記配線基板は、ストリップ導体からなる容量配線導体が前記接合面に形成され、前記配線導体は、前記容量配線導体の放電電流を流すように接続し、前記電子回路は、前記容量配線導体の容量の変化から物体の接近を検知し、放電電流の静止から切断を検知する容量センサ回路を備えたことを特徴とする。

10

【0009】

また、本発明は、上記発明において、前記回路基板と前記配線基板とは、酸化膜結合で貼り合わせたことを特徴とする。

【0010】

また、本発明は、上記発明において、前記回路基板は、前記プリント基板に対してフリップチップ実装されたことを特徴とする。

20

【0011】

また、本発明は、上記発明において、前記配線導体は、ストリップ導体により形成されたことを特徴とする。

【0012】

また、本発明は、上記発明において、前記配線導体は、ミアンダ状、ストライプ状、又はメッシュ状に形成されたことを特徴とする。

【0013】

また、本発明は、上記発明において、容量測定の感度を向上させるための参照容量の充放電回路をさらに備えたことを特徴とする。

30

【0015】

また、本発明は、電子回路が形成される第1の面と該第1の面の裏側になる第2の面とを有する回路基板の前記第1の面をプリント基板に向けて実装した半導体装置であって、前記回路基板の前記第2の面に貼り合わせる配線基板を備え、前記回路基板は、前記第1の面と前記第2の面をつなぐビア導体を備え、前記電子回路は、前記ビア導体を介して前記配線基板の接合面に設けられた配線導体に接続され、前記配線基板は、前記接合面の全面にミアンダ状に形成され、前記電子回路は、前記配線導体の容量変化により切断場所と物体の接近を検知する容量センサ回路とを備えたことを特徴とする。

【発明の効果】

40

【0017】

本発明によれば、回路基板の裏面へのセキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる半導体装置を提供することができる。

【図面の簡単な説明】

【0018】

【図1】図1は、実施形態1に係る半導体装置の構成を示す斜視図である。

【図2】図2は、図1のA-A線における半導体装置の断面図である。

【図3】図3は、図1の配線基板の接合面を示す図である。

【図4】図4は、実施形態1に係る半導体装置の容量センサ回路の構成を示す回路図である。

50

【図 5】図 5 は、図 4 の容量センサ回路の動作を示すタイミングチャートである。

【図 6】図 6 は、実施形態 1 に係る半導体装置の切断検知回路の構成を示す回路図である。

【図 7】図 7 は、図 6 の切断検知回路の動作であって、通常の動作及び半導体装置が攻撃を受けたときの動作を示すタイミングチャートである。

【図 8】図 8 は、実施形態 2 に係る半導体装置の配線基板の接合面を示す図である。

【図 9】図 9 は、実施形態 2 に係る半導体装置の容量センサ回路の構成を示す回路図である。

【図 10】図 10 は、図 9 の容量センサ回路の動作を示すタイミングチャートである。

【図 11】図 11 は、実施形態 3 に係る半導体装置の配線基板の接合面を示す図である。

【図 12】図 12 は、実施形態 3 に係る半導体装置の容量センサ回路の構成を示す回路図である。

10

【図 13】図 13 は、図 12 の容量センサ回路の動作を示すタイミングチャートである。

【図 14】図 14 は、実施形態 4 に係る半導体装置の高解像度容量センサ回路の構成を示す回路図である。

【図 15】図 15 は、図 14 の高解像度容量センサ回路の動作を示すタイミングチャートである。

【図 16】図 16 は、図 14 の高解像度容量センサ回路の高解像度を実現するための原理を示す図である。

【図 17】図 17 は、図 14 の高解像度容量センサ回路の高解像度化の計算機シミュレーション結果を示す図である。

20

【発明を実施するための形態】

【0019】

以下に、本発明に係る半導体装置の各実施形態を図面に基づいて詳細に説明する。

【0020】

[実施形態 1]

まず、本実施形態 1 に係る半導体装置の概要について説明する。本実施形態 1 では、電子回路 15 を形成する回路基板 1 と、セキュリティ攻撃を検知する配線導体 13a、13b 及び 13c を形成する配線基板 17 を酸化膜結合で結合した半導体装置について説明する。

【0021】

30

図 1 は、実施形態 1 に係る半導体装置の構成を示す斜視図である。図 1 に示すように、半導体装置は、回路基板 1、プリント基板 2、配線導体 3、酸化膜結合面 16 及び配線基板 17 を備える。回路基板 1 は、図 1 の X Y 面と並行な 2 つの面を有する。ここでは、電子回路 15 が設けられる面を「第 1 の面」と呼び、第 1 の面の裏面を「第 2 の面」と呼ぶこととする。

【0022】

回路基板 1 は、半導体基板 11 と、半導体基板 11 において X Y 面に対して平行に形成された複数の配線層 12a を含む。例えば、半導体基板 11 は例えばシリコンからなり、配線層 12a は例えば銅からなる。なお、半導体基板 11 及び配線層 12a の材料は、これに限定されるものではない。回路基板 1 には電子回路 15 が形成されている。また、回路基板 1 は、回路基板 1 の第 1 の面に形成された配線層 12a と回路基板 1 の第 2 の面をつなぐビア導体 14 が形成されている。

40

【0023】

電子回路 15 は、半導体装置への切削攻撃や、バイパス攻撃等を検知する検知回路を含む。回路基板 1 の第 1 の面には、電子回路 15 に電力を供給し、信号を入出力するための複数のパッド導体 12ac が形成される。

【0024】

配線基板 17 は、回路基板 1 と同じように、図 1 の X Y 面に平行な 2 つの面を有し、該回路基板 1 との接合面に形成された複数の埋込配線導体 13 を含む。例えば、配線基板 17 はシリコンからなり、埋込配線導体 13 は銅からなる。

50

【 0 0 2 5 】

回路基板 1 の第 2 の面には、後述するビア導体の部分を除いて酸化膜結合面 1 6 を形成し、この酸化膜結合面 1 6 に配線基板 1 7 を重ね合わせて、2 つの基板（回路基板 1 及び配線基板 1 7）を接合する。このように、酸化膜は絶縁膜であるため、第 2 の面のビア導体の部分には酸化膜結合面 1 6 を形成しない。ここで、酸化膜結合とは、シリコンウエハを重ね合わせて加熱することによってシリコンウエハの接合面に酸化膜を形成してウエハ同士を接合する技術である。酸化膜結合の利点としては、接合強度が強い点と、配線基板 1 7 の基板電位を回路基板 1 の基板電位（通常グランド電位）から絶縁し、フローティングノードにすることができる点が挙げられる。

【 0 0 2 6 】

このような構成にすることにより、配線基板 1 7 の埋込配線導体 1 3 は、配線基板 1 7 の結合面の反対側の面に露出することが無く、攻撃者のバイパス攻撃を防ぐことができる。また、配線基板 1 7 の基板電位は、回路基板 1 の基板電位（通常クラウド電位）から絶縁し、フローティング電位としているため、配線基板 1 7 に容量回路を設けることにより外部からの電界変化を検知することができる。

【 0 0 2 7 】

回路基板 1 と配線基板 1 7 を酸化膜結合で貼り合わせた半導体装置は、電子回路 1 5 が形成されている回路基板 1 の第 1 の面において、例えばバンプ導体などによりプリント基板 2 にフリップチップ実装されている。かかるフリップチップ実装とは、半導体をチップに切り出したベアチップを、フリップ（反転）して実装する実装技術である。

【 0 0 2 8 】

プリント基板 2 は、複数の半導体装置間の接続や外部から電源電圧 V_{DD} を印加するための基板であり、樹脂又はセラミックにより構成される。配線導体 3 は、半導体装置への電源電圧 V_{DD} の印加及び信号の伝送をするための配線である。埋込配線導体 1 3 についての説明は後述する。

【 0 0 2 9 】

次に、本実施形態 1 に係る半導体装置の構成を説明する。図 2 は、図 1 の A - A 線における半導体装置の断面図である。図 2 に示すように、回路基板 1 は、半導体基板 1 1、多層配線導体 1 2、ビア導体 1 4 及び電子回路 1 5 を備える。また、配線基板 1 7 は、埋込配線導体 1 3 を備える。そして、回路基板 1 と配線基板 1 7 は、酸化膜結合面 1 6 により酸化膜結合されている。

【 0 0 3 0 】

酸化膜結合している回路基板 1 と配線基板 1 7 は、強い接合強度で接合されている。また、配線基板 1 7 の基板電位は、回路基板 1 の基板電位（通常グランド電位）から絶縁されて、フローティング電位となっている。したがって、配線基板 1 7 に容量回路を設けることにより、外部からの電界変化を検知することができる。

【 0 0 3 1 】

半導体基板 1 1 は、回路基板 1 の第 1 の面に複数の配線層 1 2 a を含む多層配線導体 1 2 を有する。図 2 の例では、多層配線導体 1 2 は 6 つの配線層 1 2 a を含む。各配線層 1 2 a は、任意の半導体プロセス技術によりパターン形成される。これにより、多層配線導体 1 2 に電子回路 1 5 が形成される。電子回路 1 5 は、トランジスタ、ダイオード、キャパシタ、抵抗、インダクタなどの複数の回路素子 1 5 a を含む。

【 0 0 3 2 】

電子回路 1 5 は、CMOS プロセス技術又は他のプロセス技術により形成することができる。また、配線層 1 2 a の一部は、パッド導体 1 2 a c として形成される。ビア導体 1 4 は、半導体基板 1 1 を Z 方向（厚さ方向）に貫通して形成される。少なくとも 1 つのビア導体 1 4 が多層配線導体 1 2 に電気的に接続され、少なくとも 1 つのビア導体 1 4 が回路基板 1 の第 2 の面に電極として形成される。

【 0 0 3 3 】

配線基板 1 7 は、配線基板 1 7 の接合面に埋込配線導体 1 3 を有する。埋込配線導体 1

10

20

30

40

50

3は、配線基板17にエッチングで溝を掘り、そこに金属を埋め込んで配線を形成する。プリント基板2は、すでに説明したので、ここではその詳細な説明を省略する。

【0034】

次に、本実施形態1に係る半導体装置の配線基板17の接合面のパターンについて説明する。図3は、図1の配線基板17の接合面を示す図である。図3に示すように、配線導体13aと配線導体13bは、ストリップ導体で互いに平行に形成されることにより相互容量回路を形成する。ノードN31及びノードN32は、図2のビア導体14を介して電子回路15内の容量センサ回路20に接続される。

【0035】

かかる構造とすることにより、攻撃者がプローブを接近させて攻撃をしようとした場合に、容量センサ回路20が測定する容量値が変化するため、プローブを接近させて攻撃しようとした事実を検知することができる。

10

【0036】

また、配線導体13cは、互いに接続された直線状の複数のストリップ導体を含み、実質的に配線基板17の接合面の全体を覆うようにノードN33からノードN34までミアンダ状に形成される。ノードN33及びノードN34は、図2の酸化膜結合された回路基板1のビア導体14を介して電子回路15内の切断検知回路30に接続される。

【0037】

かかる構造とすることにより、攻撃者がレーザによる遠隔攻撃を行った場合に、配線導体13cが切断され切断検知回路30により、切削攻撃を受けた事実を検知することができる。

20

【0038】

次に、容量センサ回路20の構成について説明する。図4は、実施形態1に係る半導体装置の容量センサ回路20の構成を示す回路図である。図4に示すように、容量センサ回路20は、スイッチング素子21、22、定電流源23、パルスゲート回路24及びパルスカウンタ25を備える。容量センサ回路20は、電子回路15の内部に設けられ、図2のビア導体14を介して図3のノードN31及びノードN32に接続される。

【0039】

容量センサ回路20は、スイッチング素子21とスイッチング素子22を交互にオン・オフすることにより充放電を繰り返す。パルスゲート回路24は、ノードN31の電圧と参照電圧 V_C を比較し、ノードN31の電圧が参照電圧 V_C より低くなるとパルス信号を出力する。パルスカウンタ25は、パルスゲート回路24が出力するパルスの数をカウントし、パルス数 D_{OUT} を出力する。

30

【0040】

次に、容量センサ回路20の動作について説明する。図5は、図4の容量センサ回路20の動作を示すタイミングチャートである。図4に示すように、ノードN31の電圧は、スイッチング素子21がオン、スイッチング素子22がオフの状態では電源電圧 V_{DD} に充電される。その後スイッチング素子21をオフ、スイッチング素子22をオンにすると、定電流源23により一定の電流で容量の電荷が放電されるので、ノードN31の電圧はスロープ状に下がる。

40

【0041】

パルスゲート回路24は、ノードN31の電圧が参照電圧 V_C より低くなる(t_1)とパルス信号 V_{PULSE} を出力する。また、容量に充電する場合、ノードN31の電圧が参照電圧 V_C より高くなる(t_2)とパルス信号 V_{PULSE} の出力を停止する。

【0042】

容量センサ回路20は、ノードN31に接続される容量値が大きい場合には、容量値が低い場合に比べて、ノードN31の電圧が参照電圧 V_C より低くなる(t_3)タイミングが遅くなる。これは、大きな容量の電荷を定電流源23で放電すると、放電に時間がかかる、すなわちノードN31の電圧の放電のスロープが緩やかになるためである。一方、容量を充電する場合、充電速度は容量値の大小にあまり影響が無いので、ノードN31の電圧

50

が参照電圧 V_C より高くなる (t_4) のタイミングは容量が小さい場合と同じとなる。

【0043】

したがって、パルスゲート回路24からパルス信号 V_{PULSE} が出力される時間は、容量センサ回路20に接続される容量が小さい場合は長く、大きい場合は短くなる。このパルス信号 V_{PULSE} のパルスの数をパルスカウンタ25で数えることにより容量値を計測することができる。すなわち、この容量値の変化によって攻撃者の手やプローブの接近を検知することができる。

【0044】

次に切断検知回路30の構成について説明する。図6は、実施形態1に係る半導体装置の切断検知回路30の構成を示す回路図である。図6に示すように、切断検知回路30は、スイッチング素子26~28及びラッチ回路29を備える。切断検知回路30は、電子回路15の内部に設けられ、図2のビア導体14を介して図3のノードN33及びノードN34に接続される。切断検知回路30は、電子回路15の他の部分からリセット信号の入力及び定電圧が印加され、検出信号を発生する。

10

【0045】

次に、切断検知回路30の動作について説明する。図7は、図6の切断検知回路30の動作であって、通常動作及び半導体装置が攻撃を受けたときの動作を示すタイミングチャートである。通常時には、ノードN33の電圧はノードN34の電圧(接地電圧)に等しく、検出信号はローレベルのままである。これに対して、半導体装置がレーザによる遠隔攻撃を受けて配線導体13cが切断した場合には、ノードN33の電圧が高位電圧となる。このため、検出信号はローレベルからハイレベルに移行する。

20

【0046】

検出信号がローレベルからハイレベルに移行したならば、電子回路15の動作を停止させることにより、半導体装置の内部で処理する信号を攻撃者から保護することができる。

【0047】

上述してきたように、本実施形態1では、回路基板1と配線基板17を酸化膜結合で貼り合わせたため、半導体装置裏面に配線導体等の回路が露出することが無く、裏面からのバイパス攻撃等を防ぐことができる。また、半導体装置に配線導体13a、13b及び13cと、電子回路15内に容量センサ回路20及び切断検知回路30を設けることにより、攻撃者のプローブの接近等の検知及び切削攻撃を受けた事実を検知することができる。本実施形態1に係る半導体装置は、攻撃者のプローブの接近等の検知及び切削攻撃を受けた事実を検知したときに電子回路15の動作を停止することにより、セキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる。

30

【0048】

[実施形態2]

ところで、上記実施形態1では、攻撃者のプローブの接近の検知と切削攻撃を受けた事実の検知に別々の回路を使用していたが、電子回路15の構造が複雑になる。そこで、本実施形態2では、攻撃者のプローブの接近の検知と切削攻撃を受けた事実の検知を1つの回路で行う半導体装置について説明する。

【0049】

まず、本実施形態2に係る半導体装置の配線基板17の接合面について説明する。図8は、実施形態2に係る半導体装置の配線基板17の接合面を示す図である。図8に示すように、配線導体13dは、ストリップ導体を用いて平板の自己容量回路を形成する。また、配線導体13eは、互いに接続された直線状の複数のストリップ導体を含み、実質的に配線基板17の接合面の全体を覆うようにノードN36からノードN37までミアンダ状に形成される。ノードN35、ノードN36及びノードN37は、図2の酸化膜結合された回路基板1のビア導体14を介して電子回路15内の容量センサ回路40に接続される。

40

【0050】

配線導体13dは、自己容量回路として電子回路15内の容量センサ回路40に接続される。配線導体13dは、プローブ等の接近により自身の容量値が増加する。したがって

50

、容量センサ回路40は、その容量値の変化を検知しプローブ等の接近の事実を検知できる。

【0051】

また、配線導体13eは、上記容量センサ回路40の配線導体13dが形成する自己容量回路の電荷放電経路にノードN36及びノードN37を介して接続される。容量センサ回路40は、攻撃者が切削攻撃等を行うと配線導体13eが切断され、ノードN35の電位が高位電位になるため、攻撃者がレーザによる遠隔攻撃等を行った事実を検知できる。

【0052】

次に、容量センサ回路40の構成について説明する。図9は、実施形態2に係る半導体装置の容量センサ回路40の構成を示す回路図である。図9に示すように、容量センサ回路40は、スイッチング素子31、32、定電流源33、パルスゲート回路34及びパルスカウンタ35を備える。容量センサ回路40は、電子回路15の内部に設けられ、図2のビア導体14を介して図8のノードN35、ノードN36及びノードN37に接続される。

10

【0053】

容量センサ回路40は、スイッチング素子31とスイッチング素子32を交互にオン・オフすることにより、配線導体13dで形成された自己容量回路の充放電を繰り返す。一方容量センサ回路40の放電経路には配線導体13eで形成されるミアンダ回路が接続されている。パルスゲート回路34は、ノードN35の電圧と参照電圧 V_C を比較し、ノードN35の電圧が参照電圧 V_C より低くなるとパルス信号を出力する。パルスカウンタ35は、パルスゲート回路24が出力するパルスの数をカウントし、パルス数 D_{OUT} を出力する。

20

【0054】

次に、容量センサ回路40の動作について説明する。図10は、図9の容量センサ回路40の動作を示すタイミングチャートである。図10に示すように、ノードN35の電圧は、スイッチング素子31がオン、スイッチング素子32がオフの状態では電源電圧 V_{DD} に充電される。その後スイッチング素子31をオフ、スイッチング素子32をオンにすると、定電流源33により一定の電流で配線導体13aを介して容量の電荷が放電されるので、ノードN35の電圧はスロープ状に下がる。

【0055】

パルスゲート回路34は、ノードN35の電圧が参照電圧 V_C より低くなる(t_5)とパルス信号 V_{PULSE} を出力する。また、容量に充電する場合、ノードN35の電圧が参照電圧 V_C より高くなる(t_6)とパルス信号 V_{PULSE} の出力を停止する。

30

【0056】

容量センサ回路40は、ノードN35に接続される容量値が大きい場合には、容量値が低い場合に比べて、ノードN35の電圧が参照電圧 V_C より低くなる(t_7)タイミングが遅くなる。これは、大きな容量の電荷を定電流源33で放電すると、放電に時間がかかる。すなわちノードN35の電圧の放電のスロープが緩やかになるためである。一方、容量を充電する場合、充電速度は容量値の大小にあまり影響が無いので、ノードN35の電圧が参照電圧 V_C より高くなる(t_8)のタイミングは容量値が小さい場合と同じとなる。

【0057】

したがって、パルスゲート回路34からパルス信号 V_{PULSE} が出力される時間は、容量センサ回路40に接続される容量が小さい場合は長く、大きい場合は短くなる。このパルス信号 V_{PULSE} のパルスの数をパルスカウンタ35で数えることにより容量値を計測することができる。すなわち、この容量値の変化によって攻撃者の手やプローブの接近を検知することができる。また、半導体装置が攻撃者よりレーザによる遠隔攻撃を受けた場合は、配線導体13eが切断される。このため電荷が放電されず、ノードN35は電源電位に固定される。その結果、パルス信号 V_{PULSE} が出力されなくなり、攻撃者によりレーザによる遠隔攻撃を受けた事実を検知することができる。

40

【0058】

上述してきたように、実施形態2に係る半導体装置は、配線導体13dと、配線導体1

50

3 e と、電子回路 15 内の容量センサ回路 40 とを備えることにより、攻撃者によるプローブ等の接近の検知と、レーザによる遠隔攻撃を受けた事実を検知することができる。本実施形態 2 に係る半導体装置は、攻撃者によるプローブの接近の検知やレーザによる遠隔攻撃を受けた事実を検知したときに電子回路 15 の動作を停止することにより、セキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる。

【0059】

[実施形態 3]

ところで、上記実施形態 1 及び 2 では、プローブの接近を検知するための容量回路とレーザによる遠隔攻撃による配線の切断を検知するミアンダ回路の 2 つの回路が必要である。そこで本実施形態 3 では、ミアンダ回路だけでプローブの接近の検知とレーザによる遠隔攻撃による配線の切断を検知する半導体装置について説明する。

10

【0060】

まず、本実施形態 3 に係る半導体装置の配線基板 17 の接合面について説明する。図 11 は、実施形態 3 に係る半導体装置の配線基板 17 の接合面を示す図である。図 11 に示すように、配線導体 13 f は、互いに接続された直線状の複数のストリップ導体を含み、実質的に配線基板 17 の接合面の全体を覆うようにノード N38 からノード N39 までミアンダ状に形成される。ノード N38 及びノード N39 は、図 2 の酸化膜結合で電気的に接続された回路基板 1 のビア導体 14 を介して電子回路 15 内の容量センサ回路 50 に接続される。

【0061】

配線導体 13 f は、自己容量回路として電子回路 15 内の容量センサ回路 50 に接続される。配線導体 13 f は、プローブ等の接近により自身の容量値が増加する。したがって、容量センサ回路 50 は、その容量値の変化を検知しプローブ等の接近の事実を検知できる。

20

【0062】

また、配線導体 13 f の容量値は、レーザによる遠隔攻撃で配線導体 13 f が切断されると、その容量値が減少する。したがって、容量センサ回路 50 は、この容量値の減少を検知し、攻撃者よりレーザによる遠隔攻撃を受けた事実を検知することができる。

【0063】

次に、容量センサ回路 50 の構成について説明する。図 12 は、実施形態 3 に係る半導体装置の容量センサ回路 50 の構成を示す回路図である。図 12 に示すように、容量センサ回路 50 は、スイッチング素子 41、42、定電流源 43、パルスゲート回路 44 及びパルスカウンタ 45 を備える。容量センサ回路 50 は、電子回路 15 内に設けられ、図 2 のビア導体 14 を介して図 11 のノード 38 及びノード N39 に接続される。

30

【0064】

容量センサ回路 50 は、スイッチング素子 41 とスイッチング素子 42 を交互にオン・オフすることにより充放電を繰り返す。パルスゲート回路 44 は、ノード N38 の電圧と参照電圧 V_C を比較し、ノード N38 の電圧が参照電圧 V_C より低くなるとパルス信号を出力する。パルスカウンタ 45 は、パルスゲート回路 44 が出力するパルス数をカウントし、パルス数 D_{OUT} を出力する。

40

【0065】

次に、容量センサ回路 50 の動作について説明する。図 13 は、図 12 の容量センサ回路 50 の動作を示すタイミングチャートである。図 12 に示すように、ノード N38 の電圧は、スイッチング素子 41 がオン、スイッチング素子 42 がオフの状態では電源電圧 V_{DD} に充電される。その後スイッチング素子 41 をオフ、スイッチング素子 42 をオンにすると、定電流源 43 により一定の電流で容量の電荷が放電されるので、ノード N38 の電圧はスロープ状に下がる。

【0066】

パルスゲート回路 44 は、ノード N38 の電圧が参照電圧 V_C より低くなる (t_g) とパルス信号 V_{PULSE} を出力する。また、容量に充電する場合、ノード N38 の電圧が参照電

50

圧 V_C より高くなる (t_{10}) とパルス信号 V_{PULSE} の出力を停止する。

【0067】

容量センサ回路50は、ノードN38に接続される容量値が大きい場合には、容量値が低い場合に比べて、ノードN38の電圧が参照電圧 V_C より低くなる (t_{11}) タイミングが遅くなる。これは、大きな容量の電荷を定電流源43で放電する場合、放電に時間がかかる、すなわちノードN38の電圧の放電のスロープが緩やかになるためである。一方、容量を充電する場合、充電速度は容量値の大小にあまり影響が無い場合、ノードN38の電圧が参照電圧 V_C より高くなる (t_{12}) のタイミングは容量が小さい場合と同じとなる。

【0068】

一方、容量センサ回路50は、配線導体13fが切断されると、配線導体13fの自己容量値が減少する。これにより、ノードN38の電圧が参照電圧 V_C より低くなるタイミング (t_{13}) は、配線導体13fが切断される前のタイミング、例えば t_9 よりも早くなる。このような構成にすることにより、配線導体13fのみで、攻撃者によるプローブの接近の検知とレーザによる遠隔攻撃を受けた事実を検知することができる。また、配線導体13fの切断場所からノードN38までの配線長によって容量値が変化することから、容量センサ回路50で容量値を計測することによって切断場所を特定することもできる。

10

【0069】

上述してきたように、本実施形態3では、半導体装置に配線導体13f及び電子回路15内の容量センサ回路50を設けることにより、攻撃者によるプローブの接近の検知及びレーザによる遠隔攻撃を受けた事実を検知することができる。本実施形態3の半導体は、プローブの接近の検知やレーザによる遠隔攻撃を受けた事実を検知したときに電子回路15の動作を停止することにより、回路基板1の裏面からのセキュリティ攻撃による秘匿性及び真正性の低下を防ぐことができる。

20

【0070】

[実施形態4]

ところで、上記実施形態1～3では、容量センサ回路の解像度が十分でない場合が存在する。そこで、実施形態4では、容量センサ回路の解像度を向上させた半導体装置について説明する。

【0071】

まず、本実施形態4に係る半導体装置の高解像度容量センサ回路60の構成について説明する。図14は、実施形態4に係る半導体装置の高解像度容量センサ回路60の構成を示す回路図である。図14に示すように、高解像度容量センサ回路60は、スイッチング素子51、52及び定電流源53から構成される充放電回路60aと、スイッチング素子54、55、定電流源56及び参照容量59から構成される充放電回路60bとパルスゲート回路57及びパルスカウンタ58を備える。高解像度容量センサ回路60は、電子回路15の内部に設けられ、図2のビア導体14を介して図3のノードN35、ノードN36及びノードN37に接続される。

30

【0072】

高解像度容量センサ回路60は、電源電圧 V_{DD} に接続された充放電回路60aのスイッチング素子51とスイッチング素子52を交互にオン・オフすることにより、配線導体13dで形成された自己容量回路の充放電を繰り返す。また、高解像度容量センサ回路60は、放電経路に配線導体13eで形成されたミアンダ回路が接続されている。そして、高解像度容量センサ回路60は、参照電圧 V_C に接続された充放電回路60bのスイッチング素子54とスイッチング素子55を交互にオン・オフすることにより、参照容量59の充放電を繰り返し、ノードN40の電圧をパルスゲート回路57の参照電圧とする。

40

【0073】

パルスゲート回路57は、ノードN35の電圧が、ノードN40の電圧より低くなるとパルス信号 V_{PULSE} を出力する。パルスゲート回路57がパルスを出力する時間は、ノードN40の電圧がスロープ状に変化するので、容量値の変化に対してパルス信号 V_{PULSE} が出力される時間が長くなる。すなわち、ある容量値に対して出力されるパルス数 D_{OUT}

50

が多くなるので、単位パルス当たりの容量値は小さくなり、解像度が高くなる。パルスカウンタ58は、パルスゲート回路57が出力するパルスの数をカウントし、パルス数D_{OUT}を出力する。

【0074】

次に高解像度容量センサ回路60の動作について説明する。図15は、図14の高解像度容量センサ回路60の動作を示すタイミングチャートである。図14に示すように、ノードN35の電圧は、充放電回路60aのスイッチング素子51がオン、スイッチング素子52がオフの状態では電源電圧V_{DD}に充電される。その後スイッチング素子51をオフ、スイッチング素子52をオンにすると、定電流源53により一定の電流で配線導体13eを介して容量の電荷が放電されるので、ノードN35の電圧はスロープ状に下がる。

10

【0075】

また、パルスゲート回路57の参照電圧となるノードN40の電圧は、充放電回路60bのスイッチング素子54がオン、スイッチング素子55がオフの状態では参照電圧V_Cに充電される。その後、スイッチング素子54をオフ、スイッチング素子55をオンにすると、定電流源56により一定電流で参照容量59の電荷を放電するので、ノードN40の電圧もスロープ状に下がる。

【0076】

パルスゲート回路57は、ノードN35の電圧が、ノードN40の電圧より低くなる(t₁₅)とパルス信号V_{PULSE}を出力する。また、容量に充電する場合、ノードN35の電圧がノードN40の電圧より高くなる(t₁₆)とパルス信号V_{PULSE}の出力を停止する。

20

【0077】

高解像度容量センサ回路60は、ノードN35に接続される容量値が大きい場合は、容量値が低い場合に比べて、ノードN35の電圧がノードN40の電圧より低くなる(t₁₇)タイミングが遅くなる。これは、大きな容量の電荷を定電流源53で放電すると、放電に時間がかかる、すなわちノードN35の電圧の放電のスロープが緩やかになるためである。一方、容量を充電する場合、充電速度は容量値の大小にあまり影響が無いため、ノードN35の電圧がノードN45の電圧より高くなる(t₁₈)タイミングは容量値が小さい場合と同じとなる。

【0078】

したがって、パルスゲート回路57からパルス信号V_{PULSE}が出力される時間は、高解像度容量センサ回路60に接続される容量が小さい場合は長く、大きい場合は短くなる。なお、高解像度容量センサ回路60は、パルスゲート回路57のパルス数D_{OUT}の出力を制御するノードN40の電圧をスロープ状に変化させたため、ノードN35に接続される容量値が従来の容量センサ回路20と同じでも、パルス信号V_{PULSE}のパルスを出力している時間を長くすることができる。

30

【0079】

次に、高解像度容量センサ回路60の高解像度を実現するための原理について説明する。図16は、図14の高解像度容量センサ回路60の高解像度を実現するための原理を示す図である。図16に示すように、通常時のノードN35の電圧の変化の傾き(以降、「傾き5」と言う)は、ノードN35に接続された容量値をC_{SENSE}、定電流源53の電流値をI₁とすると、次式で表わされる。

40

$$dV/dt = I_1 / C_{SENSE}$$

【0080】

攻撃者がプローブ等を接近させた場合、高解像度容量センサ回路60のノードN35の容量値は増加するため、増加した容量値をCとすると、ノードN35の電圧変化の傾き(以降、「傾き6」と言う)は、次式で表わされる。

$$dV/dt = I_1 / C_{SENSE} + C$$

【0081】

ここで、従来の容量センサ回路20のパルスゲート回路24の参照電圧をV_{C'}とすると、通常時のパルスゲート回路24のパルス信号V_{PULSE}は、傾き5のノードN35の電圧

50

が参照電圧 V_C' より低くなったタイミング (t_{19}) から出力される。また、攻撃者がプローブ等を接近させた場合、パルスゲート回路 24 のパルス信号 V_{PULSE} は、傾き 6 のノード N 35 の電圧が参照電圧 V_C' より低くなったタイミング (t_{20}) から出力される。

【0082】

パルスゲート回路 24 のパルス信号 V_{PULSE} は、ノード N 35 の電圧が参照電圧 V_C' より高くなると停止するが、充電の場合、容量値に関わりなくほぼ一定となる。したがって、通常時及び攻撃者がプローブ等を接近させた場合のパルスカウンタ 25 でカウントされるパルス数 D_{OUT} の差分 dD_{OUT} は、単位時間当たりのパルスの数を P_t とすると、次式で表わされる。

$$dD_{OUT} = (t_{20} - t_{19}) \times P_t$$

10

【0083】

一方、高解像度容量センサ回路 60 のパルスゲート回路 57 のノード N 40 の傾き (以降、「傾き 7」と言う) は、参照容量 59 の容量値を C_{REF} 、充放電回路 60 b の定電流源 56 の電流値を I_2 とすると、次式で表わされる。

$$dV / dt = I_2 / C_{REF}$$

【0084】

高解像度容量センサ回路 60 の通常時のパルスゲート回路 57 のパルス出力 V_{PULSE} は、傾き 5 のノード N 35 の電圧が傾き 7 のノード N 40 の電圧より低くなったタイミング (t_{19}) から出力される。また、攻撃者がプローブ等を接近させた場合、パルスゲート回路 57 のパルス信号 V_{PULSE} は、傾き 6 のノード N 35 の電圧が傾き 7 のノード N 40 の電圧より低くなったタイミング (t_{21}) から出力される。

20

【0085】

パルスゲート回路 57 のパルス信号 V_{PULSE} は、ノード N 35 の電圧が傾き 7 のノード N 40 の電圧より高くなると停止するが、充電の場合、容量値に関わりなくほぼ一定となる。したがって、通常時及び攻撃者がプローブ等を接近させた場合のパルスカウンタ 58 でカウントされるパルス数 D_{OUT} の差分 dD_{OUT2} は、単位時間当たりのパルスの数を P_t とすると、次式で表わされる。

$$dD_{OUT2} = (t_{21} - t_{19}) \times P_t$$

【0086】

ここで、 t_{21} は、 t_{20} よりも大きい値なので、 dD_{OUT2} は dD_{OUT} よりも大きな値となる。このように、同じ容量差分 C をパルスの数で表わす場合、パルス数 D_{OUT} が大きい値のほうが単位パルス当たりの容量変化分が小さくなるため、分解能が高くなる。すなわち、高解像度なセンサを実現することができる。

30

【0087】

次に、高解像度容量センサ回路 60 の特性をシミュレーション結果で説明する。図 17 は、図 14 の高解像度容量センサ回路 60 の高解像度化の計算機シミュレーション結果を示す図である。図 17 で示すように、計算機シミュレーションは、容量差分 C を 1 fF から 1 pF まで変化させたときの、従来の容量センサ回路 20 のパルスカウンタ 25 の出力と高解像度容量センサ回路 60 のパルスカウンタ 58 の出力を計算させた。

【0088】

パルスカウンタ 25 及び 58 のパルス数 D_{OUT} の出力を比較すると、同じ容量の変化に対して高解像度容量センサ回路 60 のパルスカウンタ 58 の出力の方が大きな変化があり、高解像度容量センサ回路 60 は、容量値の変化に対して高い解像度を実現できる。

40

【0089】

上述してきたように、本実施形態 4 では、パルスゲート回路 57 の参照信号に参照容量 59 と充放電回路 60 b を用いてスロープ状の電圧変化を用いることにより、容量変化に対して解像度の高い高解像度容量センサ回路 60 を実現できる。高解像度容量センサ回路 60 は、回路基板 1 の裏面攻撃によるプローブの接近の事実や、レーザによる遠隔攻撃を受けた事実をより少ない容量変化から検知することが可能で、セキュリティ攻撃による秘匿性又や真正性の低下を防ぐことができる。

50

【 0 0 9 0 】

上記の各実施形態で図示した各構成は機能概略的なものであり、必ずしも物理的に図示の構成をされていることを要しない。すなわち、各装置の分散・統合の形態は図示のものに限られず、その全部又は一部を各種の負荷や使用状況などに応じて、任意の単位で機能的又は物理的に分散・統合して構成することができる。

【産業上の利用可能性】

【 0 0 9 1 】

本発明の各実施形態に係る半導体装置は、裏面へのセキュリティ攻撃による秘匿性及び真正性の低下を防ぐ場合に適している。

【符号の説明】

【 0 0 9 2 】

- 1 回路基板
- 2 プリント基板
- 3 配線導体
- 1 1 半導体基板
- 1 2 多層配線導体
- 1 2 a 配線層
- 1 2 a c パッド導体
- 1 3 埋込配線導体
- 1 3 a 1 3 b、1 3 c、1 3 d、1 3 e 1 3 f 配線導体
- 1 4 ビア導体
- 1 5 電子回路
- 1 6 酸化膜結合面
- 1 7 配線基板
- 2 0、4 0、5 0 容量センサ回路
- 2 1、2 2、2 6、2 7、2 8、3 1、3 2、4 1、4 2、5 1、5 2、5 4、5 5
- スイッチング素子
- 2 3、3 3、4 3、5 3、5 6 定電流源
- 2 4、3 4、4 4、5 7 パルスゲート回路
- 2 5、3 5、4 5、5 8 パルスカウンタ
- 2 9 ラッチ回路
- 3 0 切断検知回路
- 5 9 参照容量
- 6 0 高解像度容量センサ回路
- 6 0 a、6 0 b 充放電回路
- N 3 1 ~ N 4 0 ノード

10

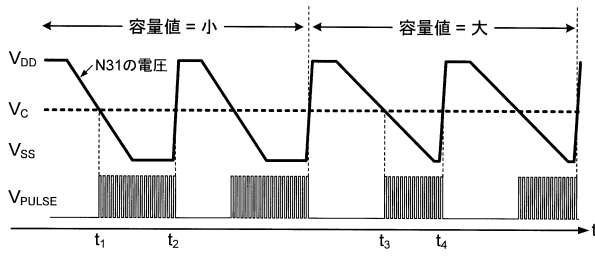
20

30

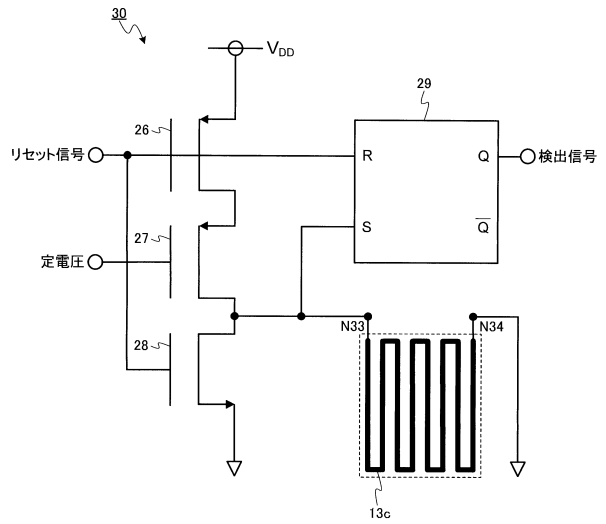
40

50

【図5】



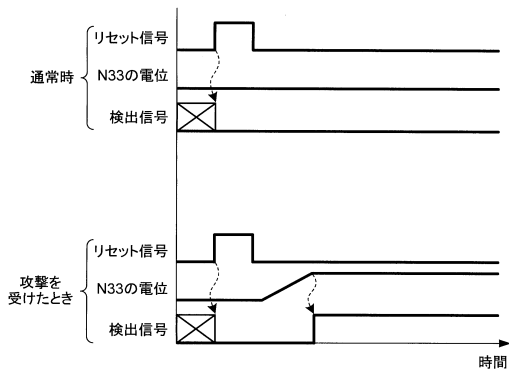
【図6】



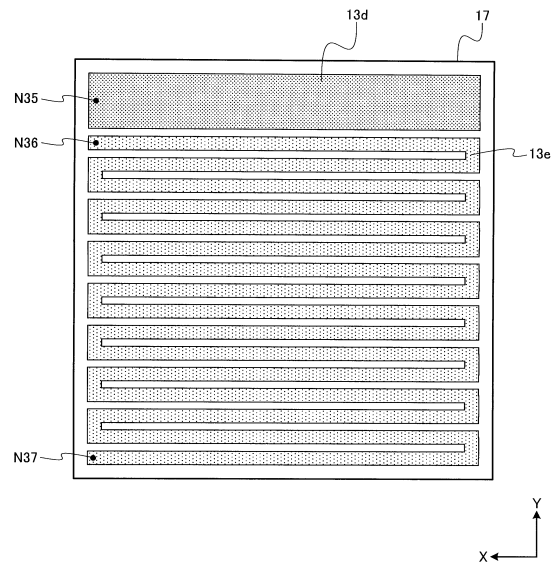
10

20

【図7】



【図8】

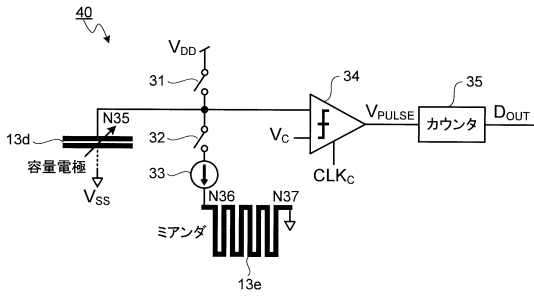


30

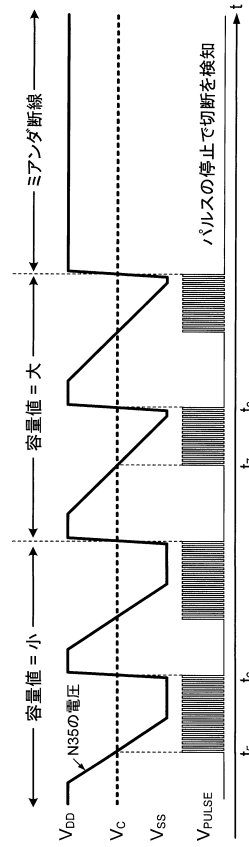
40

50

【図 9】



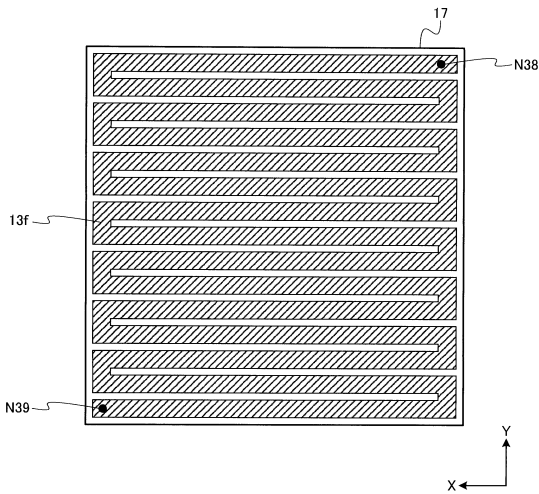
【図 10】



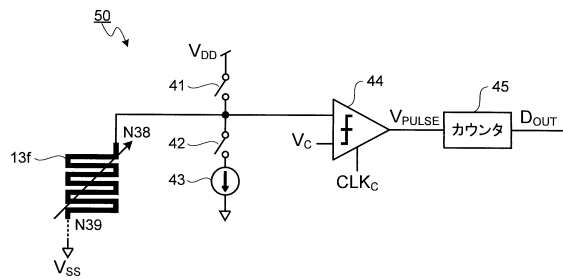
10

20

【図 11】



【図 12】

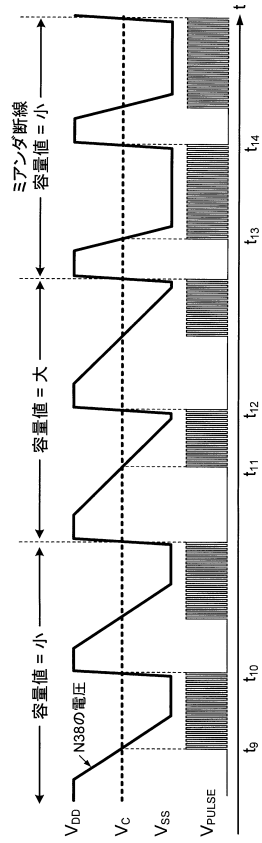


30

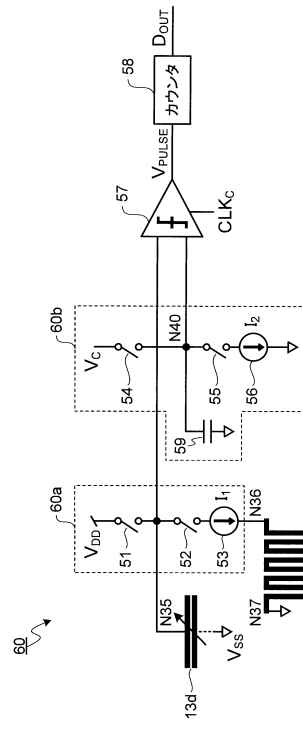
40

50

【図 13】



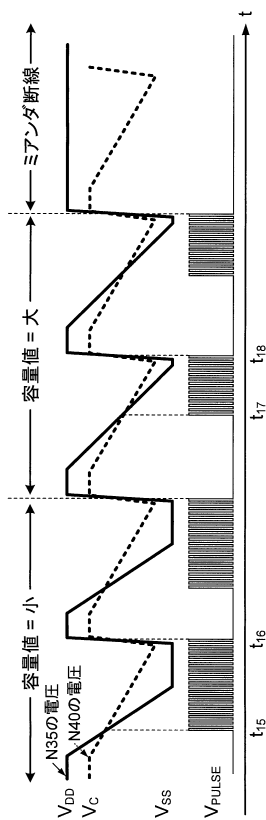
【図 14】



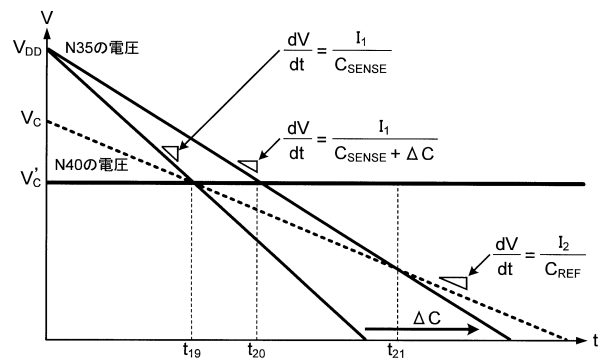
10

20

【図 15】



【図 16】

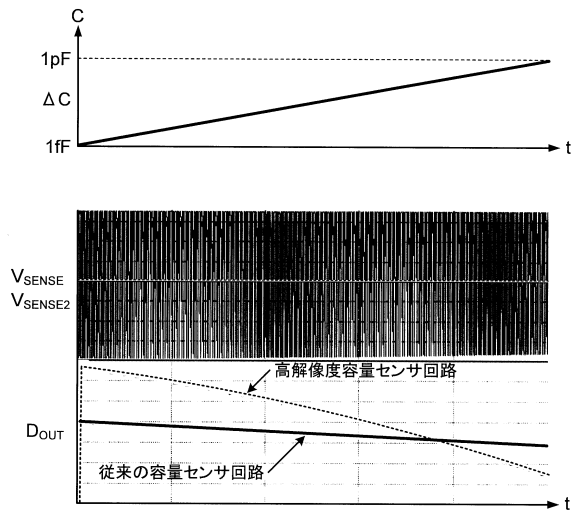


30

40

50

【 図 17 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 1 L 23/522(2006.01)

F I

H 0 1 L 21/88

Z

(56)参考文献

特開 2 0 1 9 - 1 1 0 2 9 3 (J P , A)

特開 2 0 1 0 - 1 1 4 4 2 6 (J P , A)

特開 2 0 1 2 - 0 5 3 7 8 8 (J P , A)

特表 2 0 2 0 - 5 2 7 2 9 3 (J P , A)

特開 2 0 1 3 - 0 4 5 4 0 7 (J P , A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 3 / 5 2 2

H 0 1 L 2 7 / 0 4

H 0 5 K 1 / 1 8