



(21) 申請案號：106115750 (22) 申請日：中華民國 106 (2017) 年 05 月 12 日
 (51) Int. Cl. : *H01L21/31 (2006.01)* *H01L21/324 (2006.01)*
 (30) 優先權：2016/05/25 法國 1654689
 (71) 申請人：索泰克公司 (法國) SOITEC (FR)
 法國
 (72) 發明人：馬拉坎 塞德里克 MALAQUIN, CEDRIC (FR)；伊卡諾 魯多維克 ECARNOT,
 LUDOVIC (FR)；派瑞西 達米安 PARISSI, DAMIEN (FR)
 (74) 代理人：陳慧玲
 申請實體審查：有 申請專利範圍項數：14 項 圖式數：2 共 18 頁

(54) 名稱

用於製作高電阻率半導體底材之方法

PROCESS FOR THE MANUFACTURE OF A HIGH RESISTIVITY SEMICONDUCTOR SUBSTRATE

(57) 摘要

本發明與一種用於製作高電阻率半導體底材之方法有關，該方法包括以下步驟：提供一第一底材(101)，其設有一深度弱化層(102)；提供一第二底材(103)，其在表面處設有一氧化物層(104)；將該第一底材(101)接合至該第二底材(103)，以形成包含一埋置氧化物層(104)之一複合底材(105)；及使該複合底材(105)沿著該弱化層(102)劈裂。該方法更包括在沿著該弱化層(102)劈裂之步驟前，對包含該氧化物層(104)之第二底材(103)進行之至少一安定化步驟，詳言之為安定化熱處理。

The present invention relates to a process for the manufacture of a high resistivity semiconductor substrate, comprising the following stages: providing a first substrate (101) with an in-depth weakened layer (102); providing a second substrate (103) with a layer of an oxide (104) at the surface; attaching the first substrate (101) to the second substrate (103) so as to form a compound substrate (105) comprising a layer of buried oxide (104); and cleaving the compound substrate (105) at the level of the weakened layer (102). The process additionally comprises at least one stage of stabilization, in particular a stabilization heat treatment, of the second substrate (103) with the layer of oxide (104) before the stage of cleaving at the level of the weakened layer (102).

指定代表圖：

符號簡單說明：

- 101 . . . 施體底材
- 102 . . . 深度弱化層
- 103 . . . 受體底材
- 104 . . . 氧化物層
- 105 . . . 複合底材
- 106 . . . 複合底材
- 1011 . . . 被移轉層
- 1012 . . . 殘餘部分

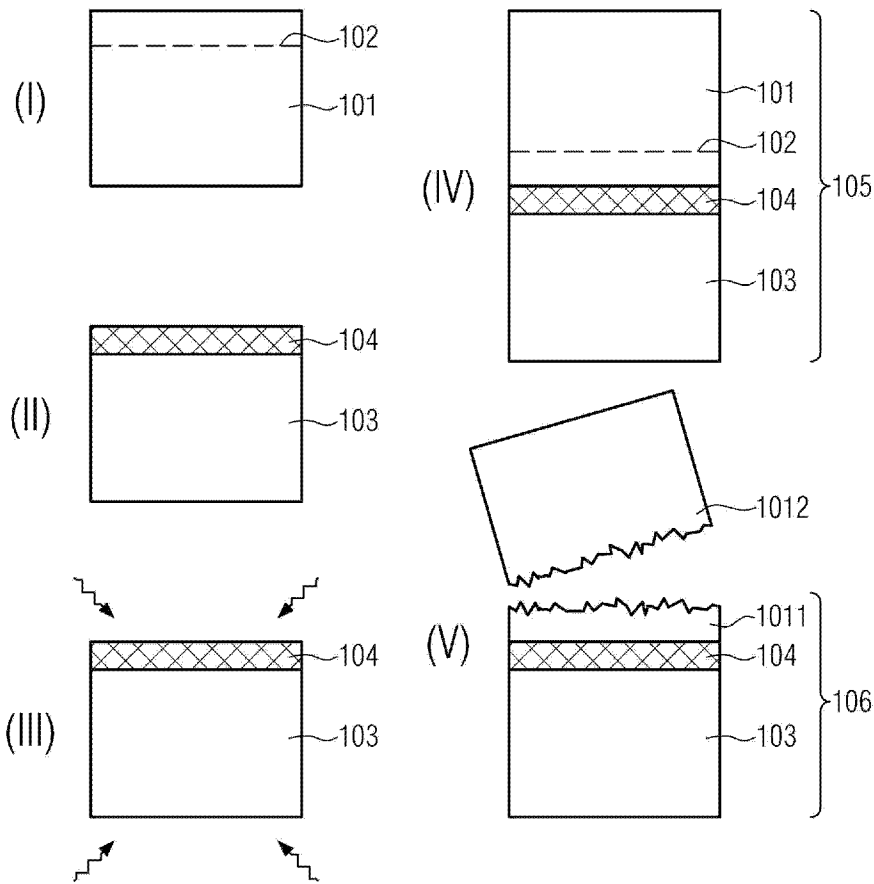


圖 1



【發明摘要】

【中文發明名稱】 用於製作高電阻率半導體底材之方法

【英文發明名稱】 PROCESS FOR THE MANUFACTURE OF A HIGH

RESISTIVITY SEMICONDUCTOR SUBSTRATE

【中文】本發明與一種用於製作高電阻率半導體底材之方法有關，該方法包括以下步驟：提供一第一底材(101)，其設有一深度弱化層(102)；提供一第二底材(103)，其在表面處設有一氧化物層(104)；將該第一底材(101)接合至該第二底材(103)，以形成包含一埋置氧化物層(104)之一複合底材(105)；及使該複合底材(105)沿著該弱化層(102)劈裂。該方法更包括在沿著該弱化層(102)劈裂之步驟前，對包含該氧化物層(104)之第二底材(103)進行之至少一安定化步驟，詳言之為安定化熱處理。

【英文】The present invention relates to a process for the manufacture of a high resistivity semiconductor substrate, comprising the following stages: providing a first substrate (101) with an in-depth weakened layer (102); providing a second substrate (103) with a layer of an oxide (104) at the surface; attaching the first substrate (101) to the second substrate (103) so as to form a compound substrate (105) comprising a layer of buried oxide (104); and cleaving the compound substrate (105) at the level of the weakened layer (102). The process additionally comprises at least one stage of stabilization, in particular a stabilization heat treatment, of the second substrate (103) with the layer of oxide (104) before the stage of cleaving at the level of the weakened layer (102).

【指定代表圖】 第(1)圖

【代表圖之符號簡單說明】

101 施體底材

102 深度弱化層

103 受體底材

104 氧化物層

105 複合底材

106 複合底材

1011 被移轉層

1012 殘餘部分

【特徵化學式】

【發明說明書】

【中文發明名稱】 用於製作高電阻率半導體底材之方法

【英文發明名稱】 PROCESS FOR THE MANUFACTURE OF A HIGH

RESISTIVITY SEMICONDUCTOR SUBSTRATE

【技術領域】

【0001】 本發明係關於一種經由層移轉製作高電阻率半導體底材之方法，詳言之，本發明係關於改進具高電阻率及高間隙氧濃度之絕緣體上矽(silicon-on-insulator)類型底材。

【先前技術】

【0002】 目前普遍接受的想法是，使用具高間隙氧濃度(High [O_i]或HiO_i)的絕緣體上矽(SOI)類型高電阻率(HR)半導體底材時，有必要進行目的為使存在於矽裡的氧原子安定化(成核、沉澱)，以使底材具有高電阻率的熱處理。

【0003】 在這種情況下，「高電阻率」係指大約750 Ω·m或更高，且「高間隙氧濃度」係指大約25 ppma或更高，亦即大約 12.5×10^{17} atoms·cm⁻³或更多。

【0004】 上述的安定化步驟按照慣例是在SOI底材的犧牲氧化步驟期間進行，接在以諸如已知的SmartCut技術進行層移轉之後。詳言之，安定化步驟按照慣例是在層移轉後的平滑回火之後進行，該平滑回火通常為快速回火，亦即RTA(Rapid Thermal Anneal，快速熱回火)。已公開的法國專利申請案第2 858 462 A1號揭露此種在層移轉後續之快速回火步驟後之安定化步驟。

【0005】 在進行這些材料(假金氧半導體(pseudo-MOS)材料)的電特性分析時，會觀察到異常高的界面狀態密度(interface state densities)，其通常達到至少 $20 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ，這造成SOI底材中的載子遷移率變差，就電子而言通常只有大約 $400 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 或更低。在移除SOI薄膜及埋置氧化物接點上的鋁之後所進行的額外分析(MOS電容之C(V)特性分析)顯示，埋置氧化物中的固定電荷值(fixed charge values)為至少 $5 \times 10^{10} \text{ cm}^{-2}$ ，且界面狀態密度峰值(crest interface state densities)為至少 $2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ，這表示此一不良的界面品質源自埋置氧化物下方的界面。

【0006】 目前提出的一個假設是，RTA類型的平滑回火導致底材中尚未安定的氧原子的分佈有所改變，從而造成埋置氧化物下方的陷阱數量增加。

【0007】 克服此問題的一個解決方案為使用具有非常低間隙氧密度(Low [Oi])之高電阻率底材，亦即低於大約12 ppma以下，也就是低於大約 $6 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ ，這樣便不需對矽裡面的氧原子進行安定化回火(成核、沉澱)。這是因為此類底材本身就是高電阻率性質而不需進行特定處理。

【0008】 然而，低間隙氧密度之高電阻率底材的缺點是對熱處理期間的錯位傳播(propagation of dislocations)非常敏感。因此，使用此類底材而要獲得無缺陷的滑移平面(sliding plane)類型SOI底材是非常困難的。

【發明內容】

【0009】 所以，改進高間隙氧高電阻率底材的品質是有必要的。因此，本發明的一個目標是提供克服前述問題之一種用於製作高電阻率半導體底材之方

法，詳言之為具有高間隙氧濃度之絕緣體上矽類型底材，以獲得相對於習知技術而具有改進品質之底材。

【0010】 前述目標可經由一種用於製造高電阻率半導體底材之方法實現，該方法包括：提供一第一底材，其設有一深度弱化層；提供一第二底材，其在表面處設有一氧化物層；將該第一底材接合至該第二底材，以形成包含一埋置氧化物層之一複合底材；及使該複合底材沿著該弱化層劈裂。此外，該方法包括在沿著該弱化層劈裂之步驟前，對包含該氧化物層之第二底材進行之至少一安定化步驟，詳言之為安定化熱處理。

【0011】 習知技術(諸如前述法國專利申請案第2 858 462 A1號)教示，在平滑回火步驟後進行安定化步驟，平滑回火步驟是在複合底材沿著弱化層劈裂之後進行。然而，習知技術並未教示在平滑回火前，詳言之為在弱化層分離前，進行至少一安定化步驟。

【0012】 讓人驚訝的是，事實證明，在沿著弱化層劈裂步驟前，也就是在RTA類型的平滑回火前，進行至少一熱處理以安定矽材料中的間隙氧(成核、沉澱、沉澱物生長)，可改進所得底材的電氣特性(尤其是界面特性)，特別是在高間隙氧濃度的情況下。本發明有利之處為，所述至少一安定化步驟因此可為一成核、沉澱及沉澱物生長步驟，詳言之為包括數個固定溫度階段之熱處理。

【0013】 換言之，本發明提出在準備SOI類型底材期間，於任何RTA類型的平滑處理前(也就是在劈裂步驟前)，針對使高濃度間隙氧底材進行熱處理(成核、沉澱)以使其具有高電阻率。因此，本發明可在此類底材上獲得與CMOS類型電晶體之製備相容的電氣特性。

【0014】 所以，本發明提出的解決方案有利地讓人可使用具高間隙氧濃度的底材來準備SOI底材，以應用於射頻、光子、成像、數位等等領域，而無需求助於低間隙氧濃度的底材，因為低間隙氧濃度的底材對熱處理十分敏感，易導致形變及缺陷。

【0015】 依照本發明實施方式的可能替代形式，並且不含任何暗示限制：

【0016】 在一些實施例中，弱化層可經由在第一底材中進行離子植入而提供。這樣便可透過SmartCut類型的技術進行層移轉。

【0017】 在一些實施例中，設有氧化物層的第二底材的至少一安定化步驟，最好在兩個底材的接合步驟之前進行。因此，在所有情況下，所述至少一安定化步驟可在劈裂之前及劈裂後的任何平滑回火之前進行。

【0018】 在一些實施例中，第一底材，也就是層移轉的施體底材，可包含一半導體材料，尤其是矽、鍺或一矽鍺化合物。一般而言，該施體底材可包含一種或多種III-V族半導體合金，及/或一種或多種IV族半導體合金。

【0019】 在一些實施例中，第二底材可包含矽，尤其是具高間隙氧濃度者。該第二底材以包含具有間隙氧濃度至少大約 $12 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 之矽為佳。

【0020】 在一些實施例中，所述至少一安定化步驟為一熱處理，其包含溫度在大約 650°C 至大約 1200°C 範圍內之數個固定溫度階段。

【0021】 在一些實施例中，一固定溫度階段之持續時間在從大約30分鐘至大約10小時之範圍內，優選者在從大約1小時至大約8小時之範圍內。

【0022】 在一些實施例中，一固定溫度階段之大氣環境可為氧化型，詳言之為以水及氧為主者，或為以氫氣體為主之非氧化型，詳言之為中性型。

【0023】 前述固定溫度階段參數，可帶來改進所得底材之電氣特性(尤其是界面特性)的結果，特別是在高間隙氧濃度底材的情況下。

【0024】 在一些實施例中，本發明之方法可額外包括在複合底材沿著弱化層劈裂步驟後之至少一平滑回火步驟，詳言之為快速熱回火。這樣可改進底材在層移轉後的表面粗糙度。

【0025】 在一些實施例中，所述至少一平滑回火步驟可在從大約1075°C至大約1250°C範圍內，優選者為從大約1175°C至大約1230°C之溫度下進行，詳言之在大約1200°C之溫度下進行。

【0026】 在一些實施例中，所述至少一平滑回火步驟可進行從大約15秒至大約120秒範圍內，優選者為從大約20秒至大約90秒範圍內的一段時間，詳言之為大約30秒的一段時間。

【0027】 在一些實施例中，所述至少一平滑回火步驟可在一非氧化型大氣環境下進行，詳言之為包含氫及/或0%至大約50%氫組成之大氣環境。

【0028】 在一些實施例中，本發明之方法可額外包括在該複合底材沿著該弱化層劈裂步驟後，回收該第一底材之殘餘部分之步驟。這樣便可在其他層移轉製程中再次將該殘餘部分作為施體底材使用。

【圖式簡單說明】

【0029】 本發明將在以下較佳實施例中參照所附圖式而有更為詳細地說明，其中：

圖1概要描繪依照本發明第一示例性實施例之一種用於製作高電阻率半導體底材之步驟；及

圖2概要描繪依照本發明第二示例性實施例之一種用於製作高電阻率半導體底材之步驟。

【實施方式】

【0030】在下文的示例性實施例說明中，類似的參考符號可用來表示在不同實施例中重複的相同元件。此外，為簡明起見，對於已描述過的元件，其說明可能會加以省略。

【0031】以下參考圖1說明一種用於製作高電阻率半導體底材之方法的第一示例性實施例。在此實施例中，一半導體材料層將從一施體底材移轉到一受體底材。

【0032】如圖1之步驟(I)所示，提供一施體底材101使其包含一深度弱化層102，以向一受體底材進行層移轉。該施體底材101可為一半導體材料，例如矽、鍺或一矽鍺化合物。一般而言，該施體底材101可包含一種或多種III-V族半導體合金，及/或一種或多種IV族半導體合金。

【0033】如圖1之步驟(II)所示，提供一底材103使其在表面處包含一氧化物層104，以接受被移轉的半導體層。該底材103可包含矽，詳言之為具有間隙氧濃度至少大約 $12 \times 10^{17} \text{ atoms}\cdot\text{cm}^{-3}$ 之矽。該氧化物層104可為一天然氧化物層，或為以生長或其他方式沉積之二氧化矽層。該氧化物層104亦可為，舉例而言，在氧化鋁(Al_2O_3)類型半導體或氮化物類型(例如 Si_3N_4)半導體中使用之一絕緣體。

【0034】如圖1之步驟(III)所示，將一層由施體底材101移轉前，亦即將底材103與施體底材101結合前，可使在表面處包含氧化物層104的底材103經過至少一間隙氧安定化處理步驟。該步驟可為一成核、沉澱及沉澱物生長步驟。其

可為包括數個固定溫度階段之一熱處理。該安定化處理，詳言之為一固定溫度階段，可在氧化型大氣環境下進行，詳言之為以水及氧為主者，或在以氫氣體為主之非氧化型大氣環境下進行，詳言之為中性型大氣環境。因此，包含氧化物層104的底材103可經受在大約650°C至大約1200°C範圍內之一溫度，詳言之為一固定溫度階段。此外，該處理的每一固定溫度階段可持續至少大約30分鐘至大約10小時，最好是從大約1小時至大約8小時。

【0035】 在所述安定化處理後，接著如圖1之步驟(IV)所示，施體底材101可透過諸如分子黏附方法或其他半導體黏附鍵合方法，經由氧化物層104而接合(詳言之為黏合)至受體底材103，以形成具有一埋置氧化物層104之SOI類型複合底材105。

【0036】 在黏附鍵合步驟後，接著如圖1之步驟(V)所示，施體底材101的一部分1012可沿著該深度弱化層102被劈裂而從複合底材105分離，以留下施體底材101的被移轉層1011經由氧化物層104接合至受體底材103，從而形成包含該被移轉層1011之一新複合底材106。接著可藉由使複合底材106接受一次或多次平滑熱處理，詳言之為RTA類型快速回火，來改進被移轉層1011的表面粗糙度。此外，施體底材101的殘餘部分1012可加以回收，作為其他層移轉製程中的新施體底材。

【0037】 在所有情況中，複合底材105及106皆為具高間隙氧濃度之高電阻率SOI類型底材，亦即具有高間隙氧濃度之高電阻率絕緣體上矽類型之底材。由於所述至少一間隙氧安定化步驟已在層移轉之前進行，也就是已在劈裂步驟及任何平滑回火前進行，因此可獲得具高間隙氧濃度之高電阻率SOI類型底材，其界面狀態密度小於 $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ，且該SOI底材中的載子遷移率，就電子而言

高於 $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 。在移除SOI薄膜及埋置氧化物接點上的鋁之後，埋置氧化物中的固定電荷值可少於 $3 \times 10^{10} \text{ cm}^{-2}$ ，且其界面狀態密度峰值可少於 $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。

【0038】換言之，相較於以習知方法獲得的高間隙氧濃度高電阻率SOI底材，也就是安定化步驟在平滑回火之後進行的底材，複合底材105及106的電氣特性(尤其是界面特性)有非常顯著的改進。

【0039】以下參考圖2說明一種用於製作高電阻率半導體底材之方法的第二示例性實施例。該第二實施例重複了第一實施例的所有特徵，並額外提供選擇性製程步驟的細節。

【0040】如圖2之步驟(I)所示，首先提供一施體底材201，其可與第一實施例的施體底材101相同。該施體底材201亦可為一半導體材料，例如矽、鍺或一矽鍺化合物。一般而言，該施體底材201可包含一種或多種III-V族半導體合金，及/或一種或多種IV族半導體合金。

【0041】如圖2之步驟(II)所示，施體底材201接著可進行一深度弱化步驟，以提供一深度弱化層202，以向一受體底材進行層移轉，如第一實施例所說明。此深度弱化步驟詳言之可藉由離子植入方式進行，尤其是以植入諸如 H^+ 及/或 He^+ 之離子實體(ionic entities)之方式進行。

【0042】如圖2之步驟(III)所示，提供一底材203使其在表面處包含一氧化物層204，以接受被移轉的半導體層。如同第一實施例的底材103，第二實施例的底材203可包含矽，詳言之為具有間隙氧濃度至少大約 $12 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 之矽。再如同第一實施例，氧化物層204可為一天然氧化物層，或者以生長或其他

方式沉積之一二氧化矽層，或在氧化鋁(Al_2O_3)類型半導體或氮化物類型(例如 Si_3N_4)半導體中使用之一絕緣體。

【0043】 如圖2之步驟(IV)所示，在將一層由施體底材201移轉前，亦即在將底材203與施體底材201結合前，可使在表面處包含氧化物層204的底材203經過至少一間隙氧安定化處理步驟。類似第一實施例，在第二實施例中，該安定化處理可為一成核、沉澱及沉澱物生長步驟。其可為包括數個固定溫度階段之一熱處理。該安定化處理，詳言之為一固定溫度階段，可在氧化型大氣環境下進行，詳言之為以水及氧為主者，或在以氫氣體為主之非氧化型大氣環境下進行，詳言之為中性型大氣環境。因此，包含氧化物層204的底材203可經受在大約 650°C 至大約 1200°C 範圍內之一溫度，詳言之為一固定溫度階段。此外，該安定化處理的每一固定溫度階段可持續至少大約30分鐘至大約10小時，最好是從大約1小時至大約8小時。

【0044】 在安定化處理後，類似第一實施例，如圖2之步驟(V)所示，施體底材201及受體底材203藉由氧化物層204而黏附接合在一起，形成具有埋置氧化物層204的SOI類型複合底材205。此例中的黏附接合亦可以分子黏附方法或其他半導體黏附鍵合方法進行。

【0045】 接著，如圖2之步驟(VI)所示，黏附接合步驟之後為劈裂步驟，施體底材201的一部分2012沿著深度弱化層202劈裂而從複合底材205分離，以留下施體底材201的被移轉層2011經由氧化物層204接合至受體底材203，從而形成包含該被移轉層2011之一新複合底材206。劈裂步驟可藉由使複合底材205在 N_2 或氫的中性大氣環境中，在大約 300°C 至大約 600°C 溫度下維持大約30分鐘至5小時的一段時間而實現。

【0046】在劈裂步驟後，接著如圖2之步驟(VII)所示，一選擇性後續平滑步驟可改進被移轉層2011的曝露表面207的粗糙度。此步驟可經由進行包含一次或多次回火的熱處理而實現，以一次或多次快速回火(即RTA)為佳。接著，可將複合底材206曝露在大約1075°C至大約1250°C範圍內，優選者為從大約1175°C至大約1230°C範圍內，詳言之為大約1200°C之溫度下，於一非氧化型大氣環境中，詳言之為包含氬及/或0%至大約50%氬組成之大氣環境中，維持從大約15秒至大約120秒範圍內，優選者為從大約20秒至大約90秒範圍內的一段時間，詳言之為大約30秒的一段時間。

【0047】最後，如前所述，施體底材201的殘餘部分2012可加以回收，作為其他層移轉製程中的新施體底材。

【0048】因此，如同第一實施例，在第二實施例中亦可獲得具高間隙氧濃度之高電阻率SOI類型之複合底材205及206，亦即具有高間隙氧濃度之高電阻率絕緣體上矽類型之底材。由於所述至少一間隙氧安定化步驟已在層移轉之前進行，也就是已在劈裂步驟及任何平滑回火前進行，因此，如同第一實施例，在第二實施例中亦可獲得具高間隙氧濃度之高電阻率SOI類型底材，其界面狀態密度小於 $5 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ，且該SOI底材中的載子遷移率，就電子而言高於 $700 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 。在移除SOI薄膜及埋置氧化物接點上的鋁之後，埋置氧化物中的固定電荷值可少於 $3 \times 10^{10} \text{ cm}^{-2}$ ，且其界面狀態密度峰值可少於 $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。

【0049】換言之，相較於以習知方法所獲得的高間隙氧濃度高電阻率SOI底材，也就是安定化步驟在平滑回火之後進行的底材，複合底材205及206的電氣特性(尤其是界面特性)如同複合底材105及106，也有非常顯著的改進。

【0050】此外，本發明之實施方式的不同示例可彼此組合成其他實施方式，而不會脫離本發明之申請專利範圍。

【符號說明】

101、201 施體底材

102、202 深度弱化層

103、203 受體底材

104、204 氧化物層

105、205 複合底材

106、206 複合底材

207 曝露表面

1011、2011 被移轉層

1012、2012 殘餘部分

【發明申請專利範圍】

【第1項】一種用於製作一高電阻率半導體底材之方法，該方法包括以下步驟：

提供一第一底材(101)，其具有一深度弱化層(102)；

提供一第二底材(103)，其在表面處設有一氧化物層(104)；

將該第一底材(101)接合至該第二底材(103)，以形成包含一埋置氧化物層(104)之一複合底材(105)；及

使該複合底材(105)沿著該弱化層(102)劈裂；

該方法之特徵在於

該方法更包括在沿著該弱化層(102)劈裂之步驟前，對包含該氧化物層(104)之第二底材(103)進行之至少一安定化步驟，詳言之為一安定化熱處理。

【第2項】如申請專利範圍第1項之方法，其中所述至少一安定化步驟為一成核、沉澱及沉澱物生長步驟，詳言之為包含數個固定溫度階段之一熱處理。

【第3項】如申請專利範圍第1或2項之方法，其中該弱化層(102)係以離子植入方式提供在該第一底材(101)中。

【第4項】如申請專利範圍第1至3項中任一項之方法，其中對包含該氧化物層(104)之第二底材(103)進行之所述至少一安定化步驟，係在該兩個底材(101, 103)之接合步驟前進行。

【第5項】如申請專利範圍第1至4項中任一項之方法，其中該第一底材(101)包含一半導體材料，詳言之為矽、鍺或矽與鍺之一化合物，及/或一種或多種III-V族半導體合金，及/或一種或多種IV族半導體合金。

【第6項】如申請專利範圍第1至5項中任一項之方法，其中該第二底材(103)包含矽，詳言之為具有高間隙氧濃度之矽，優選者為具有至少大約 12×10^{17} 原子· cm^{-3} 間隙氧濃度之矽。

【第7項】如申請專利範圍第1至6項中任一項之方法，其中所述至少一安定化步驟為包含溫度在大約 650°C 至大約 1200°C 範圍內之數個固定溫度階段之一熱處理。

【第8項】如申請專利範圍第7項之方法，其中一固定溫度階段之持續時間在從大約30分鐘至大約10小時之範圍內，優選者在從大約1小時至大約8小時之範圍內。

【第9項】如申請專利範圍第7或8項之方法，其中一固定溫度階段之大氣環境可為氧化型，詳言之為以水及氧為主者，或為以氫氣體為主之非氧化型，詳言之為中性型。

【第10項】如申請專利範圍第1至9項中任一項之方法，其更包括該複合底材(105)沿著該弱化層(102)劈裂步驟後之至少一平滑回火步驟，詳言之為快速熱回火。

【第11項】如申請專利範圍第10項之方法，其中所述至少一平滑回火步驟係在從大約 1075°C 至大約 1250°C 範圍內，優選者為從大約 1175°C 至大約 1230°C 範圍內之溫度下進行，詳言之在大約 1200°C 之溫度下進行。

【第12項】如申請專利範圍第10或11項之方法，其中所述至少一平滑回火步驟係進行從大約15秒至大約120秒範圍內，優選者為從大約20秒至大約90秒範圍內的一段時間，詳言之為大約30秒的一段時間。

【第13項】 如申請專利範圍第10至12項中任一項之方法，其中所述至少一平滑回火步驟係在一非氧化型大氣環境下進行，詳言之為包含氫及/或0%至大約50%氫組成之大氣環境。

【第14項】 如申請專利範圍第1至13項中任一項之方法，其更包括在該複合底材(105)沿著該弱化層(102)劈裂步驟後，回收該第一底材(101)之殘餘部分(1012)之一步驟。

【發明圖式】

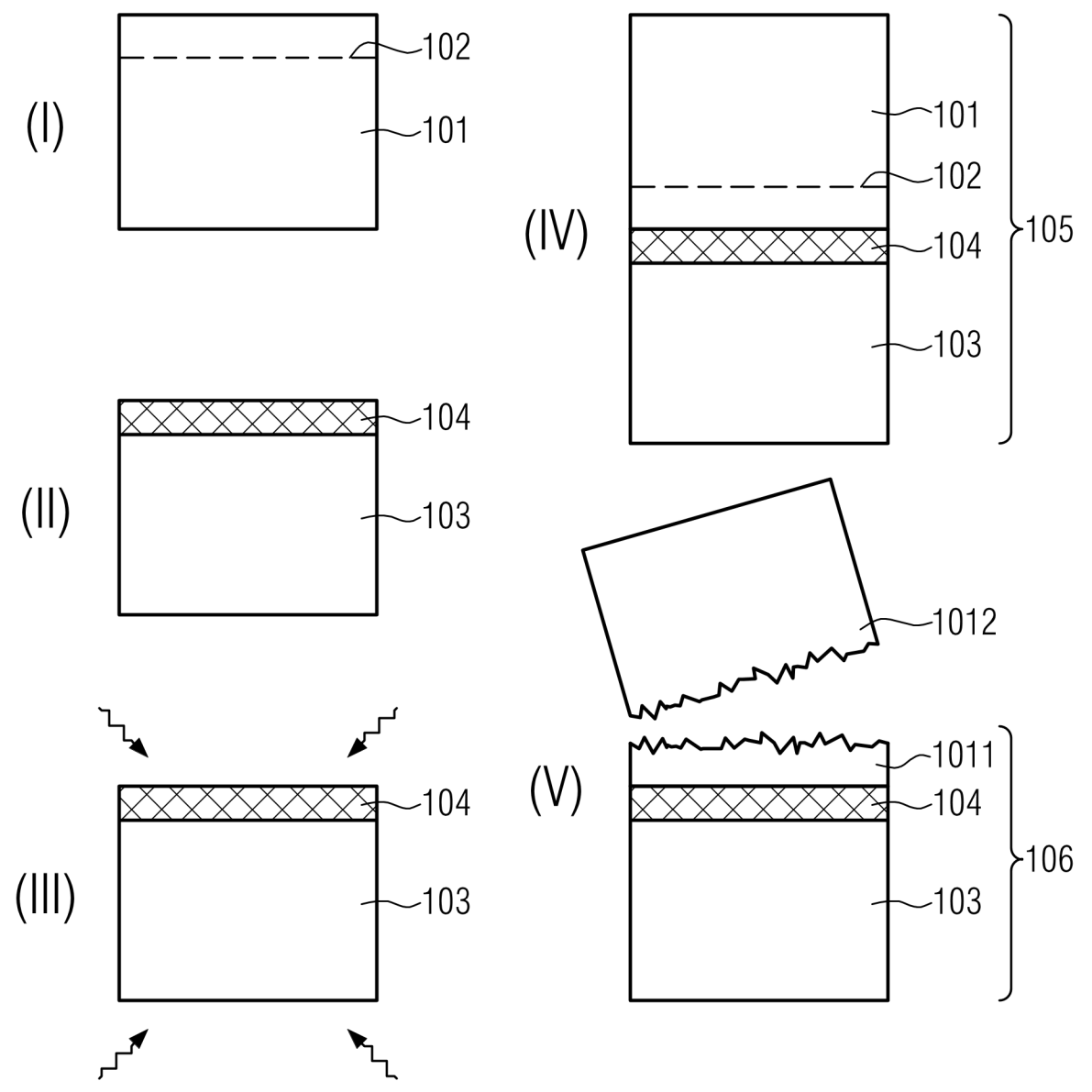


圖 1

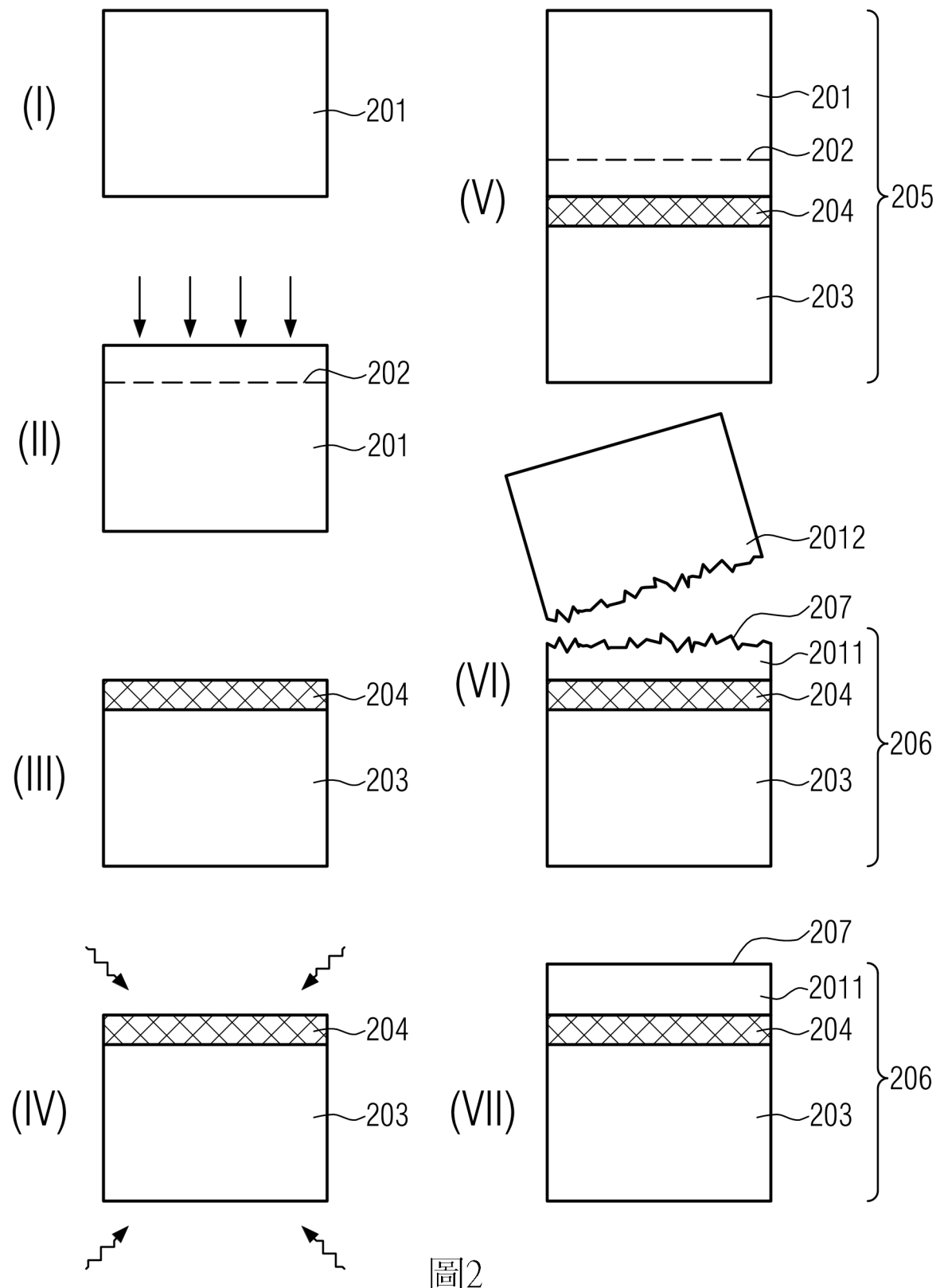


圖2