



(12) 发明专利

(10) 授权公告号 CN 102055179 B

(45) 授权公告日 2013. 09. 18

(21) 申请号 200910198463. 2

CN 1581481 A, 2005. 02. 16, 全文.

(22) 申请日 2009. 11. 04

审查员 张岩

(73) 专利权人 上海宏力半导体制造有限公司
地址 201203 上海市浦东张江高科技园区祖
冲之路 1399 号

(72) 发明人 单毅

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 李丽

(51) Int. Cl.

H02H 9/00 (2006. 01)

(56) 对比文件

CN 101111117 A, 2008. 01. 23, 说明书第 4 页
第 3 行至第 10 页倒数第 1 行、图 1-5.

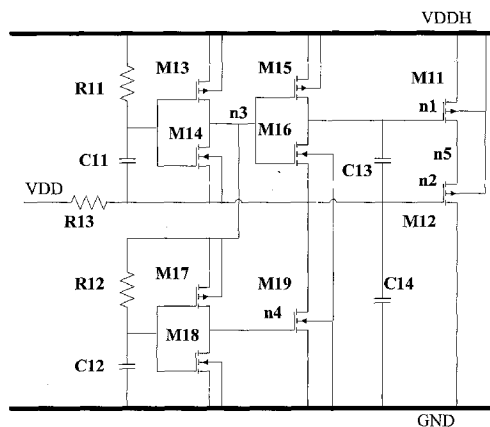
权利要求书2页 说明书5页 附图2页

(54) 发明名称

静电放电保护装置

(57) 摘要

一种静电放电保护装置,包括:连接第一电
源线、第二电源线和接地线的静电放电电路及提
供静电放电电路偏置电压的偏置控制电路,所述
静电放电电路至少包括呈堆叠结构的第一及第二
PMOS 管,第一 PMOS 管的源极接于第一电源线,栅
极接于所述偏置控制电路,漏极接于第二 PMOS 管
的源极,第二 PMOS 管的漏极接地,栅极经由偏置
控制电路与第二电源线相连,所述第二 PMOS 管
的栅极电压使得第一及第二 PMOS 管在芯片正常
工作时均处于工作电压容限内,所述偏置控制电
路在第一电源线面临静电放电脉冲时开启第一、
第二 PMOS 管。所述静电放电保护装置具有较好的
静电放电保护功效,且其泄放静电放电电流的 PMOS
管的栅氧化层具有较好可靠性。



1. 一种静电放电保护装置,其特征在于,包括:连接第一电源线、第二电源线和接地线的静电放电电路及提供静电放电电路偏置电压的偏置控制电路;所述静电放电电路至少包括呈堆叠结构的第一及第二PMOS管;所述第一PMOS管的源极接于第一电源线,栅极接于所述偏置控制电路,漏极接于第二PMOS管的源极;所述第二PMOS管的漏极接地,栅极经由偏置控制电路与第二电源线相连,所述第二PMOS管的栅极电压使得第一及第二PMOS管在芯片正常工作时均处于工作电压容限内;

所述偏置控制电路在第一电源线面临静电放电脉冲时开启所述第一、第二PMOS管,包括:

第一电阻和第一电容,第一电阻的第一端接于第一电源线,第二端接于第一电容的第一端;

第三电阻,其第一端接于第一电容的第二端及所述第二PMOS管的栅极,第二端接于第二电源线;

第一反相器,其输入接于第一电阻的第二端,所述第一反相器中的NMOS管的源极接于第三电阻的第一端;

第二反相器,其输入接于第一反相器的输出,输出接于所述第一PMOS管的栅极;

第二电阻和第二电容,第二电阻的第一端接于第二反相器的输入,第二端接于第二电容的第一端,第二电容的第二端接地;

第三反相器,其输入接于第二电阻的第二端,所述第三反相器中的PMOS管的源极接于所述第二反相器的输入,所述第三反相器中的NMOS管的源极接地;

对地NMOS管,其栅极接于第三反相器的输出,漏极接于第二反相器中的NMOS管的源极,源极接地,

以及,所述第一PMOS管的栅极还经由第三电容及第四电容接地。

2. 如权利要求1所述的静电放电保护装置,其特征在于,所述第二电源线在第一电源线面临静电放电脉冲时空置或接地。

3. 如权利要求1所述的静电放电保护装置,其特征在于,所述第一电源线在芯片正常工作时的电压为3.6V,所述第二电源线在芯片正常工作时的电压为1.8V。

4. 一种静电放电保护装置,其特征在于,包括:连接第一电源线、第二电源线和接地线的静电放电电路及提供静电放电电路偏置电压的偏置控制电路;所述静电放电电路至少包括呈堆叠结构的第一及第二PMOS管;所述第一PMOS管的源极接于第一电源线,栅极接于所述偏置控制电路,漏极接于第二PMOS管的源极;所述第二PMOS管的漏极接地,栅极经由偏置控制电路与第二电源线相连,所述第二PMOS管的栅极电压使得第一及第二PMOS管在芯片正常工作时均处于工作电压容限内;

所述偏置控制电路在第一电源线面临静电放电脉冲时开启所述第一、第二PMOS管,包括:

第一电容和第一电阻,第一电容的第一端接于第一电源线,第二端接于第一电阻的第一端;

第三电阻,其第一端接于第一电阻的第二端及所述第二PMOS管的栅极,第二端接于第二电源线;

第一反相器,其输入接于第一电容的第二端,所述第一反相器中的NMOS管的源极接于

第三电阻的第一端；

第二反相器，其输入接于第一反相器的输出，所述第二反相器中的 NMOS 管的源极接于第三电阻的第一端；

第三反相器，其输入接于第二反相器的输出，输出接于所述第一 PMOS 管的栅极；

第二电容和第二电阻，第二电容的第一端接于第三反相器的输入，第二端接于第二电阻的第一端，第二电阻的第二端接地；

第四反相器，其输入接于第二电容的第二端，所述第四反相器中的 PMOS 管的源极接于所述第三反相器的输入，所述第四反相器中的 NMOS 管的源极接地；

第五反相器，其输入接于第四反相器的输出，所述第五反相器中的 PMOS 管的源极接于所述第三反相器的输入，所述第五反相器中的 NMOS 管的源极接地；

对地 NMOS 管，其栅极接于第五反相器的输出，漏极接于第三反相器中的 NMOS 管的源极，源极接地，

以及，所述第一 PMOS 管的栅极还经由第三电容及第四电容接地。

5. 如权利要求 4 所述的静电放电保护装置，其特征在于，所述第二电源线在第一电源线面临静电放电脉冲时空置或接地。

6. 如权利要求 4 所述的静电放电保护装置，其特征在于，所述第一电源线在芯片正常工作时的电压为 3.6V，所述第二电源线在芯片正常工作时的电压为 1.8V。

静电放电保护装置

技术领域

[0001] 本发明涉及半导体集成电路设计,特别涉及静电放电保护装置。

背景技术

[0002] 随着半导体器件功能的日趋复杂及尺寸的日趋减小,其所能承受的静电放电(ESD,Electro Static Discharge)电压的上限值也不断减小。因而,静电放电对半导体器件产生的不利影响也越来越严重。

[0003] 现有静电放电保护的实践中,常会采用大尺寸的 PMOS 管构成静电放电保护装置。参照图 1 所示,现有技术的一种静电放电保护装置的等效电路包括:位于电源线 VDDH 和接地线 GND 之间的串联连接的电阻 R1 和电容 C1,以及栅极接于电阻 R1 和电容 C1 之间的 PMOS 管 M1,所述 PMOS 管 M1 的源极和基极接于电源线 VDDH,漏极接于接地线 GND。当所述电源线 VDDH 面临静电放电脉冲时,由于电阻 R1、电容 C1 的延迟、耦合作用,PMOS 管 M1 的栅极电压被耦合到相对于源极电压更低的电压值上。此时,PMOS 管 M1 开启,通过连接于接地线 GND 的漏极,泄放静电放电电流。

[0004] 在一些高电压容限的应用中,所述电源线 VDDH 上加载的电压通常都较高,但随着半导体器件制造工艺的发展,所述 PMOS 管的工作电压容限却在不断降低。以图 1 所示的静电放电保护装置为例,假定 PMOS 管的工作电压容限为 VDD,则在芯片处于正常工作状态时,由于电源线 VDDH 上加载的电压通常接近或超过 2VDD,PMOS 管 M1 将长期处于远高于其工作电压容限的高电压应力下。长此以往,将影响 PMOS 管中的栅氧化层的可靠性。在一些严重的情况下,所述电源线 VDDH 在面临静电放电脉冲时,PMOS 管 M1 的栅氧化层可能会被击穿,导致静电放电保护装置丧失保护功效,电路遭到破坏。

发明内容

[0005] 本发明解决现有技术静电放电保护装置中用作放电器件的 PMOS 管,在芯片正常工作时,也处于远高于其工作电压容限的高电压应力下,其栅氧化层可靠性受到不利影响的问题。

[0006] 为解决上述问题,本发明提供一种静电放电保护装置,包括:连接第一电源线、第二电源线和接地线的静电放电电路及提供静电放电电路偏置电压的偏置控制电路;所述静电放电电路至少包括呈堆叠结构的第一及第二 PMOS 管;所述第一 PMOS 管的源极接于第一电源线,栅极接于所述偏置控制电路,漏极接于第二 PMOS 管的源极;所述第二 PMOS 管的漏极接地,栅极经由偏置控制电路与第二电源线相连,所述第二 PMOS 管的栅极电压使得第一及第二 PMOS 管在芯片正常工作时均处于工作电压容限内;所述偏置控制电路在第一电源线面临静电放电脉冲时开启所述第一、第二 PMOS 管。

[0007] 与现有技术相比,上述静电放电保护装置具有以下优点:通过其中一个或多个 PMOS 管的栅极被固定置于相应电压上,使得芯片正常工作时,堆叠结构中的各 PMOS 管都处于工作电压容限内,保证了各 PMOS 管栅氧化层的可靠性,有利于所述静电放电保护装置的

静电保护功效。

附图说明

- [0008] 图 1 是现有技术的一种静电放电保护装置的等效电路示意图；
[0009] 图 2 是本发明静电放电保护装置的一种实施例的等效电路示意图；
[0010] 图 3 是本发明静电放电保护装置的另一种实施例的等效电路示意图。

具体实施方式

[0011] 参照图 2 所示,本发明静电放电保护装置的一种实施例的等效电路包括:静电放电电路及偏置控制电路。所述静电放电电路包括:第一 PMOS 管 M11、第二 PMOS 管 M12。所述偏置控制电路包括:PMOS 管 M13、M15、M17, NMOS 管 M14、M16、M18 及 M19, 第一电阻 R11、第二电阻 R12 及第三电阻 R13, 第一电容 C11、第二电容 C12、第三电容 C13 及第四电容 C14。所述偏置控制电路用于提供第一 PMOS 管 M11、第二 PMOS 管 M12 的偏置电压。

[0012] 具体地说,偏置控制电路中,第一电阻 R11 的第一端接于第一电源线 VDDH, 第二端与第一电容 C11 的第一端相连,第一电容 C11 的第二端接于第三电阻 R13 的第一端,第三电阻 R13 的第二端接于第二电源线 VDD, 第二电源线 VDD 在芯片正常工作时恒保持第一及第二 PMOS 管的工作电压。PMOS 管 M13 及 NMOS 管 M14 构成第一反相器,所述第一反相器的输入接于第一电阻 R11 的第二端。所述第一反相器中 PMOS 管 M13 的源极接于第一电源线 VDDH, NMOS 管 M14 的源极接于第三电阻 R13 的第一端。PMOS 管 M15 及 NMOS 管 M16 构成第二反相器,所述第二反相器的输入接于所述第一反相器的输出,所述第二反相器的输出接于第一 PMOS 管 M11 的栅极。所述第二反相器中 PMOS 管 M15 的源极接于第一电源线 VDDH, NMOS 管 M16 的源极接于对地 NMOS 管 M19 的漏极。第二电阻 R12 的第一端接于第二反相器的输入,第二端接于第二电容 C12 的第一端,第二电容 C12 的第二端接于接地线 GND。PMOS 管 M17 及 NMOS 管 M18 构成第三反相器,所述第三反相器的输入接于第二电阻 R12 的第二端。所述第三反相器中 PMOS 管 M17 的源极接于所述第二反相器的输入, NMOS 管 M18 的源极接于接地线 GND。对地 NMOS 管 M19 的栅极接于第三反相器的输出,源极接于接地线 GND。

[0013] 而作为静电放电器件的第一 PMOS 管 M11 的栅极经由第三电容 C13、第四电容 C14 接于接地线 GND,漏极接于第二 PMOS 管 M12 的源极。第二 PMOS 管 M12 的栅极接于第三电阻 R13 的第一端,漏极接于接地线 GND。

[0014] 以下对上述静电放电保护装置的实施例的等效电路的工作过程进行详细分析。

[0015] 在芯片正常工作状态下,以第一及第二 PMOS 管的工作电压为 1.8V 为例,第一电源线 VDDH 上通常加载 2 倍于第一及第二 PMOS 管工作电压的电压,即 3.6V。第二电源线 VDD 上通常记载第一及第二 PMOS 管工作电压,即 1.8V。由于第三电容 C13、第四电容 C14 的耦合作用,第一 PMOS 管 M11 的栅极处 n1 的电压也为 3.6V,而第二 PMOS 管 M12 的栅极处 n2 的电压也为工作电压 VDD,即 1.8V。此时,可测得第二 PMOS 管 M12 的源极电压为 2.1V,则第一 PMOS 管 M11、第二 PMOS 管 M12 均处于关闭状态。并且,第一 PMOS 管 M11 的栅漏电压差为 1.5V,第二 PMOS 管 M12 的栅漏电压差为 1.8V,该两个 PMOS 管都处于其工作电压容限之内,因而也不会影响栅氧可靠性。

[0016] 以芯片的静电放电测试来模拟芯片遭遇静电放电时的情况,在进行静电放电测试

时,在第一电源线 VDDH 上加上静电放电脉冲,接地线 GND 依然接地,第二电源线 VDD 一般处于空置或接地状态,假设此时第二电源线 VDD 处于接地状态,则第二 PMOS 管 M12 的栅极处 n2 的电压为 0。静电放电脉冲通常都具有较高的电压值及较快的上升时间,由于第一电阻 R11、第二电容 C11 的延迟、耦合作用,PMOS 管 M13 的栅极电压被耦合到相对于其源极电压更低的电压值上,此时 PMOS 管 M13 开启,使得第一反相器的输出处 n3 的电压跟随静电放电脉冲升至一个较高的电位。则此时,NMOS 管 M16 开启。而由于第二电阻 R12、第二电容 C12 的延迟、耦合作用,PMOS 管 M17 的栅极电压也被耦合到相对于其源极电压更低的电压值上,此时 PMOS 管 M17 开启,使得第三反相器的输出处 n4 的电压跟随第一反相器的输出处 n3 的电压也升至一个较高的电压。则此时,对地 NMOS 管 M19 也开启。此时,第一 PMOS 管 M11 的栅极经由开启的 NMOS 管 M16、M19 形成了对地通路,则第一 PMOS 管 M11 的栅极处 n1 的电压降低至 0。则,第一 PMOS 管 M11 开启,其漏极处 n5 的电压提升,使得第二 PMOS 管 M12 也开启。由于作为静电放电器件的第一 PMOS 管 M11、第二 PMOS 管 M12 均开启,则所述静电放电保护装置开始泄放静电放电电流。

[0017] 通过对上述静电放电装置的实施例的分析可以看到,在芯片正常工作时,由于堆叠结构中的第二 PMOS 管 M12 的栅极经由第三电阻 R13 而置于其工作电压上,使得第一 PMOS 管 M11、第二 PMOS 管 M12 都处于其工作电压容限内,因而不会对第一 PMOS 管 M11、第二 PMOS 管 M12 的栅氧化层可靠性造成影响。在此后第一电源线 VDDH 面临静电放电脉冲时,第一 PMOS 管 M11、第二 PMOS 管 M12 就能较好地起到泄放静电放电电流的作用。由此可推得,当芯片正常工作时加载于第一电源线 VDDH 的电压进一步升高时,可进一步相应增加堆叠结构中 PMOS 管的数量,并使得堆叠结构中除源极与第一电源线 VDDH 相接的 PMOS 管外的其他 PMOS 管的栅极处于阶梯式分布的电压下。例如,第一电源线 VDDH 上加载的电压为 3VDD 时,则堆叠结构中具有 3 个 PMOS 管,此时暂名为第一至第三 PMOS 管,其中第一 PMOS 管的源极与第一电源线 VDDH 相连,漏极与第二 PMOS 管的源极相连,第二 PMOS 管的栅极可经由一电阻置于 2 倍工作电压的电压上,其漏极与第三 PMOS 管的源极相连,而第三 PMOS 管可如图 2 中 PMOS 管 M12 的接法,其栅极可经由一电阻置于 1 倍工作电压的电压上,漏极接于接地线 GND。如此,第一至第三 PMOS 管也都处于各自的工作电压容限内。

[0018] 参照图 3 所示,本发明静电放电保护装置的另一种实施例的等效电路包括:静电放电电路及偏置控制电路。所述静电放电电路包括:第一 PMOS 管 M21、第二 PMOS 管 M22。所述偏置控制电路包括:PMOS 管 M23、M2、M27、M29 及 M31,NMOS 管 M24、M26、M28、M29、M31 及 M33,第一电阻 R21、第二电阻 R22 及第三电阻 R23,第一电容 C21、第二电容 C22、第三电容 C23 及第三 C24。所述偏置控制电路用于提供第一 PMOS 管 M21、第二 PMOS 管 M22 的偏置电压。

[0019] 具体地说,偏置控制电路中,第一电容 C21 的第一端接于第一电源线 VDDH,第二端与第一电阻 R21 的第一端相连,第一电阻 R21 的第二端接于第三电阻 R23 的第一端,第三电阻 R23 的第二端接于第二电源线 VDD,第二电源线 VDD 在芯片正常工作时恒保持第一及第二 PMOS 管的工作电压。PMOS 管 M23 及 NMOS 管 M24 构成第一反相器,所述第一反相器的输入接于第一电容 C21 的第二端。所述第一反相器中 PMOS 管 M23 的源极接于第一电源线 VDDH,NMOS 管 M24 的源极接于第三电阻 R23 的第一端。PMOS 管 M25 及 NMOS 管 M26 构成第二反相器,所述第二反相器的输入接于所述第一反相器的输出。所述第二反相器中 PMOS 管 M25 的

源极接于第一电源线 VDDH, NMOS 管 M26 的源极接于第三电阻 R23 的第一端。PMOS 管 M27 及 NMOS 管 M28 构成第三反相器, 所述第三反相器的输入接于第二反相器的输出, 所述第三反相器的输出接于第一 PMOS 管 M21 的栅极。所述第三反相器中 PMOS 管 M27 的源极接于第一电源线 VDDH, NMOS 管 M28 的源极接于对地 NMOS 管 M33 的漏极。第二电容 C22 的第一端接于第三反相器的输入, 第二端接于第二电阻 R22 的第一端, 第二电阻 R22 的第二端接于接地线 GND。PMOS 管 M29 及 NMOS 管 M30 构成第四反相器, 所述第四反相器的输入接于第二电容 C22 的第二端。所述第四反相器中 PMOS 管 M29 的源极接于所述第三反相器的输入, NMOS 管 M30 的源极接于接地线 GND。PMOS 管 M31 及 NMOS 管 M32 构成第五反相器, 所述第五反相器的输入接于第四反相器的输出。所述第五反相器中 PMOS 管 M31 的源极接于所述第三反相器的输入, NMOS 管 M32 的源极接于接地线 GND。对地 NMOS 管 M33 的栅极接于第五反相器的输出, 源极接于接地线 GND。

[0020] 而作为静电放电器件的第一 PMOS 管 M21 的栅极经由第三电容 C23、第四电容 C24 接于接地线 GND, 漏极接于第二 PMOS 管 M22 的源极。第二 PMOS 管 M22 的栅极接于第三电阻 R23 的第一端, 漏极接于接地线 GND。

[0021] 以下对上述静电放电保护装置的实施例的等效电路的工作过程进行详细分析。

[0022] 在芯片正常工作状态下, 以第一及第二 PMOS 管的工作电压为 1.8V 为例, 第一电源线 VDDH 上通常加载 2 倍于第一及第二 PMOS 管工作电压的电压, 即 3.6V。第二电源线上通常加载第一及第二 PMOS 管工作电压, 即 1.8V。由于第三电容 C23、第四电容 C24 的耦合作用, 第一 PMOS 管 M21 的栅极处 n6 的电压也为 3.6V, 而第二 PMOS 管 M22 的栅极处 n7 的电压也为工作电压, 即 1.8V。此时, 可测得 PMOS 管 M22 的源极电压为 2.1V, 则, 第一 PMOS 管 M21、第二 PMOS 管 M22 均处于关闭状态。并且, 第一 PMOS 管 M21 的栅漏电压差为 1.5V, 第二 PMOS 管 M22 的栅漏电压差为 1.8V, 这两个 PMOS 管都处于其工作电压容限之内, 因而也不会影响栅氧可靠性。

[0023] 以芯片的静电放电测试来模拟芯片遭遇静电放电时的情况, 在进行静电放电测试时, 在第一电源线 VDDH 上加上静电放电脉冲, 接地线 GND 依然接地, 第二电源线 VDD 一般处于空置或接地状态, 假设此时第二电源线 VDD 处于接地状态。假设此时第二电源线 VDD 处于接地状态, 则第二 PMOS 管 M22 的栅极处 n7 的电压为 0。静电放电脉冲通常都具有较高的电压值, 由于第一电容 C21 的耦合作用, NMOS 管 M24 的栅极电压被耦合到超过 2VDD 的电压值上, 此时 NMOS 管 M23 开启, 第一反相器的输出经由第三电阻 R23 形成对地通路, 则第一反相器的输出处电压被拉低至 0。则此时, PMOS 管 M25 开启, 所述第二反相器的输出处 n8 的电压被提升至较高电压。则 NMOS 管 M28 开启。而由于第二电容 C22 的耦合作用, NMOS 管 M30 的栅极电压也被耦合到较高电压, 此时 NMOS 管 M30 开启, 第四反相器的输出形成对地通路, 则第四反相器的输出处电压被拉低至 0。则此时, PMOS 管 M31 开启, 所述第五反相器的输出处 n9 的电压被提升至较高电压。此时, 对地 NMOS 管 33 开启。此时, 第一 PMOS 管 M21 的栅极经由开启的 NMOS 管 M28、M33 形成了对地通路, 则第一 PMOS 管 M21 的栅极处 n6 的电压降低至 0。则, 第二 PMOS 管 M21 开启, 其漏极处 n10 的电压提升, 使得第二 PMOS 管 M22 也开启。由于作为静电放电器件的 PMOS 管 M21、M22 均开启, 则所述静电放电保护装置开始泄放静电放电电流。

[0024] 通过对上述静电放电装置的实施例的分析可以看到, 在芯片正常工作时, 由于堆

叠结构中的第二 PMOS 管 M22 的栅极经由第三电阻 R23 而置于其工作电压上,使得第一 PMOS 管 M21、第二 PMOS 管 M22 都处于其工作电压容限内,因而不会对第一 PMOS 管 M21、第二 PMOS 管 M22 的栅氧化层可靠性造成影响。在此后电源线 VDDH 面临静电放电脉冲时,PMOS 管 M21、M22 就能较好地起到泄放静电放电电流的作用。由此可推得,当芯片正常工作时加载于第一电源线 VDDH 的电压进一步升高时,可进一步相应增加堆叠结构中 PMOS 管的数量,并使得堆叠结构中除源极与第一电源线 VDDH 相接的 PMOS 管外的其他 PMOS 管的栅极处于阶梯式分布的电压下。例如,第一电源线 VDDH 上加载的电压为 $3V_{DD}$ 时,则堆叠结构中具有 3 个 PMOS 管,此时暂名为第一至第三 PMOS 管,其中第一 PMOS 管的源极与第一电源线 VDDH 相连,漏极与第二 PMOS 管的源极相连,第二 PMOS 管的栅极可经由一电阻置于 2 倍工作电压上,其漏极与第三 PMOS 管的源极相连,而第三 PMOS 管可如图 3 中 PMOS 管 M22 的接法,其栅极可经由一电阻至于 1 倍工作电压上,漏极接于接地线 GND。如此,第一至第三 PMOS 管也都处于各自的工作电压容限内。

[0025] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

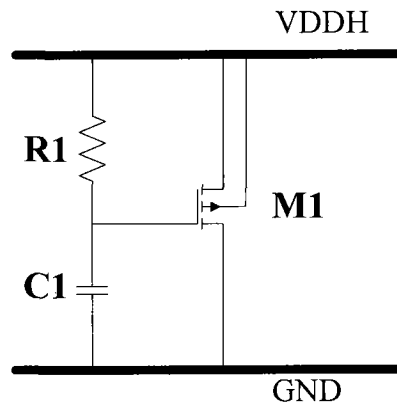


图 1

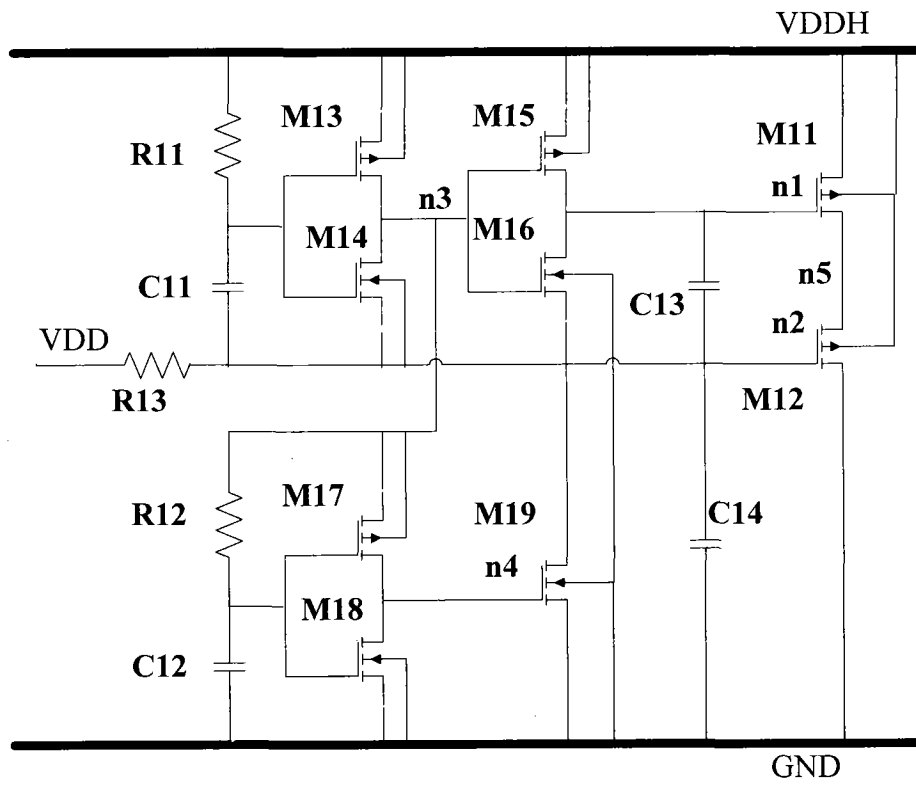


图 2

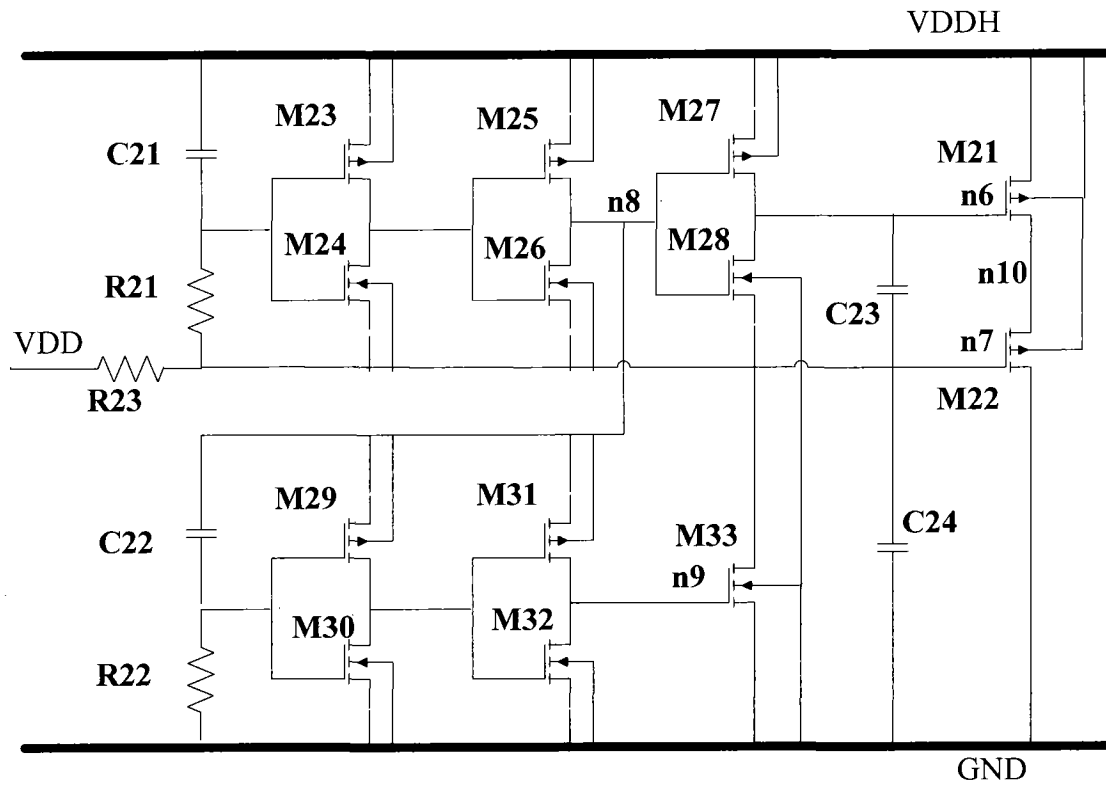


图 3