

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



(10) 国際公開番号
WO 2012/137590 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) **H03B 5/08** (2006.01)
H01L 27/04 (2006.01) **H03L 7/06** (2006.01)
H03B 1/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/056964
- (22) 国際出願日: 2012 年 3 月 19 日(19.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-082062 2011 年 4 月 1 日(01.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 関根 康 (SEKINE, Yasushi) [JP/JP]; 〒6640005 兵庫県伊丹市瑞原四丁目 1 番地 株式会社ルネサスデザイン内 Hyogo (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, p.c.); 〒5300005 大阪府大阪市北

区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

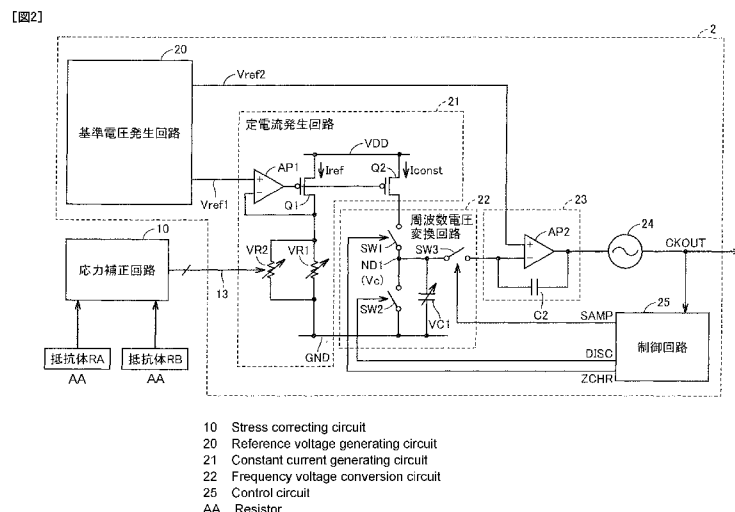
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device formed on a main surface of a substrate is provided with: an electric circuit (2) that includes a first resistor (VR2); second and third resistors (RA, RB); and a correcting unit (10). The electric circuit (2) changes the characteristics thereof, corresponding to a resistance value of the first resistor (VR2). The second and the third resistors (RA, RB) are formed of a material same as that of the first resistor (VR2), and one of the resistors is provided at a position closer to the center of the main surface than a position where the other resistor is provided. On the basis of change quantities of resistance values of the second and the third resistors (RA, RB), the correcting unit (10) generates correction signals (13) for correcting the characteristics of the electric circuit (2).

(57) 要約:

[続葉有]

WO 2012/137590 A1

基板の主面上に形成された半導体装置は、第１の抵抗体（VR2）を含む電気回路（２）と、第２および第３の抵抗体（RA、RB）と、補正部（１０）とを備える。電気回路（２）は、第１の抵抗体（VR2）の抵抗値に応じてその特性が変化する。第２および第３の抵抗体（RA、RB）は、第１の抵抗体（VR2）と同じ材料によって形成され、一方が他方よりも主面の中心寄りの位置に設けられる。補正部（１０）は、第２および第３の抵抗体（RA、RB）の抵抗値の変化量に基づいて、電気回路（１０）の特性を補正するための補正信号（１３）を生成する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、基板上に形成された複数の構成部品を含む半導体装置であり、特に、構成部品として抵抗器を含む半導体装置に関する。

背景技術

[0002] マイクロコンピュータなどの半導体集積回路装置では、機器の小型化やコスト低減のために、クロック生成用の発振回路を内蔵する場合がある。

[0003] 集積回路に内蔵された発振回路の一例として、特開 2 0 0 2 - 3 0 0 0 2 7 号公報（特許文献 1）に記載された発振回路が知られている。この発振回路は、発振手段と、定電流源回路と、充電手段と、制御手段とを含む。発振手段は、外部からの電流または電圧に基づいて発振周波数が制御される。定電流源回路は、その生成する定電流を基準抵抗の値によって可変自在とするように構成される。この基準抵抗の値によって発振手段の発振周波数が変化する。充電手段は、発振手段の発振出力に基づいて定電流源回路からの定電流によりコンデンサを充電する。制御手段は、上記コンデンサの充電電荷と所定の基準値とに基づいて発振手段の発振周波数を制御する上記の電流または電圧を生成する。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 0 2 - 3 0 0 0 2 7 号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、ＩＣ（Integrated Circuit）の特性変動の要因の 1 つとして、パッケージングの際の樹脂封止に起因した特性変動がある。この特性変動は、半導体基板に比べて膨張係数の大きいモールド樹脂が硬化する際に収縮を起こし、この結果、基板表面に圧縮応力が発生することによって生じる。

[0006] 上記の発振回路に用いられる基準抵抗の場合には、 TiN （窒化チタン）や TaN （窒化タンタル）などの材料が用いられており、樹脂封止に起因した抵抗値の変化は微小である。しかしながら、たとえ微小な抵抗値の変化であっても発振周波数の変動要因となるので問題となる。

[0007] この発明の目的は、半導体装置に含まれる電気回路の特性が、その電気回路に内蔵された抵抗体の抵抗値が変化することによって変動した場合に、当該電気回路の特性変動を抑制することが可能な半導体装置を提供することである。

課題を解決するための手段

[0008] この発明の実施の一形態による半導体装置は、基板の主面上に形成され、第1の抵抗体を含む電気回路と、第2および第3の抵抗体と、補正部とを備える。電気回路は、第1の抵抗体の抵抗値に応じてその特性が変化する。第2および第3の抵抗体は、第1の抵抗体と同じ材料によって形成され、一方が他方よりも主面の中心寄りの位置に設けられる。補正部は、第2および第3の抵抗体の抵抗値の変化量に基づいて、電気回路の特性を補正するための補正信号を生成する。

発明の効果

[0009] 上記の実施の形態によれば、電気回路に含まれる第1の抵抗体の抵抗値が変化しても、第2および第3の抵抗体の抵抗値の変化に基づいて、電気回路の特性を補正することによって、電気回路の特性変動を抑制することができる。

図面の簡単な説明

[0010] [図1]この発明の実施の一形態による半導体集積回路装置として、マイクロコンピュータチップ1の構成を示すブロック図である。

[図2]図1のオンチップオシレータ2の構成を詳しく示す図である。

[図3]図2の抵抗部 $VR2$ の構成の一例を示す回路図である。

[図4]抵抗体 RA 、 RB の配置例を示す図である。

[図5]半導体基板 SUB の主面側の平面図である。

[図6]樹脂封止によって半導体チップに発生する圧縮応力の大きさのシミュレーション結果を示す図である。

[図7]モニター用の抵抗体R A, R Bの望ましい設置場所について説明するための図である。

[図8]圧縮応力と抵抗値との関係を示す図である。

[図9]応力補正回路10の構成を示す回路図である。

[図10]図9のモニタ信号生成部50Aの構成をより詳しく示した回路図である。

発明を実施するための形態

[0011] 以下、この発明の実施の形態について図面を参照して詳しく説明する。以下では、マイクロコンピュータチップに内蔵された発振回路を例に挙げて説明するが、この発明は、発振回路に限られるものでなく、半導体チップに形成された抵抗体を含む電気回路に広く適用できる。

[0012] なお、以下の説明において、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

[0013] [マイクロコンピュータチップの構成]

図1は、この発明の実施の一形態による半導体集積回路装置として、マイクロコンピュータチップ1の構成を示すブロック図である。図1を参照して、マイクロコンピュータチップ1は、オンチップオシレータ(On-Chip Oscillator)2と、レジスタ3と、メモリ4と、分周回路5と、CPU(Central Processing Unit)6と、A/D(Analog-to-Digital)変換器7と、タイマ(Timer)8と、その他の内部モジュールである周辺回路9と、応力補正回路10と、抵抗体R A, R Bとを含む。

[0014] オンチップオシレータ2は、マイクロコンピュータチップ1に内蔵された発振器であり、内部モジュールに供給するクロックCLKの基になる信号CKOUTを発生する。オンチップオシレータ2が所望の周波数で発振するように、オンチップオシレータ2に設けられた基準抵抗およびコンデンサの値は、レジスタ3から読み出されたトリミングコード11A, 11B, 11C

に応じた値にそれぞれ設定される。メモリ 4 は、たとえば、フラッシュメモリなどの不揮発性メモリによって構成され、上記のトリミングコードを格納する。トリミングコードは、マイクロコンピュータチップ 1 の起動時にメモリ 4 からレジスタ 3 に転送される。

[0015] 分周回路 5 は、オンチップオシレータ 2 の出力信号 C K O U T を分周することによってクロック信号 C L K を生成する。クロック信号 C L K は、C P U 6、A/D 変換器 7、タイマ 8、および周辺回路 9 などの内部モジュールの動作に用いられる。

[0016] 応力補正回路 10 は、オンチップオシレータ 2 に設けられた基準抵抗の抵抗値が変化した場合に、その抵抗値の変化を補償するための信号（トリミングコード）13 を生成してオンチップオシレータ 2 に出力する。基準抵抗の抵抗値が変化する原因の 1 つは、パッケージング工程の際の樹脂封止に起因した残留応力である。この場合に、基準抵抗の抵抗値が最も変化するのは樹脂封止の前後においてであるが、残留応力はパッケージング工程の後にも徐々に変化するので、オンチップオシレータ 2 の発振周波数を一定にするためには、その変化に応じて基準抵抗の抵抗値をさらに補正する必要がある。

[0017] 図 4 ～図 10 を参照して詳しく述べるように、応力補正回路 10 は、マイクロコンピュータチップ 1 内に設けられた抵抗体 R A、R B の抵抗値の変化率に基づいて、トリミングコード 13 を生成する。抵抗体 R A、R B は、オンチップオシレータ 2 に設けられた基準抵抗と同一の材料（たとえば、T i N、T a N など）を用いて形成され、一方（抵抗体 R A）が他方（抵抗体 R B）よりも基板の主面上の中央寄りの位置に設けられる。

[0018] [オンチップオシレータの構成]

図 2 は、図 1 のオンチップオシレータ 2 の構成を詳しく示す図である。図 2 を参照して、オンチップオシレータ 2 は、基準電圧発生回路 20 と、定電流発生回路 21 と、周波数電圧変換回路 22 と、積分回路 23 と、電圧制御発振器 24 と、制御回路 25 とを含む。

[0019] 基準電圧発生回路 20 は、いわゆるバンドギャップリファレンス回路であ

り、電源電圧に依存しないが環境温度に依存する参照電圧 V_{ref1} と、電源電圧および環境温度の両方に依存しない参照電圧 V_{ref2} とを生成する。参照電圧 V_{ref1} の温度特性は、定電流発生回路 21 に設けられた抵抗部 $VR1$ 、 $VR2$ の抵抗値の温度依存性を打ち消すように調整されている。

[0020] 基準電圧発生回路 20 は、複数の抵抗素子を含む抵抗部（図示省略）を含む。この抵抗部の抵抗値は、参照電圧 V_{ref1} 、 V_{ref2} が所望の温度特性となるように予め調整され、調整結果がトリミングコード 11A として、図 1 で説明したメモリ 4 に格納される。マイクロコンピュータチップ 1 の起動時に、格納されたトリミングコード 11A がメモリ 4 からレジスタ 3 に転送され、レジスタ 3 から基準電圧発生回路 20 に読み込まれる。

[0021] 定電流発生回路 21 は、基準電圧発生回路 20 から出力された参照電圧に基づいて、電源電圧および温度の両方に依存しない定電流 I_{ref} を生成する。定電流 I_{ref} は、定電流発生回路 21 の内部に設けられたカレントミラー回路によって定電流 I_{const} に変換され、定電流 I_{const} が周波数電圧変換回路 22 に出力される。

[0022] より詳細には、定電流発生回路 21 は、オペアンプ AP1 と、PMOS (Positive-channel Metal Oxide Semiconductor) トランジスタ Q1、Q2 と、互いに並列接続された抵抗部 $VR1$ 、 $VR2$ とを含む。抵抗部 $VR1$ 、 $VR2$ によって前述の基準抵抗が構成される。

[0023] オペアンプ AP1 の非反転入力端子（＋端子）には、基準電圧発生回路 20 から出力された参照電圧 V_{ref1} が入力される。オペアンプ AP1 の出力端子は、PMOS トランジスタ Q1、Q2 のゲートに接続される。PMOS トランジスタ Q1、Q2 の各ソースは電源ノード VDD に接続される。PMOS トランジスタ Q1 のドレインは、抵抗部 $VR1$ 、 $VR2$ の一端に接続されるとともに、オペアンプ AP1 の反転入力端子（－端子）に接続される。抵抗部 $VR1$ 、 $VR2$ の他端は接地ノード GND に接続される。抵抗部 $VR1$ の抵抗値は、レジスタ 3 から読み出されたトリミングコード 11B に応じて設定される。トリミングコード 11B の値は、パッケージング工程の前

段階で発振周波数を調整する際に決定される。抵抗部VR2の抵抗値は、応力補正回路10から出力されたトリミングコード13に応じて設定される。トリミングコード13の値は、パッケージング工程におけるモールド樹脂による応力の影響が除去されるように、パッケージング工程後に応力補正回路10によって決定される。抵抗部VR1、VR2の構成の詳細は、図3を参照して後述する。

[0024] 以上の定電流発生回路21の構成によれば、PMOSトランジスタQ1のドレイン電圧は、オペアンプAP1の反転入力端子（一端子）にフィードバックされるので、PMOSトランジスタQ1のドレイン電圧は参照電圧Vref1に等しくなる。したがって、抵抗部VR1、VR2の並列接続体の抵抗値をRvとすれば、PMOSトランジスタQ1に流れる電流Irefは、

$$I_{ref} = V_{ref1} / R_v \quad \dots(1)$$

と表わされる。既に説明したように、この電流Irefが、電源電圧VDDおよび環境温度の両方に依存しない一定の電流になるように、抵抗値Rvの温度依存性を打ち消すような温度特性を、参照電圧Vref1は有している。定電流Irefは、PMOSトランジスタQ1、Q2のゲート幅の比に応じた倍率で定電流Iconstにコピーされ、定電流Iconstが周波数電圧変換回路22に供給される。

[0025] 周波数電圧変換回路22は、電圧制御発振器24の発振周波数に応じた制御信号ZCHR、DISC、SAMPを制御回路25から受け、この制御信号ZCHR、DISC、SAMPに応じた電圧を積分回路23に出力する。制御信号ZCHR、DISC、SAMPの各パルス幅は、電圧制御発振器24の出力信号CKOUTの周期に応じて制御回路25によって設定される。積分回路23と周波数電圧変換回路22とは、並列型スイッチドキャパシタ積分回路を構成する。

[0026] より詳細には、周波数電圧変換回路22は、スイッチSW1～SW3と、容量部VC1とを含む。積分回路23は、オペアンプAP2と、コンデンサC2とを含む。

[0027] スイッチSW1, SW2は、この順でPMOSトランジスタQ2のドレインと接地ノードGNDとの間に接続される。容量部VC1は、スイッチSW1, SW2の接続ノードND1と接地ノードGNDとの間にスイッチSW2と並列に接続される。スイッチSW3は、接続ノードND1と、オペアンプAP2の反転入力端子（－端子）との間に接続される。オペアンプAP2の非反転入力端子（＋端子）には、基準電圧発生回路20から参照電圧Vref2が入力される。コンデンサC2は、オペアンプAP2の反転入力端子（－端子）と出力端子との間に接続される。オペアンプAP2の出力によって電圧制御発振器24が駆動される。なお、容量部VC1の容量値は、レジスタ3から読み出されたトリミングコード11Cに応じた値に設定されている。

[0028] ここで、スイッチSW1, SW2, SW3は、それぞれ制御信号ZCHR, DISC, SAMPの論理レベルに応じて導通または非導通状態になる。たとえば、電圧制御発振器24の出力信号CKOUTの4周期のうち、スイッチSW1は最初の1周期の間だけオン状態になり、0.5周期の期間においてスイッチSW3が0.5周期の間だけオン状態になり、0.5周期の期間においてスイッチSW2が1周期の間だけオン状態になる。スイッチSW1が導通状態になると、定電流Iconstによって容量部VC1が充電される。スイッチSW2が導通状態になると、容量部VC1は放電される。スイッチSW3の導通状態になると、容量部VC1の電圧（すなわち、接続ノードND1の電圧Vc）が参照電圧Vref2に等しくなるように容量部VC1が充電または放電される。

[0029] 電圧制御発振器24の発振周波数が目標周波数に等しくなった定常状態では、スイッチSW1によって容量部VC1が充電された直後に、容量部VC1の電圧Vcと参照電圧Vref2とが等しくなる。上記の目標周波数は、定電流発生回路21から出力される電流Iconst（したがって、抵抗部VR1, VR2の抵抗値）と、容量部VC1の容量値とに応じて調整することができる。具体的には、マイクロコンピュータチップ1の製造後に、所望

の発振周波数が得られるように抵抗部VR1の抵抗値と、容量部VC1の容量値との少なくとも一方を調整し、調整結果がトリミングコード11B, 11Cとして、図1で説明したメモリ4に格納される。抵抗部VR2は、抵抗部VR1の抵抗値および容量部VC1の容量値の調整後、パッケージング工程などによってさらに発振周波数がずれたときに応力補正回路10によって調整される。

[0030] [抵抗部VR2の構成例]

図3は、図2の抵抗部VR2の構成の一例を示す回路図である。図3を参照して、抵抗部VR2は、互いに直列または並列に接続された抵抗素子33～41と、抵抗素子35～38とそれぞれ並列に接続されたNMOS (Negative-channel Metal Oxide Semiconductor) トランジスタ42～48とを含む。図2の応力補正回路10は、NMOSトランジスタ42～48の各ゲートに制御信号（トリミングコード）13を出力する。NMOSトランジスタ42～48が導通または非導通に切替わることによって、抵抗部VR2の抵抗値が調整される。

[0031] より詳細には、抵抗部VR2は、抵抗値が固定された主抵抗部30と、抵抗値が可変の直列抵抗部31および並列抵抗部32とを含む。主抵抗部30は、互いに直列接続された抵抗素子33, 34を含む。直列抵抗部31は、互いに直列接続された抵抗素子35～37と、これらの抵抗素子35～37とそれぞれ並列に接続されたNMOSトランジスタ42～44とを含む。並列抵抗部32は、互いに並列接続された抵抗素子38～41と、これらの抵抗素子38～41とそれぞれ並列に接続されたNMOSトランジスタ45～48とを含む。なお、図3において、主抵抗部30、直列抵抗部31、および並列抵抗部32に設けられた抵抗素子の個数、ならびに直列抵抗部31および並列抵抗部32に設けられたNMOSトランジスタの個数は、図解を容易にするために限られた個数が示されているが、実際には、調整する抵抗値の精度に応じて必要数が設けられる。

[0032] 直列抵抗部31および並列抵抗部32を構成する各抵抗素子の抵抗値は、

主抵抗部 30 を構成する各抵抗素子の抵抗値に比べて小さくする。たとえば、オンチップオシレータ 2 の発振周波数の変動を 0.1% 以下にする場合には、抵抗値の変動も 0.1% 以下に抑える必要がある。したがって、直列抵抗部 31 および並列抵抗部 32 を構成する各抵抗素子の抵抗値を、主抵抗部 30 を構成する各抵抗の抵抗値に対して 0.1% オーダーにする必要がある。抵抗値の粗調整を直列抵抗部 31 によって行ない、抵抗値の微調整を並列抵抗部 32 によって行なうのが望ましい。

[0033] なお、抵抗部 VR1 の構成は、図 3 に示した抵抗部 VR2 と同様の構成にすることができる。容量部 VC1 は、コンデンサと NMOS トランジスタとの直列接続体を複数個並列に接続することによって構成できる。

[0034] [抵抗体 RA, RB の配置]

図 4 は、抵抗体 RA, RB の配置例を示す図である。抵抗体 RA, RB は、樹脂封止によって生じた応力に起因する抵抗値の変動量をモニター（監視）するために設けられている。応力による抵抗値の変動を精度良くモニターするためには、基板 SUB の端部を除いた主面 PS 上で、最も応力が大きい領域と最も応力が小さい領域とに配置するのが望ましい。

[0035] 図 5 ～図 7 で説明するように、チップ端を除いて、最も応力が大きいのはチップの中央部であり、チップの周辺ほど応力は小さくなる。最も応力が小さいのはチップの 4 角の近傍のいずれかである。ただし、チップ端での応力はスクライブラインの影響を受けたりするので、応力の大きさはチップごとにまちまちになる。

[0036] 図 4 の場合、抵抗体 RA は、チップ端部を除いて、最も応力が大きくなるチップの中央部に設けられ、抵抗体 RB は、最も応力が小さくなるチップの角（チップの端部を除く）に設けられる。抵抗値を補正する対象である対象回路 TG（本実施の形態の場合、オンチップオシレータ 2）にかかる応力は対象回路 TG の設置場所に依存し、モニター用の抵抗体 RA に印加される応力とモニター用の抵抗体 RB に印加される応力との間の値になる。

[0037] [樹脂封止による残留応力]

半導体チップを封止するモールド用樹脂（たとえば、エポキシ樹脂）の熱膨張係数は、半導体基板の熱膨張係数よりも大きい。たとえば、単結晶シリコン基板の熱膨張係数が $3.5 \text{ ppm}/^{\circ}\text{C}$ 程度であるのに対して、モールド樹脂の熱膨張係数は $8 \sim 15 \text{ ppm}/^{\circ}\text{C}$ 程度である。樹脂封止工程においては、樹脂封止装置に用意された金型の中に半導体チップが設置され、その金型の中にモールド樹脂が高圧で注入される。注入されたモールド樹脂は、たとえば $150 \sim 200^{\circ}\text{C}$ 程度に加熱されることによって硬化する。熱硬化後のモールド樹脂が室温まで冷却する間に、熱膨張係数の違いによって半導体チップの主面側に圧縮応力が発生する。以下、樹脂封止によって半導体チップに発生する圧縮応力の大きさのシミュレーション結果について説明する。

[0038] 図5は、半導体基板SUBの主面側の平面図である。図5において、矩形状の半導体基板SUBの4辺をSD1～SD4とし、4頂点をVX1～VX4とする。基板SUBの主面PSの中心CTは、対角線DL1、DL2の交点として与えられる。シミュレーションでは、中心CTから辺SD1に向かう方向（X方向）に延びる直線上の各点で、辺SD1に垂直な方向の応力 $\sigma_{\perp}$ と、辺SD1に平行な方向の応力 $\sigma_{//}$ とを計算した。

[0039] 図6は、樹脂封止によって半導体チップに発生する圧縮応力の大きさのシミュレーション結果を示す図である。図6において、横軸は中心CTからの距離を示し、縦軸は圧縮応力の大きさを示す。

[0040] 図6に示されるように、基板の端部（中心CTからの距離 1.0 mm 以上）を除いて、辺SD1に垂直な方向の圧縮応力 $\sigma_{\perp}$ の大きさは中央付近が最も大きく、周辺に近づくにつれて小さくなる。辺SD1に平行な方向の圧縮応力 $\sigma_{//}$ の大きさは、基板の端部を除いて、中心CTからの距離によらずほぼ一定である。なお、基板の対称性から、中心CTから辺SD2～SD4の各々に向かう方向についても同様の結果が得られる。

[0041] 図7は、モニター用の抵抗体RA、RBの望ましい設置場所について説明するための図である。

[0042] 図6、図7を参照して、モニター用の抵抗体の一方（抵抗体RA）は、主

面 P S の中心 C T からの距離が、中心 C T から基板 S U B の端までの距離の概ね 5 % 以内となる領域 C R (点 V X 1 3 ~ V X 1 6 を結ぶ四角形の内部) に配置するのが望ましい。言替えると、抵抗体 R A が設けられた領域内の任意の点である第 1 の点と主面の中心 C T とを結ぶ線分の長さは、主面の中心 C T から上記第 1 の点を通して基板 S U B の端に至る線分の長さの 5 % 以下である。図 6 で説明したように、図 7 の領域 C R では、基板の端部を除いて圧縮応力 $\sigma_{\perp}$ が最も大きい。

[0043] モニター用の抵抗体の他方 (抵抗体 R B) は、主面 P S の中心 C T からの距離が、中心 C T から基板 S U B の端までの距離の概ね 6 5 % 以上かつ 9 5 % 以内となる領域 P R (点 V X 9 ~ V X 1 2 を結ぶ四角形の外部かつ点 V X 5 ~ V X 8 を結ぶ四角形の内部) に配置するのが望ましい。言替えると、抵抗体 R B が設けられた領域内の任意の点である第 2 の点と主面の中心 C T とを結ぶ線分の長さは、主面の中心 C T から上記第 2 の点を通して基板 S U B の端に至る線分の長さの 6 5 % 以上かつ 9 5 % 以下である。図 6 で説明したように、図 7 の領域 P R では、基板の端部を除いて圧縮応力 $\sigma_{\perp}$ が比較的小さい。

[0044] 特に、領域 P R のうちでも、対角線 D L 1, D L 2 付近 (頂点 V X 1 ~ V X 4 の近傍) の圧縮応力の大きさがより小さくなる。頂点 V X 1 ~ V X 4 のうちどの頂点の近傍が最も小さくなるかは、チップによって異なると考えられるので、4 頂点の近傍での抵抗値をモニターし、抵抗値が最も小さくなる場所を選択するのが望ましい。

[0045] [対象回路の補正方法]

一般に、金属や半導体などの抵抗値は、印加された応力の大きさに応じて変化する。定量的には、抵抗値の変化率が印加された応力に比例して変化する。以下の説明では簡単のために、応力をモニターするために用いられる抵抗体 R A のサイズ (幅、長さ、厚み) と抵抗体 R B のサイズとが等しいとして、抵抗値の変化率に代えて抵抗値の変化量を用いる。

[0046] 図 8 は、圧縮応力と抵抗値との関係を示す図である。図 4、図 8 を参照し

て、初期時点において、半導体チップの中央に設けられた抵抗体 R A には応力 S a が印加され、この状態での抵抗体 R A の抵抗値を R a とする。この初期時点において、半導体チップの角の近傍に設けられた抵抗体 R B には応力 S b が印加され、この状態での抵抗体 R B の抵抗値を R b とする。そして、初期時点から現時点までの間に、抵抗体 R A に印加される応力が S a' に変化したことによって抵抗体 R A の抵抗値が R a' に変化したし、抵抗体 R B に印加される応力が S b' に変化したことによって抵抗体 R B の抵抗値が R b' に変化したとする。初期時点から現時点までの抵抗体 R A の抵抗値の変化量を $\Delta R a$ とし、抵抗体 R B の抵抗値の変化量を $\Delta R b$ とする。すなわち、

$$\Delta R a = R a' - R a \quad \dots(2)$$

$$\Delta R b = R b' - R b \quad \dots(3)$$

のように定義する。

[0047] 簡単のために、対象回路 T G に設けられた抵抗体のサイズも、モニター用の抵抗体 R A, R B のサイズに等しいものとする。この場合に、初期時点での対象回路 T G に設けられた抵抗体に印加される応力を S t とし、この状態での抵抗体の抵抗値を R t とすれば、抵抗値 R t は、R a と R b との間の値である。初期時点から現時点までの間に、対象回路 T G に設けられた抵抗体に印加される応力が S t' に変化したことによって、抵抗体の抵抗値が R t' に変化したとすれば、抵抗値の変動量を $\Delta R t$ は、

$$\Delta R t = R t' - R t \quad \dots(4)$$

と表わされる。抵抗値の変動量 $\Delta R t$ は、 $\Delta R a$ と $\Delta R b$ との間の値である。

[0048] ここで、抵抗値の変動量は微小であるので、 $\Delta R t$ は、抵抗体の設置場所における圧縮応力の大きさに応じた重み付けによって、 $\Delta R a$ と $\Delta R b$ を平均化することによって近似的に得られる。すなわち、重み付けの係数を k, $1 - k$ とすれば、

$$\Delta R t = k \cdot \Delta R a + (1 - k) \cdot \Delta R b \quad \dots(5)$$

$$k = (S t - S b) / (S a - S b) \quad \dots(6)$$

のように表わすことができる。上式（５）、（６）が成立つ場合には、図８に示すように、初期時点の値と変動後の現時点の値とがそれぞれ直線関係で表わされ、その直線の傾きが変化するように表わされる。

[0049] 上式（６）において、応力 S_a 、 S_b 、 S_t の値はシミュレーションによって決定することができるので、重み付け係数 k 、 $1-k$ を予め決定しておくことができる。したがって、抵抗値の変動量 ΔR_a 、 ΔR_b を実測することによって、上式（５）に従って対象回路ＴＧに設けられた抵抗体の変動量 ΔR_t を推定することができる。

[0050] 実際には、抵抗体 R_A のサイズ、抵抗体 R_B のサイズ、および対象回路ＴＧに設けられた抵抗体のサイズは異なる。抵抗体 R_A 、 R_B のサイズを設計上同一のサイズにしたとしても、製造プロセスに起因した特性ばらつきはウェハ面内で１５～２０％程度あり、チップ内でも数％程度あるので、抵抗体 R_A 、 R_B の抵抗値も通常数％程度異なる値になる。そこで、より一般的には、上式（５）に代えて、

$$\Delta R_t / R_t = k \cdot \Delta R_a / R_a + (1 - k) \cdot \Delta R_b / R_b \quad \dots(7)$$

で表わされる抵抗値の変化率の係数を用いて、対象回路ＴＧに設けられた抵抗体の抵抗値の変化率を推定する。すなわち、 $\Delta R_t / R_t$ の推定値は、圧縮応力の大きさに応じた重み付けで、変化率 $\Delta R_a / R_a$ と $\Delta R_b / R_b$ とを平均化することによって求めることができる。最終的に、上式（７）によって推定された変化率 $\Delta R_t / R_t$ で、図２の抵抗部 V_{R1} 、 V_{R2} を構成する各抵抗素子の抵抗値が変化したとして、この抵抗値の変化を打ち消すように抵抗部 V_{R2} の抵抗値を設定することによって、オンチップオシレータ２の発振周波数をほぼ一定に保つことができる。

[0051] [応力補正回路の構成]

図９は、応力補正回路１０の構成を示す回路図である。上式（７）の計算は、以下に詳しく説明する応力補正回路１０に構成によって簡便に行なうことができる。図９を参照して、応力補正回路１０は、モニタ信号生成部５０Ａ、５０Ｂと、補正信号生成部６０とを含む。

[0052] 図10は、図9のモニタ信号生成部50Aの構成をより詳しく示した回路図である。モニタ信号生成部50A、50Bの構成は同一であるので、図10にはモニタ信号生成部50Aの構成が代表として示されている。

[0053] 図9、図10を参照して、モニタ信号生成部50Aは、ボルテッジフォロアとして用いられるオペアンプ51Aと、図1のレジスタ3から読み出されたトリミングコード12Aに応じて電流が可変となる電流源回路52Aとを含む。同様にモニタ信号生成部50Bは、ボルテッジフォロアとして用いられるオペアンプ51Bと、図1のレジスタ3から読み出されたトリミングコード12Bに応じて電流が可変となる電流源回路52Bとを含む。

[0054] 電流源回路52Aは、抵抗体RAの一端に接続される接続ノード53Aと接地ノードGNDとの間に互いに並列に接続されたNMOSトランジスタ81～84を含む。NMOSトランジスタ81～84のゲートにはトリミングコード12Aが入力される。NMOSトランジスタ81～84の各々は、トリミングコード12Aに応じて導通状態または非導通状態になることによって抵抗体RAに流れる電流を変化させる。接続ノード53Aの電圧は、モニタ電圧 V_{mon1} として、オペアンプ51Aを介して出力される。

[0055] 樹脂封止による抵抗値の変動を補正する場合には、樹脂封止前の時点を中心時点として、中心時点におけるモニタ電圧 V_{mon1} が所定の設定電圧になるように、トリミングコード12Aを調整する。さらに、中心時点において、モニタ信号生成部50Bから出力されるモニタ電圧 V_{mon2} も上記の所定の設定電圧に等しくなるように、トリミングコード12Bを調整する。このように中心時点でのモニタ電圧 V_{mon1} 、 V_{mon2} を等しく設定することによって、抵抗体RA、RBの抵抗値の変化率を、それぞれモニタ電圧 V_{mon1} 、 V_{mon2} の変化量として検出することができる。なお、NMOSトランジスタ81～84の個数は、図10では図解を容易にするために限られた個数が示されているが、実際にはモニタ電圧 V_{mon1} の精度に応じた必要数が設けられる。

[0056] 補正信号生成部60は、抵抗素子61～66と、NMOSトランジスタ7

1～75と、A/D変換器（ADC：Analog-to-Digital Converter）と、演算部78を含む。

[0057] 抵抗素子61～66は、モニタ信号生成部50Aの出力ノードとモニタ信号生成部50Bの出力ノードとの間に直列に接続される。

[0058] NMOSトランジスタ71～75は、抵抗素子61～66の接続ノードにそれぞれ対応して設けられる。各NMOSトランジスタの一方の導通電極は対応の接続ノードに接続され、他方の導通電極はA/D変換器77の入力ノードに接続される。NMOSトランジスタ71～75のゲートには、図1のレジスタ3から読み出されたトリミングコード12Cが入力される。トリミングコード12Cに応じてNMOSトランジスタ71～75のいずれか1つが導通状態になることによって、直列接続された抵抗素子61～66のいずれか1つの接続ノードの電圧がA/D変換器77に入力される。

[0059] 上記のトリミングコード12Cの値は、前述の式（6）のパラメータkに応じて予め設定される。これによって、モニタ電圧 V_{mon1} と V_{mon2} とが所定の重み付け（ $k : 1 - k$ ）で平均化された電圧がA/D変換器77に入力される。なお、抵抗素子61～66の個数およびNMOSトランジスタ71～75の個数は、図9では図解を容易にするために限られた個数が示されているが、実際にはオンチップオシレータ2の発振周波数の精度に応じた必要数が設けられる。

[0060] 演算部78は、A/D変換器77の出力信号を用いたデジタル演算によって、抵抗部VR1、VR2を構成する各抵抗素子の抵抗値の変化を打ち消すのに必要な抵抗部VR2の抵抗値を算出する。演算部78は、算出した抵抗部VR2の抵抗値に対応するトリミングコード12を出力する。

[0061] [変形例]

上記の実施の形態では、図2の抵抗部VR2の抵抗値が、モニター用の抵抗体RA、RBの抵抗値の変化率に応じて調整された。これに代えて、オンチップオシレータ2の発振周波数が一定に保たれるように、抵抗体RA、RBの抵抗値の変化率に応じて容量部VC1の容量値を調整してもよい。

[0062] 上記の実施の形態では、モニター用の抵抗体として2個の抵抗体R A, R Bをチップ上に配置した例を説明したが、モニター用の抵抗体の数を3個以上に増やしてもよい。モニター用の抵抗体の数を増やした場合も、各モニター用抵抗体の配置位置での応力の大きさのシミュレーション結果に基づいて、各モニター用抵抗体の抵抗値の変化率を重み付け平均することによって、対象回路に設けられた抵抗体の抵抗値の変化率を推定することができる。

[0063] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。この発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0064] 1 マイクロコンピュータチップ、2 オンチップオシレータ、3 レジスタ、4 メモリ、5 分周回路、10 応力補正回路、11 A, 11 B, 11 C, 12 A, 12 B, 12 C, 13 トリミングコード、P S 主面、50 A, 50 B モニタ信号生成部、51 A, 51 B, A P 1, A P 2 オペアンプ、52 A, 52 B 電流源回路、60 補正信号生成部、C T 主面の中心、G N D 接地ノード、V R 1, V R 2 抵抗部、R A, R B 抵抗体、S U B 基板、V C 1 容量部、V D D 電源電圧。

請求の範囲

- [請求項1] 基板の主面上に形成された半導体装置であって、
- 第1の抵抗体を含み、前記第1の抵抗体の抵抗値に応じて特性が変化する電気回路と、
- 前記第1の抵抗体と同じ材料によって形成され、一方が他方よりも前記主面の中心寄りの位置に設けられた第2および第3の抵抗体と、
- 前記第2および第3の抵抗体の抵抗値の変化量に基づいて、前記電気回路の特性を補正するための補正信号を生成する補正部とを備えた半導体装置。
- [請求項2] 前記第2の抵抗体が設けられた領域内の任意の点である第1の点と前記主面の中心とを結ぶ線分の長さは、前記主面の中心から前記第1の点を通して前記基板の端に至る線分の長さの5%以下であり、
- 前記第3の抵抗体が設けられた領域内の任意の点である第2の点と前記主面の中心とを結ぶ線分の長さは、前記主面の中心から前記第2の点を通して前記基板の端に至る線分の長さの65%以上かつ95%以下である、請求項1に記載の半導体装置。
- [請求項3] 前記第2の抵抗体は、前記基板の主面側を樹脂で封止した後に、前記主面の端部を除いて、樹脂封止によって生じた応力の絶対値が前記主面上で最も大きくなる領域に設けられ、
- 前記第3の抵抗体は、前記基板の主面側を樹脂で封止した後に、前記主面の端部を除いて、樹脂封止によって生じた応力の絶対値が前記主面上で最も小さくなる領域に設けられる、請求項1に記載の半導体装置。
- [請求項4] 前記補正部は、基準時点から現時点までの前記第2の抵抗体の抵抗値の変化率と、前記基準時点から現時点までの前記第3の抵抗体の抵抗値の変化率とを所定の重み付けで平均化することによって、前記基準時点に対する現時点の前記電気回路の特性変化を補正するための補正信号を生成する、請求項1～3のいずれか1項に記載の半導体装置

。

[請求項5]

前記補正部は、

前記第2の抵抗体と直列に接続され、前記第2の抵抗体の端部における電圧が所定の電圧になるように、前記第2の抵抗体に流れる電流を調整可能な第1の可変電流源と、

前記第3の抵抗体と直列に接続され、前記第3の抵抗体の端部における電圧が前記所定の電圧になるように、前記第3の抵抗体に流れる電流を調整可能な第2の可変電流源と、

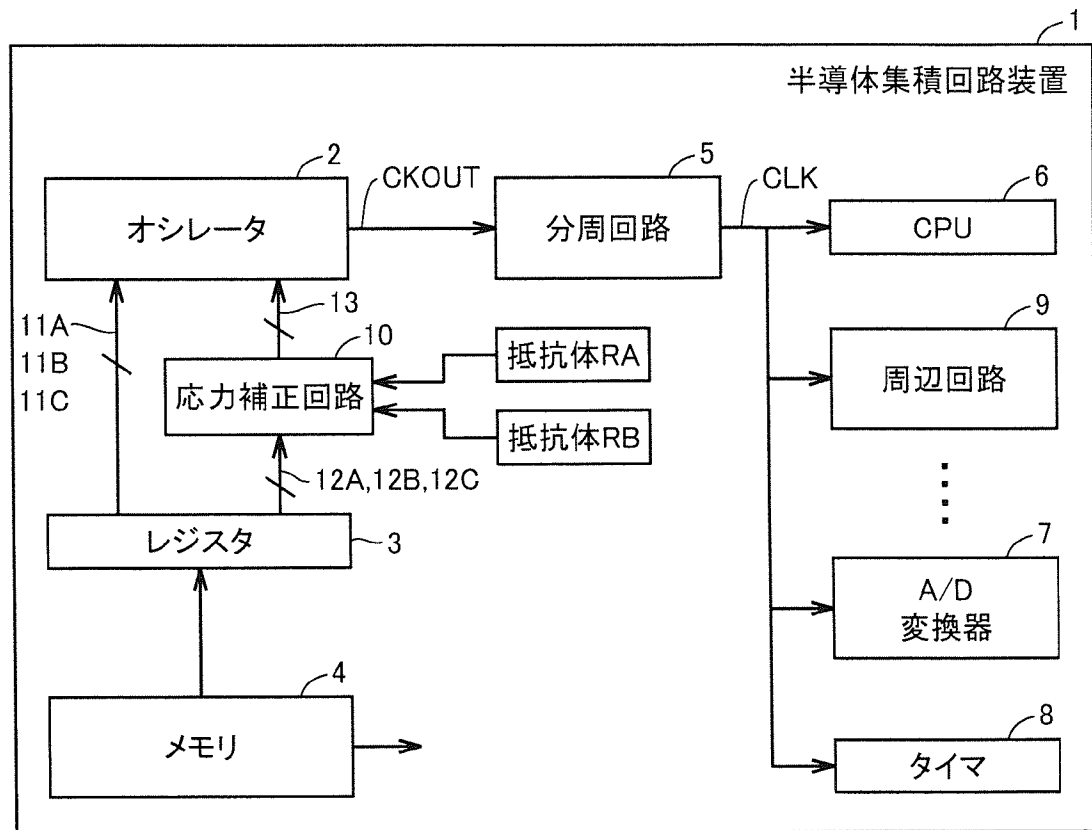
前記第2の抵抗体の前記端部の電圧と前記第3の抵抗体の前記端部の電圧とを所定の重み付けで平均化した電圧を生成し、前記平均化された電圧に基づいて前記補正信号を生成する補正信号生成部とを含む、請求項1～3のいずれか1項に記載の半導体装置。

[請求項6]

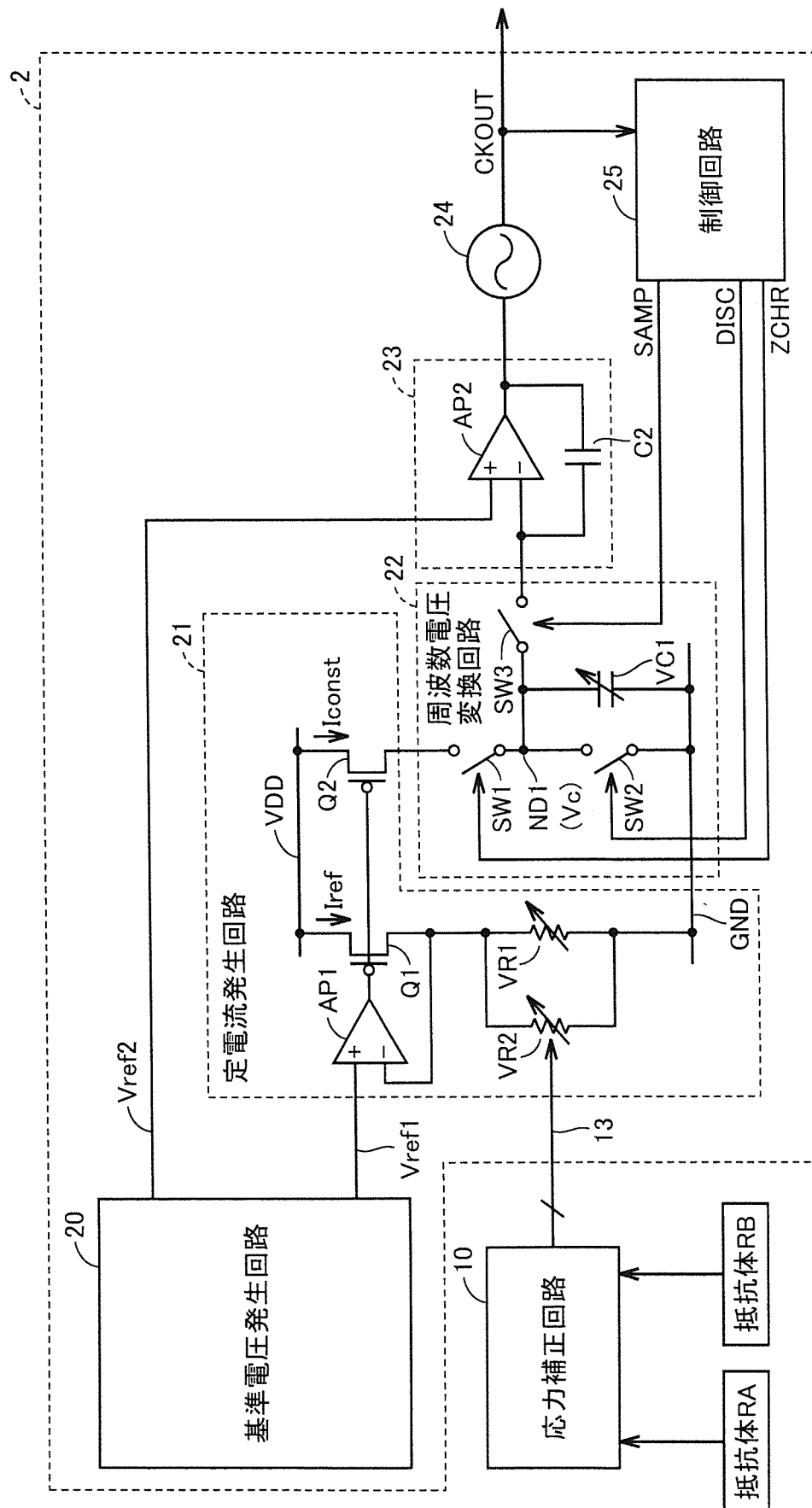
前記電気回路は、前記第1の抵抗体の抵抗値に応じた発振周波数で発振する発振器であり、

前記補正部は、前記発振器の発振周波数が一定になるように、前記第1の抵抗体の抵抗値を補正する補正信号を出力する、請求項1～3のいずれか1項に記載の半導体装置。

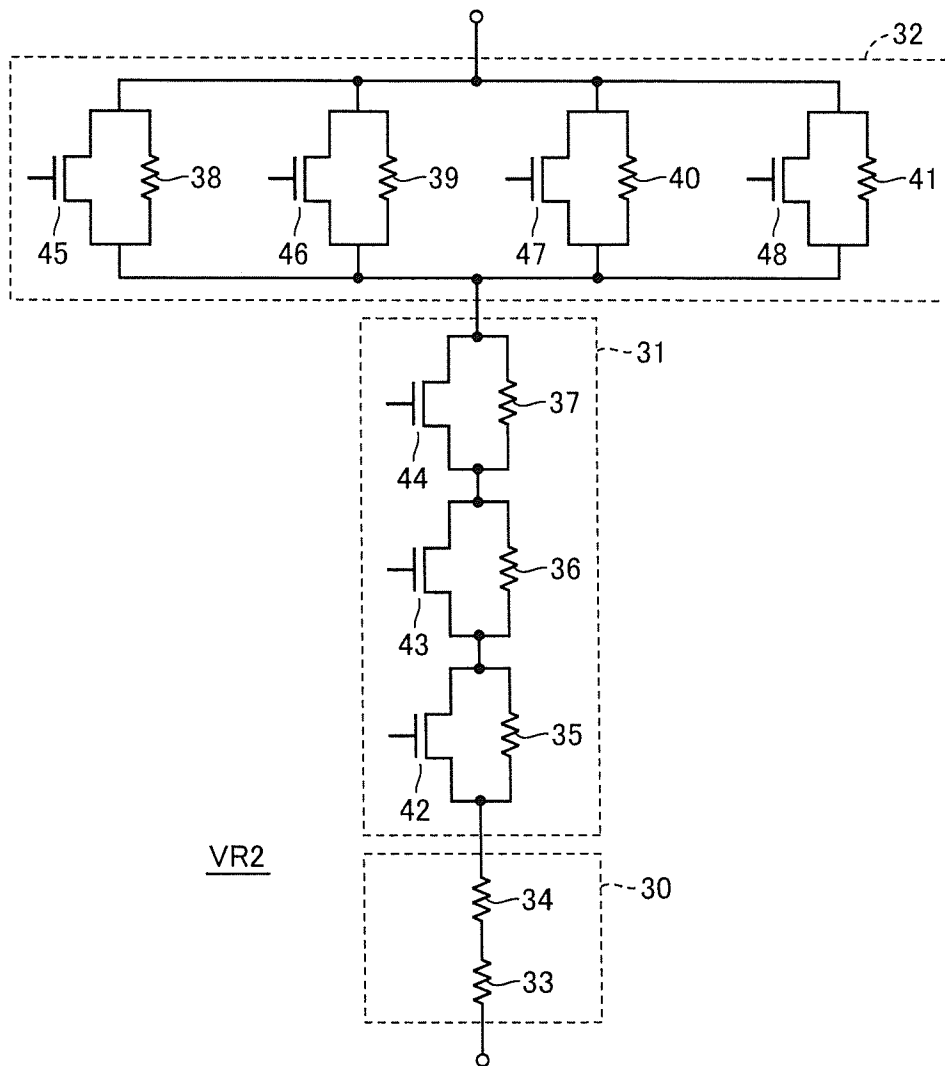
[図1]



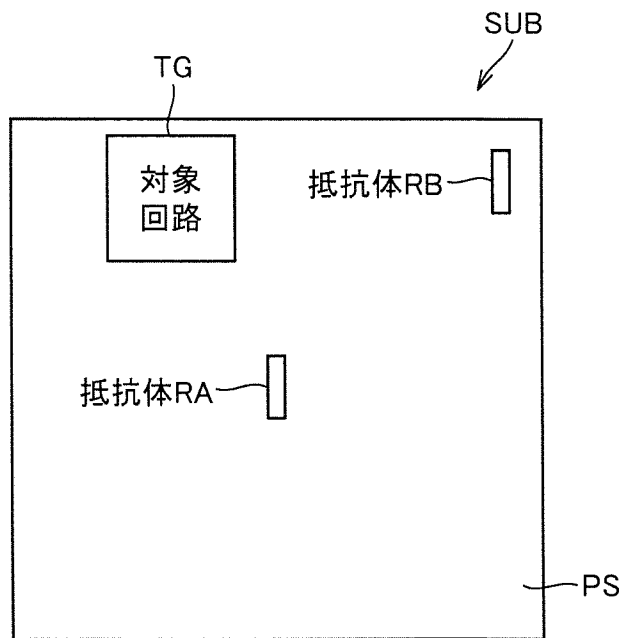
[図2]



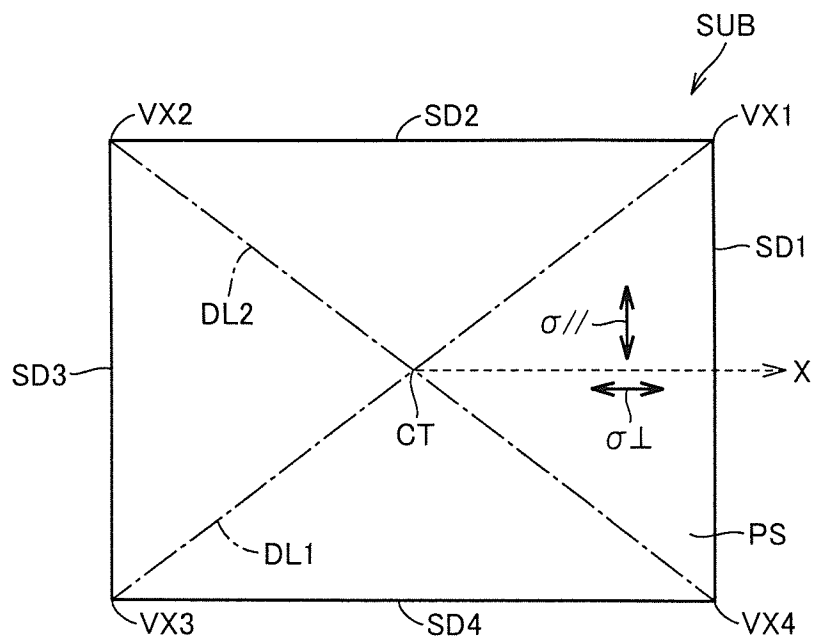
[図3]



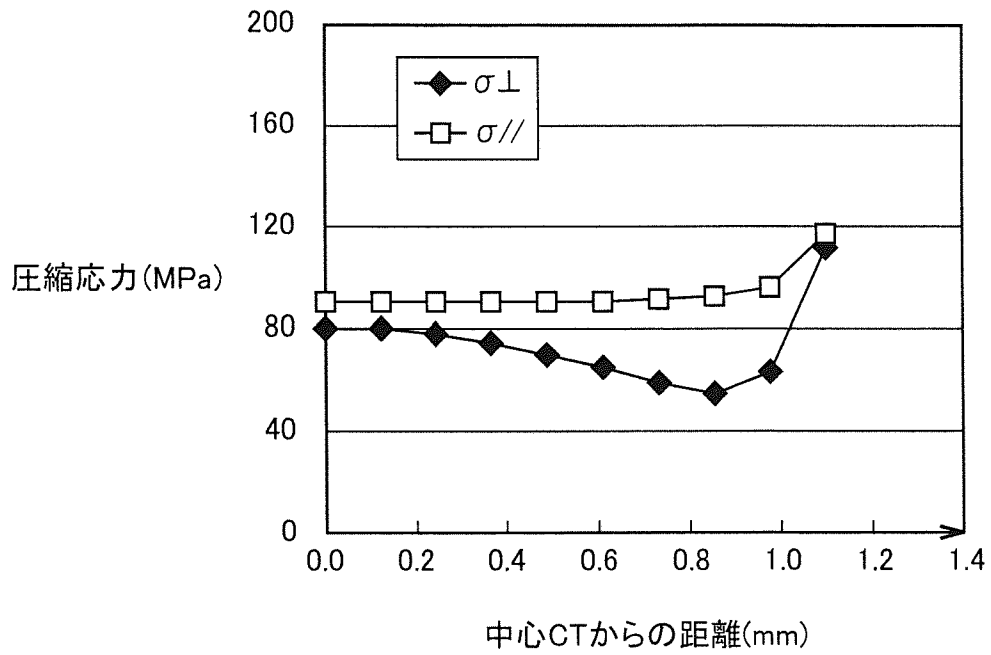
[図4]



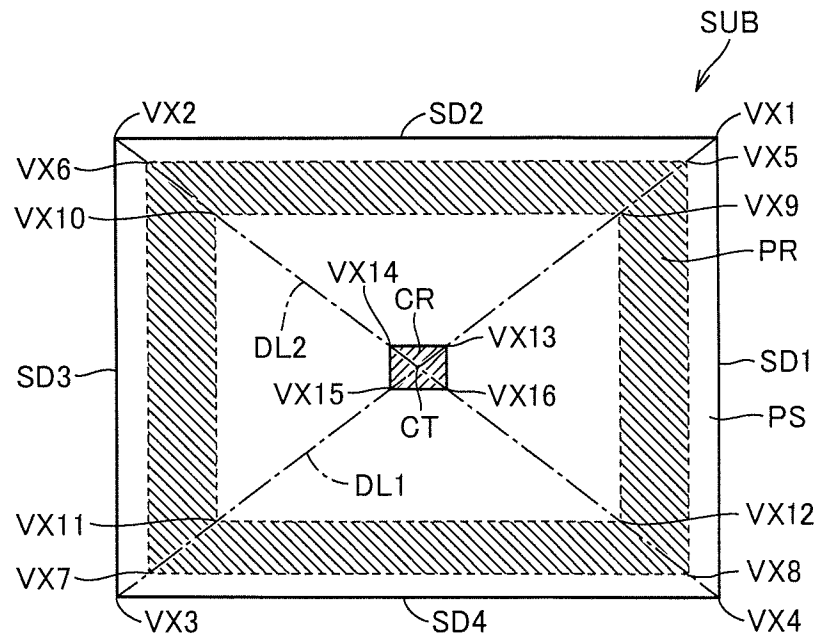
[図5]



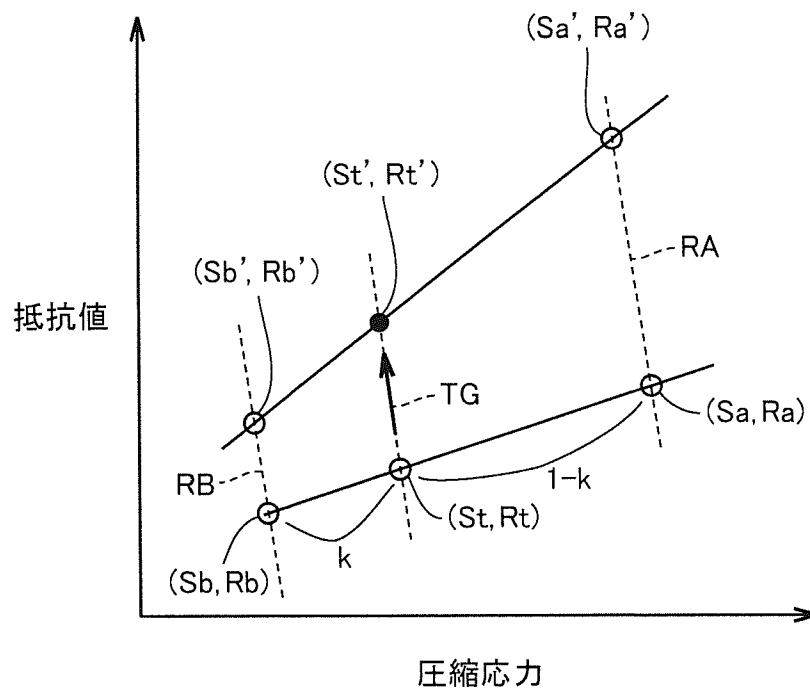
[図6]



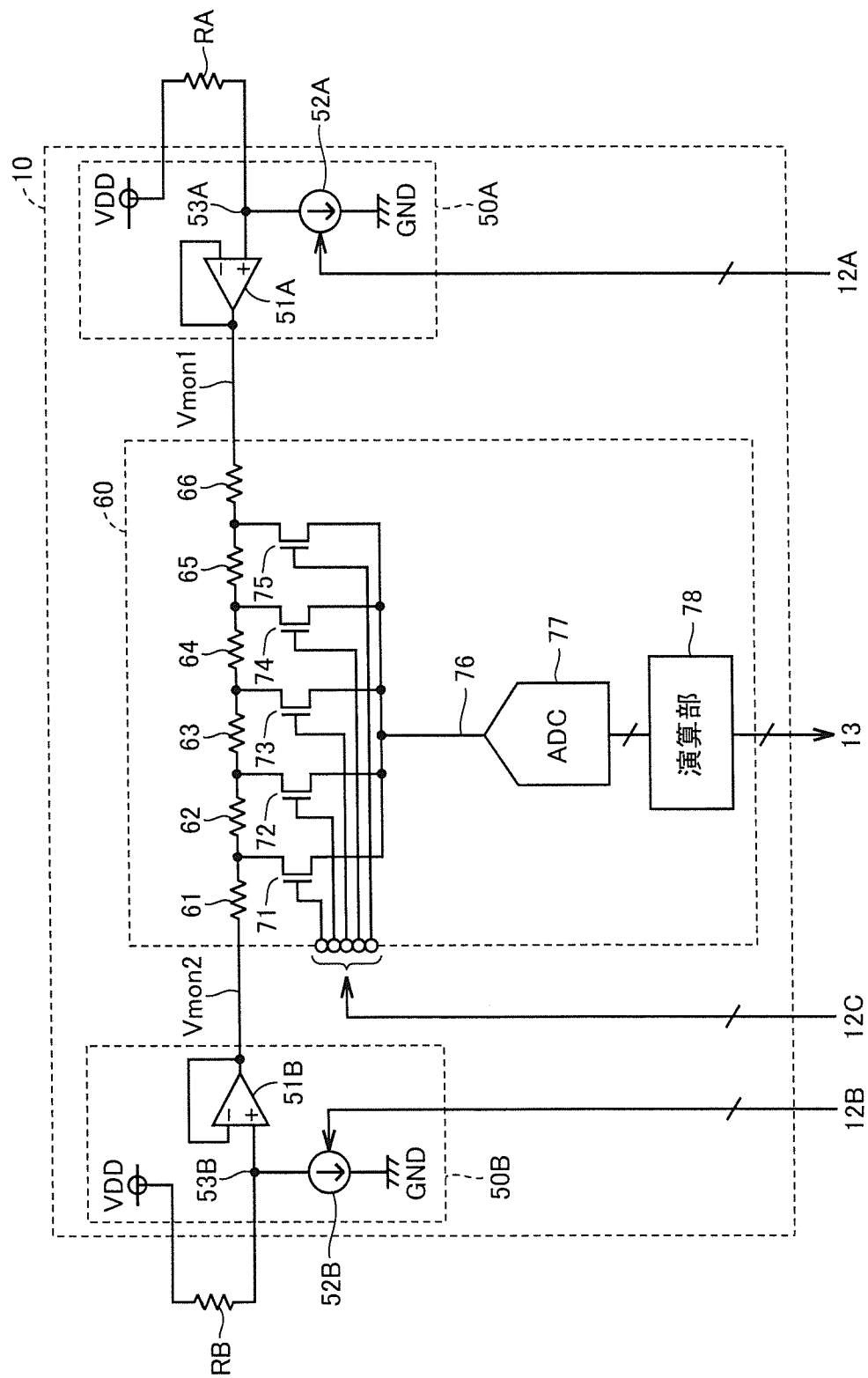
[図7]



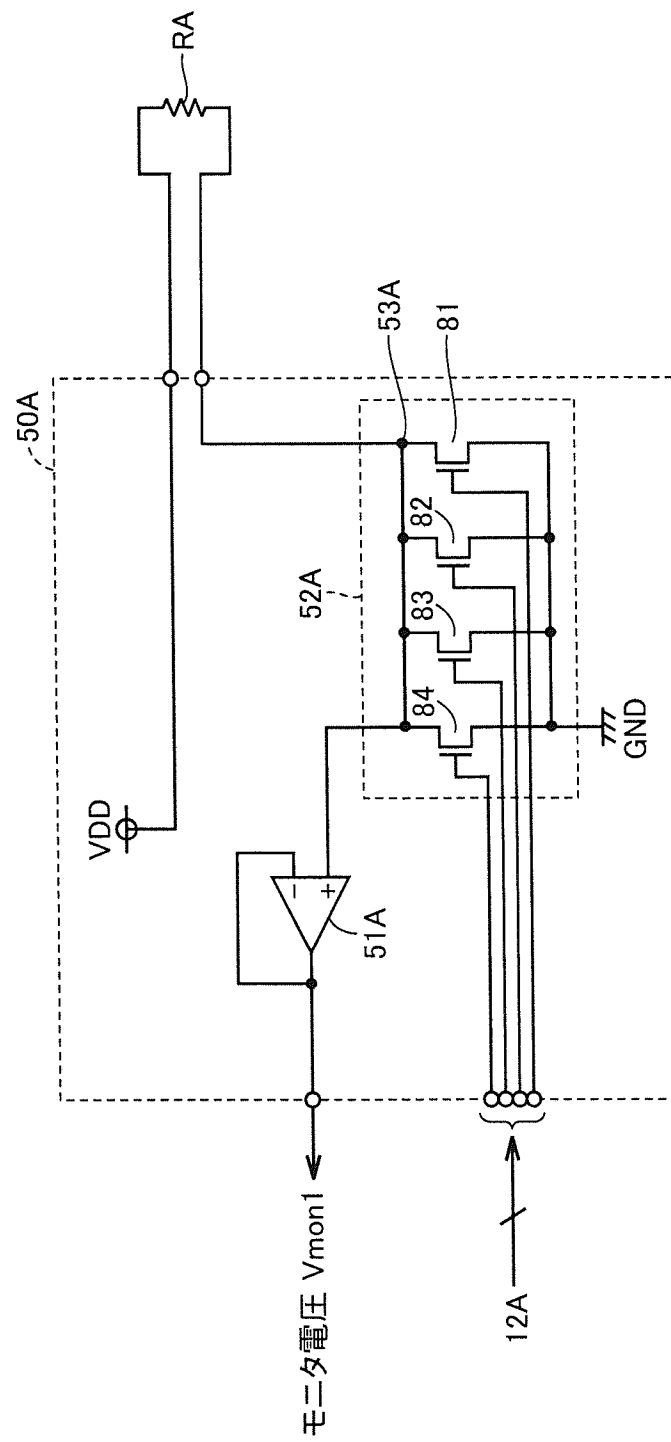
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056964

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03B1/00(2006.01)i, H03B5/08(2006.01)i, H03L7/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L27/04, H03B1/00, H03B5/08, H03L7/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2008-306145 A (Toshiba Corp.), 18 December 2008 (18.12.2008), fig. 2 & US 2008/0303605 A1	1 2-6
X	JP 2008-244729 A (NEC Corp.), 09 October 2008 (09.10.2008), fig. 2 (Family: none)	1
X	JP 2007-258783 A (Fujitsu Ltd.), 04 October 2007 (04.10.2007), fig. 3 & US 2007/0216441 A1	1

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 April, 2012 (26.04.12)

Date of mailing of the international search report
15 May, 2012 (15.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056964

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-300027 A (Asahi Kasei Microsystems Co., Ltd.), 11 October 2002 (11.10.2002), fig. 1 (Family: none)	1-6
A	JP 2009-283506 A (Mitsumi Electric Co., Ltd.), 03 December 2009 (03.12.2009), fig. 5 (Family: none)	1-6
A	JP 11-17113 A (Seiko Epson Corp.), 22 January 1999 (22.01.1999), fig. 6 (Family: none)	1-6
A	JP 7-40596 B2 (Hitachi, Ltd.), 01 May 1995 (01.05.1995), fig. 9 & JP 62-252152 A	1-6
A	JP 2001-320025 A (Fuji Electric Co., Ltd.), 16 November 2001 (16.11.2001), fig. 1 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03B1/00(2006.01)i, H03B5/08(2006.01)i,
H03L7/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/822, H01L27/04, H03B1/00, H03B5/08, H03L7/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2008-306145 A (株式会社東芝) 2008.12.18, 図 2 & US 2008/0303605 A1	1 2 - 6
X	JP 2008-244729 A (日本電気株式会社) 2008.10.09, 図 2 (ファミ リーなし)	1
X	JP 2007-258783 A (富士通株式会社) 2007.10.04, 図 3 & US 2007/0216441 A1	1

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 5 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

須原 宏光

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 0 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-300027 A (旭化成マイクロシステム株式会社) 2002. 10. 11, 図 1 (ファミリーなし)	1 - 6
A	JP 2009-283506 A (ミツミ電機株式会社) 2009. 12. 03, 図 5 (ファミリーなし)	1 - 6
A	JP 11-17113 A (セイコーエプソン株式会社) 1999. 01. 22, 図 6 (ファミリーなし)	1 - 6
A	JP 7-40596 B2 (株式会社日立製作所) 1995. 05. 01, 第 9 図 & JP 62-252152 A	1 - 6
A	JP 2001-320025 A (富士電機株式会社) 2001. 11. 16, 図 1 (ファミリーなし)	1 - 6