

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年3月15日(15.03.2018)



(10) 国際公開番号

WO 2018/047616 A1

(51) 国際特許分類:  
G06T 7/20 (2017.01) G06T 1/20 (2006.01)

(21) 国際出願番号: PCT/JP2017/030005

(22) 国際出願日: 2017年8月23日(23.08.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2016-175655 2016年9月8日(08.09.2016) JP

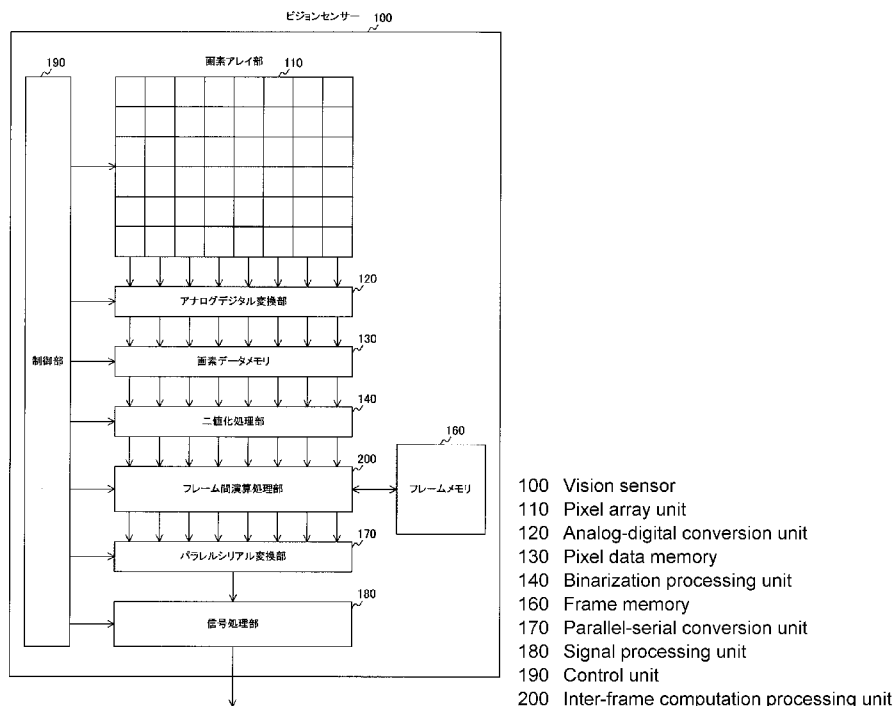
(71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP). 国立大学法人 東京大学 (THE UNIVERSITY OF

TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 Tokyo (JP).

(72) 発明者: 片山 博誠 (KATAYAMA, Hironobu); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 上原 修二 (UEHARA, Shuji); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 村松 良徳 (MURAMATSU, Yoshinori); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山崎 智裕 (YAMAZAKI, Tomohiro); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 渡辺 義浩 (WATANABE, Yoshihiro); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人 東京大学内 Tokyo (JP). 石川 正俊 (ISHIKAWA,

(54) Title: ARITHMETIC DEVICE AND SENSOR

(54) 発明の名称: 演算装置およびセンサー



(57) Abstract: [Problem] To reduce the size of a computational processing unit that performs computational processing between frames in a sensor. [Solution] A frame memory for storing the pixel data of a frame that changes in time sequence. An inter-frame computational processing unit applies prescribed computation in a column-parallel manner in row units for the pixel data of a current frame and the pixel data of a past frame stored in the frame memory, and updates the pixel data of the past frame stored in the frame memory on the basis of the result thereof.



**Masatoshi**); 〒1138654 東京都文京区本郷七丁目  
3 番 1 号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 亀谷 美明, 外 (**KAMEYA, Yoshiaki et al.**); 〒1600004 東京都新宿区四谷 3 - 1 - 3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】 センサー内においてフレーム間の演算処理を行う演算処理部の規模を削減する。 【解決手段】 フレームメモリは、時系列に遷移するフレームの画素データを記憶する。フレーム間演算処理部は、現行フレームの画素データおよびフレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施して、その結果に基づいてフレームメモリに記憶される過去フレームの画素データを更新する。

## 明 細 書

発明の名称：演算装置およびセンサー

### 技術分野

[0001] 本技術は、時系列に遷移するフレームの画素データを扱う演算装置およびセンサーに関する。詳しくは、フレーム間の物体の動きを追跡する演算装置およびセンサーに関する。

### 背景技術

[0002] 高速ビジョンセンサーは、物体を追跡するためのトラッキング機能などの検知（センシング）機能を実現する回路をセンサー内に備えることにより、画素の蓄積データを直接参照してセンシング演算を実現する。これにより、少ないレイテンシによって演算結果を出力することが可能となる。この低レイテンシ動作は、画像の変化から迅速にセンシング情報を出力することができるため、近年では、車の自動運転などの危険回避、UI（ユーザインターフェース）や、決定的瞬間の撮影などの機能を実現するために、重要なファクタとなっている。

[0003] また、近年の撮像センサーでは、高フレームレート（高FPS）化や高解像度化が進んでいるが、これらはセンサーから出力されるインターフェースの転送帯域を圧迫することにもなる。さらに、それを受けて動作する後段の信号処理も含めると、システムの肥大化や消費電力増大の要因となっている。これに対し、センサー内でセンシング機能を直接実現することにより、センシング情報のみを出力するセンサー構成をとることが可能となり、画像データを転送しなくてもセンシング機能を実現することができる。また、センシング性能を向上させるために高FPS化や高解像度化が進んでも、例えば画像表示に必要なフレーム時のみ画像転送をすればよく、それ以外の画像はセンシング計算のみに利用することにより、インターフェースの負荷を大きく軽減することができる。すなわち、センサー内にセンシング機能を備えることにより、システムの肥大化や負荷を抑制することができ、消費電力の低

減にも繋げることが可能となる。

[0004] 一方、従来からの高速ビジョンシステムで使用するビジョンセンサーでは、トラッキング等の機能を実現する演算器が、各画素と1対1で配置される。または、画素データのアナログデジタル変換の結果を蓄えるフレームメモリを配置し、そのフレームメモリに対して演算器が1対1で配置される（例えば、特許文献1乃至3参照。）。

## 先行技術文献

### 特許文献

[0005] 特許文献1：特開2004-362462号公報

特許文献2：特開2003-218338号公報

特許文献3：特開平10-145680号公報

## 発明の概要

### 発明が解決しようとする課題

[0006] 上述の従来技術では、センサー内にセンシング機能を備えることにより、画像表示に必要なフレーム時のみ画像転送をすればよく、システムの肥大化や負荷を抑制することができ、消費電力の低減にも繋げることができる。しかしながら、この従来技術では、演算器が各画素と1対1で配置されるため、画素数分の機能実現演算器が必要となり、画素数が増えるほど回路規模が増大し、高画素数化および高解像度化によるセンシング性能向上を妨げるおそれがある。

[0007] 本技術はこのような状況に鑑みて生み出されたものであり、センサー内においてフレーム間の演算処理を行う演算処理部の規模を削減することを目的とする。

### 課題を解決するための手段

[0008] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、時系列に遷移するフレームの画素データを記憶するフレームメモリと、現行フレームの画素データおよび上記フレームメモリに記憶された過

去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて上記フレームメモリに記憶される上記過去フレームの画素データを更新するフレーム間演算処理部とを具備する演算装置である。これにより、現行フレームと過去フレームとの間の演算を行単位の列並列の演算により実現するという作用をもたらす。

[0009] また、この第1の側面において、上記画素データは、物体の存在の有無の何れかを示す二値化されたデータであってもよく、上記所定の演算は、上記物体を追跡するためのトラッキング演算であってもよい。これにより、列並列の演算によりフレームにおける物体を追跡するという作用をもたらす。

[0010] また、この第1の側面において、上記フレーム間演算処理部は、上記過去フレームの画素データに対して拡張処理を施した領域における上記現行フレームの画素データを上記過去フレームの画素データとして上記フレームメモリに更新するようにしてもよい。これにより、列並列の演算により拡張処理を施して、フレームメモリへの更新を行うという作用をもたらす。

[0011] また、この第1の側面において、上記フレーム間演算処理部は、上記行単位の画素データの各々に対応して、上記過去フレームの画素データが上記物体の存在を示す領域についてその周辺まで拡張した領域を生成する論理和回路と、上記拡張した領域と上記現行フレームの画素データとの論理積を新たな上記過去フレームの画素データとして生成する論理積回路とを備えるようにしてもよい。これにより、論理和回路および論理積回路によりセルフウィンドウ法における拡張処理および抽出処理を行うという作用をもたらす。

[0012] また、この第1の側面において、上記論理和回路は、上記拡張した領域を生成するために隣接する行の画素データを参照するようにしてもよい。これにより、列並列の演算により拡張処理を実現するという作用をもたらす。

[0013] また、この第1の側面において、上記論理和回路は、上記フレームにおいて $p$ 画素 $\times p$ 画素の領域（ $p$ は3以上の奇数）について上記拡張した領域を生成するために上記フレームメモリに記憶された過去フレームの $p$ 個の画素データを同時に参照するようにしてもよい。これにより、 $p$ 個の画素データ

を参照して、 $p$ 画素 $\times p$ 画素の領域の拡張領域を生成するという作用をもたらす。

[0014] また、この第1の側面において、上記論理和回路は、上記フレームにおいて $p$ 画素 $\times p$ 画素の領域（ $p$ は3以上の奇数）について上記拡張した領域を生成するために上記フレームメモリに記憶された過去フレームの $q$ 個（ $q$ は $p$ より小さい奇数）の画素データを同時に参照するようにしてもよい。これにより、 $q$ 個の画素データを参照して、 $p$ 画素 $\times p$ 画素の領域の拡張領域を生成するという作用をもたらす。

[0015] また、この第1の側面において、上記フレーム間演算処理部は、上記行単位の画素データのうち必要な画素データを選択する選択器をさらに備え、上記論理和回路は、上記選択器に選択された画素データが上記物体の存在を示す領域についてその周辺まで拡張した領域を生成するようにしてもよい。これにより、論理和回路によりセルフウィンドウ法における拡張処理を行うという作用をもたらす。この場合において、上記選択器は、上記必要な画素データを選択する際に左右対称に選択の有無を決定してもよく、また、上記必要な画素データを選択する際に左右非対称に選択の有無を決定してもよい。

[0016] また、本技術の第2の側面は、画像を撮像して時系列に遷移するフレームの画素データを生成する画素アレイ部と、上記フレームの画素データを記憶するフレームメモリと、上記フレームにおける現行フレームの画素データおよび上記フレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて上記フレームメモリに記憶される上記過去フレームの画素データを更新するフレーム間演算処理部とを具備するセンサーである。これにより、撮像した現行フレームと過去フレームとの間の演算を行単位の列並列の演算により実現するという作用をもたらす。

## 発明の効果

[0017] 本技術によれば、センサー内においてフレーム間の演算処理を行う演算処理部の規模を削減することができるという優れた効果を奏し得る。なお、こ

ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

### 図面の簡単な説明

[0018] [図1]本技術の実施の形態におけるビジョンセンサー１００の構成例を示す図である。

[図2]本技術の実施の形態におけるビジョンセンサー１００の処理手順例を示す流れ図である。

[図3]本技術の実施の形態のビジョンセンサー１００において想定する画素データの遷移例を示す図である。

[図4]本技術の実施の形態における第２フレームの第０行目の処理例を示す図である。

[図5]本技術の実施の形態における第２フレームの第１行目の処理例を示す図である。

[図6]本技術の実施の形態における第２フレームの第２行目の処理例を示す図である。

[図7]本技術の実施の形態における第２フレームの第３行目の処理例を示す図である。

[図8]本技術の実施の形態における第２フレームの第４行目の処理例を示す図である。

[図9]本技術の実施の形態における第２フレームの第５行目の処理例を示す図である。

[図10]本技術の実施の形態における第２フレームの第６行目の処理例を示す図である。

[図11]本技術の実施の形態における第２フレームの第７行目の処理例を示す図である。

[図12]本技術の実施の形態における第２フレームの第８行目の処理例を示す図である。

[図13]本技術の実施の形態における第２フレームの第９行目の処理例を示す

図である。

[図14]本技術の実施の形態における第3フレームの第0行目の処理例を示す図である。

[図15]本技術の実施の形態における第3フレームの第1行目の処理例を示す図である。

[図16]本技術の実施の形態における第3フレームの第2行目の処理例を示す図である。

[図17]本技術の実施の形態における第3フレームの第3行目の処理例を示す図である。

[図18]本技術の実施の形態における第3フレームの第4行目の処理例を示す図である。

[図19]本技術の実施の形態における第3フレームの第5行目の処理例を示す図である。

[図20]本技術の実施の形態における第3フレームの第6行目の処理例を示す図である。

[図21]本技術の実施の形態における第3フレームの第7行目の処理例を示す図である。

[図22]本技術の実施の形態における第3フレームの第8行目の処理例を示す図である。

[図23]本技術の実施の形態における第3フレームの第9行目の処理例を示す図である。

[図24]本技術の実施の形態における第3フレームの第9行目の処理後のフレームメモリ160の内容例を示す図である。

[図25]本技術の実施の形態における画素アレイ部110における画素のペイヤー配列の例を示す図である。

[図26]本技術の第1の実施の形態におけるフレーム間演算処理部200の構成例を示す図である。

[図27]本技術の第1の実施の形態において想定する演算対象の画素配置の一

例を示す図である。

[図28]本技術の第1の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図29]本技術の第2の実施の形態におけるフレーム間演算処理部200の構成例を示す図である。

[図30]本技術の第2の実施の形態において想定する演算対象の画素配置の一例を示す図である。

[図31]本技術の第2の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図32]本技術の第2の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図33]本技術の第3の実施の形態において想定する演算対象の画素配置の一例を示す図である。

[図34]本技術の第3の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図35]本技術の第3の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図36]本技術の第3の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図37]本技術の第3の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図38]本技術の第4の実施の形態におけるフレーム間演算処理部200の構成例を示す図である。

[図39]本技術の第4の実施の形態において想定する演算対象の画素配置の一例を示す図である。

[図40]本技術の第4の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図41]本技術の第4の実施の形態のフレーム間演算処理部200による処理

手順例を示す流れ図である。

[図42]本技術の第4の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。

[図43]車両制御システムの概略的な構成例を示すブロック図である。

[図44]撮像部の設置位置の一例を示す説明図である。

## 発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 全体構成（ビジョンセンサー）
2. 動作例（列並列演算により物体追跡を行う例）
3. 第1の実施の形態（ $3 \times 3$ 画素領域について3列並列演算を行う例）
4. 第2の実施の形態（ $5 \times 5$ 画素領域について5列並列演算を行う例）
5. 第3の実施の形態（ $5 \times 5$ 画素領域について3列並列演算を行う例）
6. 第4の実施の形態（ $5 \times 5$ 画素領域について3列並列演算を行う他の例）
7. 適用例（移動体制御システムへの適用例）

[0020] <1. 全体構成>

[ビジョンセンサーの構成]

図1は、本技術の実施の形態におけるビジョンセンサー100の構成例を示す図である。ビジョンセンサー100は、物体を追跡するためのトラッキング機能などの検知（センシング）機能を備えるセンサーである。このビジョンセンサー100は、画素アレイ部110と、アナログデジタル変換部120と、画素データメモリ130と、二値化処理部140と、フレームメモリ160と、フレーム間演算処理部200と、パラレルシリアル変換部170と、信号処理部180と、制御部190とを備える。

[0021] 画素アレイ部110は、受光した光を光電変換して画素信号を生成する画素を2次元アレイ状に配置した光電変換素子群である。この画素アレイ部110は、行毎にアドレス付けされており、制御部190から指定されたアド

レスに対応する行の画素信号が列並列に読み出される。この読み出された画素信号は、アナログデジタル変換部 120 に供給される。

[0022] アナログデジタル変換部 120 は、画素アレイ部 110 から供給された 1 行分の列並列の画素信号をアナログ信号からデジタル信号に変換するものである。このアナログデジタル変換部 120 によってアナログ信号から変換されたデジタル信号は、画素データとして画素データメモリ 130 に保持される。

[0023] 画素データメモリ 130 は、アナログデジタル変換部 120 によってデジタル信号に変換された 1 行分の列並列の画素データを保持するメモリである。この画素データメモリ 130 に保持された画素データは、二値化処理部 140 によって読み出される。

[0024] 二値化処理部 140 は、画素データメモリ 130 から 1 行分の列並列の画素データを読み出して、予め設定された閾値を基準として大小関係を判別して、「1」または「0」のいずれか一方の二値化データを出力するものである。この二値化データは、例えば、物体の存在の有無の何れかを示すデータであり、物体が存在すると判別された画素は「1」、物体が存在しないと判別された画素は「0」を示すことが想定される。なお、上述のアナログデジタル変換部 120 において画素データを 1 ビット化した場合には、この二値化処理部 140 による二値化を省略することもできる。

[0025] フレームメモリ 160 は、時系列に遷移するフレームの二値化された画素データを記憶するメモリである。この実施の形態では、時系列に遷移するフレームからなる動画を想定し、フレームを構成する画素データをこのフレームメモリ 160 が記憶する。フレーム間演算処理部 200 が演算処理を行う際、二値化処理部 140 から供給されているフレームを現行フレームとし、その現行フレームの時系列上 1 つ前のフレームを過去フレームとする。その際、フレームメモリ 160 は、過去フレームの画素データをフレーム間演算処理部 200 に供給する。

[0026] フレーム間演算処理部 200 は、二値化処理部 140 から供給されている

現行フレームの画素データおよびフレームメモリ 160 に記憶されている過去フレームの画素データについて、行単位に列並列で所定の演算処理を施すものである。そして、このフレーム間演算処理部 200 は、その演算処理の結果に基づいて、フレームメモリ 160 に記憶される過去フレームの画素データを更新する。このフレーム間演算処理部 200 における所定の演算処理としては、例えば、物体を追跡するためのトラッキング演算が想定される。この場合、フレーム間演算処理部 200 は、過去フレームの画素データと現行フレームの画素データとを比較して、物体の動きを追跡する。後述するように、このフレーム間演算処理部 200 は、セルフウィンドウ法によるトラッキング演算を行う。

[0027]    平行列シリアル変換部 170 は、フレーム間演算処理部 200 による 1 行分の列並列の演算結果である画素データを平行列信号からシリアル信号に変換するものである。この平行列シリアル変換部 170 によりシリアル信号に変換された画素データは、信号処理部 180 に供給される。

[0028]    信号処理部 180 は、平行列シリアル変換部 170 によりシリアル信号に変換された画素データに対して所定の信号処理を施すものである。この信号処理部 180 における所定の信号処理としては、例えば、物体の重心や面積を求める処理、または、直前のフレームからの動き差分（動きベクトルや動き方向）を求める処理などが想定される。

[0029]    制御部 190 は、ビジョンセンサー 100 の各部を制御するものである。この制御部 190 による制御としては、例えば、画素アレイ部 110 において読出し対象となる行のアドレス指定や、フレーム間演算処理部 200 におけるフレームメモリ 160 からの読出し対象となる画素データの指定などが想定される。この制御部 190 による制御の詳細については後述する。

[0030]    [ビジョンセンサーの処理]

図 2 は、本技術の実施の形態におけるビジョンセンサー 100 の処理手順例を示す流れ図である。

[0031]    まず、画素アレイ部 110 は、受光した光を光電変換して行毎の画素信号

を列並列に出力する（ステップS 9 1 1）。ここで、出力対象となる行のアドレスは、制御部 1 9 0 から指定される。アナログデジタル変換部 1 2 0 は、画素アレイ部 1 1 0 から供給された 1 行分の列並列の画素信号をアナログ信号からデジタル信号に変換して、画素データとして画素データメモリ 1 3 0 に保持する（ステップS 9 1 2）。二値化処理部 1 4 0 は、画素データメモリ 1 3 0 に保持された 1 行分の列並列の画素データを二値化する（ステップS 9 1 3）。このようにして得られた二値化された画素データは、現行フレームを構成する。

[0032] 現行フレームが動画の最初のフレームであれば（ステップS 9 1 4 : Y e s）、現行フレームの画素データは、そのままフレームメモリ 1 6 0 に記憶される（ステップS 9 1 5）。このフレームメモリ 1 6 0 に記憶された画素データは、時系列上の次のフレームにとっては過去フレームの画素データとなる。

[0033] 一方、現行フレームが動画の最初のフレームでなければ（ステップS 9 1 4 : N o）、フレーム間演算処理部 2 0 0 は、現行フレームおよび過去フレームのそれぞれの画素データを参照してトラッキング演算を行う（ステップS 9 2 0）。そして、フレーム間演算処理部 2 0 0 は、そのトラッキング演算の結果をフレームメモリ 1 6 0 において更新する（ステップS 9 1 7）。このフレームメモリ 1 6 0 において更新された画素データは、時系列上の次のフレームにとっては過去フレームの画素データとなる。また、トラッキング演算の結果は、パラレルシリアル変換部 1 7 0 によってパラレル信号からシリアル信号に変換された後、信号処理部 1 8 0 において所定の信号処理が施される（ステップS 9 1 8）。

[0034] これらの処理（ステップS 9 1 1 乃至 S 9 1 8）はフレーム毎に繰り返し実行される（ステップS 9 1 9 : Y e s）。次のフレームがなくなると（ステップS 9 1 9 : N o）、処理は終了する。

[0035] [セルフウィンドウ法]

この実施の形態においては、フレーム間演算処理部 2 0 0 は、セルフウィ

ンドウ法によるトラッキング演算を行う。このセルフウィンドウ法は、フレーム間の物体移動量を数ピクセルと仮定して、その領域内においてのみ物体の追跡を行うアルゴリズムである。このセルフウィンドウ法は、拡張処理と抽出処理を繰り返すことにより物体を追跡する。拡張処理は、過去フレームにおける物体の領域を周辺まで拡張した拡張ウィンドウを生成する処理である。抽出処理は、拡張された領域において物体（ターゲット）を抽出する処理である。

[0036] これらを式で表すと以下の通りである。ただし、 $f_k(i, j)$  は現行フレームの画素データである。 $W_k(i, j)$  は拡張領域（拡張ウィンドウ）を示すデータである。 $g_k(i, j)$  は、過去フレームの画素データである。変数  $i$  はフレーム内の列方向のインデックスであり、0 以上の整数である。変数  $j$  はフレーム内の行方向のインデックスであり、0 以上の整数である。変数  $k$  は、フレームの時系列を示す時刻であり、1 以上の整数である。また、記号  $\cap$  は積集合を意味し、記号  $\cup$  は和集合を意味する。なお、この式では、フレーム間の物体移動量を 1 ピクセルと仮定して、拡張領域（拡張ウィンドウ）を生成している。

（抽出処理）

$$g_k(i, j) = W_k(i, j) \cap f_k(i, j)$$

（拡張処理）

$$W_{k+1}(i, j) = g_k(i, j) \cup g_k(i+1, j) \cup g_k(i-1, j) \cup g_k(i, j+1) \cup g_k(i, j-1)$$

[0037] <2. 動作例>

次に、本技術の実施の形態におけるビジョンセンサー 100 の動作例について説明する。図 3 は、本技術の実施の形態のビジョンセンサー 100 において想定する画素データの遷移例を示す図である。ここでは、時系列に、第 1 フレーム、第 2 フレーム、第 3 フレームと遷移していくものと想定する。

この想定する遷移例を用いて、列並列演算により物体追跡を行う動作について検証する。なお、以下の例では、フレーム間の物体移動量を 1 ピクセルと仮定する。

[0038] 第 1 フレームの画素データは、最上位に示される通りである。各フレームにおける黒丸印の画素は、物体が存在すると判別された画素「1」を示す。それ以外の画素は、物体が存在しないと判別された画素「0」を示す。

[0039] 第 2 フレームの画素データは、第 1 フレームの画素データに対して、右方向に 1 画素分移動している。第 2 フレームにおいて灰色に示された画素は、第 1 フレームにおいて物体が存在すると判別された画素「1」を示す。

[0040] 第 3 フレームの画素データは、第 2 フレームの画素データに対して、下方向に 1 画素分移動している。第 3 フレームにおいて灰色に示された画素は、第 2 フレームにおいて物体が存在すると判別された画素「1」を示す。また、第 3 フレームの画素データにおいては、左上部分にノイズが発生しているものと想定している。

[0041] [第 2 フレームの処理]

図 4 は、本技術の実施の形態における第 2 フレームの第 0 行目の処理例を示す図である。第 2 フレームを現行フレームとして処理する際には、過去フレームとして第 1 フレームの画素データを参照する必要がある。この時点では、第 1 フレームの画素データは、フレームメモリ 160 に記憶されている。すなわち、上述の処理手順において、第 1 フレームが最初のフレームであると判断されて（ステップ S 914 : Y e s）、その画素データはそのままフレームメモリ 160 に記憶される（ステップ S 915）。ただし、この実施の形態においては、フレームメモリ 160 は、1 行分の処理が行われるたびに下方向にシフトされ、更新された画素データが最上位の行に挿入されることを想定する。したがって、第 2 フレームの第 0 行目の処理が開始される時点においては、フレームメモリ 160 には第 1 フレームの上下反転した画素データが記憶されていることになる。

[0042] まず、フレーム間演算処理部 200 は、フレームメモリ 160 に記憶され

ている過去フレームの第0行目の画素データについて拡張処理を行う。そのために、過去フレームの第0行目の前後の行を読み出す。過去フレームの第0行目は、フレームメモリ160における第9行に相当するため、フレームメモリ160の第8乃至10行が読み出される。ここでは、該当する範囲には物体が存在しないため、拡張処理の結果として得られる拡張領域は空の状態となる。

[0043] また、フレーム間演算処理部200は、現行フレームの第0行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第0行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの画素データにおいて物体が存在せず、拡張領域も空であるため、得られる画素データにおいても物体が存在しない。この1行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ160に更新される。その際、上述のように、フレームメモリ160に記憶される画素データが下方向にシフトされ、更新された画素データが最上位の行に挿入される。

[0044] 図5は、本技術の実施の形態における第2フレームの第1行目の処理例を示す図である。

[0045] フレーム間演算処理部200は、フレームメモリ160に記憶されている過去フレームの第1行目の画素データについて拡張処理を行う。そのために、過去フレームの第1行目の前後の行を読み出す。過去フレームの第1行目は、フレームメモリ160における第9行に相当するため、フレームメモリ160の第8乃至10行が読み出される。ここでは、第8行の第4列に物体が存在するため、拡張処理の結果として得られる拡張領域は第4列が有効（抽出を行うべき領域）となる。

[0046] また、フレーム間演算処理部200は、現行フレームの第1行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第1行目と拡張領域との積集合を求める抽出処理を行う。ここでは、拡張領域が空でないものの、現行フレームの画素データにおいて物体が存在しないため、得

られる画素データにおいては物体が存在しない。この１行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ１６０に更新される。

[0047] 図６は、本技術の実施の形態における第２フレームの第２行目の処理例を示す図である。

[0048] フレーム間演算処理部２００は、フレームメモリ１６０に記憶されている過去フレームの第２行目の画素データについて拡張処理を行う。そのために、過去フレームの第２行目の前後の行を読み出す。過去フレームの第２行目は、フレームメモリ１６０における第９行に相当するため、フレームメモリ１６０の第８乃至１０行が読み出される。ここでは、第８行の第３乃至５列および第９行の第４列に物体が存在するため、拡張処理の結果として得られる拡張領域は第３乃至５列が有効（抽出を行うべき領域）となる。

[0049] また、フレーム間演算処理部２００は、現行フレームの第２行目の画素データを二値化処理部１４０から読み出す。そして、現行フレームの第２行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの画素データにおいて第５列に物体が存在し、拡張領域は第３乃至５列が有効であるため、トラッキング演算の結果として、第５列に物体が存在する旨を示す画素データが得られる。この１行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ１６０に更新される。

[0050] その後、第２フレームの各行について逐一、同様の処理が行われる。図７乃至図１２は、本技術の実施の形態における第２フレームの第３乃至８行目の処理例を示す図である。

[0051] 図１３は、本技術の実施の形態における第２フレームの第９行目の処理例を示す図である。

[0052] フレーム間演算処理部２００は、フレームメモリ１６０に記憶されている過去フレームの第９行目の画素データについて拡張処理を行う。そのために、過去フレームの第９行目の前後の行を読み出す。過去フレームの第９行目は、フレームメモリ１６０における第９行に相当するため、フレームメモリ

160の第8乃至10行が読み出される。ここでは、該当する範囲には物体が存在しないため、拡張処理の結果として得られる拡張領域は空の状態となる。

[0053] また、フレーム間演算処理部200は、現行フレームの第9行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第9行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの画素データにおいて物体が存在せず、拡張領域も空であるため、得られる画素データにおいても物体が存在しない。この1行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ160に更新される。その結果、この更新がされた時点においては、フレームメモリ160には第2フレームの上下反転した画素データが記憶されていることになる。

[0054] [第3フレームの処理]

図14は、本技術の実施の形態における第3フレームの第0行目の処理例を示す図である。第3フレームを現行フレームとして処理する際には、過去フレームとして第2フレームの画素データを参照する。上述のように、第2フレームの第9行目の処理による更新がされた時点においては、フレームメモリ160には第2フレームの上下反転した画素データが記憶されている。

[0055] フレーム間演算処理部200は、フレームメモリ160に記憶されている過去フレームの第0行目の画素データについて拡張処理を行う。そのために、過去フレームの第0行目の前後の行を読み出す。過去フレームの第0行目は、フレームメモリ160における第9行に相当するため、フレームメモリ160の第8乃至10行が読み出される。ここでは、該当する範囲には物体が存在しないため、拡張処理の結果として得られる拡張領域は空の状態となる。

[0056] また、フレーム間演算処理部200は、現行フレームの第0行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第0行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの

画素データにおいて第2列に物体が存在する旨が示されているが、拡張領域が空であるため、得られる画素データにおいては物体が存在しないことになる。すなわち、この第0行目の第2列のデータはノイズとして取り扱われ、物体は存在しないものとなる。この1行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ160に更新される。

[0057] 図15は、本技術の実施の形態における第3フレームの第1行目の処理例を示す図である。

[0058] フレーム間演算処理部200は、フレームメモリ160に記憶されている過去フレームの第1行目の画素データについて拡張処理を行う。そのために、過去フレームの第1行目の前後の行を読み出す。過去フレームの第1行目は、フレームメモリ160における第9行に相当するため、フレームメモリ160の第8乃至10行が読み出される。ここでは、第8行の第5列に物体が存在するため、拡張処理の結果として得られる拡張領域は第5列が有効（抽出を行うべき領域）となる。

[0059] また、フレーム間演算処理部200は、現行フレームの第1行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第1行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの画素データは第1列において物体が存在することを示しているが、拡張領域が有効となる第5列とは重ならないため、得られる画素データにおいては物体が存在しないものとなる。この1行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ160に更新される。

[0060] その後、第3フレームの各行について逐一、同様の処理が行われる。図16乃至図22は、本技術の実施の形態における第3フレームの第2乃至8行目の処理例を示す図である。

[0061] 図23は、本技術の実施の形態における第3フレームの第9行目の処理例を示す図である。

[0062] フレーム間演算処理部200は、フレームメモリ160に記憶されている過去フレームの第9行目の画素データについて拡張処理を行う。そのために

、過去フレームの第9行目の前後の行を読み出す。過去フレームの第9行目は、フレームメモリ160における第9行に相当するため、フレームメモリ160の第8乃至10行が読み出される。ここでは、該当する範囲には物体が存在しないため、拡張処理の結果として得られる拡張領域は空の状態となる。

[0063] また、フレーム間演算処理部200は、現行フレームの第9行目の画素データを二値化処理部140から読み出す。そして、現行フレームの第9行目と拡張領域との積集合を求める抽出処理を行う。ここでは、現行フレームの画素データにおいて物体が存在せず、拡張領域も空であるため、得られる画素データにおいても物体が存在しない。この1行分の画素データは、次のフレームの演算処理に備えて過去フレームとしてフレームメモリ160に更新される。その結果、この更新がされた時点においては、フレームメモリ160には第3フレームの上下反転した画素データが記憶されていることになる。

[0064] 図24は、本技術の実施の形態における第3フレームの第9行目の処理後のフレームメモリ160の内容例を示す図である。同図に示すように、第3フレームの第9行目の処理による更新がされた時点においては、フレームメモリ160には第3フレームの上下反転した画素データが記憶されている。すなわち、第1フレームから第3フレームにかけて物体が移動した軌跡が追跡されていることがわかる。また、第3フレームにおけるノイズについては追跡の対象とせずに、物体の動きのみが追跡されていることがわかる。

[0065] <3. 第1の実施の形態>

次に、本技術の実施の形態におけるフレーム間演算処理部200の具体的な構成例について説明する。上述の画素アレイ部110には、各画素の受光素子毎に赤（R）、緑（G）、青（B）の色フィルタが設けられ、各色成分の光のみが色フィルタを通過して受光素子に入射するようになっている。以下の例においては、画素アレイ部110における画素配列としてベイヤー配列を想定する。

[0066] 図25は、本技術の実施の形態における画素アレイ部110における画素のベイヤー配列の例を示す図である。ベイヤー配列では、R画素およびG画素が交互に配列された行と、G画素およびB画素が交互に配列された行とが交互に繰り返されている。G画素に着目すると、G画素は市松状に配置されており、G画素が存在しない空間位置にR画素またはB画素が配置されていることになる。

[0067] このように、画素アレイ部110から出力された画素信号は、1つの行において交互に異なる色成分を有する。そのため、以下の例では、1画素おきに画素データを選択して、同じ色成分同士が演算対象となるようにする。

[0068] 図26は、本技術の第1の実施の形態におけるフレーム間演算処理部200の構成例を示す図である。この第1の実施の形態では、3×3画素領域について3列の並列演算を行うことを想定する。この第1の実施の形態におけるフレーム間演算処理部200は、1つの行の各列に対応して、メモリバッファ210と、選択器221乃至223と、演算部230と、ワークメモリ240と、選択器251とを備える。すなわち、これらは基本的に1つの行の列数分の数が設けられる。

[0069] メモリバッファ210は、フレームメモリ160から読み出された1行分の画素データを保持するバッファである。このメモリバッファ210は、拡張処理を行うために利用される。

[0070] 選択器221乃至223は、メモリバッファ210から演算部230に供給すべき1行分の画素データを選択する選択器である。この例では、1回に最大3つの画素データを参照することを想定しているため、3つの選択器221乃至223を備えるものとしている。選択器221は3つの画素データの中心の画素データを選択する。選択器222は、中心の左隣の画素データを選択する。選択器223は、中心の右隣の画素データを選択する。選択器221には、制御部190から選択信号sel2が供給される。選択器222および223には、制御部190から共通の選択信号sel1が供給される。なお、これら選択器221乃至223においては、選択信号が「1」を

示す場合には右ポートのメモリバッファ 210 からの画素データを選択し、選択信号が「0」を示す場合には左ポートの値「0」を選択するものとする。

[0071] 演算部 230 は、1 行分の画素データのそれぞれに対応して設けられた列並列の演算部である。この図においては、中央の画素に対応する演算部 230 の構成を示しているが、他の画素に対応する演算部 230 も同様の構成を有する。1 つの演算部 230 は、論理和回路 231 と、選択器 232 と、論理積回路 233 とを備える。

[0072] 論理和回路 231 は、選択器 221 乃至 223 から供給された画素データの論理和演算を行う回路である。すなわち、選択器 221 乃至 223 の何れかの出力が「1」であれば、この論理和回路 231 の出力も「1」となる。一方、選択器 221 乃至 223 の全ての出力が「0」であれば、この論理和回路 231 の出力は「0」となる。

[0073] 選択器 232 は、二値化処理部 140 から供給されている現行フレームにおける、演算対象となる行の画素データ（ターゲット）を選択する選択器である。この選択器 232 には、制御部 190 から選択信号 *sel3* が供給される。この選択器 232 においては、選択信号が「1」を示す場合には右ポートの二値化処理部 140 からの画素データを選択し、選択信号が「0」を示す場合には左ポートの値「1」を選択するものとする。

[0074] 論理積回路 233 は、論理和回路 231 の出力と選択器 232 の出力との論理積演算を行う回路である。すなわち、論理和回路 231 および選択器 232 の両方の出力が「1」であれば、この論理積回路 233 の出力も「1」となる。一方、論理和回路 231 および選択器 232 の何れかの出力が「0」であれば、この論理和回路 231 の出力は「0」となる。

[0075] ワークメモリ 240 は、演算部 230 による 1 行分の画素データの演算結果を一時的に保持するメモリである。このワークメモリ 240 に保持された演算結果は、1 行分の演算が終了するたびに選択器 251 を介してフレームメモリ 160 に更新される。

[0076] 選択器 251 は、ワークメモリ 240 に保持された演算結果のそれぞれに対応して、演算結果と「0」の何れかを選択する選択器である。この選択器 251 には、制御部 190 から選択信号  $sel4$  が供給される。この選択器 251 においては、選択信号が「1」を示す場合には右ポートのワークメモリ 240 からの演算結果を選択し、選択信号が「0」を示す場合には左ポートの値「0」を選択するものとする。

[0077] 図 27 は、本技術の第 1 の実施の形態において想定する演算対象の画素配置の一例を示す図である。この第 1 の実施の形態では、中心の画素 611 に対して  $3 \times 3$  画素領域を演算対象 612 とする。灰色で示した隣接した画素が拡張領域の候補となる。なお、上述のように、ペイヤー配列を想定するため、他の色を含めると  $5 \times 5$  画素領域となるが、ここでは一つの色に着目して  $3 \times 3$  画素領域と呼称する。以下では、流れ図を参照してこの画素配置における処理手順を説明する。

[0078] 図 28 は、本技術の第 1 の実施の形態のフレーム間演算処理部 200 による処理手順例を示す流れ図である。この例では、現行フレームの第  $n$  行の処理を行うために、 $3 \times 3$  画素領域を演算対象 612 として、過去フレームが第  $(n-1)$  行、第  $n$  行、第  $(n+1)$  行の順に参照されて、拡張処理が行われる。そして、その拡張処理により得られた拡張領域を利用して抽出処理が行われる。これら現行フレームの第  $n$  行の処理において、各列について同時に並列に処理が行われる。

[0079] まず、フレームメモリ 160 の第  $(n-1)$  行の画素データが読み出されて、メモリバッファ 210 に保持される（ステップ S811）。そして、選択信号として、 $sel1 = \text{「0」}$ 、 $sel2 = \text{「1」}$ 、 $sel3 = \text{「0」}$ 、 $sel4 = \text{「0」}$  がそれぞれ供給される（ステップ S812）。これにより、第  $(n-1)$  行の第  $m$  列の画素データが選択される。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S813）。

[0080] 次に、フレームメモリ 160 の第  $n$  行の画素データが読み出されて、メモリバッファ 210 に保持される（ステップ S814）。そして、選択信号と

して、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS815）。これにより、第 $n$ 行の第 $(m-1)$ 列、第 $m$ 列、第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS816）。

[0081] 次に、フレームメモリ160の第 $(n+1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS817）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS818）。これにより、第 $(n+1)$ 行の第 $m$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS819）。

[0082] ここまでの処理が拡張処理に対応する。以下では抽出処理が行われる。選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「0」$ 、 $sel3 = 「1」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS821）。これにより、現行フレームの画素データと拡張領域との論理積演算が論理積回路233により行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS822）。

[0083] これにより、現行フレームの第 $n$ 行に対する処理が完了したため、ワークメモリ240の内容がフレームメモリ160に更新される（ステップS823）。このようにして、現行フレームの各行に対する処理が繰り返される。

[0084] <4. 第2の実施の形態>

図29は、本技術の第2の実施の形態におけるフレーム間演算処理部200の構成例を示す図である。この第2の実施の形態では、 $5 \times 5$ 画素領域について5列の並列演算を行うことを想定する。この第2の実施の形態におけるフレーム間演算処理部200は、1つの行の各列に対応して、メモリバッ

ファ210と、選択器221乃至225と、演算部230と、ワークメモリ240と、選択器251とを備える。第1の実施の形態と比べて、入力される画素データが増えた分、選択器の数が増え、論理和回路231の入力数も増えている。これ以外の点は第1の実施の形態と同様である。

[0085] 選択器221乃至225は、メモリバッファ210から演算部230に供給すべき1行分の画素データを選択する選択器である。この例では、1回に最大5つの画素データを参照することを想定しているため、5つの選択器221乃至225を備えるものとしている。選択器221は5つの画素データの中心の画素データを選択する。選択器222は、中心の左隣の画素データを選択する。選択器223は、中心の右隣の画素データを選択する。選択器224は、中心の2つ左隣の画素データを選択する。選択器225は、中心の2つ右隣の画素データを選択する。

[0086] 選択器221には、制御部190から選択信号s e l 2が供給される。選択器222および223には、制御部190から共通の選択信号s e l 1が供給される。選択器224および225には、制御部190から共通の選択信号s e l 0が供給される。なお、これら選択器221乃至225においては、選択信号が「1」を示す場合には右ポートのメモリバッファ210からの画素データを選択し、選択信号が「0」を示す場合には左ポートの値「0」を選択するものとする。

[0087] 図30は、本技術の第2の実施の形態において想定する演算対象の画素配置の一例を示す図である。この第2の実施の形態では、中心の画素621に対して5×5画素領域を演算対象622とする。灰色で示した隣接した画素が拡張領域の候補となる。なお、上述のように、ベイヤー配列を想定するため、他の色を含めると9×9画素領域となるが、ここでは一つの色に着目して5×5画素領域と呼称する。以下では、流れ図を参照してこの画素配置における処理手順を説明する。

[0088] 図31および図32は、本技術の第2の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。この例では、現行フレーム

の第 $n$ 行の処理を行うために、 $5 \times 5$ 画素領域を演算対象622として、過去フレームが第 $(n-2)$ 行、第 $(n-1)$ 行、第 $n$ 行、第 $(n+1)$ 行、第 $(n+2)$ 行の順に参照されて、拡張処理が行われる。そして、その拡張処理により得られた拡張領域を利用して抽出処理が行われる。これら現行フレームの第 $n$ 行の処理において、各列について同時に並列に処理が行われる。

[0089] まず、フレームメモリ160の第 $(n-2)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS831）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「0」$ がそれぞれ供給される（ステップS832）。これにより、第 $(n-2)$ 行の第 $m$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS833）。

[0090] 次に、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS834）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS835）。これにより、第 $(n-1)$ 行の第 $(m-1)$ 列、第 $m$ 列、第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS836）。

[0091] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS837）。そして、選択信号として、 $sel0 = 「1」$ 、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS838）。これにより、第 $n$ 行の第 $(m-2)$ 列、第 $(m-1)$ 列、第 $m$ 列、第 $(m+1)$ 列、第 $(m+2)$ 列の画素データが選択される。また、直前のワークメ

メモリ 240 の保持内容も選択されて、論理和回路 231 による論理和演算が行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 839）。

[0092] 次に、フレームメモリ 160 の第  $(n+1)$  行の画素データが読み出されて、メモリバッファ 210 に保持される（ステップ S 841）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップ S 842）。これにより、第  $(n+1)$  行の第  $(m-1)$  列、第  $m$  列、第  $(m+1)$  列の画素データが選択される。また、直前のワークメモリ 240 の保持内容も選択されて、論理和回路 231 による論理和演算が行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 843）。

[0093] 次に、フレームメモリ 160 の第  $(n+2)$  行の画素データが読み出されて、メモリバッファ 210 に保持される（ステップ S 844）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップ S 845）。これにより、第  $(n+2)$  行の第  $m$  列の画素データが選択される。また、直前のワークメモリ 240 の保持内容も選択されて、論理和回路 231 による論理和演算が行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 846）。

[0094] ここまでの処理が拡張処理に対応する。以下では抽出処理が行われる。選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「0」$ 、 $sel2 = 「0」$ 、 $sel3 = 「1」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップ S 847）。これにより、現行フレームの画素データと拡張領域との論理積演算が論理積回路 233 により行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 848）。

[0095] これにより、現行フレームの第  $n$  行に対する処理が完了したため、ワークメモリ 240 の内容がフレームメモリ 160 に更新される（ステップ S 84

9)。このようにして、現行フレームの各行に対する処理が繰り返される。

[0096] <5. 第3の実施の形態>

本技術の第3の実施の形態では、 $5 \times 5$ 画素領域について3列の並列演算を行うことを想定する。この第3の実施の形態におけるフレーム間演算処理部200は、上述の第1の実施の形態において説明したフレーム間演算処理部200と同様の構成を有する。したがって、ここでは構成の詳細な説明は省略する。

[0097] 図33は、本技術の第3の実施の形態において想定する演算対象の画素配置の一例を示す図である。この第3の実施の形態では、中心の画素631に対して $5 \times 5$ 画素領域を演算対象632とする。灰色で示した隣接した画素が拡張領域の候補となる。なお、上述のように、ペイヤー配列を想定するため、他の色を含めると $9 \times 9$ 画素領域となるが、ここでは一つの色に着目して $5 \times 5$ 画素領域と呼称する。

[0098] また、この第3の実施の形態では、演算部230の各々では3列の並列演算を行うことを想定するため、演算対象632において4つの演算領域633乃至636に分けて演算を行う。演算領域633乃至636は、中心の画素631からそれぞれ1画素分、上下左右に移動した画素を中心とする $3 \times 3$ 画素領域であり、左右対称となる。以下では、流れ図を参照してこの画素配置における処理手順を説明する。

[0099] 図34乃至図37は、本技術の第3の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。この例では、現行フレームの第 $n$ 行の処理を行うために、4つの演算領域633乃至636が順に参照されて、拡張処理が行われる。そして、その拡張処理により得られた拡張領域を利用して抽出処理が行われる。これら現行フレームの第 $n$ 行の処理において、各列について同時に並列に処理が行われる。

[0100] まず、中心の画素631から左に1画素分オフセットした演算領域633について、以下のステップS851乃至S859の処理が行われる。まず、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモ

リバッファ210に保持される（ステップS851）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「0」$ がそれぞれ供給される（ステップS852）。これにより、第 $(n-1)$ 行の第 $(m-1)$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS853）。

[0101] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS854）。そして、選択信号として、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS855）。これにより、第 $n$ 行の第 $(m-2)$ 列、第 $(m-1)$ 列、第 $m$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS856）。

[0102] 次に、フレームメモリ160の第 $(n+1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS857）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS858）。これにより、第 $(n+1)$ 行の第 $(m-1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS859）。

[0103] 続いて、中心の画素631から右に1画素分オフセットした演算領域634について、以下のステップS861乃至S869の処理が行われる。まず、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS861）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS862）。これにより、第 $(n-1)$ 行の第 $(m+1)$ 列の画素データが選択される。演算部230によ

る演算結果は、ワークメモリ240に保持される（ステップS863）。

[0104] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS864）。そして、選択信号として、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS865）。これにより、第 $n$ 行の第 $m$ 列、第 $(m+1)$ 列、第 $(m+2)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS866）。

[0105] 次に、フレームメモリ160の第 $(n+1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS867）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS868）。これにより、第 $(n+1)$ 行の第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS869）。

[0106] 続いて、中心の画素631から下に1画素分オフセットした演算領域635について、以下のステップS871乃至S879の処理が行われる。まず、フレームメモリ160の第 $(n-2)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS871）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS872）。これにより、第 $(n-2)$ 行の第 $m$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS873）。

[0107] 次に、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS874）。そして、選択信号として、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、

$sel4 = 「1」$  がそれぞれ供給される（ステップS875）。これにより、第 $(n-1)$ 行の第 $(m-1)$ 列、第 $m$ 列、第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS876）。

[0108] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS877）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS878）。これにより、第 $n$ 行の第 $m$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS879）。

[0109] 続いて、中心の画素631から上に1画素分オフセットした演算領域636について、以下のステップS881乃至S889の処理が行われる。まず、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS881）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS882）。これにより、第 $n$ 行の第 $m$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS883）。

[0110] 次に、フレームメモリ160の第 $(n+1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS884）。そして、選択信号として、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップS885）。これにより、第 $(n+1)$ 行の第 $(m-1)$ 列、第 $m$ 列、第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結

果は、ワークメモリ 240 に保持される（ステップ S 886）。

[0111] 次に、フレームメモリ 160 の第  $(n+2)$  行の画素データが読み出されて、メモリバッファ 210 に保持される（ステップ S 887）。そして、選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップ S 888）。これにより、第  $(n+2)$  行の第  $m$  列の画素データが選択される。また、直前のワークメモリ 240 の保持内容も選択されて、論理和回路 231 による論理和演算が行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 889）。

[0112] ここまでの処理が拡張処理に対応する。以下では抽出処理が行われる。選択信号として、 $sel1 = 「0」$ 、 $sel2 = 「0」$ 、 $sel3 = 「1」$ 、 $sel4 = 「1」$  がそれぞれ供給される（ステップ S 891）。これにより、現行フレームの画素データと拡張領域との論理積演算が論理積回路 233 により行われる。演算部 230 による演算結果は、ワークメモリ 240 に保持される（ステップ S 892）。

[0113] これにより、現行フレームの第  $n$  行に対する処理が完了したため、ワークメモリ 240 の内容がフレームメモリ 160 に更新される（ステップ S 893）。このようにして、現行フレームの各行に対する処理が繰り返される。

[0114] <6. 第4の実施の形態>

上述の第3の実施の形態では、選択器 222 および 223 の選択信号を共通のものとして制御したため、中心の画素 631 に対して左右対称に処理を行うことになり、対象となる領域が重複していた。これに対し、第4の実施の形態では、選択器 222 および 223 の選択信号を個別に設けることにより、処理効率を向上させる。

[0115] 図 38 は、本技術の第4の実施の形態におけるフレーム間演算処理部 200 の構成例を示す図である。この第4の実施の形態では、 $5 \times 5$  画素領域について3列の並列演算を行うことを想定する。基本的には第3の実施の形態と同様の構成を有するが、選択器 222 および 223 の選択信号を個別に設

け、制御部190から選択信号 $sel0$ を選択器222に供給し、選択信号 $sel1$ を選択器223に供給する点において異なる。

[0116] 図39は、本技術の第4の実施の形態において想定する演算対象の画素配置の一例を示す図である。この第4の実施の形態では、中心の画素641に対して $5 \times 5$ 画素領域を演算対象642とする。灰色で示した隣接した画素が拡張領域の候補となる。そして、この第4の実施の形態では、演算対象642において左右非対称の3つの演算領域643乃至645に分けて演算を行う。以下では、流れ図を参照してこの画素配置における処理手順を説明する。

[0117] 図40乃至図42は、本技術の第4の実施の形態のフレーム間演算処理部200による処理手順例を示す流れ図である。この例では、現行フレームの第 $n$ 行の処理を行うために、3つの演算領域643乃至645が順に参照されて、拡張処理が行われる。そして、その拡張処理により得られた拡張領域を利用して抽出処理が行われる。これら現行フレームの第 $n$ 行の処理において、各列について同時に並列に処理が行われる。

[0118] まず、中心の画素641から左および下に1画素分オフセットした演算領域643について、以下のステップS711乃至S719の処理が行われる。まず、フレームメモリ160の第 $(n-2)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS711）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「1」$ 、 $sel2 = 「0」$ 、 $sel3 = 「0」$ 、 $sel4 = 「0」$ がそれぞれ供給される（ステップS712）。これにより、第 $(n-2)$ 行の第 $m$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS713）。

[0119] 次に、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS714）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS7

15)。これにより、第 $(n-1)$ 行の第 $(m-1)$ 列、第 $m$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS716）。

[0120] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS717）。そして、選択信号として、 $sel0 = \text{「1」}$ 、 $sel1 = \text{「1」}$ 、 $sel2 = \text{「1」}$ 、 $sel3 = \text{「0」}$ 、 $sel4 = \text{「1」}$ がそれぞれ供給される（ステップS718）。これにより、第 $n$ 行の第 $(m-2)$ 列、第 $(m-1)$ 列、第 $m$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS719）。

[0121] 続いて、中心の画素641から右に2画素分および下に1画素分オフセットした演算領域644について、以下のステップS721乃至S726の処理が行われる。まず、フレームメモリ160の第 $(n-1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS721）。そして、選択信号として、 $sel0 = \text{「1」}$ 、 $sel1 = \text{「0」}$ 、 $sel2 = \text{「0」}$ 、 $sel3 = \text{「0」}$ 、 $sel4 = \text{「1」}$ がそれぞれ供給される（ステップS722）。これにより、第 $(n-1)$ 行の第 $(m+1)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS723）。

[0122] 次に、フレームメモリ160の第 $n$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS724）。そして、選択信号として、 $sel0 = \text{「1」}$ 、 $sel1 = \text{「0」}$ 、 $sel2 = \text{「1」}$ 、 $sel3 = \text{「0」}$ 、 $sel4 = \text{「1」}$ がそれぞれ供給される（ステップS725）。これにより、第 $n$ 行の第 $(m+1)$ 列、第 $(m+2)$ 列の画素データが選択される。また、直前のワークメモリ240の保持内容も選択されて、論理和

回路231による論理和演算が行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS726）。

[0123] 続いて、中心の画素641から上に2画素分オフセットした演算領域645について、以下のステップS731乃至S736の処理が行われる。まず、フレームメモリ160の第 $(n+1)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS731）。そして、選択信号として、 $sel0 = 「1」$ 、 $sel1 = 「1」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS732）。これにより、第 $(n+1)$ 行の第 $(m-1)$ 、第 $m$ 列、第 $(m+1)$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS733）。

[0124] 次に、フレームメモリ160の第 $(n+2)$ 行の画素データが読み出されて、メモリバッファ210に保持される（ステップS734）。そして、選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「0」$ 、 $sel2 = 「1」$ 、 $sel3 = 「0」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS735）。これにより、第 $(n+2)$ 行の第 $m$ 列の画素データが選択される。演算部230による演算結果は、ワークメモリ240に保持される（ステップS736）。

[0125] ここまでの処理が拡張処理に対応する。以下では抽出処理が行われる。選択信号として、 $sel0 = 「0」$ 、 $sel1 = 「0」$ 、 $sel2 = 「0」$ 、 $sel3 = 「1」$ 、 $sel4 = 「1」$ がそれぞれ供給される（ステップS737）。これにより、現行フレームの画素データと拡張領域との論理積演算が論理積回路233により行われる。演算部230による演算結果は、ワークメモリ240に保持される（ステップS738）。

[0126] これにより、現行フレームの第 $n$ 行に対する処理が完了したため、ワークメモリ240の内容がフレームメモリ160に更新される（ステップS739）。このようにして、現行フレームの各行に対する処理が繰り返される。

[0127] <7. 適用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0128] 図43は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0129] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図43に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0130] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0131] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット

１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0132] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0133] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0134] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0135] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）

の機能実現を目的とした協調制御を行うことができる。

[0136] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0137] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0138] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 43 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0139] 図 44 は、撮像部 12031 の設置位置の例を示す図である。

[0140] 図 44 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0141] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、

主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0142] なお、図 4 4 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2、1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2、1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0143] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0144] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0145] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0146] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0147] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、撮像部12031において撮像された画素データについて物体を追跡するためのトラッキング演算を行うことにより、

上述の自動運転や運転支援を実現することが可能になる。

[0148] このように、本技術の実施の形態によれば、画素アレイ部 110 において得られた 2 次元の画素データについて、フレーム間演算処理部 200 において 1 行ずつ列並列に処理を行うことにより、ハードウェア規模を削減することができる。

[0149] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0150] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0151] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0152] なお、本技術は以下のような構成もとることができる。

(1) 時系列に遷移するフレームの画素データを記憶するフレームメモリと、

現行フレームの画素データおよび前記フレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて前記フレームメモリに記憶される前記過去フレームの画素データを更新するフレーム間演算処理部と  
を具備する演算装置。

(2) 前記画素データは、物体の存在の有無の何れかを示す二値化されたデータであり、

前記所定の演算は、前記物体を追跡するためのトラッキング演算である  
前記(1)に記載の演算装置。

(3) 前記フレーム間演算処理部は、前記過去フレームの画素データに対して拡張処理を施した領域における前記現行フレームの画素データを前記過去フレームの画素データとして前記フレームメモリに更新する

前記(1)または(2)に記載の演算装置。

(4) 前記フレーム間演算処理部は、前記行単位の画素データの各々に対応して、

前記過去フレームの画素データが前記物体の存在を示す領域についてその周辺まで拡張した領域を生成する論理和回路と、

前記拡張した領域と前記現行フレームの画素データとの論理積を新たな前記過去フレームの画素データとして生成する論理積回路とを備える

前記(3)に記載の演算装置。

(5) 前記論理和回路は、前記拡張した領域を生成するために隣接する行の画素データを参照する

前記(4)に記載の演算装置。

(6) 前記論理和回路は、前記フレームにおいて $p$ 画素 $\times$  $p$ 画素の領域( $p$ は3以上の奇数)について前記拡張した領域を生成するために前記フレームメモリに記憶された過去フレームの $p$ 個の画素データを同時に参照する

前記(4)に記載の演算装置。

(7) 前記論理和回路は、前記フレームにおいて $p$ 画素 $\times$  $p$ 画素の領域( $p$ は3以上の奇数)について前記拡張した領域を生成するために前記フレームメモリに記憶された過去フレームの $q$ 個( $q$ は $p$ より小さい奇数)の画素データを同時に参照する

前記(4)に記載の演算装置。

(8) 前記フレーム間演算処理部は、前記行単位の画素データのうち必要な

画素データを選択する選択器をさらに備え、

前記論理和回路は、前記選択器に選択された画素データが前記物体の存在を示す領域についてその周辺まで拡張した領域を生成する

前記（４）に記載の演算装置。

（９）前記選択器は、前記必要な画素データを選択する際に左右対称に選択の有無を決定する

前記（８）に記載の演算装置。

（１０）前記選択器は、前記必要な画素データを選択する際に左右非対称に選択の有無を決定する

前記（８）に記載の演算装置。

（１１）画像を撮像して時系列に遷移するフレームの画素データを生成する画素アレイ部と、

前記フレームの画素データを記憶するフレームメモリと、

前記フレームにおける現行フレームの画素データおよび前記フレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて前記フレームメモリに記憶される前記過去フレームの画素データを更新するフレーム間演算処理部と

を具備するセンサー。

## 符号の説明

- [0153]    １００   ビジョンセンサー
- １１０   画素アレイ部
- １２０   アナログデジタル変換部
- １３０   画素データメモリ
- １４０   二値化処理部
- １６０   フレームメモリ
- １７０   パラレルシリアル変換部
- １８０   信号処理部
- １９０   制御部

2 0 0 フレーム間演算処理部

2 1 0 メモリバッファ

2 2 1 ~ 2 2 5 選択器

2 3 0 演算部

2 3 1 論理和回路

2 3 2 選択器

2 3 3 論理積回路

2 4 0 ワークメモリ

2 5 1 選択器

1 2 0 3 1 撮像部

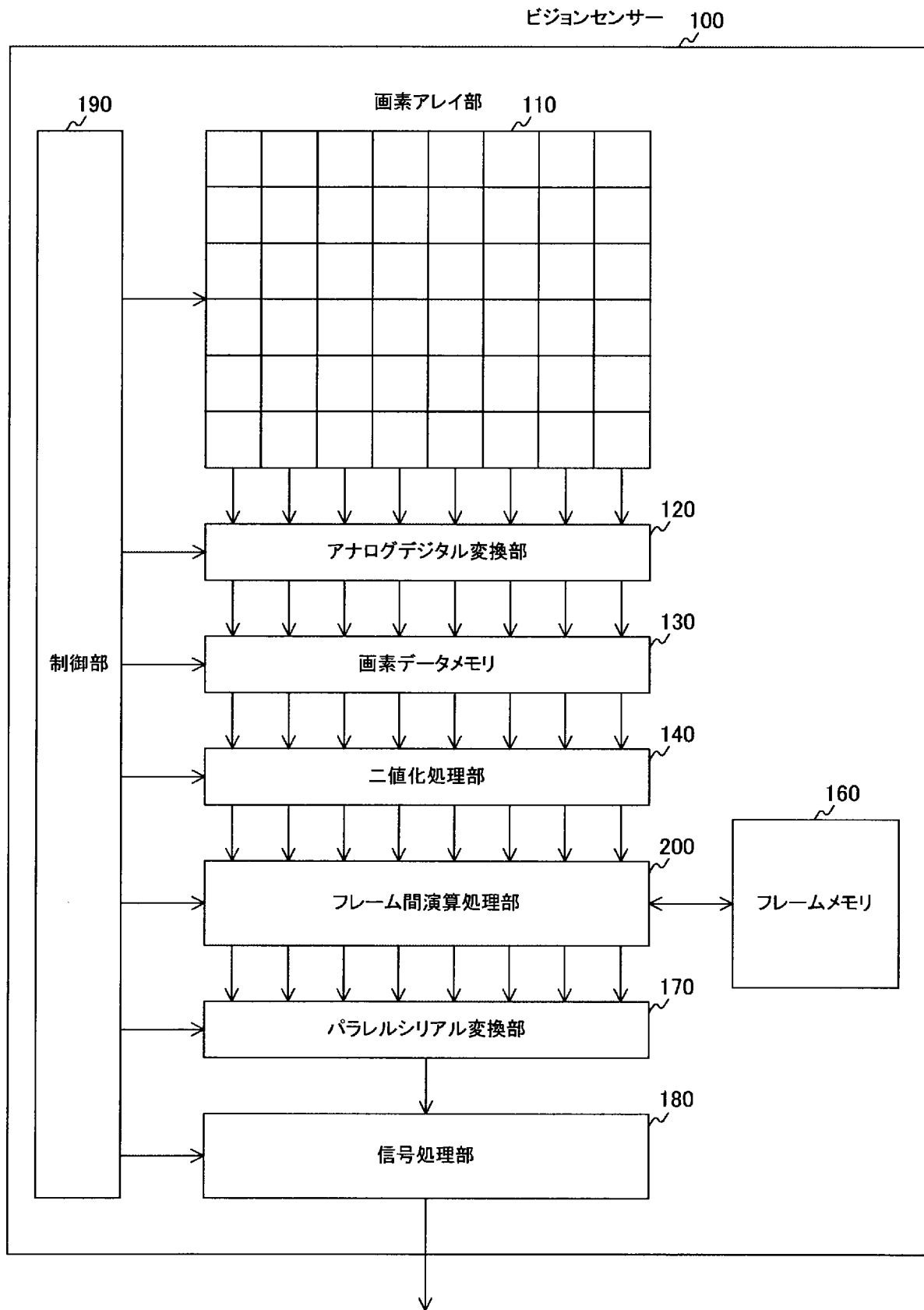
## 請求の範囲

- [請求項1]           時系列に遷移するフレームの画素データを記憶するフレームメモリと、
- 現行フレームの画素データおよび前記フレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて前記フレームメモリに記憶される前記過去フレームの画素データを更新するフレーム間演算処理部と
- を具備する演算装置。
- [請求項2]           前記画素データは、物体の存在の有無の何れかを示す二値化されたデータであり、
- 前記所定の演算は、前記物体を追跡するためのトラッキング演算である
- 請求項1記載の演算装置。
- [請求項3]           前記フレーム間演算処理部は、前記過去フレームの画素データに対して拡張処理を施した領域における前記現行フレームの画素データを前記過去フレームの画素データとして前記フレームメモリに更新する
- 請求項1記載の演算装置。
- [請求項4]           前記フレーム間演算処理部は、前記行単位の画素データの各々に対応して、
- 前記過去フレームの画素データが前記物体の存在を示す領域についてその周辺まで拡張した領域を生成する論理和回路と、
- 前記拡張した領域と前記現行フレームの画素データとの論理積を新たな前記過去フレームの画素データとして生成する論理積回路とを備える
- 請求項3記載の演算装置。
- [請求項5]           前記論理和回路は、前記拡張した領域を生成するために隣接する行の画素データを参照する
- 請求項4記載の演算装置。

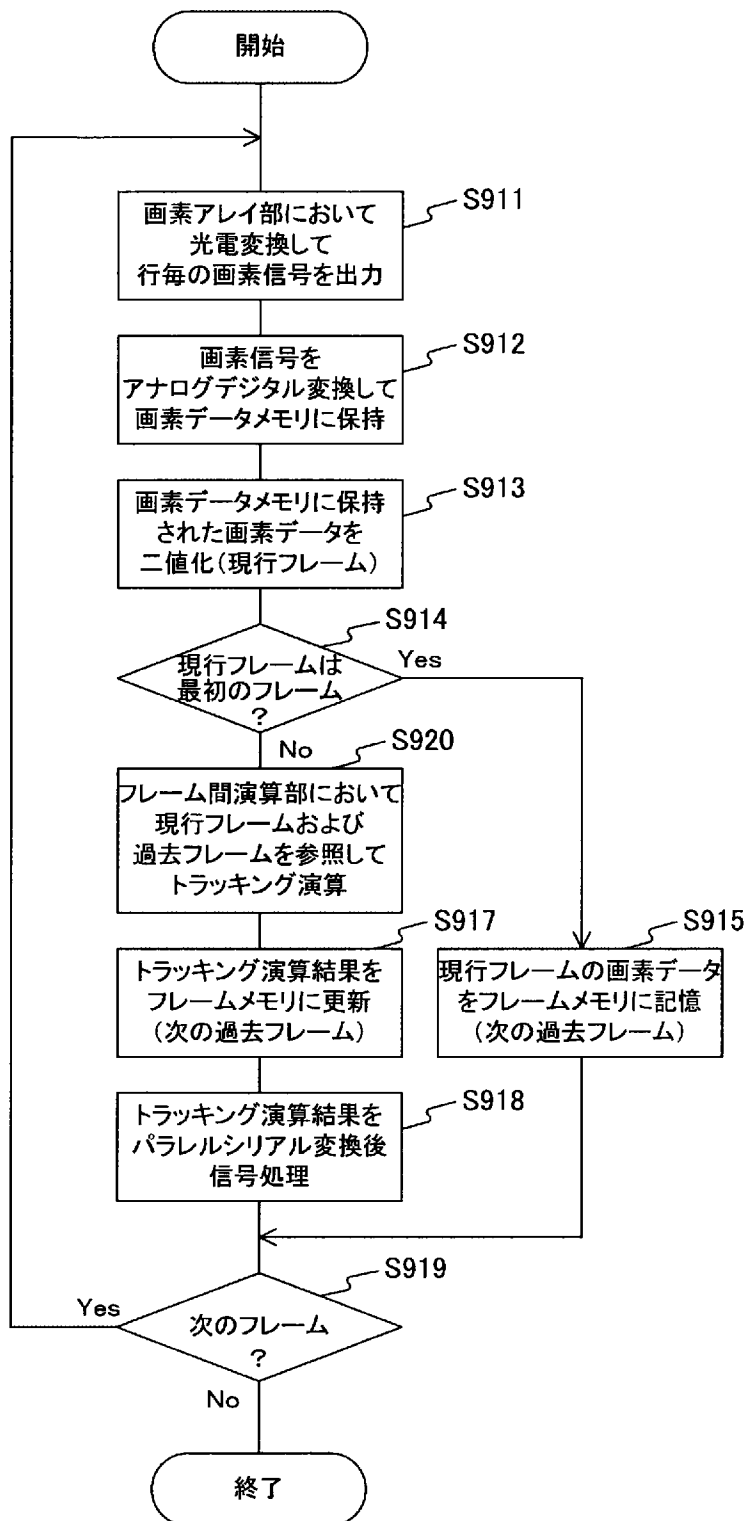
- [請求項6] 前記論理和回路は、前記フレームにおいて  $p$  画素  $\times$   $p$  画素の領域（ $p$  は 3 以上の奇数）について前記拡張した領域を生成するために前記フレームメモリに記憶された過去フレームの  $p$  個の画素データを同時に参照する  
請求項 4 記載の演算装置。
- [請求項7] 前記論理和回路は、前記フレームにおいて  $p$  画素  $\times$   $p$  画素の領域（ $p$  は 3 以上の奇数）について前記拡張した領域を生成するために前記フレームメモリに記憶された過去フレームの  $q$  個（ $q$  は  $p$  より小さい奇数）の画素データを同時に参照する  
請求項 4 記載の演算装置。
- [請求項8] 前記フレーム間演算処理部は、前記行単位の画素データのうち必要な画素データを選択する選択器をさらに備え、  
前記論理和回路は、前記選択器に選択された画素データが前記物体の存在を示す領域についてその周辺まで拡張した領域を生成する  
請求項 4 記載の演算装置。
- [請求項9] 前記選択器は、前記必要な画素データを選択する際に左右対称に選択の有無を決定する  
請求項 8 記載の演算装置。
- [請求項10] 前記選択器は、前記必要な画素データを選択する際に左右非対称に選択の有無を決定する  
請求項 8 記載の演算装置。
- [請求項11] 画像を撮像して時系列に遷移するフレームの画素データを生成する画素アレイ部と、  
前記フレームの画素データを記憶するフレームメモリと、  
前記フレームにおける現行フレームの画素データおよび前記フレームメモリに記憶された過去フレームの画素データについて行単位に列並列で所定の演算を施してその結果に基づいて前記フレームメモリに記憶される前記過去フレームの画素データを更新するフレーム間演算

処理部と  
を具備するセンサー。

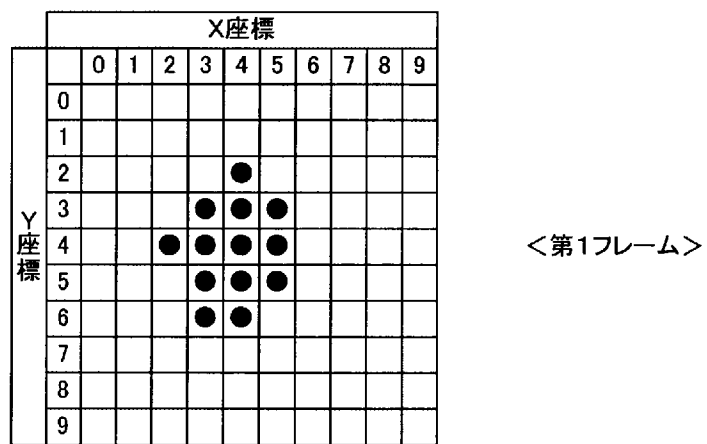
[図1]



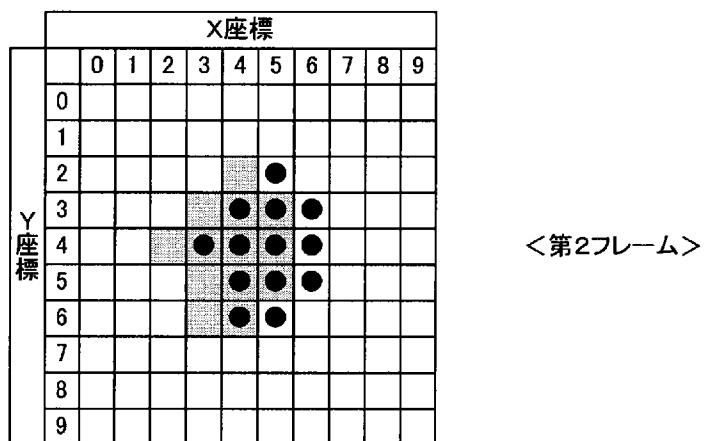
[図2]



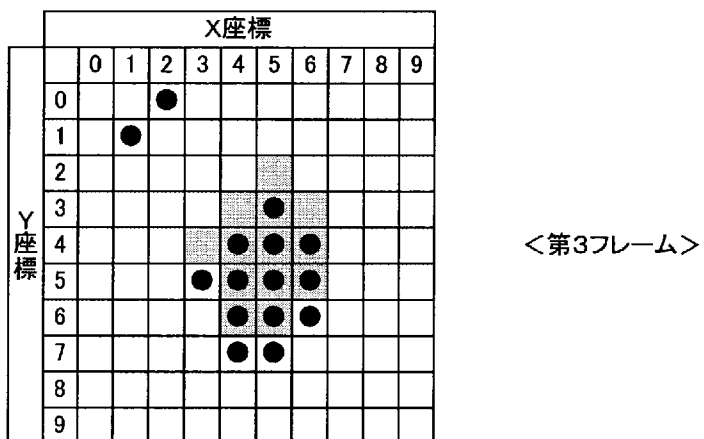
[図3]

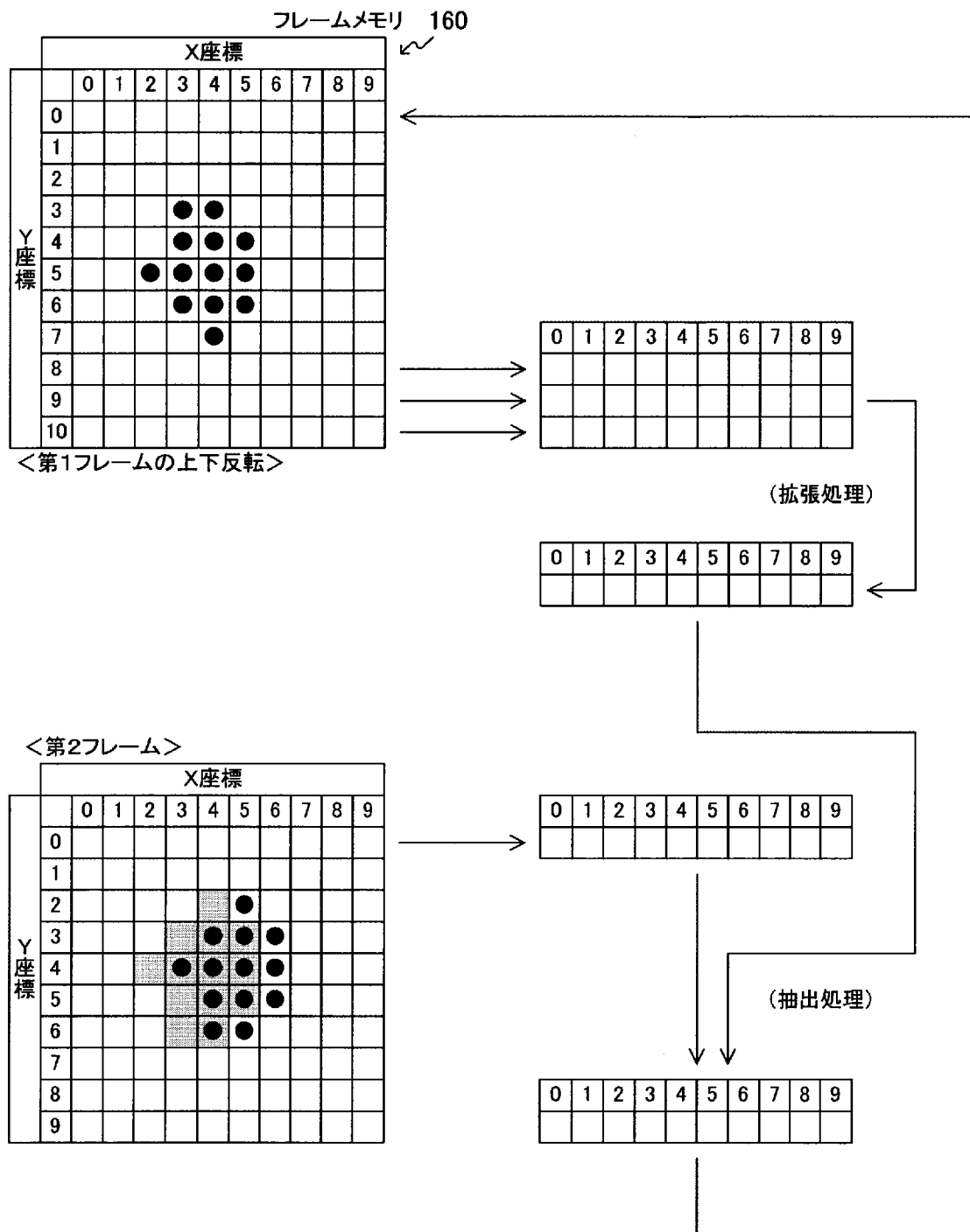


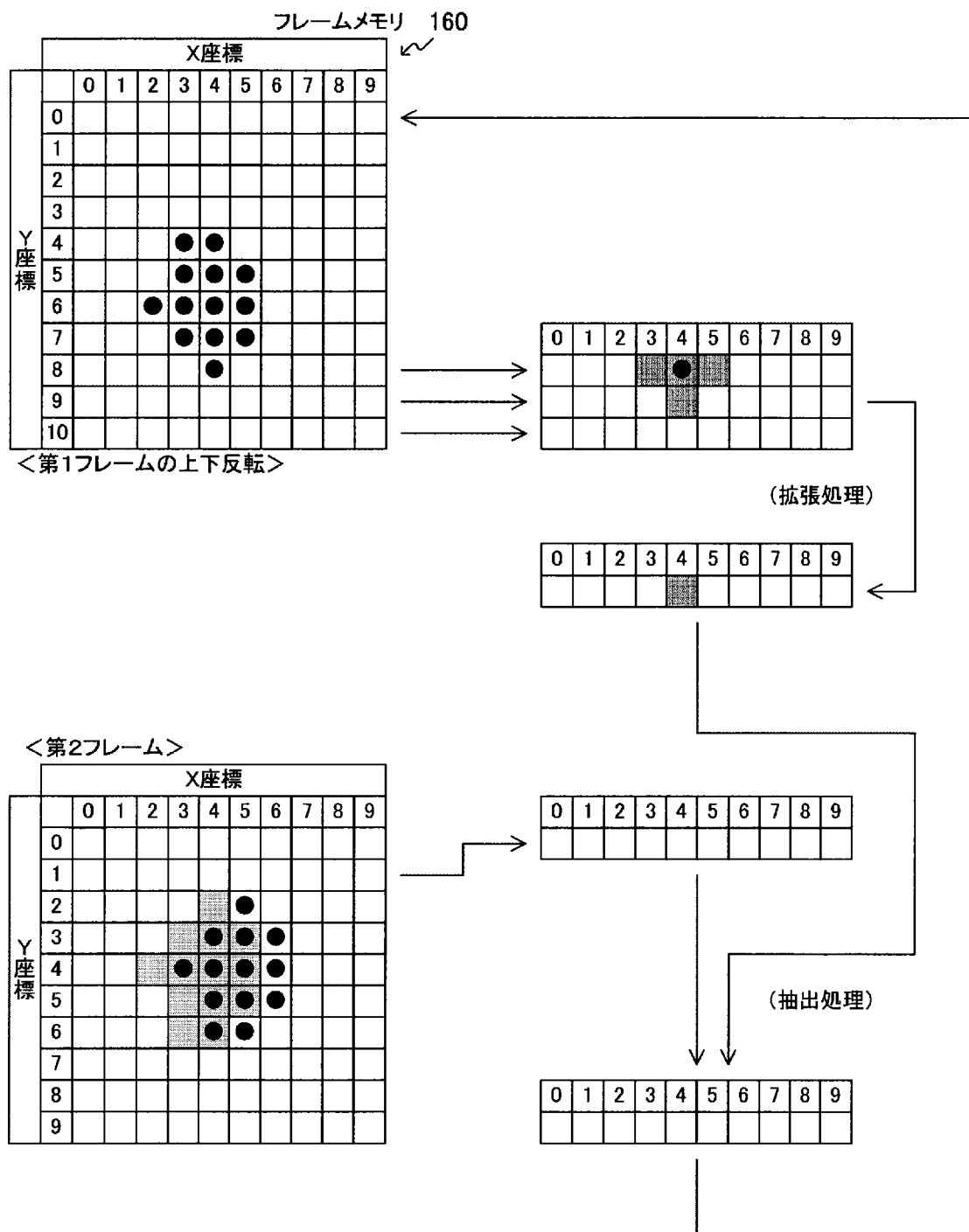
(右方向に1画素分の移動)

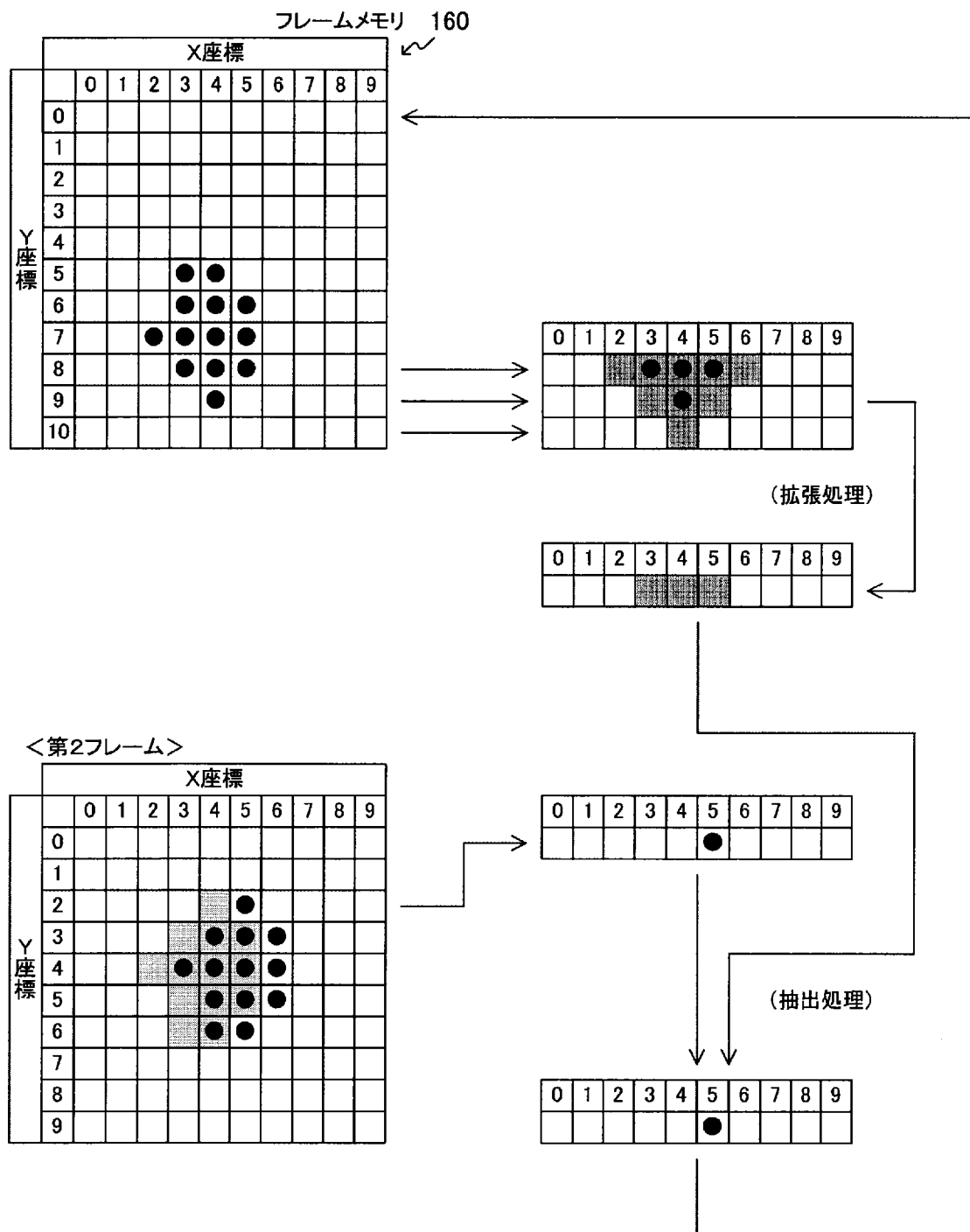


(下方向に1画素分の移動)

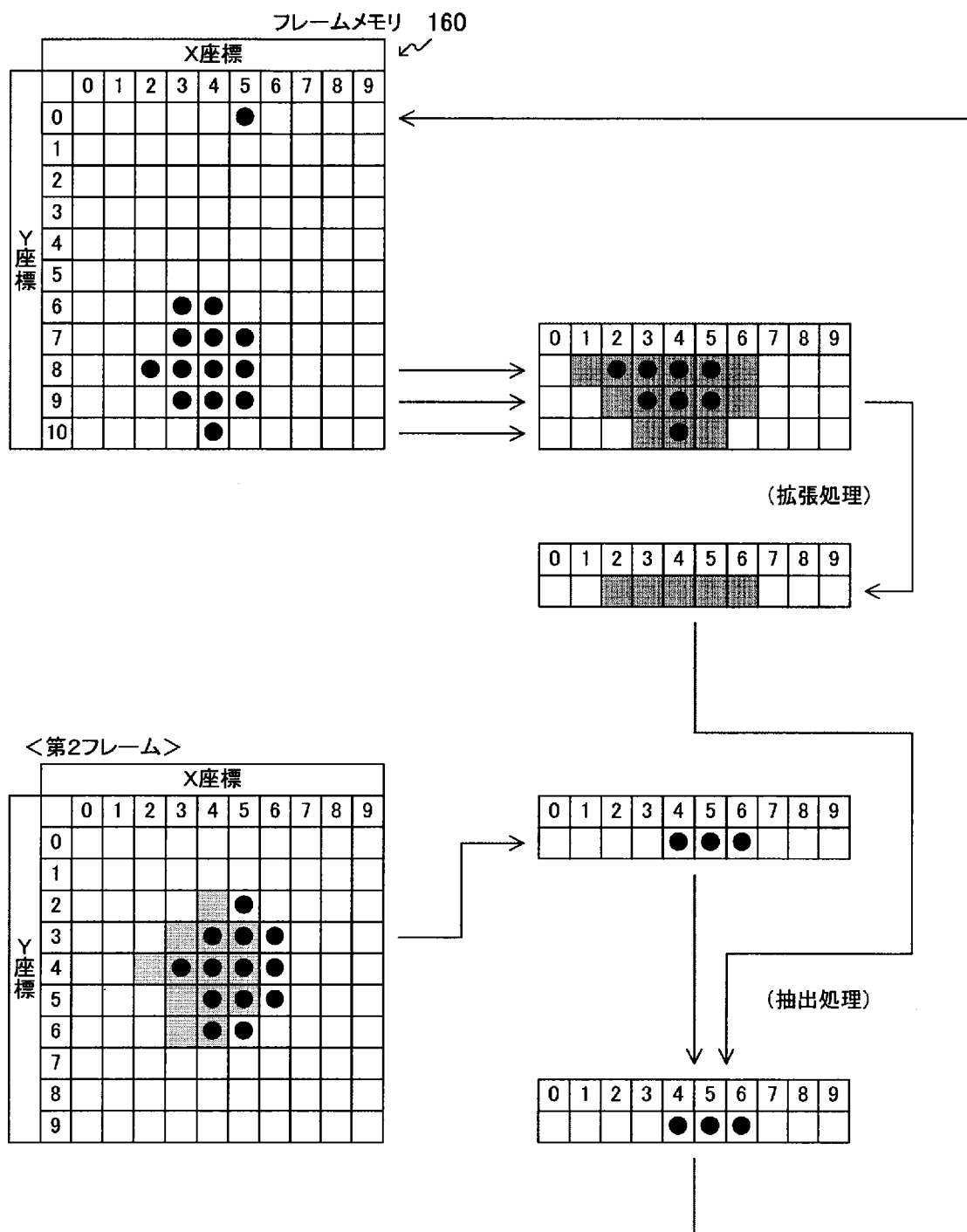




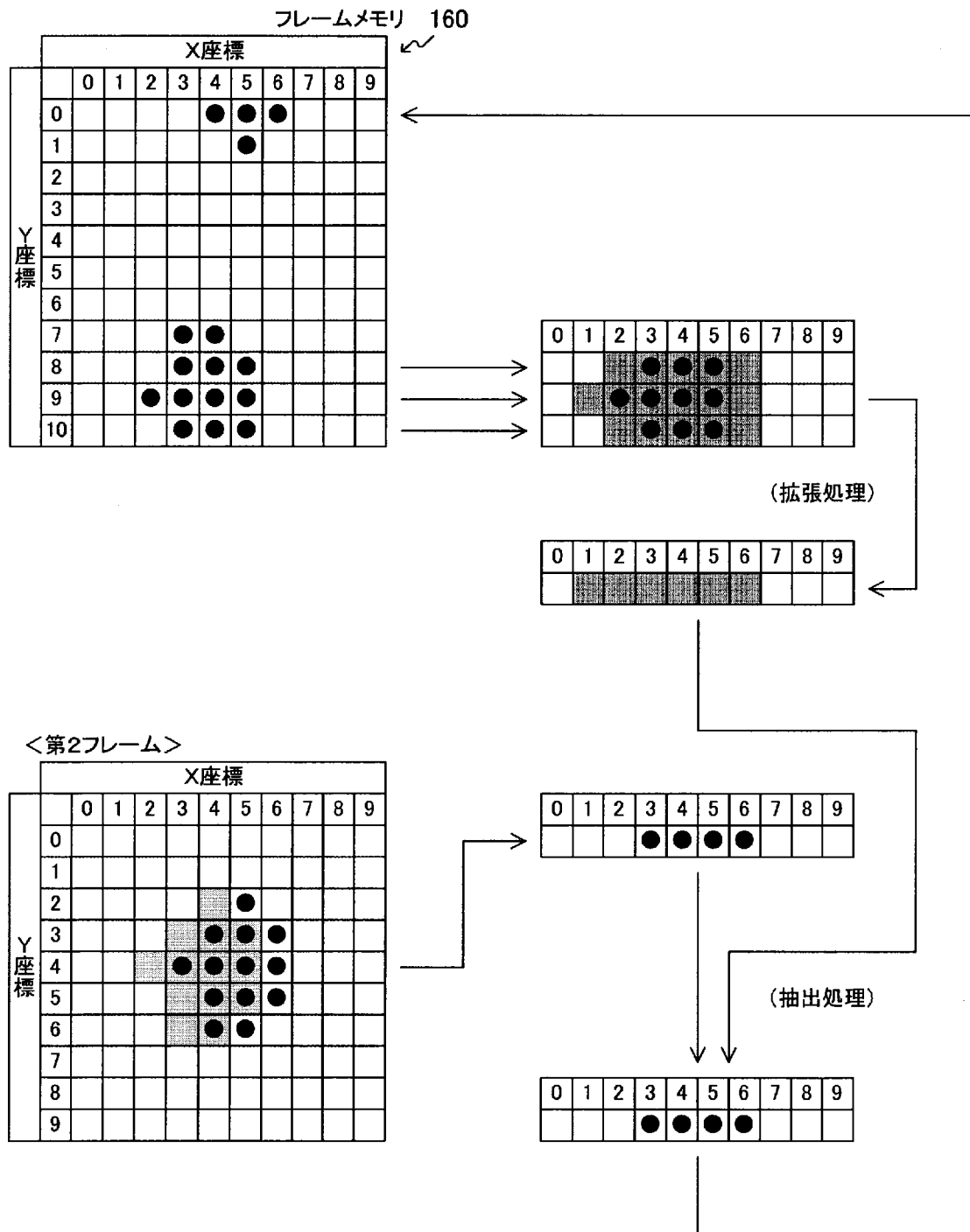




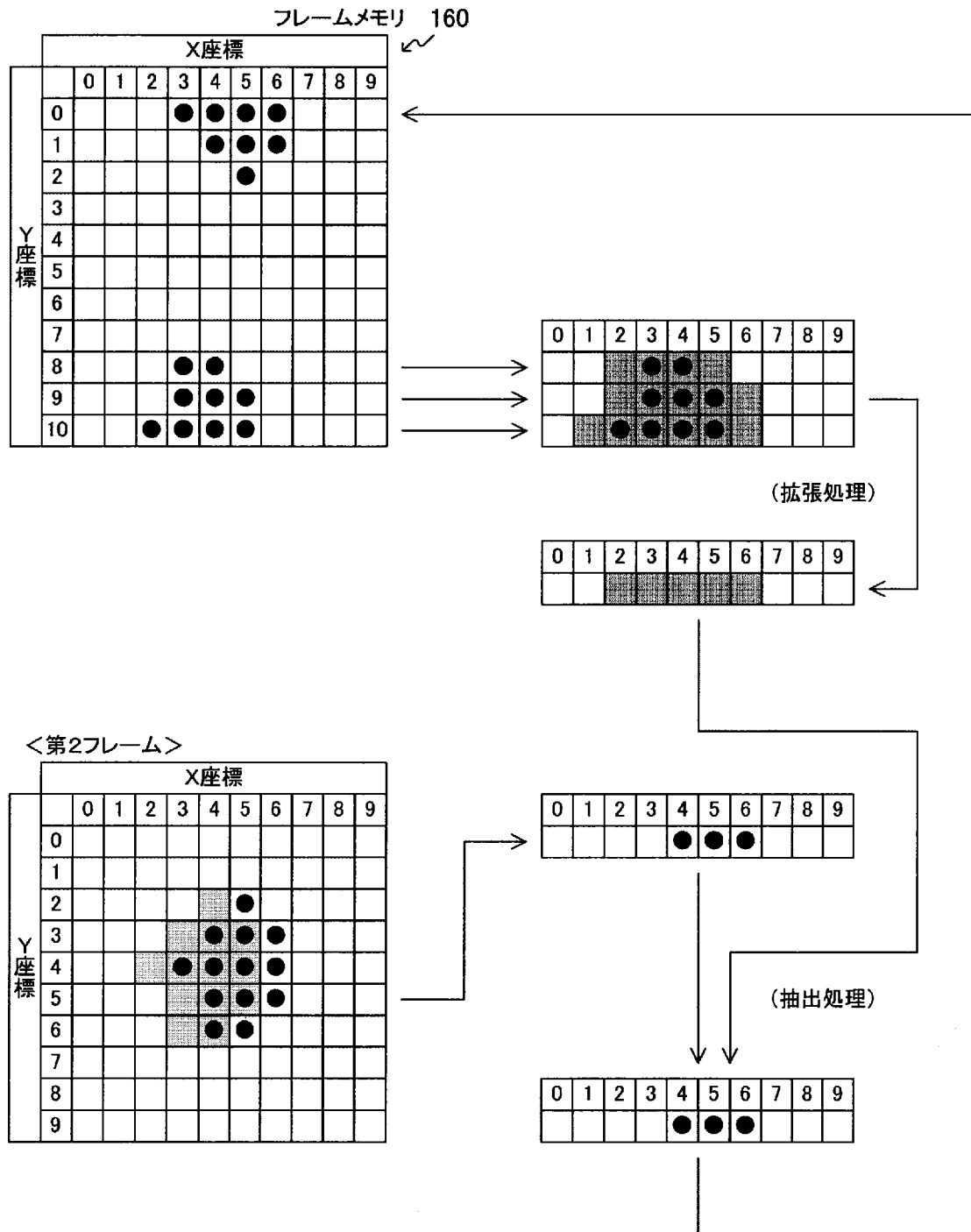
[図7]

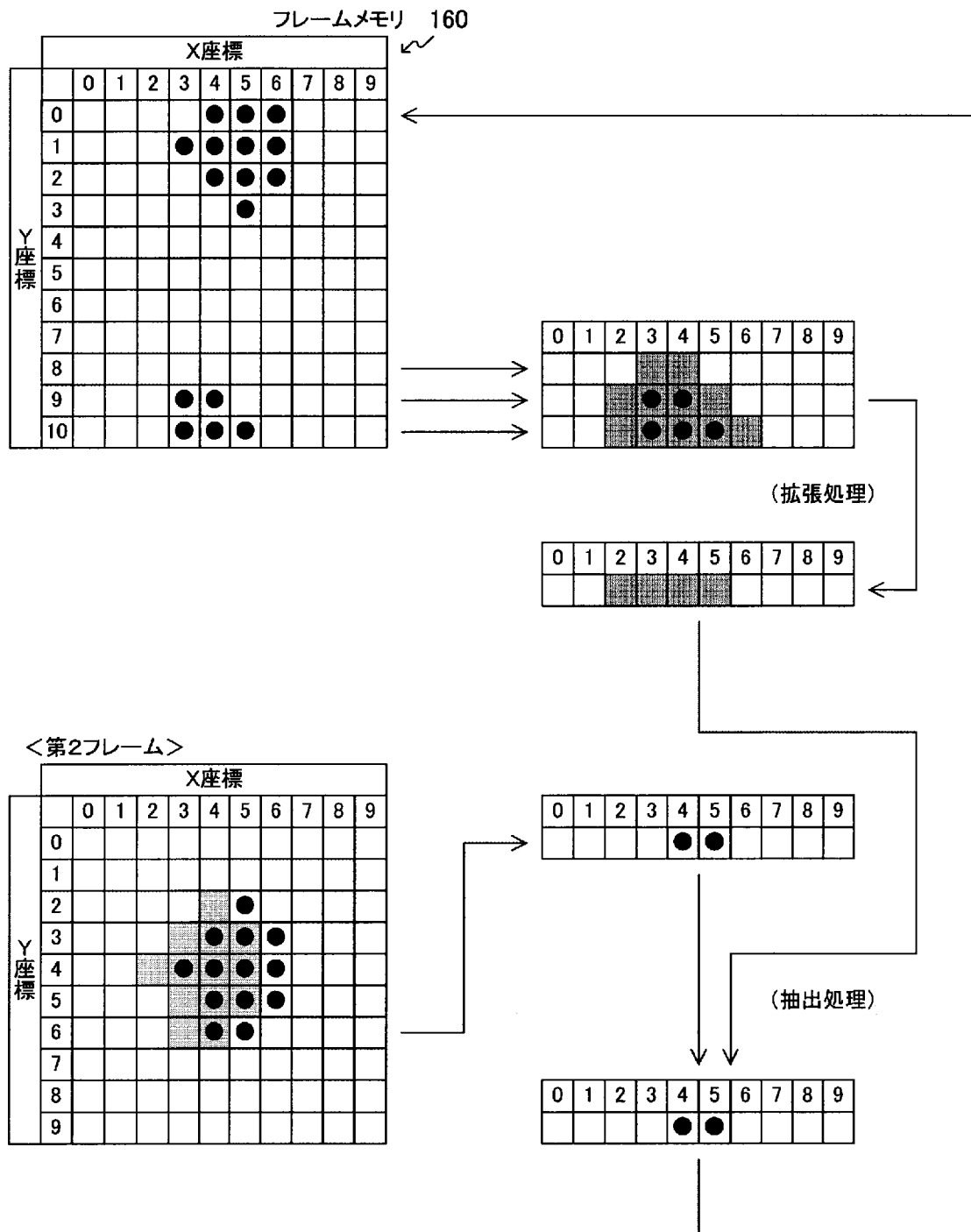


[図8]

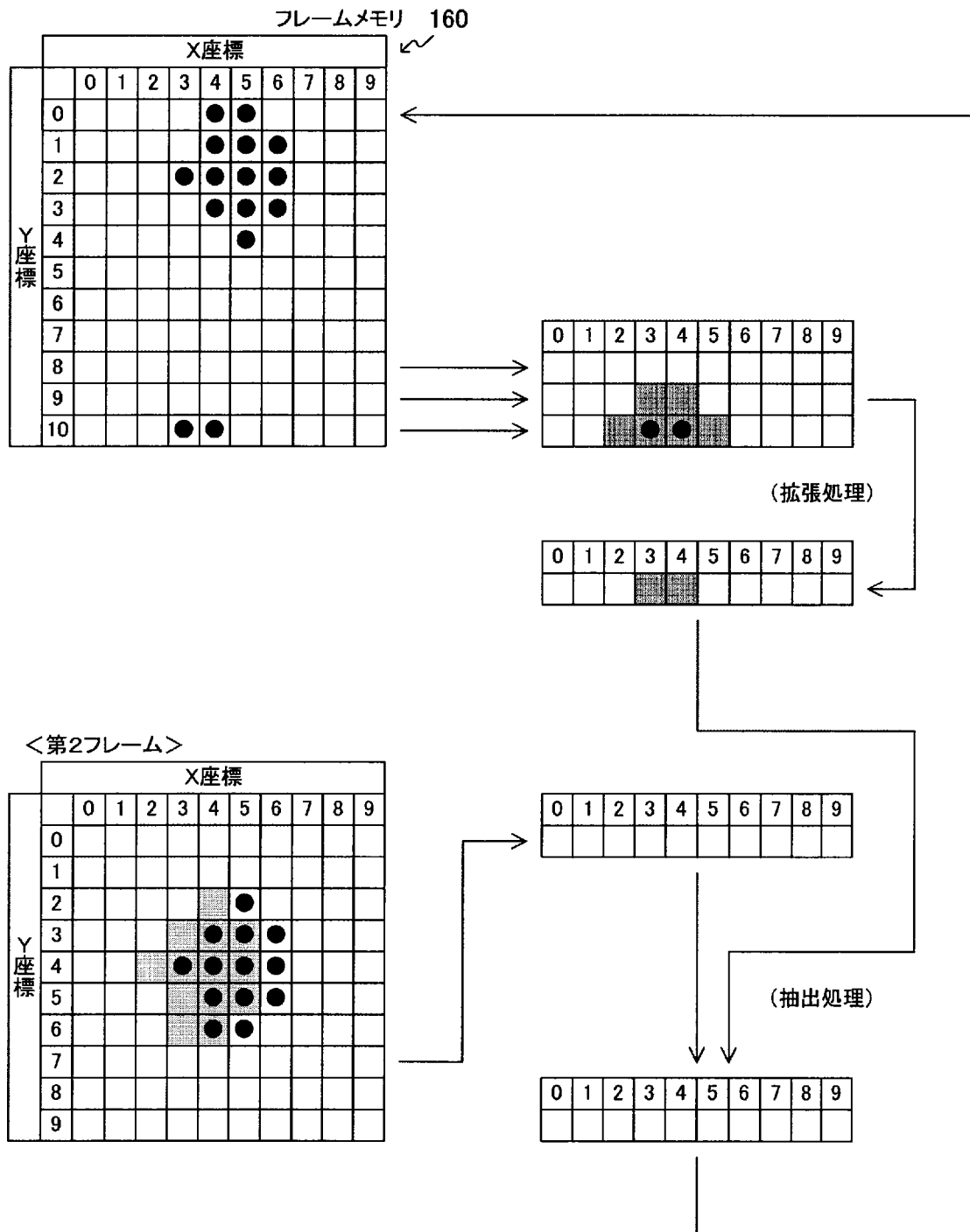


[図9]

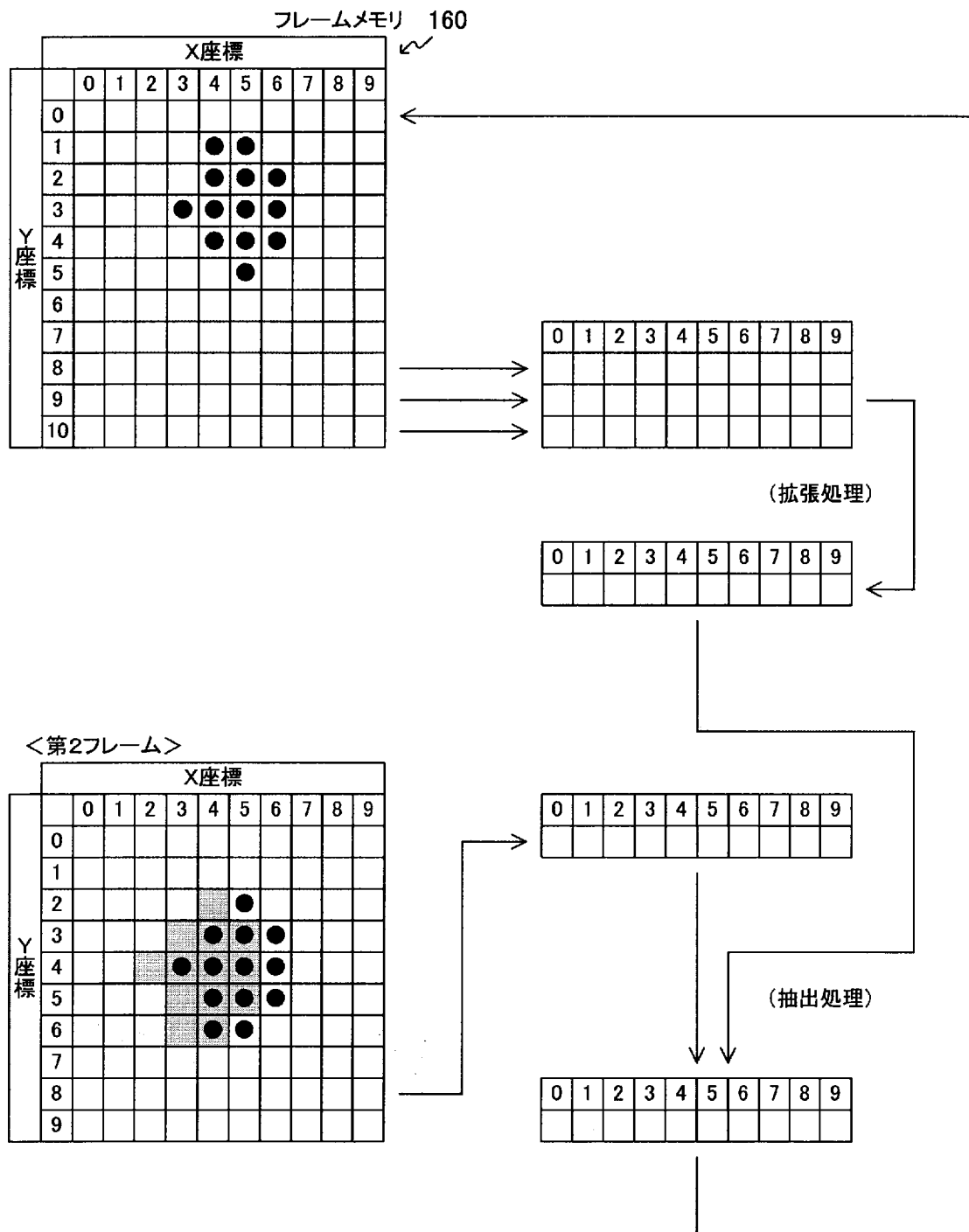




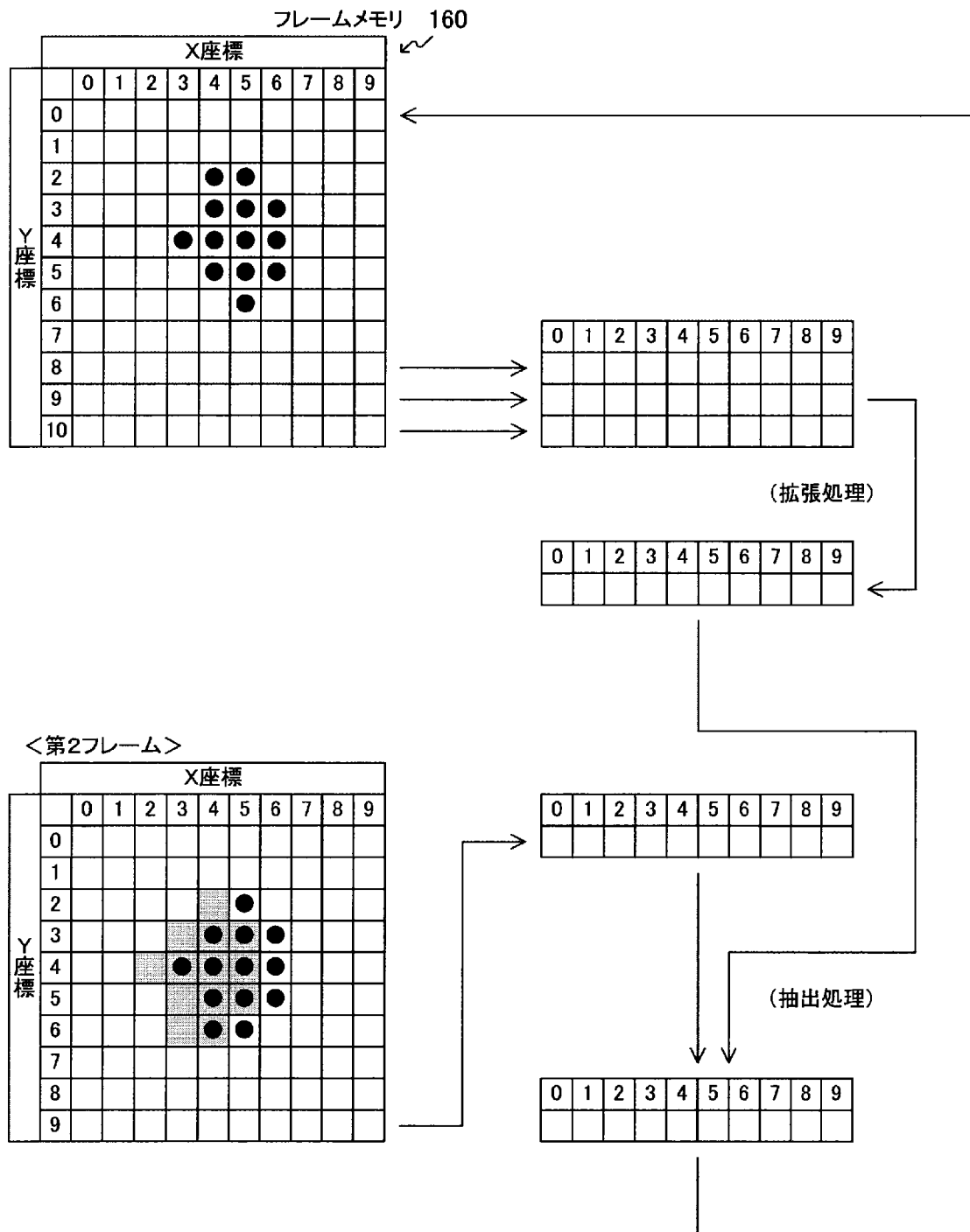
[図11]



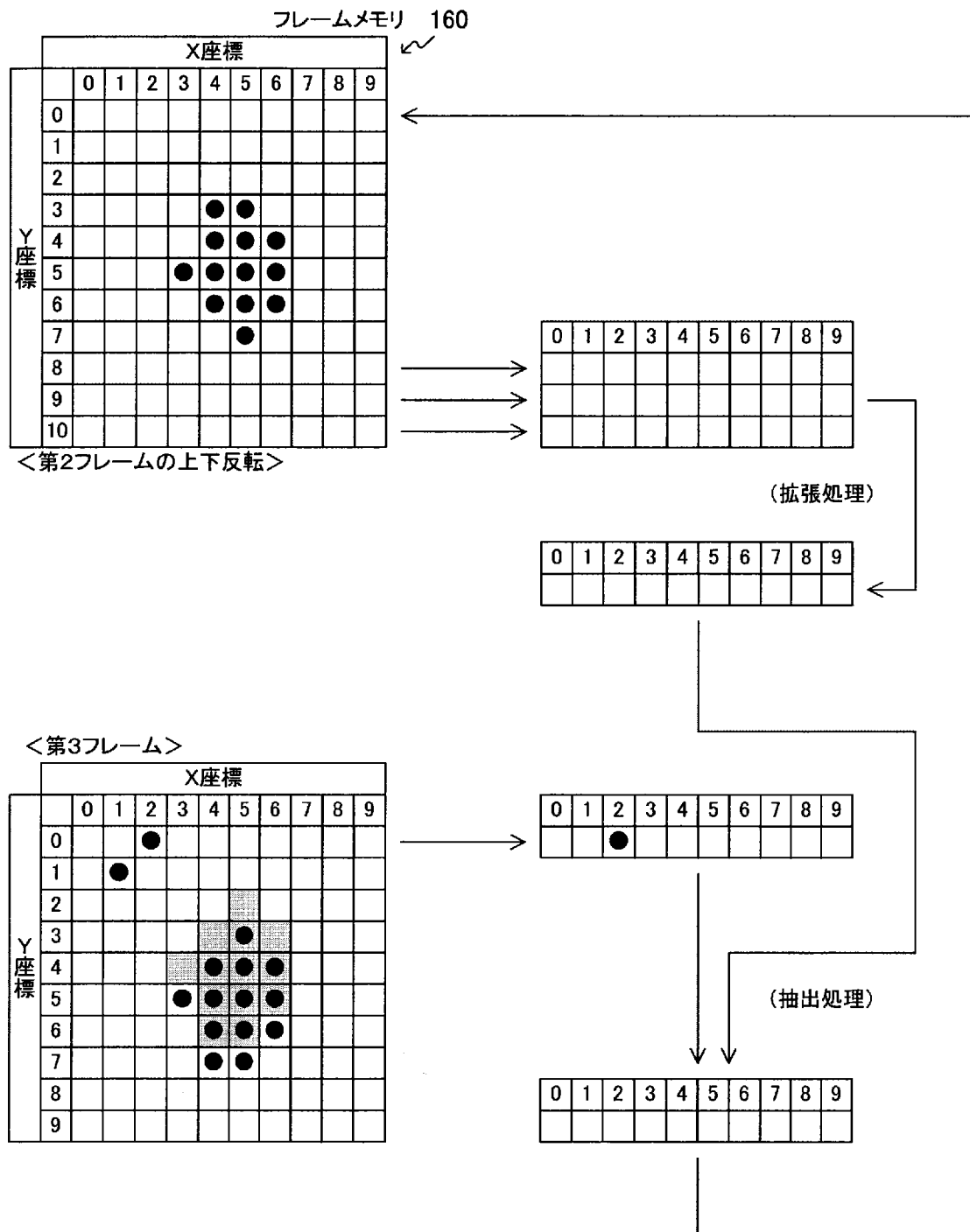
[図12]



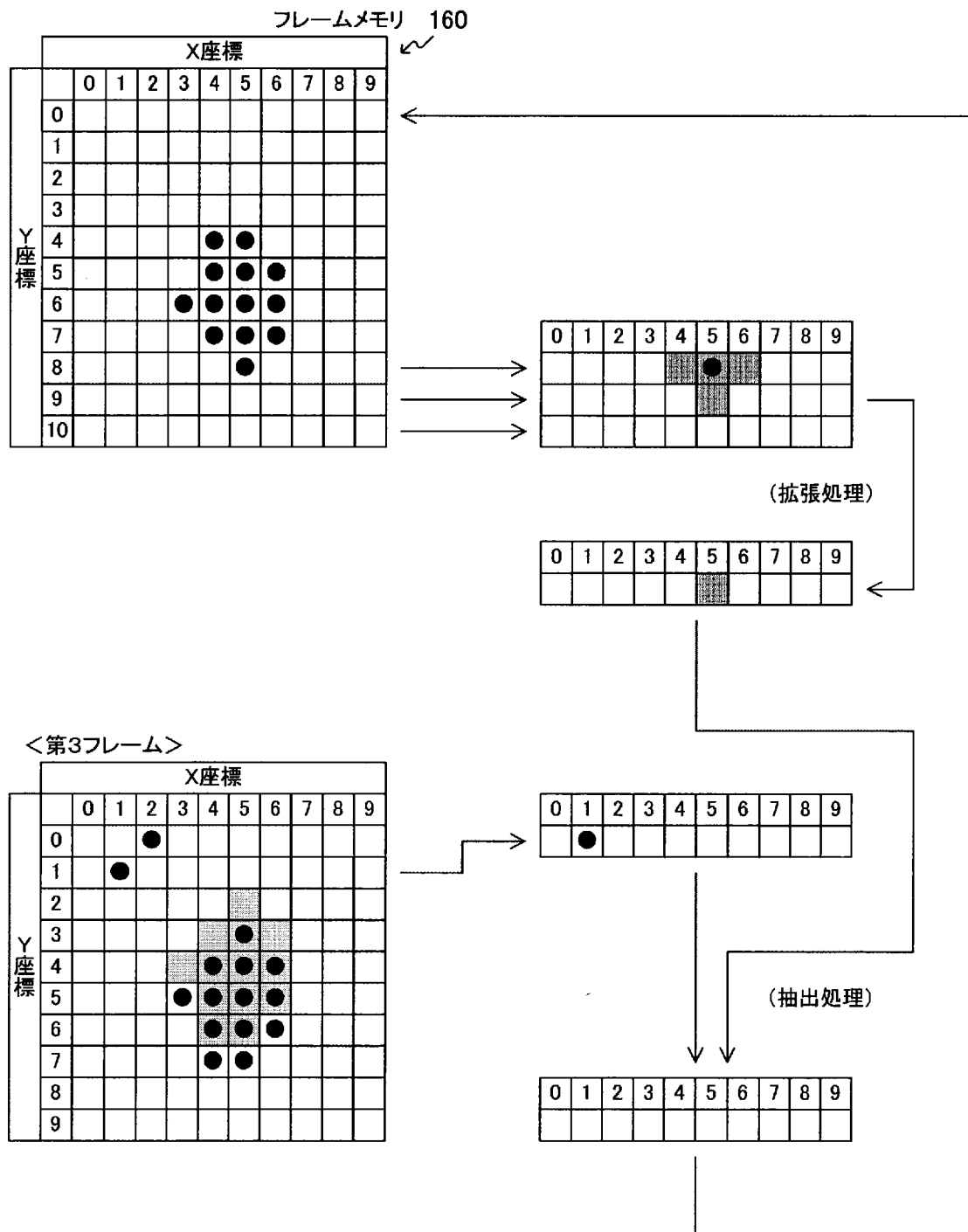
[図13]



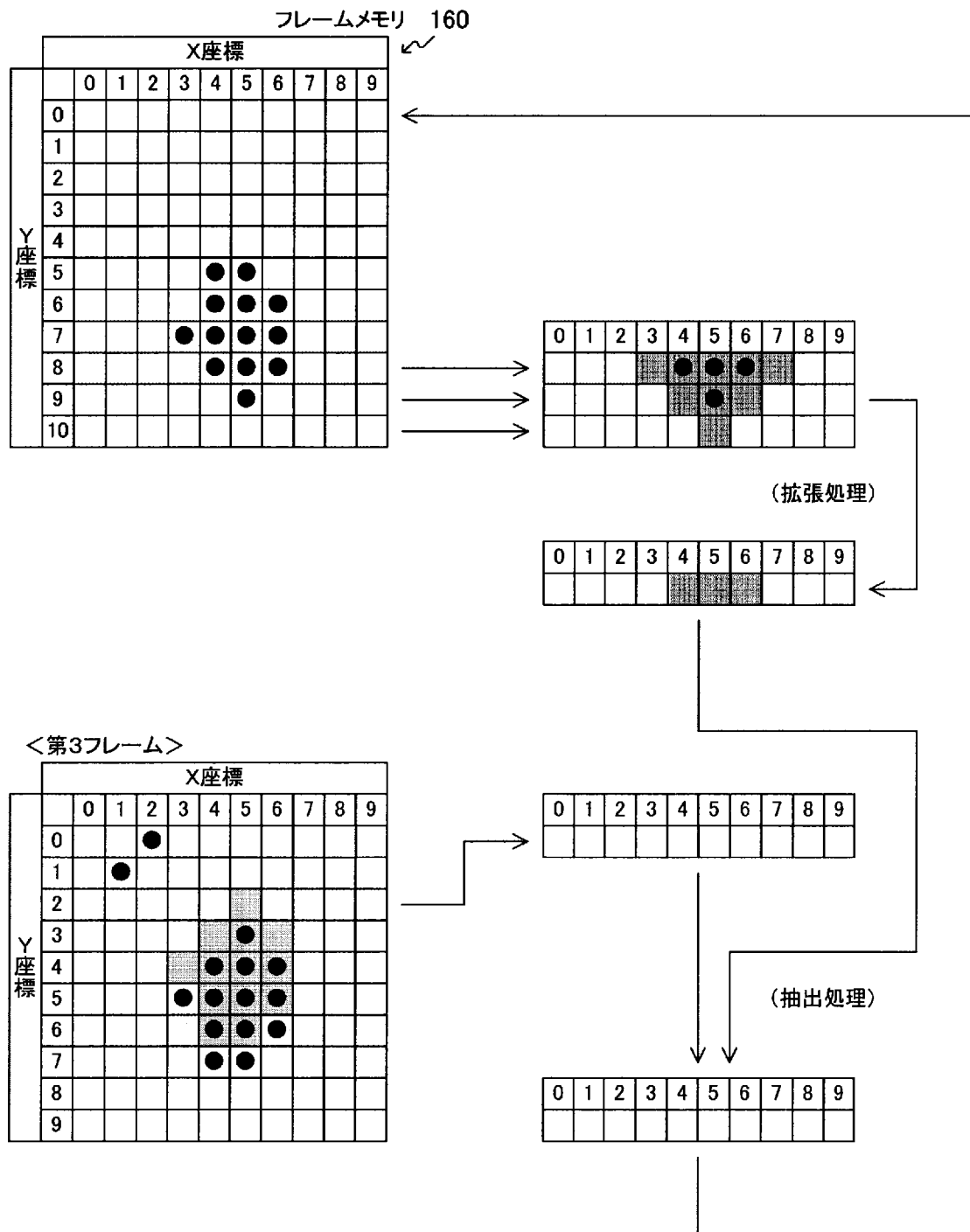
[図14]

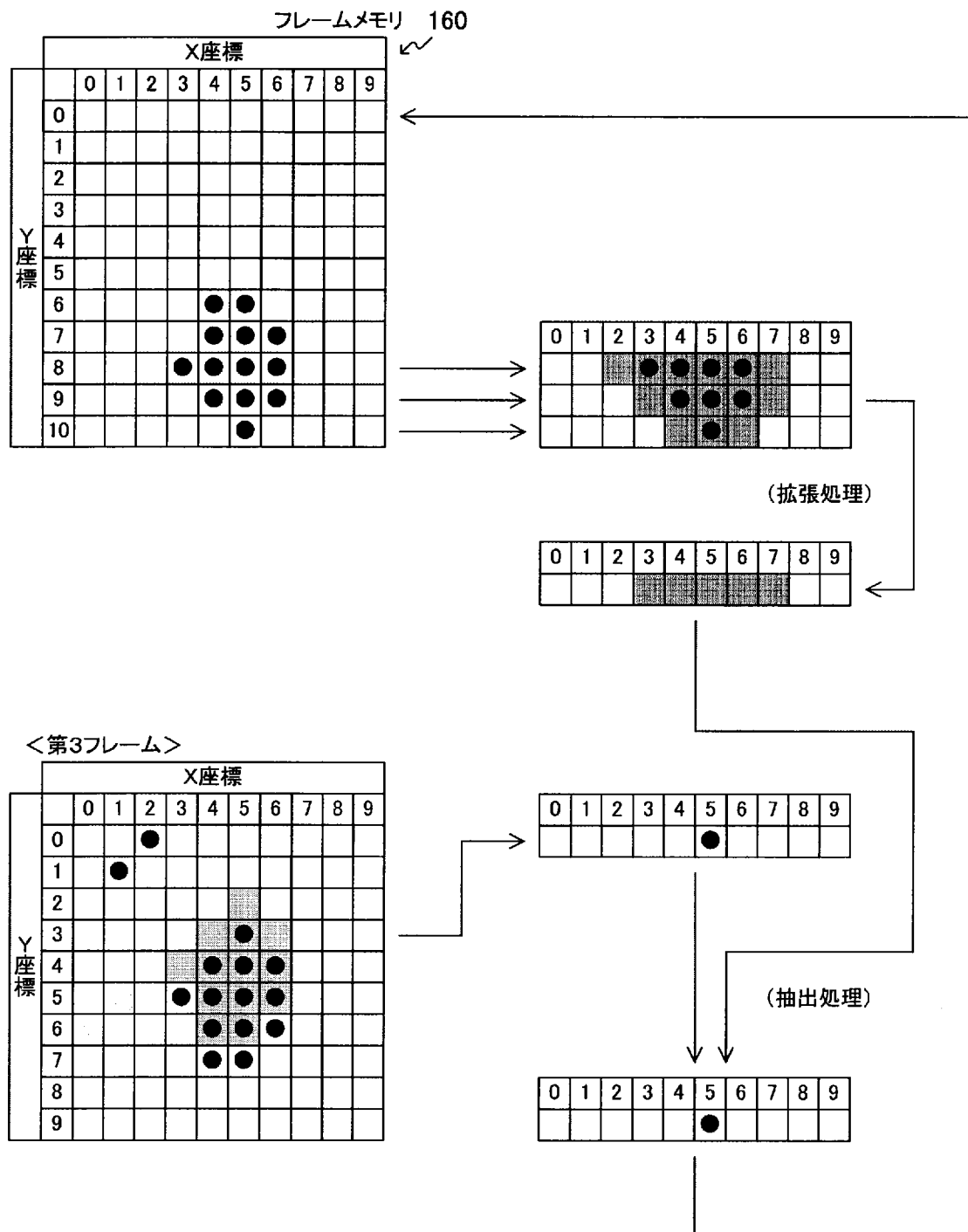


[図15]

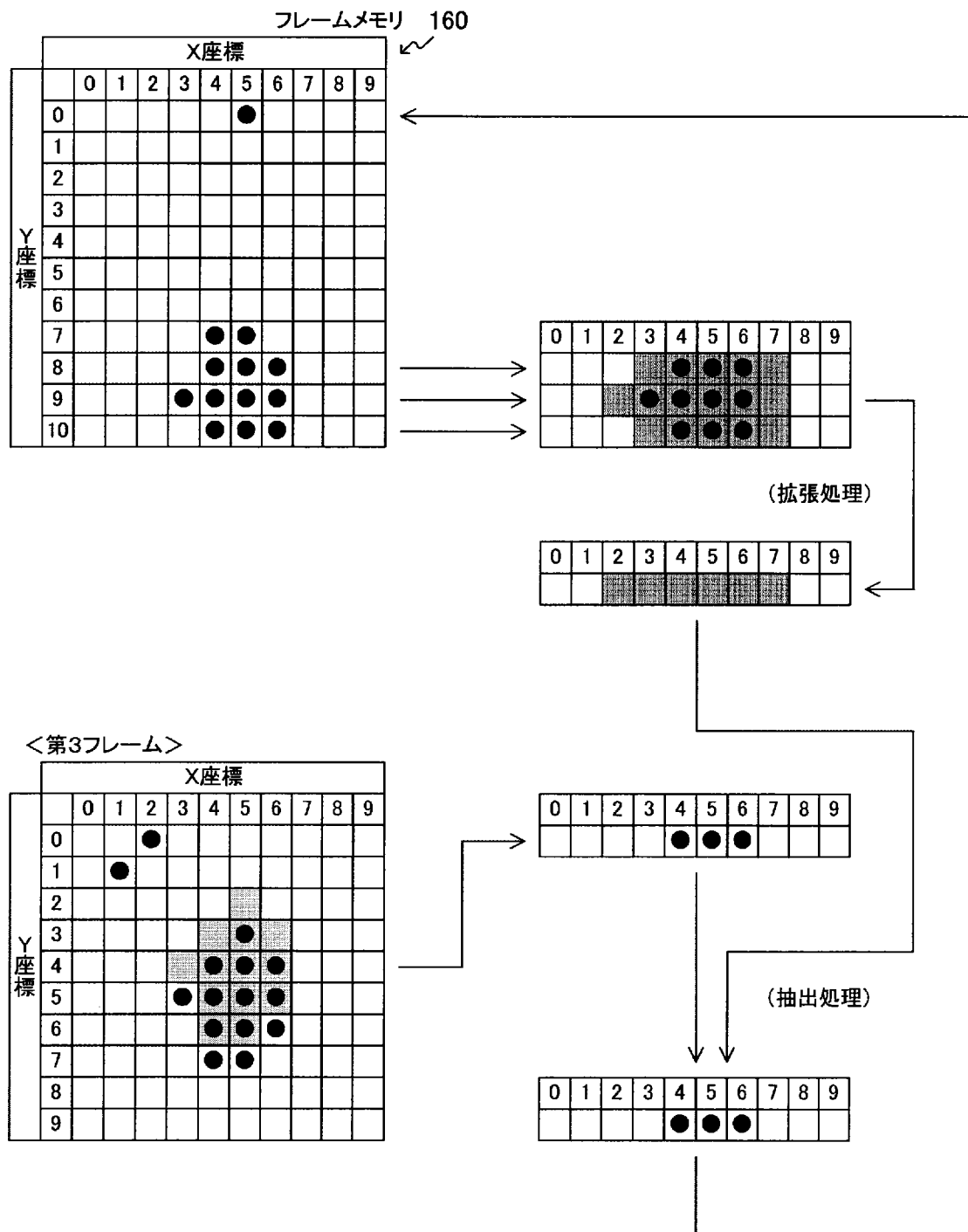


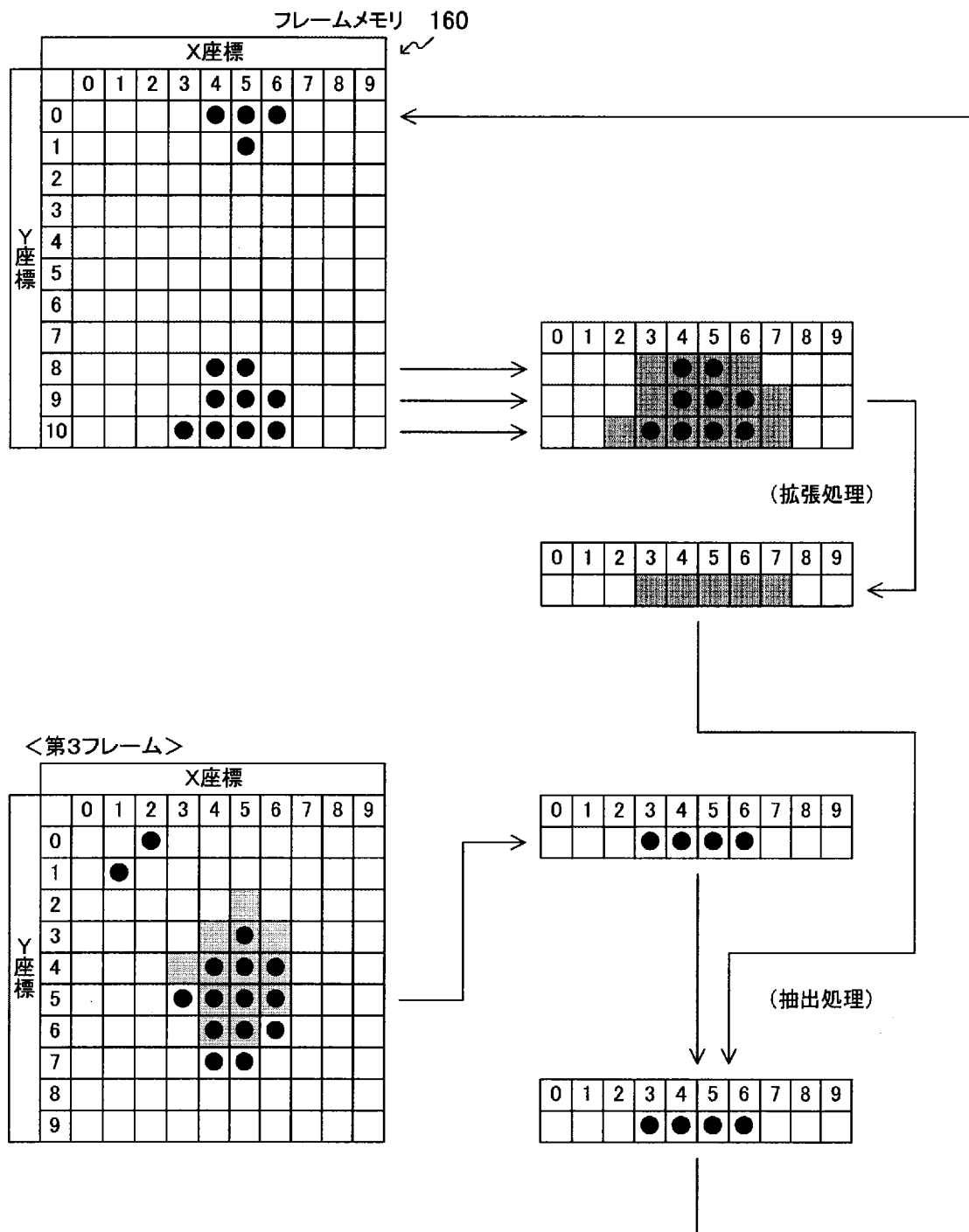
[図16]





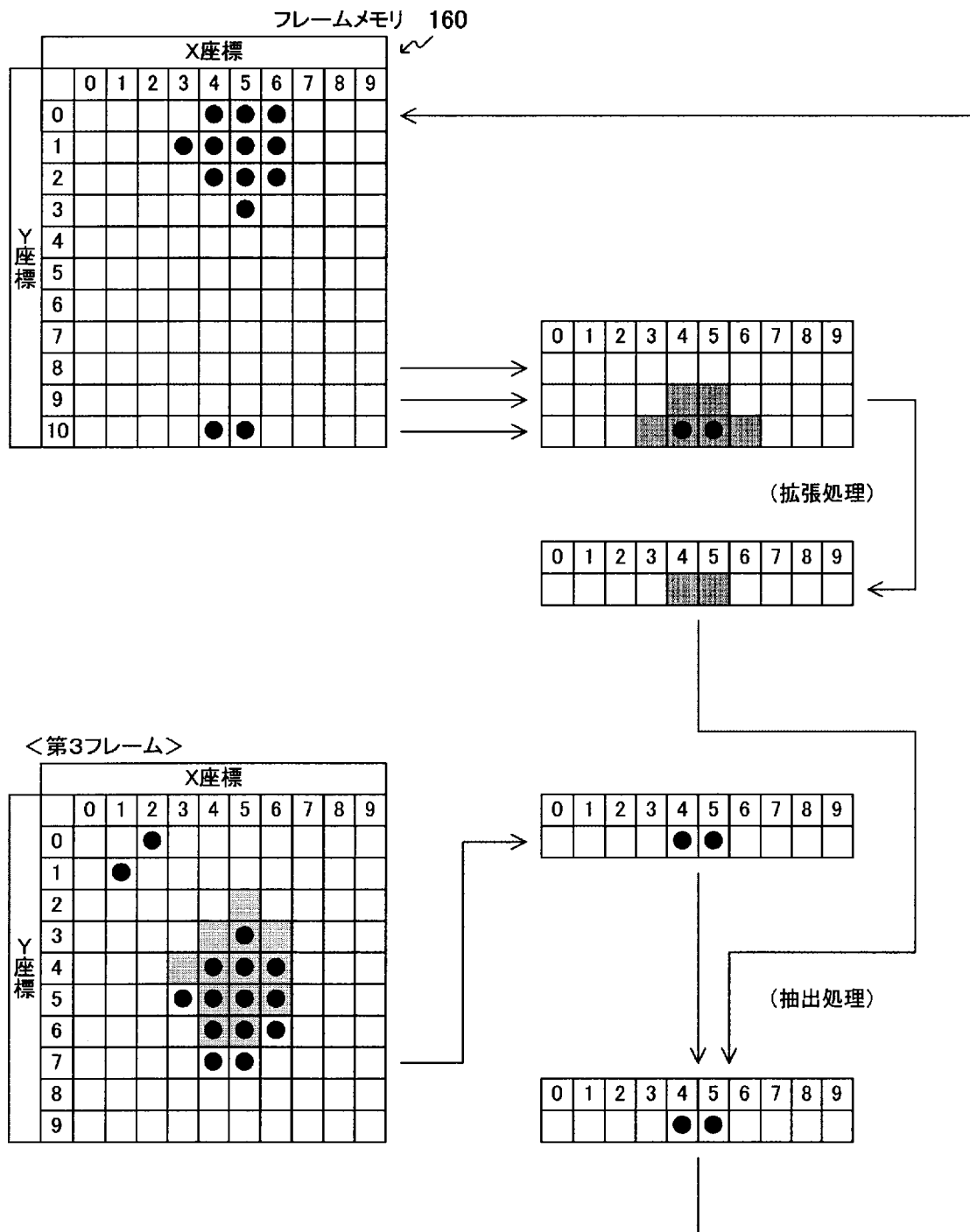
[図18]



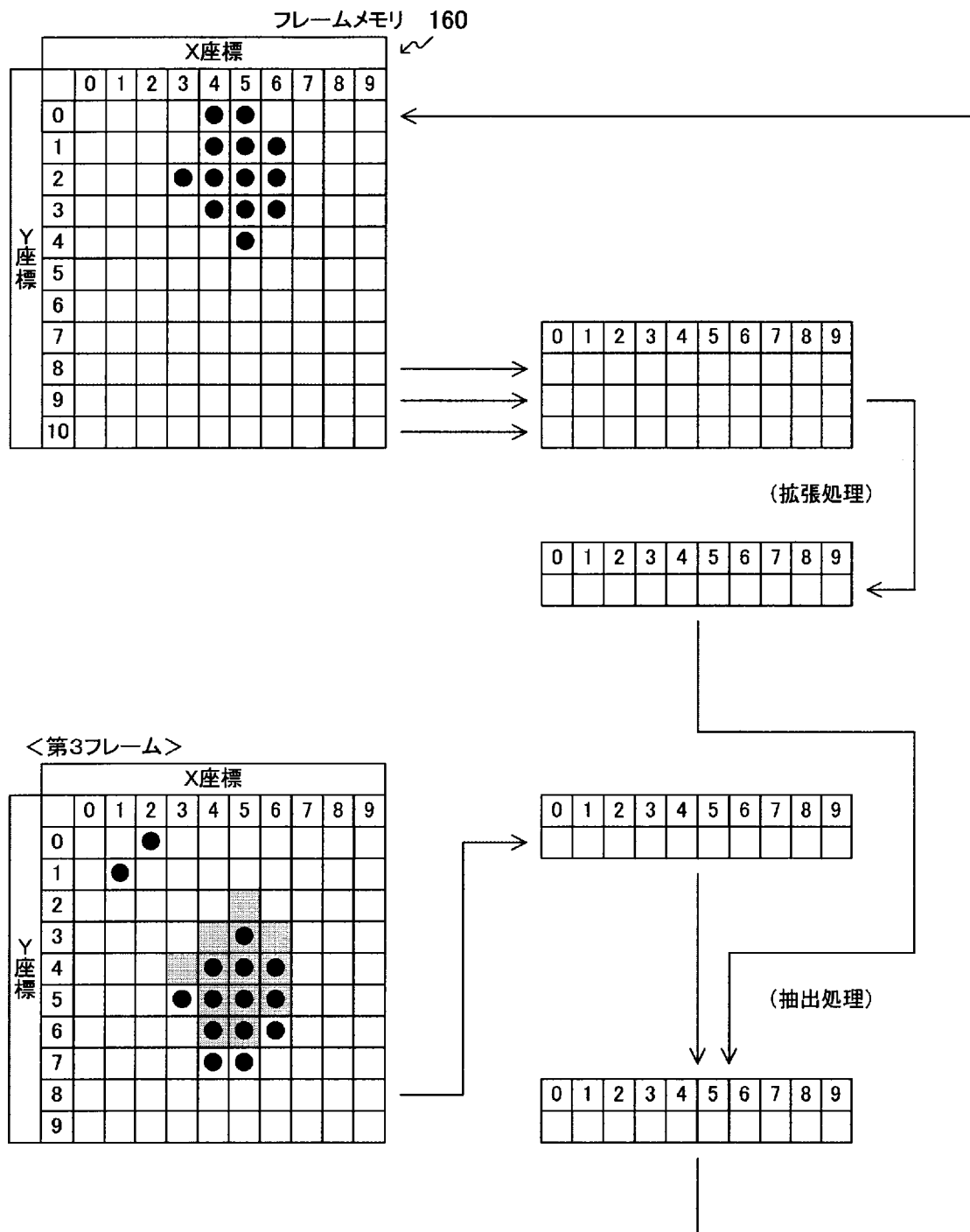




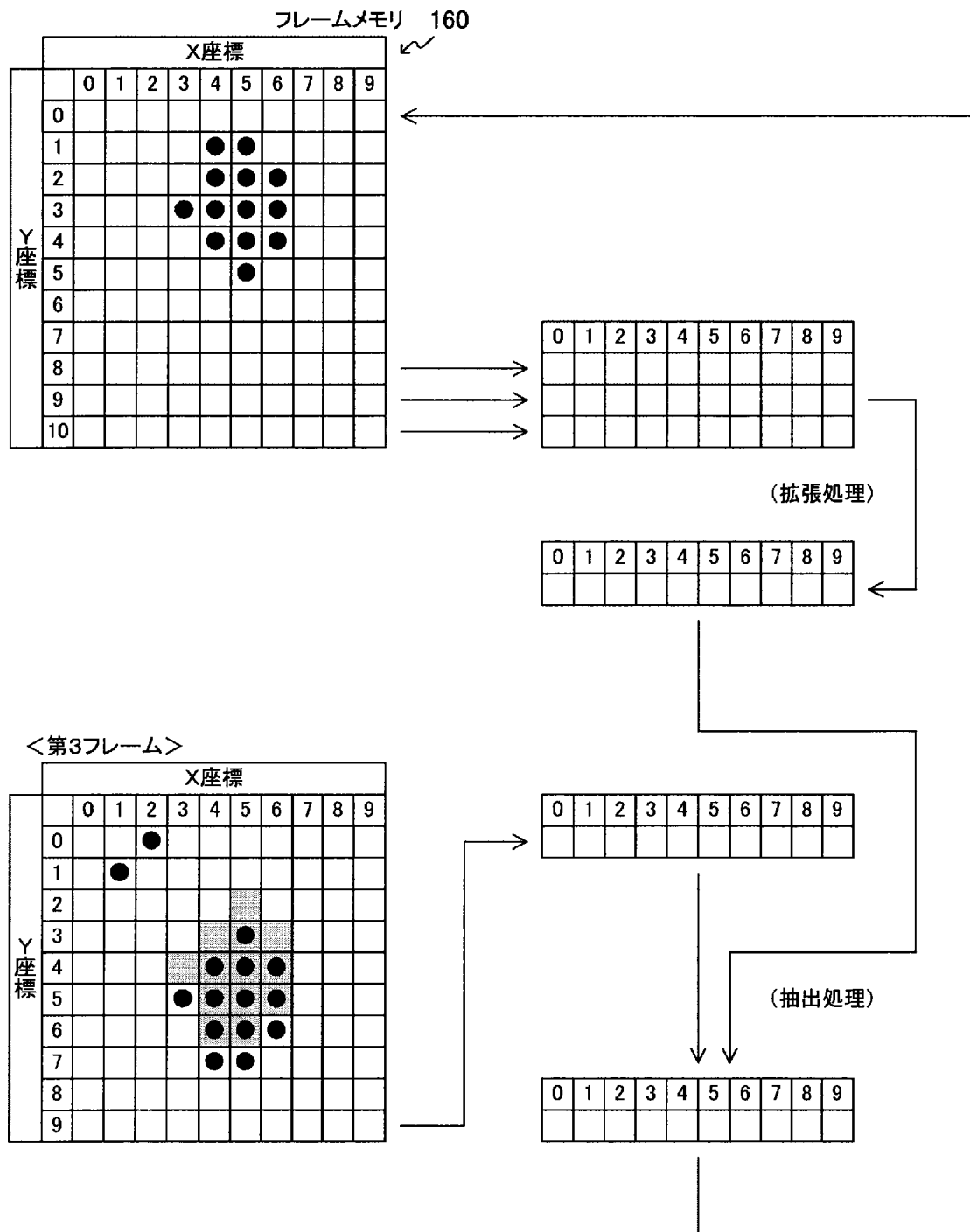
[図21]

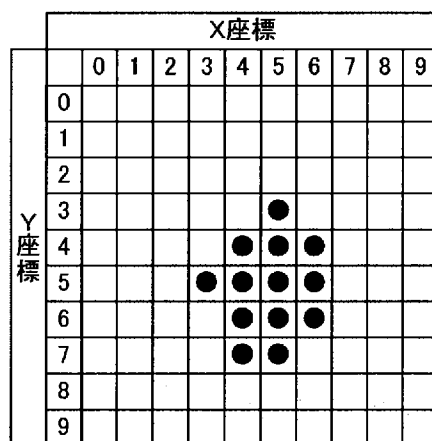


[図22]



[図23]

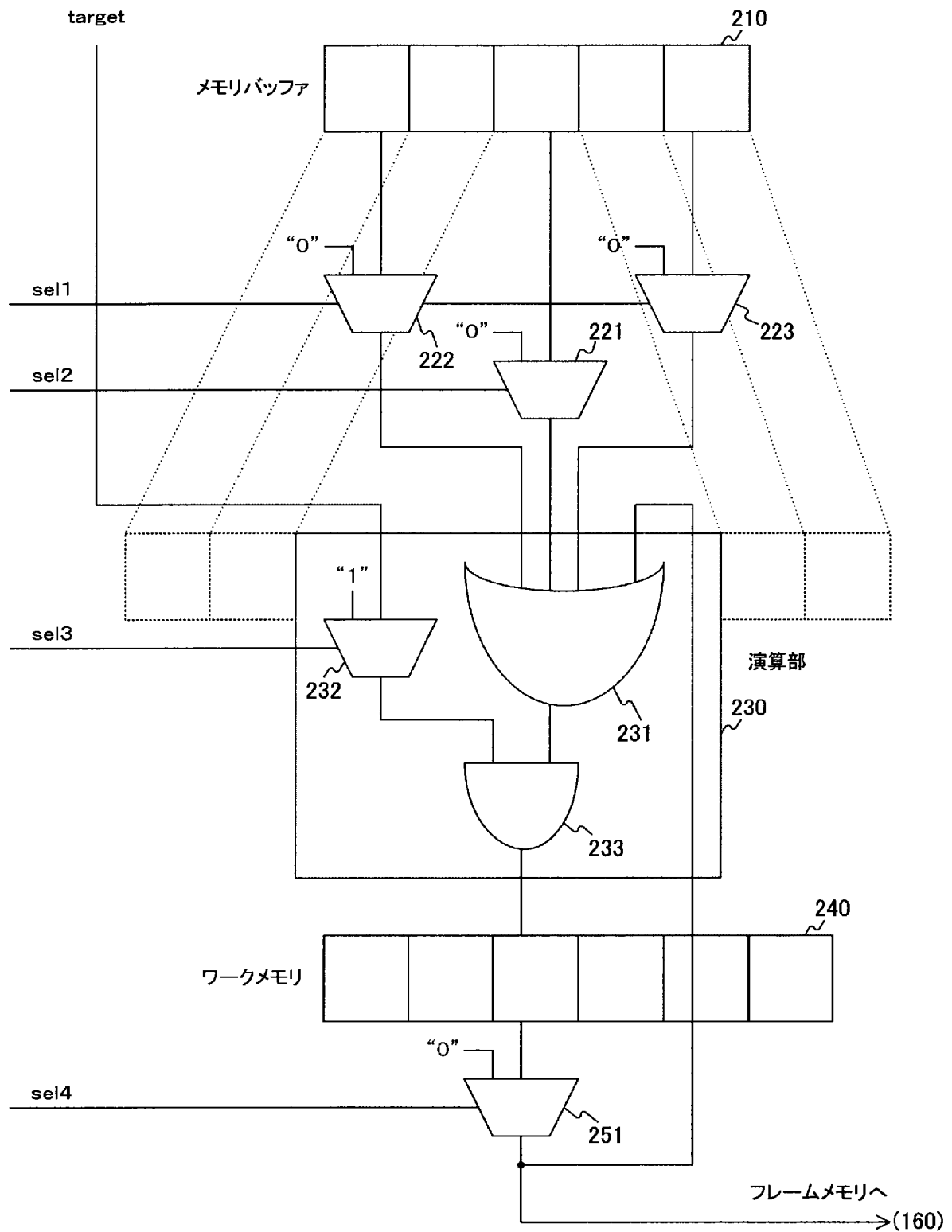




[図25]

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| R | G | R | G | R | G | R | G |
| G | B | G | B | G | B | G | B |
| R | G | R | G | R | G | R | G |
| G | B | G | B | G | B | G | B |
| R | G | R | G | R | G | R | G |
| G | B | G | B | G | B | G | B |
| R | G | R | G | R | G | R | G |
| G | B | G | B | G | B | G | B |

[図26]



第(m-1)列 第m列 第(m+1)列

160

第(n+1)行

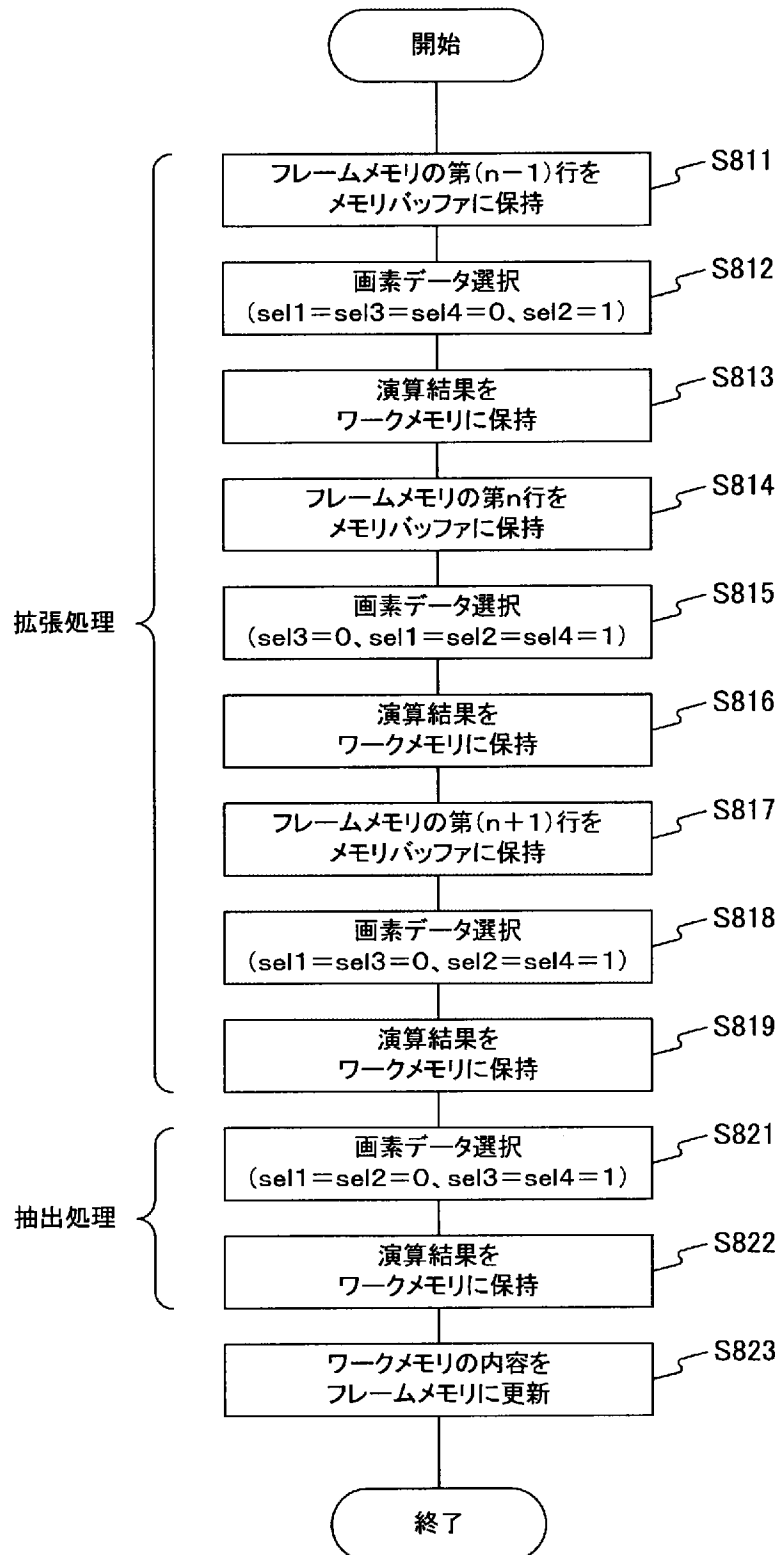
611

第n行

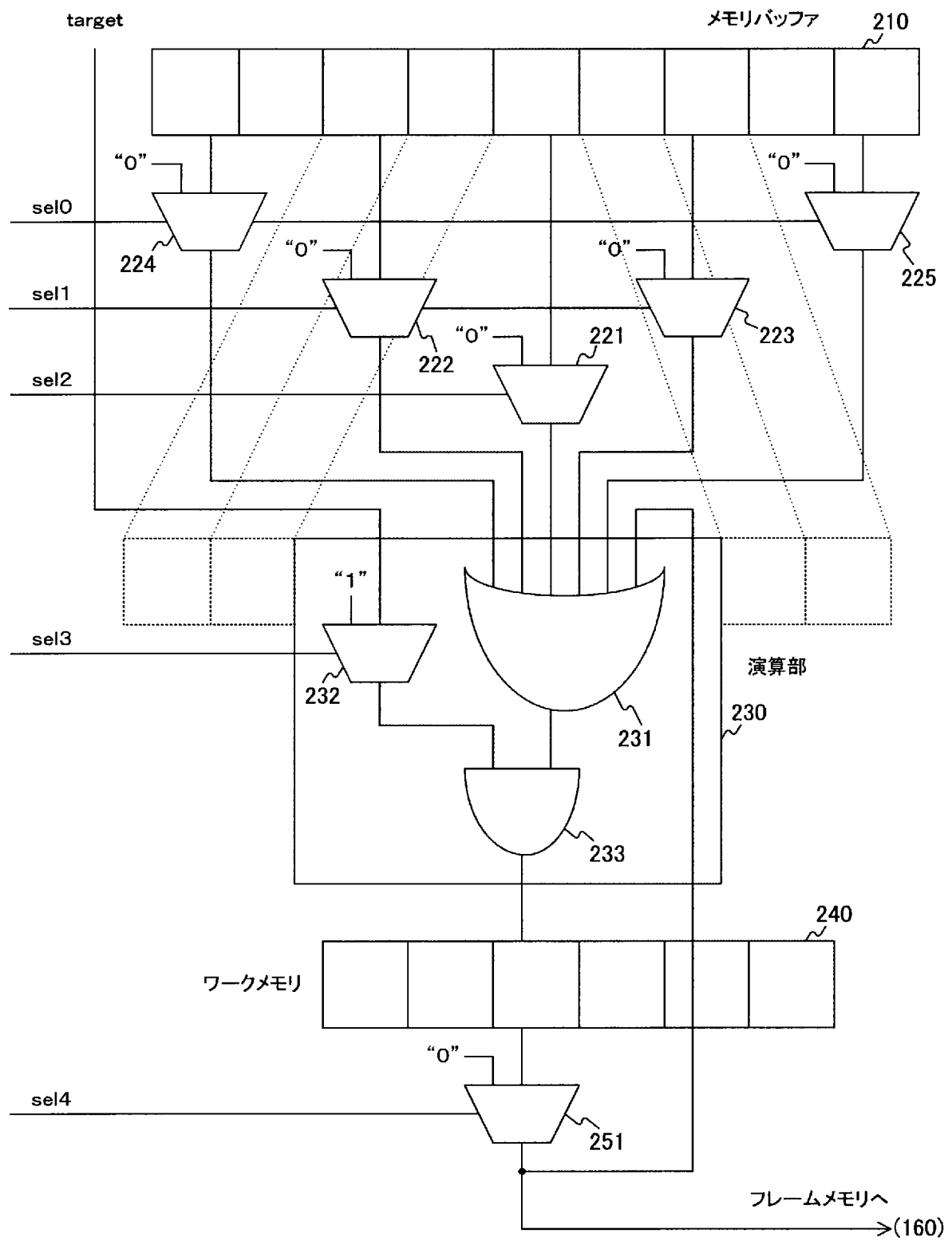
612

第(n-1)行

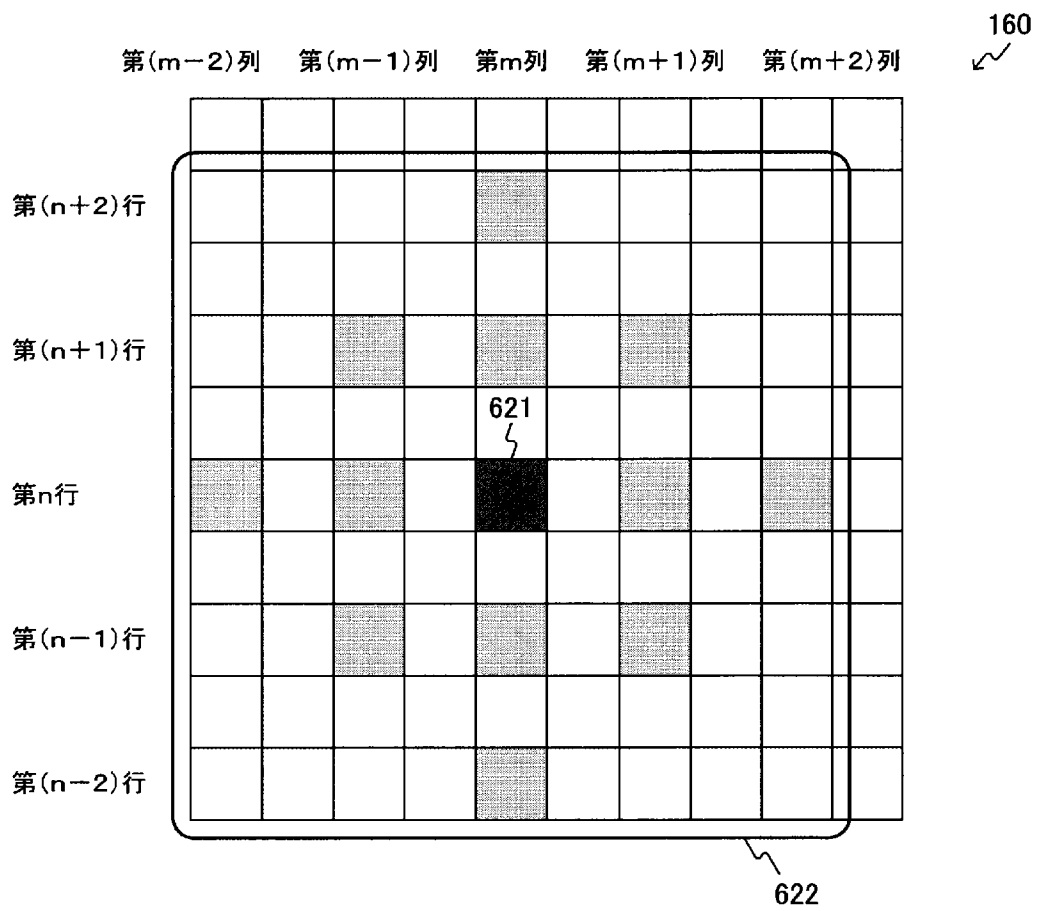
[図28]



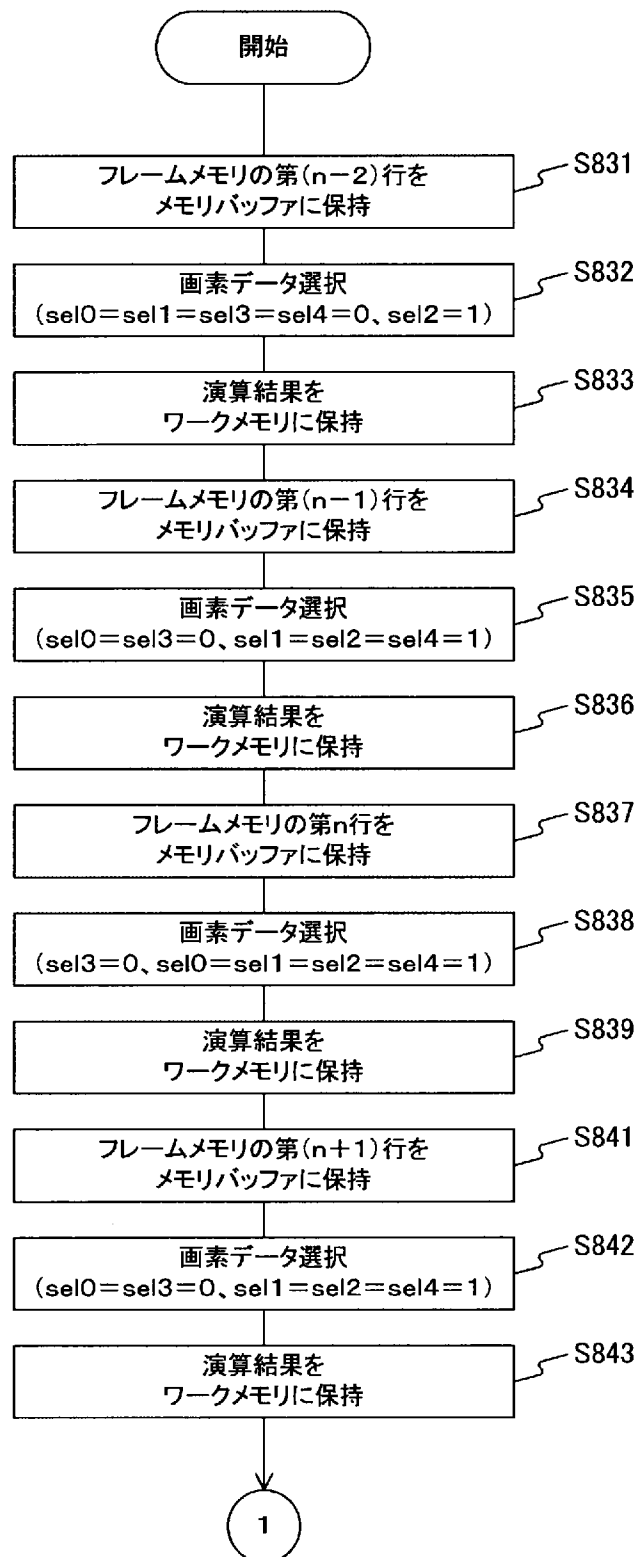
[図29]



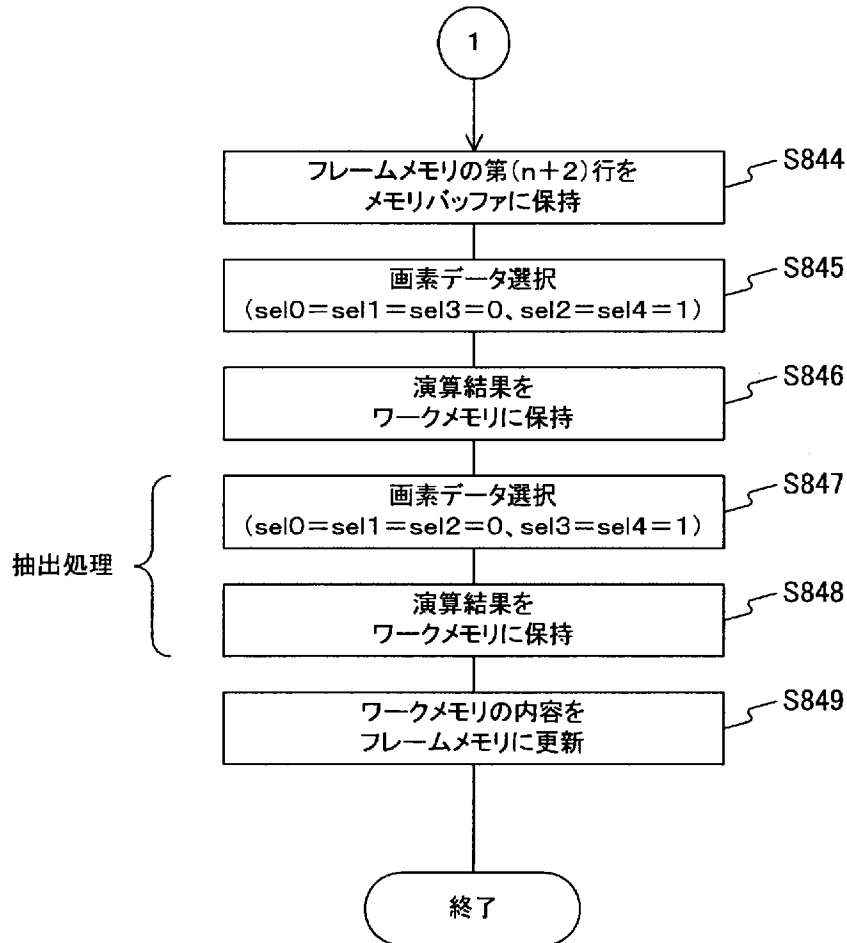
[図30]



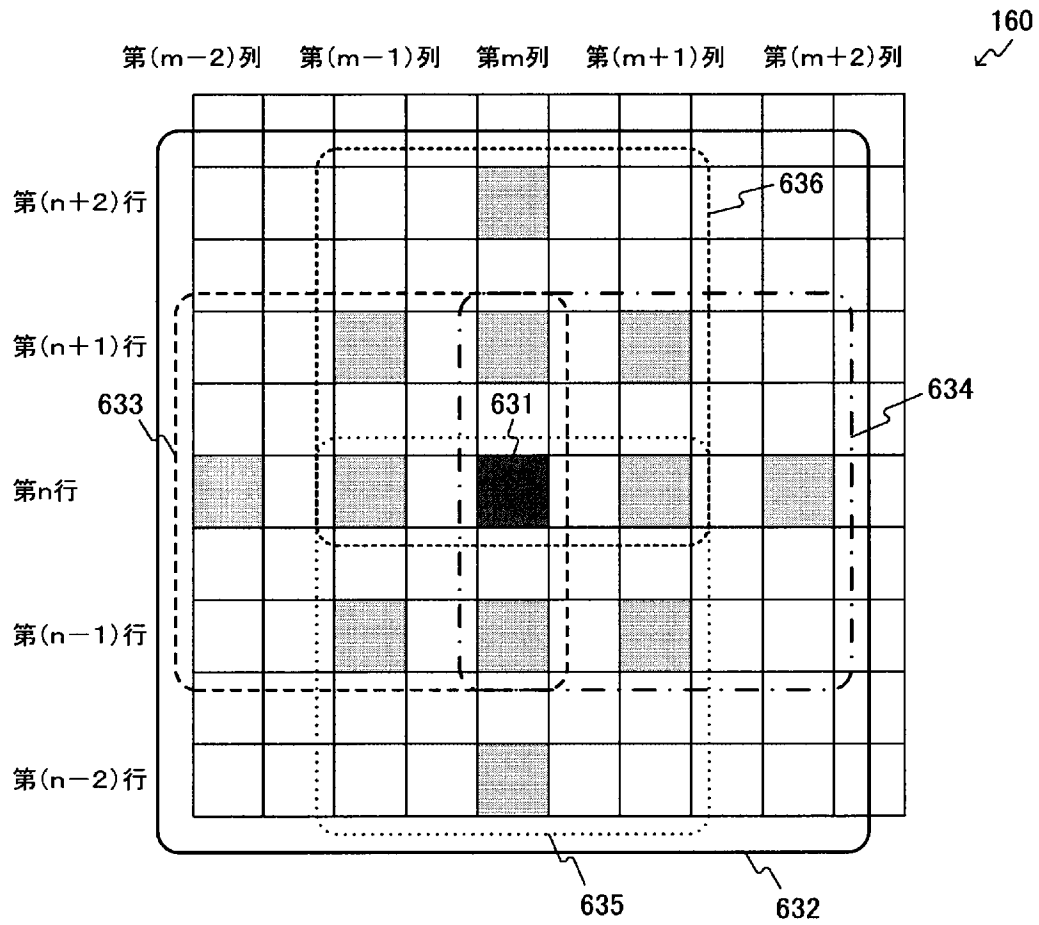
[図31]



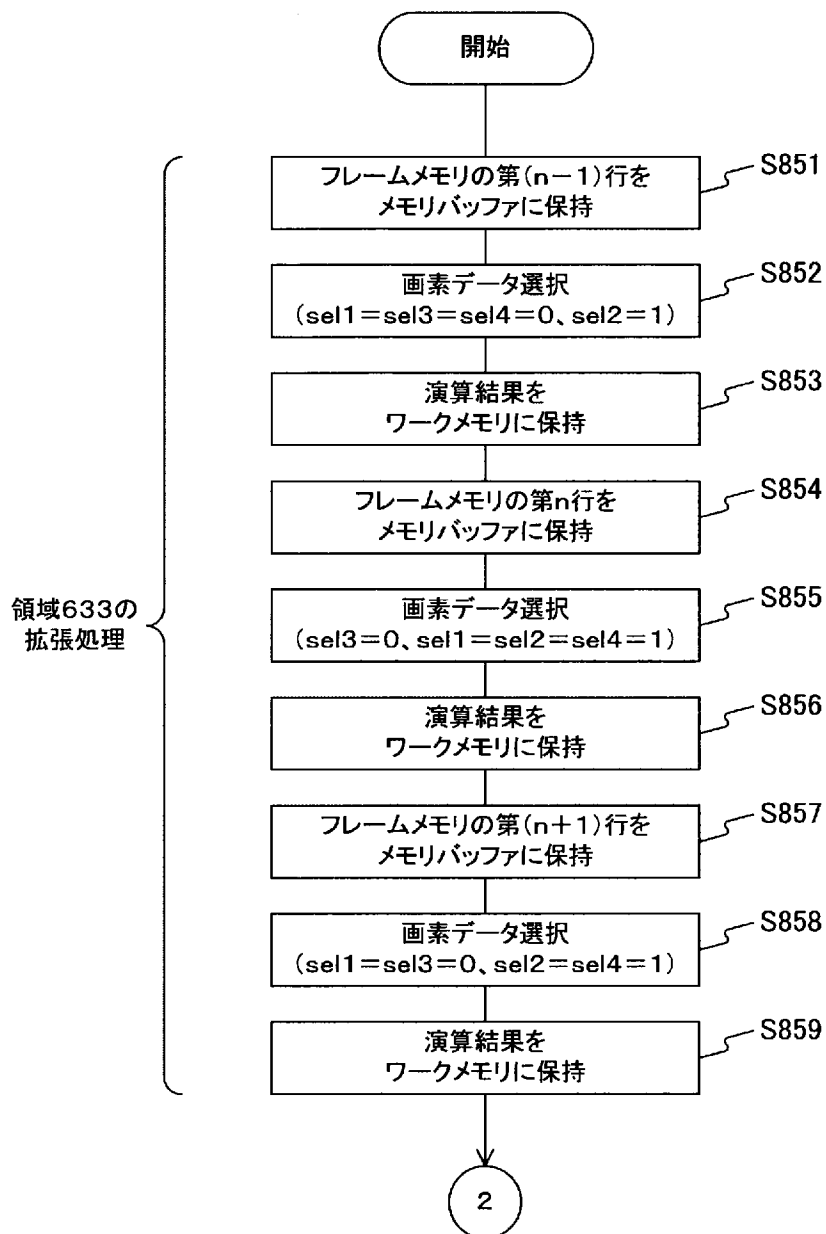
[図32]



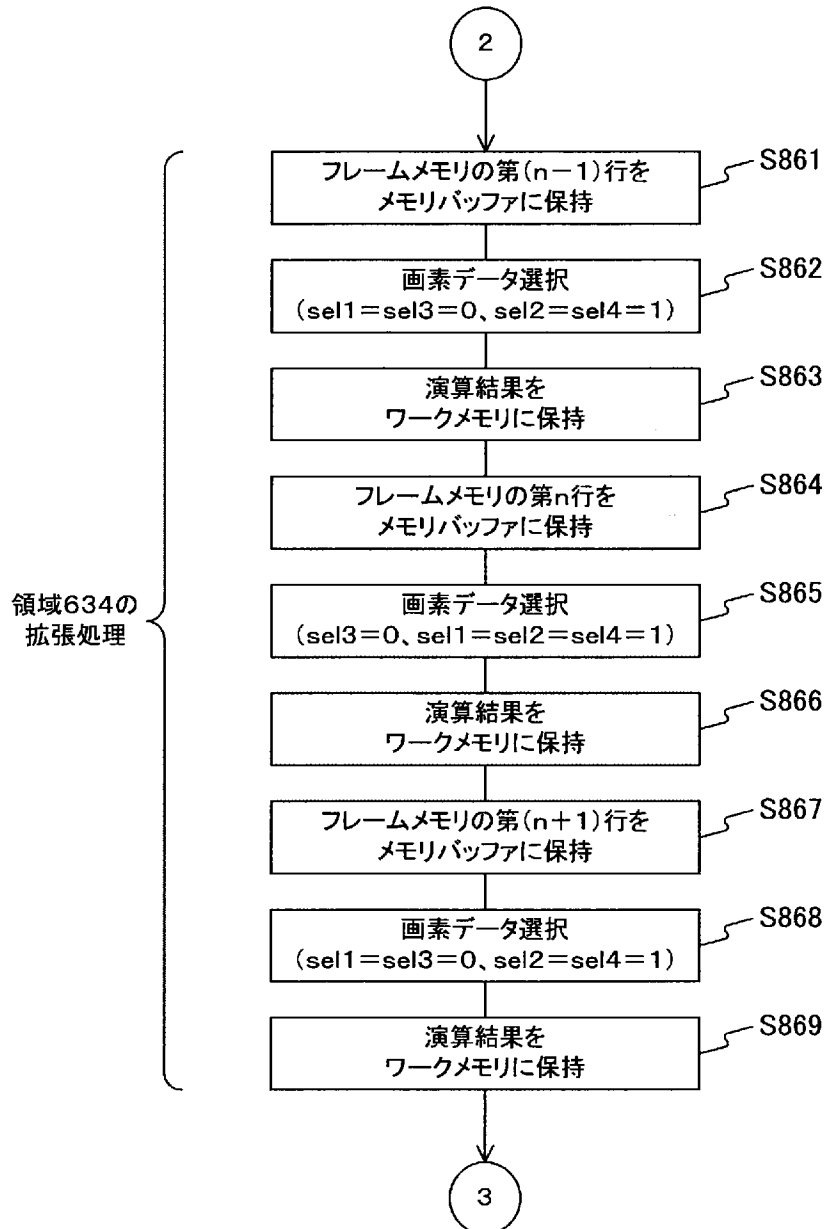
[図33]



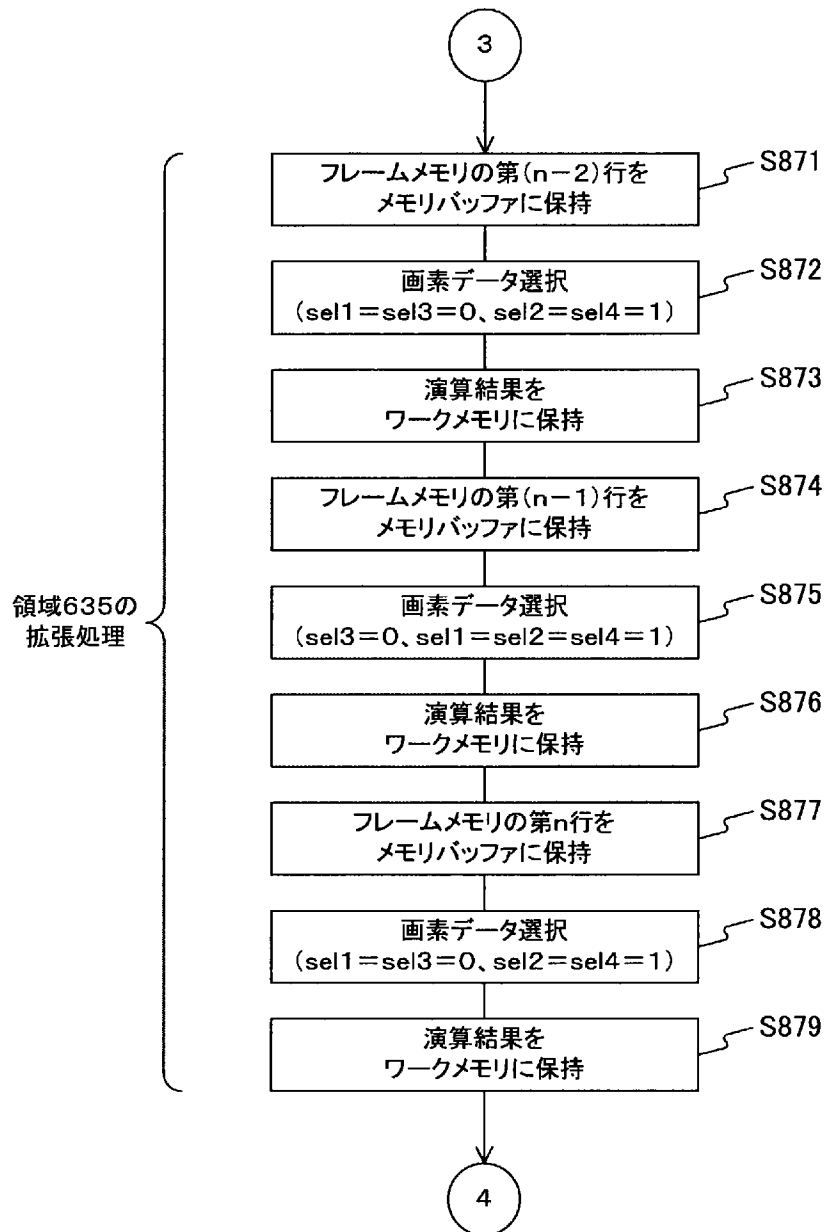
[図34]



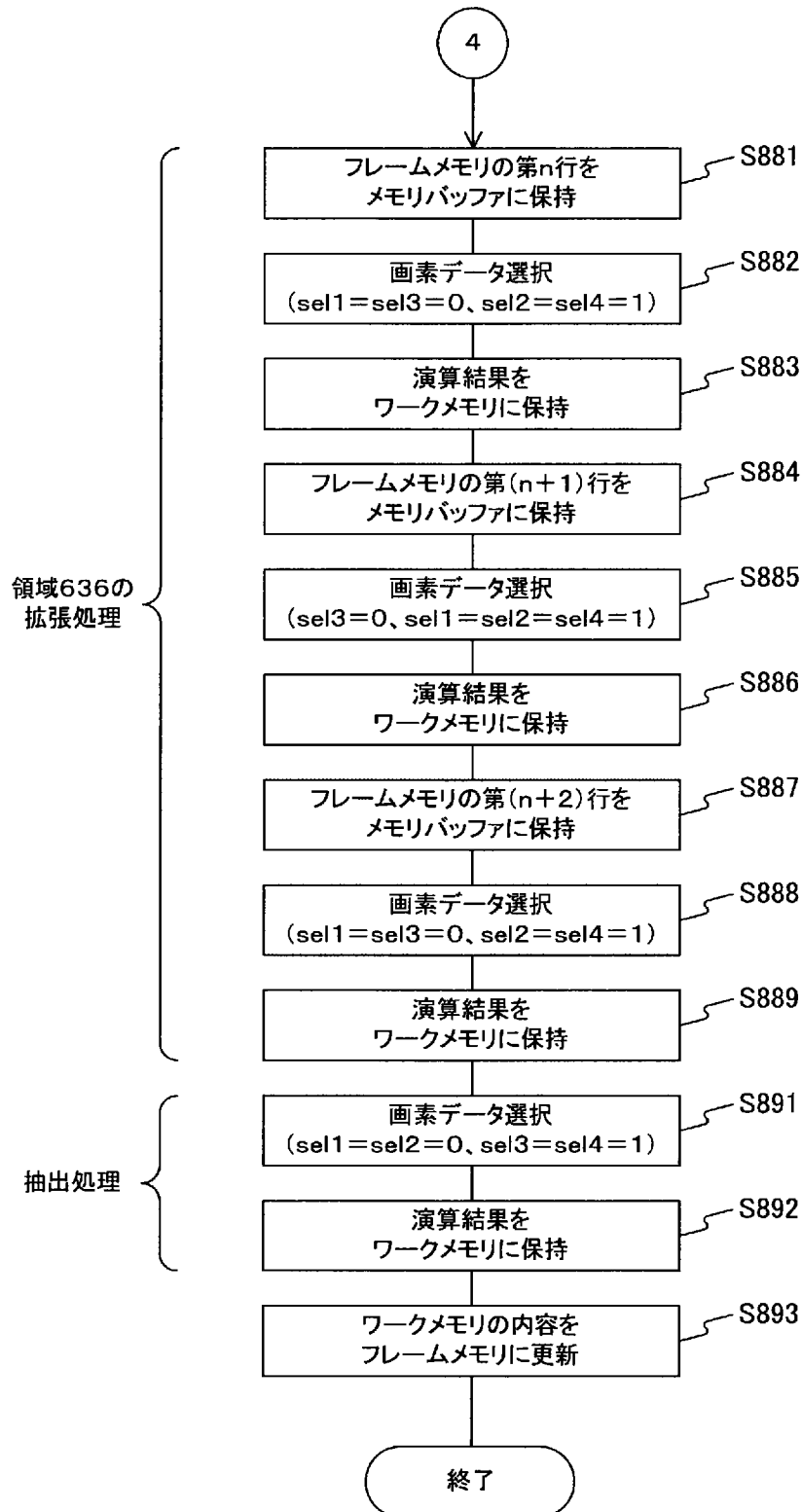
[図35]



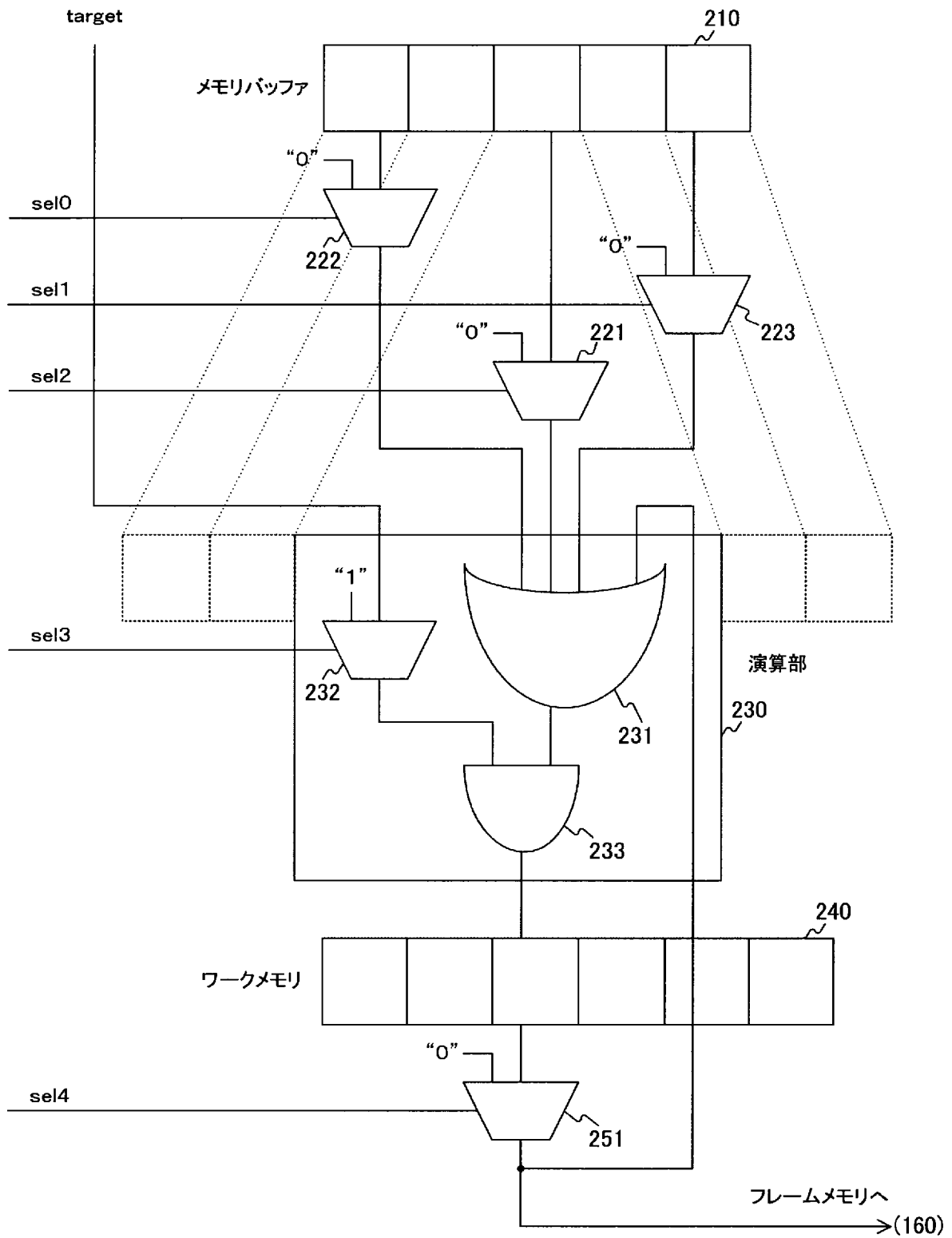
[図36]



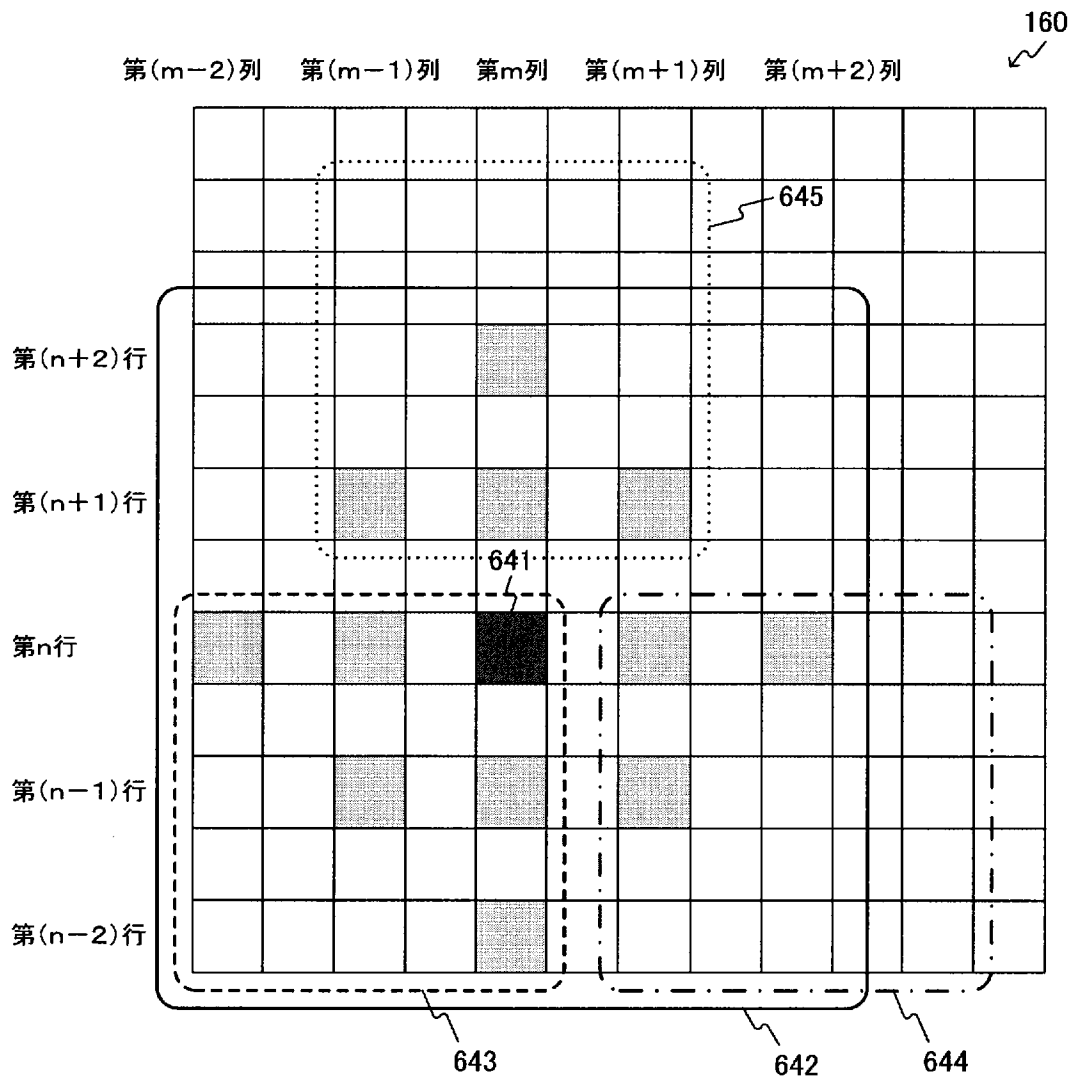
[図37]



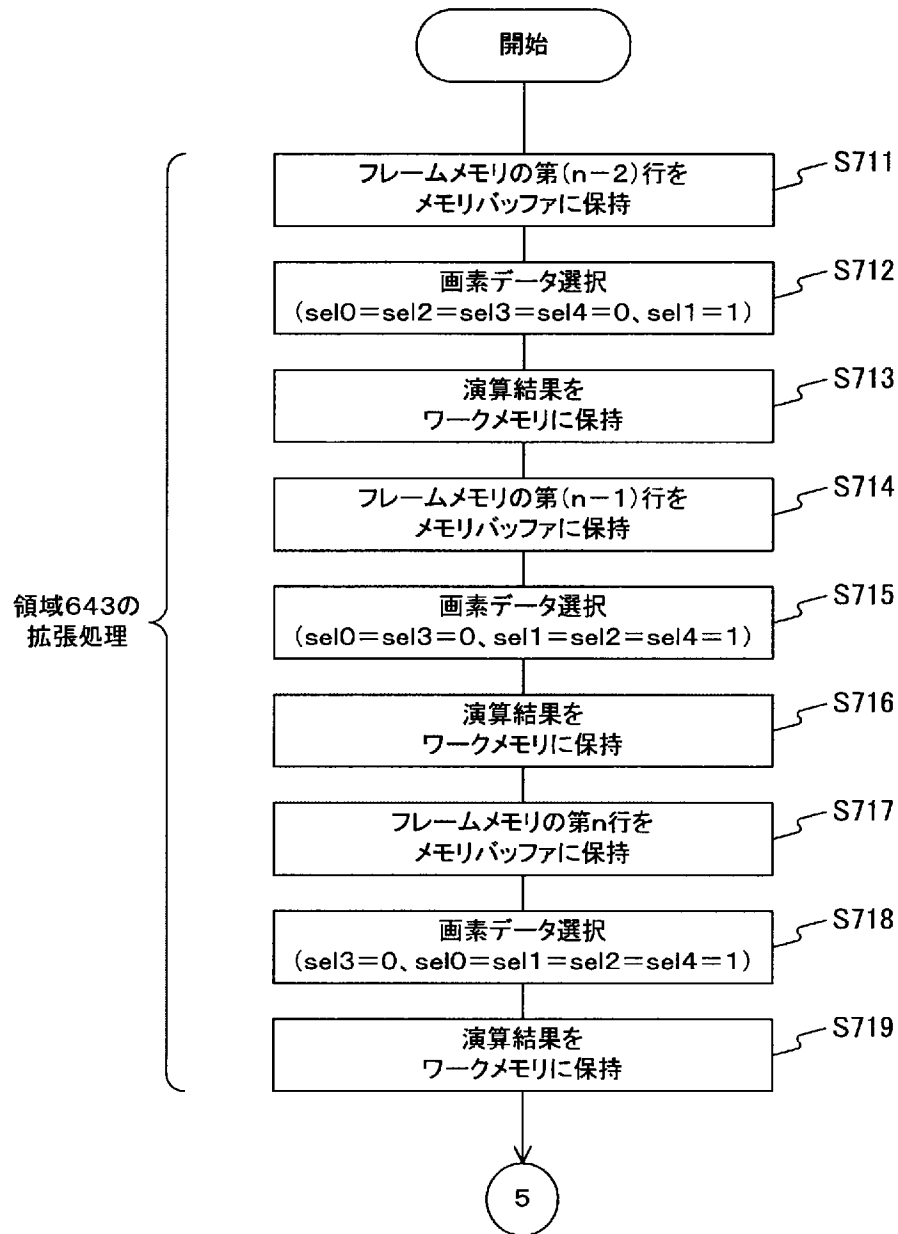
[図38]



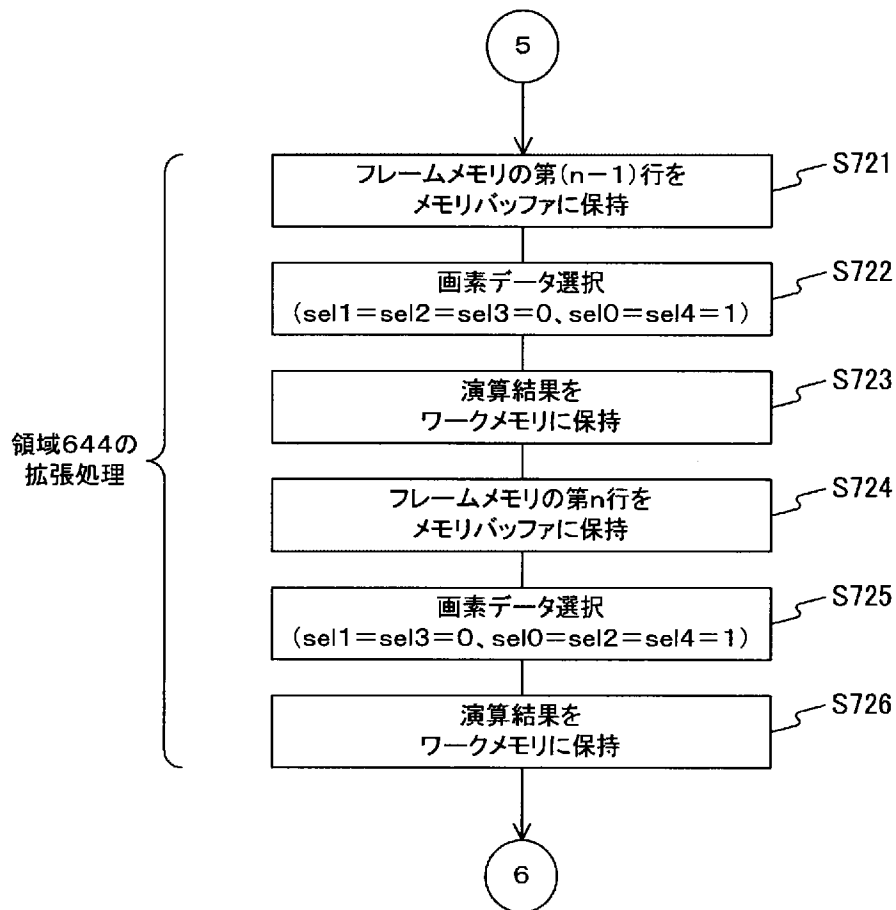
[図39]



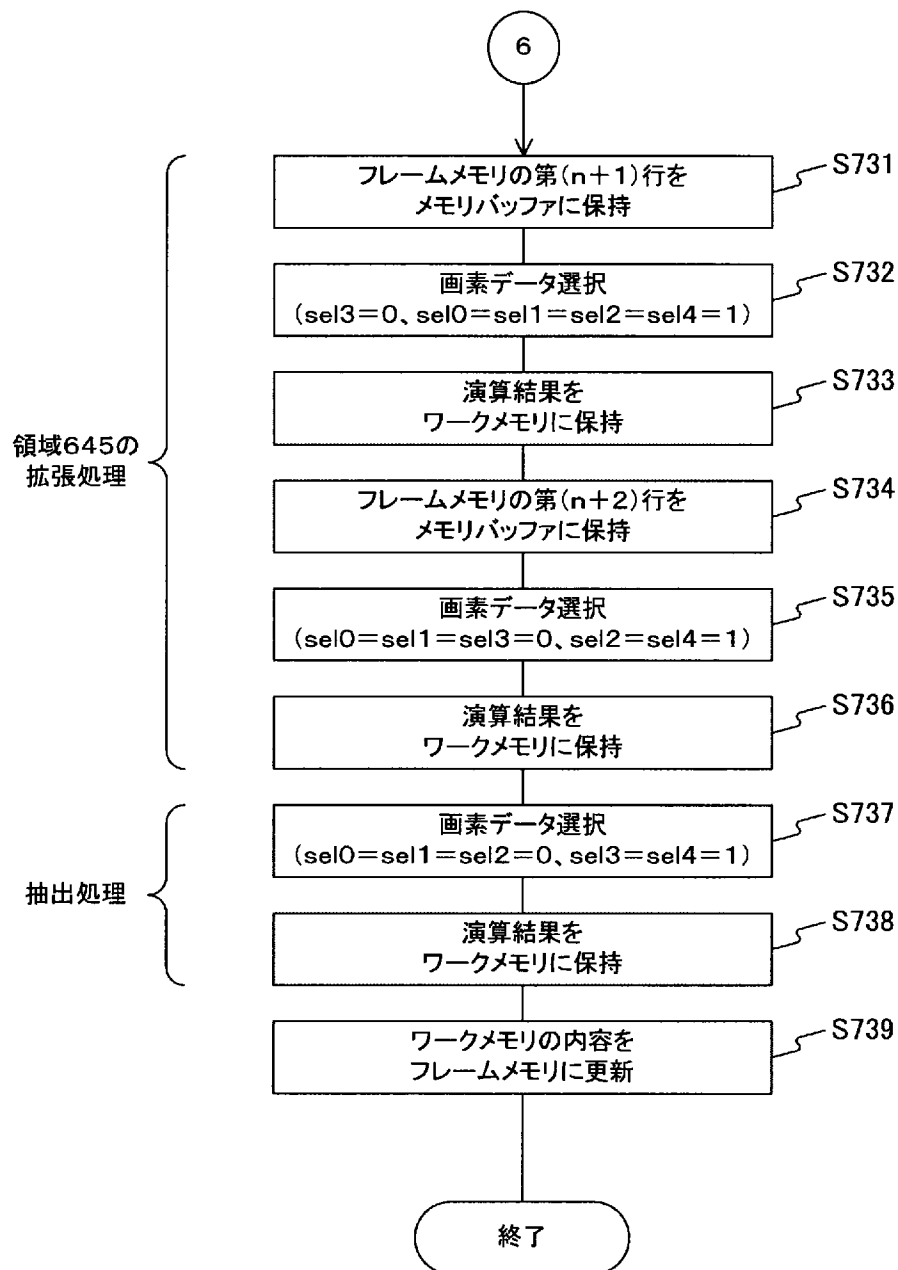
[図40]



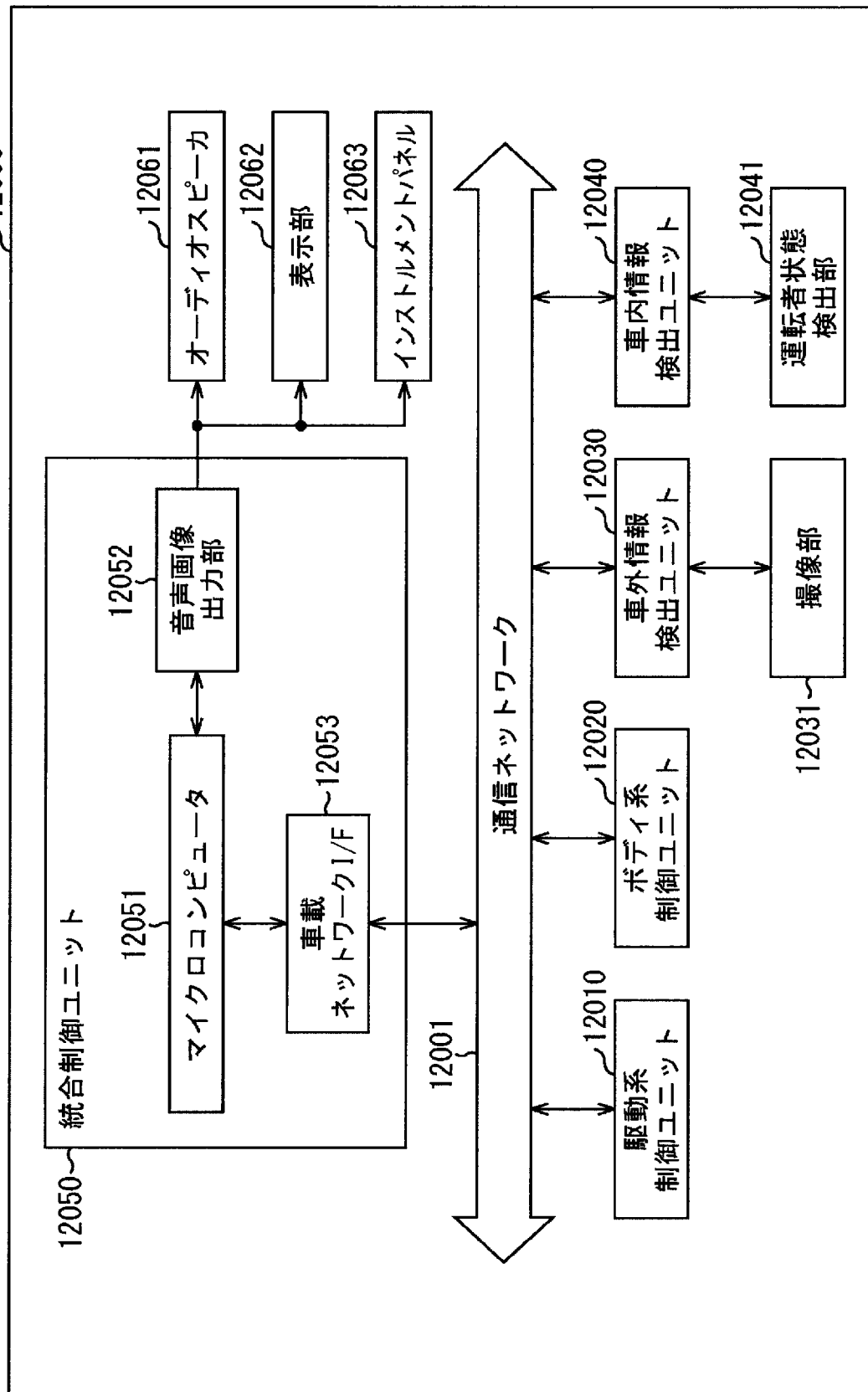
[図41]



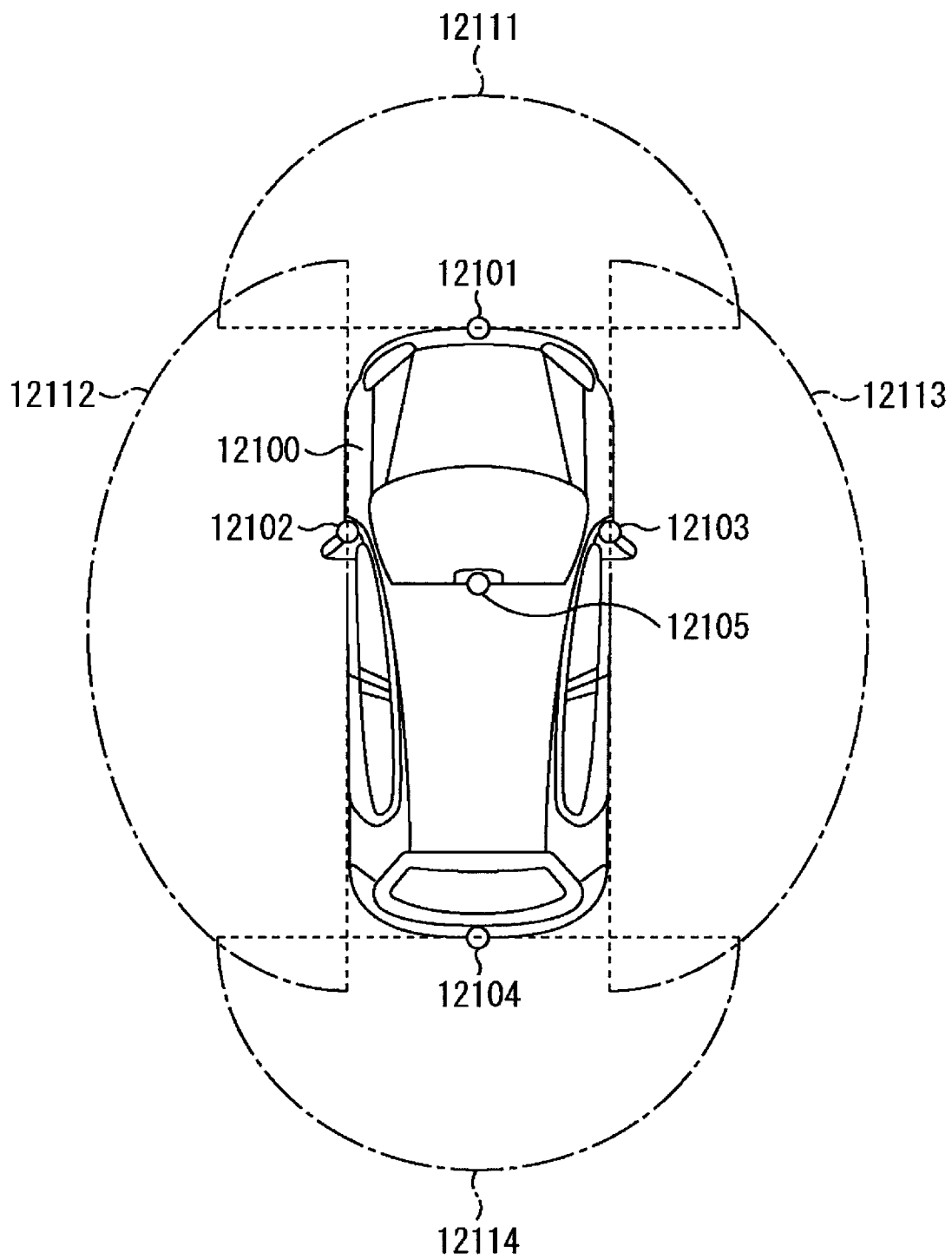
[図42]



[図43]



[図44]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030005

## A. CLASSIFICATION OF SUBJECT MATTER

G06T7/20(2017.01)i, G06T1/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06T7/20, G06T1/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*   | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                   | Relevant to claim No. |
|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y<br>A | JP 11-112873 A (Texas Instruments Japan Ltd.),<br>23 April 1999 (23.04.1999),<br>paragraphs [0030], [0345] to [0370], [0940] to<br>[1100]; fig. 10<br>& EP 1653735 A1<br>paragraphs [0120] to [0123], [0179] to [0195];<br>fig. 16<br>& US 6353460 B1 & CN 1230849 A | 1, 11<br>2-3<br>4-10  |
| Y<br>A      | JP 2004-157879 A (Matsushita Electric Works,<br>Ltd.),<br>03 June 2004 (03.06.2004),<br>paragraphs [0025] to [0027]<br>(Family: none)                                                                                                                                | 2<br>4-10             |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
02 November 2017 (02.11.17)

Date of mailing of the international search report  
14 November 2017 (14.11.17)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030005

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                            | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 2002-218452 A (Kawasaki Heavy Industries, Ltd.),<br>02 August 2002 (02.08.2002),<br>paragraph [0004]<br>(Family: none)                                     | 2<br>4-10             |
| Y         | JP 2005-209155 A (Nissan Motor Co., Ltd.),<br>04 August 2005 (04.08.2005),<br>paragraph [0027]<br>& US 2006/0078165 A1<br>paragraph [0057]<br>& EP 1640916 A1 | 3                     |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06T7/20(2017.01)i, G06T1/20(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06T7/20, G06T1/20

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2017年 |
| 日本国実用新案登録公報 | 1996-2017年 |
| 日本国登録実用新案公報 | 1994-2017年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                    | 関連する<br>請求項の番号       |
|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------|
| X<br>Y<br>A     | JP 11-112873 A（日本テキサス・インスツルメンツ株式会社）<br>1999.04.23, 段落 [0030], [0345] - [0370],<br>[0940] - [1100], 図10<br>& EP 1653735 A1, 段落[0120]-[0123], [0179]-[0195], FIG. 16<br>& US 6353460 B1 & CN 1230849 A | 1, 11<br>2-3<br>4-10 |
| Y<br>A          | JP 2004-157879 A（松下電工株式会社）2004.06.03,<br>段落 [0025] - [0027]（ファミリーなし）                                                                                                                                 | 2<br>4-10            |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

02.11.2017

国際調査報告の発送日

14.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲広▼島 明芳

電話番号 03-3581-1101 内線 3531

5H

9853

| C (続き) . 関連すると認められる文献 |                                                                                                         |                |
|-----------------------|---------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                       | 関連する<br>請求項の番号 |
| Y<br>A                | JP 2002-218452 A (川崎重工業株式会社) 2002.08.02,<br>段落 [0004] (ファミリーなし)                                         | 2<br>4-10      |
| Y                     | JP 2005-209155 A (日産自動車株式会社) 2005.08.04,<br>段落 [0027] & US 2006/0078165 A1, 段落[0057]<br>& EP 1640916 A1 | 3              |