



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0045430  
(43) 공개일자 2012년05월09일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01) H01L 21/8247  
(2006.01)

(21) 출원번호 10-2010-0106961  
(22) 출원일자 2010년10월29일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
이창현  
경기도 수원시 영통구 태장로82번길 32, 동수원엘  
지빌리지1차 102동 1108호 (망포동)

장성일  
경기 화성시 반송동 나루마을신도브래뉴아파트  
613동 1002호

손병근  
경기도 수원시 영통구 청명북로 81, 404동 2004호  
(영통동)

(74) 대리인  
권혁수, 송윤호, 오세준

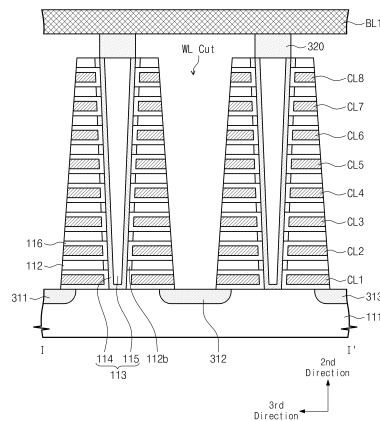
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 비휘발성 메모리 장치 및 그것의 제조 방법

**(57) 요약**

본 발명은 비휘발성 메모리 장치에 관한 것이다. 본 발명의 비휘발성 메모리 장치는 기판, 기판 상에 교대로 적층된 도전 물질들 및 제 1 절연 물질들을 포함하는 구조물, 기판과 수직한 방향으로 구조물을 관통하여 기판과 접촉하는 복수의 필라들, 도전 물질들 및 필라들 사이에 제공되는 정보 저장막들, 그리고 제 1 절연 물질들 및 복수의 필라들 사이에 제공되는 제 2 절연 물질들로 구성된다.

**대표도** - 도17



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 교대로 적층된 도전 물질들 및 제 1 절연 물질들을 포함하는 구조물;

상기 기관과 수직인 방향으로 상기 구조물을 관통하여 상기 기관과 접촉하는 복수의 필라들;

상기 도전 물질들 및 상기 필라들 사이에 제공되는 정보 저장막들; 그리고

상기 제 1 절연 물질들 및 상기 복수의 필라들 사이에 제공되는 제 2 절연 물질들을 포함하는 비휘발성 메모리 장치.

### 청구항 2

제 1 항에 있어서,

상기 제 1 절연 물질들은 반도체 질화물을 포함하는 비휘발성 메모리 장치.

### 청구항 3

제 1 항에 있어서,

상기 제 2 절연 물질들은 반도체 산화물을 포함하는 비휘발성 메모리 장치.

### 청구항 4

제 1 항에 있어서,

상기 정보 저장막들은 상기 도전 물질들 및 상기 필라들 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장되는 비휘발성 메모리 장치.

### 청구항 5

제 1 항에 있어서,

상기 정보 저장막들은,

상기 복수의 필라들의 외측면들 상에 제공되는 제 1 반도체 산화막들;

상기 제 1 반도체 산화막들의 외측면들 상에 제공되는 전하 포획막들; 그리고

상기 도전 물질들 및 상기 전하 포획막들의 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장되는 제 2 반도체 산화막들을 포함하는 비휘발성 메모리 장치.

### 청구항 6

제 1 항에 있어서,

상기 복수의 필라들 각각은 반도체막을 포함하는 비휘발성 메모리 장치.

### 청구항 7

기관;

상기 기관 상에 교대로 적층된 도전 물질들 및 절연 물질들을 포함하는 구조물;

상기 기관과 수직인 방향으로 상기 구조물을 관통하여 상기 기관과 접촉하는 복수의 필라들;

상기 복수의 필라들의 외측면들 상에 제공되는 제 1 반도체 산화막들;

상기 제 1 반도체 산화막들의 외측면 상에 제공되는 전하 포획막들; 그리고

상기 도전 물질들 및 상기 전하 포획막들의 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장되는 제 2 반도체 산화막을 포함하고,

상기 절연 물질들은 반도체 질화물을 포함하는 비휘발성 메모리 장치.

**청구항 8**

제 7 항에 있어서,

상기 복수의 필라들 각각은 반도체막을 포함하는 비휘발성 메모리 장치.

**청구항 9**

제 7 항에 있어서,

상기 절연 물질들은 상기 전하 포획막들과 직접 접촉하는 비휘발성 메모리 장치.

**청구항 10**

기판 상에 반도체 산화물들 및 반도체 질화물들을 교대로 적층하는 단계;

상기 기판과 수직한 방향으로 상기 교대로 적층된 반도체 산화물들 및 반도체 질화물들을 관통하여 상기 기판을 노출하는 활성 홀을 형성하는 단계;

상기 활성 홀의 내부면에 제 1 절연 물질을 콘포말하게 증착하는 단계;

상기 절연 물질 상에 반도체 막을 제공하는 단계;

상기 반도체 산화물들을 제거하는 단계;

상기 반도체 산화물들이 제거된 영역에 제 2 절연 물질을 콘포말하게 증착하는 단계; 그리고

상기 제 2 절연 물질 상에 도전 물질들을 제공하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 메모리에 관한 것으로, 더 상세하게는 비휘발성 메모리 장치 및 그것의 제조 방법에 관한 것이다.

**배경기술**

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비소 갈륨(GaAs, gallium arsenide), 인듐인(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 비휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 비휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 비휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리 장치는 크게 노어 타입과 낸드 타입으로 구분된다.

[0004] 최근에, 반도체 메모리 장치의 집적도를 향상시키기 위하여, 3차원 구조를 갖는 반도체 메모리 장치가 연구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 목적은 향상된 신뢰성을 갖는 비휘발성 메모리 장치 및 그것의 제조 방법을 제공하는 데에 있다.

**과제의 해결 수단**

[0006] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 기관; 상기 기관 상에 교대로 적층된 도전 물질들 및 제 1 절연 물질들을 포함하는 구조물; 상기 기관과 수직인 방향으로 상기 구조물을 관통하여 상기 기관과 접촉하는 복수의 필라들; 상기 도전 물질들 및 상기 필라들 사이에 제공되는 정보 저장막들; 그리고 상기 제 1 절연 물질들 및 상기 복수의 필라들 사이에 제공되는 제 2 절연 물질들을 포함한다.

[0007] 실시 예로서, 상기 제 1 절연 물질들은 반도체 질화물을 포함한다.

[0008] 실시 예로서, 상기 제 2 절연 물질들은 반도체 산화물을 포함한다.

[0009] 실시 예로서, 상기 정보 저장막들은 상기 도전 물질들 및 상기 필라들 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장된다.

[0010] 실시 예로서, 상기 정보 저장막들은, 상기 복수의 필라들의 외측면들 상에 제공되는 제 1 반도체 산화막들; 상기 제 1 반도체 산화막들의 외측면들 상에 제공되는 전하 포획막들; 그리고 상기 도전 물질들 및 상기 전하 포획막들의 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장되는 제 2 반도체 산화막들을 포함한다.

[0011] 실시 예로서, 상기 복수의 필라들 각각은 반도체막을 포함한다.

[0012] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 기관; 상기 기관 상에 교대로 적층된 도전 물질들 및 절연 물질들을 포함하는 구조물; 상기 기관과 수직인 방향으로 상기 구조물을 관통하여 상기 기관과 접촉하는 복수의 필라들; 상기 복수의 필라들의 외측면들 상에 제공되는 제 1 반도체 산화막들; 상기 제 1 반도체 산화막들의 외측면 상에 제공되는 전하 포획막들; 그리고 상기 도전 물질들 및 상기 전하 포획막들의 사이로부터 상기 도전 물질들의 상면들 및 하면들 상으로 신장되는 제 2 반도체 산화막을 포함하고, 상기 절연 물질들은 반도체 질화물을 포함한다.

[0013] 실시 예로서, 상기 복수의 필라들 각각은 반도체막을 포함한다.

[0014] 실시 예로서, 상기 절연 물질들은 상기 전하 포획막들과 직접 접촉한다.

[0015] 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 제조 방법은 기관 상에 반도체 산화물들 및 반도체 질화물들을 교대로 적층하는 단계; 상기 기관과 수직인 방향으로 상기 교대로 적층된 반도체 산화물들 및 반도체 질화물들을 관통하여 상기 기관을 노출하는 활성 홀을 형성하는 단계; 상기 활성 홀의 내부면에 제 1 절연 물질을 콘포말하게 증착하는 단계; 상기 절연 물질 상에 반도체 막을 제공하는 단계; 상기 반도체 산화물들을 제거하는 단계; 상기 반도체 산화물들이 제거된 영역에 제 2 절연 물질을 콘포말하게 증착하는 단계; 그리고 상기 제 2 절연 물질 상에 도전 물질들을 제공하는 단계를 포함한다.

**발명의 효과**

[0016] 본 발명에 의하면, 메모리 셀 트랜지스터들의 게이트들 또는 제어 게이트들을 구성하는 도전 물질들의 사이에 반도체 질화물들이 층간 절연막들로서 제공된다. 따라서, 메모리 셀 트랜지스터들 사이의 문턱 전압들의 차이로 인한 스프레딩(spreading)이 감소되므로, 향상된 신뢰성을 갖는 비휘발성 메모리 장치 및 그것의 제조 방법이 제공된다.

**도면의 간단한 설명**

[0017] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치를 보여주는 블록도이다.

도 2는 도 1의 메모리 셀 어레이를 보여주는 블록도이다.

도 3은 도 2의 메모리 블록들 중 메모리 블록의 일부를 보여주는 평면도이다.

도 4는 도 3의 I-I' 선에 따른 단면도의 제 1 실시 예를 보여준다.

도 5는 도 4의 셀 트랜지스터를 보여주는 확대도이다.

도 6은 도 3 및 도 4를 참조하여 설명된 메모리 블록의 등가 회로를 보여주는 회로도이다.

도 7 내지 도 13은 도 3 및 도 4를 참조하여 설명된 메모리 블록을 형성하는 과정을 보여주는 단면도들이다.  
 도 14는 도 3의 I-I' 선에 따른 단면도의 제 2 실시 예를 보여준다.  
 도 15 및 도 16은 도 3 및 도 14를 참조하여 설명된 메모리 블록을 형성하는 과정을 보여주는 단면도들이다.  
 도 17은 도 3의 I-I' 선에 따른 단면도의 제 3 실시 예를 보여준다.  
 도 18 내지 도 20은 도 3 및 도 17을 참조하여 설명된 메모리 블록을 형성하는 과정을 보여주는 단면도들이다.  
 도 21은 도 3의 I-I' 선에 따른 단면도의 제 3 실시 예를 보여준다.  
 도 22는 도 3의 I-I' 선에 따른 단면도의 제 4 실시 예를 보여준다.  
 도 23은 도 22의 셀 트랜지스터를 보여주는 확대도이다.  
 도 24 내지 도 26은 도 3 및 도 22를 참조하여 설명된 메모리 블록을 형성하는 과정을 보여주는 단면도들이다.  
 도 27은 도 3의 I-I' 선에 따른 단면도의 제 5 실시 예를 보여준다.  
 도 28은 도 3의 I-I' 선에 따른 단면도의 제 6 실시 예를 보여준다.  
 도 29는 도 28의 셀 트랜지스터를 보여주는 확대도이다.  
 도 30 내지 도 32는 도 3 및 도 28을 참조하여 설명된 메모리 블록을 형성하는 과정을 보여주는 단면도들이다.  
 도 33은 도 3의 I-I' 선에 따른 단면도의 제 7 실시 예를 보여준다.  
 도 34는 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.  
 도 35는 도 34의 메모리 시스템의 응용 예를 보여주는 블록도이다.  
 도 36은 도 35를 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0019] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 비휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 그리고 제어 로직(140)을 포함한다.
- [0020] 메모리 셀 어레이(110)는 복수의 메모리 셀 그룹들을 포함한다. 예를 들면, 메모리 셀 어레이(110)는 기판 상에 행 및 열 방향을 따라 배치된 복수의 셀 스트링들을 포함한다. 각 셀 스트링은 기판과 수직인 방향을 따라 적층된 복수의 메모리 셀들을 포함한다. 즉, 메모리 셀들은 기판 상에서 행 및 열을 따라 제공되며, 기판과 수직인 방향으로 적층되어 3차원 구조를 형성한다. 예시적으로, 메모리 셀 어레이(110)는 셀 당 하나 또는 그 이상의 비트를 저장할 수 있는 복수의 메모리 셀들을 포함한다.
- [0021] 어드레스 디코더(120)는 워드 라인들(WL), 스트링 선택 라인들(SSL), 그리고 접지 선택 라인들(GSL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(120)는 제어 로직(140)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(120)는 외부로부터 어드레스(ADDR)를 수신한다.
- [0022] 어드레스 디코더(120)는 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 워드 라인들(WL) 중 디코딩된 행 어드레스에 대응하는 워드 라인을 선택하도록 구성된다. 어드레스 디코더(120)는 스트링 선택 라인들(SSL) 및 접지 선택 라인들(GSL) 중 디코딩된 행 어드레스에 대응하는 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)을 선택하도록 구성된다.
- [0023] 어드레스 디코더(120)는 수신된 어드레스(ADDR) 중 열 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 열 어드레스(DCA)를 읽기 및 쓰기 회로(130)에 전달한다.
- [0024] 예시적으로, 어드레스 디코더(120)는 행 어드레스를 디코딩하는 행 디코더, 열 어드레스를 디코딩하는 열 디코더, 수신된 어드레스(ADDR)를 저장하는 어드레스 버퍼를 포함할 수 있다.
- [0025] 읽기 및 쓰기 회로(130)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 읽기 및 쓰기 회로(130)

0)는 외부와 데이터(DATA)를 교환하도록 구성된다. 읽기 및 쓰기 회로(130)는 제어 로직(140)의 제어에 응답하여 동작한다.

- [0026] 읽기 및 쓰기 회로(130)는 어드레스 디코더(120)로부터 디코딩된 열 어드레스(DCA)를 수신한다. 디코딩된 열 어드레스(DCA)에 응답하여, 읽기 및 쓰기 회로(130)는 비트 라인들(BL)을 선택한다.
- [0027] 예시적으로, 읽기 및 쓰기 회로(130)는 외부로부터 데이터를 수신하고, 수신된 데이터를 메모리 셀 어레이(110)에 기입한다. 읽기 및 쓰기 회로(130)는 메모리 셀 어레이(110)로부터 데이터를 읽고, 읽어진 데이터를 외부로 출력한다. 읽기 및 쓰기 회로(130)는 메모리 셀 어레이(110)의 제 1 저장 영역으로부터 데이터를 읽고, 읽어진 데이터를 메모리 셀 어레이(110)의 제 2 저장 영역에 기입한다. 즉, 읽기 및 쓰기 회로(130)는 카피-백(copy-back) 동작을 수행한다.
- [0028] 예시적으로, 읽기 및 쓰기 회로(130)는 페이지 버퍼(또는 페이지 레지스터), 열 선택 회로, 데이터 버퍼 등과 같은 구성 요소들을 포함할 수 있다. 다른 예로서, 읽기 및 쓰기 회로(130)는 감지 증폭기, 쓰기 드라이버, 열 선택 회로, 데이터 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0029] 제어 로직(140)은 어드레스 디코더(120) 및 읽기 및 쓰기 회로(130)에 연결된다. 제어 로직(140)은 비휘발성 메모리 장치(100)의 제반 동작을 제어하도록 구성된다.
- [0030] 도 2는 도 1의 메모리 셀 어레이(110)를 보여주는 블록도이다. 도 2를 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록(BLK)은 3차원 구조(또는 수직 구조)를 갖는다. 예를 들면, 메모리 블록들(BLK1~BLKz) 각각은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다. 예를 들면, 메모리 블록들(BLK1~BLKz) 각각은 제 2 방향을 따라 신장된 복수의 셀 스트링들을 포함한다. 예를 들면, 제 1 및 제 3 방향들을 따라 복수의 셀 스트링들이 특정 거리만큼 이격되어 제공될 수 있다.
- [0031] 예시적으로, 메모리 블록들(BLK1~BLKz)은 도 1에 도시된 어드레스 디코더(120)에 의해 선택된다. 예를 들면, 어드레스 디코더(120)는 메모리 블록들(BLK1~BLKz) 중 수신된 어드레스(ADDR)에 대응하는 메모리 블록(BLK)을 선택하도록 구성된다.
- [0032] 도 3은 도 2의 메모리 블록들(BLK1~BLKz) 중 메모리 블록(BLK1)의 일부를 보여주는 평면도이다. 예시적으로, 메모리 블록(BLK1)의 도전층들의 평면도가 도 3에 도시되어 있다. 도 4는 도 3의 I-I' 선에 따른 단면도의 제 1 실시 예를 보여준다.
- [0033] 도 3 및 도 4를 참조하면, 메모리 블록(BLK1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다. 기판(111)이 제공된다. 예시적으로, 기판(111)은 제 1 도전형(conductive type)을 갖는 웰(well)일 수 있다. 예를 들면, 기판(111)은 붕소(B, Boron)와 같은 3족 원소가 주입되어 형성된 P 웰일 수 있다. 예를 들면, 기판(111)은 N 웰 내에 제공되는 포켓 P 웰일 수 있다. 이하에서, 기판(111)은 P 웰(또는 포켓 P 웰)인 것으로 가정한다. 그러나, 기판(111)은 P 도전형을 갖는 것으로 한정되지 않는다.
- [0034] 기판(111) 상에, 제 1 방향을 따라 신장된 복수의 도핑 영역들(311~313)이 제공된다. 복수의 도핑 영역들(311~313)은 기판(111) 상에서 제 3 방향을 따라 특정 거리만큼 이격되어 제공된다. 복수의 도핑 영역들(311~313)은 순차적으로 제 1 도핑 영역(311), 제 2 도핑 영역(312), 그리고 제 3 도핑 영역(313)으로 정의된다.
- [0035] 제 1 내지 제 3 도핑 영역들(311~313)은 기판(111)과 상이한 제 2 도전형(conductive type)을 갖는다. 예를 들면, 제 1 내지 제 3 도핑 영역들(311~313)은 N 도전형을 가질 수 있다. 이하에서, 제 1 내지 제 3 도핑 영역들(311~313)은 N 도전형을 갖는 것으로 가정한다. 그러나, 제 1 내지 제 3 도핑 영역들(311~313)은 N 도전형을 갖는 것으로 한정되지 않는다.
- [0036] 제 1 내지 제 3 도핑 영역들(311~313) 중 인접한 두 개의 도핑 영역들 사이에서, 복수의 제 1 절연 물질들(112)이 제 2 방향(즉, 기판과 수직인 방향)을 따라 기판(111) 상에 순차적으로 제공된다. 복수의 제 1 절연 물질들(112)은 제 2 방향을 따라 특정 거리만큼 이격되어 제공될 수 있다. 복수의 제 1 절연 물질들(112)은 제 1 방향을 따라 신장된다. 예시적으로, 제 1 절연 물질들(112)은 반도체 질화막과 같은 절연 물질을 포함할 수 있다.
- [0037] 제 1 내지 제 3 도핑 영역들(311~313) 중 인접한 두 개의 도핑 영역들 사이에서, 제 1 방향을 따라 순차적으로 배치되며 제 2 방향을 따라 제 1 절연 물질들(112)을 관통하는 복수의 필라들(113)이 제공된다. 예시적으로, 복

수의 필라들(113)은 제 1 절연 물질들(112)을 관통하여 기판(111)과 접촉할 수 있다.

- [0038] 예시적으로, 필라들(113) 각각은 복수의 물질들을 포함할 수 있다. 예를 들면, 필라들(113) 각각의 채널막(114)은 제 1 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예를 들면, 필라들(113) 각각의 채널막(114)은 기판(111)과 동일한 도전형 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 이하에서, 필라들(113) 각각의 채널막(114)은 P 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 필라들(113) 각각의 채널막(114)은 P 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예를 들면, 필라들(113) 각각의 채널막(114)은 도전형을 갖지 않는 진성 반도체(intrinsic semiconductor)를 포함할 수 있다.
- [0039] 필라들(113) 각각의 내부 물질(115)은 절연 물질을 포함한다. 예를 들면, 필라들(113) 각각의 내부 물질(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다. 예를 들면, 필라들(113) 각각의 내부 물질(115)은 에어 갭(air gap)을 포함할 수 있다.
- [0040] 제 1 내지 제 3 도핑 영역들(311~313) 중 인접한 두 개의 도핑 영역들 사이에서, 제 1 절연 물질들(112) 및 필라들(113)의 노출된 표면에 정보 저장막들(116)이 제공된다. 예시적으로, 정보 저장막들(116)의 두께는 제 1 절연 물질들(112) 사이의 거리의 1/2 보다 작다.
- [0041] 제 1 내지 제 3 도핑 영역들(311~313) 중 인접한 두 개의 도핑 영역들 사이에서, 정보 저장막들(116)의 노출된 표면 상에 도전 물질들(CL1~CL8)이 제공된다. 더 상세하게는, 제 1 절연 물질들(112) 사이에, 제 1 방향을 따라 신장되는 도전 물질들(CL1~CL8)이 제공된다. 도핑 영역들(311~313) 상에서, 도전 물질들(CL1~CL8)은 워드 라인 컷(WL cut)에 의해 분리될 수 있다. 예시적으로, 도전 물질들(CL1~CL8)은 금속성 도전 물질을 포함할 수 있다. 도전 물질들(CL1~CL8)은 폴리 실리콘 등과 같은 비금속성 도전 물질을 포함할 수 있다.
- [0042] 예시적으로, 제 1 절연 물질들(112) 중 최상부에 위치한 절연 물질의 상부면에 제공되는 정보 저장막들(116)은 제거될 수 있다. 예시적으로, 절연 물질들(112)의 측면들 중 필라들(113)과 대향하는 측면에 제공되는 정보 저장막들(116)은 제거될 수 있다.
- [0043] 복수의 필라들(113) 상에 복수의 드레인들(320)이 제공된다. 예시적으로, 드레인들(320)은 제 2 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예를 들면, 드레인들(320)은 N 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 이하에서, 드레인들(320)은 N 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 드레인들(320)은 N 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예시적으로, 드레인들(320)은 필라들(113)의 채널막(114)의 상부로 확장될 수 있다.
- [0044] 드레인들(320) 상에, 제 3 방향으로 신장되며, 제 1 방향을 따라 특정 거리만큼 이격된 비트 라인들(BL1, BL2)이 제공된다. 비트 라인들(BL1, BL2)은 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 비트 라인들(BL1, BL2)은 콘택 플러그들(미도시)을 통해 연결될 수 있다. 예시적으로, 비트 라인들(BL1, BL2)은 금속성 도전 물질들을 포함할 수 있다. 예시적으로, 비트 라인들(BL1, BL2)은 폴리 실리콘 등과 같은 비금속성 도전 물질들을 포함할 수 있다.
- [0045] 이하에서, 메모리 블록(BLK1)의 필라들(113)의 행들 및 열들이 정의된다. 예시적으로, 도전 물질들(CL1~CL8)의 분리 여부에 따라, 필라들(113)의 행들이 정의된다. 도 3 및 도 4에서, 도전 물질들(CL1~CL8)은 도핑 영역(312)을 기준으로 분리되어 있다.
- [0046] 제 1 도핑 영역(311) 및 제 2 도핑 영역(312) 사이에 제공되는 도전 물질들(CL1~CL8)과 정보 저장막들(116)을 통해 결합된 필라들(113)이 제 1 행의 필라들로 정의된다. 제 2 도핑 영역(312) 및 제 3 도핑 영역(313) 사이에 제공되는 도전 물질들(CL1~CL8)과 정보 저장막들(116)을 통해 결합된 필라들(113)이 제 2 행의 필라들로 정의된다.
- [0047] 비트 라인들(BL1, BL2)에 따라, 필라들(113)의 열들이 정의된다. 제 1 비트 라인(BL1)과 드레인(320)을 통해 연결된 필라들(113)이 제 1 열의 필라들로 정의된다. 제 2 비트 라인(BL2)과 드레인(320)을 통해 연결된 필라들(113)이 제 2 열의 필라들로 정의된다.
- [0048] 이하에서, 도전 물질들(CL1~CL8)의 높이들이 정의된다. 도전 물질들(CL1~CL8)은 기판(111)으로부터의 순서에 따라 제 1 내지 제 8 도전 물질들(CL1~CL8)로 각각 정의된다. 그리고, 제 1 내지 제 8 도전 물질들(CL1~CL8)은 각각 제 1 내지 제 8 높이를 갖는 것으로 정의된다.
- [0049] 도 3 및 도 4에서, 필라들(113)은 정보 저장막들(116) 및 복수의 도전 물질들(CL1~CL8)과 함께 복수의 셀 스트링들(CS)을 형성한다. 필라들(113) 각각은 정보 저장막들(116), 그리고 인접한 도전 물질들(CL1~CL8)과 함께 하

나의 셀 스트링(CS)을 구성한다.

- [0050] 기관(111) 상에서, 필라들(113)은 행 및 열 방향을 따라 배치되어 있다. 즉, 메모리 블록(BLK1)은 기관(111) 상에서 행 및 열 방향을 따라 배치되는 복수의 셀 스트링들(CS)을 포함한다. 셀 스트링들(CS) 각각은 기관과 수직 한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 셀 트랜지스터들(CT)은 도 5를 참조하여 더 상세하게 설명된다.
- [0051] 도 5는 도 4의 셀 트랜지스터들(CT) 중 하나를 보여주는 확대도이다. 도 3 내지 도 5를 참조하면, 셀 트랜지스터들(CT) 중 제 5 높이를 갖는 셀 트랜지스터는 제 5 도전 물질(CL5), 제 5 도전 물질(CL5)에 대응하는 필라(113)의 부분, 그리고 제 5 도전 물질(CL5)과 필라들(113) 사이에 제공되는 정보 저장막들(116)로 구성된다.
- [0052] 정보 저장막들(116)은 도전 물질들(CL1~CL8) 및 필라들(113)의 사이로부터 도전 물질들(CL1~CL8)의 상면들 및 하면들로 신장된다. 정보 저장막들(116)은 제 1 내지 제 3 서브 절연막들(117, 118, 119)을 포함한다.
- [0053] 셀 트랜지스터들(CT)에서, 필라들(113)의 채널막들(114)은 기관(111)과 동일한 P 타입 실리콘을 포함할 수 있다. 채널막들(114)은 셀 트랜지스터들(CT)에서 바디(body)로 동작한다. 채널막들(114)은 기관(111)과 수직 한 방향으로 형성되어 있다. 따라서, 필라들(113)의 채널막들(114)은 수직 바디로 동작하는 것으로 정의된다. 또한, 필라들(113)의 채널막들(114)에 형성되는 채널은 수직 채널인 것으로 정의된다.
- [0054] 필라들(113)에 인접한 제 1 서브 절연막(117)은 터널링 절연막으로 동작한다. 예를 들면, 필라들(113)에 인접한 제 1 서브 절연막(117)은 열산화막을 포함할 수 있다. 제 1 서브 절연막(117)은 실리콘 산화막을 포함할 수 있다.
- [0055] 제 2 서브 절연막(118)은 전하 저장막으로 동작한다. 예를 들면, 제 2 서브 절연막(118)은 전하 포획막들로 동작할 수 있다. 예를 들면, 제 2 서브 절연막(118)은 질화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, hafnium 산화막 등)을 포함할 수 있다. 제 2 서브 절연막(118)은 실리콘 질화막을 포함할 수 있다.
- [0056] 도전 물질(CL5)에 인접한 제 3 서브 절연막(119)은 블로킹 절연막으로 동작한다. 예시적으로, 제 3 서브 절연막(119)은 단일층 또는 다층으로 형성될 수 있다. 제 3 서브 절연막(119)은 제 1 및 제 2 서브 절연막(117, 118)보다 높은 유전상수를 갖는 고유전막(예를 들면, 알루미늄 산화막, hafnium 산화막 등)일 수 있다. 제 3 서브 절연막(119)은 실리콘 산화막을 포함할 수 있다.
- [0057] 예시적으로, 제 1 내지 제 3 서브 절연막들(117~119)은 ONO (oxide-nitride-oxide)를 구성할 수 있다.
- [0058] 제 5 도전 물질(CL5)은 게이트(또는 제어 게이트)로 동작한다.
- [0059] 즉, 게이트(또는 제어 게이트)로 동작하는 제 5 도전 물질(CL5), 블로킹 절연막으로 동작하는 제 3 서브 절연막(119), 전하 저장막으로 동작하는 제 2 서브 절연막(118), 터널링 절연막으로 동작하는 제 1 서브 절연막(117), 그리고 수직 바디로 동작하는 채널막(114)은 셀 트랜지스터로 동작한다. 예시적으로, 제 5 도전 물질(CL5), 제 3 서브 절연막(119), 제 2 서브 절연막(118), 제 1 서브 절연막(117), 그리고 채널막(114)은 전하 포획형 셀 트랜지스터 동작할 수 있다.
- [0060] 셀 스트링들(CS) 각각에서, 셀 트랜지스터들(CT)은 높이에 따라 상이한 용도로 사용될 수 있다. 예를 들면, 셀 트랜지스터들(CT) 중 상부에 제공되는 적어도 하나의 셀 트랜지스터는 스트링 선택 트랜지스터(SST)로 사용될 수 있다. 셀 트랜지스터들(CT) 중 하부에 제공되는 적어도 하나의 셀 트랜지스터는 접지 선택 트랜지스터(GST)로 사용될 수 있다. 나머지 셀 트랜지스터들은 메모리 셀 및 더미 메모리 셀로 사용될 수 있다.
- [0061] 도전 물질들(CL1~CL8)은 행 방향(제 1 방향)을 따라 신장되어 복수의 필라들에 결합된다. 즉, 도전 물질들(CL1~CL8) 및 필라들(113)은 행 방향을 따라 특정 거리만큼 이격되어 제공되는 복수의 셀 스트링들(CS)을 구성한다. 도전 물질들(CL1~CL8)은 동일한 행의 셀 스트링들(CS)의 동일한 높이의 셀 트랜지스터들(CT)을 서로 연결하는 도전 라인들을 구성한다.
- [0062] 예시적으로, 도전 물질들(CL1~CL8)은 높이에 따라 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 워드 라인(WL), 또는 더미 워드 라인(DWL)으로 사용될 수 있다.
- [0063] 도 5를 참조하여 설명된 바와 같이, 정보 저장막들(116)의 제 2 서브 절연막(118)은 전하 포획막으로 동작한다. 즉, 셀 트랜지스터들(CT)이 프로그램 또는 소거될 때, 제 2 서브 절연막(118)에 포획된 전자의 양이 변화한다.
- [0064] 예시적으로, 제 5 도전 물질(CL5)에 의해 형성되는 제 5 셀 트랜지스터와 제 6 도전 물질(CL6)에 의해 형성되는



제 6 셀 트랜지스터의 문턱 전압이 상이할 수 있다. 이때, 제 5 셀 트랜지스터의 제 2 서브 절연막(118)과 제 6 셀 트랜지스터의 제 2 서브 절연막(118) 사이에 전기장(electric field)이 형성된다. 형성된 전기장에 의해, 제 2 서브 절연막(118)에 포획된 전자들이 확산될 수 있다. 이와 같은 현상은 스프레딩(spreading)이라 불린다.

- [0065] 제 2 서브 절연막(118)에 포획된 전하들이 확산되면, 셀 트랜지스터들(CT)의 문턱 전압이 변화한다. 즉, 스프레딩에 의해, 셀 트랜지스터들(CT)에 저장된 데이터가 소실될 수 있다.
- [0066] 그러나, 본 발명의 제 1 실시 예에 따르면, 도전 물질들(CL1~CL8) 사이에 제 1 절연 물질들(112)이 제공된다. 앞서 설명된 바와 같이, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다. 반도체 질화물은 자체적으로 음의 특성을 갖는다. 따라서, 제 1 절연 물질들(112)에 의해, 도전 물질들(CL1~CL8) 사이의 전기장이 감소될 수 있다. 즉, 반도체 질화물을 포함하는 제 1 절연 물질들(112)에 의해 스프레딩(spreading)이 감소/방지되므로, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0067] 도 6은 도 3 및 도 4를 참조하여 설명된 메모리 블록(BLK1)의 등가 회로를 보여주는 회로도이다. 도 3 내지 도 6을 참조하면, 제 1 비트 라인(BL1) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(CS11, CS21)이 제공된다. 제 2 비트 라인(BL2) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(CS12, CS22)이 제공된다. 셀 스트링들(CS11, CS21, CS12, CS22)은 필라들(113)에 각각 대응한다.
- [0068] 셀 스트링들(CS11, CS21, CS12, CS22)에서, 제 1 셀 트랜지스터들은 접지 선택 트랜지스터들(GST)로 동작한다. 동일한 행의 셀 스트링들은 접지 선택 라인(GSL)을 공유한다. 상이한 행의 셀 스트링들은 접지 선택 라인(GSL)을 공유한다. 제 1 도전 물질들(CL1)이 서로 연결되어 접지 선택 라인(GSL)을 형성할 수 있다.
- [0069] 셀 스트링들(CS11, CS21, CS12, CS22)에서, 제 2 내지 제 6 셀 트랜지스터들은 메모리 셀들(MC1~MC6)로 동작한다. 동일한 높이를 가지며 동일한 행에 대응하는 메모리 셀들(MC)은 워드 라인(WL)을 공유한다. 동일한 높이를 가지며 상이한 행에 대응하는 메모리 셀들(MC)은 워드 라인(WL)을 공유한다. 즉, 동일한 높이의 메모리 셀들(MC)은 워드 라인(WL)을 공유한다.
- [0070] 예시적으로, 제 2 도전 물질들(CL2)이 공통으로 연결되어 제 1 워드 라인(WL1)을 형성한다. 제 3 도전 물질들(CL3)이 공통으로 연결되어 제 2 워드 라인(WL2)을 형성한다. 제 4 도전 물질들(CL4)이 공통으로 연결되어 제 3 워드 라인(WL3)을 형성한다. 제 5 도전 물질들(CL5)이 공통으로 연결되어 제 4 워드 라인(WL4)을 형성한다. 제 6 도전 물질들(CL6)이 공통으로 연결되어 제 5 워드 라인(WL5)을 형성한다. 제 7 도전 물질들(CL7)이 공통으로 연결되어 제 6 워드 라인(WL6)을 형성한다.
- [0071] 셀 스트링들(CS11, CS21, CS12, CS22)에서, 제 8 셀 트랜지스터들은 스트링 선택 트랜지스터(SST)로 동작한다. 동일한 행의 셀 스트링들은 스트링 선택 라인(SSL)을 공유한다. 상이한 행의 셀 스트링들은 상이한 스트링 선택 라인들에 각각 연결된다. 제 1 및 제 2 스트링 선택 라인들(SSL1, SSL2)은 각각 제 8 도전 물질들(CL8)에 대응한다. 즉, 필라들(113), 즉 셀 스트링들의 행들은 스트링 선택 라인들(SSL1, SSL2)에 의해 정의되는 것으로 이해될 수 있다.
- [0072] 이하에서, 제 1 스트링 선택 라인(SSL1)에 연결된 스트링 선택 트랜지스터들(SST)은 제 1 스트링 선택 트랜지스터들(SST1)로 정의된다. 제 2 스트링 선택 라인(SSL2)에 연결된 스트링 선택 트랜지스터들(SST)은 제 2 스트링 선택 트랜지스터들(SST2)로 정의된다.
- [0073] 공통 소스 라인(CSL)은 셀 스트링들에 공통으로 연결된다. 예를 들면, 제 1 내지 제 3 도핑 영역들(311~313)이 서로 연결되어 공통 소스 라인(CSL)을 형성할 수 있다.
- [0074] 도 6에 도시된 바와 같이, 동일한 높이의 워드 라인들(WL)은 공통으로 연결되어 있다. 따라서, 특정 높이의 워드 라인(WL)이 선택될 때, 선택된 워드 라인(WL)에 연결된 모든 셀 스트링들이 선택된다.
- [0075] 상이한 행의 셀 스트링들은 상이한 스트링 선택 라인(SSL)에 연결되어 있다. 따라서, 스트링 선택 라인들(SSL1, SSL2)을 선택 및 비선택함으로써, 동일한 워드 라인(WL)에 연결된 셀 스트링들 중 비선택된 행의 셀 스트링들이 비트 라인으로부터 전기적으로 분리되고 그리고 선택된 행의 셀 스트링들이 비트 라인에 전기적으로 연결될 수 있다.
- [0076] 즉, 스트링 선택 라인들(SSL1, SSL2)을 선택 및 비선택함으로써, 셀 스트링들(CS)의 행들이 선택될 수 있다. 그리고, 비트 라인들(BL1, BL2)을 선택함으로써, 선택된 행의 셀 스트링들(CS)의 열들이 선택될 수 있다.
- [0077] 예시적으로, 워드 라인들(WL) 중 적어도 하나는 더미 워드 라인(DWL)으로 사용될 수 있다. 예를 들면, 스트링

선택 라인(SSL)과 인접한 높이를 갖는 워드 라인(WL), 접지 선택 라인(GSL)과 인접한 높이를 갖는 워드 라인(WL), 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 사이의 높이를 갖는 워드 라인(WL) 중 적어도 하나가 더미 워드 라인(DWL)으로 사용될 수 있다.

- [0078] 예시적으로, 적어도 두 개의 높이들에 대응하는 도전 물질들이 스트링 선택 라인들(SSL)을 구성할 수 있다. 예를 들면, 제 7 도전 물질들(CL7) 및 제 8 도전 물질들(CL8)이 각각 스트링 선택 라인들(SSL)을 구성할 수 있다. 이때, 동일한 행에 제공되며 상이한 높이(즉, 제 7 높이 및 제 8 높이)를 갖는 제 7 및 제 8 도전 물질들(CL7, CL8)은 공통으로 연결되어 하나의 스트링 선택 라인(SSL)을 구성할 수 있다.
- [0079] 예시적으로, 적어도 두 개의 높이들에 대응하는 도전 물질들이 접지 선택 라인(GSL)을 구성할 수 있다. 예를 들면, 제 1 도전 물질들(CL1) 및 제 2 도전 물질들(CL2)이 공통으로 연결되어 접지 선택 라인(GSL)을 구성할 수 있다.
- [0080] 예시적으로, 제 1 도전 물질들(CL1)은 각각 전기적으로 분리된 두 개의 접지 선택 라인들(GSL)을 구성할 수 있다.
- [0081] 도 7 내지 도 13은 도 3 및 도 4를 참조하여 설명된 메모리 블록(BLK1)을 형성하는 과정을 보여주는 단면도들이다. 도 7을 참조하면, 기판(111) 상에 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 교대로 적층된다. 더 상세하게는, 기판(111) 상에 제 2 절연 물질(112a)이 적층되고, 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층된다. 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층되고, 제 1 절연 물질(112) 상에 제 2 절연 물질(112a)이 적층된다. 예시적으로, 제 2 절연 물질들(112a)은 실리콘 산화물을 포함한다. 제 1 절연 물질들(112)은 실리콘 질화물을 포함한다.
- [0082] 도 8을 참조하면, 기판(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 활성 홀들(AH)이 형성된다. 활성 홀들(AH)은 기판(111)을 노출하도록 형성된다.
- [0083] 활성 홀들(AH)의 내부면들 상에 채널막들(114)이 각각 형성된다. 채널막들(114)은 기판(111)과 동일한 도전형을 가질 수 있다. 채널막들(114)은 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 채널막들(114)의 내부에 내부 물질들(115)이 각각 제공된다. 내부 물질들(115)은 반도체 산화물, 반도체 질화물, 에어 갭 등과 같은 절연 물질을 포함할 수 있다. 특정 활성 홀 내의 채널막 및 내부 물질은 하나의 필라를 구성한다. 즉, 채널막들(114) 및 내부 물질들(115)은 각각 필라들(113)을 구성한다.
- [0084] 도 9를 참조하면, 기판(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 전극 분리홀들(EDH)이 형성된다. 전극 분리홀들(EDH)은 기판(111)을 노출하도록 형성된다. 전극 분리홀들(EDH)은 필라들(113)의 사이에서 제 1 방향으로 신장된다. 즉, 전극 분리홀들(EDH)은 제 1 방향을 따라 제 1 및 제 2 절연 물질들(112, 112a)을 분리한다. 다른 관점에서, 전극 분리홀들(EDH)은 제 1 방향을 따라 필라들(113)을 분리한다.
- [0085] 도 10을 참조하면, 제 1 및 제 2 절연 물질들(112, 112a) 중 제 2 절연 물질들(112a)이 선택적으로 제거된다. 예시적으로, 제 1 및 제 2 절연 물질들(112, 112a)에 대해 선택적인 식각비를 갖는 물질이 전극 분리홀들(EDH)을 통해 주입되어, 제 2 절연 물질들(112a)이 제거될 수 있다. 이로 인해, 기판(111)의 상면, 필라들(113)의 외측면들, 제 1 절연 물질들(112)의 상면들, 하면들 및 필라들(113)과 대향하는 측면들이 노출된다.
- [0086] 도 11을 참조하면, 기판(111), 제 1 절연 물질들(112), 그리고 필라들(113)의 노출된 표면 상에 정보 저장막들(116)이 콘포말하게 형성된다. 즉, 기판(111)의 상면, 필라들(113)의 측면들, 제 1 절연 물질들(112)의 상면들, 하면들 및 필라들(113)과 대향하는 측면들에 정보 저장막들(116)이 콘포말하게 형성된다.
- [0087] 도 12를 참조하면, 정보 저장막들(116)의 노출된 표면 상에 도전막(CM)이 형성된다. 도전막(CM)은 전극 분리홀들(EDH, 도 11 참조)을 채우며, 또한 제 1 절연 물질들(112)의 사이를 채운다. 다른 관점에서, 도전막(CM)은 정보 저장막들(116)의 사이를 채운다.
- [0088] 도 13을 참조하면, 평탄화 공정을 통해, 제 1 절연 물질들(112) 중 최상부의 절연 물질의 상부에 형성된 정보 저장막들(116) 및 도전막(CM)이 제거될 수 있다. 그리고, 기판(111)과 수직한 방향으로 제 1 절연 물질들(112) 및 도전막(CM)을 관통하는 워드 라인 컷(WL cut)이 형성된다. 워드 라인 컷(WL cut)은 기판(111)을 노출하도록 형성된다. 워드 라인 컷(WL cut)은 필라들(113)의 사이에서 제 1 방향으로 신장된다. 즉, 워드 라인 컷(WL cut)은 제 1 방향을 따라 제 1 제 2 절연 물질들(112) 및 도전막(CM)을 분리한다. 다른 관점에서, 워드 라인 컷(WL cut)은 필라들(113)을 분리한다. 도전막(CM)은 워드 라인 컷(WL cut)에 의해 분리되어 도전 물질들(CL1~CL8)을 각각 형성한다.

- [0089] 예시적으로, 워드 라인 컷(WL cut)은 전극 분리홀(EDH, 도 11 참조)에 대응하는 영역에 형성될 수 있다. 예시적으로, 워드 라인 컷(WL cut)이 형성될 때, 정보 저장막들(116) 중 제 1 절연 물질들(112)의 필라들(113)과 대항하는 측면들에 제공된 정보 저장막이 제거될 수 있다.
- [0090] 도 4를 다시 참조하면, 워드 라인 컷(WL cut)을 통해 특정 원소들이 주입되어 도핑 영역들(311~313)이 형성된다. 도핑 영역들(311~313)은 기관(111)과 서로 다른 도전형을 가질 수 있다. 이후에, 워드 라인 컷(WL cut)은 절연 물질에 의해 채워질 수 있다.
- [0091] 필라들(113)의 상부에 드레인들(320)이 형성된다. 드레인들(320)은 채널막(114)과 서로 다른 도전형을 갖는 반도체 물질을 포함할 수 있다. 필라들(113)은 도핑 영역들(311~313)과 동일한 도전형을 갖는 반도체 물질을 포함할 수 있다. 드레인들(320)은 필라들(113)의 채널막(114)의 상부로 확장될 수 있다.
- [0092] 드레인들(320) 상에 비트 라인들(BL1, BL2)이 형성된다. 비트 라인들(BL1, BL2)은 폴리 실리콘, 금속 물질 등과 같은 도전 물질을 포함할 수 있다.
- [0093] 도핑 영역들(311~313), 드레인들(320), 그리고 비트 라인들(BL1, BL2)이 형성되면, 도 3 및 도 4를 참조하여 설명된 구조를 갖는 메모리 블록(BLK1)을 포함하는 비휘발성 메모리 장치가 제공된다.
- [0094] 도 14는 도 3의 I-I' 선에 따른 단면도의 제 2 실시 예를 보여준다. 도 3 및 도 14를 참조하면, 메모리 블록(BLK1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다.
- [0095] 필라들이 제 1 서브 필라들(113a) 및 제 1 서브 필라들(113a) 상부의 제 2 서브 필라들(113b)로 구성되는 것을 제외하면, 도 14에 도시된 구조는 도 4를 참조하여 설명된 구조와 동일하다. 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 따라서, 스프레딩(spreading)이 방지되므로, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0096] 제 1 서브 필라들(113a)의 제 1 채널막들(114a)은 도 4를 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 도 4를 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다.
- [0097] 제 1 서브 필라들(113a)의 제 1 내부 물질들(115a)은 도 4를 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 내부 물질들(115b)은 도 4를 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다.
- [0098] 제 1 서브 필라들(113a)의 상부에, 반도체 패드들(SP)이 제공될 수 있다. 제 1 서브 필라들(113a)의 제 1 채널막들(114a)과 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 반도체 패드들(SP)을 통해 각각 연결될 수 있다.
- [0099] 도전 물질들(CL1~CL8) 중 반도체 패드들(SP)에 대응하는 높이를 갖는 도전 물질들, 예를 들면 제 4 도전 물질들(CL4), 제 5 도전 물질들(CL5), 또는 제 4 및 제 5 도전 물질들(CL4, CL5)은 더미 워드 라인들(DWL)로 사용될 수 있다.
- [0100] 도 15 및 도 16은 도 3 및 도 14를 참조하여 설명된 메모리 블록(BLK1)을 형성하는 과정을 보여주는 단면도들이다. 도 15를 참조하면, 기관(111) 상에 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 교대로 적층된다. 더 상세하게는, 기관(111) 상에 제 2 절연 물질(112a)이 적층되고, 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층된다. 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층되고, 제 1 절연 물질(112) 상에 제 2 절연 물질(112a)이 적층된다. 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)은 특정 높이까지 교대로 적층된다. 예시적으로, 제 2 절연 물질들(112a)은 반도체 산화물을 포함한다. 제 1 절연 물질들(112)은 반도체 질화물을 포함한다.
- [0101] 기관(111)과 수직인 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 제 1 활성 홀들(AH1)이 형성된다. 제 1 활성 홀들(AH1)은 기관(111)을 노출하도록 형성된다.
- [0102] 제 1 활성 홀들(AH1)의 내부면들 상에 제 1 채널막들(114a)이 각각 형성된다. 제 1 채널막들(114a)은 기관(111)과 동일한 도전형을 가질 수 있다. 제 1 채널막들(114a)은 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 제 1 채널막들(114a)의 내부에 제 1 내부 물질들(115a)이 각각 제공된다. 제 1 내부 물질들(115a)은 반도체 산화물, 반도체 질화물, 에어 갭 등과 같은 절연 물질을 포함할 수 있다. 특정한 제 1 활성 홀 내의 제 1 내부 물질 및 제 1 채널막은 하나의 제 1 서브 필라를 구성한다. 즉, 제 1 채널막들(114a) 및 제 1 내부 물질

들(115a)은 제 1 서브 필라들(113a)을 각각 구성한다.

- [0103] 제 1 서브 필라들(113a)의 제 1 내부 물질들(115a)의 상부들이 리세스될 수 있다. 제 1 내부 물질들(115a)이 리세스된 영역들에, 반도체 패드들(SP)이 각각 형성될 수 있다. 반도체 패드들(SP)은 제 1 채널막들(114a)과 동일한 물질을 포함할 수 있다.
- [0104] 도 16을 참조하면, 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 추가적으로 교대로 적층된다. 이후에, 기관(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 제 2 활성 홀들(AH2)이 형성된다. 제 2 활성 홀들(AH2)은 제 1 활성 홀들(AH1)이 제공되는 영역 상에 형성된다. 제 2 활성 홀들(AH2)은 제 1 서브 필라들(113a), 즉 반도체 패드들(SP)을 노출하도록 형성된다.
- [0105] 제 2 활성 홀들(AH2)의 내부면들 상에 제 2 채널막들(114b)이 각각 형성된다. 제 2 채널막들(114b)은 제 1 채널막들(114a)과 동일한 물질을 포함할 수 있다. 제 2 채널막들(114b)의 내부에 제 2 내부 물질들(115b)이 각각 제공된다. 제 2 내부 물질들(115b)은 제 1 내부 물질들(114a)과 동일한 물질을 포함할 수 있다. 특정한 제 2 활성 홀 내부의 채널막 및 내부 물질은 하나의 제 2 서브 필라를 구성한다. 즉, 제 2 채널막들(114b) 및 제 2 내부 물질들(115b)은 각각 제 2 서브 필라들(113b)을 구성한다.
- [0106] 이후에, 도 9 내지 도 13을 참조하여 설명된 바와 같이, 전극 분리홀들(EDH)이 형성되고, 제 2 절연 물질들(112a)이 제거되고, 정보 저장막들(116)이 콘포말하게 형성되고, 도전막(CM)이 형성되고, 평탄화가 수행되고, 워드 라인 컷(WL cut)이 형성될 수 있다. 이후에, 도핑 영역들(311~313)이 형성되고, 드레인들(320)이 형성되고, 그리고 비트 라인들(BL1~BL2)이 형성되면 도 14에 도시된 구조가 형성된다.
- [0107] 도 17은 도 3의 I-I' 선에 따른 단면도의 제 3 실시 예를 보여준다. 도 3 및 도 17을 참조하면, 메모리 블록(BLK1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다.
- [0108] 제 1 절연 물질들(112) 및 필라들(113) 사이에 제 3 절연 물질들(112b)이 각각 제공되는 것을 제외하면, 도 17에 도시된 구조는 도 4를 참조하여 설명된 구조와 동일하다. 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 따라서, 스프레딩(spreading)이 방지되므로, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0109] 반도체 질화물은 반도체 채널에 스트레스를 유발한다. 따라서, 반도체 질화물을 포함하는 제 1 절연 물질들(112)이 반도체 채널로 사용되는 채널막(114)과 접촉하면, 채널막(114)에 스트레스가 인가될 수 있다.
- [0110] 그러나, 본 발명의 제 3 실시 예에 따르면, 반도체 질화물을 포함하는 제 1 절연 물질들(112) 및 채널막(114)을 포함하는 필라들(113) 사이에 제 3 절연 물질들(112b)이 제공된다. 예시적으로, 제 3 절연 물질들(112b)은 반도체 산화물을 포함할 수 있다. 제 1 절연 물질들(112)이 제 3 절연 물질들(112b)에 의해 채널막(114)으로부터 분리되므로, 채널막(114)에 스트레스가 인가되는 것이 방지된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0111] 도 18 내지 도 20은 도 3 및 도 17을 참조하여 설명된 메모리 블록(BLK1)을 형성하는 과정을 보여주는 단면도들이다. 도 18을 참조하면, 기관(111) 상에 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 교대로 적층된다. 더 상세하게는, 기관(111) 상에 제 2 절연 물질(112a)이 적층되고, 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층된다. 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층되고, 제 1 절연 물질(112) 상에 제 2 절연 물질(112a)이 적층된다. 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)은 특정 높이까지 교대로 적층된다. 예시적으로, 제 2 절연 물질들(112a)은 반도체 산화물을 포함하고, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다.
- [0112] 기관(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 활성 홀들(AH)이 형성된다. 활성 홀들(AH)은 기관(111)을 노출하도록 형성된다.
- [0113] 활성 홀들(AH)의 내부면들 상에 제 3 절연 물질들(112b)이 콘포말하게 형성된다. 제 3 절연 물질들(112b)은 제 2 절연 물질들(112a)과 동일한 물질을 포함할 수 있다. 예를 들면, 제 3 절연 물질들(112b)은 반도체 산화물을 포함할 수 있다.
- [0114] 이후에, 제 3 절연 물질들(112b)의 바닥부들은 제거된다. 예를 들면, 기관(111)의 상면이 노출되도록, 제 3 절연 물질들(112b)의 바닥부들이 제거될 수 있다.
- [0115] 제 3 절연 물질들(112b)의 내측면들 및 활성 홀들(AH)의 바닥면들 상에 채널막들(114)이 각각 형성된다. 채널막

들(114)의 내부에 내부 물질들(115)이 각각 제공된다. 특정 활성 홀 내부의 채널막 및 내부 물질은 하나의 필라를 구성한다. 즉, 채널막들(114) 및 내부 물질들(115)은 각각 필라들(113)을 구성한다.

- [0116] 도 19를 참조하면, 기관(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 전극 분리홀들(EDH)이 형성된다. 전극 분리홀들(EDH)은 기관(111)을 노출하도록 형성된다. 전극 분리홀들(EDH)은 필라들(113)의 사이에서 제 1 방향으로 신장된다. 즉, 전극 분리홀들(EDH)은 제 1 방향을 따라 제 1 및 제 2 절연 물질들(112, 112a)을 분리한다. 다른 관점에서, 전극 분리홀들(EDH)은 필라들(113)을 분리한다.
- [0117] 도 20을 참조하면, 제 1 및 제 2 절연 물질들(112, 112a) 중 제 2 절연 물질들(112a)이 선택적으로 제거된다. 예시적으로, 제 1 및 제 2 절연 물질들(112, 112a)에 대해 선택적인 식각비를 갖는 물질이 전극 분리홀들(EDH)을 통해 주입되어, 제 2 절연 물질들(112a)이 제거될 수 있다. 이로 인해, 기관(111)의 상면, 필라들(113)의 외측면들, 제 1 절연 물질들(112)의 상면들, 하면들 및 필라들(113)과 대향하는 측면들이 노출된다.
- [0118] 제 3 절연 물질들(112b)은 제 2 절연 물질들(112a)과 동일한 물질을 포함한다. 따라서, 제 2 절연 물질들(112a)이 제거될 때, 제 3 절연 물질들(112b)의 일부 또한 함께 제거된다. 예시적으로, 제 2 절연 물질들(112a)이 제거된 후에, 제 3 절연 물질들(112b) 중 제 2 절연 물질들(112a)과 필라들(113) 사이의 부분이 노출된다. 따라서, 제 2 절연 물질들(112a)이 제거된 후에, 제 3 절연 물질들(112b) 중 제 2 절연 물질들(112a)과 필라들(113) 사이의 부분이 제거될 수 있다.
- [0119] 제 3 절연 물질들(112b) 중 제 2 절연 물질들(112a) 및 필라들(113) 사이의 부분이 제거되면, 제 1 절연 물질들(112) 및 필라들(113) 사이에 제 3 절연 물질들(112b)이 남는다.
- [0120] 이후에, 도 11 내지 도 13을 참조하여 설명된 바와 같이, 정보 저장막들(116)이 콘포말하게 형성되고, 도전막(CM)이 형성되고, 평탄화가 수행되고, 워드 라인 컷(WL cut)이 형성될 수 있다. 이후에, 도핑 영역들(311~313)이 형성되고, 드레인들(320)이 형성되고, 그리고 비트 라인들(BL1~BL2)이 형성되면 도 17에 도시된 구조가 형성된다.
- [0121] 도 21은 도 3의 I-I' 선에 따른 단면도의 제 3 실시 예를 보여준다. 필라들(113)이 제 1 서브 필라들(113a) 및 제 1 서브 필라들(113a) 상부의 제 2 서브 필라들(113b)로 구성되는 제외하면, 도 21에 도시된 구조는 도 17을 참조하여 설명된 구조와 동일하다.
- [0122] 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 또한, 제 1 절연 물질들(112), 그리고 제 1 및 제 2 서브 필라들(113a, 113b) 사이에 제 3 절연 물질들(112b)이 제공된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0123] 제 1 서브 필라들(113a)의 제 1 채널막들(114a)은 도 17을 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 도 17을 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다.
- [0124] 제 1 서브 필라들(113a)의 제 1 내부 물질들(115a)은 도 17을 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 내부 물질들(115b)은 도 17을 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다.
- [0125] 제 1 서브 필라들(113a)의 상부들에, 반도체 패드들(SP)이 각각 제공될 수 있다. 제 1 서브 필라들(113a)의 제 1 채널막들(114a)과 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 반도체 패드들(SP)을 통해 각각 연결될 수 있다.
- [0126] 도전 물질들(CL1~CL8) 중 반도체 패드들(SP)에 대응하는 높이를 갖는 도전 물질들, 예를 들면, 제 4 도전 물질들(CL4), 제 5 도전 물질들(CL5), 또는 제 4 및 제 5 도전 물질들(CL4, CL5)은 더미 워드 라인들(DWL)로 사용될 수 있다.
- [0127] 제 1 및 제 2 활성 홀들(AH1, AH2)의 내부면들에 제 3 절연 물질들(112b)을 콘포말하게 형성하는 공정, 그리고 제 3 절연 물질들(112b)의 바닥부들을 리세스하는 공정이 추가되는 것을 제외하면, 도 21에 도시된 구조는 도 15 및 도 16을 참조하여 설명된 과정들과 동일한 과정들을 통해 형성된다.
- [0128] 도 22는 도 3의 I-I' 선에 따른 단면도의 제 4 실시 예를 보여준다. 도 3 및 도 22를 참조하면, 메모리 블록(BLK1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다.
- [0129] 필라들(113)의 외측면에 제 1 정보 저장막들(116a)이 제공되고, 도전 물질들(CL1~CL8)의 상면, 하면, 그리고 필

라들(113)과 인접한 측면 상에 제 2 정보 저장막들(116b)이 제공되는 것을 제외하면, 도 22에 도시된 구조는 도 17을 참조하여 설명된 구조와 동일하다.

- [0130] 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 또한, 제 1 절연 물질들(112) 및 필라들(113) 사이에 제 3 절연 물질들(112b)이 제공된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0131] 도 23은 도 22의 셀 트랜지스터들(CTa) 중 하나를 보여주는 확대도이다. 도 3, 도 22 및 도 23을 참조하면, 셀 트랜지스터는 제 5 도전 물질(CL5), 제 5 도전 물질(CL5)에 인접하는 필라들(113)의 영역, 그리고 제 5 도전 물질(CL5)과 필라들(113) 사이에 제공되는 제 1 및 제 2 정보 저장막들(116a, 116b)로 구성된다.
- [0132] 제 1 정보 저장막(116a)은 필라들(113)의 외측면 상에 제공된다. 제 1 정보 저장막(116a)은 제 1 서브 절연막(117a) 및 제 2 서브 절연막(118a)을 포함한다. 제 1 서브 절연막(117a)은 열산화막 또는 반도체 산화막을 포함할 수 있다. 제 2 서브 절연막(118a)은 반도체 질화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 수 있다.
- [0133] 제 2 정보 저장막들(116b)은 도전 물질들(CL1~CL8) 및 필라들(113)의 사이, 더 상세하게는 도전 물질들(CL1~CL8) 및 제 1 정보 저장막들(116a)의 사이로부터 도전 물질들(CL1~CL8)의 상면 및 하면 상으로 신장된다. 제 2 정보 저장막들(116b)은 반도체 산화막을 포함할 수 있다.
- [0134] 채널막(114)은 수직 바디로 동작한다. 제 1 서브 절연막(117a)은 터널링 절연막으로 동작한다. 제 2 서브 절연막(118a)은 전하 포획막으로 동작한다. 제 2 정보 저장막들(116b)은 블로킹 절연막으로 동작한다. 제 5 도전 물질(CL5)은 게이트(또는 제어 게이트)로 동작한다.
- [0135] 즉, 게이트(또는 제어 게이트)로 동작하는 제 5 도전 물질(CL5), 블로킹 절연막으로 동작하는 제 2 정보 저장막(116b), 전하 저장막으로 동작하는 제 2 서브 절연막(118), 터널링 절연막으로 동작하는 제 1 서브 절연막(117), 그리고 수직 바디로 동작하는 채널막(114)은 셀 트랜지스터로 동작한다.
- [0136] 도 24 내지 도 26은 도 3 및 도 22를 참조하여 설명된 메모리 블록(BLK1)을 형성하는 과정을 보여주는 단면도들이다. 도 24를 참조하면, 기판(111) 상에 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 교대로 적층된다. 더 상세하게는, 기판(111) 상에 제 2 절연 물질(112a)이 적층되고, 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층된다. 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층되고, 제 1 절연 물질(112) 상에 제 2 절연 물질(112a)이 적층된다. 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)은 특정 높이까지 교대로 적층된다. 예시적으로, 제 2 절연 물질들(112a)은 반도체 산화물을 포함하고, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다.
- [0137] 기판(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 활성 홀들(AH)이 형성된다. 활성 홀들(AH)은 기판(111)을 노출하도록 형성된다.
- [0138] 활성 홀들(AH)의 내부면들 상에 제 3 절연 물질들(112b)이 콘포말하게 형성된다. 제 3 절연 물질들(112b)은 제 2 절연 물질들(112a)과 동일한 물질을 포함할 수 있다. 예를 들면, 제 3 절연 물질들(112b)은 반도체 산화물을 포함할 수 있다. 이후에, 제 3 절연 물질들(112b)의 바닥부들은 제거된다. 예를 들면, 기판(111)이 노출되도록, 제 3 절연 물질들(112b)의 바닥부들이 제거될 수 있다.
- [0139] 제 3 절연 물질들(112b)의 내측면들 및 활성 홀들(AH)의 바닥면들 상에 제 1 정보 저장막들(116a)이 콘포말하게 형성된다. 예시적으로, 제 2 서브 절연막(118a) 및 제 1 서브 절연막(117a)이 순차적으로 콘포말하게 형성될 수 있다. 이후에, 제 1 정보 저장막들(116a)의 바닥부는 리세스된다. 예를 들면, 기판(111)이 노출되도록, 제 3 절연 물질들(112b)의 바닥부들이 리세스될 수 있다.
- [0140] 제 1 정보 저장막들(116a)의 내측면들 및 활성 홀들(AH)의 바닥면들 상에 채널막들(114)이 콘포말하게 형성된다. 채널막들(114)의 내부에 내부 물질들(115)이 제공된다. 특정 활성 홀 내부의 채널막 및 내부 물질은 하나의 필라를 구성한다. 즉, 채널막들(114) 및 내부 물질들(115)은 각각 필라들(113)을 구성한다.
- [0141] 도 25를 참조하면, 기판(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 전극 분리홀들(EDH)이 형성된다. 전극 분리홀들(EDH)은 기판(111)을 노출하도록 형성된다. 전극 분리홀들(EDH)은 필라들(113)의 사이에서 제 1 방향으로 신장된다. 즉, 전극 분리홀들(EDH)은 제 1 방향을 따라 제 1 및 제 2 절연 물질들(112, 112a)을 분리한다. 다른 관점에서, 전극 분리홀들(EDH)은 필라들(113)을 분리한다.

- [0142] 도 26을 참조하면, 제 1 및 제 2 절연 물질들(112, 112a) 중 제 2 절연막들(112a)이 선택적으로 제거된다. 예시적으로, 제 1 및 제 2 절연 물질들(112, 112a)에 대해 선택적인 식각비를 갖는 물질이 전극 분리홀들(EDH)을 통해 주입되어, 제 2 절연막들(112a)이 제거될 수 있다. 이로 인해, 기관(111)의 상면, 필라들(113)의 외측면들, 제 1 절연 물질들(112)의 상면들, 하면들 및 필라들(113)과 대향하는 측면들이 노출된다.
- [0143] 이후에, 도 11 내지 도 13을 참조하여 설명된 바와 같이, 제 2 정보 저장막들(116b)이 콘포말하게 형성되고, 도 전막(CM)이 형성되고, 평탄화가 수행되고, 워드 라인 컷(WL cut)이 형성될 수 있다. 이후에, 도핑 영역들(311~313)이 형성되고, 드레인들(320)이 형성되고, 그리고 비트 라인들(BL1~BL2)이 형성되면 도 22에 도시된 구조가 형성된다.
- [0144] 도 27은 도 3의 I-I' 선에 따른 단면도의 제 5 실시 예를 보여준다. 필라들이 제 1 서브 필라들(113a) 및 제 2 서브 필라들(113b)로 구성되는 것을 제외하면, 도 27에 도시된 구조는 도 22를 참조하여 설명된 구조와 동일하다.
- [0145] 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 또한, 제 1 절연 물질들(112), 그리고 제 1 및 제 2 서브 필라들(113a, 113b) 사이에 제 3 절연 물질들(112b)이 제공된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0146] 제 1 서브 필라들(113a)의 제 1 채널막들(114a)은 도 22를 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 도 22를 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다.
- [0147] 제 1 서브 필라들(113a)의 제 1 내부 물질들(115a)은 도 22를 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 내부 물질들(115b)은 도 22를 참조하여 설명된 내부 물질(115)과 동일한 물질을 포함한다.
- [0148] 제 1 서브 필라들(113a)의 상부들에, 반도체 패드들(SP)이 각각 제공될 수 있다. 제 1 서브 필라들(113a)의 제 1 채널막들(114a)과 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 반도체 패드들(SP)을 통해 각각 연결될 수 있다.
- [0149] 도전 물질들(CL1~CL8) 중 반도체 패드들(SP)에 대응하는 높이를 갖는 도전 물질들, 예를 들면, 제 4 도전 물질들(CL4), 제 5 도전 물질들(CL5), 또는 제 4 및 제 5 도전 물질들(CL4, CL5)은 더미 워드 라인들(DWL)로 사용될 수 있다.
- [0150] 제 1 및 제 2 활성 홀들(AH1, AH2)의 내부면들에 제 3 절연 물질들(112b)을 콘포말하게 형성하는 공정, 제 3 절연 물질들(112b)의 바닥부들을 리세스하는 공정, 제 3 절연 물질들(112b)의 내측면과 제 1 및 제 2 활성 홀들(AH1, AH2)의 바닥면들 상에 제 1 정보 저장막들(116a)을 콘포말하게 형성하는 공정, 제 1 정보 저장막들(116a)의 바닥부들을 리세스하는 공정이 추가되는 것을 제외하면, 도 27의 구조는 도 15 및 도 16을 참조하여 설명된 과정들과 동일한 과정들을 통해 형성된다.
- [0151] 도 28은 도 3의 I-I' 선에 따른 단면도의 제 6 실시 예를 보여준다. 도 3 및 도 28을 참조하면, 메모리 블록(BLK1)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함한다.
- [0152] 필라들(113)의 외측면에 제 1 정보 저장막들(116a)이 제공되고, 도전 물질들(CL1~CL8)의 상면, 하면, 그리고 필라들(113)과 인접한 측면 상에 제 2 정보 저장막들(116b)이 제공되는 것을 제외하면, 도 28에 도시된 구조는 도 4를 참조하여 설명된 구조와 동일하다.
- [0153] 도 29는 도 28의 셀 트랜지스터들(CTb) 중 하나를 보여주는 확대도이다. 도 3, 도 28 및 도 29를 참조하면, 셀 트랜지스터는 제 5 도전 물질(CL5), 제 5 도전 물질(CL5)에 인접하는 필라들(113)의 영역, 그리고 제 5 도전 물질(CL5)과 필라들(113) 사이에 제공되는 제 1 및 제 2 정보 저장막들(116a, 116b)로 구성된다.
- [0154] 제 1 정보 저장막들(116a)은 필라들(113)의 외측면 상에 제공된다. 제 1 정보 저장막들(116a)은 제 1 서브 절연막(117a) 및 제 2 서브 절연막(118a)을 포함한다. 제 1 서브 절연막(117a)은 열산화막 또는 반도체 산화막을 포함할 수 있다. 제 2 서브 절연막(118a)은 반도체 질화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 수 있다.
- [0155] 제 2 정보 저장막(116b)은 도전 물질들(CL1~CL8) 및 필라들(113)의 사이, 더 상세하게는 도전 물질들(CL1~CL8) 및 제 1 정보 저장막(116a)의 사이로부터 도전 물질들(CL1~CL8)의 상면 및 하면 상으로 신장된다. 제 2 정보 저

장막(116b)은 반도체 산화막을 포함할 수 있다.

- [0156] 채널막(114)은 수직 바디로 동작한다. 제 1 서브 절연막(117a)은 터널링 절연막으로 동작한다. 제 2 서브 절연막(118a)은 전하 포획막으로 동작한다. 제 2 정보 저장막(116b)은 블로킹 절연막으로 동작한다. 도전 물질(CL5)은 게이트(또는 제어 게이트)로 동작한다.
- [0157] 즉, 게이트(또는 제어 게이트)로 동작하는 도전 물질(CL5), 블로킹 절연막으로 동작하는 제 2 정보 저장막(116b), 전하 저장막으로 동작하는 제 2 서브 절연막(118), 터널링 절연막으로 동작하는 제 1 서브 절연막(117), 그리고 수직 바디로 동작하는 채널막(114)은 셀 트랜지스터로 동작한다.
- [0158] 도 28 및 도 29를 참조하면, 제 1 절연 물질들(112) 및 필라들(113) 사이에 제 1 정보 저장막들(116a)이 제공된다. 제 1 정보 저장막들(116a)은 필라들(113)의 외측면상에 제공되는 제 1 서브 절연막(117a), 그리고 제 1 서브 절연막(117a)의 외측면상에 제공되는 제 2 서브 절연막(118a)을 포함한다. 제 1 서브 절연막(117a)은 반도체 산화막을 포함하고, 제 2 서브 절연막(118a)은 반도체 질화막을 포함한다. 제 1 절연 물질들(112) 및 필라들(113) 사이에 반도체 산화막을 포함하는 제 1 서브 절연막(117a)이 제공된다. 즉, 필라들(113)은 반도체 질화막을 포함하는 제 2 서브 절연막(118a) 및 제 1 절연 물질들(112)과 제 1 서브 절연막(117a)에 의해 격리된다.
- [0159] 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 또한, 제 1 절연 물질들(112) 및 필라들(113) 사이에 제 1 서브 절연막(117a)이 제공된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0160] 도 30 내지 도 32는 도 3 및 도 28을 참조하여 설명된 메모리 블록(BLK1)을 형성하는 과정을 보여주는 단면도들이다. 도 30을 참조하면, 기관(111) 상에 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)이 교대로 적층된다. 더 상세하게는, 기관(111) 상에 제 2 절연 물질(112a)이 적층되고, 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층된다. 제 2 절연 물질(112a) 상에 제 1 절연 물질(112)이 적층되고, 제 1 절연 물질(112) 상에 제 2 절연 물질(112a)이 적층된다. 제 2 절연 물질들(112a) 및 제 1 절연 물질들(112)은 특정 높이까지 교대로 적층된다. 예시적으로, 제 2 절연 물질들(112a)은 반도체 산화물을 포함하고, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다.
- [0161] 기관(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 활성 홀들(AH)이 형성된다. 활성 홀들(AH)은 기관(111)을 노출하도록 형성된다.
- [0162] 활성 홀들(AH)의 내측면들 상에 제 1 정보 저장막들(116a)이 콘포말하게 형성된다. 예시적으로, 제 2 서브 절연막(118a) 및 제 1 서브 절연막(117a)이 순차적으로 콘포말하게 형성될 수 있다.
- [0163] 이후에, 제 1 정보 저장막들(116a)의 바닥부들은 제거된다. 예를 들면, 기관(111)의 상면이 노출되도록, 제 3 절연 물질(112b)의 바닥부들이 제거될 수 있다.
- [0164] 제 1 정보 저장막들(116a)의 내측면들 및 활성 홀들(AH)의 바닥면들 상에 채널막들(114)이 콘포말하게 형성된다. 채널막들(114)의 내부에 내부 물질들(115)이 제공된다. 특정 활성 홀 내부의 채널막 및 내부 물질은 하나의 필라를 구성한다. 즉, 채널막들(114) 및 내부 물질들(115)은 각각 필라들(113)을 구성한다.
- [0165] 도 31을 참조하면, 기관(111)과 수직한 방향으로 제 1 및 제 2 절연 물질들(112, 112a)을 관통하는 전극 분리홀들(EDH)이 형성된다. 전극 분리홀들(EDH)은 기관(111)을 노출하도록 형성된다. 전극 분리홀들(EDH)은 필라들(113)의 사이에서 제 1 방향으로 신장된다. 즉, 전극 분리홀들(EDH)은 제 1 방향을 따라 제 1 및 제 2 절연 물질들(112, 112a)을 분리한다. 다른 관점에서, 전극 분리홀들(EDH)은 필라들(113)을 분리한다.
- [0166] 도 32를 참조하면, 제 1 및 제 2 절연 물질들(112, 112a) 중 제 2 절연막들(112a)이 선택적으로 제거된다. 예시적으로, 제 1 및 제 2 절연 물질들(112, 112a)에 대해 선택적인 식각비를 갖는 물질이 전극 분리홀들(EDH)을 통해 주입되어, 제 2 절연막들(112a)이 제거될 수 있다. 이로 인해, 기관(111)의 상면, 필라들(113)의 외측면들, 제 1 절연 물질들(112)의 상면들, 하면들 및 필라들(113)과 대향하는 측면들이 노출된다.
- [0167] 이후에, 도 11 내지 도 13을 참조하여 설명된 바와 같이, 제 2 정보 저장막들(116b)이 콘포말하게 형성되고, 도전막(CM)이 형성되고, 평탄화가 수행되고, 워드 라인 컷(WL cut)이 형성될 수 있다. 이후에, 도핑 영역들(311~313)이 형성되고, 드레인들(320)이 형성되고, 그리고 비트 라인들(BL1~BL2)이 형성되면 도 28에 도시된 구조가 형성된다.
- [0168] 도 33은 도 3의 I-I' 선에 따른 단면도의 제 7 실시 예를 보여준다. 필라들이 제 1 서브 필라들(113a) 및 제



2 서브 필라들(113b)로 구성되는 것을 제외하면, 도 33에 도시된 구조는 도 28을 참조하여 설명된 구조와 동일하다.

- [0169] 즉, 도전 물질들(CL1~CL8) 사이에 제공되는 제 1 절연 물질들(112)은 음의 특성을 갖는다. 또한, 제 1 절연 물질들(112), 그리고 제 1 및 제 2 서브 필라들(113a, 113b) 사이에 제 1 정보 저장막들(116a)이 제공된다. 따라서, 비휘발성 메모리 장치(100, 도 1 참조)의 신뢰성이 향상된다.
- [0170] 제 1 서브 필라들(113a)의 제 1 채널막들(114a)은 도 28을 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 도 28을 참조하여 설명된 채널막들(114)과 동일한 물질을 포함한다.
- [0171] 제 1 서브 필라들(113a)의 제 1 내부 물질들(115a)은 도 28을 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다. 제 2 서브 필라들(113b)의 제 2 내부 물질들(115b)은 도 28을 참조하여 설명된 내부 물질들(115)과 동일한 물질을 포함한다.
- [0172] 제 1 서브 필라들(113a)의 상부들에, 반도체 패드들(SP)이 제공될 수 있다. 제 1 서브 필라들(113a)의 제 1 채널막들(114a)과 제 2 서브 필라들(113b)의 제 2 채널막들(114b)은 반도체 패드들(SP)을 통해 연결될 수 있다.
- [0173] 도전 물질들(CL1~CL8) 중 반도체 패드들(SP)에 대응하는 높이를 갖는 도전 물질들, 예를 들면, 제 4 도전 물질들(CL4), 제 5 도전 물질들(CL5), 또는 제 4 및 제 5 도전 물질들(CL4, CL5)은 더미 워드 라인들(DWL)로 사용될 수 있다.
- [0174] 제 1 및 제 2 활성 홀들(AH1, AH2)의 내부면들에 제 1 정보 저장막들(116a)을 형성하는 공정, 그리고 제 1 정보 저장막들(116a)의 바닥부를 리세스하는 공정이 추가되는 것을 제외하면, 도 33의 구조는 도 15 및 도 16을 참조하여 설명된 과정들과 동일한 과정들을 통해 형성된다.
- [0175] 도 34는 본 발명의 실시 예에 따른 메모리 시스템(1000)을 보여주는 블록도이다. 도 34를 참조하면, 메모리 시스템(1000)은 비휘발성 메모리 장치(1100) 및 컨트롤러(1200)를 포함한다.
- [0176] 비휘발성 메모리 장치(1100)는 도 1 내지 도 33을 참조하여 설명된 비휘발성 메모리 장치(100)와 동일한 구조를 가지며, 동일하게 동작한다. 즉, 비휘발성 메모리 장치(1100)는 기판(111, 도 3 내지 도 33 참조) 상에 교대로 적층된 도전 물질들(CL1~CL8) 및 제 1 절연 물질들(112)을 포함하되, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다. 또한, 비휘발성 메모리 장치(1100)는 제 1 절연 물질들(112) 및 필라들(113) 사이에 제공되는 반도체 산화물을 더 포함할 수 있다. 반도체 산화물은 제 3 절연 물질들(112b) 또는 제 1 서브 절연막(117a)일 수 있다. 따라서, 스프레딩 및 스트레스가 방지되므로, 비휘발성 메모리 장치(1100) 및 그것을 포함하는 메모리 시스템(1000)의 신뢰성이 향상된다.
- [0177] 컨트롤러(1200)는 호스트(Host) 및 비휘발성 메모리 장치(1100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1200)는 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 비휘발성 메모리 장치(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0178] 예시적으로, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)에 제어 신호(CTRL) 및 어드레스(ADDR)를 제공하도록 구성된다. 그리고, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)와 데이터(DATA)를 교환하도록 구성된다.
- [0179] 예시적으로, 컨트롤러(1200)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 더 포함한다. 램(RAM)은 프로세싱 유닛의 동작 메모리, 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛은 컨트롤러(1200)의 제반 동작을 제어한다.
- [0180] 호스트 인터페이스는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하

도록 구성된다. 메모리 인터페이스는 비휘발성 메모리 장치(1100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.

[0181] 메모리 시스템(1000)은 오류 정정 블록을 추가적으로 포함하도록 구성될 수 있다. 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 비휘발성 메모리 장치(1100)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성된다. 예시적으로, 오류 정정 블록은 컨트롤러(1200)의 구성 요소로서 제공될 수 있다. 오류 정정 블록은 비휘발성 메모리 장치(1100)의 구성 요소로서 제공될 수 있다.

[0182] 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.

[0183] 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(1000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.

[0184] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레메틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0185] 예시적으로, 비휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 비휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.

[0186] 도 35는 도 34의 메모리 시스템(1000)의 응용 예를 보여주는 블록도이다. 도 35를 참조하면, 메모리 시스템(2000)은 비휘발성 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 비휘발성 메모리 장치(2100)는 복수의 비휘발성 메모리 칩들을 포함한다. 복수의 비휘발성 메모리 칩들은 복수의 그룹들로 분할된다. 복수의 비휘발성 메모리 칩들의 그룹들 각각은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 예시적으로, 복수의 비휘발성 메모리 칩들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다.

[0187] 비휘발성 메모리 칩들 각각은 도 1을 참조하여 설명된 비휘발성 메모리 장치(100)와 동일한 구조를 가지며, 동일하게 동작할 수 있다. 즉, 비휘발성 메모리 칩은 기관(111, 도 3 내지 도 33 참조) 상에 교대로 적층된 도전 물질들(CL1~CL8) 및 제 1 절연 물질들(112)을 포함하되, 제 1 절연 물질들(112)은 반도체 질화물을 포함한다. 또한, 비휘발성 메모리 칩은 제 1 절연 물질들(112) 및 필라들(113) 사이에 제공되는 반도체 산화물을 더 포함할 수 있다. 반도체 산화물은 제 3 절연 물질들(112b) 또는 제 1 서브 절연막(117a)일 수 있다. 따라서, 스프레딩 및 스트레스가 방지되므로, 비휘발성 메모리 장치(2100) 및 그것을 포함하는 메모리 시스템(2000)의 신뢰성

이 향상된다.

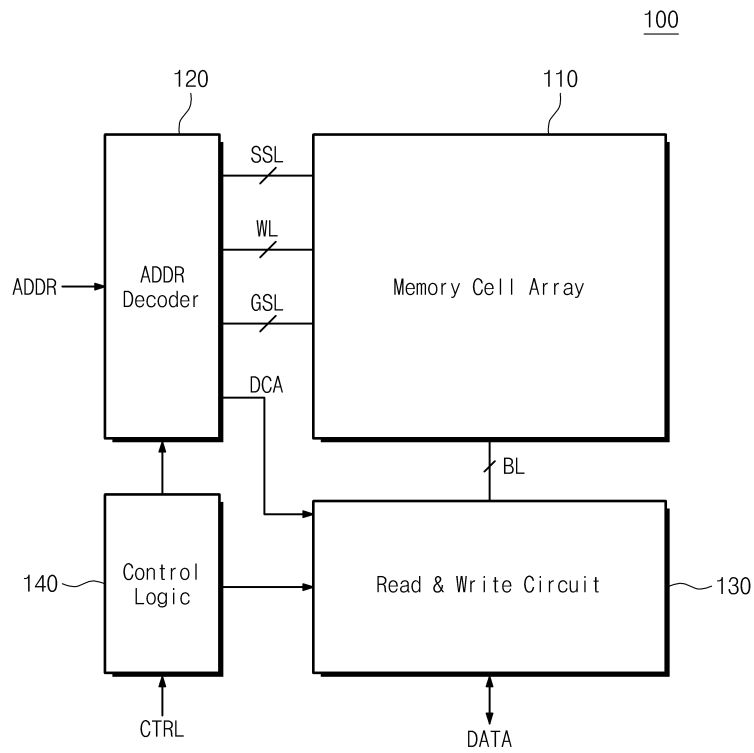
- [0188] 도 35에서, 하나의 채널에 복수의 비휘발성 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 비휘발성 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있다.
- [0189] 도 36은 도 35를 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는 블록도이다. 도 36을 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 그리고 메모리 시스템(2000)을 포함한다.
- [0190] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.
- [0191] 도 36에서, 불휘발성 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 불휘발성 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다.
- [0192] 도 36에서, 도 35를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 34를 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다.
- [0193] 예시적으로, 컴퓨팅 시스템(3000)은 도 34 및 도 35를 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.
- [0194] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**부호의 설명**

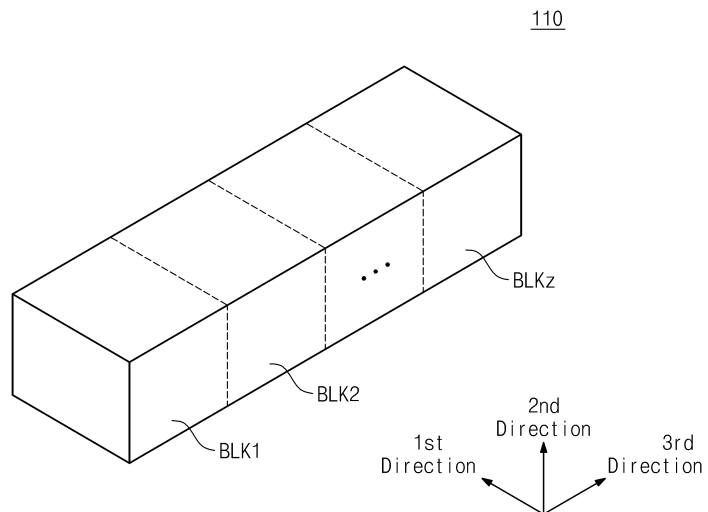
- [0195] 100; 비휘발성 메모리 장치
- 110; 메모리 셀 어레이
- 111; 기판
- 112, 112a, 112b; 제 1 내지 제 3 절연 물질들
- 113, 113a, 113b; 필라들, 제 1 및 제 2 서브 필라들
- 114, 114a, 114b; 채널막들, 제 1 및 제 2 채널막들
- 115, 115a, 115b; 내부 물질들, 제 1 및 제 2 내부 물질들
- 116, 116a, 116b; 정보 저장막, 제 1 및 제 2 정보 저장막들
- 117, 117a; 제 1 서브 절연막
- 118, 118a; 제 2 서브 절연막
- 119; 제 3 서브 절연막
- CL1~CL8; 도전 물질들
- EDH; 전극 분리홀들
- AH, AH1, AH2; 활성홀들, 제 1 및 제 2 활성홀들
- CM; 도전막
- WL cut; 워드 라인 컷
- 320; 드레인들

도면

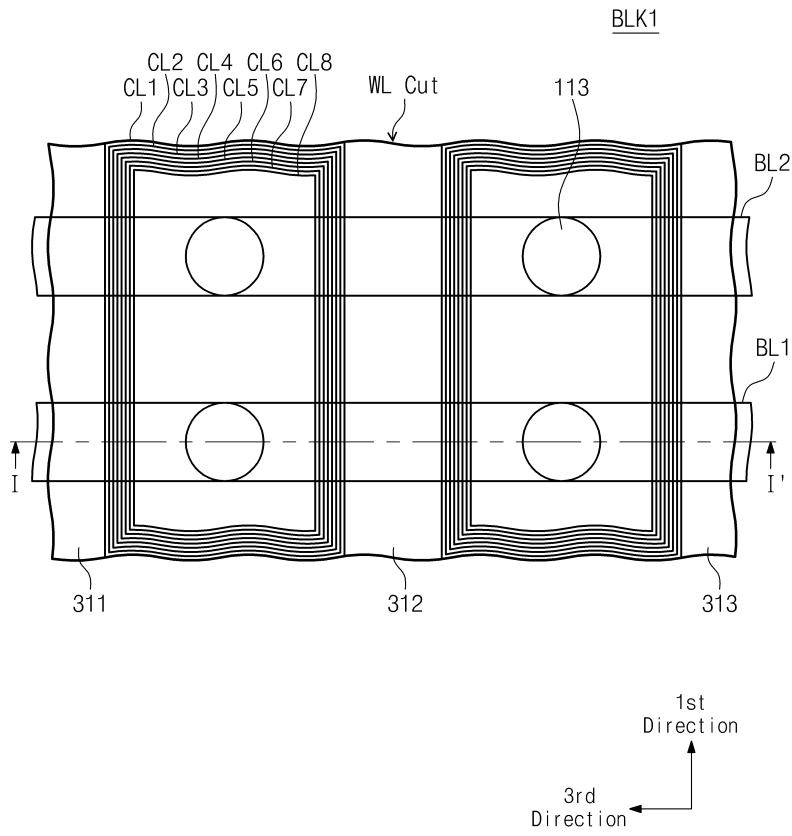
도면1



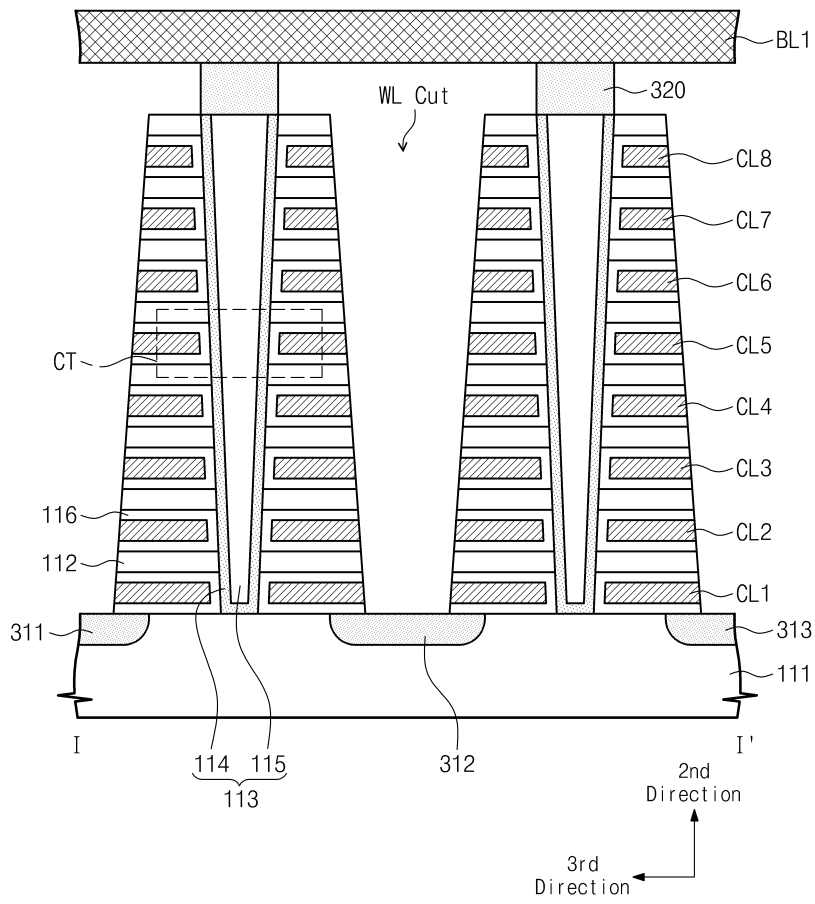
도면2



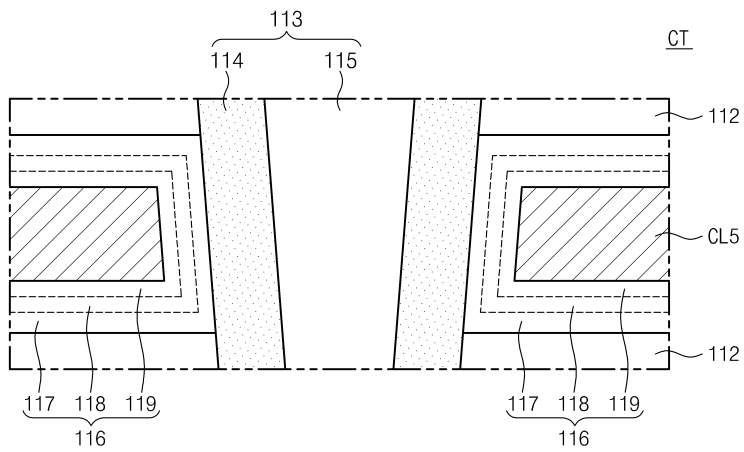
도면3



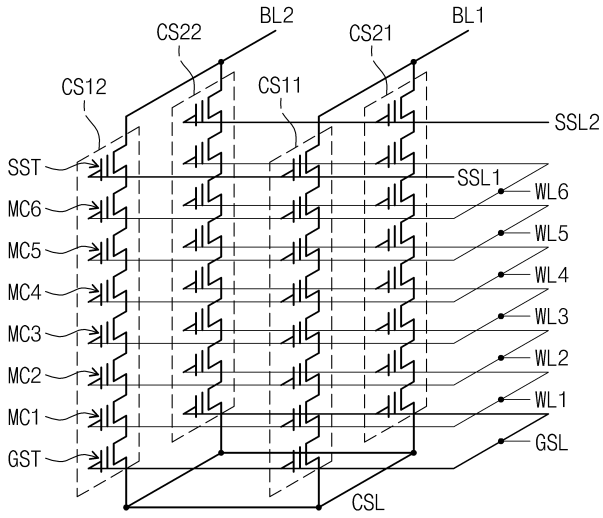
도면4



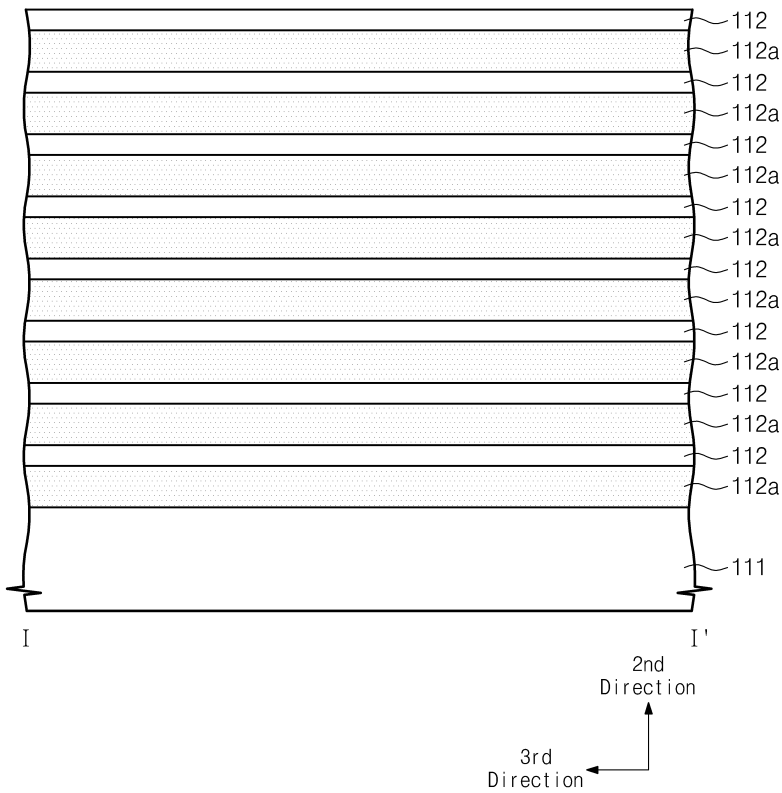
도면5



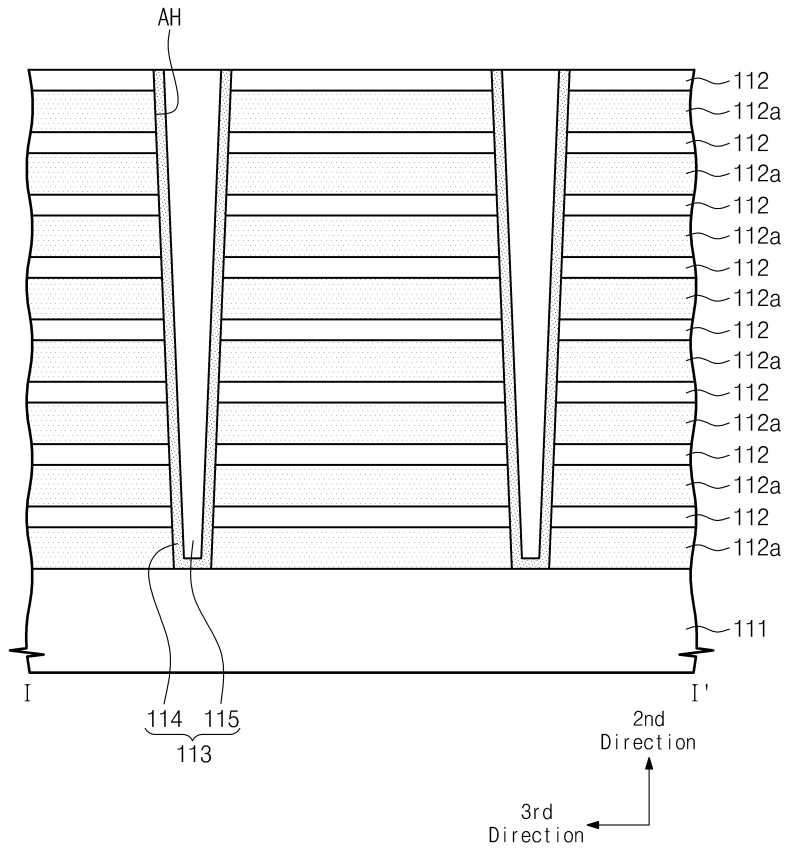
도면6



도면7

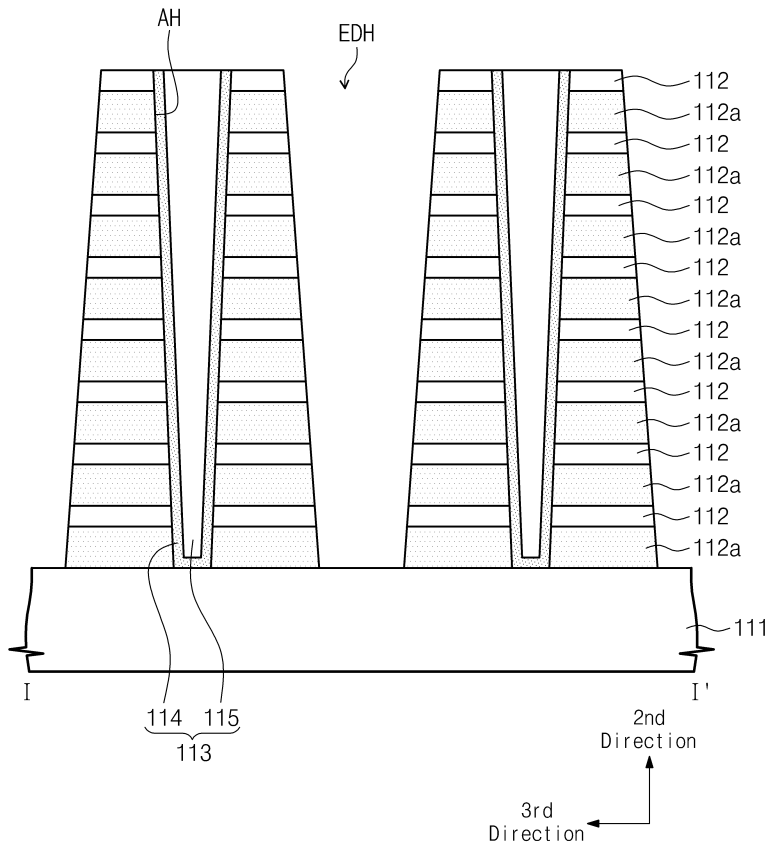


도면8

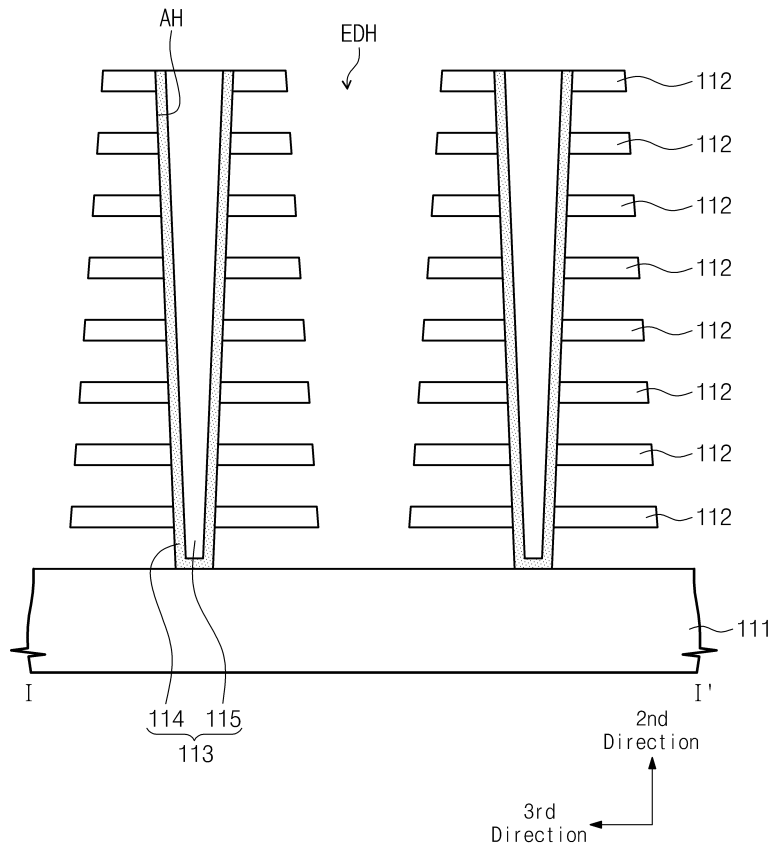




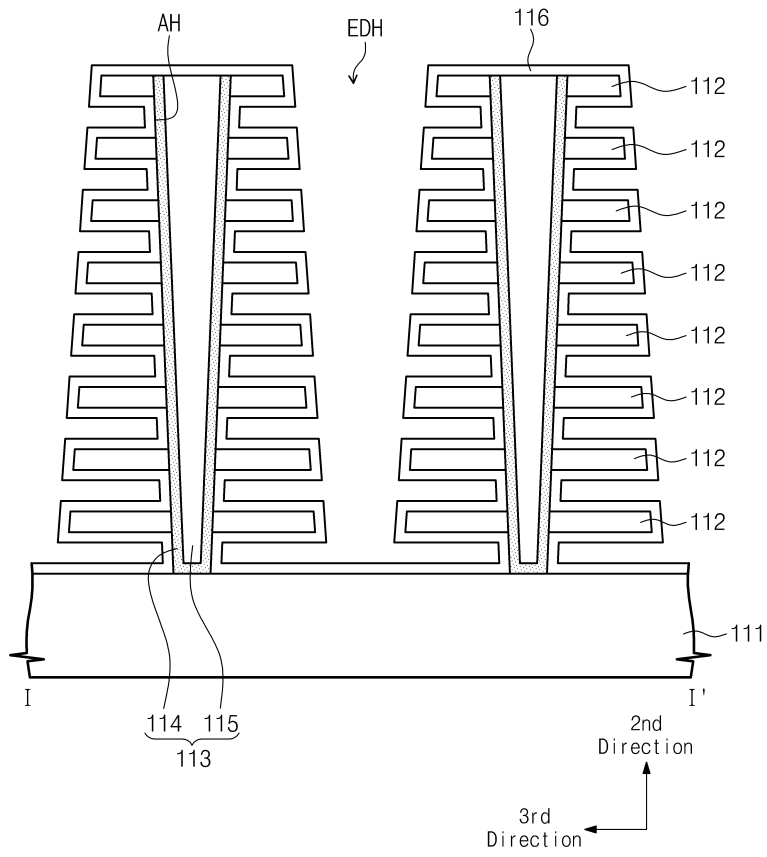
도면9



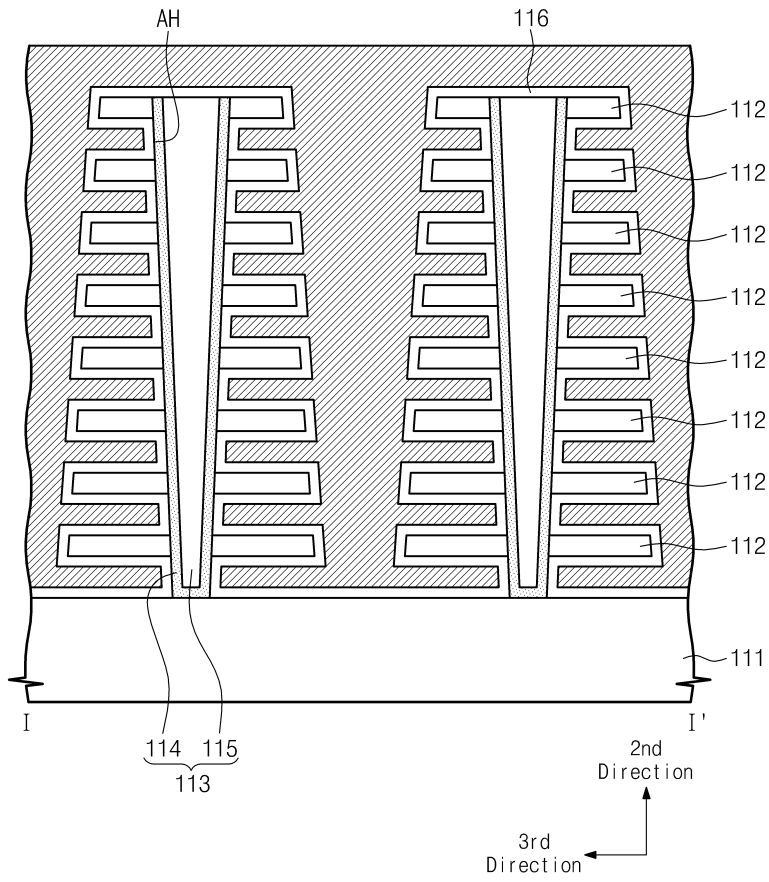
도면10



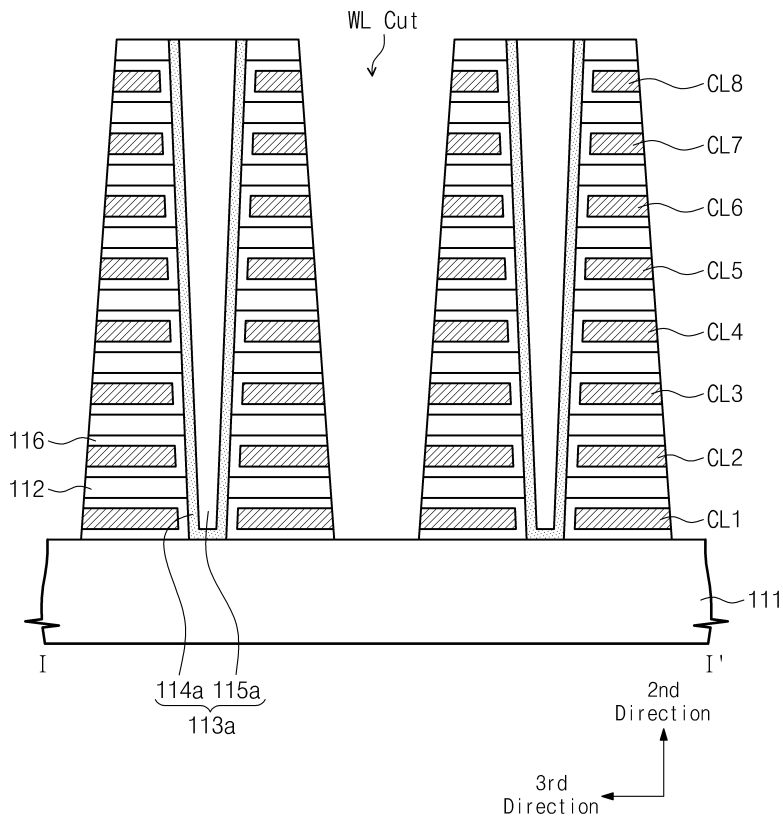
도면11



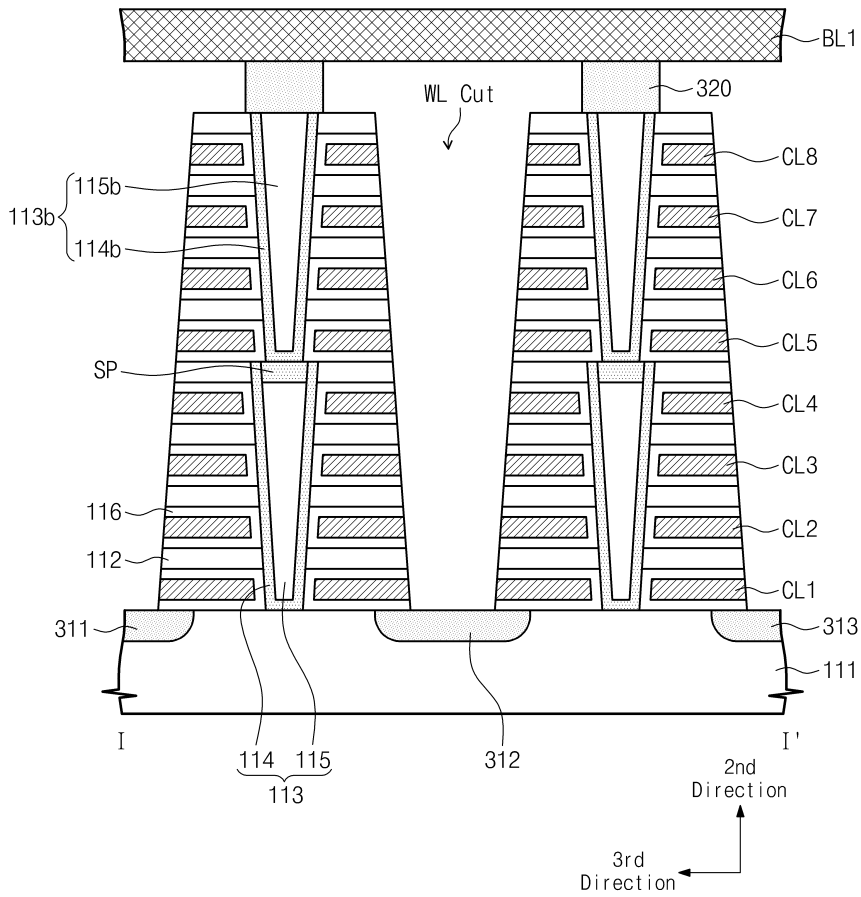
도면12



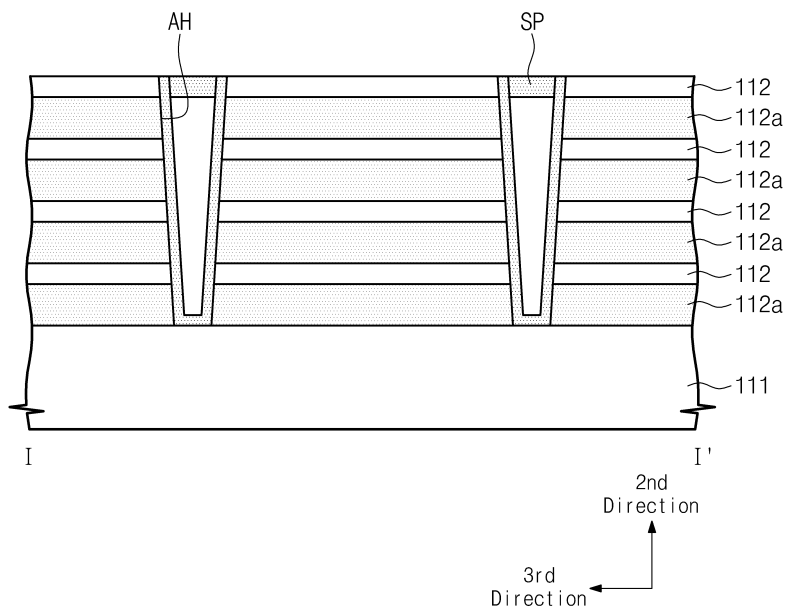
도면13



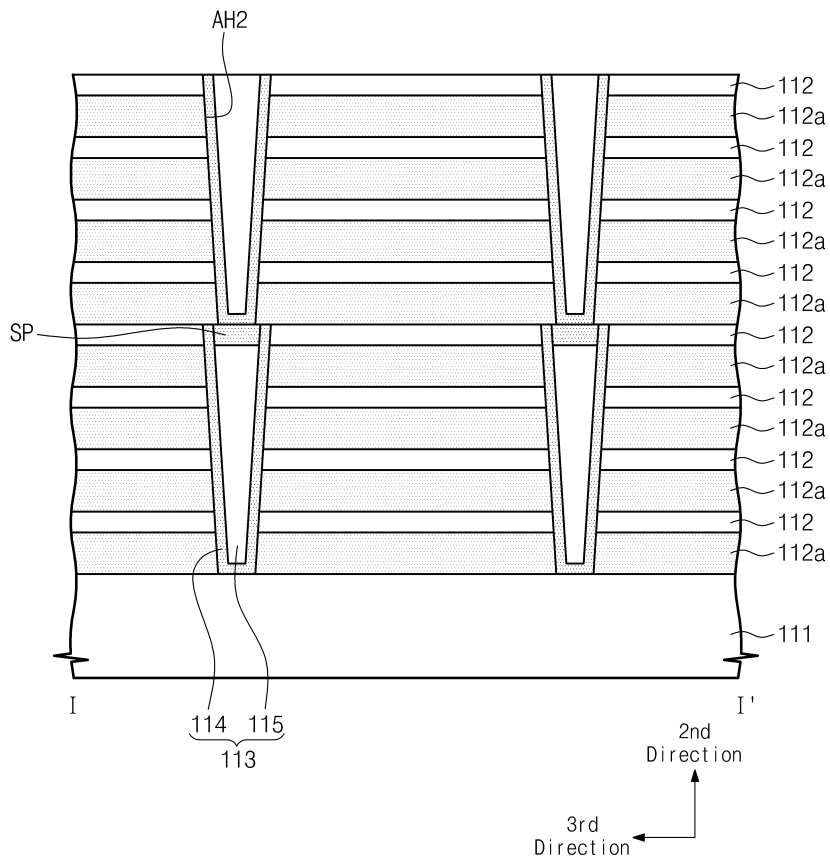
도면14



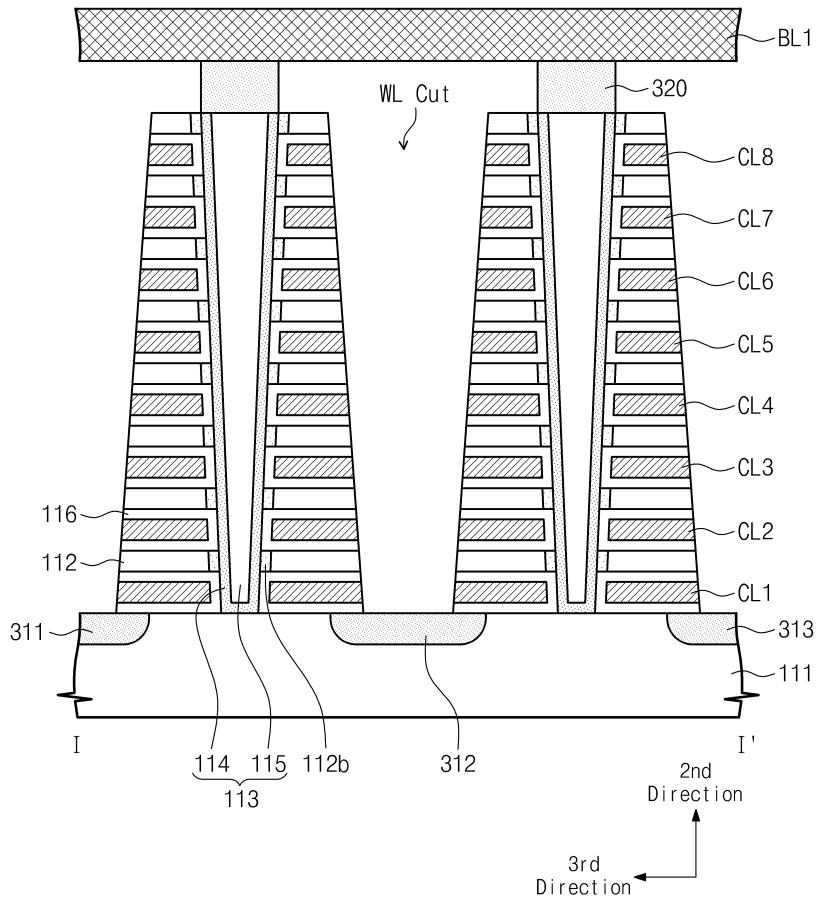
도면15



도면16

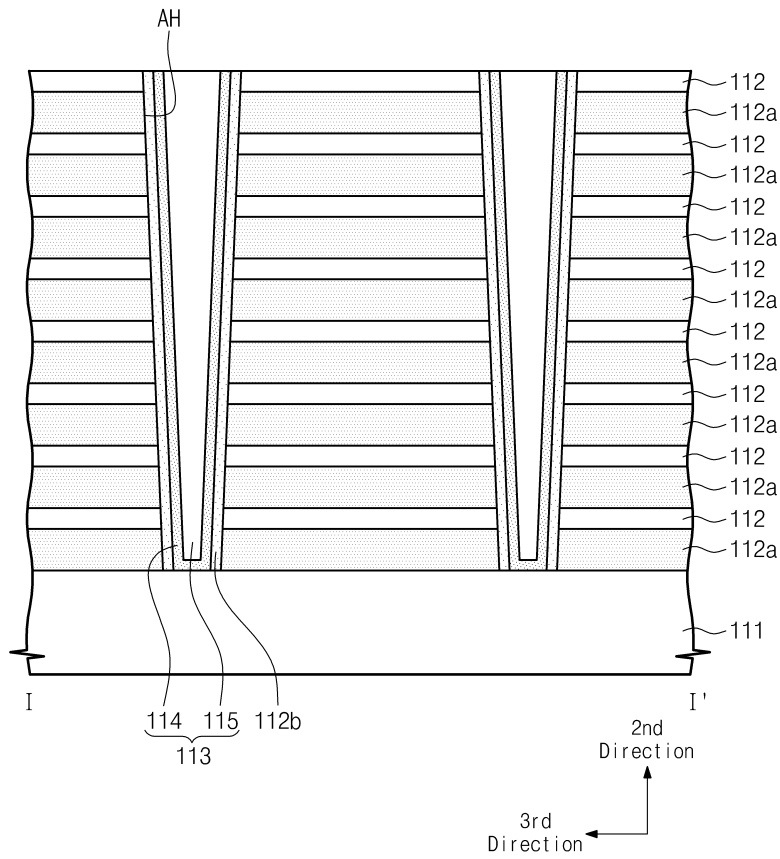


도면17

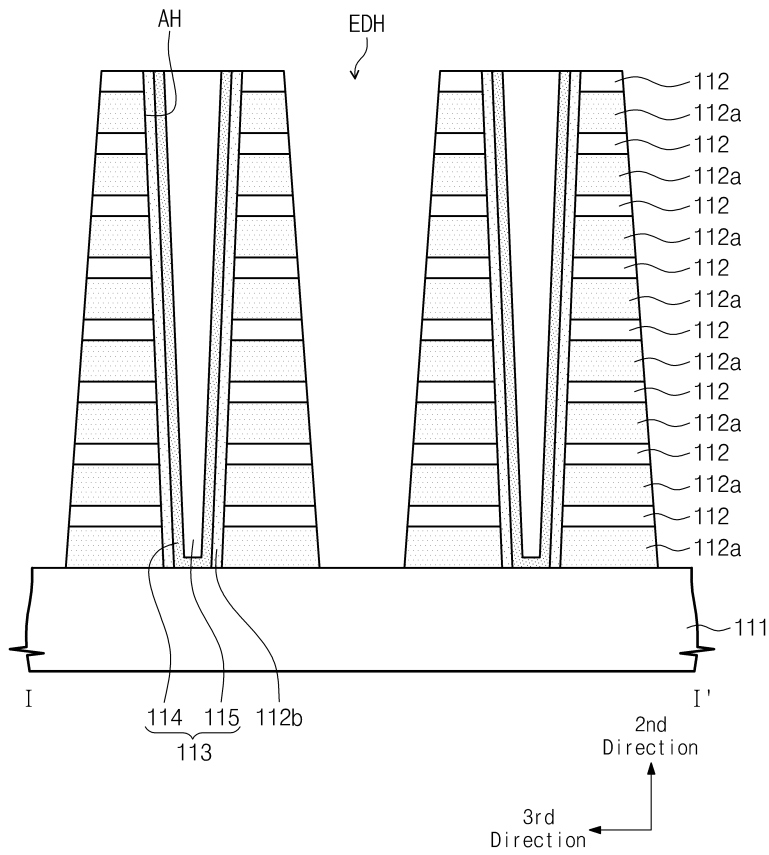




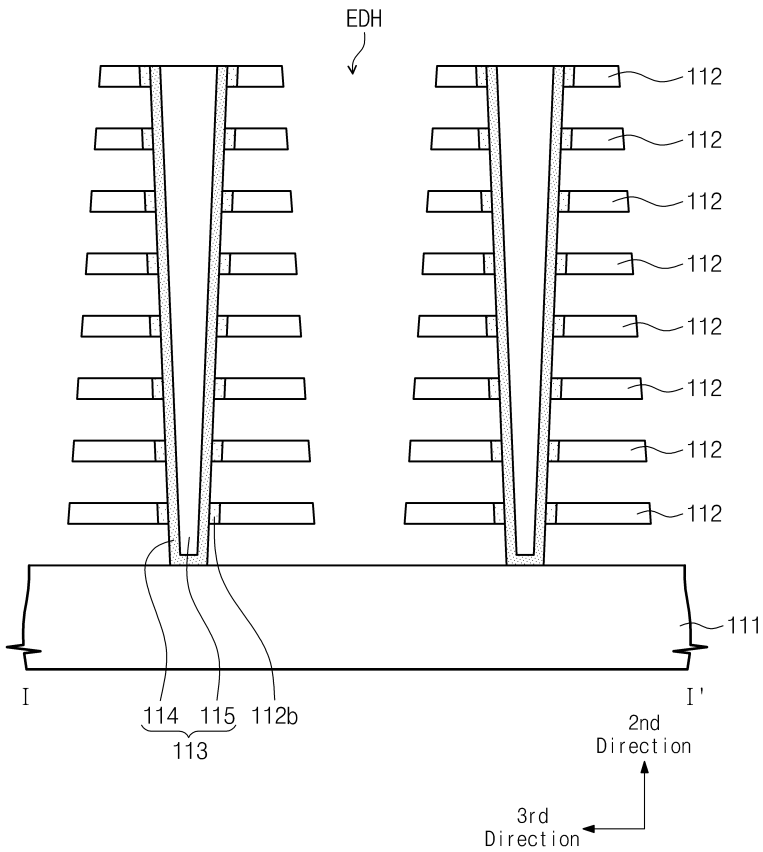
도면18



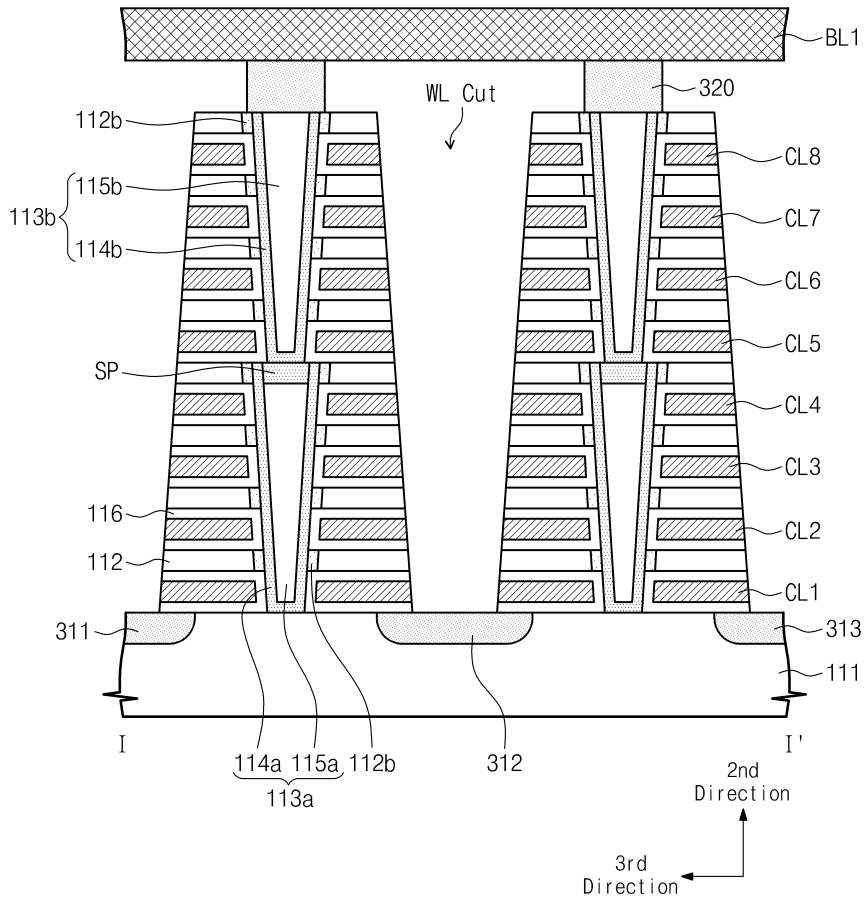
도면19



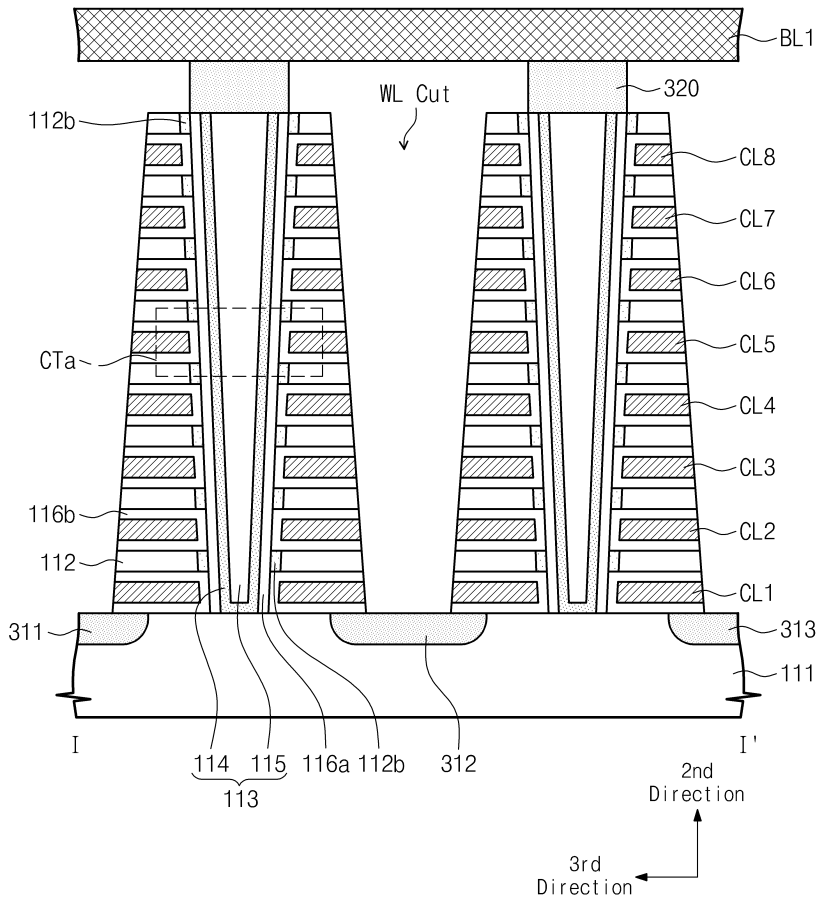
도면20



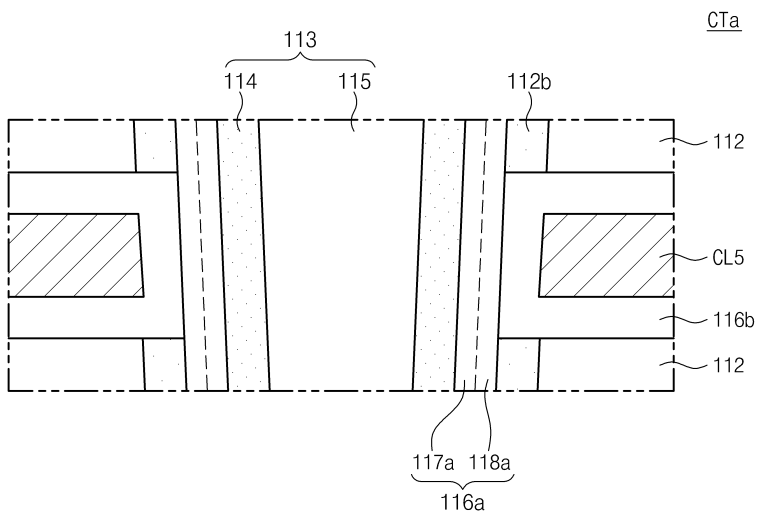
도면21



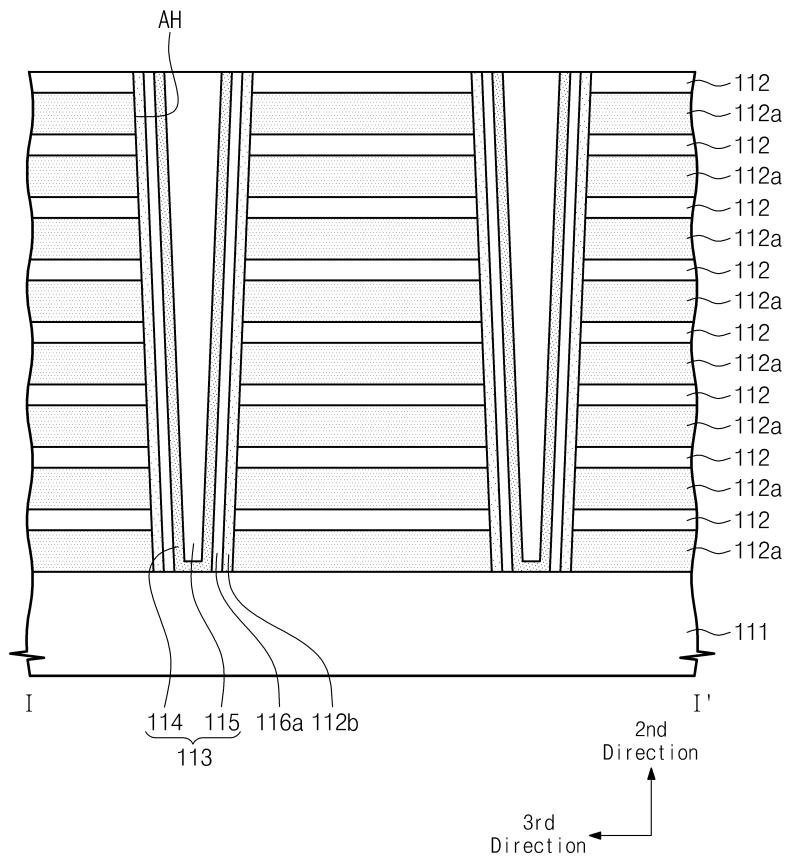
도면22



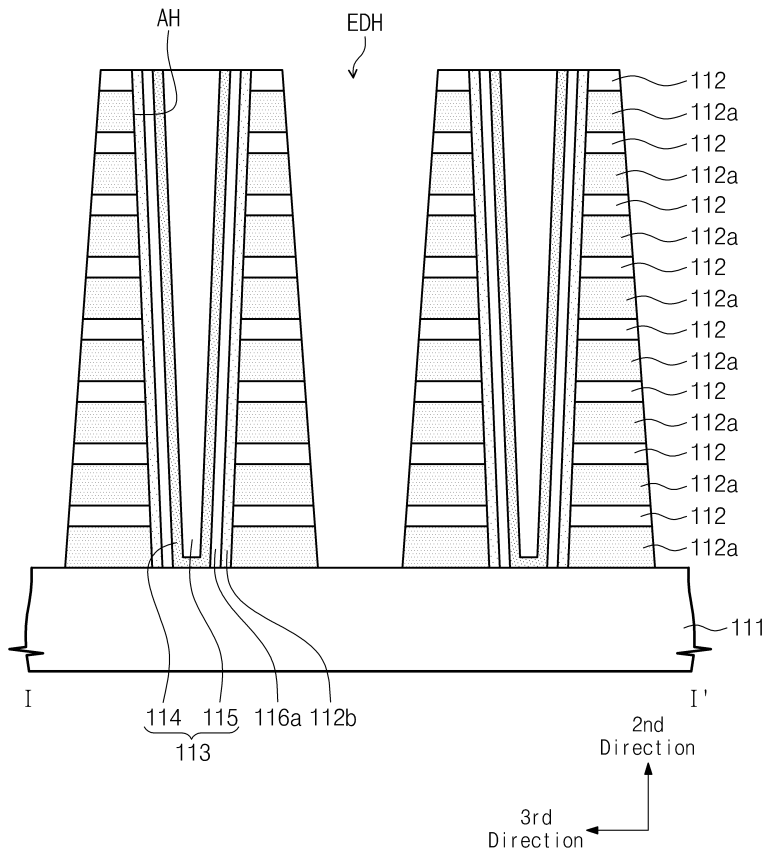
도면23



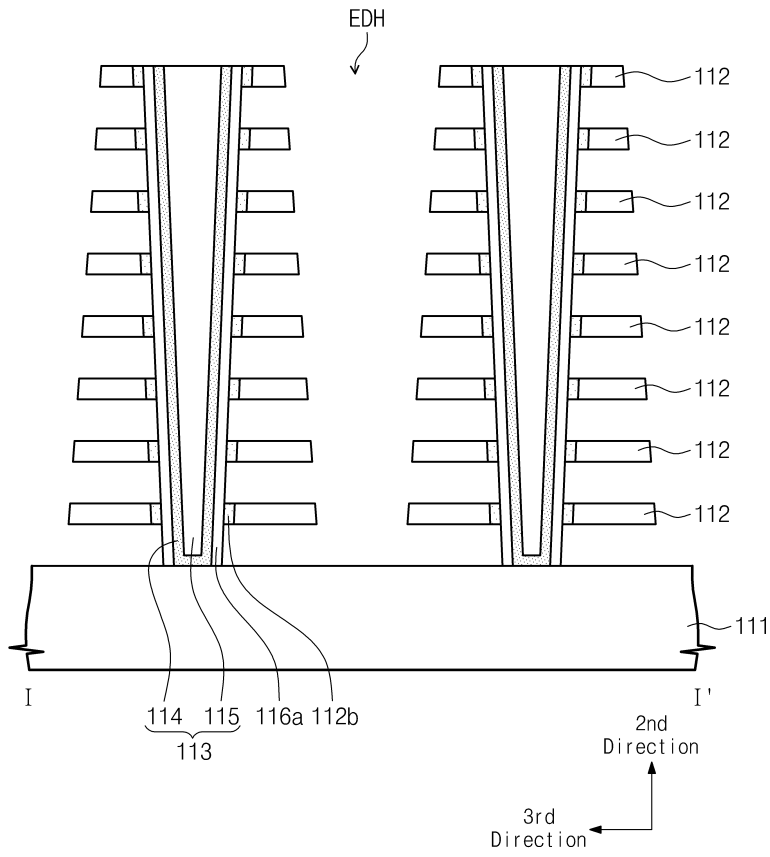
도면24



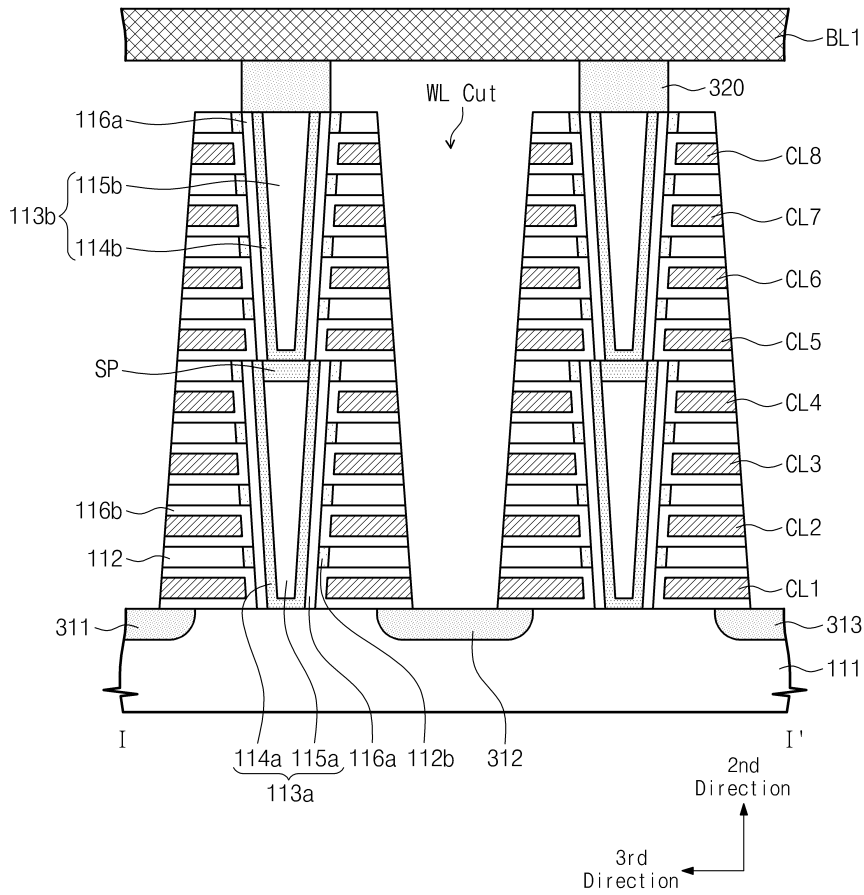
도면25



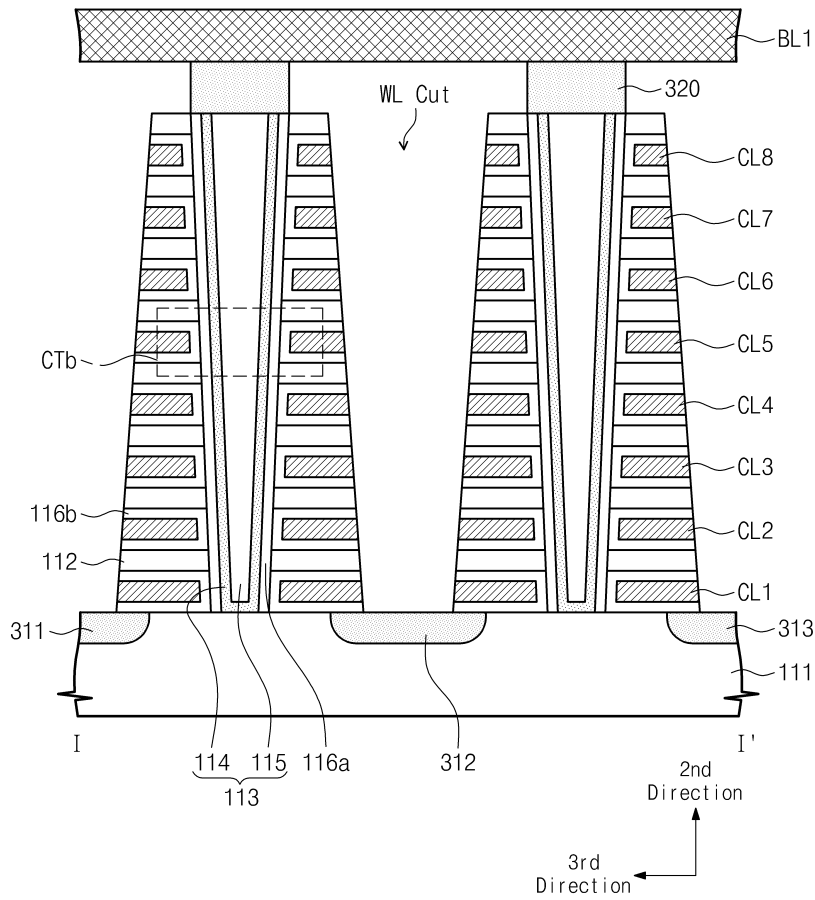
도면26



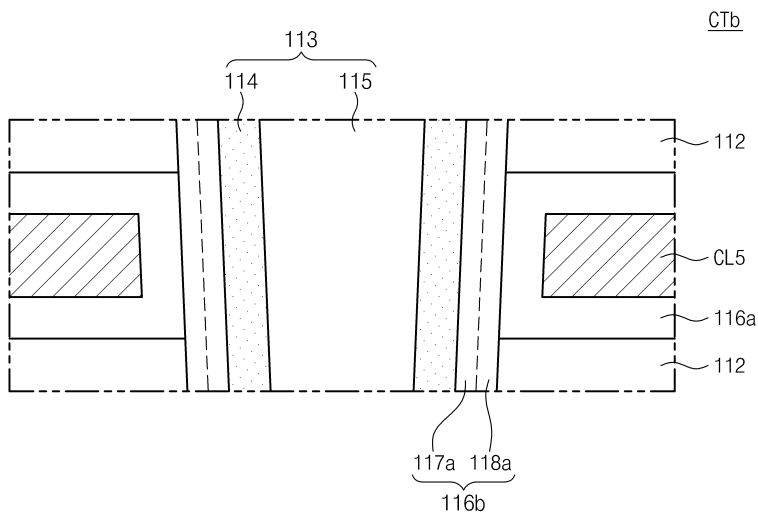
도면27



도면28

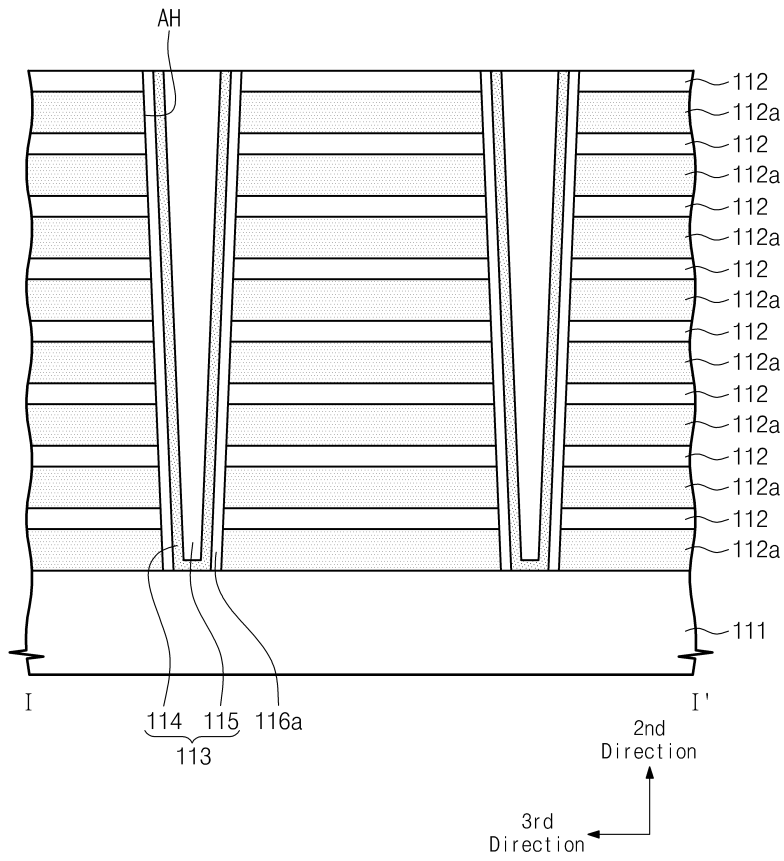


도면29

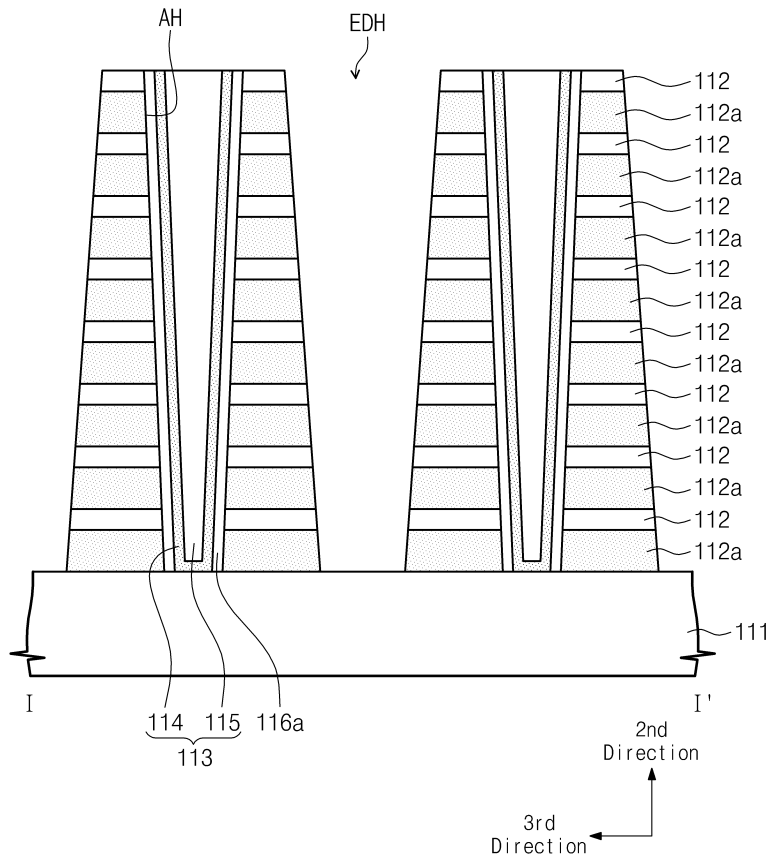




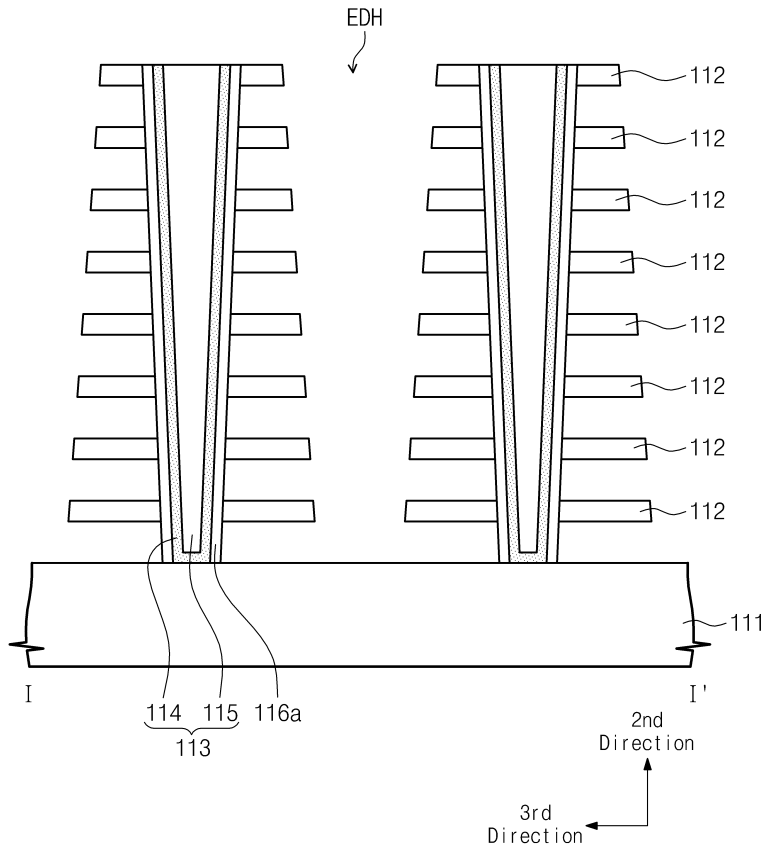
도면30



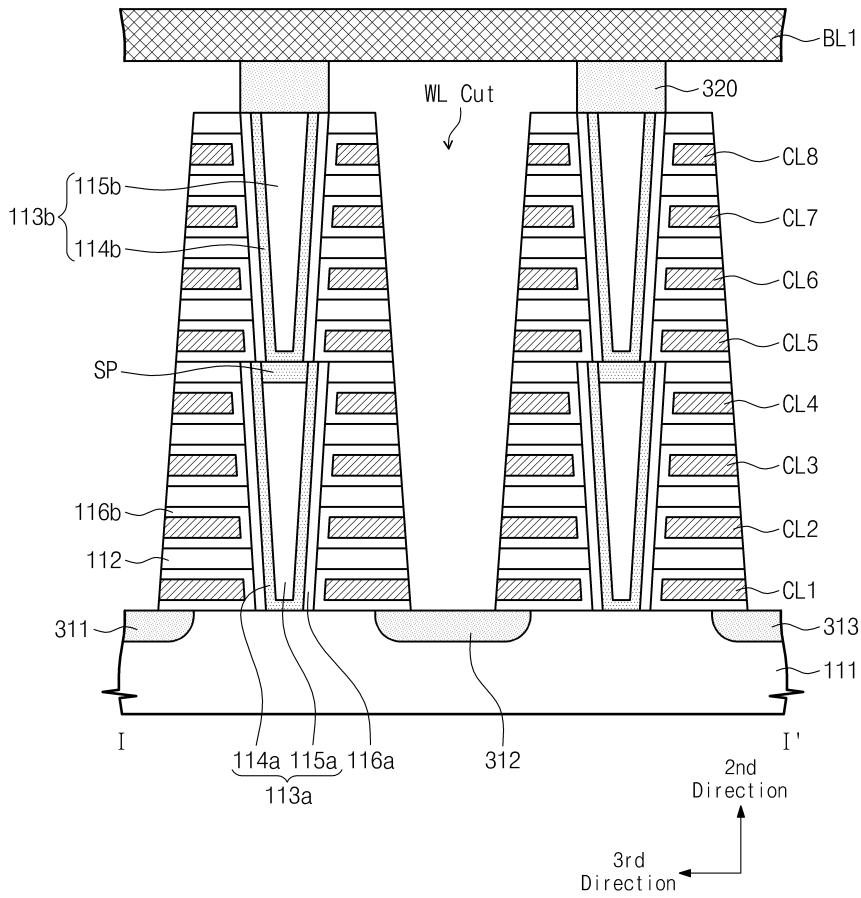
도면31



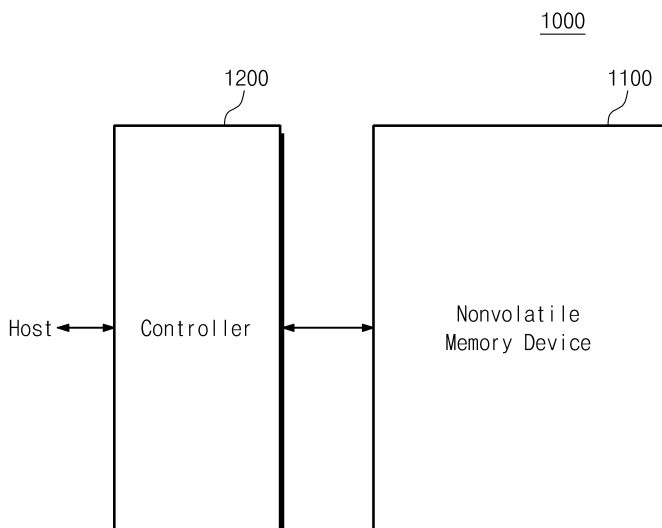
도면32



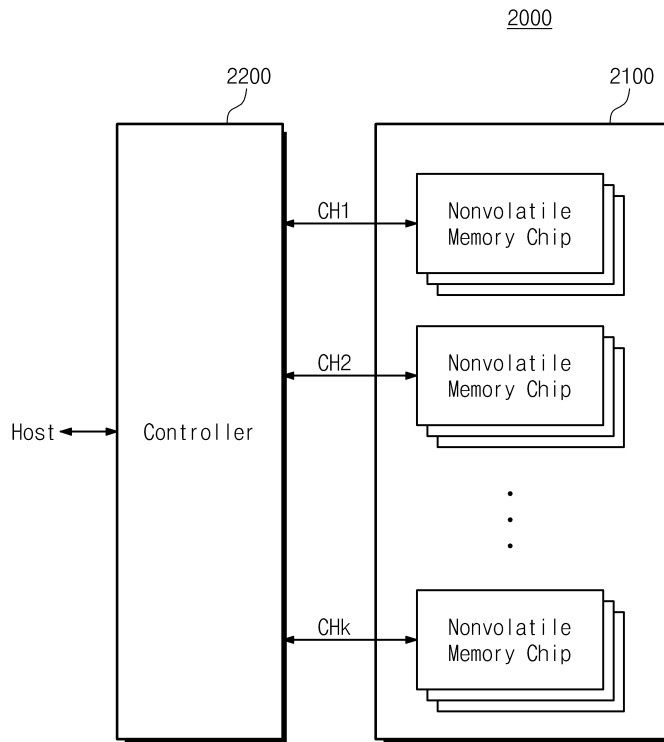
도면33



도면34



도면35



도면36

