(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 23/12 (2006.01)

(45) 공고일자 2007년04월16일
(11) 등록번호 10-0708043
(24) 등록일자 2007년04월09일

(21) 출원번호 10-2001-0049658
(22) 출원일자 2001년08월17일
심사청구일자 2006년01월19일

(65) 공개번호 10-2003-0015761
(43) 공개일자 2003년02월25일

(73) 특허권자 앰코 테크놀로지 코리아 주식회사
광주 북구 대촌동 957

(72) 발명자 하선호
서울특별시은평구녹번동110-3

(74) 대리인 서만규

(56) 선행기술조사문헌
JP11219984 A
JP11260851 A
JP2001223326 A
US6077724 A
* 심사관에 의하여 인용된 문헌

심사관 : 최인용

전체 청구항 수 : 총 5 항

(54) 반도체패키지 및 그 제조 방법

(57) 요약

이 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 반도체칩에서 섭스트레이트까지의 신호 라인이 짧아지도록 하여 전기적 성능을 향상시키고, 다양한 종류 및 크기의 반도체칩을 스택할 수 있도록, 중앙에 일정크기의 관통공이 형성되어 있고, 상,하면에는 다수의 회로패턴이 형성된 제1섭스트레이트와; 상기 제1섭스트레이트의 관통공 내측에 위치되어 있으며, 하면 내주연에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 입출력패드와 상기 제1섭스트레이트의 회로패턴을 상호 연결하는 다수의 도전성와이어와; 상기 제1반도체칩의 하면에 접착층으로 접착되어 있으며, 하면에는 다수의 입출력패드가 형성되어 있고, 상기 입출력패드에는 도전성범프가 융착된 제2반도체칩과; 상기 제2반도체칩의 하면에 이방성도전필름에 의해 접착되어 있으며, 상,하면에 다수의 회로패턴이 형성된 제2섭스트레이트와; 상기 제1섭스트레이트의 관통공 내측에 봉지되어 상기 제1반도체칩, 도전성와이어, 제2반도체칩 및 제2섭스트레이트의 외측을 봉지하는 봉지부와; 상기 제1섭스트레이트 및 제2섭스트레이트의 회로패턴에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 함.

대표도

도 2a

특허청구의 범위

청구항 1.

중앙에 일정크기의 관통공이 형성되어 있고, 상,하면에는 다수의 회로패턴이 형성된 제1섭스트레이트와;

상기 제1섭스트레이트의 관통공 내측에 위치되어 있으며, 하면 내주연에 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 입출력패드와 상기 제1섭스트레이트의 회로패턴을 상호 연결하는 다수의 도전성와이어와;

상기 제1반도체칩의 하면에 접착층으로 접착되어 있으며, 하면에는 다수의 입출력패드가 형성되어 있고, 상기 입출력패드에는 도전성범프가 융착된 제2반도체칩과;

상기 제2반도체칩의 하면에 이방성도전필름에 의해 접착되어 있으며, 상,하면에 다수의 회로패턴이 형성된 제2섭스트레이트와;

상기 제1섭스트레이트의 관통공 내측에 봉지되어 상기 제1반도체칩, 도전성와이어, 제2반도체칩 및 제2섭스트레이트의 외측을 봉지하는 봉지부와;

상기 제1섭스트레이트 및 제2섭스트레이트의 회로패턴에 융착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

청구항 2.

제1항에 있어서, 상기 제1섭스트레이트의 상면에는 상기 제1반도체칩의 상면과 동일면을 이루며, 제1섭스트레이트의 관통공 폭보다 더 작은 폭의 관통공이 형성된 경성(硬性)의 스티프너가 더 접착된 것을 특징으로 하는 반도체패키지.

청구항 3.

제1항에 있어서, 상기 제1섭스트레이트 및 제2섭스트레이트의 회로패턴에 융착된 다수의 도전성볼은 모두 하면이 동일면인 것을 특징으로 하는 반도체패키지.

청구항 4.

일정폭의 관통공이 형성된 스티프너 및 다수의 회로패턴이 상,하면에 형성되어 있으며, 상기 관통공과 중심이 같은 관통공을 갖는 제1섭스트레이트를 접착하고, 상기 스티프너의 상면에는 관통공이 폐색되도록 접착테이프를 접착하는 단계와;

상기 스티프너의 관통공 내측인 접착테이프에, 하면에 다수의 입출력패드가 형성된 제1반도체칩을 접착하고, 상기 제1반도체칩의 입출력패드와 상기 제1섭스트레이트의 회로패턴을 도전성와이어로 상호 본딩하는 단계와;

하면에 다수의 입출력패드가 형성되고, 상기 입출력패드에는 도전성범프가 융착된 제2반도체칩과, 상,하면에 다수의 회로패턴이 형성된 제2섭스트레이트를 준비하고, 상기 제2반도체칩의 도전성범프와 상기 제2섭스트레이트의 회로패턴을 상기 이방성도전필름을 개재하여 전기적으로 연결 및 접착하고, 상기 제2반도체칩, 이방성도전필름 및 제2섭스트레이트를 접착층을 개재하여 상기 제1반도체칩의 하면에 접착하는 단계와;

상기 스티프너 및 제1섭스트레이트의 관통공 내측에 봉지재를 충진하여 일정형태의 봉지부를 형성하는 단계와;

상기 제1섭스트레이트 및 제2섭스트레이트의 하면에 형성된 회로패턴에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

청구항 5.

제4항에 있어서, 상기 봉지 단계 또는 도전성볼 융착 단계후에는 스티프너 상면의 접착테이프를 제거하는 단계가 더 포함된 것을 특징으로 하는 반도체패키지의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게 설명하면 반도체칩이 스택된 스택형 반도체패키지 및 그 제조 방법에 관한 것이다.

통상 반도체패키지란 웨이퍼로(Wafer)부터 소잉(Sawing)된 반도체칩을 섭스트레이트(Substrate)에 전기적으로 연결함과 동시에 수지 봉지재로 감싸서 마더보드(Mother Board)에 전기적으로 실장할 수 있는 형태의 것을 말한다.

최근에는 상기와 같은 반도체패키지의 주요 구성 요소인 반도체칩을 다수 스택함으로써, 전체적인 반도체패키지의 기능 및 성능을 극대화하기 위한 시도가 이루어지고 있다. 예를 들면 32MB 플래시 메모리칩과 4MB SRAM(Static RAM)칩의 조합, 로직칩과 플래시 메모리칩의 조합, 또는 디지털칩과 아날로그칩의 조합, DSP(Digital Signal Processor)와 플래시 메모리칩의 조합 등에 의해 그 반도체패키지의 다기능화 및 고성능화를 유도하고 있다. 또한, 상기와 같이 반도체칩이 스택된 반도체패키지는 그 차지하는 부피가 적으면서 높은 메모리 밀도를 충족시킬 수 있기 때문에, 셀룰러폰, PDA, 캠코더, PC, 라우터 그리고 그 밖의 휴대용 제품들에 많이 사용되는 추세에 있다.

상기와 같은 장점을 갖는 종래의 스택형 반도체패키지(100')가 도1에 도시되어 있으며, 이를 참조하여 종래 기술을 설명하면 다음과 같다.

도시된 바와 같이 통상 수지층(18')을 중심으로 상,하면에는 다수의 회로패턴(20')이 형성되어 있고, 상기 상,하면의 회로패턴(20')은 도전성 비아(20c')로 상호 연결되어 있으며, 그 회로패턴(20')의 표면은 커버코트(23')로 코팅된 섭스트레이트(16')가 구비되어 있다.

또한, 상기 섭스트레이트(16')의 상면 중앙부에는 제1반도체칩(2')이 접착층(3')에 의해 접착되어 있고, 상기 제1반도체칩(2')의 상면에는 제2반도체칩(6')이 접착층(3')으로 접착되어 있다. 물론, 상기 제1반도체칩(2') 및 제2반도체칩(6')의 상면 둘레에는 다수의 입출력패드(4',8')가 형성되어 있다(이러한 반도체칩을 통상 엣지패드형 반도체칩이라 함). 상기 제1반도체칩(2') 및 제2반도체칩(6')의 입출력패드(4',8')는 각각 섭스트레이트(16')에 형성된 회로패턴(20')에 도전성와이어(60')에 의해 전기적으로 연결되어 있다. 또한, 상기 제1반도체칩(2'), 제2반도체칩(6'), 도전성와이어(60') 및 섭스트레이트(16')의 상면은 봉지재로 봉지되어 소정 형태의 봉지부(40')를 이루고 있다. 상기 섭스트레이트(16')의 하면에 형성된 회로패턴(20')에는 다수의 도전성볼(50')이 융착되어 있으며, 이 도전성볼(50')이 차후 마더보드의 소정 패턴에 실장된다.

이러한 반도체패키지(100')는 제1반도체칩(2') 및 제2반도체칩(6')의 전기적 신호가 도전성와이어(60'), 섭스트레이트(16')의 회로패턴(20') 및 도전성 비아(20c') 그리고 도전성볼(50')을 통해서 마더보드와 교환된다.

상기와 같은 반도체패키지는 상술한 바와 같이, 두개의 반도체칩이 적층된 상태이므로 반도체패키지가 고용량, 고기능화되고 또한 실장밀도를 높일 수 있는 장점이 있다.

그러나, 상기와 같은 종래의 반도체패키지는 제1반도체칩 및 제2반도체칩을 모두 도전성와이어를 이용하여 섭스트레이트에 더블 본딩(Double Bonding)하여야 함으로써, 그만큼 와이어 본딩중 불량이 발생할 확률이 높아지는 단점이 있다.

또한, 도전성와이어의 길이가 비교적 길게 됨으로써, RF 소자와 같은 고속의 반도체칩을 수용하기에 부적합하고, 또한 신호 지연 시간이 길어져 결국 전기적 성능이 저하되는 문제가 있다.

더구나, 제1반도체칩의 입출력패드에 본딩되는 도전성와이어와의 접촉을 피하기 위해, 상기 제2반도체칩의 넓이 또는 부피가 상기 제1반도체칩의 넓이 또는 부피보다 반듯이 작아야 하는 단점이 있다.

즉, 상기 제2반도체칩의 부피가 제1반도체칩의 부피와 같거나 클 경우에는 그 제2반도체칩의 저면과 도전성와이어가 상호 쇼트됨으로써 제1반도체칩의 전기적 기능이 마비되는 문제가 있어, 반듯이 그 제2반도체칩의 크기가 제1반도체칩의 크기보다 작아야 한다.

이러한 문제들은 동일한 크기의 반도체칩을 다수 적층하여야 하는 메모리 반도체패키지(예를 들면 다수의 DRAM, ASIC, Flash 또는 SRAM을 적층한 반도체패키지)에 적용할 수 없어, 패키징할 수 있는 반도체칩의 종류를 극히 제한시키고 있다.

또한, 종래의 반도체패키지는 상기 제1반도체칩 및 제2반도체칩이 모두 엣지패드형 반도체칩으로서 센터패드형과 혼합하여 스택할 수 없는 문제점이 있다. 즉, 회로 설계상 센터패드형 반도체칩으로 제조할 수밖에 없는 경우가 있는데, 이러한 센터패드형 반도체칩은 스택형 반도체패키지에 전혀 탑재할 수 없는 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 본 발명의 목적은 반도체칩에서 섭스트레이트까지의 신호 라인이 짧아지도록 하여 전기적 성능을 향상시킬 수 있는 반도체패키지 및 그 제조 방법의 제공에 있다.

본 발명의 다른 목적은 다양한 크기의 반도체칩을 스택할 수 있고, 또한 엣지패드형 및 센터패드형 반도체칩을 혼합하여 스택할 수 있는 반도체패키지 및 그 제조 방법의 제공에 있다.

발명의 구성

(구성)

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 중앙에 일정크기의 관통공이 형성되어 있고, 상,하면에는 다수의 회로패턴이 형성된 제1섭스트레이트와; 상기 제1섭스트레이트의 관통공 내측에 위치되어 있으며, 하면 내주연에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 입출력패드와 상기 제1섭스트레이트의 회로패턴을 상호 연결하는 다수의 도전성와이어와; 상기 제1반도체칩의 하면에 접착층으로 접착되어 있으며, 하면에는 다수의 입출력패드가 형성되어 있고, 상기 입출력패드에는 도전성범프가 융착된 제2반도체칩과; 상기 제2반도체칩의 하면에 이방성도전필름에 의해 접착되어 있으며, 상,하면에 다수의 회로패턴이 형성된 제2섭스트레이트와; 상기 제1섭스트레이트 및 제2섭스트레이트의 회로패턴에 융착된 다수의 도전성볼과; 상기 제1섭스트레이트의 관통공 내측에 봉지되어 상기 제1반도체칩, 도전성와이어, 제2반도체칩 및 제2섭스트레이트의 외측을 봉지하는 봉지부를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 제1섭스트레이트의 상면에는 상기 제1반도체칩의 상면과 동일면을 이루며, 제1섭스트레이트의 관통공 폭보다 더 작은 폭의 관통공이 형성된 경성(硬性)의 스티프너가 더 접착될 수 있다.

또한, 상기 스티프너의 하면은 상기 제2반도체칩의 상면보다 더 높은 위치에 형성되도록 함이 바람직하다.

또한, 상기 제1섭스트레이트는 경성의 인쇄회로기판이고, 제2섭스트레이트는 가요성의 써킷필름 또는 써킷테이프일 수 있다.

또한, 상기 제2반도체칩은 엣지패드형 또는 센터패드형중 어느 하나일 수 있다.

더불어, 상기 제1섭스트레이트 및 제2섭스트레이트의 회로패턴에 융착된 다수의 도전성볼은 모두 하면이 동일면을 이룬다.

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 일정폭의 관통공이 형성된 스티프너 및 다수의 회로패턴이 상,하면에 형성되어 있으며, 상기 관통공과 중심이 같은 관통공을 갖는 제1섭스트레이트를 접착하고, 상기 스티프너의 상면에는 관통공이 폐색(閉塞)되도록 접착테이프를 접착하는 단계와; 상기 스티프너의 관통공 내측인 접착테이프에, 하면에 다수의 입출력패드가 형성된 제1반도체칩을 접착하고, 상기 제1반도체칩의 입출력패드와 상기 제1섭스트레이트의 회로패턴을 도전성와이어로 상호 본딩하는 단계와; 하면에 다수의 입출력패드가 형성되고, 상기 입출력패드에는

도전성범프가 융착된 제2반도체칩과, 상,하면에 다수의 회로패턴이 형성된 제2섭스트레이트를 준비하고, 상기 제2반도체칩의 도전성범프와 상기 제2섭스트레이트의 회로패턴을 상기 이방성도전필름을 개재하여 전기적으로 연결 및 접착하고, 상기 제2반도체칩, 이방성도전필름 및 제2섭스트레이트를 접착층을 개재하여 상기 제1반도체칩의 하면에 접착하는 단계와; 상기 스티프너 및 제1섭스트레이트의 관통공 내측에 봉지재를 충진하여 일정형태의 봉지부를 형성하는 단계와; 상기 제1섭스트레이트 및 제2섭스트레이트의 하면에 형성된 회로패턴에 다수의 도전성볼을 융착하는 단계를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 봉지 단계 또는 도전성볼 융착 단계후에는 스티프너 상면의 접착테이프를 제거하는 단계가 더 포함될 수도 있다.

(작용)

상기와 같이 하여 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면 제1반도체칩은 와이어 본딩 방법을 이용하여 제1섭스트레이트에 연결하고, 제2반도체칩은 도전성범프 및 이방성도전필름을 이용하여 제2섭스트레이트에 연결함으로써, 종래에 비하여 반도체칩으로부터 섭스트레이트까지의 전체적인 신호 라인을 짧게 할 수 있다. 따라서, 종래와 같은 더블 본딩에 의한 불량률을 최소화하고 또한 전기적 성능도 향상시킬 수 있는 장점이 있다.

또한, 상기 제1반도체칩만이 도전성와이어에 제1섭스트레이트에 연결됨으로써, 다양한 형태의 제1반도체칩 및 제2반도체칩의 조합이 가능하다. 즉, 상기 제1반도체칩은 반듯이 엣지패드형 반도체칩을 사용하여야 하지만, 상기 제2반도체칩은 센터패드형도 가능하다. 또한, 상기 제1반도체칩 및 제2반도체칩의 크기 또는 부피에 영향받지 않고 다양한 형태로 스택 가능하다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

(실시예 1)

도2a는 본 발명에 의한 반도체패키지(100)를 도시한 단면도이고, 도2b 및 도2c는 본 발명에 의한 반도체패키지(100)의 평면 사시도 및 저면 사시도이다. 또한, 도3은 도2a의 A 영역을 확대 도시한 단면도이다.

대략 판상이며, 중앙에는 일정폭의 관통공(35)이 형성된 경성(硬性)의 스티프너(30)가 구비되어 있다. 상기 스티프너(30)는 통상적인 금속 또는 경성의 플라스틱 계열이 이용될 수 있다. 여기서, 상기 스티프너(30)는 전체적인 반도체패키지(100)의 휨 현상을 억제하는 역할을 하지만, 본 발명의 필수 구성요소는 아니다. 즉, 생략도 가능하다.

또한, 상기 스티프너(30)의 하면에는 접착층(5)에 의해 제1섭스트레이트(10)가 접착되어 있다. 상기 제1섭스트레이트(10)는 상기 스티프너(30)의 관통공(35)보다 폭이 더 큰 관통공(15)이 형성되어 있다. 또한, 상기 제1섭스트레이트(10)는 수지층(11)을 중심으로 그 상,하면에 다수의 회로패턴(12)이 형성되어 있으며, 상기 상,하면의 회로패턴(12)은 도전성 비아(13)에 의해 서로 전기적으로 연결되어 있다. 또한, 상기 섭스트레이트(10)의 하면에는 차후 도전성볼(50a)(아래에서 설명함)이 융착될 영역(볼랜드라고도 함)을 제외한 전체 영역이 절연성 커버코트(14)로 코팅되어 있다. 또한, 상기 상면의 회로패턴(12)은 상기 제1섭스트레이트(10)의 관통공(15) 내측으로 더 연장되어 있으며, 이는 상기 스티프너(30)의 하면에 접착된 형태를 한다.

이러한 제1섭스트레이트(10)는 중앙에 관통공(15)이 형성된 통상의 경성 인쇄회로기판을 변형하여 이용할 수 있다.

상기 스티프너(30) 및 제1섭스트레이트(10)의 공통된 관통공(15) 내측에는 하면에 다수의 입출력패드(1a)가 형성된 제1반도체칩(1)이 위치되어 있다. 여기서, 상기 제1반도체칩(1)의 상면은 상기 스티프너(30)의 상면과 동일한 평면을 이룬다. 또한 상기 제1반도체칩(1)은 내주연 근처에 다수의 입출력패드(1a)가 형성된 엣지패드형이다.

상기 제1반도체칩(1)의 입출력패드(1a)는 통상적인 골드와이어, 알루미늄와이어, 구리와이어와 같은 도전성와이어(3)에 의해 상기 제1섭스트레이트(10)의 상면에 형성된 회로패턴(12)과 전기적으로 접속되어 있다. 즉, 상기 도전성와이어(3)는 상기 반도체칩의 입출력패드(1a)와 상기 스티프너(30)의 하면으로 연장된 회로패턴(12)을 상호 전기적으로 연결한다.

상기 제1반도체칩(1)의 하면에는 상기 도전성와이어(3)의 루프하이트(Loop Height)보다 더 두꺼운 두께를 갖는 접착층(4)이 접착되어 있다. 상기 접착층(4)은 통상적인 접착테이프, 접착필름 또는 이들의 등가물이 이용될 수 있다. 물론, 상기 접착층(4)은 상기 제1반도체칩(1)의 입출력패드(1a) 또는 도전성와이어(3)와 접촉되지 않도록 되어 있다. 또한, 상기 접착층(4)의 하면은 상기 스티프너(30)의 하면보다 더 낮은 위치에 형성되도록 한다. 이는 아래에서 더욱 상세히 설명한다.

상기 접착층(4)의 하면에는 제2반도체칩(2)이 접착되어 있으며, 이는 하면에 다수의 입출력패드(2a)가 형성되어 있고, 상기 입출력패드(2a)에는 도전성범프(2b)가 융착되어 있다. 여기서, 상기 도전성범프(2b)는 금(Au), 은(Ag), 솔더(Solder) 또는 이들의 등가물이 이용될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.

또한, 상기 제2반도체칩(2)은 내주연 근처에 다수의 입출력패드(2a)가 형성된 엣지패드형 반도체칩이 도시되어 있으나, 중앙에 다수의 입출력패드(2a)가 형성된 센터패드형 반도체칩이 이용될 수도 있다. 즉, 상기 제1반도체칩(1)은 와이어 본딩의 편의를 의해 엣지패드형을 사용하여야 하나, 상기 제2반도체칩(2)은 플립칩 본딩의 형태를 하므로, 센터패드형이 이용될 수도 있다.

더불어, 상술한 바와 같이 상기 접착층(4)의 하면은 상기 스티프너(30)의 하면보다 더 낮은 위치에 형성되어 있으므로, 상기 제2반도체칩(2)의 상면은 상기 스티프너(30)의 하면보다 더 낮은 위치에 형성되어 있고, 따라서, 상기 제1반도체칩(1)의 입출력패드(1a)와 상기 제1섭스트레이트(10)의 회로패턴(12)을 연결하는 도전성와이어(3)는 상기 제2반도체칩(2)의 상면과 접촉되지 않는다.

상기 제2반도체칩(2)의 하면에는, 수지층(21)을 중심으로 그 상,하면에 다수의 회로패턴(22)이 형성된 제2섭스트레이트(20)가 이방성도전필름(6)에 의해 접착되어 있다. 여기서, 상기 제2섭스트레이트(20)의 상,하면에 형성된 회로패턴(22)은 도전성 비아(23)에 의해 상호 연결되어 있다.

상기 이방성도전필름(6)은 원래 TV나 컴퓨터에 사용되는 액정표시장치(LCD)용 구동 회로칩과 LCD 패널을 연결하는 실장기술에 주로 사용되는 것으로서, 평판디스플레이의 하나인 LCD의 구동회로 칩과 액정패널을 전기적·기계적으로 연결해 주는 실장기술인 COF(Chip On Film)기술과 COG(Chip On Glass)기술에 사용되는 핵심 재료이다.

상기 이방성도전필름(6)은, 일반적인 접착필름(6a)과 전도용 금속알갱이(6b)가 혼합된 것으로 상기 접착필름(6a)의 두께는 대략 50㎛ 정도이고 전도용 금속알갱이(6b)의 지름은 대략 5㎛ 정도이다. 또한 상기 전도용 금속알갱이(6b)의 표면은 얇은 폴리머(Polymer)로 코팅되어 있다. 이러한 이방성도전필름(6)은 소정의 영역에 압력 및 열을 가하게 되면 그 부분의 전도용 금속알갱이(6b)를 감싸고 있는 폴리머가 벗겨지고 또한 다수의 전도용 금속알갱이(6b)가 서로 부딪히며 접촉되어 상기 압력 및 열이 가해진 영역이 전도성을 갖게 되고, 나머지 압력이 가해지지 않은 부분은 확실한 절연성을 유지하는 특성을 가지고 있다. 따라서 상호 접속될 부분의 위치 맞춤이 용이하다. 예를 들어, 플립칩(Flip Chip) 기술을 이용한 접속 방법은 반도체칩의 입출력패드에 형성된 도전성범프의 위치와 회로패턴의 위치를 정확히 일치시킨 후 리플로(Reflow)하여야 하지만, 상기 이방성도전필름(6)을 이용한 경우에는 이러한 고정도의 위치 맞춤이 필요하지 않은 장점이 있다.

따라서, 상기 제2반도체칩(2)의 입출력패드(2a)에 융착된 도전성범프(2b)는 상기 이방성도전필름(6)을 통하여, 상기 제2섭스트레이트(20)에 형성된 소정의 회로패턴(22)과 용이하게 전기적으로 연결되고, 나머지 영역은 확실한 절연을 유지하게 된다.

여기서, 상기 제2반도체칩(2)의 크기는 상기 제1섭스트레이트(10)의 관통공(15)의 폭 범위내에서 상기 제1반도체칩(1)의 크기와 동일하거나 다를 수 있다. 또한, 상기 제2반도체칩(2)의 하면에 접착된 제2섭스트레이트(20)의 폭도 상기 제2반도체칩(2)의 폭과 동일하거나 다를 수 있다.

상기 제2섭스트레이트(20)는 통상적인 가요성의 써킷필름 또는 써킷테이프가 될 수 있으며, 여기서 상기 제2섭스트레이트(20)를 특정한 종류로 한정하는 것은 아니다.

상기 스티프너(30) 및 제1섭스트레이트(10)의 관통공(35)(15)에는 봉지재가 충진되어 소정 형태의 봉지부(40)를 이루고 있다. 즉, 상기 봉지부(40)는 상기 제1반도체칩(1), 도전성와이어(3), 접착층(4), 제2반도체칩(2) 및 제2섭스트레이트(20)의 표면을 감싼다. 물론, 상기 봉지부(40)는 상기 스티프너(30) 및 제1섭스트레이트(10)의 관통공(35)(15) 내벽도 감쌈으로써, 결국 상기 스티프너(30), 제1섭스트레이트(10), 제1반도체칩(1), 제2반도체칩(2) 및 제2섭스트레이트(20)를 일체로 고정하는 역할을 한다.

이와 같은 봉지부(40)는 통상적인 에폭시몰딩컴파운드(Epoxy Molding Compound), 액상형 인캡(Encap), 또는 이들의 등가물로 형성될 수 있다.

여기서, 상기 제1반도체칩(1)은 상면이 상기 봉지부(40) 외측으로 노출되어 있다. 따라서, 상기 제1반도체칩(1)에서 발생하는 열은 외부로 신속하게 방출되는 장점도 있다.

상기 제1섭스트레이트(10) 및 제2섭스트레이트(20)의 하면에 형성된 회로패턴(12)(22)에는 솔더볼 또는 이것의 등가물과 같은 다수의 도전성볼(50a,50b)이 형성되어 있으며, 상기 도전성볼(50a,50b)의 하면은 모두 동일한 평면을 이루어 차후 마더보드에 실장 가능한 형태로 되어 있다. 즉, 상기 제1섭스트레이트(10)와 상기 제2섭스트레이트(20)의 하면은 동일면을 이룬다. 이를 위해, 상기 제2반도체칩(2)에는 백그라인딩 기술(Back Grinding Technique)이 적용될 수 있다. 즉, 상기 제2반도체칩(2)은 입출력패드(2a)가 형성된 면의 반대면(즉, 상면)이 일정두께로 그라인딩되어 제공될 수 있다. 또한, 상기 제2섭스트레이트(20)는 상술한 바와 같이 비교적 두께가 얇은 가요성의 써킷테이프 또는 써킷필름이 이용되므로 상기 제2반도체칩(2), 이방성도전필름(6) 및 제2섭스트레이트(20)의 전체 두께는 적절하게 조절될 수 있다.

여기서, 상기 제1반도체칩(1)은 입출력패드(1a), 도전성와이어(3), 제1섭스트레이트(10)의 회로패턴(12)과 비아(13)홀, 도전성볼(50a)을 통해 외부의 마더보드와 전기적 신호를 주고받는다. 또한, 상기 제2반도체칩(2)은 입출력패드(2a), 도전성 범프(2b), 이방성도전필름(6), 제2섭스트레이트(20)의 회로패턴(22)과 비아(23), 도전성볼(50b)을 통해 외부의 마더보드와 전기적 신호를 주고받는다.

따라서, 본 발명에 의한 반도체패키지(100)는 특히 제2반도체칩(2)으로부터 제2섭스트레이트(20)까지 전체적인 신호 라인이 이방성도전필름(6) 등에 의해 이루어짐으로써, 전체적인 신호 라인이 종래에 비하여 극히 짧아진다.

또한, 본 발명에 의한 반도체패키지(100)는 상술한 바와 같이 반도체칩과 섭스트레이트의 연결수단으로서 이방성도전필름(6)을 이용하여 마치 플립칩 형태로 할 수 있음으로써, 엣지패드형은 물론 센터패드형의 반도체칩도 용이하게 스택할 수 있으며, 또한 스택되는 반도체칩의 크기에 대한 제약성도 없어지게 된다.

(실시예 2)

도4a 내지 도4g를 참조하여 본 발명에 의한 반도체패키지의 제조 방법을 순차적으로 설명하면 다음과 같다.

1. 스티프너(30), 제1섭스트레이트(10) 및 접착테이프(60) 제공 단계로서(도4a 참조), 일정폭의 관통공(35)이 형성된 경성(硬性)의 스티프너(30) 및 수지층(11)을 중심으로 그 상,하면에 다수의 회로패턴(12)이 형성되어 있고, 상기 스티프너(30)의 관통공(35)과 중심이 같은 관통공(15)이 형성된 제1섭스트레이트(10)를 구비한 후, 상기 스티프너(30) 및 제1섭스트레이트(10)를 접착층(5)으로 상호 접착시킨다. 여기서, 상기 스티프너(30)는 대략 판상의 금속 또는 플라스틱 등으로 제조할 수 있다. 또한, 상기 제1섭스트레이트(10)는 수지층(11) 상,하면의 회로패턴(12)이 도전성 비아(13)에 의해 상호 연결되어 있고, 상기 수지층(11) 하면의 회로패턴(12)은 차후 도전성볼(50a)이 융착될 영역을 제외한 전체 표면이 절연성의 커버코트(14)로 코팅된 것을 이용하며, 이러한 제1섭스트레이트(10)로서는 통상적인 경성의 인쇄회로기판이 이용될 수 있다.

한편, 상기 스티프너(30)의 상면에는 상기 관통공(35)을 폐색시킬 수 있도록 접착테이프(60)를 접착시킨다. 상기 접착테이프(60)는 아래에서 설명할 제1반도체칩(1) 등을 지지하고 또는 봉지 공정중 봉지재가 상기 스티프너(30) 상부쪽으로 흐르지 않도록 하는 역할을 한다.

2. 제1반도체칩(1) 접착 및 도전성 와이어(3) 본딩 단계로서(도4b 참조), 상기 스티프너(30)의 관통공(35) 내측인 접착테이프(60)에 제1반도체칩(1)을 접착시킨다. 상기 제1반도체칩(1)은 하면 내주연 근처에 다수의 입출력패드(1a)가 형성된 엣지패드형이다.

또한, 상기 제1반도체칩(1)의 입출력패드(1a)와 상기 제1섭스트레이트(10)의 상면에 형성된 회로패턴(12)은 골드와이어, 알루미늄와이어, 구리와이어와 같은 도전성와이어(3)를 이용하여 상호 전기적으로 접속시킨다.

3. 제2반도체칩(2) 및 제2섭스트레이트(20) 제공 단계로서(도4c 참조), 하면에 다수의 입출력패드(2a)가 형성되고, 상기 입출력패드(2a)에는 도전성범프(2b)가 융착된 제2반도체칩(2)을 준비하고, 수지층(21)을 중심으로 상,하면에 다수의 회로패턴(22)이 형성된 제2섭스트레이트(20)를 준비한다. 상기 제2섭스트레이트(20)는 수지층(21) 상,하면의 회로패턴(22)

이 도전성 비아(23)에 의해 연결되어 있고, 또한 상기 수지층(21) 하면의 회로패턴(22)중 도전성볼(50b)이 융착될 영역을 제외한 전체 표면이 절연성의 커버코트(24)로 코팅되어 있다. 이러한 제2섭스트레이트(20)는 두께가 매우 얇고 가요성인 통상적인 써킷필름 또는 써킷테이프를 이용하여 제공할 수 있다.

더불어, 상기 제2반도체칩(2)은 하면 내주연 근처에 다수의 입출력패드(2a)가 형성된 엣지패드형, 또는 하면 내주연 중앙에 다수의 입출력패드(2a)가 형성된 센터패드형 반도체칩일 수 있다.

또한, 상기 제2반도체칩(2)은 상기 제1섭스트레이트(10)의 관통공(15)의 폭 범위내에서 상기 제1반도체칩(1)과 동일 크기를 갖거나 다를 수 있다.

상기한 구조의 제1반도체칩(1)과 제2섭스트레이트(20) 사이에는 이방성도전필름(6)을 개재하여 열 및 압력을 가하며 상호 접착시킨다. 따라서, 상기 제1반도체칩(1)의 입출력패드(2a)에 형성된 도전성 범프(2b)와 상기 제2섭스트레이트(20)의 상면에 형성된 회로패턴(22)은 전기적으로 상호 접속되며, 그 외의 영역은 확실한 절연성을 유지한다.

4. 제2반도체칩(2) 및 제2섭스트레이트(20) 접착 단계로서(도4d), 상기 상호 전기적으로 접속된 제2반도체칩(2) 및 제2섭스트레이트(20)를 상기 제1반도체칩(1)의 하면에 접착층(4)을 개재하여 접착시킨다. 즉, 상기 접착층(4)에 제2반도체칩(2)의 상면이 접착되도록 한다.

이때, 상기 접착층(4)의 하면은 상기 스티프너(30)의 하면보다 더 아래쪽에 위치하도록 함으로써, 상기 제2반도체칩(2)의 상면이 상기 도전성와이어(3)와 접촉되지 않도록 한다.

또한, 상기 접착층(4)은 통상적인 접착필름, 접착테이프 또는 이들의 등가물이 이용될 수 있다.

한편, 상기 제2반도체칩(2), 이방성도전필름(6) 및 제2섭스트레이트(20)의 두께를 적절히 조절하여 상기 제2섭스트레이트(20)의 하면이 상기 제1섭스트레이트(10)의 하면과 동일면을 이루도록 한다. 예를 들면, 상기 제2반도체칩(2)의 상면을 깍아내는 백그라인딩 방법을 이용하여 상기 제2반도체칩(2)의 두께를 원하는 범위로 조절할 수도 있다.

5. 봉지부(40) 형성 단계로서(도4e), 상기 스티프너(30) 및 제1섭스트레이트(10)의 관통공(35)(15) 내측에 봉지재를 충진하여 일정 형태의 봉지부(40)가 형성되도록 하는 동시에 반도체패키지의 각 구성 요소(스티프너(30), 제1섭스트레이트(10), 제2반도체칩(2), 제2섭스트레이트(20) 등등)가 일체로 고정 및 지지될 수 있도록 한다.

즉, 상기 봉지부(40)에 의해 상기 제1반도체칩(1), 접착층(4), 제2반도체칩(2) 및 제2섭스트레이트(20)의 측부와, 상기 스티프너(30) 및 제1섭스트레이트(10)의 관통공(35)(15) 내벽이 상호 연결되도록 한다.

여기서, 상기 봉지재는 통상적인 에폭시몰딩컴파운드, 인캡 또는 이들의 등가물이 이용될 수 있으며, 상기 봉지부(40)는 상기 제1섭스트레이트(10) 및 제2섭스트레이트(20)의 하면은 덮지 않도록 한다.

6. 도전성볼(50a,50b) 형성 단계로서(도4f), 상기 제1섭스트레이트(10) 및 제2섭스트레이트(20)의 회로패턴(12)(22)에 솔더볼 또는 이것의 등가물과 같은 도전성볼(50a,50b)을 융착시킨다.

따라서, 상기 제1반도체칩(1)의 전기적 신호는 입출력패드(1a), 도전성와이어(3), 제1섭스트레이트(10)의 회로패턴(12) 및 비아(13), 도전성볼(50a)을 통해 마더보드에 전달되고, 상기 제2반도체칩(2)의 전기적 신호는 입출력패드(2a), 도전성범프(2b), 이방성도전필름(6), 제2섭스트레이트(20)의 회로패턴(22) 및 비아(23), 도전성볼(50b)을 통해 마더보드에 전달된다. 물론, 상기 마더보드로부터의 전기적 신호는 그 역순으로 상기 제1반도체칩(1) 및 제2반도체칩(2)에 전달된다.

7. 접착 테이프 제거 단계로서(도4g), 상기 스티프너(30), 봉지부(40) 및 제1반도체칩(1)의 상면에 접착되어 있던, 접착테이프(60)를 제거함으로써, 상기 제1반도체칩(1)의 상면이 외측으로 노출되도록 한다. 이러한 접착테이프(60) 제거는, 경우에 따라서는 수행되지 않을 수도 있으며, 이는 당업자의 선택적 사항에 불과하다. 또한, 이러한 접착테이프(60) 제거 단계는 상기 도전성볼(50a,50b) 융착 공정후 뿐만 아니라, 봉지부(40) 형성 공정후에 수행될 수도 있다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

발명의 효과

따라서, 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면 제1반도체칩은 와이어 본딩 방법을 이용하여 제1섭스트레이트에 연결하고, 제2반도체칩은 도전성범프 및 이방성도전필름을 이용하여 제2섭스트레이트에 연결함으로써, 종래에 비하여 반도체칩으로부터 섭스트레이트까지의 전체적인 신호 라인을 짧게 할 수 있다. 따라서, 종래와 같은 더블 본딩에 의한 불량률을 최소화하고 또한 전기적 성능도 향상시킬 수 있는 효과가 있다.

또한, 상기 제1반도체칩만이 도전성와이어에 제1섭스트레이트에 연결됨으로써, 다양한 형태의 제1반도체칩 및 제2반도체칩의 조합이 가능하다. 즉, 상기 제1반도체칩은 반듯이 엣지패드형 반도체칩을 사용하여야 하지만, 상기 제2반도체칩은 센터패드형도 가능하다. 또한, 상기 제1반도체칩 및 제2반도체칩의 크기 또는 부피에 영향받지 않고 다양한 형태로 스택할 수도 있다.

도면의 간단한 설명

도1은 종래의 반도체패키지를 도시한 단면도이다.

도2a는 본 발명에 의한 반도체패키지를 도시한 단면도이고, 도2b 및 도2c는 본 발명에 의한 반도체패키지의 평면 사시도 및 저면 사시도이다.

도3은 도2a의 A 영역을 확대 도시한 단면도이다.

도4a 내지 도4g는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

- 도면중 주요 부호에 대한 설명 -

100; 본 발명에 의한 반도체패키지

1; 제1반도체칩 1a; 입출력패드

2; 제2반도체칩 2a; 입출력패드

2b; 도전성범프 3; 도전성와이어

4,5; 접착층 6; 이방성도전필름

6a; 접착필름 6b; 도전성알갱이

10; 제1섭스트레이트 11; 수지층

12; 회로패턴 13; 도전성 비아

14; 커버코트 15; 제1섭스트레이트의 관통공

20; 제2섭스트레이트 21; 수지층

22; 회로패턴 23; 도전성 비아

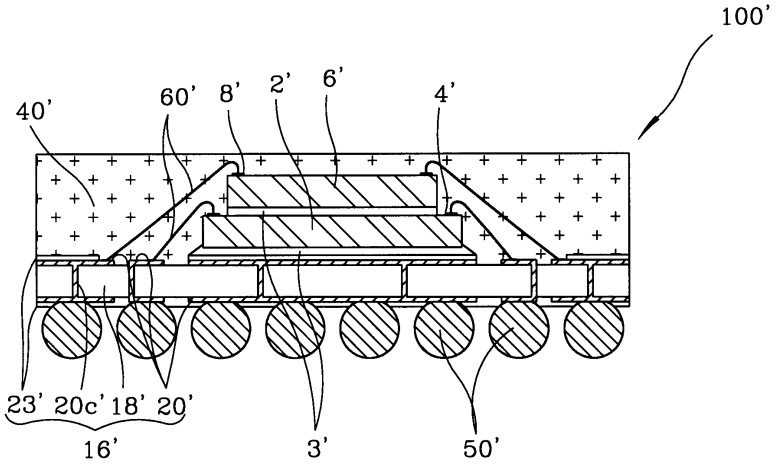
24; 커버코트 30; 스티프너

35; 스티프너의 관통공 40; 봉지부

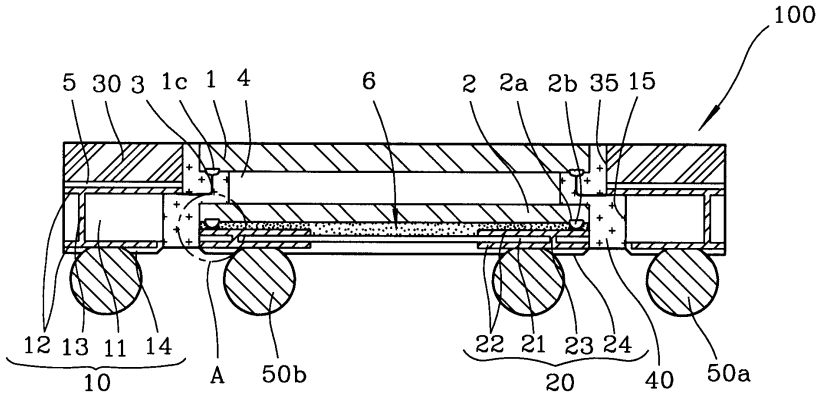
50a,50b; 도전성볼 60; 접착 테이프

도면

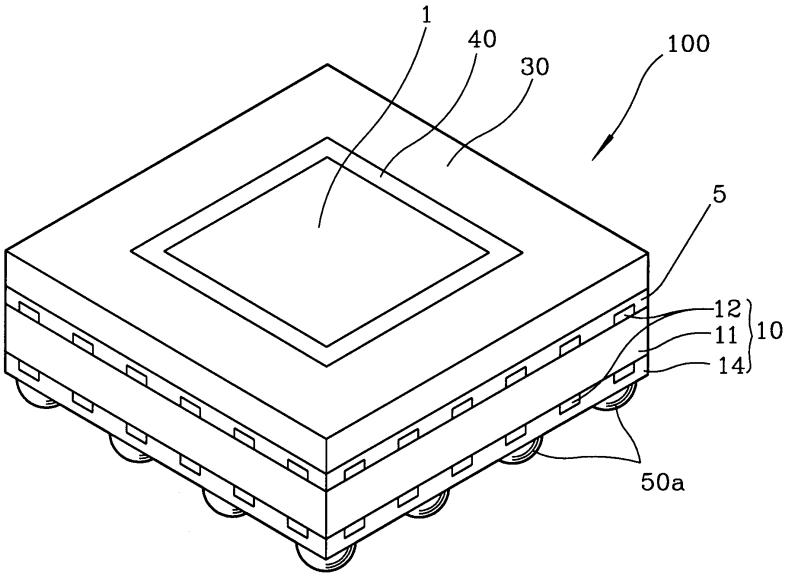
도면1


100'
40'
60'
8'
2'
6'
4'
23'
20c'
18'
20'
16'
3'
50'

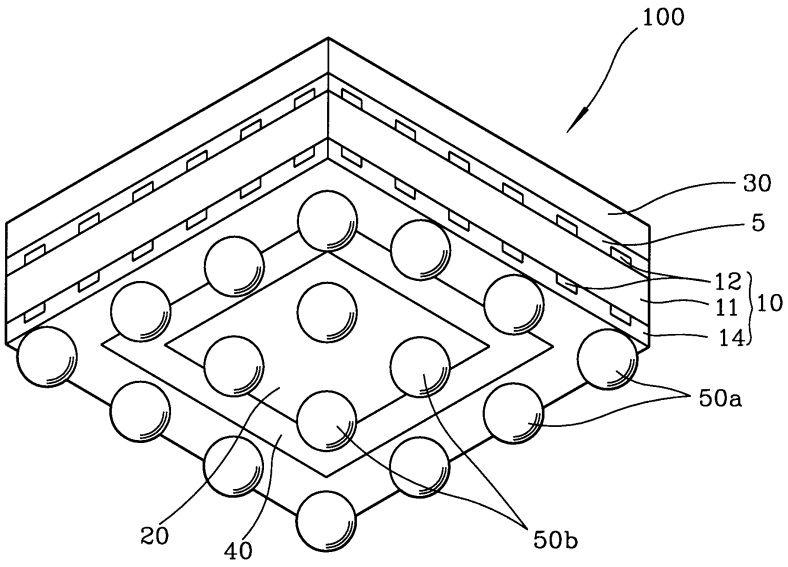
도면2a


100
5
30
3
1c
1
4
6
2
2a
2b
35
15
12
13
11
14
10
A
50b
22
21
23
24
20
40
50a

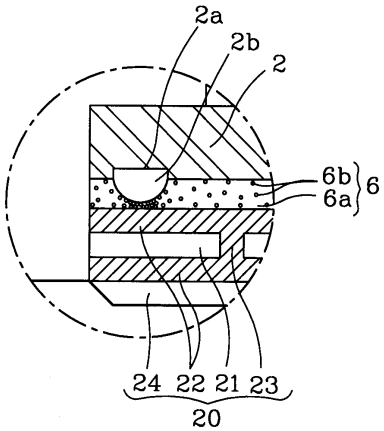
도면2b



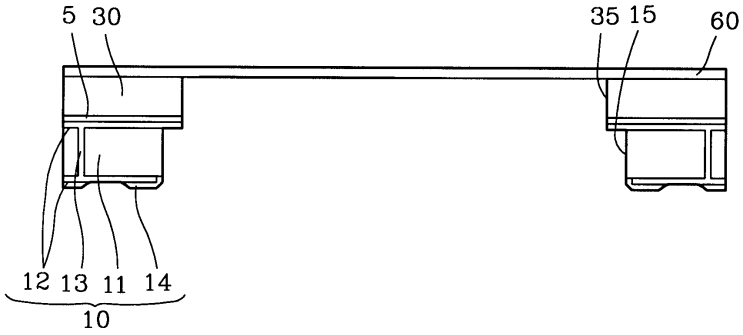
도면2c



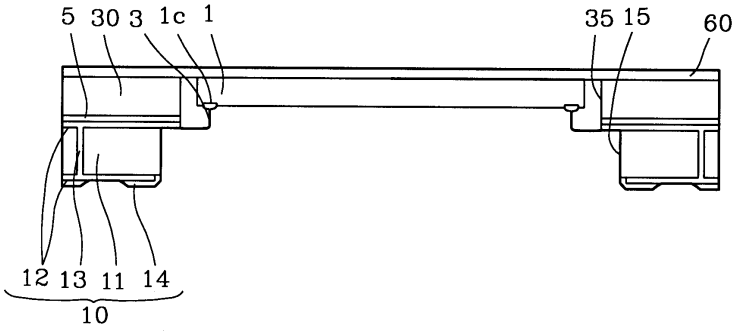
도면3



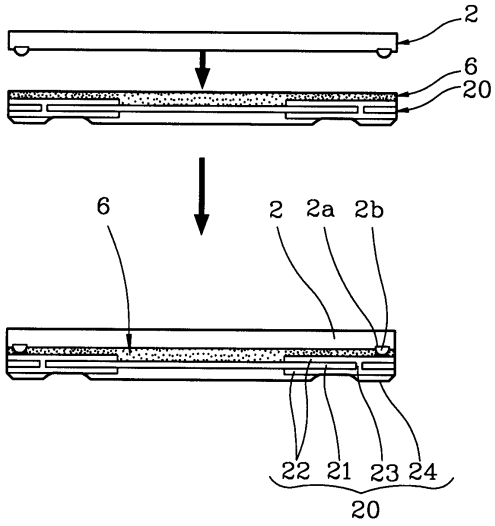
도면4a



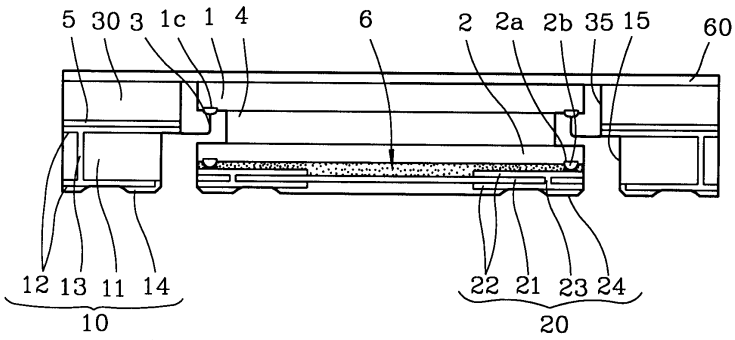
도면4b



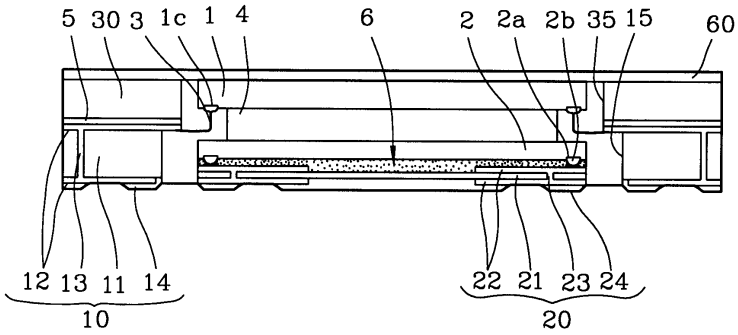
도면4c



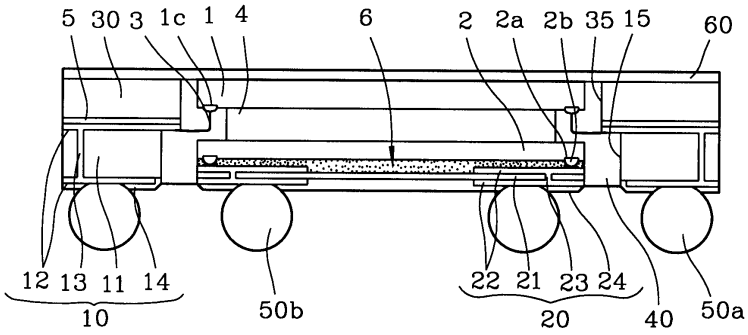
도면4d



도면4e



도면4f



도면4g

