(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-547205
(P2008-547205A)
(43)公表日　平成20年12月25日(2008.12.25)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 25/065	(2006.01)	H01L 25/08	B	
H01L 25/07	(2006.01)	H01L 25/08	Z	
H01L 25/18	(2006.01)	H01L 21/92	602H	
H01L 21/60	(2006.01)	H01L 21/92	602R	
		H01L 21/92	603E	

審査請求 未請求　予備審査請求 未請求　（全 167 頁）　最終頁に続く

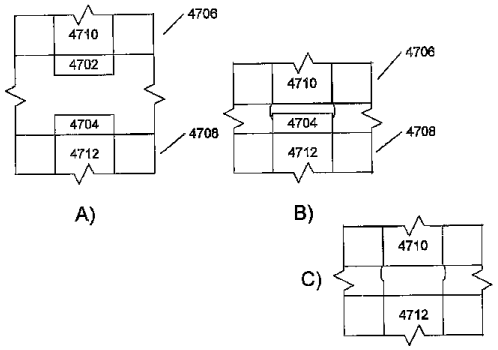
(21)出願番号　特願2008-517092 (P2008-517092)
(86)(22)出願日　平成18年6月14日 (2006.6.14)
(85)翻訳文提出日　平成20年2月13日 (2008.2.13)
(86)国際出願番号　PCT/US2006/023246
(87)国際公開番号　WO2006/138423
(87)国際公開日　平成18年12月28日 (2006.12.28)
(31)優先権主張番号　60/690,759
(32)優先日　平成17年6月14日 (2005.6.14)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　11/329,575
(32)優先日　平成18年1月10日 (2006.1.10)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　11/329,874
(32)優先日　平成18年1月10日 (2006.1.10)
(33)優先権主張国　米国 (US)

(71)出願人　507410032
キュービック・ウエハ・インコーポレーテッド
Ｃｕｂｉｃ　Ｗａｆｅｒ，Ｉｎｃ．
アメリカ合衆国、ニュー　ハンプシャー州　０３０５４、メリマック、アル　ポール　レーン　１０
１０　Ａｌ　Ｐａｕｌ　Ｌａｎｅ，Ｍｅｒｒｉｍａｃｋ，Ｎｅｗ　Ｈａｍｐｓｈｉｒｅ　０３０５４　Ｕ．Ｓ．Ａ．
(74)代理人　100097320
弁理士　宮川　貞二
(74)代理人　100100398
弁理士　柴田　茂夫

最終頁に続く

(54)【発明の名称】チップコネクタ

(57)【要約】
第１ウェハ上の第１接点を第２ウェハ上の第２接点に電気結合する方法であって、第１接点は剛性材料を含み、第２接点は、剛性材料に比べて展性のある材料を含み、両方を一緒にすると、剛性材料が展性材料に入り込むように結合し、剛性材料および展性材料はともに導電性であり、前記方法は、剛性材料を展性材料と接触させるステップ、剛性材料を展性材料へ入り込ませるために第１接点および第２接点の何れか一方に力を加えるステップ、展性材料を軟化させるために剛性材料および展性材料を加熱するステップ、展性材料を予め特定した領域内に拘束するステップを含む。



【特許請求の範囲】
【請求項１】
第１ウェハ上の第１接点を第２ウェハ上の第２接点に電気結合する方法であって、前記第１接点は剛性材料を含み、前記第２接点は前記剛性材料に比べて展性のある材料を含み、両方を接触させると、前記剛性材料が前記展性材料に入り込むように結合し、前記剛性材料および前記展性材料はともに導電性であり、前記方法は：
前記剛性材料を前記展性材料と接触させるステップ；
前記剛性材料を前記展性材料へ入り込ませるために、前記第１接点および前記第２接点の何れか一方に力を加えるステップ；
前記展性材料を軟化させるために、前記剛性材料および前記展性材料を加熱するステップ；　および、
予め特定された領域内に前記展性材料を拘束するステップを備える方法。
【請求項２】
前記展性材料の境界を成し、前記拘束ステップを実行する形状のウェルを前記第２ウェハ上に形成するステップを更に備える、
請求項１の方法。
【請求項３】
前記形成するステップが、前記第２ウェハの特定領域だけに境界画成材料を付与するステップを更に含む、
請求項２の方法。
【請求項４】
前記形成するステップが、前記第２ウェハの基板に凹部を生成するステップを更に含む、
請求項２の方法。
【請求項５】
前記形成するステップが、前記第２ウェハのＩＣパッド上に前記展性材料を付与するステップを更に含み、前記ＩＣパッドは、前記ＩＣパッド近傍に配置される前記第２ウェハのカバーガラスおよび前記第２ウェハ上の誘電体の少なくとも一方に対してくぼんでいて、前記展性材料は、その一部が前記ＩＣパッドの上面に置かれ、その一部が前記カバーガラスまたは誘電体またはその両方の上面に置かれ、それにより、前記ＩＣパッド上の前記展性材料の外表面部は、前記カバーガラスまたは前記誘電体またはその両方の上に配置される前記展性材料の別の部分と異なる高さになる、
請求項２の方法。
【請求項６】
前記剛性接点をプロファイル化することにより前記第１ウェハ上にウェルを形成するステップを更に備える、
請求項１の方法。
【請求項７】
二つのチップ上の相補接点間に形成される接続であって：
前記二つのチップの内の第１チップ上の第１電気接点と；
前記二つのチップの内の第２チップ上の第２電気接点と；
前記第１および第２電気接点を物理的かつ電気的に結合するボンディングメタルと；
前記ボンディングメタルの周囲の境界を成して前記ボンディングメタルが前記接点から横方向に膨れたり、クリープしたりするのを防ぐ材料と；
を備える接続。
【請求項８】
前記第２電気接続の一部は、前記ボンディングメタルの周囲の境界を画成する前記材料を含む、
請求項７の接続。
【請求項９】

前記第１電気接続の一部は、前記第２電気接続の一部により取り囲まれる、
請求項７の接続。
【請求項１０】
前記ボンディングメタルの周囲の境界を画成する前記材料が、誘電体、フォトレジストおよびエポキシの内の一つを含む、
請求項７の接続。
【請求項１１】
前記第１電気接続は：
物理的には孤立しているが、前記第１電気接続と前記第１チップ上のＩＣパッドとを電気接続するバリア層を有する、
請求項１０の接続。
【請求項１２】
前記バリア層は、Ｎｉ、Ｃｒ、ＴｉＰｔ、Ｔｉ／Ｐｄ／Ｐｔ、ＴｉＰｔ／Ａｕ、Ｔｉ／Ｐｄ、Ｔｉ／Ｐｄ／Ａｕ、Ｔｉ／Ｐｄ／Ｐｔ／Ａｕ、ＴｉＷ、Ｔａ、ＴａＮ、ＴａＷおよびＷの内の一つを含む、
請求項１１の接続。
【請求項１３】
前記第２電気接続は：
物理的には孤立しているが、前記第１電気接続と前記第１チップ上のＩＣパッドとを電気接続するバリア層を有する、
請求項１０の接続。
【請求項１４】
前記バリア層は、Ｎｉ、Ｃｒ、ＴｉＰｔ、Ｔｉ／Ｐｄ／Ｐｔ、ＴｉＰｔ／Ａｕ、Ｔｉ／Ｐｄ、Ｔｉ／Ｐｄ／Ａｕ、Ｔｉ／Ｐｄ／Ｐｔ／Ａｕ、ＴｉＷ、Ｔａ、ＴａＮ、ＴａＷおよびＷの内の一つを含む、
請求項１３の接続。
【請求項１５】
前記ボンディングメタルの周囲の境界を画成する前記材料は、誘電体、フォトレジストおよびエポキシの内の一つを含み、前記二つのチップそれぞれと物理的に接触するような高さを有する、
請求項７の接続。
【請求項１６】
前記ボンディングメタルの周囲の境界を画成する前記材料は、前記第１および第２電気接点の内の一方が、前記第１または第２電気接点の内の他方にペネトレーションするのを防ぐような高さを有する、
請求項７の接続。
【請求項１７】
第１チップを第２チップへ接続するためのシステムであって：
第１金属材料を含む前記第１チップ上のポストと；
前記第２チップの外表面から前記第２チップ内の場所まで延びて、前記第２チップ内にウェルを画成するくぼんだ壁と；
前記ウェル内の前記くぼんだ壁の表面上の導電性拡散層材料と；
前記ポスト上の導電性展性材料と；　を備え、
前記ポストは、前記導電性展性材料が前記ウェル内で変形するように前記ウェルへ挿入可能に寸法決めされ、前記導電性展性材料に対して少なくともタック温度まで加熱すると、前記第１チップと前記第２チップとの間に導電性経路を生成するように前記拡散層との導電性タック接続を形成する、システム。
【請求項１８】
前記くぼんだ壁は、挿入動作中に前記ポストを前記ウェルとアライメントさせるのを支援するように寸法決めされた、前記外表面の形状を有する、

請求項１７のシステム。
【請求項１９】
前記くぼんだ壁は、部分的に充填されたバイアの一部を含む、
請求項１８のシステム。
【請求項２０】
前記くぼんだ壁は、部分的に充填されたバイアの一部を含む、
請求項１７のシステム。
【請求項２１】
前記ポストと、前記拡散層材料と、前記導電性展性材料とが、くぼんだ前記ウェルを充填する、
請求項１８のシステム。
【請求項２２】
前記ポストと、前記拡散層材料と、前記導電性展性材料とが、くぼんだ前記ウェルを充填する、
請求項１７のシステム。
【請求項２３】
互いにハイブリッド化される一対のチップであって：
第１チップを第２チップへ電気接続する導電性経路を備え、
前記導電性経路はクラスＩ、クラスＩＩ、クラスＩＩＩおよびクラスＩＶ型のウェル接続の内の一つを含む、一対のチップ。
【請求項２４】
二つのチップ間の電気接続であって：
前記二つのチップの内の第１チップ上のＩＣパッドと；
前記二つのチップの内の第２チップ上のＩＣパッドと；
前記第１チップの前記ＩＣパッド上の第１バリアメタルと；
前記第２チップの前記ＩＣパッド上の第２バリアメタルと；
前記第１バリアメタルと前記第２バリアメタルとの間でトラップされ、前記両バリアメタルとは異なる導電性展性メタルと；
を備え、前記第１バリアメタル、前記導電性展性メタルおよび前記第２バリアメタルは、前記第１チップの前記ＩＣパッドと前記第２チップの前記ＩＣパッドとの間に導電路を形成する、電気接続。
【請求項２５】
前記導電性展性メタルと、前記第１および第２バリアメタルの内の一方との間に配置される剛性メタル材料を更に備える、
請求項２４の電気接続。
【請求項２６】
前記導電性展性メタルは、１０００℃未満の融点を有する金属または合金を含み；　および、
前記剛性メタル材料は、前記導電性展性メタルの前記融点より少なくとも５０℃高い融点を有する金属または合金を含む、
請求項２５の電気接続。
【請求項２７】
前記第１バリアメタル、前記第２バリアメタル、導電性展性メタルおよび剛性メタル材料が、集合的にポストおよびペネトレーション接続を形成する、
請求項２５の電気接続。
【請求項２８】
前記剛性メタルと前記展性メタルとの間に配置される拡散バリアを更に備える、
請求項２５の電気接続。
【請求項２９】
前記第１バリアメタルが、前記第１チップの前記ＩＣパッドを覆う、

請求項２４の電気接続。
【請求項３０】
前記第２バリアメタルが、前記第２チップの前記ＩＣパッドを覆う、
請求項２４の電気接続。
【請求項３１】
前記剛性メタルと、前記第１バリアおよび前記第２バリアの少なくとも一方とが同一金属を含む、
請求項２５の電気接続。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体に関し、より詳細には、半導体デバイスのための電気接続に関する。
【背景技術】
【０００２】
電子チップを通ってあらゆる方向に拡がる電気接点を（導電性バイアを生成することにより）作製するのは困難である。高精度または制御された再現性を維持しつつ電気接点を作製することは、量産は言うまでもなく、次の一つ以上が該当しない限りほとんど不可能である。すなわち、ａ）バイアが非常に浅い、つまり深さが１００μｍを大きく下回る、ｂ）バイア幅が大きい、またはｃ）バイア同士の離間距離が大きい、すなわちバイア幅の何倍も離れている。信号のクロストークが発生するほどにバイアが近接している場合、またはバイアが貫通するチップが帯電している場合、バイア内の導電体が短絡作用をせず、チップの関係部分の電荷とは異なる電荷を搬送することもできないので、問題は一層深刻になる。更に、従来のプロセスは、形成した集積回路（ＩＣ）チップ（すなわちアクティブ半導体デバイス）に損傷を与えることがあるので、これらプロセスがある限り、かかるチップとの併用に適さず、コストアップを招き、それにより最終的な歩留まりを低下させる。上記問題に加えて更に、バイアが貫通する材料が電荷をもつ場合の、またはバイアを通って伝送される信号の周波数が非常に高く、例えば約０．３ＧＨｚを超える場合のキャパシタンスと抵抗の問題に取り組む必要がある。
【発明の開示】
【発明が解決しようとする課題】
【０００３】
実際、半導体技術には、以下を含む多くの問題が依然として残っている。すなわち、使用するパッケージ化が大きく拡張性がないこと；組立コストが半導体のようには低下しないこと；チップコストが面積に比例し、最高性能のプロセスが最も高価であるが、実際に高性能プロセスを必要とするのはチップ面積の一部に限られること；現行プロセスは電圧および他の技術の制約を受けていること；設計者は一つのプロセスおよび一つの材料の設計制約を受けること；チップ対チップ（スルーパッケージ）接続には、ハイパワーパッドドライバが必要であること；些細な設計ミスの小さな変更つまり修正であっても、全体を新規チップとするために、一つ以上の新規マスクの製作が必要であること；全体が新規チップになると、マスクコストだけでも何百万ドルも必要になること；個々のチップは検査が困難で複雑化し、チップの組み合わせとなると、パッケージ化前の検査が更に困難であること。
【０００４】
従って、従来技術では、一つ以上の上記課題に取り組むことができる技術に対する大きなニーズがある。
【課題を解決するための手段】
【０００５】
本発明者らは、ウェハ、予め形成した（プリフォーム）サードパーティチップ、またはドープした半導体基板を貫通するバイアにより、チップ対チップ電気接続を容易に形成するプロセスを開発した。本明細書で説明する各態様は、本手法で有用であり、チップを相

互に結合する汎用分野における改良を提示する。

【０００６】

一態様は、第１ウェハ上の第１接点を第２ウェハ上の第２接点に電気結合する方法を含み、第１接点は剛性材料を含み、第２接点は剛性材料に比べて展性のある材料を含み、両方を接触させると剛性材料が展性材料に入り込む（ｐｅｎｅｔｒａｔｅ）ように結合し、剛性材料および展性材料はともに導電性であり、この方法は、剛性材料を展性材料と接触させるステップ、剛性材料を展性材料へ入り込ませるために第１接点または第２接点の何れか一方に力を加えるステップ、展性材料を軟化させるために剛性材料および展性材料を加熱するステップ、および予め特定された領域内に展性材料を拘束するステップを含む。

【０００７】

別の態様は、展性材料の境界を成し、上記拘束ステップを実行する形状のウェルを第２ウェハ上に形成するステップを含む。

【０００８】

更に別の態様は、第２ウェハのＩＣパッド上に展性材料を付与するステップを含み、ＩＣパッドは、ＩＣパッドに近接して配置される第２ウェハのカバーガラスおよび第２ウェハ上の誘電体の少なくとも一方に対してくぼんでおり、展性材料は、その一部がＩＣパッドの上面に置かれ、一部がカバーガラスまたは誘電体またはその両方の上面に置かれる。それにより、ＩＣパッド上の展性材料の外表面部は、カバーガラスまたは誘電体またはその両方の上に配置される展性材料の、別の部分と異なる高さになる。

【０００９】

別の態様は、二つのチップ上の相補接点間に形成される接続を含み、この接続は、二つのチップの内の第１チップ上の第１電気接点と、二つのチップの内の第２チップ上の第２電気接点と、第１と第２電気接点を物理的かつ電気的に結合するボンディングメタルと、ボンディングメタル周囲の境界を成してボンディングメタルが接点から横方向に膨れたり、クリープしたりするのを防ぐ材料とを含む。

【００１０】

本明細書で説明する利点および特徴は、代表的な実施の形態から得られる多くの利点および特徴の内の僅かでしかなく、本発明の理解を助けるために提示するに過ぎない。言うまでもなく、これらは特許請求の範囲で定義される本発明を制限したり、特許請求の範囲の均等物を制限したりすると解釈すべきものではない。例えば、これら利点のいくつかが相互に矛盾し、単一の実施の形態に同時にあてはまらないことがある。同様に、いくつかの利点が本発明の一態様にあてはまるものの、他の態様にはあてはまらない場合がある。従って、特徴および利点のこの概要が、均等を判定する際の手掛かりになると考えるべきではない。本発明の追加の特徴および利点は、以下の説明、図面、および特許請求の範囲から明らかになろう。

【発明を実施するための最良の形態】

【００１１】

最初に、言うまでもないが、本明細書で用いる用語「ウェハ」は、特定の説明がチップを切り出せるウェハ全体のみをさしている、例えば、８インチか１２インチのウェハ、「チップ対ウェハ」か「ダイ対ウェハ」、「ウェハ対ウェハ」、または「ウェハスケール」の処理をさしている、ということが明白かつ限定的でない限り、用語「チップ」、「ダイ」および「ウェハ」の全てを、交換可能にその範囲に含むよう意図している。その用語の使用が、技術的観点からみて、用語「チップ」または「ダイ」で置換した場合に意味をなせば、これらの用語がやはり意図されている。更に、本明細書で「ウェハまたはチップ」または「ウェハまたはダイ」を実質的に参照するのは、上記条件が満たされない限り、不注意による重複と見なすべきである。

【００１２】

一般に、本明細書で説明する態様の特定の実施により、深いバイア、高い再現性、制御されたキャパシタンスおよび抵抗、およびバイアと、バイアが貫通するウェハまたは基板との間の電気絶縁、を可能にする単純で制御可能な様式で、完全に形成された電子デバイ

ス、アクティブな光デバイスまたは電気光デバイスを含む二つ以上のウェハ間の接続を形成することが可能になる。

【００１３】

本プロセスの実施により、幅が狭く（すなわち、約１５μｍ幅以下まで）かつ、５：１～１０：１のオーダーのアスペクト比がより代表的ではあるが、３：１のオーダーおよび３０：１にもなる深さ対幅の比率の、チップを貫通するほど深い（すなわち、約５０μｍを超える深さまで）、導電バイアを形成することが可能になる。更に、本発明者らの手法により、バイアが貫通するチップ部分が電気的にアクティブになるという条件で、それが可能になるという利点がある。特に、本発明者らは、通路を通って伝わる導電体からドープされた半導体を、その側壁により絶縁する通路を用いて、ウェハのドープされた半導体部分を通る電気的アクセスを提供するのを可能にした。更に、本発明者らのプロセスは、狭い通路に都合がよい（すなわち、約１５μｍ幅または場合によってはそれ未満）一方、一定でかつ許容できるキャパシタンスおよび抵抗を維持するために、絶縁材料および導電体の厳しい厚さ制御を可能にする。

【００１４】

更に、本発明者らの手法は、円形であれば、直径が０．１μｍから１５μｍのパッドを有する接点を形成する際の使用に適している。上限は制限がなく、本発明者らの手法によれば、他の手法では一般に不可能な統合を可能にするそれ（１５μｍ）未満の寸法だけが制限を受け、下限は、現在利用可能なフォトリソグラフィ技術に依存する。言いかえると、より狭い画成が可能なフォトリソグラフィ技術の進歩により、現在の制限を更に下げることが可能になる。

【００１５】

更に、数百、数千μｍの長さとなるはんだ接点とは異なり、またはやはり数千μｍの長さとなり、従ってチップ間インピーダンスをドライブする大きなパッドドライバが必要なことが多いワイヤーボンディング接点とは異なり、本発明者らの手法によれば、本発明者らは、チップ間の寄生電気の影響をずっと低下させることができる非常に短い接点（１０μｍ以下）を用いることができる。本発明者らの代表的な接点は、相補的接点により統合される前は、展性材料（後述し定義する）の幅の３倍以下の接点間隔を有する（例えば、初期接点が高さ８μｍの場合、接点間隔は約２５μｍまでとする）。

【００１６】

本発明者らの手法によれば約２０μｍ以下の離間距離でチップのスタックが可能になる。本発明者らは約１μｍ間隔未満で実行できることを実証しているが、実用的には１０μｍ以下の間隔が代表値である。一般に、最小値は、パッド間の距離が最大間隔を示す最大高さの点で接触している場合、結合される２枚のウェハの最近接表面のトポロジー（凹凸）で決まる。

【００１７】

本発明者らの手法によれば、５０μｍ以下のピッチで接点を形成することが可能になる。本発明者らはピッチは７μｍまで狭くできることを実証しているが、代表値としては、約２５μｍ以下のピッチが用いられ、繰り返しになるが、その限界は、現在利用可能フォトリソグラフィ技術に依存する。技術の進歩によりピッチは狭められる。

【００１８】

幾つかの変形形態の特徴は、下記の内の一つ以上を含む：１平方センチあたり数百万接点の潜在的能力がある；電気的、機械的、および熱的な付着が同時に発生する；弱い力で付与するが高強度接続を生み出す（１，０００ｋｇ／ｃｍ^{2}のオーダー）；経済的なスケールメリットで接続がなされる；非平面ウェハに適合する；大部分の処理がウェハ規模で実施できる（例えば、８、１０または１２インチウェハの１０μｍＧａＡｓ基板）；プロセスはチップ対チップ、チップ対ウェハ、またはウェハ対ウェハに基づいて行うことができる；プロセスは電気的に接地される；接続は、サードパーティが供給するチップとともに使用できるように、プリフォームされた（すなわちデバイスを装着したチップ）上で行われる；バイアを作製してから多数のチップを接続する；チップの組み合わせを検査して

から恒久的に接続でき、必要に応じて再加工できる；異なる技術を混合し、組み合わせる（すなわち、ＧａＡｓをＩｎＰへ、ＩｎＰをＳｉへ、ＧａＡｓをＳｉへ、ＳｉＧｅをＳｉへ等、および例えば、セラミック、ＬＣＰまたはガラスで作製される絶縁ウェハさえも）；経済的に有利な半導体プロセスのチップサイズパッケージを生成する能力がある；低速度機能をコアプロセス、高価なプロセスから外すことができ、それでも単一チップ同様に回路セット全体を作動させることができ、個々のチップの設計を、利用可能な多様な電圧、技術、および材料の利点を享受し、その特定の設計に最適にできる；本設計の他の態様に要求される技術とは無関係である；オフチップ通信（ｏｆｆ－ｃｈｉｐ　ｃｏｍｍｕｎｉｃａｔｉｏｎ）が強化される；重複する開発設計コストを吸収しなくても、コア設計を多数の製品内に活用するのを可能にするチップレベル設計のモジュール化を進めるのに役立つ；および、必要以上に高価で高速な技術で低速度回路を形成しなくてもよいように、速度を技術形式と合わせることができる。

【００１９】

全体的には、本発明者らのプロセスは、ドープした基板とともに用いることができるが、基板を短絡することはなく、従って、それが貫通する基板の電荷と反対の電荷を搬送することができる「スルーウェハ」電気接点を用いてチップ対チップ接続を生成する能力を改良する。更に、この「スルーウェハ」手法は、半導体材料、セラミックのような絶縁体、および他の導電または非導電材料のウェハとともに用いることができる。更に、半導体材料、すなわち３０～１のアスペクト比を有する材料をエッチングするための現行装置を用いて、本プロセスは、細い断面のバイア（すなわち、１５μｍ幅、または場合によってはそれ未満）、および５０μｍ超から５００μｍ以上の深さまで全体の深さが延びるバイアに十分有効である。更に、本プロセスは、例えば、本プロセスを用いて生成されるバイアが、高速度電気信号（すなわち、０．３ＧＨｚを超える周波数の電気信号）または、実装によっては光信号、を伝送することができるように、キャパシタンスおよび抵抗の緊密な制御が可能である。

【００２０】

実施の形態によっては、導電性であれば、異なる信号または異なる電荷をそれぞれが搬送する集中的なバイアも可能になる。更に、実施の形態によっては、内側バイアを冷却システムの一部として用いることができる集中バイアが可能になり、編成の一部をヒートパイプ編成の一部となるよう用いる。他の実装では、チップがスタックされ、チップ対チップ、チップ対ウェハまたはウェハ対ウェハに基づいて、他のチップに電気的に接続されるスタック手法と互換性があるという利点、その手法の使用が可能であるという利点を提供する。

【００２１】

本明細書で説明されるか、またはそこから直接導き出される実質的に全てのスタックプロセスおよび変形形態には、新規スタックのピースをその真下のピースとアライメントさせるだけでよい、という利点がある。これは、スタックを試みる従来技術と極めて対照的であり、従来技術では全てのピースを互いにスタック状態でアライメントし、次いで、導電材料を挿入して、横断スタック接続を形成しなければならない。このような手法は、すぐ下のピースだけでなく全体として、全てのピースを他の全てのピースに対して正確にアライメントするようスタックにする必要がある。更に、本発明者らの手法は、単軸、同軸および３軸の接続で等しく良好に機能するが、それに反して、それらを仮に接続させることができるとしても、全体としてアライメントさせる手法は機能しない。

【００２２】

様々な手法を例示のために簡略化し、例えば、プリフォームされている（すなわち、既に、集積回路またはコンポーネント、および／またはレーザー、検出器、変調器のような光デバイス、およびこれらデバイス用の接点パッドが収容されている）シリコン（Ｓｉ）、シリコンゲルマニウム（ＳｉＧｅ）、ガリウムヒ素（ＧａＡｓ）等の半導体材料のウェハを含む例示を用いて説明する。

【００２３】

本手法の第１実施例は、例示の半導体材料（すなわち、関係する基板の一部または全ての有無にかかわらず、ドープされた半導体）に対して、ウェハだけをエッチングする必要がある、二つのエッチングプロセスを含む。この例示のプロセスは、半導体材料のデバイス装着ウェハで開始される。半導体ウェハの場合は、溝がウェハ基板内に延び、一部の半導体材料の境界を生成するように、一つ以上の正確な幅の溝の領域が、所望の深さまでウェハ内にエッチングされる。注意すべきは、周囲の形状は、任意の閉じた形状とすることができ、溝の外側および内側の壁は、同一の形状でなくてもよい。最終的なバイア接続のキャパシタンスおよび抵抗は、溝の内周および外周の形状および離間距離の選択により制御することができる。溝の深さは代表的には５０μｍ以上、場合によっては５００μｍ以上であるが、画成された半導体ピースが取れないように、溝をウェハ基板全体に拡げない。次いで、溝を電気絶縁材料で充填する。次に、画成された半導体ピースの少なくとも一部を、外側の溝の壁により画成されるものより細い断面の穴を残して、エッチングして取り去り、それにより、半導体ピースをエッチングすることにより生成されるバイアが、絶縁材料か、または深さの一部に対しては中心の半導体ピース、その他に対しては基板からの材料からなる周囲リング、の何れかにより画成されるようにする。穴はメタライズして、ウェハの上面と穴の底部との間の電気接続を生成する。次いで、ウェハ（すなわち、基板）の背面を薄くして、あとで基板側面接点またはその一部（広義の用語「接点」により本明細書で交換可能に参照される）となる穴の底面のメタライゼーションを露出させる。典型的には、穴を画成する表面の一部の少なくとも全深さは、メタライズされるが、幾つかの実施の形態では、メタライゼーションは、基板を十分に薄くすると露出するのに足る深さまで延びるだけである。この方法では、メタライゼーションを実行するのに用いる本プロセスを、全深さの底までのメタライゼーションに用いることができない場合、薄くするステップを停止する所まで十分なメタライゼーションが延びている限り、接点を形成することができる。例えば、一例示の実施の形態では、バイアが、基板内の途中まで全長約６００μｍにわたって延びるが、メタライゼーションは、全体深さ約３００μｍ（すなわち、バイア自体より３００μｍ浅い）までしか確実に行なえない場合、本プロセスは、許容できなくなるほどウェハまたはチップが弱くならないように、基板を薄くし、メタライゼーションに少なくとも達することができる限り、悪影響を受けることはない。

【００２４】

上記手法、本明細書で説明する変形形態、およびその順列と組み合わせを通じて、接続ポイントは、オンチップのデバイスの近くに設けることができる。オンチップのデバイスの近くに設ける接続ポイントにより、縦方向の（すなわち、チップのスタックにより）チップ対チップ接続が本手法により容易になり、接続ポイント間の距離が減少し、チップ対チップ接続のワイヤーボンディングを用いる必要性が低下するかまたはなくなる。更に、本手法により、製造中に所望されるような、混合および組み合わせができるサブコンポーネント専用設計の生成が容易になる。言いかえると、チップセットの材料、寸法および製造に対して第３の次元を直ちに利用することができる。更に、本手法により、異なる速度または材料技術の種類の混合、ならびにコンポーネントやサブコンポーネントの混合および組み合わせが可能になり、それにより、開発および製造コストの削減がもたらされる。更にチップ対チップ接続は、チップ間の電気接続ではなく光を用いる接続を生成することができる。

【００２５】

上記のことは、結合されるチップに加わる応力を低減してチップ損傷のリスクを低下させる、チップ対チップ接続手法をオプションで使用することにより更に容易になる。

【００２６】

上記説明の特定態様を、幾つかの例示により、ならびに図示および説明を明瞭にするのが目的の、全体に簡略化され、尺度を適合させていない図を特に参照して更に詳細に説明する。場合によっては、尺度は、表現および理解を確実にするために正確さを犠牲にして、意図的に著しく誇張または歪ませてある。

【００２７】

更に、本明細書で説明する本手法は、チップ上の特定デバイスまたは本明細書で説明した態様が併せて用いられる特定デバイスと、関連していない。従って、何れかの特定種類のデバイスへの参照、例えば、第１実施例のレーザーは、電気接点を作製する必要があるデバイスの場合は除いて、本明細書で説明した態様に対して独立かつ無関係である。言いかえると、本明細書で説明する本手法は、接点を作製することができる全てのデバイスおよび回路要素に対して基本的に同一である。

【００２８】

図１は、多数の固体電子デバイス、例えば、抵抗器、コンデンサ、トランジスタ、ダイオード、レーザー、光検出器またはそれらの何らかの組み合わせを含むチップ１０２の部分１００の側面略図である。図１に示す部分１００は、例示のために過ぎないが、「上部」ミラー１０６、上部ミラー１０６下部のアクティブ領域１０８、および基板１１２上に配置される「底部」ミラー１１０を有するレーザー１０４を含み、それにより、デバイス１０４は、デバイス１０４近くのチップ１０２の非デバイス部である上部の外側表面１１６上に数μｍの高さ１１４を有する。

【００２９】

図示のように、レーザー１０４は、従来の縦型キャビティ面発光レーザー（ＶＣＳＥＬ）である。説明のためにすぎないが、仮定として、上部ミラー１０６は、基板の、レーザー１０４を装着する側１２０と反対側１１８上の何らかの素子に電気接続し、特定領域１２４内の、デバイス１０４に近いドープされた半導体材料１２２を貫通する必要がある。

【００３０】

最初に、言うまでもないが、イクステント（ｅｘｔｅｎｔ）レーザーまたは光検出器をデバイスとして説明する場合、用語「上部」および「底部」は、慣例に従って、「底部」は基板に最も近い部分であり、レーザーが基板１１２に向けて発光されるか、または基板と離れる方向に発光されるかとは無関係である（または光検出器の場合は、光を受ける方向とは無関係）。

【００３１】

図２は、プロセスが開始される前の、図１の特定領域１２４の上面１１６の平面図である。

【００３２】

スルーチップ接点を形成する基本プロセスを、図１および図２に示されるこれらの態様を参照して説明する。

【００３３】

図３は、下記のように処理した結果として、図１の一部１００の断面略図を示す。

【００３４】

最初に、好ましくは、異方性エッチングプロセスを用いて（比較的直線の溝の側壁３０４を生成するため）、溝３０２を、半導体材料１２２内へ、かつそれを通って、基板１１２内の途中まで溝３０２が入る深さまでエッチングする。溝３０２の全体深さは、１００μｍ以上、場合により５００～６００μｍ以上に拡張することができる。但し、溝３０２は、基板１１２を完全に貫通する前に停止すべきであり、さもなければ本発明を実施する能力は、多くの場合失われることになる。溝３０２は、基板面と平行な面に環状の断面を生成するそれ自体が閉じている形状である。この環状溝３０２を使用すると、半導体材料１２２の「アイランド」３０６が残り、少なくとも基板１１２の原型のままの部分３０８により同じ位置に保持される。この時点で注目すべきは、溝３０２に対して言及される「環状」は、円形として示されているが、これは図示を簡単にするためにすぎない。本明細書で用いるときは、用語「環状」または「環」は、何らかの特定または規則的な形状に制限されず、または外周が内周と同一形状をもつ必要もないと理解すべきである。溝が、内部に孤立した「アイランド」を生成できるように、閉じた形状をしている限り、溝は、本明細書で用いているように、環状溝または「環」と見なすべきである。言いかえると、この用語は、閉じた多角形（規則的または不規則）または、例えば、形状が滑らかか、凹凸であるか等に無関係な他の閉じた周囲形状を含む閉じた周囲形状、の任意の組み合わせを

含むよう意図されている。更に、この用語は、必要に応じて、または所望に応じて、特定の事例に対して固定した幅、変化する幅を範囲に含むよう意図されている。

【００３５】

図４は、図３の側面図に示される溝３０２の生成直後の、図１の特定領域１２４の上面１１６の平面図である。この図では、溝３０２の環状の特徴が明瞭に示されている。溝３０２は、閉じている内周３１２および外周３１４ならびに幅３１０を有するので、溝３０２は、半導体材料１２２の内部にアイランド３０６を取り巻いて、それを生成する。

【００３６】

図５は、下記のような後続処理の結果として図１の部分１００の断面略図を示す。

【００３７】

少なくとも溝３０２は、誘電体または他の電気絶縁材料５００によりコーティングされ、オプションで上面１１６の一部を所望の厚さまで覆うこともできる。オプションとして、熱伝達に関心がある場合、電気絶縁材料５００として、電気絶縁しつつ熱伝導が良好な材料を用いることができる。

【００３８】

上記手法により達成される利点は、従来技術の文脈で対照させて見ると分かる。第１に、一般的には、一様に誘電体材料を塗布することは、特に、一様な厚さが必要な場合、著しく困難である。第２に、この問題は、誘電体を非平坦面に塗布する必要がある場合、更に困難になり、本明細書で説明するバイアの場合のように縦の壁面へ塗布しなければならない場合、更に困難さを増す。従って、他の手法が、穴を生成するよう試み、これらの穴の壁を誘電体で正確に塗布し、その後、導電性にするという限りにおいて、これらの他の手法には、一様性を制御する何らかの重要な能力が欠如している。これらの手法で露呈する一様性の欠如は、キャパシタンスおよびインピーダンスに、ひいては性能、特に、関わっている信号周波数が非常に高い場合、例えば約０．３ＧＨｚを超えると、劇的に影響を与える。対照的に、本明細書で説明する手法は、溝３０２の寸法を、溝３０２自体の精度まで精密に制御できるので、キャパシタンスおよび抵抗の精密な制御が可能である。溝３０２の周囲の壁は、絶縁材料５００に制約を与えるので、被覆の厚さおよび一様性を（従って、最終的なキャパシタンスおよびインピーダンスを）定義する。従って、必要なことは、溝３０２を確実に充填することが全てであり、非常に低精度かつ低コストのプロセスで済む。このように、従来技術とは違って誘電体を塗布するときの精度は不要である。

【００３９】

図６は、図５の側面図に示される、溝３０２を充填し、（オプションで）上部の外側表面１１６のどこかを電気絶縁材料５００により部分的に被覆した直後の、図１の特定領域１２４の上面１１６の平面図である。

【００４０】

図７は、以下に示す後続処理の結果として図１の部分１００の断面略図を示す。

【００４１】

電気絶縁材料５００が凝固すると（硬化、キュアリングまたは他の処理により）、バイア溝７０２は、絶縁材料５００の環７０４内の半導体材料のアイランド３０６を、特定の所望の実装を達成するのに必要な十分な深さ５０２まで、例示にすぎないが、溝３０２の深さと同様な深さまで（すなわち、ある距離だけ同様に基板１１２内へ延びるが、好適にはそれを貫通しないような深さまで）、除去することにより生成される。実際には、バイア溝７０２の深さ５０２は、以下に説明するように処理中に必要な場合、本実施例では、基本的に溝３０２と同一の、基板１１２内への距離に到達できる十分な深さまで同様に延びてさえいれば、溝３０２の深さより深くても浅くてもよい。更に、アイランド３０６を画成する環７０４の最内壁は、除去プロセスにより生成されて、誘電体であるバイア溝７０２の形状およびプロファイル（外側曲面形状）を決定する。従って、除去の厳格な制御が幅または深さの方向では不要なので、エッチングプロセスにより影響を受けないのが典型的であり、低精度エッチングプロセスを用いて、半導体材料にアイランド３０６を除去できる。除去を更に増加させることもでき、さもなければ代替として、一つ以上の他の適

切なプロセス、例えば、レーザーアブレーション、レーザードリルまたはこれらの何らかの組み合わせを用いることにより、達成することができるのは無論である。

【００４２】

本実施例のプロセスを継続して、バイア溝７０２が一旦生成されると、バイア溝７０２の側壁７０６、およびバイア溝７０２の底部７０８は、側壁７０６が絶縁材料５００であり、底部７０８は基板１１２により画成されるので、非導電である。

【００４３】

図８は、図７の側面図に示す電気絶縁材料５００の環７０４内部にバイア溝を生成した直後の、図１の特定領域１２４の上面１１６の平面図である。

【００４４】

図９は、下記の後続処理の結果として図１の部分１００の断面略図を示す。

【００４５】

バイア溝７０２は、バイア溝側壁面７０６の少なくとも長手部分を（すなわち、その深さに沿って）、例えば、スパッタ、蒸着、めっきまたは金属で膜形成するための他の物理的または化学的堆積技法、または必要に応じてこれらの何らかの組み合わせを用いて、「メタライズ」することにより導電性とする。言いかえると、メタライゼーションは、導電性の固体、導電性のエポキシまたはリフロー可能な材料（例えば、はんだのような適切な温度で導電性の液体）の使用を含む。本メタライゼーションプロセスを用いて、少なくともバイア底部７０８周辺から上面１１６まで、多くの場合、対象デバイスがバイアを作製したチップの一部である場合は、対象デバイスに至るまでずっと、連続的な導電接続を生成でき、典型的には生成する。例示のために図９は、レーザー１０４の上部ミラー１０６上の接点９０４からバイア溝７０２の底部７０８まで延びる、本プロセスにより生成された電気配線９０２を示す。図示のように、バイア溝７０２の側壁７０６および底部７０８の全表面は、完全に金属でコーティングされる。

【００４６】

上記したように、メタライズで形成された導体の厚さが厳密に制御できるのと同様に、絶縁環の幅および長さも厳密に制御できるので、メタライズされた表面に対する一定のキャパシタンスが達成できる。更に、絶縁材料５００は、半導体材料１２２から接点９０４を電気的に絶縁し、貫通しているので、絶縁がなければ、接点を別のデバイスまたは導電体へ電気的に短絡するかもしれない半導体材料の欠陥の影響を抑えることができる。

【００４７】

図１０は、図９の側面図に示すように、バイア溝７０２にメタライゼーションを施し、デバイス接点９０４へ電気配線９０２を生成した直後の、図１の特定領域１２４の上面１１６の平面図である。

【００４８】

図１１～図１４は、実装によっては有用であり、または所望される追加でオプションの処理を示す。図１１または図１２に示す手法は、図１３または図１４に示す手法とは独立している。結果として、特定の実装に応じて、図１１および図１２に示す手法か、もしくは図１３および図１４に示す手法のどちらかを別々に用いることができ、または何れかの順序でともに用いることができる。

【００４９】

これらの一つまたは両方のオプションの手法により幾つかの利点が得られる。第１に、ボイドを材料で充填すると、機械的強度が加えられ、構造的剛性を増加させるので、潜在的な応力が低下する。第２に、はんだ、エポキシまたは他の接着剤の使用は、チップを別の要素へ最終的に接続する際、特に、接続がそのチップの別のチップへのハイブリッド化に関わる場合に役立つ。第３に、ある材料をボイドに挿入することにより、好ましくない材料がボイドに入るリスクが低下する。最後に、充填材は、特に、メタライズが側壁全体ではない場合、バイア溝内部のメタライズ部分が損傷を受ける可能性を低下させまたは取り除く。更に、絶縁体およびメタルの厚さを変更することにより、ウェハの熱膨張係数（「ＣＴＥ」）を、ウェハの係数と一致するようにバランスさせることができる。例えば、

酸化物（ＣＴＥ　１ｐｐｍ）を銅（ＣＴＥ　１７ｐｐｍ）とともに用いて、シリコンのＣＴＥ（２．５ｐｐｍ）と一致させることができる。

【００５０】

これらの態様はともにオプションなので、両者とも、本発明を使用したまま、施すことができる。しかし、理解を更に深めるために、両プロセスを図１１～図１４と併せて説明する。

【００５１】

図１１は、下記のオプション処理の結果として図１の部分１００の断面略図を示す。

【００５２】

メタライゼーションが完了すると、後述するように、残りのボイド１１００を空のままにしない場合、残りのボイド１１００は、オプションで、部分的、または全体的に何らかの材料、例えば、この場合は接着剤１１０２で充填することができる。本変形形態を用いる特定の実装に応じて、接着剤１１０２は、導電性または非導電性、すなわち、例えば、無電解か電解めっき技法により膜形成されるか、または蒸着堆積かスパッタにより堆積するはんだ、金属もしくは合金、または例えば、適切な種類の接着剤かエポキシか二酸化シリコンのような酸化物等の非導電性接着剤とすることができる。

【００５３】

図１２は、図１１の側面図に示されるバイア溝７０２の残りのボイド１１００内に接着剤１１０２をオプションで導入した直後の、図１の特定領域１２４の上面１１６の平面図である。

【００５４】

図１３は、下記のオプション処理の結果として図１の部分１００の断面略図を示す。

【００５５】

代替または追加として、メタライゼーションがボイドを完全に充填していない場合、メタライゼーションが終了すると、残りのボイド１１００がある場合、オプションで部分的または完全に、例えば、簡単な仕上げ剤１３０２で充填することができる。本変形形態を用いる特定の実装に応じて、仕上げ剤１３０２は、例えば、溝３０２を充填するために最初に用いた絶縁材料５００のような絶縁体、導電性エポキシ、導電性固体、またはリフロー可能な材料のような導電体とすることができ、さもなければ絶縁保護コーティングを用いることができる。更に、仕上げ剤１３０２を使用する場合は、ボイド１１００内だけに導入すると限定しなくてもよい。図１３に示すように、それが電気絶縁材料であり、かつ接着剤１１０２が用いられている場合、仕上げ剤１３０２は、後で、何らかのこのような接着剤１１０２の上面に挿入することができ、ウェハの外面の何らかの部分および／または接点９０４まで延びる配線９０２の部分１３０４を覆い、かつ保護するために、ボイド１１００の外側に延在させることができ、またはボイドがなくても、ウェハを平面化する。例えば、ウェハまたは個々のチップ等の別の要素へ接着するのに全面を用いることができるように、仕上げ剤１３０２は、平坦化が可能な酸化物とすることができ、それによりウェハを平面化する。

【００５６】

図１４は、図１３の側面図に示すように、接着剤１１０２の上面の、残りのボイド１１００内に、配線９０２の少なくとも一部１３０４に被覆および保護を提供するのに十分な量で、仕上げ剤１３０２をオプションで追加した直後の、図１の特定領域１２４の絶縁体上面１１６の平面図である。

【００５７】

図１５は、基本の処理に戻ると、下記のような後続処理の結果として図１の部分１００の断面略図を示す。

【００５８】

図９および図１０に示すメタライゼーション態様が完了すると（図１１～図１４に示したオプションの態様の内の一つまたは両方を用いるかどうかにかかわらず）、基板１１２の背面（すなわち、デバイス非装着面）１１８を、例えば、エッチングのような化学的プ

ロセス、研磨のような機械的プロセス、化学機械的プロセス（ＣＭＰ）またはこれらの何らかの組み合わせを用いて、少なくとも底部メタライゼーション１５０２が露出するまで薄くし、それにより、何らかの特別な背面処理を実行しなくても、ドープした半導体材料１２２（この場合はレーザー１０４の底部ミラー１１０）から電気絶縁されたデバイス接点９０４へ電気接続される、基板１１２の背面１１８上の電気接点１５０４を生成する。

【００５９】

代替として、底部メタライゼーション１５０２を除去するか、またはボイド１１００の容積が露出する（充填の有無にかかわらず）まで、薄くするステップを実行することができる。図１６は、基板を薄くして底部メタライゼーションを除去した直後の、図１５の部分の断面略図を示す。有利なことは、少なくとも図１１および図１２の手法を用いた場合、ボイド１１００が接着剤１１０２により充填されたことである。従って、図１６に示すように、図１５の底部メタライゼーション１５０２が除去されるまで、基板１１２の背面１１８を薄くすると、背面の電気接点の一部としてまだ役立てることができるメタル接点１６０２の「小環」を残したまま、接着剤１１０２が露出する。従って、接着剤１１０２が導電性、例えばはんだ、の場合、小環１６０２および接着剤１１０２はともに、接点として作用し、一方、接着剤１１０２が導電性ではない場合でも、小環１６０２を接点として作用させ、背面１１８からデバイスの接点９０４までの導電性経路を提供しながら、依然として、それを用いてチップを他のエレメントに結合することができる。

【００６０】

図１５または図１６の編成は、代替として、本明細書で説明するような、ポスト－ペネトレーション（ｐｅｎｅｔｒａｔｉｏｎ）手法だけ、またはタック－融合手法とともに用いる際の接点として使用するための、メタライゼーションまたはメタル接点が、ウェハの底部を越えて突出するように薄くすることができる。

【００６１】

言うまでもなく、上記説明の基本プロセス、およびその基本プロセスに従ってその上に構築されるもっと複雑な代替のプロセスは、バイアを作製してからウェハ上のデバイス（例えば、トランジスタ、ダイオード、レーザー、光検出器等）を作製する必要がないという点で、従来技術を越える利点を更に提供する。更に、本プロセスは、従来のワイヤーボンディングパッドであれば配置されるであろう領域の、チップ周辺だけにバイアを配置するということを要求しない。むしろ、簡単な本プロセスは、更に局所対応でき、半導体に回路を形成しまたは組み込んだ後にバイア形成ができるように、十分低い温度で実行され、チップ周辺以外の場所にバイアを配置することができる。これにより、他のプロセスで作製したチップとともに本プロセスを用いることが、これらのチップの設計プロセスに関与しなくても可能になり、更に詳細に後述するように、ワイヤーボンディングパッドを用いて接続するのよりずっと短い、異なるチップ上のデバイス間の接続経路を作製することが可能になる。更に、詳細に後述するように、本プロセスはウェハを貫通する経路を簡単に作製できるので、本プロセスは、チップのスタックに、またはチップ「ユニット」の混合、組み合わせを生成するのに、極めて有用である。

【００６２】

溝を電気絶縁材料で充填することと関連して生じることがある一つの問題は、特に、溝の幅が狭く、比較的深い場合、例えば、深さが１００μｍ以上の場合、電気絶縁材料のピンホール、気泡または他の欠陥の可能性がある、ということである。これらの欠陥がもし残っていれば、溝が貫通する、デバイスのドープされた半導体材料とその内部の導電体との間の好ましくない導電性経路が生じる怖れがある。

【００６３】

有利な点は、これが潜在的な問題または懸念である場合、図１７～図２３に示す代替の変形形態がその問題または懸念について説明できるということである。

【００６４】

図１７は、下記の代替の変形形態による処理の結果として図５の部分１００の断面略図を示す。

【００６５】
図７と同様ではあるが、図７と違って、バイア溝１７００が生成され、絶縁材料５００の環７０４内部の半導体材料１２２のアイランド３０６全体は除去されない。むしろ、半導体材料１２２の環の周囲容積１７０２が残るように、バイア溝１７００は図７のものより小径である。半導体材料１２２の周囲容積１７０２は、絶縁材料５００および基板１１２により境界が画成されるので、デバイス１０４の半導体材料１２２から電気的に絶縁される。加えて、半導体材料１２２全体は完全に、かつ均質に形成されるので、溝３０２内部の絶縁材料５００の何らかの欠陥は、半導体材料１２２の周囲容積１７０２により、バイア１７００内のメタライゼーションから絶縁される。本手法は上記説明以外は図７との関連で説明したのと同一である。従って、バイア溝１７００は同様に、例えば、更なるエッチングプロセスによるか、または別の適切なプロセス、例えばレーザー穿孔を介して、基板１１２内部へ延びる深さ１７０４まで作製される（但し、好適には貫通しない）。バイア溝１７００が一旦生成されると、溝１７００の側壁１７０６、およびバイア溝１７００の底部１７０８は全て、上記説明のように非導電性となるが、側壁１７０６は、環状の絶縁材料７０４が取り巻く絶縁された半導体材料１７０２となる。
【００６６】
図１８は、図１７の側面図に示すように、電気絶縁材料７０４により境界を画成された半導体材料１７０２の環内部にバイア溝１７００を生成した直後の、図１の特定領域１２４の下部のＡ－Ａ断面の平面図である。
【００６７】
図１９は、図９と関連させて説明した方法で、図１７の本代替の変形形態に更にメタライズ処理した結果として、図５の部分１００の断面略図を示す。
【００６８】
図２０は、図１１と関連させて説明した方法で、図１７の本代替の変形形態に更にオプション処理した結果として、図５の部分１００の断面略図を示す。
【００６９】
図２１は、図１３と関連させて説明した方法で、図１７の本代替の変形形態に更にオプション処理した結果として、図５の部分１００の断面略図を示す。
【００７０】
図２２は、図１７の代替の変形形態について図１５と関連させて説明した方法で、基板を薄くして底部メタライゼーション１５０２を露出させた結果として、図５の部分１００の断面略図を示す。
【００７１】
図２３は、図１７の代替の変形形態について図１６と関連させて説明した方法で、基板を薄くして底部メタライゼーション１５０２を除去し、接着剤１１０２を露出させた結果として、図５の部分１００の断面略図を示す。
【００７２】
上記説明に基づいて、二重絶縁（すなわち、同軸（ｃｏａｘｉａｌ）つまりコアックス（ｃｏａｘ））導電体を有する更なる代替の変形形態を生成できる。二重導電体は、接点密度が大きくでき、クロストークを減少させるので有利である。更に、二重導電体の変形形態により、言うまでもなく、外側導電体は電気的に内側導電体から分離されるので、両者は別々の電圧で動作可能であり、一つの導電体は、電磁波干渉（ＥＭＩ）シールドとして動作して信号ノイズに対して保護し、または低ノイズデータが伝送できるように信号が別々にその構造を通って伝搬できる。更に、単一導電体の手法同様に、リソグラフィで画成された精密なエッチングが実行されるのは唯一、環状溝だけである。以下の説明で分かるように、中央部の材料を除去するのは、境界のメタルにより制御されるので、フォトリソグラフィで画成されるステップまたはエッチングに固有の、プロセス変動の影響を受けない。従って、本手法でも再現性が高く、プロセスに対してロバストである。
【００７３】
図２４～図２９Ｂに下記のように、二つの例示の同軸の変形形態を示す。それらの変形

形態は、悪影響を起こさずに、最外周の導電体を半導体材料と直接接触させることができる場合に適している。そのあと、例示の代替の同軸変形形態を、図３０Ａおよび図３０Ｂに続ける。図３０Ａおよび図３０Ｂの代替の二重導電体の変形形態は、図１７～図２３に示す代替の変形形態と類似し、改良されているので、同様に、同じ問題または懸念を説明するのに適している。

【００７４】

最初に、基本の二重導電体生成プロセスは、図１～図３と関連して説明した手法に従う。本変形形態は、先に説明したものの上に構築されているので、簡単にするために、本変形形態と関連する追加または異なる態様だけについて説明する。その他については、先行する説明から理解できる。従って、二重導電体の本代替の変形形態に基づく処理は以下のようになる。最初に、図２４に示すように、少なくとも図３の側壁３０４が、上記説明のように、メタライズ２４０２される。注意すべきは、溝３０２の最下面２４００はメタライズしてもしなくてもよい、ということであり、以下から明らかなように、これは最終的な結果に影響しない。図２４は、本変形形態に基づくメタライゼーション直後の、図３の部分１００の断面略図を示す。

【００７５】

メタライゼーションに続いて、少なくとも溝３０２は電気絶縁材料５００で充填される。このステップの結果を図２５に示す。

【００７６】

図２６に再度示すように、メタライゼーション２４０２の環２６０２の内周により画成される半導体材料１２２のアイランド２４０６全体を除去して、バイア溝２６００を生成する。

【００７７】

図２７に示すように、代替として、図１７の場合と類似の手法を、この時点で利用することができる（すなわち、絶縁材料５００の環７０４内部の半導体材料１２２のアイランド３０６全体を除去する代わりに、内側部分２７０２だけを除去して、半導体材料１２２の周囲の環状容積２７０４を残す）。

【００７８】

他方、これ以降では、本手法は基本的に先に説明したものと同一である。バイア溝２６００、２７０２は基板１１２内部へ延びる深さまで、例えば、更なるエッチングプロセスによるか、または別の適切なプロセス、例えばレーザー穿孔つまりアブレーションを介して、作製される（但し、好適には貫通しない）。

【００７９】

次いで、バイア溝２６００、２７０２は、導電体２８０２で充填され、上記説明のように、基板が薄くされる。第１実施例の二重導電体の変形形態（図２８Ａ）の場合には、図２８Ｂに示されるように、底部メタライズが除去され、内側導電体２８０２が基板１１２の側面に露出されるまで薄くされる。第２実施例の二重導電体の変形形態（図２９Ａ）の場合には、図２９Ｂに示されるように、メタライゼーションの最下部が内側導電体とともに露出されるまで、薄くされる。注意すべきは、図２８Ｂの変形形態では、メタライズ２８０４の外側リングにより一つの導電体が作製され、メタライズ２８０６の内側リングおよび内側導電体２８０２の両者が接していて、ともに短絡するので、他方の導電体が作製され、一方、図２９Ｂの変形形態では、一つの導電体がメタライズ２４０２により作製され、他方の導電体が内側導電体２８０２により作製される。

【００８０】

図２８Ｂに示すような二重導電体の変形形態では、このように、環７０４の深さおよびバイア溝２７００の深さがともに、基板が最終的に薄くされる点を確実に越えることが極めて望ましい。言いかえると、ウェハの全体厚さが５００μｍであり、ウェハの基板が２００μｍまで薄くされる場合、バイア溝２７００の深さは、少なくとも３００μｍとメタライゼーションの適切な厚さとを加えた深さでなければならないので、環７０４の元の深さは、バイア溝２７００の深さを超えている必要があると考えられる。この要件の理由は

、二つの導電体の間の電気絶縁が必要だからである。上記説明のことは、幾つかの実装では、溝３０２の最下部のコーティング欠陥は、薄くするプロセスの間にどのみち除去されるので、ほとんどまたは全く影響を与えない、という理由にもなる。

【００８１】

上記説明に基づけば、言うまでもなく、図２８Ｂまたは図２９Ｂのものと似て、溝の側壁を非導電性としてからメタライズするだけで、更に代替の同軸の変形形態を生成できる。これは、例えば、誘電体スパッタ、プラズマ堆積により、誘電体の薄いコーティングを側壁に施すことによるか、または初めの環状溝を事前に（すなわち、電子デバイス製作の前に）生成しておき、熱またはスチームの酸化技法を用いることにより達成できる。この技法は、側壁を反応性ガスに曝し、シリコンウェハの場合は酸化させて（概念的には鉄を錆させるのと等しい）、二酸化シリコンの薄膜を側壁の面上に形成するステップを含む。一般的な概観としては、シリコンの酸化は、Ｄｅａｌ－Ｇｒｏｖｅモデルに基づいて、スチームの環境内で実行することができる。本手法は、高度に制御され、正確な再現性のある方法で酸化を行わせる。類似のプロセスを用いて酸窒化シリコンまたは窒化シリコンのコーティングを生成することができる。本変形形態によれば、得られる酸化は熱的に成長するだけで堆積されないので、一律に形成され、それにより、液体、粘性、ペーストまたは他の形の誘電体を塗布することによる固有の問題を招かないことが利点である。更に、本手法は、極めて一様で、かつ著しく制御可能な誘電体材料コーティングを、１ｍｍ以上の深さまで、１２インチシリコンウェハの全面にわたって、著しく高精度の許容差で生成する。更に、本プロセスは、側壁を滑らかにする効果を有するので、メタライゼーションが更に一様になる。

【００８２】

言うまでもなく、この更なる代替変形形態は、二酸化シリコン、酸窒化シリコンもしくは窒化シリコンの誘電率が原因で用途によっては適していないことがあり、または本明細書で説明する主題の理解とは関係しない他の因子が原因で、実装が不可能なことがある。また、本手法は、図２４～図２９Ｂと関連させて上記説明した、何れかの変形形態との関連で説明したものと同一である。

【００８３】

それぞれ図３０Ａおよび図３０Ｂに、完全にするために熱的に生成した誘電体、または絶縁体３００２の態様を加えて、図２８および図２９の手法へオプションで追加して示した実施例を示す。同様に言うまでもないが、図３０Ｂの変形形態によっては、すなわち、バイア溝に半導体材料の小環を残すために、内側の部分的なアイランド除去だけを行う変形形態によっては、熱的に生成される誘電体の手法を用いて、残りの小環上に誘電体コーティングを形成することができる。但し、デバイス生成の前に、チップ内またはその上に既に形成されたデバイスのどれかに、本プロセスが損傷を与えないことを確実にする手段に続いて、本態様が実行されるか、またはチップ内またはその上にある何らかのデバイスが本プロセスに影響されないチップ上で、本態様が実行されるか、のいずれかである限りにおいてである。

【００８４】

代替として、部分的な除去を、逆の部分的な除去とすることができ、すなわち、内側アイランドをバイア溝から内側に除去し、バイア溝内部に更に細い（ｓｍａｌｌｅｒ）アイランドを残す。本変形形態により、接点を構築し、メタライゼーションまたは導電体へ接続することができるポストとして、この細いアイランドが役立つことになる。同様に、部分的な除去は、深さの遠近による部分的な除去とすることもでき、オス／メス型コネクタのメス部として用いることができるウェルまたは窪みを残すか、または導電性の場合は、電気接点として役立てることができる。

【００８５】

図３１に示すように、上記説明から明らかなように、３つの導電体（すなわち、三軸つまりトリアックス）の変形形態を、図２８Ｂで得られた手法を取り、図２８Ａに示す範囲まで薄くする（すなわち、溝底部のメタライゼーション材料が完全に除去されるまで）だ

けで、構築することもできるのが利点である。この３つの導電体の変形形態は、外側のメタライゼーションを、内側メタライゼーションおよび／または導電体と、その近くのデバイスを装着している半導体材料との間のシールドとして作用させ、外側メタライゼーションと内側導電体との間のメタライゼーションを、両者間のシールドとして、または第３の導電体として作用させることができるという利点がある。従って、同一の３つの導電体の変形形態は、それ自体で幾つかの代替の利点を提供する。言うまでもなく、単一の導電体、２つの導電体および３つの導電体の変形形態の間の関係の観点について、何れか一項目（すなわち、コーティング（熱的に生成または適用された）、ボイド充填、ポスト－ペネトレーション接点（下記に説明）等）について使用法を説明した全てのオプションは、概ね交換可能に全てに適用できる。

【００８６】

簡単に上記したように、材料の中央アイランドを除去した後に存在している残りのボイドに何としてでも何かを充填しようとするのは、必ずしも必要ではない。更に、本明細書で説明する幾つかの実装では、実行しないことに特定の利点がある。

【００８７】

図３２は、電子チップ３２００の上部に配置されるチップ実装の部分１００の断面略図を示し（メタライゼーション後に残るボイド３２１０が全く充填されていないこと以外は、図９～図１６の実装と類似）、レーザー１０４の上面接点９０４へ電気接続されるべき、電子チップ３２００上の接点パッド３２０２が、ボイド３２１０の直下になるように、チップ１０２が電子チップ３２００へハイブリッド化される。はんだバンプまたは他の軟化可能で、変形可能な導電性材料３２０４が、接点パッド３２０２上にあり、それを用いて二つのチップ１０２、３２００のこの部分を、毛細管現象または圧力を加えて挿入したときの変形の何れかにより、互いに物理的、電気的に結合する。

【００８８】

図３３は、図３２のようにメタライゼーション後に残るボイド３３１０が充填されていないこと以外は、図２３のものと類似の、電子チップ３３００の上部に配置される代替のチップ実装の部分の断面略図を示し、レーザー１０４の上面接点９０４へ電気接続されるべき、電子チップ３３００上の接点パッド３３０２が、ボイド３３１０の直下になるように、チップ１０２が電子チップ３２００へハイブリッド化される。はんだバンプ２４０４が、接点パッド３３０２上にあり、それを用いて二つのチップ３３０２、３３００のこの部分を、互いに物理的、電気的に結合する。

【００８９】

図３２または図３３の実装でボイド３２１０、３３１０を充填しないので、毛細管現象を用いて、はんだ３２０４をボイド３２１０、３３１０内に引き込むことができ、または圧力を用いて、変形可能材料３２０４を変形させてボイドに入れさせることができ、それにより、ａ）良好な電気接続を確実にし、ｂ）チップを互いにアライメントさせるのに役立つ。

【００９０】

図３４および図３５はそれぞれ、チップを互いにハイブリッド化した直後の、図３２および図３３の各断面図を示す。図から分かるように、ハイブリッド化されるそれぞれの電子チップ３２００、３３００の接点３２０２、３３０２上に相対的に中心位置を決められたチップの接点３２０６、３３０６により、はんだ３２０２が、それぞれのボイド３２１０、３３１０内に吸い上げられたところである。

【００９１】

図３６に示すように図３４の実装に対して（図３５の実装に対しても同じことが同様に言えるが、図示しない）、絶縁体によるコーティングまたは絶縁保護コーティング２８００をオプションで実行することができる。

【００９２】

簡単に上記に説明したように、用いる変形形態とは無関係に、上記の環状溝（およびその変形形態を用いる場合は半導体材料の周囲）は、何らかの閉じた形とすることができる

。しかし、上記の拡張として、言うまでもないが、バイア溝が環状溝と同一形状である必要はなく、または環状溝の幅が一様である必要もないが、ほとんどの実装では、両方ともに同一形状であり、実装を容易にするという理由、およびキャパシタンス、抵抗、またはその両方が理由である。図３７ａ）～図３７ｆ）は、要点を示すために環状溝の断面の数少ない例示を示す。図３７ａ）では、環状溝３７０２を三角形であるとして示す。結果として、三角形の頂点３７０６では、辺３７０８より溝３７０２の幅３７０４が広くなる。図３７ｂ）では、環状溝３７１０を矩形として示す。結果として、隅部３７１２では、辺３７１４より溝３７１０の幅が広くなり、長辺３７１６は短辺３７１８よりも遠く離れる。図３７ｃ）では、環状溝３７２０を二つの異なる楕円により画成されるとして示す。結果として、環状溝３７２０の楕円の幅は位置により変化する。図３７ｄ）では、環状溝３７２２を正方形として示す。結果として、隅部では、辺より溝３７２２の幅が広くなるが、辺は一様な距離だけ離れている、図３７ｅ）では、環状溝３７２４を、外周３７２６では矩形であるが、内周３７２８では円形として示す。図３７ｆ）では、環状溝３７３０を、外周３７３２では円形であるが、内周３７３４では矩形として示す。図３７ｇ）では、環状溝３７３６は、凹凸形（腎臓形）であり、外周３７３８および内周３７４０は、互いに縮尺した関係にあり、溝幅は一定である。図３７ｈ）では、環状溝３７４２は、図３７ｇ）と類似形状の外周３７４４および六角形の内周３７４６を有する。

【００９３】

上記の拡張は、絶縁体の環に加えて、半導体材料の環を有する変形形態に等しく適用し、すなわち、特定用途の要求または要請に応じて、それぞれの周囲面の形状を他方と同一にすることができ、または一つ以上の形状を他の一つ以上の形状と変えることができる。

【００９４】

本質的に獲得できる利点に加えて、上記の使用から、二つのチップ間の接続を最終的に生成するまで、上記手法は、チップ、ダイまたはウェハのスタックの領域で、特に、チップ、ダイまたはウェハがプリプロセスされている場合、著しい利点を提供する。例えば、トランジスタ、コンデンサ、ダイオード、スイッチ、抵抗器、コンデンサ等の何らかの機能デバイスを既に有し、それらを含めるという、完全に機能面から形成される場合である。

【００９５】

環状バイアプロセスを用いてバイアを生成するのは、導電性を可能にするとともに、ウェハを融合したあとの後処理をほとんど要しないか、または全く不要とする方法でウェハをスタックする方法を提供する。これはコストおよび歩留りの点からみて、特に、２枚のウェハを互いにハイブリッド化するか、またはウェハに多数の個別のチップが搭載されている状況のウェハレベルで、極めて有利である。２枚のウェハを互いに置いた場合、理解すべき重要なことの一つは、ハイブリッド化した２枚のウェハピース（すなわち、二つのウェハを互いに置いた後の）は、単一のウェハピース（すなわち、ハイブリッド化直前の単一ウェハ）よりずっと高い価値をもつ、ということである。同様に、３枚のウェハピースを互いにスタックする場合、その価値は更に高くなる。統合した後で、一連のスタックしたダイへ行わなければならない何らかの後処理は、損傷があると非常に高付加価値のピースをスクラップにしてしまうので、大きなリスクが追加される。

【００９６】

このように、バイアの処理および薄くするステップ全てが、デバイスをスタックする前に行われるので、上記プロセスはずっとよい手法を提供する。その結果、ウェハ処理の追加がなく、オンチップデバイスの後処理をハイブリッド化前に済ませたバイア形成による結合（すなわち、ハイブリッド化）のために、別の（ウェハ）上面に一枚重ねるだけでよい完全にスタック準備されたピースが生成される。チップは上記手法によりスタックされるが、組み合わせの価値は上昇する一方なので、別の層を付与する、すなわち、次のダイを付与するステップの回数は一回だけとするのが典型的である（薄くするのが必要なのにハイブリッド化前に実行されなかった場合を除いて）。これは、チップをスタックし、そのあとで電気接点を生成する、従来技術のスタックに付きまとう後処理による、高価な部

品の歩留り低下のリスクを最小化する。

【００９７】

このように、従来技術と比較すると、バイアを生成してからスタックすることにより、下記が可能になる：

【００９８】

１）スタックされるピースの後処理を減少させ、または完全になくす（少ない労力で高い歩留りが得られる）。

【００９９】

アライメントの許容差が大きくなる（それぞれのチップを直下のチップに対してアライメントするだけでよい（全てのピースを共通して底のピースに対してアライメントさせる必要がある従来技術のスタックとは対照的である））。

【０１００】

図３８は、スタックするためにウェハを準備するためのプロセスを、簡略化し、かつ全体を概観する形で示す。図３８Ａ）は、最初に完全に形成したウェハ、特に、デバイス３８０２およびその下地の基板３８０４、の一部を簡略化した形で示す。プロセス全体は以下のとおりである。最初に、材料３８０６をウェハのデバイス側に堆積させる（図３８Ｂ））。次いで、材料３８０６および下地の接点用の場所をエッチングして、溝３８３０を生成する（図３８Ｃ））。溝３８０８の壁３８１０は絶縁３８１２して、ドープした半導体材料が、生成される接点と電位短絡するのを防ぐ（図３８Ｄ））。

【０１０１】

代替として、材料３８０６は、絶縁層３８１２の堆積中に「自動的に」生成することができる。例えば、本発明者らは、材料３８０６の最初の堆積を除去し、溝３８０８をエッチングし、次いで、ＴＥＯＳを堆積することにより、ウェハ上に（酸化）ＴＥＯＳを形成した。この材料を堆積させる方法の事情で、ウェハ上面に２．５μｍの材料を形成し、溝の壁に１．２５μｍを形成した。これにより、溝の壁を覆ったまま、厚い上層が得られる代替の手法が提供される。言いかえると、本代替法により、別のステップとして材料３８０６を上に形成するステップは、ウェハのトポロジーに応じて残りのステップと連携して削除され、または用いることができる。

【０１０２】

次いで、メタル３８１４が溝内に導入され、導電体をめっきするためのシード層を提供する（図３８Ｅ））。次いで、残りのバイア容積が、導電体となるメタル３８１６で充填される（図３８Ｆ））。次に、過剰なメタル（および、オプションで幾らかの材料３８０６および／または絶縁層３８１２）が、例えば化学的または機械的なプロセスまたはそれらの何らかの組み合わせにより、除去される（図３８Ｇ））。次いで、ウェハをエッチングして、元の、既存の接点場所３８２４、３８２６へのアクセスを提供する開口部３８２０、３８２２を生成する（図３８Ｈ））。次に、メタル３８２８、３８３０で膜形成して、既存の接点場所３８２４、３８２６を新規処理で形成した接点３８３２、３８３４で相互接続する（図３８Ｉ））。次に、ウェハの背面３８３６を薄くして処理形成した接点３８３２、３８３４の他端を露出させ、オプションで、溝３８０８の底部の絶縁体３８１２を除去する（図３８Ｊ））。次いで、ウェハの背面３８３６をエッチングして隆起ポスト３８３８、３８４０を生成し、溝３８０８の底部の絶縁体３８１２を前のステップで除去しなかった場合、その絶縁体３８１２を除去する（図３８Ｋ））。代替として実装によっては、絶縁体３８１２は、導電性が必要ない場合、例えば、単にアライメントさせるためとか、または非電気的ポスト型接続を生成するために用いるだけの場合、部分的に除去してもよく、または場合により、全く除去しなくてもよい。最後に、ポストとなった露出した充填材料が、後で形成する接続へ悪影響を与えるような酸化または他の反応をする種類のものからなる場合、オプションのバリア層３８４２を、隆起ポスト３８３８、３８４０上に形成して酸化またはそのような他の悪影響のある反応を防ぐことができる。

【０１０３】

図３８Ｊ）、図３８Ｋ）および図３８Ｌ）のステップは、更に他の代替の変形形態とし

て、メタル３８２８、３８３０、の上部に展性材料（後述の使用のため）を膜形成した後で実行することができる。本変形形態により、ウェハを薄くした後に実行すべきステップ数が減少する。

【０１０４】

この時点で、チップ、ダイまたはウェハベースのスタックを容易にし、従って、一つ以上のマルチウェハユニットを形成する全体のスルーチップ接続が生成されている。

【０１０５】

図３９～図４１は、上記説明のプロセスの異なる変形形態を用いて、スルーチップ接続を生成するために処理され、その後、互いにスタックしてチップユニットを形成した、例示のチップの一部の概略を示す。特に、図３９は、基本的な手法の変形形態を用いて相互接続される、一連のスタックチップの対応する部分３９００を示す。図４０は、一連のスタックされた二重導電体の変形形態のチップの対応する部分４０００を示す。図４１は、一連のスタックされた３重導電体の変形形態のチップの対応する部分４１００を示す。上記説明から言うまでもなく、本明細書で説明したプロセスの内の一つを利用することにより、コプラナー法（ｃｏｐｌａｎａｒ　ｍａｎｎｅｒ）によって、または完全なオーバーラッピング法（ｏｖｅｒｌａｐｐｉｎｇ　ｍａｎｎｅｒ）によってさえ組織化する必要がなく、それでも縦方向に延ばすことができるウェハコンポーネントから、スタックおよびユニットを形成することができる。

【０１０６】

注意すべきは、図３９～図４１の３つのスタックのそれぞれには、オプションの接点パッド３９０２、４００２、４１０２、４１０４がスタンドオフとして追加され、ウェハ間の適切な間隔および良好な電気接点を確実にする。

【０１０７】

上記を用いる特定の用途に応じて、接点を幾つかの方法で形成することができる。例えば、バイアは、例えば、従来技術のＣ－４はんだ型プロセスでマイクロバンプとすることができ、それにより、電気接続すべき２点を接点内に配置することができ、はんだを液相状態へ変更し、次いで、２ピースを物理的、電気的に結合するように硬化する。他の変形形態では、一対の接点を用いることができ、対となる片方の接点は剛性体で、他方の接点はそれと比較的して展性体であり、本明細書で説明するプロセスを用いてそれらを結合する。更に他の変形形態では、対となる両接点とも、その上に展性材料を持たせることができ、本明細書で説明するような適切なプロセスまたは他のプロセスを用いてこれらを結合する。代替として、従来技術のポスト－ソケット型手法を用いることができる。この手法では、結合する二つの接点を相補形状で作製し、ポストをソケットと比較して僅かにサイズを大きくするか、またはソケットをポストのサイズと比較して僅かに小さなサイズとし、二つを接合すると両者間で締まり嵌めが生じるようにする。

【０１０８】

特定の場合には、厚めのウェハを用いて（図４２Ａ））取扱いの強度を確保することが望ましい。ウェハが特に厚く、所望のバイアの直径が、ウェハの所望の厚さの約１／２０～１／３０未満の状況では、幾つかの変形形態に対して代替プロセスを用いて、厚めのウェハに適合させることができる。このような「背面対前面」バイアを形成するプロセスを図４２Ｂ）～図４２Ｅ）に簡略化した形で示す。最初に、デバイス装着ウェハの背面内にバイアをエッチングする（図４２Ｂ））。次いで、バイアを本明細書で説明するプロセス（すなわち、単一導電体、同軸、３軸等）の一つを用いて、またはプリフォームしたポストを挿入するような何らかの他のプロセスにより導電性とすることができる（図４２Ｃ））。本手法は、展性材料または剛性ポスト材料のどちらかを有する背面を作り出すことができる。次いで、導電体の上に対応するバイアを上部（すなわち、前面またはデバイス側）から、背面側導電体の底部が終わる所まで下方にエッチングする（図４２Ｄ））。次に、オプションで、前面側デバイスを保護し、所望するなら、デバイスへの接点つまり経路変更を、例えば、本明細書で説明する手法を用いて実行し（不図示）、背面に対して用いたのと基本的に同一の方法でバイアを導電性にする（図４２Ｅ））。変形形態によっては

、背面側導電体の底部の材料は、エッチストップおよび／または前面側から導電体をめっきするためのシード層として役立つという利点がある。これは、背面側に導電体を形成するために用いる手法と比較して処理ステップ数を低減できる。更に、他の変形形態では、背面バイアからの導電体と、前面バイアからの導電体との間の物理的接続がないのを所望する場合、両者間にウェハの適切な量を残すことができ、その状況では容量型結合により接続が行われる。

【０１０９】

本手法は、単一バイアを実行し、絶縁体およびメタルを一つの穴に堆積する従来の両バイアプロセスと協働し、または高度に制御されたインピーダンスバイアを生成するための環状バイア手法による、先に説明した本発明者らのプロセスで機能する。

【０１１０】

更に、背面対前面の手法を用いることができ、その手法では、一方の側が不完全に充填されたバイアを有するので、そのバイアの未充填部分を「ポスト」を受ける「スロット」として役立てることができ（すなわち、プレス嵌合つまり締まり嵌め）、それにより、アライメントおよび／または物理的接続および電気接続を提供する。この種のプレス嵌合つまり締まり嵌めは、図４２Ｆ）で説明する。

【０１１１】

別の代替の変形形態では、上記のバイア生成の背面対前面方法を用いて、容量結合を用いるチップ間データ送信が可能になるように、チップを途中まで貫通するだけの接続を生成できる。容量結合は、接点が近接しているほど機能し、接続密度はクロストークにより制限されるので、本明細書で説明する手法の変形形態は、この種の通信を用いるチップを生成するのに理想的である。これらの手法は、接点間の距離の最小化を可能にするし、その上、シールドを提供できるように同軸、３軸ポストを用いれば、近接接続によるクロストークの最小化が直ちに可能になる。更に、容量接点には、部品間の実際の電気接点が不要という利点がある。図４３Ａ）～図４３Ｄ）に示す本手法により、チップの上面の接点に十分近接するような方法で、バイアはチップ背面からエッチングして（図４３Ｂ））、物理的に接点から離間させるが、充填した場合に、充填物と接点間に加えられる信号の容量結合を良好にするために十分近接させる。次いで、バイアをメタルのスタッド、単一の導電体、同軸または３軸の導電体で充填して良好な容量結合を可能にする（図４３Ｃ））。この方法で、ウェハ全体の厚さを、ウェハの取扱い強度が十分で、しかも接続が適切な距離をもつよう維持できる。本手法は、一つのウェハの背面を別のウェハの前面へスタックすることにより、スタックを行うことが出来るという利点を更に提供する。この方法で、図４３Ｄ）に示すように、チップのマルチスタックを行うことができる。これは、チップを前面対背面ではなく、面対面とする必要がある手法と極めて対照的である。その理由は、そのような手法では、第３のチップを他の２つのチップの片方の背面に置き、次いで、クロストークの可能性を避けるために、まばらな接点密度が必要なウェハ全体を通じての通信を行わなければならないので、チップのマルチスタック化（すなわち、３つ以上のチップのスタック）が簡単にできないからである。言うまでもないが、本明細書で説明する手法によれば同軸または３軸のバイアを用いて、信号のシールドを強化し、クロストークを防ぐことができる。

【０１１２】

更に、例えば、二つのバイアが連結されないという意味で、真の背面対前面の接続が生成されない場合（すなわち、前面側から生成されるバイアと背面側ポストとの間に材料が残る場合）、プレス嵌合接続による容量結合を用いることができる。このような場合、本明細書で説明した変形形態の内の一つに基づいて、背面側のバイアと同様に、前面側のバイアは独立して生成される。

【０１１３】

更に、容量結合は、一つのチップ表面の一つ以上の接点間で行うことができる（バイア手法により生成しても他の手法で生成してもよい）。これは、例えば、スタック手法では、チップ高さにより、二つの相補接点が互いに近接していても、物理的に容易に接触でき

ない場合、というのは、例えば、両者間を妨げるチップまたはメタライゼーションもしくは他のトポロジーがあるか、または一方もしくは両方が、ＴＥＯＳ、フォトレジストもしくは何らかの他の酸化物のような絶縁体により覆われている場合、に望ましいことがある。

【０１１４】

上記説明から、本発明者らの手法の多用途性は、より明らかになる筈である。本発明者らの手法を通じて利用できる、広くてかつ多用途の可能性の範囲を示す更なる変形形態を、生成できるという利点がある。図４４Ａ）に示す、一つのそのような変形形態は、「プリコネクト」の変形形態であり、これは上記および多の手法と異なる。というのは、処理されるウェハが、本明細書で説明したような処理が開始される“前に”（すなわち、環状溝が形成される前に）、プリフォームされた下地のウェハ４４０２（本明細書では「ベース」ウェハと称する）へ付与されるからである。本変形形態では、任意の基本的接続形成プロセスを用いることができる。本変形形態プロセスを以下のように進行させる。

【０１１５】

最初に、バイアが基板を完全に、確実に貫通するのに必要な程度まで、初期ウェハを薄くする（図４４Ａ））。このステップは、オプションであり、使用する特定のエッチングプロセスが、問題なくチップ全体で貫通する場合は実行しなくてよい。次いで、初期ウェハを、ベースウェハへアライメントし（図４４Ｂ））、接着剤、ウェハ融着、またはウェハ平坦度が非常によければ、共有結合性接合を用いて接着させる（図４４Ｃ））。次に、環状バイアを、ベースウェハのパッドの上にくるように初期ウェハに生成し、バイアがベースウェハの対象となるパッドを囲むように、ベースウェハまで延ばす（図４４Ｄ））。次いで、後続の導電体の堆積が絶縁されるように、環状バイアを絶縁体で充填する（図４４Ｅ））。次に、ベースウェハのパッドの上にボイドを生成するために、中央ポストの全てまたは一部を、ベースウェハの対象のパッドまでエッチングして取り去る（図４４Ｆ））。最後に、ボイドをメタライズし（図４４Ｇ））、オプションで、本明細書で説明した手法の一つを用いて絶縁体で完全に充填するか（図４４Ｈ））、またはメタライズがボイドの中心を完全に充填しない場合、絶縁体で充填できる（図４４Ｉ））。その結果、メタル充填は、ベースウェハパッドまで電気接続を形成し、ベースウェハパッドを初期ウェハを通して上まで効果的に延ばし、二つのチップを互いに物理的に結合する。本手法を用いることにより、半導体材料からなる中心ポストは、絶縁体がベースウェハパッドと相互作用しないように、ベースウェハのパッドを保護する。これは、従来手法を用いて同じことを試みる場合、これらの従来手法では、ベースウェハパッドを露出させたままにし、従って、塗布した絶縁体により汚染されることがあるので、何が起きるか分からないというのとは著しい違いがある。

【０１１６】

しかし、場合によっては、制御性がないので、プレス嵌合接続手法が適さないことがある。これらの事例では、本発明者らが改良した「ポスト－ペネトレーション」手法と呼ぶオプションの代替の手法を用いることができる。理想的には、ポスト－ペネトレーション手法は、「タック－融合」プロセスと併せて、それぞれが単独で提供する利点、およびそれらの組み合わせ使用により提供される更なる利点を享受して用いることができるが、典型的にも、そのように用いられるであろう。

【０１１７】

本手法は、二つの接点、すなわち、剛性「ポスト」接点および比較的展性のある（ポスト材料と比較すると）パッド接点を組み合わせて使用することに関わり、場合によっては、いずれかまたは両方とも、下地の剛性サポート構造またはスタンドオフを有する。簡単に概観すると、二つの接点の一方は、ニッケル（Ｎｉ）、銅（Ｃｕ）またはパラジューム（Ｐｄ）または本明細書で説明したような他の適切な剛性合金等の剛性材料である。この接点は「ポスト」として役立つ。二つの接点の他方は、ポストより十分軟質の材料であり、二つの接点をプレスして（外部から加える力でも、例えば、ウェハの屈曲により発生する力でもよい）接合すると、ポストが展性材料に入り込み（「ポスト－ペネトレーション

」の部分）、予め規定した温度を超える温度まで加熱して（タック－融合プロセスのタック段階）、その温度以下に冷却するといずれも液相状態に至らぬまま、二つは互いに「タック」される。

【０１１８】

注意すべきは、本明細書で用いる場合、用語「液相」は、説明している金属または合金が完全に（または実質的に完全に）液体である状態を意味するよう意図している。本明細書で用いるように、メタルが非液体かまたは半液体状態の場合、本明細書で説明するように付着できるほどメタルは十分軟質であるが、その同じ金属または合金が純粋な液体または液相で流れるように、流れるほど十分な液体ではない。本発明者らのプロセスのほとんどの変形形態は、非液相および非固相の状態の金属または合金により機能する。別の方法、金属または合金の相状態図上で表すと、本発明者らのプロセスの変形形態は、固相（完全固体）温度と液相（完全液体）温度との間で機能し、ほとんどは両者間の平衡点近くで動作する。この差は、例えば、図３３～図３６に示すように、チップを別の要素に結合するのを参照すると、更に理解を深めることができる。これらの図では、材料２４０４が液相状態のはんだ（金属または合金）である場合、チップを溶融はんだの上に「浮遊」させ、毛細管現象が、はんだをバイア３２１０、３３１０内に吸い上げるので、バイア３２１０、３３１０は、はんだボールの上に自動求心される。本明細書で説明するタック－融合プロセスのほとんどの変形形態に対して用いられるような、非液相または半液相の状態では、金属または合金が、タック段階中および融合段階中の両方でなる状態は、金属または合金が著しく軟化されるであろうが（すなわち、材料のいくらかが液相状態になるが）チップを浮遊させたり、またはバイア３２１０、３３１０を自動求心させるほどには十分液体でないという程度の状態である。従って、何らかの力の印加が（外部から加える力でも、外部力を加えずにチップ重量で生じる力でもよい）、メタルまたは合金をバイア３２１０、３３１０内に入れるのに必要となる。

【０１１９】

その後、「タック」温度（タック－融合プロセスの融合段階）より高い別の温度を越えるまで第２の加熱をすると、それぞれからの材料が相互拡散される（液相に入って出る（すなわち、溶融して再固化する）はんだとは対照的に）。

【０１２０】

タック－融合の統合プロセスは、二つの主要なコンポーネント、すなわち、「付着」または「タック」段階および「融合」段階に分離できる。タック段階は、一対の接点間のかなり均質な電気接続を行う。ポスト－ペネトレーション接続の形成をタックプロセスと組み合わせると、どれかの接点上の何らかの表面酸化物を、より簡単に払拭することができる。この非酸化物阻止接点手法により、著しい圧力を加えなくても、より簡単な融合プロセスが可能になる。ポスト、ペネトレーション、タック段階の組み合わせが欠如していると、融合プロセスは、タックプロセスの高温区間で、または融合プロセスの初期段階に、剛性材料および展性材料の表面に形成される酸化物を、接点に払拭させるために、実質的に更に大きな圧力を必要とする。タックプロセスの初期にその酸化物の「かけら」を取り払うことにより、融合段階は、実質的に低い圧力で発生させることができ、場合によっては、チップ自体の重量を越える圧力を加えなくてもよい。

【０１２１】

この時点で、用語の約束事を更に導入する。言うまでもなく、本明細書で説明するように、用語「ドーター」および「マザー」は、簡略化のために用いて、検討しているウェハ上の特定接点が、剛性接点か展性接点かを概ね暗示し、用語「マザー」は剛性のある接点と関係付けられ、用語「ドーター」は展性のある接点と関係付けられる。本明細書ではかなり一貫して一対一で示すが、用語「マザー」および「ドーター」は無原則で適用されることに注意することが重要である。それぞれのウェハ上の個々の接点は、結合される他方のウェハ上の対応する接点が、反対の形式である限り、剛性または展性の接点の何れでもよい。従って、所与のウェハ表面は、一方または他方の形式の接点だけを専ら（排他的に）有することができ、または変形形態によっては、単一のウェハ側が、両形式の混合を有

することができる。しかし、単一表面上の形式の混合は、用途によっては問題となることがあり、混合形式を用いるこれらの用途では、単一表面上の混合形式は処理を複雑にすることになる。但し、異なる形式が一領域内で（狭い領域内で）相互混合されないで、特定の処理ステップを実行する場合に、他の形式を含む領域を容易に保護できる広い領域が一形式の接点だけを含むように、離散的な領域へ閉じ込められる場合は除く。

【０１２２】

本プロセスの付着またはタックの段階の間、「マザー」ウェハには、「ドーター」チップが多数装着されている。マザーウェハは、単一温度に維持されている（すなわち、マザーウェハは、この付着プロセス中は等温基板として維持されている）。マザーウェハの等温温度は、室温程度に低くすることができるが、室温を超える温度上昇は、このプロセスの段階（フェーズ）を早める。しかし、等温温度は、タックまたは融合の温度はもとより、ドーターチップ上の展性材料の溶融点未満に保つ。従って、タックプロセスは、二つのチップを接触させてポストーペネトレーション接続を行う場合、そのチップだけの界面が適切な「タック」温度に到達するか、または僅かに越えるように、それぞれの小さなドーターチップを、マザーウェハより高い温度に加熱することにより行うことができる。一般的には、本明細書で説明する主な材料に対して、タック温度は、約１９０℃～約３２０℃、公称タック温度の代表値は約２７０℃とすることができよう。この方法では、マザーウェハ上の他のチップは、それらの接点が経験する上昇温度を越えて加熱されることはなく、接点の性能を変更して、幾つかの接点に、他より高い温度でずっと長い時間、経験させることができる状況では、一様な性能が得られない可能性がある。

【０１２３】

タックまたは付着のプロセスを、例えば、マザーウェハを展性温度未満の等温温度に保持し、展性温度未満に加熱されたマザーチップへドーターチップを持ってきて、二つのチップ間を接触させ、そしてドーターチップの温度を適切なタック温度まで急速に上昇させることにより、実行することができる。従って、ドーターチップをマザーウェハへ付与すると、部品をアライメントさせる（次いでドーターチップを加熱する）機械装置が、部品間の何れかの接点を、例えば２ｇ／接点対未満、好ましくは１ｇ／接点対未満を可能とするのに十分な圧力を印加した後、ドーターチップを解放する。

【０１２４】

解放した後、ドーターチップ上のキャップ／接着層（または展性材料がキャップ／接着層の機能も併せて実行する場合は展性層）は、その時点のマザーチップにより決まる下降した温度により柔軟性が低下する。例えば、本明細書で説明したベースライン材料では、マザーチップ／ウェハ基板は、約２３０℃～２５０℃に保持でき、ドーターチップは、公称温度約２７０℃でマザーチップへ持ってきて、接触後、約３１０℃～３３０℃へ急速に上昇させる。急速な温度上昇に対する接触の順序（すなわち、温度上昇がマザーウェハとの接触の前か後か）は変更できる。注意すべきは、本発明者らは、最初にチップを接触させてから、温度を上昇させることにより、展性材料の表面上の酸化物形成が最小化でき、従って、より再現性の高い接点が可能となることを発見した。有利なのは、展性材料の使用により、接点対あたりの圧力の量を下げることができるということである。本発明者らは、約０．００１ｇ～約１０ｇ／一接点対の範囲の印加圧力を用いたが、もっと低い範囲も可能であり、最小値は、チップ自体の質量にかかる重力の作用（すなわち、重量）である。

【０１２５】

更に、上記のように、タックプロセスに対して、どんな表面酸化物も押し潰すだけの圧力が十分に加えられる場合、ドーターウェハの温度を室温程度に低くすることができる。この方法で、ドーターチップをマザーウェハ全体に装着してから、何れかのタックプロセスを開始できる。本手法を用いても、プロセスが行われる速度のために、マザーウェハを何らかの実質的温度まで加熱する時間がない。従って、第２ドーターチップのマザーウェハへの貼り付けでは、第１チップの水平または垂直方向１００μｍ以内においても、意味のあるまたは実質的な程度においてそのアライメントに影響する、第１チップのキャップ

／装着層は軟化しない。

【０１２６】

タック－融合プロセスは、典型としては、ともに非液相プロセスであるという利点がある。この意味は、タックまたは融合プロセスのどちらも展性材料は著しく軟化するが、完全な液相にはならないように、本プロセスが行われるということである。これは、もし展性材料が液相になってしまうと、その結果生じた液体が流れて、隣接する接点を短絡させるという重大なリスクとなるからである。その材料を非液相に保つことにより、更に接点密度をあげることができる。しかし、変形形態によっては、半液相状態も許容できる（すなわち、展性材料の一部、但し全体より極めて少ない一部、だけが簡単に液相になる）。しかし、これらの変形形態は、一般に、何らかの他の種類の抑制メカニズムを用いて、液相展性材料を限定した領域に制限し、隣接接点を短絡させる可能性を回避することにより、例えば、展性材料が容易に相互拡散できない非メタル物質で、展性材料を膜形成するパッドの周囲を確実に取り囲みまたは被覆することにより、液相展性材料が悪影響を与えるのを防ぐ、という共通の特性を有する。

【０１２７】

変形形態によっては、タック－融合プロセスの「タック」段階と協働して、低温で溶融して、タック時間を短縮しスループットを高めるのに役立つ接着層（例えば、Ｓｎ）で、展性材料（例えば、Ａｕ／Ｓｎ合金）をキャップすることが望ましい。更に幾つかの変形形態では、管理されていない環境のもとに、チップが長時間（すなわち、ウェハ全体に大量に装着するのに必要な時間）、その温度で放置されている場合に、結合の劣化が起きないように、マザーウェハを、融合温度未満で可能な限り高温の等温温度で維持することが望ましいことがある。本発明者らは、プロセスの短縮化には高すぎるが、典型的には２３０℃を用いる。より低温にすると、付着のペネトレーション段階の温度および圧力のプロファイルを修正するような影響を与える。更にプロセスを短縮化するために、タック段階の一連のプロセス（すなわち、置いて加熱する）をできるだけ迅速に行うことが望ましい。注意すべき態様は更に、変形形態によっては、タック段階で長時間を費やすほど、融合段階が歩留りに対して及ぼす影響は低下する等である。例えば、極端な例では、本発明者らは、タック段階をＦＣ１５０（シリコン対シリコンに対する）上で、約１分間継続させたが、必要な融合段階は得られなかった。これは図４５にまとめてある。

【０１２８】

別の極端な例では、大量装着の場合、アライメントに約１秒を要するのが普通であり、タック段階は、融合段階前に２～４秒を要する。従って、これらの変形形態では、タック機械装置から融合段階まで搬送するための環境は、良好な接点を得るのに重要である。

【０１２９】

これらの二つの極端な例の間は、融合プロセスの１）スループット、２）複雑さ、および３）重大な問題、の間のトレードオフとなるプロセスオプションの連続体となる。非常に速い２～４秒の変化のタックプロセスでは、チップは軽く保持されるだけになるので、融合段階中の還元環境を必要とする可能性があり、または融合中にもっと十分な量の印加圧力を要求されることがある。連続体の他端では、１分間のタックプロセスが、より高い圧力および温度で行われ、タック自体は、チップの事前「融合」を比較的良好に行うことができる。この場合、後続の「融合」プロセスは、ウェハ全体の一貫性を確保する方法と併せた接点アニール（または「タック」中のチップ配置の平面性が十分な場合は、圧力）とするだけでよく、特定の環境は何ら必要ない。この連続体については図４６に示す。

【０１３０】

タック段階の重要な利点は、電気接続が最終でなく、しかも容易にはできないので、タックプロセスが終了した後で、融合プロセスが開始される前に、チップの検査を実行することができる、という点にある。これにより、この第１段階のハイブリッド化の前と後の両方で、不良ダイの検査および特定が可能になる（すなわち、別のチップへのハイブリッド化の前に実行された個々のチップが、ハイブリッド化プロセスにより悪影響を受けたか、または付与するチップとの組み合わせで効果がないかを決定する）。更に、ダイスカッ

トしたドーターチップを、ダイスカット前のマザーウェハ上に装着する場合には、マザーウェハが切断つまりダイスカットされる前に、検査を行うことができる。

【０１３１】

タック段階を使用する更に重要な利点は、チップの組み合わせはさほど強くはないので、後続の検査により、結合したチップの一つが実行されなかったと決定された場合、結合したチップを容易に分解することができる。二つのチップを互いに分離するのは、熱か圧力または両方の組み合わせを用いて、実行することができる。個々にダイスカットされたドーターチップが、まだ切断つまりダイスカットされていないマザーウェハの上に、装着される場合には、ドーターチップが問題だった場合、別の「良品だと分かっている」ドーターチップをマザーウェハへ付与することができる。特定のマザーウェハチップが不良であった場合、それ以上ドーターチップを付着しないようにする等と、通知することができ、ウェハダイスカットの直後に容易に特定することができ、ともに総合歩留りを著しく高める。更に、マザーチップが機能しないものであった場合、除去したドーターチップをいずれマザーチップに付与するために保存することができるので、更に歩留りが向上し、コストが下がる可能性がある。例えば、ドーターウェハの展性接点が、金－すずまたは金－銀－すず合金で、展性キャップがすずであったとする。すずは低温で付着でき、十分薄ければ、厚いはんだボールのようには拡がらない。ドーターチップが検査で不良とされた場合、マザーウェハ上の個々のチップを加熱して、引き剥がし、別のドーターチップを付与することができる。全てのドーターチップを付着、組み合わせ検査が良好になると、マザーウェハ全体を互いに融合する。

【０１３２】

このように、タック－融合手法により、良品だと分かっているダイだけを集積することが可能になる。更に、本手法は、単一の不良チップがスタック全体をスクラップにする必要がないので、多数のダイのスタックと関係付けられるリスクを著しく低下させる。高価なチップまたはスタックしたユニットに対して、これは本質的に／それ自体の極めて価値のある利点である。

【０１３３】

更に、タック－融合段階には、低圧力プロセスであるという利点が追加される。タック－融合段階の両方で使用される力は、５０μｍピッチ以下の接点では２ｇ／接点対未満が代表的である。融合段階では、本発明者らは０．８ｇ／接点対～０．００１ｇ／接点対の力の使用を検証した。本発明者らは、４００接点チップでは３００ｇを使用し、１０，０００接点チップでもやはり３００ｇを使用したが、これは０．７５ｇ～０．０３ｇ／接点対の範囲となる。接点数が多い場合、例えば、９００，０００では、本発明者らは０．００３ｇ／接点対となる３ｋｇを使用した。理想的には、本手法は速度をあげるために最小の可能性がある力を用いることとし、適切な環境のもとでは、チップ自体に加えられる重力によって課される力（すなわち、チップの重量）を超える力は一切用いない。

【０１３４】

ダイを互いに付与するための従来のプロセスは、接点対あたり数ｇから数十ｇの付着強度を必要とする。これは、半導体チップそれぞれに、途方もない応力を発生させるので、損傷または割れを招くことが多い。従って、説明する本手法は、従来手法で見られる応力レベルが課されるのを、劇的に低下または回避させる。

【０１３５】

更に、従来の手法は、本発明者らが利用できる小サイズの寸法と互換性がない。典型的なはんだプロセスは、液相プロセスであり、このような小サイズおよびピッチと互換性がなく、数ｇ／接点対の圧力とも互換性がない。言いかえると、代表値５ｇ／接点対では、１ｃｍ×１ｃｍの１０，０００接点をもつチップは付着に５０ｋｇを要する。対照的に、本プロセスの融合部分の間の圧力は、典型的には付着プロセスで用いられる圧力以下である。例えば、本明細書で説明する融合プロセスを用いると、タック段階中に３００ｇの圧力を必要とする１０，０００接点のチップは、本プロセスの融合段階中には、９ｇしか必要ない。

【０１３６】
更に、圧力をほとんどまたは全く使用しないので、マルチリフロー／マルチハイスタックが実用的になる。マルチチップハイのスタックを生成するために、チップに加えられる圧力の量は、その上のチップの融合中、特にマザーウェハ上の幾つかのチップが他のものより背が高いドーターチップスタックを受ける場合の欠け、歩留り損失、スタック内の下部チップ未接続の可能性等を防ぐために、低くすべきである。融合プロセス中にマザーウェハおよびドーターチップに加える圧力がかなり必要とされ、幾つかのマザーチップが他よりも遙かに大きなスタックを有するとすれば、それぞれのチップに加えられる正しい圧力を維持するために、複雑なツーリングセットが必要になろう。対照的に、軽いかまたはゼロの外部圧力しか必要としない本発明者らの手法では、これを回避することができ、マルチハイチップをずっと実用的にし、倍以上の高さのスタック差を許容できる。

【０１３７】
本明細書で説明する手法の変形形態の更なる利点は、融合プロセス完了後の高い強度である。融合プロセス後の接点の強度は、典型的には数百ｋｇ／ｃｍ^{2}を超え、１０００ｋｇ／ｃｍ^{2}が代表値である。言うまでもなく、その結果、融合プロセスが完了すると、再加工の可能性が劇的に低下する。

【０１３８】
制限を意図しない例示の代表的な展性材料は、金－すず（Ａｕ／Ｓｎ）および銀－すず（Ａｇ／Ｓｎ）および本明細書で特定するその他を含む。この時点で注意すべきは、用語「ポスト」は、単に剛性を意味するために用いる利便的なものである。決してサイズ、形状または幾何形状を制限または強制することを意図しない。従って、下記および「特定の変形形態」セクションで説明するように、「ポスト」は高さより幅を広くすることができ、または本明細書で説明する意図する目的を達成するのに十分な、任意の断面プロファイルとすることができる。更に、「ポスト」は、本明細書で説明するプロセスの一部として、例えば、メタライゼーションまたはメタル接点を薄くせずに、ウェハ背面を薄くすることにより、生成することができ、または別々に生成して、その後、ウェハに付着、またはウェハに挿入できる。

【０１３９】
スタックが関わる場合、ウェハを通る所与の電気接続は、一端に剛性のある接点を、他端に展性のある接点を有する。このような場合には、本明細書では簡略化のために、ウェハを一旦「マザー」または「ドーター」と指定すると、その用語は、後続のスタック層に対して、「ドーター」ウェハを正しく「マザー」ウェハを指すべきであるとしても、着目している接点は、ここではポスト－ペネトレーション接続を形成するための剛性のある接点なので、そのまま用いる。更に明瞭にするために、その他端に接続される後続の「ドーター」ウェハを「ドーターウェハ２」と呼ぶことにする。

【０１４０】
図４７および図４８に、本手法の一実施例を示す。図４７Ａ）および図４８Ａ）では、二つのそれぞれのチップ４７０６、４７０８、４８０６、４８０８上の相補接点４７０２、４７０４、４８０２、４８０４を示す。簡略化のために、電気接続４７１０、４８１０も、もしあれば他の要素も、接点４７０２、４７０４、４８０２、４８０４のすぐ近傍を越える部分は示さない。

【０１４１】
図４７Ａ）および図４８Ａ）に示すように、接点の一つ４７０４、４８０４は剛性接点であり、他方の接点４７０２、４８０２は展性接点である。図４７Ｂ）および図４８Ｂ）はそれぞれ、互いに接触した時点の各接点４７０２、４７０４、４８０２、４８０４を示す。タック段階の前またはその間に圧力を加えることにより、剛性接点４７０４、４８０４は、展性接点４７０２、４８０２に入り込む。図４７Ｃ）および図４８Ｃ）は、二つの材料が相互拡散し、両者間の高強度結合を形成した融合段階後の接点を示す。

【０１４２】
更に、注意する価値があるが、展性接点の「幅」は、接続しようとしている接点（結合

前の）と概して同一幅または接点より狭いという意味で「最小」とすることができ、またはその幅が最小幅を超えて十分拡がっているという意味で「拡張」接点とすることができる。上記実施例では、図４７は「最小」接点を含む実施例であり、図４８は拡張接点を含む実施例である。

【０１４３】

概して、展性接点のサイズを剛性接点より僅かに広くする、すなわち、拡張接点を用いる方が有利である。そうすることにより、展性接点が、剛性接点を包み込み、この場合、剛性接点は展性接点の領域内のどこかに入り込むだけでよいので、統合された二つのチップ間のアライメント精度が低くてもよい。その結果、より大きなアライメントのずれに適合することができる。このことは、直径１２μｍを有する円形断面の展性接点、および直径１０μｍ～６μｍの円形剛性接点を検討する例示により理解される。直径１０μｍの剛性接点では、３μｍのずれがあると、剛性材料の縁は展性材料の限界を超える。直径６μｍの剛性接点では、３μｍのずれは、直径１２μｍの展性接点材料内にまだ適合することになる。典型的には、剛性接点の端から端までは、最も広い点で差し渡し４０μｍ未満であり、その最も広い点で差し渡し２５μｍ、１５μｍ未満としてもよく、または１０μｍ未満でもよい。更に、この手法では、展性接点は、剛性接点と少なくとも同じ幅とすべきであり、好適には２０％以上広くする。更に、ポストの高さは、その幅を越えても未満でもよいが、幅を高さより広くするのが典型的である。

【０１４４】

上記の基本的な説明を念頭におけば、例えば、剛性接点として用いることができるように、適切な剛性材料をメタライズまたは導電材料の一つとして、利用することにより、かつ、他のコンポーネントまたはスタックへ付与するための展性接点として、役立てることができるように、メタライズまたは導電材料の別の部分へ第２の更なる展性材料を膜形成することにより、上記説明の変形形態へ本手法を拡張することができる。

【０１４５】

図４９は、図４１のものと類似の、半導体チップのスタックの一部を示し、それぞれが上記説明の実装の一つに基づいて生成されるスルーチップ接続を有する。簡略化のために、スルーチップ接続は、接続が貫通するそれぞれのチップ上の、何らかのデバイスに接続されるとして示さない。そのような接続の有無は、ポスト－ペネトレーション手法の理解に必ずしも必要ないからである。

【０１４６】

図４９に示すように、各チップを上下のチップへ接続するのに役立つように、オプションの接点４９０２、４９０４が、メタライズ２４１２および導電体２８０２の上部および底部に付加されている。上記のように、メタライズまたはメタル接点を直接用いることができる。特定の実装に応じて、オプションの接点４９０２、４９０４を付加する場合、接点４９０２、４９０４は、任意の従来技術の種類、単純な従来の接点パッド、本明細書で説明するように形成される非ポスト－ペネトレーション接点、または本明細書で説明するようなポスト－ペネトレーション接点とすることができる。

【０１４７】

従って、言うまでもなく、図４９のポスト－ペネトレーション手法を用いることにより、スタックを一層容易に実行することができる。図４４は、ポスト－ペネトレーション手法を用いてスタックされる図４９に示すチップの簡略化したスタックの一部を示す。

【０１４８】

更に、上記説明の特定実装の変形形態は、ポスト－ペネトレーション接点手法の使用に役立つように生成することができる。例えば、図１５に示すもの（すなわち、溝の底部のメタライズが完全には除去されていない場合のどれか）と、接着剤１１０２および仕上げ材１３０２が存在しないことを除けば、類似の実装において、メタライズ１５０２を、剛性または展性の接点の一つとして用いることができ、ボイドに挿入される第２材料は、反対の（すなわち、メタライズが「展性」の場合は剛性、メタライズが「剛性」の場合は展性の）接点として役立つ。このような実装では、図５１で示すように、メタライゼーショ

ン内部のボイドを、例えば、本プロセスの適切な時点で挿入されるプリフォームポスト５１０２で充填することができる。代替として、メタライズ１５０２および第２材料は、別の「剛性」材料と接触して結合を形成する端部に展性材料を膜形成する場合、同一材料とすることができる。

【０１４９】

図５２は、単に例示が目的だが、図５１のチップ上に示すレーザー５１０４を制御するための、駆動および制御の電子回路５２０２を有する別の電子チップ５２００へハイブリッド化された後の、図５１のチップを簡略化して示す。電子チップは、図５１のチップのために用いられるメタライズ材料１５０４と比較すると、剛性のあるポスト５２０４も含む。従って、適切な条件下で二つのチップを接合した結果として、ポスト－ペネトレーション接続５２０６が形成され、それにより、レーザー５１０４を、電子チップ５２００上の駆動および制御の電子回路５２０２へ電気接続する。

【０１５０】

図５３～図７１は、簡略化した例示の、基本的な接点形成およびハイブリッド化手法の変形形態を示す。簡略化のために、プリプロセスされている（すなわち、両方のデバイスおよび関係する接点および配線を含む）が、まだ個々のチップへダイスカットされていない一対の従来チップについて、本手法を示す。図示のように、「ａ）」とラベル付けされているそれぞれの図のチップは、それぞれの図で「ｂ）」とラベル付けされたマザーチップと後でハイブリッド化するために、一つのＩＣパッドから別の場所へ経路変更された接点を有するドーターチップである。注意すべきは、処理を並列に行われるとして示すが、これは理解を助けるためにすぎない。実際には、何れか一方の処理を他方の処理に先行させるか、それらの処理を時間的に一部重複させて行うか、または同時に行うことができる。

【０１５１】

最初に、ドーターウェハ図５３ａ）およびマザーウェハ図５３ｂ）で始める。ウェハは、それぞれがそのうえに多数のデバイス（不図示）を有するという点で、それぞれ完全に形成されたチップである。図示のように、ドーターウェハ上の接点５３０２、５３０４は、２５μｍ～５０μｍのピッチであるが、最新の技術を用いる２μｍ～７μｍほどの、ずっと狭いピッチの接点に対するのと同一の手法を、用いることができる。図示および理解だけが目的であるが、マザーウェハ上の接点５３０６、５３０８は、ドーターウェハの接点５３０２、５３０４より広いピッチである。接点５３０２、５３０４、５３０６、５３０８は、チップカバーガラス５３１０、５３１２を通じてアクセスされる従来のアルミ製ＩＣパッドである。

【０１５２】

次に、厚い誘電体層５４０２、５４０４をチップ上に堆積する（図５４ａ）、図５４ｂ））。次いで、フォトリソグラフィによるパターン化により、アクセスするための接点の上の領域を開く（図５５ａ）、図５５ｂ））。

【０１５３】

次いで、ＩＣ接点パッドへのアクセスを提供するために、誘電体を貫通してエッチングする（図５６ａ）、図５６ｂ））。その後、フォトリソを剥がす（図５７ａ）、図５７ｂ））。

【０１５４】

代替として、厚い誘電体層５４０２、５４０４を厚いフォトレジスト層とすることができる（図５４ａ）、図５４ｂ））。その場合は、厚い誘電体層５４０２、５４０４を、フォトレジストを剥がすことにより除去する（図５７ａ）、図５７ｂ））。

【０１５５】

次に、シード層をウェハ上に堆積して、後のめっきプロセスを容易にする（図５８ａ）、図５８ｂ））。

【０１５６】

次いで、誘電体層を塗布し（図５９ａ）、図５９ｂ））、フォトリソグラフィによるパ

ターン化を用いて、めっきを行う場所を画成し、制御する（図６０ａ）、図６０ｂ））。

【０１５７】

その後、メタルの所望の量が得られるまでウェハをめっきする（図６１ａ）、図６１ｂ））。

【０１５８】

次いで、誘電体を除去し、「スタンドオフ」つまり立ち上がった接点を残す（図６２ａ）、図６２ｂ））。

【０１５９】

余談であるが、一般に、マザーウェハおよびドーターウェハはともに、スタンドオフを有することができる。ドーターウェハ上では、剛性構造の目的は、接点の信頼性をあげることができるように、スタンドオフを提供して接点全体を二つのチップの非平面に適合させることであり、場合によっては、なくてもよい。マザーウェハ上では、剛性構造の目的は、ドーターウェハ上の展性材料内へ入り込むことのできるスタンドオフとしておよびポストとしての両方である。更に、スタンドオフを用いて、上面のＩＣカバーガラスとＩＣパッドとの間の高さの差を許容することができるので、幾つかの接点はガラスの上面に置かれ、他の接点はパッド上に置かれる。

【０１６０】

プロセスフローに戻ると、所望しないシード層を除去するために、更にエッチングを実行する（図６３ａ）、図６３ｂ））。図６３ａ）に示すように、接点の一つと新規スタンドオフ／接点との間のドーターウェハ上のシード層材料を残すことにより、元のその接点の経路変更が完了する。オプションとして、追加または代替の経路変更層を、プロセス完了前またはプロセス完了後に配置することができる。更に、望ましいのは、特定領域では経路変更層を他よりも厚くめっきしてから、エッチングしてシード層を除去することである。

【０１６１】

次に、バリア層を、ドーター上の接点へ形成する（図６４ａ））。この場合はニッケルであるが、ＩＣパッド５３０２、５３０４、５３０６、５３０８内に拡散するメタルに対するバリア、またはチップのカバーガラス５３１０、５３１２の下のメタルの侵入により個々のチップが受ける損傷に対するバリアとして機能する。オプションでは、キャップ層６４０２、６４０４、この場合は金、をバリア上面に堆積して、特に、本手法が、ポスト－ペネトレーション接点に関わるタック－融合結合プロセスで用いられる場合に、結合プロセス中の好ましくない拡散を同様に防ぐ。キャップはマザーウェハにも膜形成する（図６４）。この時点で、マザーウェハ上の剛性接点が完了する。

【０１６２】

再度、誘電体６５０２をドーターウェハへ塗布し（図６５ａ））、フォトリソグラフィのよるパターン化により、スタンドオフ接点６６０６、６６０８の上の領域６６０２、６６０４が開かれる（図６６ａ））。

【０１６３】

次いで、展性接点６７０２、６７０４をスタンドオフの上に作製し（図６７ａ））、誘電体を除去し、完全に形成した展性接点（図６８ｂ））を残す。

【０１６４】

次いで、ドーターウェハを反転し、マザーウェハのフォトリソグラフィのパターンとアライメントし、アクセスを行う接点の上の領域を開く（図６９）。

【０１６５】

次いで、剛性接点が展性接点に入り込むように、二つのチップを圧力のもとで接合する（図７０）。

【０１６６】

最終的に、二つのチップは融合段階に入り、二つのチップは互いに恒久的に貼り付いたままとなる（図７１）。注意すべきは、本プロセスの結果として、剛性ポストの上面と、他のウェハ上の、それが接続される接点の上面との間で測った両チップ間距離は、１０μ

ｍ未満、公称５μｍ未満である。これに対して、ウェハが完全に平坦である場合、これは２枚のウェハ間の距離でもあり、平坦でない場合、ウェハの凹凸がこの距離を大きくしたり小さくしたりすることになる。

【０１６７】

図７２～図８７は、ドーター（図７２ａ））およびマザーウェハ（図７２ｂ））上の接点生成、およびそれに続く二つのチップ相互のハイブリッド化のための、代替プロセスの変形形態を簡略化して示す。先行する実施例と同様に、２枚のウェハで開始する。図７２ａ）および図７２ｂ）に示すように、ＩＣの接点パッド上のカバーガラス開口部は、４μｍ程度、場合によっては、１μｍ以下にまで小さくできるが、約８μｍ～１４μｍである。本明細書で説明する一つ以上のプロセスを用いて、これらの小さなサイズの開口部を、より大きなサイズの開口部と同じように、容易に取り扱うことができる。

【０１６８】

更に、図示のように、ドーターウェハ上のパッドの間隔は（図７２ａ））、２５μｍ～５０μｍピッチが典型的である。しかしここでもやはり、本明細書で説明する本手法は、公称７μｍピッチの接点でも容易に用いることができ、２μｍピッチ以下の接点で用いることさえ可能である。

【０１６９】

本変形形態を以下のように進行させる。最初に、厚い誘電体をウェハに塗布する（図７３）。次いで、フォトリソグラフィのパターン化を行って、それを通じてアクセスする接点の上の領域を画成する（図７４）。次に、接点の上の誘電体をエッチングして取り去り（図７５ａ））、フォトリソをマザーウェハから剥がし（図７６ｂ））、経路変更を形成する（図７７）。

【０１７０】

接点の上の露出した領域およびドーターウェハ上の経路変更をバリア層でメタライズし（図７８ａ））、シード層をマザーウェハへ塗布する（図７８ｂ））。オプションで、バリアをマザーウェハへ形成し、ＩＣパッド（不図示）を保護することができる。

【０１７１】

次いで、フォトリソをドーターウェハから剥がす（図７９ａ））。

新規のフォトリソグラフィのパターン化を行って、接点が作製される領域を画成する（図８０）。

【０１７２】

展性接点を、適切な材料、この場合は、すず（Ｓｎ）の不連続層により上面を覆い、次いで、金（Ａｕ）の層で覆う（図８１ａ））、金－すず（Ａｕ／Ｓｎ）合金、を堆積することにより、ドーターウェハ上に生成し、マザーウェハ上には剛性接点を形成する。 露出したシード層を銅でめっきする（図８１ｂ））。

【０１７３】

次いで、フォトリソをドーターおよびマザーウェハの両方から剥がす（図８２）。

【０１７４】

次いで、不要な残っている露出したシード層を、マザーウェハから除去する（図８３）。

【０１７５】

最後に、キャップ（オプションでバリアが先行する）をマザーウェハ接点に膜形成して、酸化を防止する（酸化キャップ）（図８４ｂ））。

【０１７６】

先に変形形態を説明したのと同様に、次いで、ウェハをアライメントし（図８５）、接合し、タックして（図８６）、その後のある時間に、融合する（図８７）。

【０１７７】

大まかな概観で幾つかの変形形態を説明してきたが、ここで、プロセス中の様々なステップの詳細を更に含む追加の変形形態を提示する。しかし、言うまでもなく、これらの詳細は、先行する変形形態および本明細で説明する他の変形形態に等しく適用できる。

【０１７８】
図８８～図９１および図９５～図１０２は、簡略した並列形で、後で、ドーターウェハの背面上の剛性ポストとなるものを形成するための、二つの更なる例示の変形形態手法を示す。「ドーター」と称するのは、アルミＩＣパッドは、展性接点となり、別の「マザー」ウェハ上の剛性ポストへ結合されるので、背面接点が「マザー型」接点であるとしても、適切といえよう。
【０１７９】
更に、幾つかの変形形態について並列形で示すが、本明細書で説明する本プロセスは、並列して行う必要はなく、同一ウェハ上で行われるか、または異なるウェハ上で異なる時間に、異なる変形形態を実施することができる。
【０１８０】
本実施例は、図８８ａ）および図８８ｂ）にそれぞれ示すウェハ８８００、８８０２で開始され、接点経路変更の準備を含む。すなわち、（第１の実施例では）バイアはウェハの表面上のパッドとアライメントせず（図８８ａ）～図９９ａ））、第２の実施例は接点の経路変更をもたないので、バイアはパッドとアライメントする（図８８ｂ）～図９９ｂ））。更に、生成される二つのバイアの幅の相対的な差は、幅の異なるバイアを単一のウェハまたはチップの上で使用することができ、バイア幅をチップ上のパッド幅と変えることができる、ことを示すよう意図している（すなわち、パッドと同一幅、パッドより広くする、または狭くすることができる）。再度、注意すべきは、図は適正な縮尺ではなく、必ずしも正しい比例関係ではない。
【０１８１】
最初に、厚い誘電体層８９０２、８９０４をウェハ８８００、８８０２、この場合、アルミＩＣパッド接点８８０４、８８０６を有するシリコンウェハ、へ形成する（図８９ａ）、図８９ｂ））。厚い誘電体層は、チップを保護するのに役立ち、後で上面が電気めっき後に薄くされる場合の、プロセスの停止領域として作用するのに役立つ。注意すべきは、後のステップで、バイアが、ａ）電気めっきで充填されないか、またはｂ）薄くする（すなわち、エッチングまたはフォトリソグラフィのリフトオフにより薄くする）のではなくバイアメタル充填プロセス中に、ウェハ表面に堆積される過剰材料の除去を可能にするような方法で充填される場合、このステップはオプションとすることができる。厚い誘電体堆積材料に適しているのは、限定が目的ではないが：ＴＥＯＳ、酸化物、窒化物、スピンオンガラス、ポリイミド、ＢＣＢ、その他のポリマまたはエポキシ、厚いフォトレジスト層等である（フォトレジストのポリイミドまたは厚いフォトレジストを用いる場合、変形形態によっては、次のステップの別のフォトレジスト堆積ステップは不要である）。
【０１８２】
次に、フォトリソ層を塗布し、パターン化して、望ましくない場所がエッチングされるのからウェハを保護する（図９０）。このステップは、生成されるバイアのための場所を画成する。
【０１８３】
次いで、誘電体を通り、半導体および基板内に、ウェハ上のエッチングを実行して（図９１）、経路変更の場合は経路変更接点がある場所のウェハ内に、バイア９１０２を生成し（図９１ａ））、従来の場合は（図９１ｂ））、バイア９１０４が誘電体、アルミＩＣパッド接点８８０６を通って、ウェハ内へ入っていく。ここで注意すべきは、あとの図から明らかなように、所望の深さは、ウェハ背面を薄くするプロセスで形成される「ポスト」の露出が可能になるようなものとする。この深さの代表値は約７５μｍである。このバイア深さをもつことは重要ではないが、数千または数百万接点／ｃｍ^{2}となる可能性があるという仮定のもとでは、このような深さは、後続プロセスで良好な歩留りを有すると同時に、キャリアウェハの必要がないウェハスケール様式で、ドーターウェハ全体を取り扱うことを可能にするためである。代替として、バイアは、ウェハを貫通することができる。これらのスルーウェハの変形形態では、以下に説明するステップ、背面を薄くし、エッチングしてバイア内にメタルを露出させるステップは不要とすることができる。更に、本

実施例で示すバイアは、単一の導電体しかないが、同一手法は、同軸、３軸の導電体でも、これらの生成ステップを本プロセス内にそのまま組み込むことにより適用できる。

【０１８４】

この時点で、特定の実装で図示したプロセスの使用から得られる、特定の属性および利点を強調する価値がある。本手法から生じる属性および利点は、バイアのエッチングおよび生成をハイブリッド化（チップ対チップ、チップ対ウェハ、またはウェハ対ウェハ）の前に行う、という事実を含む。言いかえると、チップ、ダイまたはウェハを別の要素へ結合する前に、それを容易に実行することができる。更に、本手法により、以前に作製し、使用可能な電子チップのデバイス（すなわち、アクティブ）側からバイアをエッチングすることができる。本手法は、エッチングの経路内に、犠牲にできない回路が直接存在しないチップ上の、実質的にあらゆる場所で用いることができる。従って、本手法を用いて形成されるバイアは、所望に応じて、パッドとアライメントさせることも、アライメントさせないこともできる。更に、パッド上にバイアを作製することにより、および／または場合によっては、パッドよりずっと小さいバイアを作製することにより、特に、回路がほとんどないか全くないチップの領域内で、回路のためのＩＣ上の「領域」の損失を、最小化することができる。

【０１８５】

バイア形成に関して、場合によっては、後続の材料堆積が側面を十分覆うのを確実にするために、傾斜バイアとすることが望ましい。その場合、傾斜は、バイアの縦軸の垂直線から約８８度の代表的な公称値の傾斜とすることができる（すなわち、バイア幅は深さが増すと僅かに狭くなる）。傾斜しているバイアの一実施例の断面写真を図９２に示す。

【０１８６】

典型的には、幅５μｍ以上を有する深さ７５μｍ以上のバイアを用いる。図９２のバイアは、直径２０μｍ、深さ約１５０μｍを有する。図９３は深さ１００μｍ、直径２０μｍを有する例示のバイア（充填済みの）の写真である。もっと深さを浅くできるときは（例えば、わずか５μｍの深さまでになると）、０．１μｍほどの小さな幅で十分である。しかし、０．１μｍ未満の幅のバイアを用いると、形成される最終的結合の完全性が低下することがある。同様に、５μｍ未満の浅い深さを使用すると、下地の回路（もしあれば）が損傷を受けるかもしれない程、ウェハを薄くする必要がある。現在では、妥当な市販の設備で十分な生産歩留りを得るよう、典型的な範囲は深さ７５～１５０μｍ、幅５～２５μｍである。特定用途では、この範囲外の深さ、幅も可能であるのは言うまでもない。例えば、バイアは３００μｍ程度まで深くすることができ、場合によっては、ウェハを貫通することができるが、現在の市販の入手可能な装置は、ここで想定している大規模な販売生産に向けたバイアの数、密度を含む上記のような著しい深さで、許容できる歩留りが可能なほどの、十分な整合性を今のところ持っていない。しかし、このような設備の進歩が、いずれこの制限を狭め、または取り去って、本明細書で説明する本手法をほとんど修正することなく、または全く修正せずに、このような深さ、数および密度の本手法を実現させるに違いない、と予想される。

【０１８７】

オプションでは、バイアの底部は、尖った点を有するように形成することができる。これは、強い剛性のあるポスト、剛性材料の展性材料内への良好なペネトレーション、および最終的に強い接点（剛性接点と展性材料との間の表面接触を最大化すること）を確実にする、本発明者らが用いる方法である。これを行うために、本発明者らは、ポストのベースが下地の接点と同じくらい広く（ポストの接点への付着強度を最大化する）、一方、上部は接点よりずっと細くなるようにテーパとして、サイズファクタに対するアライメントを達成できるピラミッド形状（または円筒の上部に載ったピラミッド）で剛性ポストを作製する手法を用いた。本変形形態は、先端が尖ったポストの形成が得られ、ひいては、ポスト－ペネトレーション接続に用いる場合、後で形成されるピラミッド型プロファイルの剛性ポストのものと類似の、ペネトレーションを可能にするという利点を有する。図９４は、その中に形成された先端が尖ったバイアを有するチップの断面写真である。

【０１８８】
次に、フォトレジストを剥がし（図９５）、露出したバイア表面（不図示）へ誘電体または絶縁層を塗布して、バイア内のメタルが、半導体内の回路のどこかと電気的に短絡するのを防ぐ。この層の厚さは、約２０００Å～１μｍの厚さが典型的である。しかし、特定の用途が、熱膨張係数のバランス、またはバイアのキャパシタンス低減（重要または重大な場面で）を含む場合、層を厚くすることができる。使用できる例示の絶縁材料は、（酸化）ＴＥＯＳ、他の酸化物、窒化物、ポリマ、ＣＶＤダイヤモンド等を含む。
【０１８９】
次いで、メタルバリア層を誘電体上に堆積する（図９６）。バリア層は、絶縁体、半導体へのメタルマイグレーション（移行）を防ぐように作用する。本明細書で説明する全てのバリア材料は、このステップに適しているが、本実施例では、図示のバリアはチタンタングステン（ＴｉＷ）である。
【０１９０】
次に、特定の変形形態で、メタルにめっきすべき場合、めっきのシード層を塗布する（図９７）。そのシード層を、バイアの電気めっきのベースとして用いる。銅のシード層が、良好な導電体で熱伝導体なので、好適であり、今日では産業界に普及し、標準の半導体およびパッケージライン内で協働させるのが容易である。しかし、剛性材料および／または剛性材料のためのシード層と併せて本明細書で説明する、任意の材料を用いることができる。バイアを電気めっき以外の方法で充填すべき場合、このシードは、ウェハのより広い部分ではなく、バイア自体を覆うだけとなることもあるし、またはなくても良いこともある。例えば、バイアをＣＶＤまたは蒸着で充填する場合、シード層は不要である）。
【０１９１】
バリアおよびシード層は、スパッタまたは物理的気相成長法（「ＰＶＤ」）により堆積されるのが典型的であるが、実装によっては、無電解めっきはスパッタまたはＰＶＤを越える著しい長所を有するので、無電解めっきを用いることもできる。次いで、バイアは、メタルまたは他の導電体で充填され（普通は完全に）、ウェハを通る電気導管を形成する（図９８）。充填材料は、めっき手法に対しては銅とするのが典型的である。しかし、適切な剛性または展性の材料として本明細書で説明する、任意の他の材料を含む他の材料を用いることもできる。注意すべきは、単純な電気接点だけが必要とされ、良好な熱伝導または低い電気抵抗値が要求されない場合、バイアを導電体で完全に充填する必要はないということである。これらの場合、バイアの残りの部分は、オプションで、酸化物またはエポキシのような別の材料で充填できる。チップをパッケージし、封止するときに、バイア内のボイドに空気が取り込まれると、動作中の温度サイクルによる空気の膨張、収縮でチップが故障する原因となることがあるので、バイア全体は、典型的には、何らかの種類の材料で充填すべきである。メタルで完全に充填すると、抵抗値が最も低くなり、最良の熱伝導接点が可能となる。更に、メタルで完全に充填された直径のより大きなバイアを用いる場合、そのメタルはウェハを通じての熱伝達を支援することができる。
【０１９２】
図９８に示すように、バイアは、電気めっきプロセスを用いて、シード層をめっきすることにより充填される。オプションで、めっきプロセスが完全で、ボイドがめっき材料の中心内部に残っている場合、そのボイドを、酸化物、追加メタル、はんだ、または用途に適した何らかの他の材料のような、フィラー材料で充填することができる。
【０１９３】
マザーウェハに対する剛性材料と同一材料、またはドーターウェハに対する展性材料と同一材料で、バイアを充填する場合、スタックの利点を達成することができる。代替として、付与されるチップ上の対となる接点が、その上に剛性材料を有する場合、バイアを、展性材料と同一材料で充填することができるという利点がある。
【０１９４】
注意すべきは、バイアがパッドとアライメントしている場合の図９８ｂ）に示すように、バイアを導電体で充填すると、本質的に、バイアはパッドと接触することになる。

【０１９５】
ほとんどの実装で予想されるような、特定のウェハを別のウェハへ結合する場合、ドーターチップをマザーウェハへハイブリッド化する場合、マザーウェハが実行するのと同一の方法で実行できるように、ドーターウェハのバリアおよびバイア充填材料の構築が、マザーウェハに対するバリアおよび剛性材料と同じガイドラインに従うということが重要である。

【０１９６】
プロセスフローに戻って、前のステップのめっきの結果として、大量の導電体を、ウェハの上面に堆積し、除去する必要がある。これは、ラッピング、研磨または化学機械的プロセス（「ＣＭＰ」）により達成することができる。この薄くするのは、第１ステップで堆積された厚い誘電体内で行われる。第１ステップとして塗布される誘電体で用いられる実際の厚さは、このラッピングステップに誤差に対する余裕を与えるように選択される。このステップは、バイアを充填する導電体を、電気めっきで堆積しない場合はなくてもよい。次いで、図示するように、化学機械的プロセス（「ＣＭＰ」）を用いて、過剰なめっき材料、および下地のシード層を表面誘電体層まで、そして僅かに中に入るまで除去する（図９９）。

【０１９７】
次に、フォトリソグラフィのエッチングプロセスを再度用いて、ウェハの上面からウェハのＩＣパッドの接点８８０４、８８０６へのアクセスを、フォトレジストの塗布（図１００）により提供し、次いで、露出した誘電体１００００２をエッチングする（図１０１）のを支援する。必要な接点がパッドからバイア自体までだけで、どの接点も、その同じパッドと特定パッドに対するマザーチップとの間で必要とされない場合、その特定パッドは、このステップを省くことができる（すなわち、そのパッドはフォトレジストで覆ったままとすることができる）。代替の変形形態では、シード層が堆積されるか（機能的にシード層の一部とすることができる）、バイアのめっきまたは充填中のいずれかのとき、ＩＣ接点への接続が同時に行われるように、フォトリソグラフィを実行することができる。このような変形形態では、このフォトリソグラフィのステップはなくてもよい。

【０１９８】
その後、フォトレジストを剥がし、ウェハを洗浄し、ドーターウェハ内に完全に形成したポストを残す（図１０２）。

【０１９９】
この時点で、ウェハを別のチップ、ダイ、またはウェハ等の、別の要素へハイブリッド化するために更に準備すると仮定する（すなわち、本手法は、ハイブリッド化の全ての順列に対して平等である：チップ対チップ、チップ対ダイ、チップ対ウェハ、ダイ対ダイ、ダイ対チップ、ダイ対ウェハ、およびウェハ対ウェハ）。この更なる処理を、図１０３～図１２５に簡略化して並列形で示し、図１０２に示すようなドーターウェハで開始する。更に、理解を容易にするために、本プロセスを、「マザー型」接点要素として役立つウェハ上で実行される処理として図示する。

【０２００】
本プロセスを以下のように進行させる。最初に、誘電体層がＩＣ接点パッドの上を除いてマザーウェハへ塗布され（図１０３ｂ））るが、ドーターウェハ上には誘電体層は既に存在している（図１０２ａ）、図１０２ｂ））。

【０２０１】
次に、ドーターウェハ上にバリア層を堆積し（図１０４ａ））、接点経路変更の場合、その一部は最後に、元のＩＣ接点とプリフォームしたポストとの間の電気接続となる。バリアの使用により、展性材料が、ＩＣパッドまたは剛性メタルもしくはスタンドオフメタルの何れかと後で相互作用するのを防ぐので、利点がある。

【０２０２】
図示のように、バリア材料、例えば、幾つかの例を挙げると、Ｎｉ／Ａｕ、Ｔｉ／Ｐｄ／ＡｕまたはＴｉ／Ｐｔ／Ａｕを、スパッタリングを介してドーターウェハ上に堆積する

。更に、このバリアは一般に、アンダーバンプメタル（「ＵＢＭ」）として、シードを除去する必要がない経路変更のために用いることができる。この層は、スパッタリングおよび／または蒸着プロセスか、または上層のための電気めっきプロセスとオプションで組み合わされる無電解めっきの何れかを用いて、形成される。

【０２０３】

更に、図示のように、例えば、無電解めっきまたは堆積技法を用いて、マザーウェハ上にシード層を堆積する（図１０４ｂ））。図示のように、マザーウェハは、膜形成されるＴｉＷ＋Ｃｕを有し、それは、マザーウェハ上に剛性接点を電気めっきするためのＵＢＭとしてもシードとしても用いられる。上面に銅を使用すると、より簡単な銅の電気めっき、および後続の剛性ポスト形成が可能になる。マザーウェハのＵＢＭは、実装によっては、剛性メンバー電気めっきのためのシード層、経路変更を兼ねることができ、またはウェハ間のＲＦシールドとして機能する（このためのパターン化が、この時点の堆積ではなく、エッチングステップで発生するであろうが）。

【０２０４】

オプションで、かつ代替として、バリア層およびシード層は、同一コンポーネントをもつことができる。このような場合には、単一材料が両方の層として機能できる。

【０２０５】

図１０４に示すように、バリアはウェハ全体に形成される。これは、後続の電気めっきステップを実行できるようにするためである。しかし、この電気めっきの後、シードおよびバリアは、様々な接点が互いに電気的に短絡したままにならないように、接点が存在しない領域から除去する必要がある（ここで関係しない他の理由、すなわち、バリアおよびシードが、点の間の電気的経路変更材料として機能できることを、明示的に要望しない限り）。

【０２０６】

後続の材料が、電気めっき以外のプロセス、例えば、スパッタリングまたは蒸着により形成できる場合、マザーウェハステップは、代替として、パッド周囲のリソグラフィによるパターン化、バリアメタルの形成、後続メタルの形成、次いで、リフトオフプロセスの実行を含む。主としてパッド周囲の、または経路変更が望ましいメタルおよびバリアの最終的な結果は、同一となろう。

【０２０７】

次いで、リソグラフィプロセスをドーターウェハ上で実行して、元の接点の上にあるバリア材料を露出する（図１０５ａ））。更に、図示のように、マザーウェハをアンダーカットにより、パターン化して、例えば、先端を尖らせた、ピラミッド形、円錐形またはマッシュルーム形状を有するオプションのパターン化した接点を提供する（図１０５ｂ））。代替として、接点の利用可能な面積を増大させ、または最終的に結合されることになる対応する展性接点より、断面を十分小さくする接点を生成するために、何らかの他の接点形状を形成するようマザーウェハをパターン化することができる。そうすることにより、加えられる力が、より狭くした領域全体に分散されるのでペネトレーションを強化することができる。

【０２０８】

本ステップ（図１０５ａ）、図１０５ｂ））は、後続のメタル配置をする場所を画成する。この後続のメタルが電気めっき以外の手段で堆積されるとすれば、このステップは、上記説明のバリアおよびシード堆積の前に行われることになる。ここでは、電気めっきを用いると仮定する。再度注意すべきは、リソグラフィのパターン化を行って、後続の電気めっきおよび／またはシードエッチング（または電気めっきを用いなかった場合は、後続のリフトオフプロセス）を可能にし、経路変更層を画成することができる。

【０２０９】

次に、露出したバリアの上面に適切なメタルを堆積することにより、ドーターウェハをメタライズする（図１０６）。特定の実装に応じて、以下の内の一つ以上をドーターウェハ上に形成することができる。：ウェハの非平面を扱うためのスタンドオフ層（所望する

なら）、（接点を変形し、形成するものとなる）拡散層または展性層、接着（タック）段階中の接着作業を支援するキャップまたは接着層（必要な場合）、および／または接着層／拡散層が酸化されるのを防ぐ酸化バリア。

【０２１０】

更に、マザーウェハ上では、リソグラフィプロセスにより生成されるボイドを、リソグラフィプロセスにより露出されるシード層をめっき（電気または無電解）することにより、充填する（図１０６）。特定の実装に応じて、ポスト－ペネトレーション接続で使用するためのポスト形成のために用いる剛性材料を、この段階で追加することもできる。

【０２１１】

図１０７は、マザーウェハのための、完全めっきピラミッド形接点の実施例を詳細に示す。

【０２１２】

図１０８は、マザーウェハ接点の代替の変形形態の拡大部分を示し、この場合、プロファイル化した接点は、図１０７のものと類似している。このオプションの変形形態（プロファイル接点、非プロファイル接点へ適用可能な）では、剛性ポストのためのメタルをめっきする（メタライゼーション）前に、半導体パッド１０８０２のメタルを少しエッチングし、パッド１０８０２の縁で、アンダーカットプロファイル１０８０４を生成する。剛性材料１０９０２を積み上げた場合（図１０９）、剛性材料１０９０２のある部分は、アンダーカット１０８０４を充填する。この追加充填はアンカーとして作用し、追加処理の間に加えられる応力、または熱サイクルによる操作での応力が働く間、定位置に剛性接点構造を保持するのに役立つ。図示のように、剛性材料１０９０２はニッケル（Ｎｉ）である。

【０２１３】

メタライゼーションおよび／またはめっきが完了すると、次いで、フォトリソを剥がし、ドーターウェハおよびマザーウェハ上に積み上げた接点を露出させる（図１１０）。しかし、注意すべきは、マザー接点のためのバリアが電気めっきの場合、そのステップを、メタライゼーションに続けて、フォトレジストを剥がす前に、オプションで実行できるということである。

【０２１４】

次に、フォトリソグラフィプロセスを利用して、積み上げた接点またはポストを保護するが、ドーターおよびマザーウェハそれぞれから、不要なバリアおよびシード材料を除去することができる（図１１１）。注意すべきは、このステップを用いて接点を画成および／または経路変更をすることもできるということである。更に、他のメタルがまだ電気めっきされていない場合、リフトオフ対後続のエッチングを用いているかもしれないので、これらのステップは僅かに異なることもあろう。

【０２１５】

しかし、本実施例ではシードおよびバリア材料が電気めっきされたので、エッチングを用いる。従って、不要なシードおよびバリア材料をエッチングで取り去る（図１１２）。更に、代替でオプションの変形形態では、少量のバリアおよびシードだけ、すなわち、好ましくない接点の相互短絡を防ぐのに必要なだけをエッチングで取り去るので、ウェハ表面の大部分は覆われたままであり、従って、特に、残っているバリア／シールドを接地面へ取り付けた場合、ＥＭＩシールドとして用いて、ノイズまたはスタックチップ間の好ましくない信号の結合を防ぐことができる。

【０２１６】

次いで、フォトリソを剥がす（図１１３）。

【０２１７】

この時点では、ドーターウェハは、別のウェハとポスト－ペネトレーション嵌合接続を形成するのに用いるための機能的な剛性ポストを含む。

【０２１８】

しかし、本明細書の説明から明らかなように、この場合、マザーウェハの処理は、特に

、接点上への展性材料（ドーターウェハポスト上の材料と比較して）の無電解めっきを通して継続する（図１１４ｂ）。注意すべきは、本ステップを無電解めっきステップとして説明するが、本手法の変形形態では、電気めっきステップを用いることができる。このような変形形態では、プロセスのこの部分は、メタライゼーションステップの一部として、または代替の、メタライゼーションステップで用いられるフォトリソを剥がすステップと、本明細書で説明するような保護フォトリソの塗布との間の電気めっき操作として、の何れかで行われる。しかし、何れの場合でも、バリアが展性および剛性材料の相互混合を防ぎ、ドーターウェハ上の剛性材料とＩＣパッドとの間に展性材料を含むので、バリアの堆積は重要である。

【０２１９】

この時点で、マザーウェハは、別のウェハとポスト－ペネトレーション嵌合接続を形成する際に用いるための機能的な展性ポストを有する。

【０２２０】

しかし、本実施例では、第３チップがドーターウェハの上面にスタックされるべきであること、ひいてはウェハ内へのポストの形成は、前もって予定されていた。従って、ドーターウェハの追加処理が必要であり、以下のように進行させる。

【０２２１】

最初に、後続の薄くする処理の間汚染から保護するために、適切な除去可能な、保護材料の塗布により、ドーターウェハの前面側（すなわち、デバイスおよび接点を装着する側）を保護する（図１１５ａ））。この覆いは、単純なフォトレジストまたは誘電体だけから構成することができ、またはフォトレジスト、ワックス、ポリマ、エポキシ、他の接着剤等のような手段により、ドーターウェハに付与するガラス板、または別の半導体ウェハ（「キャリア」ウェハ）等の剛性部材で構成することができる。変形形態によっては、非常に厚い層を用いる（例えば、ドーターウェハが後で薄くなる厚さの少なくとも５０％程度）。他の変形形態では、剛性キャリアウェハを用いることができる。どちらの場合でも、非常に厚い層がドーターウェハに特別な強度を与えるので、薄くした場合に割れることなく取り扱うことができる。

【０２２２】

次に、典型的なバイアの深さは約７５μｍまで達するので、典型的にはドーターウェハの厚さが約７５μｍになるまで、ドーターウェハの背面を薄くして、背面からバイア充填材料（例えば、前に形成したポスト）を露出させる。バイアが更に深く延びる場合、薄くするのを減らす必要がある。特定の用途に応じて、薄くする処理は、具体的には、ポストが背面のウェハ面の上に延びるまで行われる。用途によっては、ポストは背面と同一面とする（図１１６ａ））。しかし、バイアの底部が尖っている場合、薄くする処理は、好ましくは、底部の先端点のかなりの量を除去するのに十分なまで掘り下げるべきではなく、先端の尖ったバイアをもつ場合、処理が終了したときには、ピラミッド、円錐またはマッシュルーム形の構造が望ましい。

【０２２３】

この場合、別のポスト－ペネトレーション接続が望まれるので、ポストが表面の上に延びるように、背面上でエッチングを実行する（図１１７ａ））。このエッチングステップは、二つの目的に役立つ。第１に、バイア周囲の基板を幾らか除去し、バイアが表面を越えて延びるようにする（従って、マザーウェハ上の剛性ポストと同じように、正確にバイアを機能させることができる）。第２に、接点の表面を清浄にするので、後続プロセスでメタルの接着が良好になる。

【０２２４】

言うまでもなく、非貫通接続を有するドーターウェハでは、薄くするステップおよびエッチングステップは、一般に不要である、とはいえ、それを望ましくさせる他の高さの配慮を条件として、であるが。

【０２２５】

非常に厚い層またはキャリアを前面側に用いる変形形態では、薄くする処理は、典型的

な７５μｍの最終厚さを、潜在的にはるかに超えることができる。実際、これらの変形形態では、薄くする処理は、約１０μｍまで薄くした厚さが得られる。更に、キャリアウェハが、タック－融合プロセスの後で除去されない場合、ウェハは約５μｍまで薄くできる。

【０２２６】

注意：代替の実装では、薄くするステップは、マザーとドーターとのハイブリッド化の後で行うことができる。そのような変形形態では、処理のシーケンスは、マザー接点の無電解めっき、タック、融合、ドーター薄化、ドーター背面側をエッチングして背面側の面の上方に接点を延長、背面側接点へバリアおよびキャップを塗布、前面側保護、およびその保護の除去を不必要として省略する、となる。

【０２２７】

次いで、バリアおよびキャップまたはカバー層をポスト上に堆積する（図１１８）。このバリア層およびカバーは、バイア材料を保護するために重要である。バリア層（およびバリアカバー）は、「真の」マザーウェハの剛性ポストの上部に堆積されるバリア材料およびバリアカバーと全く同一の機能を実行する。それにより、この新しいポスト上のバリア材料と後続の第２ドーターウェハ（すなわち、「ドーターウェハ２」）上のバリア層との間に、展性材料を固定することができる。図示のように、バリアおよびキャップは、無電解めっきプロセスを用いて堆積されている。本実施例では、１μｍのＮｉおよび０．３μｍのＡｕを用いる。無電解めっきを用いる利点は、ウェハ背面にフォトリソグラフィのステップを何ら必要としないことであり、本プロセスの実行を単純にし、薄いウェハの使用に適合する。この利点は、もっと極端な限界まで薄くしたウェハでは、更に価値があり、バイア生成プロセスの、元の誘電体エッチング、バイアエッチング、およびバイア充填の各ステップでのコストを節減する。繰り返しになるが、使用される特定材料は、本明細書で参照したバリア材料の内の何れかを含む。

【０２２８】

更に、このバリアは無電解めっきで堆積しなくてもよい。代わりに、変形形態によっては、電気めっきを用いることができ、シード層を背面に堆積する場合、上記説明と同じようにめっきし、次いで、エッチングする。他の変形形態では、パターン化と、蒸着またはスパッタまたは他の型式の堆積プロセスとを用いてこれらのバリア層を形成できる。薄いウェハ上ではもっとステップが必要であるが、これらの代替の手法は、電気めっきされるプロセスフロー内のシード層エッチングによるか、または堆積されるメタルプロセスフロー内のリフトオフプロセスによるかの何れかで、経路変更層、ウェハの背面上のシールドまたは接地面、を画成することもできるという利点を有する。次いで、保護層をドーターウェハの前面から除去する（図１１９）。

【０２２９】

代替として、保護層か、またはキャリアウェハをドーターウェハへ付与する接着剤、のどちらかとして形成される材料が、タック－融合プロセスの温度に耐えることができる場合、本ステップは、融合プロセスが完了する後まで延長することができる。これにより、タックプロセス中の個々のダイを、割れさせたりチップを損傷させたりせずに取り扱うことを可能にしたままで、ドーターウェハを著しく薄くすることができる。この態様では、ドーターチップは、上向きの回路面を有するのが典型的であり（すなわち、マザーチップから離れた方）、展性材料はマザーチップ上にある。言うまでもなく、マザー／ドーターの約束事が無原則にすぎないことを念頭におくと、逆も真であり、または特定のウェルの取り付け、もしくは他の変形形態の場合には、展性材料は、バイア自体の中にあるか、または後で追加してもよい。

【０２３０】

別の代替の変形形態では、例えば、バイアが上面の第３チップをスタックするよう形成されるのではなく、下向きでない上向きの回路とチップとをハイブリッド化させるためにバイアが形成される場合や、例えば、光デバイスがドーターウェハ上にあり、上部のキャリアウェハに組み込みのマイクロレンズや他のパッシブ素子がある場合、またはドーター

およびマザーウェハがＲＦデバイスで、二つの電子回路が互いに隣接しているのが好ましくない場合、このステップを全体的に省略して、保護層を恒久的に残すことができよう。繰り返しになるが、これには、典型的には、展性材料を上に有するマザーチップが必要である。

【０２３１】

この時点で、マザーおよびドーターウェハ上の、上記説明の接点を互いに組み合わせ、それぞれのチップを結合することが可能となっていると仮定する。結合プロセスを以下のように進行させる。

【０２３２】

最初に、ドーターウェハを裏返しにし、マザーおよびドーターウェハ上の結合する接点を、それぞれ互いにアライメントさせる（図１２０）。アライメントステップを用いてマザーおよびドーターウェハをアライメントさせる。このアライメントは、パッドサイズについての±の許容差ですべきである。特別に大きな展性接点では、アライメント許容差は幾らか大きくできる。一般に、アライメントは、剛性接点の上部全体がどこかの点で展性接点に確実に当たるように行われる。例示にすぎないが、展性接点が面上で正方形の１５μｍ幅であり、剛性接点の上部が面上で正方形の５μｍ幅であったとすると、完全に中心が合っていれば剛性接点の縁は展性接点の縁から５μｍとなるはずであり、アライメントの精度は±５μｍとなろう。

【０２３３】

次いで、接点は圧力を加えられて接合され、ポスト－ペネトレーション接続を形成する（図１２１）。

【０２３４】

スタック化の本手法の主な利点の一つは、剛性材料が展性材料内へ入り込むことである。これにより、二つの接点間の表面領域が、個々の接点自体のサイズより大きくなるので、２枚のウェハ間で強い結合が起きる。更に、二つの部分を引き離すのに必要な欠陥の種類が、ポストの水平面の層間剥離およびポストの縦側面の剪断欠陥をともに必要とするので、この結合は更に強くなる。注意すべきは、後者は、起きる可能性がずっと少ない欠陥の形式なので、全体の欠陥リスクは、どちらか単独の場合よりずっと少なくなる。

【０２３５】

実際には、突起量も重要である。典型的には少なくとも１／２μｍが望ましい。実装によっては、もっと少ない突起でも機能するが、突起のレベルが低いと強度がかなり低下する。実際には、本発明者らが決めているのは、全高８μｍの展性材料では剛性材料が展性材料内に２～３μｍ延びるのが典型的であり、１０μｍの展性材料では剛性材料が展性材料内に５μｍ延びるのが典型的、ということである。一般的な経験則（Ｒｕｌｅ　ｏｆ　ｔｈｕｍｂ）」では、展性接点の厚さの１０％以上ペネトレーションさせるが、展性接点全体の９０％未満にペネトレーションを抑える。

【０２３６】

もう一つの主な利点は、ポストのペネトレーションにより、接点ピッチに対するドーターおよびマザーチップの著しい非平面性を許容できる、ということにある。例えば、２０μｍピッチで１２μｍ幅の接点では、展性材料の高さは、かなり高く、例えば、高さがピッチと一致する点まで高くなることがある。同様に、接点から接点までの平面度の偏差が、展性接点の厚さと同じ範囲をもつことがある。例えば、ポストが高さ５μｍで、展性材料が高さ８μｍの場合、接点から接点までの平面度の差は８μｍほどの大きさになることがある。この場合、ポストの幾つかは、展性材料の全体までペネトレーションし、幾つかはペネトレーションが少なくなるであろう。

【０２３７】

プロセスフローに戻ると、剛性接点の展性接点内へのペネトレーションに続いて、またはそれと同時に、タック－融合プロセスのタック段階を実行することができる。図１２１に示すように、二つが同時に起きる。プロセスのタック段階の間、２枚のウェハ間の電気接続が行われる。利点としては、チップを相互に保持するのに中間のエポキシまたは物質

が不要なことであり、または電気接続間のバリアとして機能できることである。

【０２３８】

オプションでは、タック段階の前に、２つのチップ間にアンダーフィルを挿入して、例えば、再加工する可能性がプロセスの一部になく、アンダーフィル材料が、タック－融合プロセスで用いられる温度により悪影響を受けない場合、両者の間のボイドを充填することができる。

【０２３９】

この時点で、マザーおよびドーターウェハが結合され、検査することができる（一方が欠陥の場合には置き換える）。

【０２４０】

両者間の恒久的な接続が望ましいと決定されると、タック－融合プロセスの融合段階を実行して（図１２２）結合対（例えば、ハイブリッド化ユニット）１２２０２、１２２０４を形成する。融合プロセスの間に、マザー拡散／キャップ、ドーター酸化キャップ、およびドーター展性材料は全て、相互拡散して接点全体の最終的なコンポーネントを形成する。

【０２４１】

融合プロセスの前にアンダーフィルをチップ間に挿入することを前に行わなかった場合は、オプションでで き、または温度が関係しない場合は、アンダーフィル挿入を融合プロセスに続ける。アンダーフィルを用いる利点は、二つのチップ間に空気が捉えられる可能性、およびその後の温度サイクルによるチップまたは接続の損傷の可能性を（タック－融合プロセスは気密封止を形成するため）、アンダーフィルが低下させることにある。

【０２４２】

タックプロセスでマザーウェハに装着すると（すなわち、ダイ対ウェハプロセスで、既知の不良マザーダイの部位には装着しないで、マザーウェハ全体にそれぞれを良好に配置するために、アライメント－タックプロセスを繰り返し、ウェハ対ウェハプロセスで、２枚のウェハを全体に互いにタックし、オプションの検査を実行する場合、不良チップの場所を後で除去するためにマーキングする）、マザーウェハ全体を融合プロセスに通し、ドーターチップの全てを恒久的に付与する。これはタック段階よりずっと高い温度で行うことができる。更に、プロセスがウェハ単位で同時に行われるので、それぞれのチップに対して処理時間は同一となり、プロセスは、それぞれの個々のチップ全体にかなり均質な接続を生み出す。

【０２４３】

融合段階の温度は、典型的には、例えば３２０℃から４００℃であり、関係する特定の材料に依存する。

【０２４４】

融合プロセスからタックプロセスを分離することにより、個々の部品毎に加熱または冷却する必要がないので、タックを実行する設備の速度が低下しないという利点がある。ウェハレベルでこれを制御された方法で実行することにより、全ての接点は非常に類似した最終コンポーネントを有することになる。

【０２４５】

タック段階、融合段階、またはその両方の間に、不活性または還元環境を用いて、材料の表面の酸化物を最小化または除去するのを支援でき、各ステップでの必要な温度または圧力を低下させるのを支援する。典型的には、これらは、窒素、アルゴン、他の不活性ガスのようなガス、またはフォーミングガスもしくは蟻酸といった還元ガス、もしくは水素か何らかの他の還元ガスを有する他の環境とする。

【０２４６】

上記したように、本プロセスは、第３チップがこの新規形成ユニットへ結合されるべきなので、未完成である。マザーおよびドーターチップの結合と同様に、ユニットを別のチップに結合できる。従って、図１２３に示すように、第２ドーターウェハを、ユニット１２２０２、１２２０４上の適切な接点へ持ってきて、接点をアライメントさせる。

【０２４７】
前の処理ステップのために、第１ドーターチップの上部のバイアの露出面は、元の剛性接点の上部と同一のコンポーネントを有するのが、利点である。従って、後続の「ドーター」ウェハに対して、ハイブリッド化は、最初の二つのウェハに対して行ったのと同じ方法で行われる（すなわち、アライメント、ペネトレーション、タック（オプションで検査）および融合。展性材料は、それぞれのバリア層と、展性材料内にペネトレーションするバイア上のポストとの間で、固定される）。従って、プロセスの重要な利点は、バイアおよびベースのハイブリッド化が、従来のスタックされる、一方が見付けるかもしれないチップ対を超える、繰り返しスタックを容易にする同一の材料系および同一のプロセスフローで動作するようセットアップされる、ということである。

【０２４８】
結果として、マザーウェハは、一セットのチップを、次いで、別のセット（ドーターウェハ２）、更に、別のセット等と装着することができ、タック、融合、タック、融合手法か、または場合によっては、タック、タック、タック、融合の全ての手法の何れかを用いて、必要に応じて各層毎に同じようにプロセスを実行する。

【０２４９】
従って、第２ドーターウェハ上で、第２タック段階を実行して、それをユニットへ結合し、一旦完成すると、この新しく形成された更に大きなユニットを、オプションで、更に検査でき、第２ドーターチップが不良の場合、取り外し、交換する（図１２４）。

【０２５０】
最終的に、第２ドーターとユニットとの間の恒久的接続が望まれる場合、タック－融合プロセスの融合段階を再度実行して（図１２５）、新規の、更に大きなハイブリッド化ユニット１２５０２、１２５０４を形成する。

【０２５１】
このステップの後、本プロセスを何回も繰り返して、更に多数のチップを、例えば、「ドーターウェハ２」上に、またはそのウェハ上にある他のチップ（不図示）上に、集積することができる。各タックプロセスの間で電気接続を行うので、その直下のチップに対してだけ各チップをアライメントさせる必要があり、それにより、チップ全てを最初にスタックしてから、スルー接続の試みを開始できる他のスタック技法のようなアライメント誤差の蓄積がない、という点で更に利点が生じる。

【０２５２】
更に、必要な程度に、大きくなった組み合わせユニットそれぞれの検査を、段階的な各層の後に実行できる（所望があれば再加工を行うことができる）。繰り返すが、ダイを多数の層でスタックするとしたら、従来技術は、全体に構築したユニットを完了してから、電気検査を行うことが必要であろうから、これは、著しい利点および劇的なコスト節減および歩留り向上を提供する。従って、高価なユニットを生成した後でのみ、従来部分を検査することができ、もし不良－再加工が可能でなかったとしたら、唯一の選択肢は高いコストの全体ユニットをスクラップにすることしかないであろう。更に、従来技術により作製中のユニットを損傷するリスクまたは部品を無駄にするリスクは、例えば、欠陥が第１層のチップ上であった場合、劇的に増加する。

【０２５３】
対照的に、本明細書で説明する本手法の一つを用いて、マルチスタック構成をずっと少ないリスクで生成することができる。繰り返すが、特定のケースに応じて、上記のように、アライメント、タック、融合、アライメント、タック、融合のシーケンスとして、必要に応じて何回も本手法を実行することができる。タックプロセスが十分高い強度を有する状況下では、例えば、≧５００接点では、本プロセスは、代替として、必要に応じて何回ものアライメント、タック、アライメント、タックとして実行でき、全てのチップを縦にスタックした（そして、オプションを用いた場合に良性と検査した）後にだけ、融合を実行できる筈である。異なる数のチップを異なる配置でスタックする場合、この第２の手法を、更に効果的に用いることができる。

【０２５４】
この時点で、ポスト－ペネトレーション接続およびタック－融合プロセスの使用により、以前に形成した相互ユニット接続に悪影響を与えることなく、後続の、第２ドーターウェハ（および後続のウェハ）をユニットへ結合する処理を実行できることに、注意することが有用である。実際、本発明者らの驚くべき発見によれば、タック、融合、タック、融合手法（薄くする処理の介在の有無にかかわらず）を用いることにより、連続的な融合ステップは、実際に以前の接続の抵抗値を低下させる。これは、一般的な考え方では、後続の融合が以前に形成した接続を弱くし、劣化させがちであることを示す傾向があるので、特筆すべきことである（これは、以下に説明する「ウェル」接続では、特に真実であった）。

【０２５５】
図１２６～図１３９は、冗長を避けるために、図１０３の経路変更したドーターウェハおよび対応するマザーウェハで開始する更なる変形形態を、簡略化した形で示す。但し、本実施例では、図７７～図１０４に簡略化した形で示すようにドーターウェハを処理するが、以前の実施例におけるように、上部に第２ドーターウェハのスタックを容易にするためのポスト生成を含む。

【０２５６】
図１０４のウェハで、本プロセスは、ウェハドーターウェハ上の経路変更のための領域をフォトリソグラフィで画成することにより、開始する（図１２６）。次いで、バリア層を形成してドーターウェハ上の接点を経路変更し、シード層をマザーウェハへ塗布する（図１２７）。次いで、フォトリソを剥がし（図１２８）、新規のフォトリソグラフィのパターン化を用いて、元の接点の上の領域以外の全てを保護する（図１２９）。次に、接点をメタライズし（図１３０）、ドーターウェハにＳｎの不連続層および金のキャップにより上部を覆った金－すず（Ａｕ／Ｓｎ）合金を付け、マザーウェハ接点に銅をめっきする。再度、フォトリソを剥がし（図１３１）、不要なシード層をエッチングで除去する（図１３２）。最終的に、Ｎｉ／Ａｕのキャップを無電解めっきによりマザーウェハ接点へ膜形成する（図１３３）。

【０２５７】
次いで、ウェハを互いにアライメントする（図１３４）。その後、接点を接合してポスト－ペネトレーション接続を形成し、タック、オプションの検査、および可能であれば融合プロセスを実行して、組み合わせてハイブリッド化したユニットを生成することができる（本明細書の別のところで説明し、図示しているので、冗長を避けてここでは図示しない）。

【０２５８】
本実施例は、このドーターウェハの上面に第２のドーターウェハを追加することにも関わっているので、本プロセスを以下のように進行させる。最初に、組み合わされるユニットのドーターウェハの背面を薄くして、以前に形成した背面の接点を露出する（図１３５）。次いで、基板をエッチングして、基板表面の上のポストを立ち上げる（図１３６）。

【０２５９】
これには、他のステップであるポストハイブリッド化、すなわち、薄くする処理に関わるステップが追加されるが、特定の用途に対してこれで十分な場合は、本プロセスをここで終了させることができる。そうすることの利点は、更に作業を必要とし、歩留り損失のリスクの大きな原因となるリソグラフィのパターン化、または材料堆積がそれ以上ない、ということにある。代替として、別の素子へ結合する時間差、材料、または他の要因が、酸化を問題とするような場合、キャップを追加することができる（すなわち、追加処理が必要である）。

【０２６０】
図１３７は、図１３５および図１３６に示すステップが完了した後の、例示の接点の写真である。図１３７には、ポスト１３７０２、バリア１３７０４および基板１３７０６が明瞭に見える。

【０２６１】
酸化が問題になることがあるということを想定して、キャップをポストの隆起した部分へ膜形成し（図１３８）、背面接点形成プロセスを完了させる。
【０２６２】
第１ドーターウェハと同様に、次のドーターウェハをこの背面接点の上に、二つの間のポスト－ペネトレーション接続を形成できる位置で、タックプロセスとともに、またはタックプロセスがその後に続いたりするが、アライメントさせる（図１３９）。
【０２６３】
一般に、バリアとして用いるのに適した材料が無数にある。そのような材料には、限定はしないが、Ｎｉ、Ｃｒ、Ｔｉ／Ｐｔ、Ｔｉ／Ｐｄ／Ｐｔ、Ｔｉ／Ｐｔ／Ａｕ、Ｔｉ／Ｐｄ、Ｔｉ／Ｐｄ／Ａｕ、Ｔｉ／Ｐｄ／Ｐｔ／Ａｕ、ＴｉＷ、Ｔａ、ＴａＮ、Ｔｉ、ＴａＷ、およびWが含まれる。
【０２６４】
シード層に適した材料には、限定はしないが、Ｎｉ、Ｃｕ、Ａｌ、Ａｕ、Ｗ、Ｐｄ、およびＰｔが含まれる。
【０２６５】
代替に適した材料には、限定はしないが、Ｔａ／Ｃｕ、ＴａＮ／Ｃｕ、Ｎｉ／Ａｕ、Ｎｉ／Ｃｕ、Ｔｉ／Ｐｄ／Ａｕ、Ｔｉ／Ｐｄ／Ｃｕ、クロム、平面状に配することができる導電エポキシ（例えば、蒸着または噴霧による）、またはこれらの組み合わせが含まれる。
【０２６６】
但し、注意すべきは、チップまたはチップ対の上のバリアを全て、全く同一材料にする必要はない。
【０２６７】
一般に、バリアを用いる場合、材料は以下の特性を有するべきである：
【０２６８】
ｉ）特定のパッド材料と互換性を有すること（典型的なパッドは、アルミ、銅、および金である）；
【０２６９】
ｉｉ）ウェハに小さなＩＣパッド（＜１５μｍ）と大きなパッド（＞５０μｍ）が共存している場合、両方に対して良好な歩留りで、そのウェハ上に配置できるように選択すること；および、
【０２７０】
ｉｉｉ）アンダーバンプメタルを剛性材料としても用いるか、またはスタンドオフとして作用させる場合、上記を満たし、数μｍ（＞３μｍ）の高さとなるようにすること。
【０２７１】
更に、バリア材料は、チップのＩＣパッドおよび上部カバーガラス／保護層の両方の上面の堆積物と、互換性があることが望ましい。
【０２７２】
バリアの使用は、以下の利点の内の一つ以上を提供できる：
【０２７３】
ｉ）ハイブリッド化に対して、バリア使用は、高い歩留りを可能とし、接点の信頼性を高める；
【０２７４】
ｉｉ）チップ上のパッドおよび上部カバーガラス／保護層の上面にともに堆積する場合、バリア層は、後で以下として用いることができる：
【０２７５】
１）信号経路変更材料、
【０２７６】
２）二つのチップ間のクロストークを防ぐための、チップ間の電気シールド、および／

または、

【０２７７】

３）電気めっきにより実行できる何れかの後続のステップのためのシード層（例えば、剛性ポストの形成および展性材料の膜形成）；

【０２７８】

ｉｉｉ）バリアが酸化を防ぎまたは遅らせるためのキャップとして作用するので、ドーター材料の保管寿命を長くする；

【０２７９】

ｉｖ）バリアを、経路変更またはシールドとして作用するよう予めパターン化することができる；

【０２８０】

上記の代替材料は、以下の理由により、実装によっては特定の利点を提供できる：

【０２８１】

ｉ）ＴａおよびＴａＮのバリア能力は、ＴｉＷのそれより優れていると考えられる、

【０２８２】

ｉｉ）ニッケルベースのプロセスにより、ＵＢＭおよび後続の剛性材料は、全く同一になるので、プロセスを簡略化できる、

【０２８３】

ｉｉｉ）露出された銅を残さない代替法は保管寿命が長いので、特定の生産プロセスと高い互換性をもつことができる、

【０２８４】

ｉｖ）後続の電気めっきステップが不要な場合（例えば、ドーターウェハ上に剛性部材またはスタンドオフ部材を堆積するため）、これらの材料の何れかを、パッドおよび経路変更またはシールド領域の上だけパターン化することができるので、これらの領域を画成する後続のシードおよびエッチングのステップを実行する必要がなくなる。

【０２８５】

バリア層の使用に関係して、多くの変形形態で重要なことは、以下を確保することである。すなわち、１）相互作用を前提とする適切なメタルがきちんと相互作用すること、２）これら同一メタルは、相互作用後の最終組成が正しくなるように相互作用すること、３）スタック内で用いる他のメタル（すなわち、剛性があって、孤立した）が、メタルを汚染しないように相互作用すること、そして４）バリアは、プロセスのタック部に対する、パッケージのはんだ条件（例えば、適切な温度でのＰｂ／Ｓｎ、または約２４０℃近くから約２７０℃で働く幾つかの鉛フリーはんだ）と、典型的には約３００℃から約３５０℃の間とすることができるプロセスの融合部に対する温度との両方の温度まで、およびそれを超える温度での、多数回の高温サイクルに耐えること。バリアは、より良好な結合完全性のために分離されるべきメタルの相互混合を防ぐことによって、付与材料の完全性を維持する。

【０２８６】

これを、タック段階直前のドーターウェハ接点１４００２およびマザーウェハ接点１４００４を示す図１４０を参照して実施例により示す。図示のように、ドーターウェハ接点のバリア層１４００６はＴｉ／Ｐｄ／Ａｕであり、マザーウェハ接点のバリア層１４００８はＮｉである。マザーウェハ上の「剛性」材料１４０１０は銅であり、ドーターウェハ上の展性材料１４０１２はＡｕ／Ｓｎである。更に、それぞれの上のキャップ１４０１４，１４０１６は金でできており、両面上のそれぞれの材料の酸化を防げるとともに、最初に接触する二つのメタルが同一材料でできているので、最初のタックプロセスを簡単に行える、という二つの目的を果たす。注意すべきは、ほとんどの変形形態では実際に、キャップ１４０１４、１４０１６層は、他の材料を完全に取り囲むが、説明を簡単にするために、上面に図示するにとどめる。図１４１は、融合プロセス完了後の、同じ接点を簡略化して示す。メタルの最終的な結合が達成されると、二つの金キャップ層は、Ａｕ／Ｓｎ層と混じり合ってしまってＡｕ／Ｓｎ合金１４１０２を形成する、一方、ニッケルおよびＴ

ｉ／Ｐｄ／Ａｕは、Ａｕ／Ｓｎが、銅およびＴｉ／Ｐｄ／Ａｕの上面上のパッドのそれぞれと混じり合うのを防ぐバリアとして作用する。従って、融合したＡｕ／Ｓｎ１４１０２は、これら二つのバリア層１４００６と１４００８との間に「トラップ」されるので、後続する幾つもの高温ステップに曝されても、Ａｕ／Ｓｎの組成を一定かつ均質に保つ。

【０２８７】

対照的に、例えば、ニッケルバリア層１４００８がなかったとすると、Ａｕ／Ｓｎ１４１０２は、非常に厚い銅層１４０１０（本実施例の実際の実装では、Ａｕ／Ｓｎの厚さの６０％を超えることになろう）と直接接触することになる。その結果、温度が加わっていると、Ｓｎは銅中に拡散し、得られる合金の特性は劇的に変化し始めることになる。例えば、銅の、融点は１０８４℃である。Ｓｎが銅中へ最初に拡散すると、剛性ポストの上部は、ずっと低い融点のＳｎリッチな混合体となる（例えば、９７％Ｓｎ３％Ｃｕの混合体の融点は約２３０℃である）。Ｓｎが銅中へ更に拡散すると、Ａｕ／Ｓｎより低い融点を有することなり、銅ポストは、タック－融合プロセスで剛性部材ではなくなる。同じく重要なことは、銅１４０１０は、Ａｕ／Ｓｎ１４１０２からＳｎを滲出させ、Ａｕ／Ｓｎの、展性をもつようになる温度が上昇する。従って、次第に柔軟性を増した剛性部材は、硬度が次第に高まる展性部材中へ入り込もうとする。これは、接点強度（ｃｏｎｔｒａｃｔ　ｓｔｒｅｎｇｔｈ）、一様性、および最終的に、使用できる接点間密度（ｄｅｎｓｉｔｙ　ｏｆ　ｃｏｎｔａｃｔ　ｓｐａｃｉｎｇ）に影響を与える。更に、その影響は時間とともに蓄積していく。融合プロセスを行う間の時間の長さに応じて、接点の組成および性能が著しく変化することになる。これは、接点が融合サイクルを何回も受ける場合、例えば、チップを多段で縦にスタックした場合にも当てはまる。スタックの底のチップは、後でスタックに融合されるチップとは、大きく異なり、かつ振る舞いが一定ではない。バリアメタルを用いてＡｕ／Ｓｎの大部分を閉じ込めるので、何回もの融合プロセスを通じて、同一の組成および同一特性を維持できる。注意すべきは、バリアがあっても何らかの相互拡散が、例えばＡｕ／ＳｎとＮｉとの間で起きることがあるが、この拡散の速度は、Ｃｕの場合よりはるかに遅いので、かなり大規模な数のスタックチップまで、例えば最高１００個以下までは無視できる。従って、どんな材料を特定の実装に用いても、バリアにより、典型的には、最終的に結合する合金の構成成分として、悪影響を与える相互拡散を回避または最小化すべきである。

【０２８８】

一般的なポスト－ペネトレーション手法では、係合する二つの接点は、大部分が平面であるとして示しているが、これは、全ての用途に対する必要条件でもなく、必ずしも望ましい構成ということでもない。二点間電気接点の品質（またはその欠如）は、接続の抵抗値に直接影響を与え、低品質の接続は歩留りを低下させるので、低品質の接続を最小化することが望まれる。生成される高抵抗の接続のリスクは、ポスト－ペネトレーション手法により容易に低減（どの接点の「投影面積」も増加させずに）できるので、歩留りを向上させる利点がある。本手法は、展性接点またはペネトレーションする接点上のパターンまたはプロファイルを生成することにより、ペネトレーションを改良するステップおよび接点表面積を増加させるステップを含む。

【０２８９】

展性接点を剛性接点より相対的に大きくした場合、展性接点がＩＣ接点パッドの直上にあれば、展性接点を、ほとんど自動的にプロファイル化することができる。展性接点が上に構築されるＩＣパッド用開口部より広い領域内に展性接点用メタルをパターン化することにより、自然なくぼみが、ＩＣパッド上のカバーガラスとＩＣパッド自体との間の相対的な高さの差に起因して、接点中心近傍に形成される。図１４２は、そのようなプロファイル化された展性接点１４２０２を示す。図示のように、展性接点１４２０２は、ＩＣ接点パッド１４２０４よりも幅広に形成されている。その結果、接点パッド１４２０４に比べて高くなっているカバーガラス１４２０６は、自然に展性接点１４２０２のくぼみ１４２０８を起こす。この自然なくぼみ１４２０８は、それぞれの自然な形状により、更に良好に剛性接点１４２１０を受け容れるとともに、剛性接点１４２１０が有意なほどにくぼ

みの大きさに近い場合、アライメントを支援さえするように、展性接点１４２０２を適合させる。

【０２９０】

剛性接点をプロファイル化することにより、最初の接点面積は減少するので、ペネトレーションを向上させる接点単位面積あたりの印加する力が効果的に増加する一方、深さ方向のプロファイルの壁により得られる表面積の増加により、電気的兼機械的接点の十分な領域が確保される。

【０２９１】

説明のために、可能性のある無数のマザー接点プロファイルの内の幾つかの、非限定の説明用実施例を、円形、６角形、十字および正方形の接点パッドについて図１４３－１Ａ）～図１４３－１Ｈ）および図１４３－３Ｗ）に、上部に立方体をもつピラミッド基部の逆載頭部（図１４３－２Ｋ）、図１４３－２Ｌ））、逆載頭型ピラミッド基部だけ（図１４３－２Ｍ）、図１４３－２Ｎ））、またはウェル内ポスト（図１４３－２Ｏ）、図１４３－２Ｐ））のような、複雑な形状の接点パッドについて図１４３－１Ｉ）～図１４３－２Ｐ）に、平面図およびＡ－Ａ断面で示し、そして図１４３－２Ｑ）～図１４３－３Ｖ）に側面図だけで示す例示の形状を示す。言うまでもなく、上記説明の２または３導電体の変形形態で、または形状および立体幾何学形状部分の、他の単純なまたは複雑な任意の組み合わせで用いるために、リング状、またはピラミッド状もしくは何らかの三次元形状の「段」のスタックで作製された接点パッドに類似の手法を用いることができる。

【０２９２】

他の代替法では、図１４３－３Ｖ）に示すような、接点基部の「翼」を用いることができ、接点のために追加された横の領域を提供するだけで表面積が増加する。

【０２９３】

更に、非対称または延在する接点の使用が望ましいことがある（すなわち、図１４３－３Ｘ）に示すように、特定方向の歪みを吸収するために、異なる方向で幅を変化させる）。代替としてまたは付加的に、そのような非対称なまたは細長い接点のグループを、応力がゼロの点の周囲に対称となるように、但しその結果、図１４３－３Ｙ）に示すような幾つかの方向の内のどれかの方向変化を許容するように、互いに用いることができる。従って、観点によっては、図１４３－３Ｙ）の構成は、図１４３－３Ｔ）の接点の更に洗練された変形である。

【０２９４】

更に、接点プロファイルは、展性材料が「掴む」領域を提供するので、接点に強度を追加することになる図１４３－１Ｊ）、図１４３－２Ｌ）、図１４３－２Ｎ）、図１４３－２Ｑ）、図１４３－２Ｒ）、図１４３－２Ｓ）および図１４３－３Ｕ）に示すようなアンダーカットを含むことができる。同様に、ポストをパターン化して、幅広く対面する表面積または全体表面積を持たせて、不完全な接点でも確実に十分な面積の接点とすることができる。更に、図１４３－３Ｔ）に示すように、所与の接点を、それ自体、マルチ接点で作製することができ、個々の部分は電気的に独立している。代替として、幾つかまたは全てを互いに電気接続することができる。この変形形態は、剪断強さを上げるための一層広い表面積と、サブ接点の一つ以上がアライメントしていない場合に、全体接続を依然として作製でき、要求電流を流すのに十分な接点面積を持つようにする冗長効果との両方を提供する。

【０２９５】

更に、注意すべきは、接点パッドの特定形状、または使用するプロファイルの形状もしくは構成は、本質的に重要ではない。重要な態様は、使用する特定の接点またはプロファイル形状に対してではなく特定用途に対して、工学的要件に従うように結合する適切な形状を提供しつつ、利用可能な接点表面積を増大させるよう何らかのプロファイルを用いることである。その工学的要件とは、接点に対する合計電流要件を、接点の最小許容量により扱えること、そしてプロファイルを用いない場合に生じる不良接続の可能性と比較して、使用する特定プロファイルが、所望の目的を達成するのにおそらく十分な量だけ表面積

を増大させることである。更に、剛性／マザー接点に関連させて検討したが、同じようにプロファイル化される展性／ドーター接点を使用することができる。しかし、その場合の、接点構成は、マザーウェハ上の剛性ウェル構成を含むのが典型的である。

【０２９６】

図１４４は、隅を丸め、僅かに皿状の、つまり上部がくぼんだピラミッド形状を持つ、代替実施例のプロファイル化した展性接点の写真である。

【０２９７】

図１４５は、図１４４の展性接点にペネトレーションするよう設計されたプロファイル化剛性接点の写真である。

【０２９８】

上記を、図４７と類似する一対のチップ１４６００、１４６０２の各部分を示す図１４６Ａ）および図１４６Ｂ）を参照して簡単に説明する。しかし、図４７のチップと異なり、一方のチップ１４６０２は、図４１のプロファイル化していない剛性接点と対照的な、プロファイル化した剛性接点１４６０４を有する。他方のチップ１４６００は、図４７に示す展性接点と類似の展性接点１４６０６を有する。図１４６Ｂ）に示すように、二つの接点１４６０４、１４６０６が接合されると、ポスト－ペネトレーション嵌合が形成される。しかし、図４７の接点と違って、ここでは、プロファイル化した接点１４６０４の個々のミニポストそれぞれが、展性接点１４６０６にペネトレーションし、それにより、同一圧力量を用いて、展性接点１４６０６へ結合される同一「投影面積」の非プロファイル化接点に利用可能な広さよりも、更に大きな広さの拡散接続のための面対面の接点面積を提供する。更に、プロファイル化した接点の幾つかの実装は、不完全な接続と関係付けられるリスクを最小化する利点を提供する。この独立した態様も図１４６Ｂ）に示すが、二つの接点１４６０４、１４６０６間の接続が理想に満たないという事実にもかかわらず（すなわち、剛性接点１４６０４の谷１４６１０近傍に間隙１４６０８が存在する）、剛性接点１４６０４上のプロファイル側面１４６１０が提供する追加の接点面積は、接続が容認できることを意味する。

【０２９９】

説明のために別の方法で表すと、剛性接点１４６０４がもしプロファイルされなかったならば、その接点面積は、接点の合計電流要件を満たすことができる最小接点面積に等しくなったであろうと仮定する。その場合に、接点の何れかの部分が良好な接続を生じなければ、接続が容認されない可能性があり、使用中の予断を許さない欠陥または完全な使用不能を生じることになる。対照的に、本実施例では、図１４６の剛性接点がプロファイル化される。図１４６Ａ）および図１４６Ｂ）に示すように、プロファイルが、少なくとも２倍（容易に達成可能なプロファイル）だけ接点表面積を増やすと仮定すると、全表面積の半分だけが良好な接続を生成した場合でも、接続は依然として最小合計電流要件を満たすことができる。従って、図１４６Ｂ）で拡大して示すように、接点が作製されていない領域があるものの、これらの領域は、良好な接続に必要とされる必要接点面積の１／４よりずっと少ないので、接点の使用は、依然として容認できる。

【０３００】

代替として、プロファイル化接点を、単一の全体接続を生成するための一つ以上のより大きな展性接点と併せて、多数の小さな剛性接点を用いることにより生成できる。例えば、個々の接点対それぞれが、多数の剛性接点および単一（または多数）の展性接点から作製される、３セットの接点対から作製される電気接続を持つことができる。

【０３０１】

プロファイル化の考え方の更なる変形形態は、特定の実装に応じて、アライメントを支援または改良し、展性材料を拘束し、または良好な接続の形成を助けるように設計される「ウェル」の生成を含む。以下の図と関連させて図示し説明するように、これらのウェル取り付けの変形形態は、更に、長所および利点を特定の実装にもたらす。

【０３０２】

図１４７～図１５２は、マザーおよびドーターウェハの接点対のための、ウェル取り付

けの考え方を実施するための一変形形態のプロセスを示す（図１４７）。この変形形態では、ドーターウェハのカバーガラス開口部がテンプレートとして用いられ、例えば、ポリイミド、ＳＵ８、他のエポキシ、ガラス、および／または誘電体（図１４８ａ））を用いて、恒久的なウェル内に作製される。マザーウェハ上では類似の手法を用いる。但し、ウェルは、カバーガラスが境界を成す全体領域を取り囲まない（図１４８ｂ））。次いで、展性材料および（オプションの）展性カバー材料を、ウェルをその深さ全体まで充填しないよう注意して、ドーターウェハのウェルに挿入する（図１４９ａ））。同様に、剛性材料をマザーウェハのパッド面から堆積させる（図１４９ｂ））。次いで、マザーウェハ上のウェルを除去する（図１５０）が、ドーターウェハ上のウェルはその位置に保つ。

【０３０３】

結果として、ドーターウェハのウェルは、結合プロセスのタック段階（図１５１）中および融合段階（図１５２）中はもとより、ペネトレーションプロセス中、ボンディング材料（例えば、カバーおよび展性材料）を拘束する。それは、ウェルが、他のウェハまたはその上の何らかの面に当たってから、何か他のことを実行するような高さを有するので、深さ制限も定めることができる（図１５２）。

【０３０４】

本手法を通じて、利点があるのは、このウェルにより、カバーもしくはキャップ材料および／または展性材料自体が普通に拡がるように、真の融点に至るも、または少なくとも十分に柔軟になる温度まで、半液相である材料でできていることを可能にする。これは、接点が互いに近傍に配置され、溶融中に典型的に起きる撓みが、表面積を低下させようと材料を横に膨らませる状況では有用である。ウェルのない接点のエッジ間の間隔が、展性材料の高さの約３倍以下である接点では、それを使用するための事前集積プランが望ましい（例えば、展性材料の高さが８μｍで、接点のエッジ間の間隔が約２５μｍ以下の場合、この手法を考慮すべきである）。

【０３０５】

更に、それらの溶融温度に近すぎる場合、材料によっては、広がるのではなく、ウェハ表面を「濡らす」ことがあり、それらが表面に沿ってクリープすることがある。展性接点の場合、対策をとらないでいると、そのクリープ作用が、隣接する接点間を電気短絡させることがある。これらの材料をウェルに閉じ込めることにより、濡れているクリープはいずれも表面張力により反作用を受けて、ウェルに材料を閉じ込める。すなわち、隣接する接点が短絡するのを防ぐ。

【０３０６】

ウェルは、実装によっては、例えば組み合わせた接点を溶融させることがあるポスト結合プロセスを実行する場合、重大な問題を起こすこともある。例えば、作製されることになる剛性－展性接点にとって適切な温度で接点が作製された後、その組み合わされたチップをパッケージ中にはんだ付けする必要があるが、はんだステップでの要求温度が、融合段階の完了時にそのステップが存在した時の接点の溶融温度より高いとしても、溶融材料はウェルに封入されるので、このプロセスの間、その接点はそのままに保たれて、冷却すると再び付着するはずである。

【０３０７】

更に、このウェル手法は、従来のマスク印刷やはんだ技法ではない半導体リソグラフィ技法を用いてウェルをパターン化するので、多数の高密度に詰め込んだ接続の作製に十分適している。代替の変形形態では、上記説明のウェルプロセスの「逆」を用いることができる。これらの変形形態では、本プロセスは、ウェルが展性金属で充填されないように実行される。これらの変形形態は、図１５３～図１５６にそれぞれ説明する４つのクラスの一つに該当する。

【０３０８】

クラスＩ（図１５３）：ウェル接続のこのクラスでは、ドーターウェハは展性材料を含み、マザーウェハは剛性ウェル（半導体ウェハ内でエッチングされるとして示す）を有する。ウェルは拡散層メタル、例えば、Ａｕだけで壁面が被覆される。２枚のウェハを結合

するには、ドーターウェハ上の展性材料をウェルの内側に変形するように挿入し、嵌合させる。タック段階中に温度および圧力を追加して、展性材料および拡散層にタック接続を形成させる。融合段階の間、ドーターウェハの展性材料とマザーウェハの拡散層とが相互拡散してメタル結合を形成する。特定の実装に応じて、展性材料は、タック段階中の２枚のウェハの嵌合を強くするために、ウェルより僅かに大きくしてもよく、またはもっと容積のある材料を少なくとも含むことができ、融合段階完了後にボイドがないようにすることができる。注意すべきは、このクラスはマザー／ドーターの慣行に反することである。

【０３０９】

クラスＩＩ（図１５４）：このクラスはクラスＩに類似するが、ウェルまたは展性「ポスト」を、自動的またはもっと容易に、両者間でアライメントさせるための形状に形成している。注意すべきは、このクラスもマザー／ドーターの慣行に反するということである。

【０３１０】

クラスＩＩＩ（図１５５）：このクラスでは、ポストは「剛性」材料であり、ウェルは、ある特定の厚さまで展性材料で被覆される。これは、上記説明の基本的なプロファイル化展性接点手法と同様である。但し、展性材料は、カバーガラスとＩＣパッドとの間の高さの差から自然に得られるにすぎない窪みより、もっと目立って窪むプロファイルを有する。繰り返すが、集積した（すなわち、タック－融合プロセスの完了）後にボイドがないように、ポストおよびウェルの寸法を選択することが望ましい。

【０３１１】

クラスＩＶ（図１５６）：このクラスでは、ウェルは拡散層で被覆される（クラスＩおよびＩＩと同様に）ポストは剛性材料で作製されるが、同様に展性材料の層で外側が被覆される。これは、クラスＩおよびＩＩと同一の状況を作り出す。但し、剛性材料の材料コストが展性材料のコストより低い場合、例えば、剛性材料がほとんど銅であり、展性材料のほとんどが金である場合、ドーターウェハのコストを下げることができる。

【０３１２】

上記説明の手法を用いて、ウェルは、例えば、誘電体を用いて形成するか、または窪ませる（すなわち、エッチングにより半導体内へ作製する）かして形成できる。更に、ウェルは、バイア形成プロセスの副産物とすることができる。例えば、完全に充填されないバイアの一部とすることもできる。図１５７Ａおよび図１５７Ｂはそれぞれ、一組の、深さ１３５μｍまで延びる直径１５μｍのバイア、および深さ１５５μｍまで延びる直径２５μｍのバイアの長手方向断面の写真である。図１５８は、形成された底部に至るまで、その全てが充填されているわけでない類似のバイアの写真である。結果的に、バイアの底部が露出するまでウェハの背面を薄くすることにより、自然なウェルが形成される。そのままで、このウェルはクラスＩのウェルに用いることができる。代替として、それぞれの口部でフレア部つまりテーパ部をエッチングすることにより、クラスＩＩのウェルを得ることができる。

【０３１３】

図１５９～図１６７は、クラスＩＩ型の剛性ウェル取り付け手法の更なる変形形態を示す。剛性穴のウェルのこの変形は、完全に形成したウェハ、および特に、カバーガラス１５９０４（図１５９）を通して露出するそのウェハのパッド１５９０２の内の一つで開始する。オプションで、最初に、バリア層１６００２をＩＣパッド１５９０２上に堆積させる（図１６０）。次いで、フォトレジストのパターン化により、カバーガラス１５９０４の内の幾つかも含むＩＣパッド１５９０２周囲の領域を露出させる（図１６１）。ウェルは、ＩＣ上のカバーガラスにより形成される凹部中に、メタル蒸着プロセスにより自動的に形成される（図１６２）。これにより、他の剛性ウェル穴のプロセスの幾つかよりも、容易にパターン化できる。フォトレジスト剥離が、完全に形成された剛性ウェルの背後に残っている過剰で不要なメタルを除去する（図１６３）。

【０３１４】

他のクラスＩＩの変形形態と同様に、この変形形態は、マザー／ドーターの慣行に反す

る。なぜなら、図１６３のウェハの相手側を支持するウェハ１６４０２は、先に説明した意味での剛性「ポスト」を持たないが、代わりに展性材料のキャップ１６４０６により、関係部分が被覆されるスタンドオフ１６４０４を有するからである（図１６４）。剛性穴形成自体は、良好な嵌合および十分な表面積により、スタンドオフ（図１６４）上の展性部分のペネトレーションを可能にする。図１６５に示すように、加熱により、展性キャップが濡れて、ポストに付着する。図１６６に示すように、タック段階中、展性キャップは液相または半液相となり、図１６５のボイドを充填する。これは、ボイド中に捉えられたガスが熱サイクル中に膨張および収縮することで、接点の信頼性を低下させる可能性があるので望ましい。展性キャップが、タック段階中または融合段階の開始時にボイドを充填すると、融合段階により、展性キャップが、剛性キャップおよび展性材料とともに拡散することができ、接続が融合した最終接続を形成する（図１６７）。

【０３１５】

図１４４Ｏ、図１４４Ｐまたは図１４６のプロファイル化接点を用いて、更に代替のウェル取り付けの変形形態を形成できる。この変形形態では、万一何かが起きたときに、液相材料が乗り越えるのを防ぐ壁を形成するようにして、剛性材料のパターンによりウェルを形成する。従って、本手法により、剛性－展性の原理の使用、不使用にかかわらず、プロセスの使用が可能になり、非常に高密度の接続が可能になる。なぜなら、適切に設計すると、ウェルはどの液相材料も収容し、または展性材料の横方向の膨らみの行き過ぎを防止するからであり、いずれにせよ、高密度接点で高い歩留りを可能にする。

【０３１６】

図１６８～図１７０は、別々の離れた接点によりチップが互いに取り付けられるウェル取り付け手法の更なる変形形態を示す。この手法は少なくとも以下３種類の状況での適用に利点がある。すなわち、

【０３１７】

１）　材料の結合法に悪影響を与えることがあるので、展性材料上にカバー材料を形成することが望ましくない状況；

【０３１８】

２）　付着を非常に低温（または場合によっては室温で）で行って、プロセスの速度を上げたい状況。例えば、それぞれのウェハが非常に平坦な表面を有する場合に、ファンデルワールスの力で、チップを付与することができ、またはダングリング原子結合で、酸化物、窒化物または他の誘電体のような絶縁体により接続が行われるのを可能にする共有結合を生成できる（これは、部品が温度に達するまでの待ち時間を回避または低減するとともに、温度管理能力を持つ機械が必要でなくなるので資本設備のコストを低減する可能性がある）；および、

【０３１９】

３）　上記したように、液相は、流れつまりクリープを起こすことがあり、従って、実際の接点の潜在的密度を制限するので、主接点を完全に液相に変えることなく、後続の融合プロセスのためにチップを自動求心させるように、付着材料をリフロー（液相に変える）させることが望ましい状況（これにより、離れた取り付け接点が間接的にそのレベルの精度を提供できるので、主接点の高いピッチ（密度）が必要とするアライメント精度を必ずしも持たなくてもよくなり、付着を行うために用いる設備を安価にすることもできる）。

【０３２０】

例示にすぎないが、離れた接点１６８０２、１６８０４は、インジウムのような材料から作製することができ、室温で柔軟なので、部品を互いに押し出す圧力を使用するだけで付与することができる。代替として、高温を加えなくても接着できる何らかの他の低温材料を用いることができ、特別な材料にするかどうかは、全体に悪影響を与えない限り（すなわち、短絡をもたらす等）、概ねささいなことである。例えば、低温はんだ（２５０℃未満）を用いることができる。その液相状態に入ると、表面張力により、二つのチップを互いにアライメントさせることができるので、付着プロセスを、アライメント精度の低い

設備の安価な要素、例えば従来のピックアンドプレイスマシンで行うことができる。更に、非常に平坦な場合、単純な共有結合によりチップを互いにアライメントおよび、保持するようにして、離れた接点を構成できる。

【０３２１】

図１６８～図１７０に示すように、このプロセスでは、最初の付着段階（プレタック段階）中に、デバイスを接続するための別々の接点を用いる。図１７１Ａおよび図１７１Ｂは、図１６８～図１７０にと類似する、代替の離れた接点の変形形態の平面図を示す。これら別々の接点は、電気接点から完全に離す、例えば、個々のチップ（図１７１Ａ）の周辺に、もしくは周辺の廻りに離すことができ、または実際の電気接点間に点在させることができる（図１６８、図１７１Ｂ）。更に、本明細書で説明するような離れた接点は、主接点の全ての変形形態と互換性があり、狭いピッチにする必要がないので、主電気接点より高さ、幅をずっと大きくできるという利点がある。好ましくは、主接点を付着プロセス中に接触させる必要がないように、十分な高さとするのがよい（図１６９）。注意すべきは、この付着または接着プロセスは、高い強度でなくてもよいということである。結合したチップに強度を提供できるのは、主接点の後続の融合プロセスである。図１７０は、融合プロセスに続く図１６９のウェハを示し、その結果、主接点が高い強度の結合で、恒久的に互いに組み合わされる。

【０３２２】

一般に、タック段階と同様に、融合段階は、本変形形態の付着または接着段階で必要とされる以上の高温高圧で行われる。

【０３２３】

繰り返しになるが、タック－融合段階中に、液相または半液相に変わることが可能な材料と同様に、付着接点の圧縮は、接点を横方向に拡げさせることになり、および／または材料の加熱は、接点を液相に変えて、外に拡げさせることになり、それが主接点まで拡がれば電気的短絡を起こす可能性がある。従って、一つの有利なオプションは、ここに説明する「ウェル」型電気接点を形成する原理を、離れた接点へ適用することである。この方法では、主接点の汚染も、短絡もなく、圧力をかけている間に、またはタック－融合プロセス中の温度で、それらは液状になるか、または横方向に拡がることができる。

【０３２４】

タック－融合段階での結合とは無関係に、またはその前に、二つのチップを検査してから、実際の接点を互いに結合できるように、離れた接点を構成することもできる利点がある。特定の個々のチップの組み合わせが動作するかどうかを検査するために、離れた接点の配置が、チップ間通信を行わせる特別なパッドの配置と同一になるように、チップを設計する場合、もしチップの一方かまたは両方が動作しなければ（すなわち、機能しないまたは機能するが仕様外）、そのチップを取り外し、新規のチップを付与することができる。

【０３２５】

更に、適切な設計により、結合をウェハ対ウェハ、チップ対ウェハまたはチップ対チップに基づいて行うかどうかを、設計に取り込めるので、このプレタックの、擬似ハイブリッド化検査法（ｐｓｅｕｄｏ－ｈｙｂｒｉｄｉｚａｔｉｏｎ ｔｅｓｔｉｎｇ ａｐｐｒｏａｃｈ）は大きな価値を産むことになる。従って、特定用途に用いる結合の種類の選択（すなわち、ウェハ対ウェハ、チップ対ウェハまたはチップ対チップ）が、ある程度、検査能力の要因になることがある。例えば、検査が１ウェハ基準で可能な場合、２枚のウェハ上のチップ全てを、１ウェハ基準で並列にハイブリッド化でき、切断またはダイスカットを終えた動作しないチップには、再加工用のフラグを立てる。代替として、個々のダイが一つ以上のファウンドリからくる場合で、所与のダイのどれが既知の良品ダイであるかを、ハイブリッドの前に知る良い方法がない場合に本手法を用いることができる。

【０３２６】

更に別の代替の変形では、離れた材料は、最初の付着段階中に、主接点が接触しないように、それらの方が主接点より背が高い限り、主接点と同一材料（例えば、剛性および展

性）とすることができる。次いで、融合プロセス中に、離れた接点を主接点より更に圧縮する。離れた接点および主接点上で同一材料を用いることにより、処理が簡略化される。

【０３２７】

上記検討から、多軸スルーバイア、ウェル付着、プロファイル化接点、および離れた付着の変形形態からの考え方を構築および、組み合わせた派生変形形態を導くことができる。

【０３２８】

第１グループの変形形態は、複雑な接点形状（すなわち、従来の単一正方形または単一ドット以外の接点形状）に関わる。そのような一実施例は、シールドされた接点の生成を含み、最も単純なものは、正方形（図１７２Ａ））または円形（図１７２Ｂ））の断面の２同軸（ｃｏａｘ）または３同軸（ｔｒｉａｘ）スルーチップ接続に類似し、もっと複雑な場合、不規則な開いたまたは閉じた幾何形状（図１７２Ｃ））である。

【０３２９】

２同軸または３同軸接点の場合、内側接点は信号を伝送するよう接続される、一方、外側の閉じたリングは接地面として作用するか、または接地面に接続される。同軸バイア（図１７３）とともに用いる場合、それにより接点は別のチップに至る経路全体で確実にシールドされる。更に、または代替として、同軸接点をバイア自体から独立して使用することにより（図１７４）、それぞれの接点自体を確実にシールドできる。これにより、チップ間接点の距離を、同軸手法を利用しない場合より近接させることができる。更に、それぞれの接点の外側接点リングを互いに接続し、および／またはウェハ上の電気絶縁されたメタルへ接続して接地面を形成し、および／またはチップ間のシールドを形成する（図１７５）。

【０３３０】

接点の外側リングを接地として用いると、信号が伝送する領域だけがシールド層の非常に小さな開口部を通るので、チップ間のシールドが可能になる。同じことが、差動信号対が外側接地面内にある３同軸接続についても言える。従って、このような接点は、高速のつまりＲＦの信号を伝送するチップに特によく適合する。

【０３３１】

第２グループの変形形態は、二つのチップ間（またはチップとパッケージもしくはボードとの間）を気密に封止して、接続パッド、例えばＩ／Ｏパッドを、または二つの外部デバイス間に存在することもある他のデバイス（例えば光デバイス）を保護するための接点手法を用いることを軸に展開する。この状況では、接続パッドおよび／または光デバイスは事前に存在するか、または同時に存在するように組み込まれ、二つの要素間（例えば、二つのチップ間、または一つのチップとパッケージもしくはボードとの間）に挟持される。リングは、保護する領域の外側の二つの要素上に形成され、展性／剛性、およびウェル付着プロセスの何れか一方を用いて結合されるように構成され、それにより、二つの要素を互いにハイブリッド化すると、内部にある全てを囲む気密の、メタル封止を形成する。この気密パッケージは、メタルの非多孔質性により、ほとんどの環境条件に影響されないので、実質的にどのような環境にも耐えることができる。

【０３３２】

本発明者らの手法の幾つかの変形形態の主な利点は、いずれも展性および剛性接続を用いるので（液相になる金属はんだのような他の接続手法に対して）接続が、多様な幾何学的に閉じた形状のどれかを採用できる。これは液相材料とひどく対照的であり、液相材料では、流れ出して、表面張力により形を変えて、とり得る最小表面積になる（例えば、立方体は球へ、角部は丸くなる等）性向がある一方で、種々の技法を用いて、液相材料を、例えば毛細管現象によりチップの予め規定した表面に沿って逃がすので、複雑な形状を伴う場合、接点廻りの適切な材料分布を確実にしたり、ボイドの生成を回避し、または、いくらかの材料が規定領域から流れ出たり、潜在的な接点の短絡を防ぐような、信頼性のある方法がない。逆に、本発明者らの手法の変形形態では、形状の単純さまたは複雑さはほとんど無関係である。なぜなら、本手法は形状に関わりなく同一であり、唯一の制約は、

フォトリソグラフィで形状を画成する能力、および適切な金属を堆積能力に関係している。

【０３３３】

図１７６～図１７９は、上記の二つの簡単な実施例を示す。具体的には、図１７６は、挟持されたデバイス（不図示）があり、更に、デバイス領域１７６０２の周囲を取り囲み、結合すると、本明細書で説明したように周囲の廻りに気密封止を形成する、対となる剛性接点１７６０４および展性接点１７６０６により構成される領域１７６０２を有する対応するチップ表面を示す。図１７７は、結合後の、図１７６の同チップのＡ－Ａ断面の側面図を示す。図１７８はより複雑な編成を示し、剛性接点１７８０２および展性接点１７８０４の形状が更に複雑で、事実上、デバイス領域１７８０６、１７８０８、１７８１０の廻りには気密封止された３つの異なるチャンバが形成される。図１７９は、結合後の、図１７８の同チップのＡ－Ａ断面の側面図を示す。

【０３３４】

この時点で、剛性／展性接点の変形形態およびバイア形成の変形形態は、図１８０、図１８１Ａ、１８１Ｂの各図表を用いてチャート形式でまとめることができる。

【０３３５】

図１８０は、剛性／展性接点の規範を用いて他の変形形態を形成するための、チャートに要約した異なる手法である。このチャートは、列様式で下方に読み進め、テキストを含む欄はそれぞれ、そのプロセスのステップを表わし、空欄（またはその部分）はそれぞれ、必要なアクションがないことを表す。

【０３３６】

図１８１Ａ、図１８１Ｂ、図１８２は、同様に、バイアの変形形態を形成する異なる手法を要約したチャートであり、本明細書で説明したものを含む。これらのチャートは、同じく列様式で下方に読み進め、テキストを含む欄はそれぞれ、そのプロセスのステップを表わし、空欄（またはその部分）はそれぞれ、必要なアクションがないことを表す。図１８１Ａの最下欄は図１８１Ｂの最上欄に続く。

【０３３７】

多くの上記実施例で、ドーターウェハ上へのメタル堆積またはドーターウェハのめっきの代替を参照して本手法を説明してきた。理解を深めるために、図１８３～図１９２により、ドーターウェハ上へのメタル堆積を伴う特定の事例の、プロセスフローを更に詳細に説明する。その後で、図１９６～図２０５により、始めからの同じウェハを用いて、ドーターウェハのめっきのプロセスフローを示す。

【０３３８】

図１８３のドーターおよびマザーウェハそれぞれとともプロセスはに始まる。フォトリソグラフィによるパターン化を、例えば、Ｈｏｅｃｈｓｔ　ＡＺ４９０３またはＳｈｉｐｌｅｙ　ＳＴＲ１０７５の１０μｍレジストターゲットを用いて、ドーターウェハ上で実行する。次いで、２００ÅのＴｉ、３０００ÅのＰｄおよび４００ÅのＡｕのバリアおよび経路変更層を、ドーターウェハ上に堆積し、１０００ÅのＴｉＷのバリア層および３０００Åの銅のシード層をマザーウェハ上に堆積する（図１８５）。次に、厚い誘電体（厚さ７μｍ）またはフォトレジストをマザーウェハへ塗布し、１４μｍ幅のＩＣパッドと仮定して、パッド上に１０μｍの開口部を残す（図１８６）。次いで、Ａｕ／Ｓｎの層をドーター接点上に、高さがＩＣカバーガラス上、約６～８μｍになるまで堆積させることにより（少ないより多い方が普通）、ドーターウェハをメタライズし、次いで、今度はそれを４００ÅのＡｕで仕上げる（図１８７）。マザーウェハをＩＣカバーガラス上、４．４～５μｍの高さになるまでメタライズする（図１８７）。次いで、フォトレジストを両ウェハから剥がす（図１８８）。次に、フォトリソグラフィによるパターン化をマザーウェハ上で行って、バリア堆積に備えて、１５～１６μｍ幅の開口部を生成する（図１８９）。代替として、アンダーカットがバンプに影響しないことを確保するのに必要なほどに広い、セルフアライメントシードエッチングを行うことができる。次いで、３０００ÅのＡｕを上に載せた２μｍのＮｉのバリアを堆積する（図１９０）。次いで、フォトレジスト

を剥がす（図１９１）。最後に、不要なシード層をエッチングで除去する（図１９２）。Ｎｉ／ＡｕがＣｕ／Ｔｉ／Ｗを通るエッチングを可能にするので、フォトリソグラフィが不要となるように、これを、スプレーエッチャー（ｓｐｒａｙ　ｅｔｃｈｅｒ）を用いて、セルフアライメントエッチングとして実行できる。例えば、スプレーエッチャーが利用できないので、セルフアライメントエッチングが実行できない場合、フォトリソグラフィによる追加のパターン化ステップ（図１９３、図１９４、図１９５）が、エッチングされないこれらの領域を保護するために必要となる。しかし、エッチング手法によっては、著しいアンダーカットの可能性があるので、そのようなリソグラフィは、保護用フォトレジストを十分に広くして望ましくないアンダーカットを確実に防ぐべきである（図１９３）。例えば、本発明者らは、５０μｍピッチの接点でそのようなエッチングを実行したことがあり、万一に備えて、ＩＣパッドの幅の約２倍、この場合１４μｍのパッドに対して２７μｍ、の領域を保護した。しかし、セルフアライメントエッチングを行うためにスプレーエッチャーを用いると、約１μｍ未満のアンダーカットが可能なので、その手法でずっと小さな領域を保護することができる。その後、二つを結合したいという要望に応じて、ダイスカット、アライメント、タック、および融合の各プロセスを実行できる。

【０３３９】

対照的に、めっきの場合についてのプロセスフローを、以下のように図１９６～図２０５に示す。再び、このプロセスは図１８３のウェハとともに始まる。最初に、ドーターウェハおよびマザーウェハはそれぞれ、Ｔｉ０．１／Ｗ０．９のバリア、ならびに３０００ÅのＣｕの経路変更（ドーターウェハ）およびシード層（マザーウェハ）を有する（図１９６）。次に、図１９７に示すように、フォトリソグラフィによるパターン化をドーターウェハ上で実行して、バリア付与領域を制限し、厚い誘電体層（厚さ７μｍ）またはフォトレジストをマザーウェハへ付与すると、１４μｍ幅のＩＣパッドと仮定して、図１８６のように、パッド上に１０μｍの開口部が残る。次いで、ドーターウェハは追加されたバリア層を有し（図１９８）、フォトレジストがドーターから剥がされると、不要なバリアメタルのリフトオフが現れる（図１９９）。次に、フォトリソグラフィを、例えば、Ｈｏｅｃｈｓｔ　ＡＺ４９０３またはＳｈｉｐｌｅｙ　ＳＴＲ１０７５の１０μｍレジストターゲットを用いて、ドーターウェハ上で実行する（図２００）。次に、ドーターおよびマザーウェハを、マザーウェハ上では、ＩＣカバーガラスの上に４．４～５μｍの高さまで、ドーターウェハ上では６～８μｍの高さまで（図１８７と同様に）、めっきによりメタライズする（図２０１）。更に、めっきの複雑さに応じて、例えば、４００ÅのＡｕのキャップを付与できる。次いで、フォトレジストを剥がす（図２０２）。次に、マザーウェハ上にフォトリソグラフィによるパターン化を用いて、バリアの追加に備える（図２０３）。次いで、バリアをマザーウェハ上に堆積する（図２０４）。再度、フォトレジストをマザーウェハから剥がす（図２０５）。その後、過剰なシードを、図１９２のようにセルフアライメントエッチングを用いて除去する。上記の堆積例と同様に、スプレーエッチャーを利用できない場合、フォトリソグラフィによる追加のマスキング、エッチングおよび剥離ステップが必要であり、保護領域を十分大きくしてエッチングのアンダーカットを許容するようにする。

【０３４０】

この時点で、二つを互いに結合したいという要望に応じて、ダイスカット、アライメント、タック－融合の各プロセスを実行できる。

【０３４１】

上記説明に基づいて、各手法の利点および欠点に注意することが有益であり、特定用途に用いるプロセス形式の選択の際に役立つ。

【０３４２】

ドーターウェハのための堆積手法の利点は：シード層がないこと、電気めっきがないこと、１マスクプロセスであること、Ａｕ／Ｓｎの組成精度が自動的に得られることである。しかし、この手法の欠点は：ランからランまでの厚さ制御が困難であること、堆積の方向性がオフの場合、メタルの「翼」が現れること、Ａｕの再利用プログラムが必要になる

ことである。

【０３４３】

ドーターウェハに対するめっき手法の利点は：従来の、現在利用可能なめっき設備を用いることができるので、コストが安く再生をする必要がなく、大手設備ベンダーのサポートを受けることができる。但し、欠点としては、要求される組成精度が＋１．５％／－２．５％であり、追加のマスキングのステップが必要となる可能性がある。

【０３４４】

マザーウェハでは、基本的に３つのプロセスの変形形態がある：

【０３４５】

１）無電解めっき（図２０６ａ（チップ）、図２０６ｂ（６～８μｍＮｉめっき）、図２０６ｃ（３０００ÅのＡｕによるキャップ）に示す）；

【０３４６】

２）薄いレジストの銅の電気めっきプロセス（図２０７ａ（第１マスキング）、図２０７ｂ（４．５μｍの銅）、図２０７ｃ（３０００ÅのＡｕによるキャップで覆われた２μｍのＮｉ）、図２０７ｄ（第２マスキング）、図２０７ｅ（エッチングによる過剰シード除去）に示す）；および、

【０３４７】

３）厚いレジストの銅による電気めっきプロセス（図２０８ａ（第１マスキング）、図２０８ｂ（銅によるめっき）、図２０８ｃ（第２マスキング、バリアおよびキャップ）、図２０８ｄ（第３マスキング）、図２０８ｅ（エッチングによる過剰シード除去）に示す）。

【０３４８】

それぞれに付随する利点および欠点は以下の通りである。無電解の手法の利点は：分離したバリア堆積がないこと；シード層堆積がないこと；シードエッチングが不要なこと；およびマスクレスプロセスであることである。但し、ニッケルの無電解めっきは、厚さまたはノジュール（ｎｏｄｕｌｅ）形成の制御という点で困難であり、歩留りに影響を与えることがあるので、大規模ウェハの生産には適さない可能性がある。薄い誘電体プロセスの利点は：より薄いＮｉを用いるので、本プロセスが更に制御可能になること；ＩＣカバーガラス上を低応力の銅が覆うこと；銅の使用が主流であること；および銅の電気めっきの方が制御性がよいことである。但し、マッシュルーム形側面上のＮｉ／Ａｕのペネトレーションは一定でないことがあり、露出した銅が残る可能性のあること；マッシュルーム形状がタックプロセスに最適でないので、追加プロセス（すなわち、シード堆積、シードエッチング等）が必要なことである。

【０３４９】

厚い誘電体堆積プロセスの利点は：良好な接点または「バンプ」形状、バリア／キャップによる全面を覆う銅、一様性および形状の良好な制御、少ないＮｉノジュールの形成、典型的には大量処理における高歩留り達成、という利点を含む。但し、本手法では、セルフアライメントしたシードエッチングが効果的でない場合、特別なマスキングステップが必要となる可能性があり、スプレーエッチャーが必要となるかもしれない。

【０３５０】

堆積およびめっきの変形形態の検討を続け、本処理の理解を深めるために幾つかのマザーおよびドーター接点の更なる詳細を説明する。

【０３５１】

図２０９は、バリア堆積前の、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するマザーウェハ接点に対する一実施例および幾つかの典型的な寸法を示す。

【０３５２】

図２１０は、バリアおよびキャップ堆積後の、図２０９の接点を示す。

【０３５３】

図２１１は、２５μｍピッチで離間する８μｍ幅の接点パッドを有するマザーウェハ接点に対する典型的な寸法を示す。

【０３５４】
図２１２は、堆積により生成される、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するドーターウェハ接点に対する一実施例および幾つかの典型的な寸法を示す。
【０３５５】
図２１３は、堆積により生成される、２５μｍピッチで離間する８μｍ幅の接点パッドを有するドーターウェハ接点に対する一実施例および幾つかの典型的な寸法を示す。
【０３５６】
図２１４は、セルフアライメントシードエッチが実行される前の、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するめっきバージョンマザーウェハ接点に対する一実施例および幾つかの典型的な寸法を示す。
【０３５７】
図２１５は、セルフアライメントシードエッチ実行後の、図２１４の接点を示す。
【０３５８】
注意すべきは、図２１２～図２１５と併せて提示したＡｕ／Ｓｎの範囲が、より典型的な範囲の代表例である、ということである。実際には、およそＡｕ０．７Ｓｎ０．３～Ａｕ０．９Ｓｎ０．１の範囲またはもっと広い幅を用いることができる。適切な温度調節が行われる場合、（すなわち、Ａｕ含有量が多いと、より高温、Ｓｎ含有量が少ないと、より低温）。
【０３５９】
多様な相互チップ接続の電気的態様に関する、数多くのスルーチップ接続の変形形態および用途を説明してきたが、充填されない内側の溝またはボイドを含む実装の利点を有する、代替の追加オプションの変形形態、またはチップ対チップ信号転送に特に関わらない変形形態を提示する。
【０３６０】
特に、最も内側のボイドを未充填のまま残す場合、利点の多い代替のスタッキング変形形態を生成することができる。そのボイドを周囲の部品からは封止するが、互いに通じたままにすることにより、これらのボイドを用いて、たとえばチップのスタックを冷却するのに役立てる。
【０３６１】
この変形形態では、このようなバイアを有する一連のウェハを、互いに付着させる時に、バイア周辺の材料が、得られる半導体ウェハ内部のバイア側壁を保護するとともに、連続し隣接する、空気と液体で充たされたチューブを生成するような方法でスタックする。スタックした部品は、チューブがスタックの幾つかまたは全てを通って延びるように編成する。チップスタックを通るチューブの一端は、凝縮領域を有する構造により覆われ、例えば、チューブの一端をヒートシンク内に埋め込まれたチューブへ更に接続する。適切な流体（および必要なら芯）で満たすと、これらのチューブそれぞれがヒートパイプとして働き、ＩＣスタックから熱を効率的に取り出すことができる。オプションで、電気絶縁した金属を、未使用チップ面スペース上の、スタックチップ間でそのヒートパイプに接続して外側へ延ばし（フィンまたはプレート状）、熱伝送能力を高めることができる。更に、そのフィンまたはプレートを、バリアまたはシード層により形成して、それらに多くの役割を潜在的にもたせる、例えば、シールドまたは接地面に加えて、同時にフィンとして機能させることにより、多く役割を提供させることができる。
【０３６２】
これは、例えば、内側バイアをヒートパイプ編成の一部として用いることにより、図２１６に示すように達成される。図２１６は、数個の個々にスタックされる同一または異なるチップ２１６０２－１～２１６０２－ｎ＋１から成るチップスタックの一部２１６００を簡略化して示す。この実施例では、それぞれの内側メタライゼーション２４０２を、一つ上または下に接続して（ポスト－ペネトレーション接続のような本明細書で説明したプロセス、またはウェハ融合または共有結合のような何らかの他の手法を用いて）、内側ボイドを互いに気密封止し、よってチップ内にチューブ２１６０４を生成する。熱が通過す

る個々のチップ２１６０２－１～２１６０２－ｎ＋１から熱を、例えば、ヒートシンク２１６１０または他の冷却装置へ伝送するのを助けるヒートパイプが生成されるように、適切な流体２１６０６（必要に応じて芯２１６０８も）を、適切な圧力でチューブ内に収納する。

【０３６３】

特定の実装に応じて、チューブの一端を、ドープした半導体材料またはチップ内の基板２１６１２に封止でき（すなわち、チューブは貫通しない）、またはチューブ自体の一部を含まず、単にストッパまたは栓として機能するに過ぎない別のチップの表面材料に封止できる。更に、異なる蒸発および凝縮の温度を有するように、異なる作動流体、またはその作動流体（同一でも異なっていてもよい）に対する異なる圧力、をそれぞれが有するような、多数のチューブを形成できる。この方法で、広い範囲のヒートパイプ動作を得ることができる。更に、これらのヒートパイプを、チップ上の熱的な「ホットスポット」に対するチップ廻りに、グループ化または分散させることができる。

【０３６４】

変形形態によっては、もしあれば、芯２１６０８は、例えば、多孔質または毛細管構造、焼結粉、溝付チューブ、メッシュ、カーボンナノチューブ構造、グラファイトまたは任意の他の適切な芯材により作製できる。更に、作動流体は、それと接触する表面（すなわち、ドープした半導体、基板、絶縁体、導電体金属他）に、腐食、劣化または他の悪影響を与えない限り、任意のヒートパイプ流体とすることができる。代表的な作動流体には、水、アルコール、アセトン、または場合により水銀を含めることができる。更に、変形形態によっては、ヒートパイプに要求される必須の蒸発熱伝送を提供するのに適した様式で蒸発または昇華する場合、１Ａｔｍ（１０１．３ｋＰａ）中、６８°Ｆ（２０℃）で固体となる材料を用いることができる。最後に注意すべきは、内側バイアへの挿入に適した寸法であれば、予め作製しておいた（すなわち、事前に製作した）ヒートパイプを用いることができる。

【０３６５】

本手法は、熱が発生する場所の近くにヒートパイプを配置し、かつそのヒートパイプをチップ全体に分散させるので、どのような冷却方法を追加して利用するにしても、その効率を向上させることができる。更に、言うまでもなく、上記手法を用いて、電気接続がないことが望まれる、または要求されるチップ内にヒートパイプを生成することができる。

【０３６６】

チップを互いに電気絶縁して、電気的クロストークを防ぐよう望まれることが多い。更に、本明細書で説明したバイアプロセスの内の一つ（またはその変形形態）を利用して縦にデバイスをスタックする場合、二つのチップを、その両方と通信する第３のチップと互いに接続することが望ましいが、３チップ間または２チップ間の通信の間にその第３チップが介在することがあるという、用途もあり得る。上記説明から言うまでもなく、ウェハ相互接続を形成するためのプロセスを、一つまたは二つの接点について説明したが、合計接点数には依存せず、かつウェハの残りの部分に対してチップ接点対がどこに（すなわち、一つ以上のチップの上に）常駐するかの配置には依存しない。この意味は、場合によっては、単一のドーターチップが二つ以上のマザーウェハチップとを架橋でき、または「ドーターウェハ２」チップが二つのドーターチップ、もしくはマザーとドーターチップとを架橋できるということである。従って、架橋は、「ドーターウェハ」または「ドーターウェハ２」の追加プロセスの単純な応用であり、プロセスは同一であるが、ドーターチップが接続するフルセットの接続は、全てが同一チップ上に相手を有するとは限らない。しかし、本変形形態の特定の場合、二つのベースチップ（すなわち、単一チップにより架橋されるチップ）の高さは異なっていてもよい。従って、そのような高さの差に対応する必要がある。本明細書のバイアプロセスの更なる変形形態により、これを達成できる利点がある。図２１７Ａ）および図２１７Ｂ）はその方法の二つの実施例を示す。図２１７Ａ）は、本変形形態の絶縁態様を示し、図２１７Ｂ）は、架橋接続の態様を示す。どちらの場合も、同じシールドの恩恵が得られる。先の手法と組み合わせると、図から分かるように、

ステップ１で、バイアのある一つ以上のチップがベースチップへ付着される。この場合、付着されたチップ上をある距離だけ延びるようバイア（または上面のチップへ接続される別の接点ポスト）が作製される。これは、バイアプロセスの変形形態のどれを用いるかに応じて、例えば、メタルのめっきにより、またはメタルをもっと露出させるよう基板材料を除去することにより達成できる。本手法では、バイアを作製した後、チップを互いにハイブリッド化するのが典型的である。図２１７Ｂ）のチップの場合には、ステップ２で、ポリアミド、ＢＣＢ、別のポリマ、酸素か窒素を含む誘電体、またはウェハ表面上に堆積できる他の非導電性材料のような、非導電性材料の層でウェハをコーティングする。図２１７Ａ）に示す場合には、層の厚さは、縦方向にスタックした二つのチップを互いに絶縁する必要性により決定される。信号強度は距離により減衰し、キャパシタンス結合は距離に比例して減衰し、そしてＥＭＩ干渉は距離の二乗に比例して減衰するので、この厚さは、通常、信号線の幅より厚く（例えば、＞５μｍ）するが、変形形態によっては、もっと絶縁を良くするためにずっと厚くする（例えば２５μｍ以上）ことができる。図２１７Ｂ）に示すように、二つの付着されるチップを異なる高さにすることができる。高さの差の理由は、プロセスとは無関係であるが、異なるようにエッチングまたは薄くされ、元々異なる厚さであった基板上に作製されることに起因するか、またはラッピングもしくは研磨に起因すると考えることができ、プロセス中に行う手入れに応じて、１００μｍ以上までの高さの差を発生させることがある。何れの場合も、ベースチップへ付着される最も厚いチップの上面と少なくとも同一の高さとなるように、コーティング材料を追加する。経路変更層が必要ない場合（ステップ４と併せて後述する）、このステップ２は、図２１７Ｂ）の幾つかの変形形態ではオプションとしてもよい。ステップ３では、ウェハをラッピングまたは研磨して、バイア、またはその他の背が高い、各種チップのめっきまたはメタライズされた接続を露出させる。ステップ４（オプション）では、接続配置を容易にするために、研磨／ラッピングしたウェハ表面をパターン化し、電気的経路変更層（必要な場合）を表面に堆積できる。これにより、一致するパッドを持たない二つのチップを、互いに接続する必要がある場所に信号を経路指定することにより互いに接続できるようにする。更に、図２１７Ｂ）の状況では、経路変更により、下側層の二つのチップを、ステップ５で配置した上部のチップ上の対となる接続より遠くへ離すことができる。図２１７Ａ）および図２１７Ｂ）のステップ５では、別のチップをハイブリッド化法の変形形態の内の一つ、例えば、展性および剛性のハイブリッド化プロセスにより本構造へ付着する。次いで、ステップ２～ステップ５のプロセスを繰り返して、後続の層を追加する（無論、ステップ５で付着されるチップが、表面から上の方へ適切な距離だけ延びるポストを有するか、または有することができる、と仮定している）。ステップ５のチップは、その構造の上面の追加層へ接続しなければならない場合を除いて、バイアを有する必要がないという利点がある。

【０３６７】

図２１８Ａ）および図２１８Ｂ）は、図２１７Ａ）または図２１７）Ｂのタスクを達成するための代替の変形形態手法を示す。この代替の変形形態手法では、図２１７Ａ）または図２１７Ｂ）のプロセスのステップ３でチップを薄くするのではなく、本実施例では典型的には、ポリイミドとする平坦化材料内に、穴をエッチングする。次いで、ステップ４の経路変更層を用いて、電気信号（必要な場合）を経路変更し、かつ下側チップへ接続する。次に、ハイブリッド化を、図２１８Ａ）または図２１８Ｂ）のステップ５に示すように行うことができる。この手順は、ハイブリッド化が必要になってから、電気接点を作製するので、図２１７Ａ）または図２１７Ｂ）の手法よりも複雑である。しかし、図２１８Ｂ）のステップ６に示すように、このプロセスは、同時に他の多数の層への後続のチップ接続がを、図２１７Ｂ）の場合よりもしやすい。図２１７Ｂ）の手法で同じことを行うのは、もっと困難であり、図２１７Ｂ）のステップ３の研磨は、全てのポストを同じ高さに研磨する可能性があるので、上側のドーターチップを最下側ドーターチップへ付着するのが困難になる。

【０３６８】

本明細書で記したように、任意数の多要素の高さでスタックを形成できる。しかし、特定の事例に応じて、場合によっては、タック、融合、タック、融合手法、および、タック、タック、タック、全体融合手法、のどちらで結合するかの決定に加えて、スタックの効果および幾何形状を考慮する必要がある。例えば、スルーバイア接続を用いて本明細書で説明したようなウェハスケールのスタックプロセスでは、元のドーターウェハを予め薄くしてからマザーウェハと結合するためにダイスカットするかどうかを、またはマザーウェハ（チップ毎にまたは全体ウェハ基準で）へ結合してから薄くすべきかどうかを決定しなければならない。その差は下記の通りである。タック、融合、薄くする、タック、融合、薄くする手法は、少しのステップをなくし、更に重要なことは、歩留りを低下させることがあるダイスカットおよび競合の前に薄くする場合、非常に薄いウェハを取り扱わなくてもよい、という点で有利である。欠点は、ハイブリッド化部品に多くの人手を必要とすることである。すなわち、より高価なハイブリッド化した部品上で薄くするステップ対ドーターウェハだけを薄くする（歩留りが低下する）ステップの差である。

【０３６９】

マザーチップ上に幾つかのドータースタックがあり、それぞれのスタックが異なる数のチップを有する場合、別の欠点が現れる。マザーウェハ上のチップのそれぞれの層に対して、薄くするステップを別々に行う必要があるので、薄くするステップの配置および順序は重要となる。結果として、適切な計画がなければ、幾つかのスタックが追加チップを追加させることができないポイントに到達する。というのは、追加チップが隣接スタックの高さ以下で、そのチップを薄くするステップが困難または不可能になるからである。

【０３７０】

対照的に、結合する前に薄くするステップは、常に実行できるという利点があるが、上記欠点は、薄いウェハを持つことに関連するリスク増大である。

【０３７１】

多数の様々な代替の、オプションで相補的な変形形態を説明してきたが、上記の例示用途を、図２１９～図２２１を参照してここに提示し、特定用途、すなわち、マイクロプロセッサ用途で達成することができる幾つかの追加の利点を示す。

【０３７２】

図２１９は、代表例である従来型マイクロプロセッサーチップ２１９００、およびそれぞれの構成エレメントであるコンポーネント（すなわち、従来の共面型でレイアウトされる数値演算ユニット（ＡＬＵ）、レジスタ（ＲＥＧ）、バッファおよび他のロジック（ＢＵＦＦＥＲ＆ＬＯＧＩＣ）、入力－出力（Ｉ／Ｏ）装置、一次キャッシュメモリ（Ｌ１）、二次キャッシュメモリ（Ｌ２）、メモリーコントロール（ＭＥＭ　ＣＴＬ）、メモリーリードライトコントロール（Ｒ／Ｗ　ＣＴＬ）、ランダムアクセスメモリ（ＲＡＭ）、リードオンリーメモリ（ＲＯＭ）、およびメモリ復号回路（ＲＡＭ／ＲＯＭ　ＤＥＣＯＤＥ））を識別するステップを簡略化して示す。図から分かるように、構成エレメントは、かなりの面積を占め、所与のコンポーネントと他の大部分のコンポーネントとの間の距離はかなりある。

【０３７３】

図２２０は、上記手法の使用により、代替のマイクロプロセッサを、狭い投影面積、高速低速混合技術、および実質的な要素間距離短縮化を有しながらどのようにして、同一要素から構成できるかを簡略化して示す。具体的には、図２２０Ａは、図２１９の要素でできたマイクロプロセッサ２２０００の代替例を示し、本明細書で説明したようなスルーチップ接続および要素スタック化の使用により狭くした投影面積を有する。スタック化を通じて、要素は、チップユニット２２００２、２２００４、２２００６（側面図）内に形成され、分解図２２００８、２２０１０、２２０１２にそれぞれを示す）、それにより、構成するサブコンポーネントが覆う全体の投影面積を減らす。更に、それぞれの側面図２２００８、２２０１０、２２０１２に示すように、スルーチップ接続により、チップユニット２２００２、２２００４、２２００６それぞれのサブコンポーネント全ての間の距離は実質的に短縮される。更に、各チップユニット２２００２、２２００４、２２００６内の

チップ対チップ接続を周辺で行う必要がなく、事実上、サブコンポーネントチップ上のほとんど任意の場所で行うことができる。

【０３７４】

図２２１は、図２１９のチップ２１９００の投影面積と、図２２０のチップ２２０００のそれとの直接比較を示す。図から明らかなように、両者とも同一サイズ、同一数の要素を有しているにもかかわらず、後者の投影面積は前者よりかなり小さい。

【０３７５】

スタックの可能性を考えながらチップを設計すると、更なる利点が得られる。例えば、図２２０の実施例では、サブコンポーネントチップをそれぞれ独立に設計し、他との共通インターフェースを共有するだけでよいので、処理ユニット２２００６、２２０１２を多様な混合および整合した構成で設計できる。従って、異なる速度の幾つかの異なるＡＬＵを設計できるので、処理チップユニットの共通ファミリーを更に容易に創出できる。同様に、異なるサイズのＬ２キャッシュを処理チップユニット２２００６内で使用するよう設計して、ファミリー内で価格設定を変えることができる、または性能を強化できる。この考え方は、インテリジェントアクティブパッケージ化として、以下に説明することの特殊な場合である。

【０３７６】

これまでの説明から直ちに理解できるように、本明細書で説明したプロセスおよび態様の更なる副産物は、これまでとは異なる種類の「パッケージ化」を効率的に生成する能力である（図２２２）。

【０３７７】

現在は、複雑な集積回路チップは、図２２２Ａ）に示すように生成され、パッケージ化される。フロントエンド処理を通じて低速機能、高速機能、Ｉ／Ｏおよび高速機能（すなわち、コアのアナログおよびデジタル機能）を１チップ上に全て生成する。次に、バックエンド処理によりチップへ層のメタライゼーションが追加され、各種のオンチップデバイス間の接続を生成する。最後に、チップが完成すると、ピングリッドアレイ、ボールグリッドアレイ、従来型ＩＣパッケージ等のような個別のパッケージへ付着される。その手法は、全てのデバイスが同一チップ上にあるので、どれかのオンチップデバイスに必要な最高速度／最大コストの技術で、全てのデバイスを実装しなければならないことを含め、多くの欠点がある。その結果、コストの高い領域が、もっと低速またはもっと安価な技術で容易に実装できる低コストおよび／または低コストデバイスにより無駄になる。

【０３７８】

しかしながら、本明細書で説明する態様を用いることにより、様々な種類のパッケージ化を用いて、数例を挙げると、プロセスのコストと時間、および低歩留りのリスクを最適化するのに役立てるという利点がある。例えば、本明細書で説明した態様を用いることにより、図２２２Ｂ）～図２２２Ｆ）に示すような構成を生成することができる。

【０３７９】

図２２２Ｂ）は、経路指定プロセスをチップ形成から分離して、両者を同時に実行できるので、本発明者らは、経路指定のないアーキテクチャと呼んでいる、本明細書で説明した態様を用いて達成できる代表的な一実施例の編成を示す。本実施例では、チップ（チップ１）を、低速機能、Ｉ／Ｏおよびコアのアナログおよびデジタル機能を含むフロントエンド処理を用いて生成する。チップ１上のデバイスを相互接続するメタライズ層を生成するためのバックエンド処理を用いて、第２チップ（チップ２）を生成する。次いで、チップ１およびチップ２を、例えば、本明細書で説明した手法を用いて、ウェハ対ウェハまたは共面結合手法、ウェハ融合等により、互いにハイブリッド化する。次いで、このハイブリッド化したユニットを従来型チップとして取り扱い、従来法で従来型パッケージへ接続でき、または、例えば、本明細書で説明したような、別のウェハ、チップまたは要素へハイブリッド化するよう更に処理できる。

【０３８０】

別の代替の手法を図２２２Ｃ）に示すが、本発明者らはこの手法を、チップの相互接続

がパッケージの一部なので、「チップパッケージ」手法と呼んでいる。本手法は、チップ１に対する図２２２Ｂ）の手法と類似する。但し、本手法では、パッケージとしても役立つウェハ部上でバックエンド処理を実行するか、または、あるウェハ上で経路指定を生成するバックエンド処理を実行し、パッケージは別のウェハ上で生成して、両者を、本手法の「チップ２」を形成するよう互いにハイブリッド化することができるように、本明細書の説明に従って処理するか、の何れかとする。この後、本手法のチップ１およびチップ２を、本明細書で説明するように処理し、ハイブリッド化することができる。オプションとして、また代替として、「チップ１」を「チップ２」へハイブリッド化するのに必要な全体または一部の処理を、経路指定部分をパッケージ部分へハイブリッド化するのに必要な処理の一部として実行できる。本手法および適切な設計計画では、「チップ２」の設計を、多数の異なるチップ１の設計へ一般化することができ、更にコスト等の節減の可能性が得られるという利点がある。

【０３８１】

更に別の代替手法を図２２２Ｄ）に示すが、本手法では、「チップ２」生成プロセスが、低速機能を本手法の主「チップ１」の一部とせずに、パッケージ「チップ２」へ追加するので、本発明者らはこれを「アクティブパッケージ」手法と呼んでいる。この後、チップ１およびチップ２を、特定用途に適した他の手段により、互いにハイブリッド化しまたは互いに接続することができる。これにより、低速／低コストのデバイスが高いコストの領域の使用を低減することができる。特に、低速機能が大部分を占める場合、更なる利点および節減を達成することができる。

【０３８２】

更に代替の手法を図２２２Ｅ）に示す。本手法は図２２２Ｄ）の手法に類似する。但し、Ｉ／Ｏを「チップ１」技術から「チップ２」へ移動して、本発明者らが「Ｉ／Ｏ手法によるアクティブパッケージ」と呼ぶものを生成する。その結果、本手法では、「チップ１」は、コアのアナログおよびコアのデジタル機能を含むだけとなる。ここでもやはり、両チップをハイブリッド化し、または動作可能とするよう互いに相互接続できる。繰り返すが、Ｉ／Ｏは普通、低速で、かつ面積が広いので、かなりの節減が本手法により達成できる。同様に、注意深い設計により、本手法の「チップ２」を多数の「チップ１」設計へ一般化することができるので、繰り返しになるが図２２２Ａ）の従来手法を上回る利点を提供する。

【０３８３】

更に、本手法の内の最先端の別の手法を図２２２Ｆ）に示す。本発明者らは、本手法を「システムオンチップ」または「システムスタック」と呼んでいる。本手法では、コアのデジタル機能だけが、適切な速度／コスト技術の「チップ１」にある。「チップ２」は、同様に、適切な速度／コスト技術のコアのアナログ機能だけを有するよう生成される。「チップ３」も生成され、それに適切な技術で実装されるＩ／Ｏ機能だけを含む。最後に、図２２２Ｄ）の「チップ２」と基本的に同一の「チップ４」が生成される。本手法により、かなりの混合および組み合わせを行うことができ、多くの場合、チップ１、チップ２、チップ３およびチップ４の設計は、付着するチップを念頭におくだけで設計することができる利点がある。更に、言うまでもなく、本手法により、それぞれのチップを、例えば、全て共通のインターフェースを共有している、その機能のためのチップのファミリの一つとすることできる。

【０３８４】

従って、図２２２Ｂ）～図２２２Ｆ）の手法はどれも、全てではなくても、ほとんどの回路がその機能に最適な技術を用いるように、設計者が彼らの設計を分散させることができるインテリジェントでアクティブなパッケージを生成できるようにする。場合によっては、これは完全に新しい設計の生成を意味し、他の場合には、既存のチップを互いに組み合わせて用いることを意味することになり、どちらの場合でも本明細書で説明する変形形態の一つ以上の態様を用いる。これに関して理解すべきは、このような実施例で表される機能は、これら特殊態様を図示のように分散しなければならないことを意味するとは、意

図しておらず、単に考え方を示すにすぎないということである。等しく可能なことは、例えば、別のチップが生成できるような機能グループ毎の単一チップとは対照的に、アナログ機能の幾つかおよびデジタル機能の幾つかを含むチップを生成することができ、そのキーポイントは、全体設計の一部をそれに適した技術に組み合わせる能力であり、本発明者らの手法により、従来行われたこと（例えば、図２２２Ａ））と同様な機能的な成果、または図２２２Ａ）の従来手法では本質的な制約により、以前は不可能であったか、またはひどく高いコストになったものについて成果を得る、ということである。

【０３８５】

結果として、低性能回路を１チップ上に設計することができ、高性能チップをより高性能な技術に対して設計することができる。更に、この種類の手法は、低速回路を「オフチップ」へ移動することにより、そうするための強力な信号駆動回路がなくても、高速度技術の領域の著しい量を節約できるので、コスト効率を高めることができる。無数の可能性の内の幾つかの実施例を、本明細書で説明するプロセスのハイレベルな表現と併せて、図２２３に示す。

【０３８６】

ここで、上記説明の態様の一部についての更に幾つかの説明を詳細に行う。現在、電子チップを生成するために、ウェハは、２セットのプロセス、すなわちフロントエンド処理およびバックエンド処理、を受けなければならない。フロントエンド処理では、トランジスタおよび抵抗器を含む実際のデバイスが生成される。これは、シリコンチップの場合、例えば、二酸化シリコンの成長、所望の電気特性を得るためのパターン化およびドーパントの注入または拡散、ゲート誘電体の成長または堆積ならびに隣接デバイスを絶縁するための絶縁材料の成長または堆積を含む。

【０３８７】

バックエンド処理では、フロントエンド処理の間に生成される各種のデバイスを相互接続して、所望の電気回路を形成する。これは、例えば、相互接続を形成するメタル配線および絶縁材料の層を堆積するステップ、ならびに所望パターンにそれをエッチングするステップを含む。典型的には、メタル層はアルミニウムまたは銅から構成される。絶縁材料は、普通は二酸化シリコン、ケイ酸塩ガラス、または他の低誘電率材料である。メタル層は、絶縁材料内でバイアをエッチングし、その中にタングステン堆積することにより、相互接続される。

【０３８８】

現在、１２インチウェハに対して９０ｎｍプロセスを用いて、フロントエンドおよびバックエンド処理を完了するまでにそれぞれ約２０日を要し、両処理は直列で行われる。その結果、単一ウェハを生産するのに開始から終了まで４０日以上要することがある。

【０３８９】

本明細書で説明するプロセスを用いると、その時間は、ほとんどの現行サブミクロン設計ルール基準のチップ生産技術（例えば、０．５μｍ、０．１８μｍ、０．１３μｍ、９０ｎｍ、６５ｎｍ、４５ｎｍ等）に対して、約半分に短縮化することができる。上記手法が、フロントエンドおよびバックエンド処理を同時並行に、しかも異なる無関係のファウンドリでも行うことができるからである。これは、フロントエンド処理を、一枚のウェハ（フロントエンドウェハまたは「ＦＥウェハ」）上で、従来方式で実行し、並列させて、バックエンド処理を別のウェハ（バックエンドウェハまたは「ＢＥウェハ」）上で従来方式により、あたかも２枚のウェハが同一ウェハであるように、実行することにより達成される。この方法では、経路取りを、トランジスタまたは他のデバイス支持する部分と比較して安価なファウンドリで実行することができ、それぞれを約２０日で生成することができる。次いで、本明細書で説明するバイアプロセスの一変形形態を使用して、ウェハを薄くするステップおよびＦＥウェハの背面上に接続点を生成するステップにより、接続点をその上に設置することができる。同様の方法で、本明細書で説明するプロセスをＢＥウェハに用いて、ＦＥウェハ上のこれらと対応する一セットの相補接続点を生成することができる。その後、例えば：展性および剛性の対応する接続が形成されている（典型的には、

ＦＥウェハは、上記プロセスのドーターウェハ（すなわち、展性接点を担持している）である）場合は、タック－融合プロセス；本明細書で説明するような離れた付着手法；共有結合もしくは他のウェハ表面結合技法（その技法単独で、スルーバイア手法とともに、および／または二つを互いにロックし、アライメントを維持するのに役立つ単純な充填バイアとともに）；またはそれらの任意の組み合わせ／それらの代替法；を用いて、二つを互いに結合することができる。

【０３９０】

本手法を通して、メタル層は、ますます感度が高くなるトランジスタにより課されるトポロジーおよび応力の制限が要求するであろう厚さまたは密度を制限しなくてもよい利点がある。更に、プロセスを二つのチップに分離することにより、配線を太くし、層を増やすことができるので、潜在的にインチップ接続性を上げ、チップ相互通信を高速にするために寄生抵抗を減らすことができる。

【０３９１】

本発明者らの手法は、特定のＦＥウェハもしくはＢＥウェハの生成に用いる特定の製造法もしくは相互接続技術、またはその製造に適用される設計ルールとは無関係なので、本明細書で説明するプロセスを用いて、異なる技術をナノレベルで集大成することができるという利点がある。言いかえると、本明細書で説明する手法は、どのようなチップ設計ルールが、特定材料（Ｓｉウェハ、ＧａＡｓウェハ、ＳｉＧｅウェハ、Ｇｅウェハ、ＩｎＰウェハ、ＩｎＡｓウェハ、ＩｎＳｂウェハ、ＧａＮウェハ、ＧａＰウェハ、ＧａＳｂウェハ、ＭｇＯウェハ、ＣｄＴｅウェハ、ＣｄＳウェハ等）に対して、デバイスまたはそれらの相互接続が好ましくない方法で互いにオーバーラップも相互作用もしないことを保証するのに適しているかどうかには無関係であり、または高解像度マスク型または非マスク型手法を用いてサブミクロンまたはサブナノメータフィーチャを形成し、またはデバイス間、相互接続間、または相互接続自体の幾何形状間の距離を画成することとは無関係である。従って、本明細書で説明する利点により、チップ製造技術を、現行の技術、例えばＣＭＯＳおよびシリコンからＳｉＧｅまで、シリコンオンインシュレータ（ＳＯＩ）、カーボンナノチューブ型相互接続、バイオチップ、分子電子工学またはより高性能および／または電力要求量低減を持たせるよう設計される他の手法から、シフトさせることができる。

【０３９２】

図２２４～図２３１は、本手法を簡略化した概観で示す。図２２４ａ）に示すように、トランジスタおよび完成した他のデバイスを形成するフロントエンド処理を有するＦＥウェハ２２４０２が、サポートを提供するフォトレジストまたは他の除去可能で保護可能な材料２２５０２を用いて保護される、フロント側デバイスを有する（図２２５ａ））。次いで、ＦＥウェハを必要に応じて、組み合わせるＦＥ／ＢＥチップに必要な、または所望される高さに基づいて数μｍ以上の厚さまで薄くする（すなわち、下地の基板の一部または全てを除去する）（図２２６ａ））。次いでバイアを、例えば、本明細書で説明するような背面側プロセスを用いて、または背面側から実行するだけの本明細書で説明するような前面側バイアプロセスを用いて、ＦＥウェハの背面から中に向かって、適切なデバイス接続場所の点まで生成する（図２２７ａ））。オプションで、更に、デバイス側で僅かに拡がるとともに、例えば、ウェルもしくは逆ウェルの手法または片側のプレス嵌合接続を用いて、例えば、展性接点を背面側に有する一つ以上のスルーバイア２２７０２を、それぞれのダイの周辺に生成する。このようなバイアは、例えば、共有結合またはウェハ表面結合手法をウェハ間に用いる場合、ＦＥおよびＢＥウェハチップを、横方向に対して互いに「ロック」するのに役立てることができる。更に、ヒートパイプ編成（Ａ ｈｅａｔ－ｐｉｐｅ ａｒｒａｎｇｅｍｅｎｔ）または非電気的通信編成（ｎｏｎ－ｅｌｅｃｔｒｉｃａｌ ｃｏｍｍｕｎｉｃａｔｉｏｎ ａｒｒａｎｇｅｍｅｎｔ）（両者とも詳細に後述する）の一部となるバイア形式での相互チップ接続への適合性を追加することができる。次いで、バイアを導電性にすると（図２２８）、この時点で、ＦＥウェハをＢＥウェハへ結合する準備が整う。

【０３９３】

同時に、ＢＥウェハを生成して、そのメタライズ層２２４０４を形成する（図２２４ｂ））。それが作製された場合、保護／サポートは、半導体材料がその目的に役立つので、不要である。しかし、それもかなり薄くする場合、除去可能なサポート層の形成が必要となることがある。次いで、ＢＥウェハの前面を薄くして（図２２６ｂ））、更に、バイアを生成し（図２２７ｂ））、必要に応じてまたは要望に応じて、穴全体に、または単に特定の内側メタル層（図２２７ｂ））、図２２８ｂ））まで、メタライズ（図２２８ｂ））する。更に、特定の実装に応じて、物理的接続または非物理的（すなわち、キャパシタンスの）結合により、その内側への層へ接続できる。さもなければ、相補的接続、例えば、ポスト－ペネトレーション／タック－融合手法を用いるべき場合はポスト、もしくはウェル、逆ウェルの相補的接続または他の接続を生成する。同様に、オプションで、相補的ロック用バイア２２７０４（図２２７ｂ））をＢＥウェハへ追加することができ、またはヒートパイプ編成または非電気的通信編成の一部となるバイアを追加することができる。更に、ヒートパイプ編成を用いる場合、特に、形成できる封止の強度および気密性のために、展性／剛性およびタック／融合手法を用いる場合、ＢＥウェハのメタライゼーション（図２２８ｂ））を用いてヒートパイプの一端を封止することが望ましい。

【０３９４】

次いで、ＦＥウェハおよびＢＥウェハを互いにアライメントさせ（図２２９）、それにより、それらを接合し（図２３０）、結合すると（図２３１）、個々の電子チップからなる完全なウェハユニットを形成する。

【０３９５】

図２３３～図２３５は、先行する手法の更なる変形形態を示す。図２２４～図２３１の手法と同様に、代替の変形形態の態様がを、基板２３２０４上のドープされた半導体デバイス２３２０２（すなわち、トランジスタ、レーザー、光検出器、コンデンサ、ダイオード等）から構成された別のＦＥウェハ（図２３２Ａ））、およびメタライズ化されたフィーチャの相互デバイス接続層を含むＢＥウェハ（図２３２Ｂ））で開始される。但し、図２２４～図２３１の手法と異なり、ＢＥウェハは裏返して、ＦＥウェハの上面にアライメント、結合され、これは基板を薄くする前に行われる（図２３２Ａ））。代替として、図２３２Ａ）と同一の手法を、ＢＥウェハを薄くしてから付着する場合を示す図２３２Ｂ）のように実行することができる。

【０３９６】

図２３４に、更に別の代替手法を示す。この事例では、ＢＥウェハを薄くして図２３２Ｂ）の元のチップの最も内側の層を露出させ、その層をＦＥウェハの上面へ付着する。

【０３９７】

図２３５は、更に強化した代替の変形形態を示す。図２３１、図２３２Ｂ）、図２３３Ｂ）、または図２３４の手法の結果として、付着後、ＢＥウェハの反対側のメタルを露出させる。その結果、別のチップをそのメタルに付着することができ、別の種類のチップスタック手法を創出することができる。

【０３９８】

この時点で注意すべきは、これらの手法の更なる利点は、必要であれば、接続の何らかの更なる経路変更を、ＦＥウェハまたはＢＥウェハ（または可能であれば両方の）上で行うことができるということである。その結果、ＦＥおよびＢＥウェハをより一般的に生成することができる他、特定用途に対して適切な接続場所を提供する。更に、この時点で、組み合わされたＦＥ／ＢＥウェハまたはＦＥ／ＢＥ／（ＦＥウェハまたはチップ）のスタックを完全に従来のプロセスを用いて生成された何らかの他のウェハと同様に取り扱うことができ、従って、本明細書で説明した主題を目的として、他のウェハに対するマザーまたはドーターウェハとすることができる。

【０３９９】

更に、チップ対チップの光接続を用いることにより、チップユニットを、干渉の原因となるクロストーク問題がある配線接続で利用可能な通信よりずっと高速なチップ間通信を用いて設計できる。例えば、スタック内の一方のチップに半導体レーザーを設置し、組み

合わされるスタック内の他方のチップ上に、対応する光検出器を設置することにより、配線ではなく光接続を両者間で行うことができる。両方が互いに十分近接している場合、光クロストークの可能性さえ最小化される。この態様を、二つのチップ２３６０２、２３６０４を備えるチップユニット２３６００の一部を示す図２３６に簡略化して示す。一方のチップ２３６０２はその上にレーザー２３６０６を有し、他方のチップ２３６０４はその上に光検出器２３６０８を有し、レーザー２３６０６が放射する光信号を光検出器２３６０８が受信するように、両チップが編成される。更に、本明細書で説明する技法は、間に一つ以上のチップが介在したとしてもチップ間の光通信が容易である。例えば、図２３７に示すように、二チップ間に二つの他のチップ２３７０２、２３７０４が介在しても、ヒートパイプ構成の変形形態を生成して、レーザーを装着するチップ２３６０２から、光検出器を装着するチップ２３６０４までの光を得ることができる。そうするために、スルーチップ手法を用いるが、バイア内側は導電体で充填せず、ヒートパイプとして使用するための開口部も残さずに、光エポキシまたは他の光伝送材料のような光透過媒体２３７０６でボイドを充填して光導波路を形成する。その光導波路では、バイアが光ファイバと同様に動作するように、メタルおよび／または絶縁体が光を閉じ込めるように作用する。更に、バイア寸法および外側のメタルまたは絶縁体の構成を調節することにより、この光導波路は、単一モードまたはマルチモードの光ファイバと基本的に同一の特性を有することができる。更に、シリコンの「中央アイランド」を有する変形形態では、中央アイランドが熱で酸化され、除去されない場合、酸化により中央アイランドは二酸化シリコンとなり、光ファイバの「コア」の代用となろう。この後、レーザーを導波路の一端に配置し、光検出器を導波路の他端に配置することにより、介在するチップを「通って」透過媒体２３７０６を経由してレーザー光を伝送できる。

【０４００】

詳細な接点および材料の代替

【０４０１】

言うまでもなく、接点は、図２３８で簡略化した形で改めて示すように、タック－融合プロセスの性質により、それ自体かなり複雑な態様を有する。その結果、ドーターウェハ２３８０２およびマザーウェハ２３８０４の両者に対する接点コンポーネントに使用できる幾つかの代替材料に注意することが重要である。

【０４０２】

一般に、どんな用途でも、図２３８のドーターウェハ接点２３８０２は、図２３９に示す機能層を有する。同様に、図２３８のマザーウェハ接点２３８０４は、図２４０に示す機能層を有する。注目に値するのは、両接点２３８０２、２３８０４では、それぞれの機能層は一つ以上の材料層で作製することができ、または単一材料層が多数の機能層の役割を満たすことができる。これは、図２４１に示すような幾つかの特定のドーターウェハ接点の実施例、および図２４２に示すような幾つかの特定のマザーウェハ接点の実施例により最もよく示される。これらの図から明らかなことは、どの特定層も離散材料、合金または超格子材料から作製することである。

【０４０３】

図２３９に戻って参照すると、無電解の変形形態の場合、ドーター接点２３８０２は以下の構成を有することができる：

【０４０４】

バリア層：Ｔｉ／Ｗ＋Ｐｄ

【０４０５】

スタンドオフ層：なし

【０４０６】

拡散／展性層：金／すず（８０／２０）（１～１２μｍ）

【０４０７】

キャップ／接着：金（＞５００Å；代表値１５００～１００００Å）

【０４０８】

酸化バリア：キャップ／接着層がこの層にも役立つ。
注：展性層は、スタンドオフ、拡散、キャップおよびバリア層の何れの組み合わせで構成してもよいが、ここでは、展性層は拡散およびキャップ層の組み合わせである。
【０４０９】
同様に、マザー接点（図２４０参照）では、マザー接点２３３０４は以下の構成を有することができる：
【０４１０】
バリア層：Ｃｕ／Ａｌパッドでは使用していない
【０４１１】
剛性：銅（＞２μｍ）
【０４１２】
拡散バリア層：ニッケル（５０００Å；代表値０．５～３μｍ）
【０４１３】
キャップ／拡散：金（＞５００Å；代表値１５００～１００００Å）
【０４１４】
上記に関して、特定の接点層で用いることができる以下の代替材料を、これが全てではないが更に追加する。
【０４１５】
バリア（マザーまたはドーター）／拡散バリア（マザー）：これは、例えば、Ｎｉ、Ｃｒ、Ｔｉ／Ｐｔ、Ｔｉ／Ｐｄ／Ｐｔ、Ｔｉ／Ｐｔ／Ａｕ、Ｔｉ／Ｐｄ、Ｔｉ／Ｐｄ／Ａｕ、Ｔｉ／Ｐｄ／Ｐｔ／Ａｕ、ＴｉＷ、Ｔａ、ＴａＮ、Ｔｉ、ＴａＷ、Ｗとすることができ、または、ＩＣパッドがスタンドオフ層と同一材料から作製される場合、なしとすることができる。スタンドオフ層（ドーター）／剛性層（マザー）：Ｎｉ（特にバリアがＮｉの場合）、Ｃｕ（特にパッドがＣｕの場合）、Ａｌ、Ａｕ、Ｗ、Ｐｔ、Ｐｄ、Ｃｏ、またはＣｒ。めっきではなくスパッタの場合、展性（拡散）材料の融点より高い（代表値＞５０℃超）融点を有する任意の種類の金属。任意のバリア材料により作製することもできる。
【０４１６】
展性（拡散）材料：以下のような低温で溶融する金属。すなわち、すず、インジウム、鉛、ビスマス、アルミニウム、亜鉛、マグネシウムまたは１０００℃未満の融点を有する他の金属材料またはこれらの内の二つ以上を互いに組み合わせた合金、またはこれらの内の一つ以上を金、銀、銅、チタン、または類似の他の金属のような融点のより高い材料と互いに組み合わせた合金。組み合わせの実施例は：Ａｕ／Ｓｎ、Ｃｕ／Ｓｎ、Ｃｕ／Ｚｎ、Ｂｉ／Ａｇ等を含む。注：この選択に対する重要な態様は、選択した材料が、付着プロセス中に実際に溶融するのは好ましくないということであり、その理由は、そうなるとプロセスの速度があまりに遅くなり、コストが加わり、接点短絡、ひいては密度を制限させるクリープまたは流れ出すという問題を起こすことがあるためである。最終的に接点強度を与えるのは展性／剛性の組み合わせである。典型的には、Ａｕ、Ａｇ、Ｂｉ、Ｃｄ、Ｃｕ、Ｆｅ、Ｉｎ、Ｐｂ、Ｓｎ、ＳｂまたはＺｎの内の一つ以上の混合による複合物を含む合金が適切な選択である。主な条件は、融点を、剛性ポスト、およびもしあればスタンドオフ層、の融点以下にするということである。典型的には、展性材料の融点は、剛性材料の融点より少なくとも５０℃低くするべきであるが、本発明者らは１００℃～５００℃の融点の差を用いた。利点としては、接点の非平面度を克服するのに必要な適切な高さが得られる幾つかの材料で、展性材料を構成できる。実際、展性材料を剛性材料のスタンドオフポストの上面に作製することができる。例えば、ある場合には、展性材料は、高さ５μｍのＡｕ／Ｓｎから構成することができる。代替として、別の場合、ポストは、例えば、１～１．５μｍの展性材料の薄い層でカバーされた４μｍのニッケルのような剛性材料のスタックから構成することができる。
【０４１７】
展性カバー材料（キャップ／接着層）：これらは、すず、インジウム、鉛または亜鉛のような低温金属（または合金）等の、温度のもとで濡れる材料とすることができる。注意

すべきは、このカバー材料層が、一般に、展性材料層よりずっと薄いということである。例えば、約１０～２０倍薄いのが普通である。例えば、展性（加えて何れかのスタンドオフ）材料が高さ５μｍだったとすると、展性カバー材料は０．５μｍとすることができ、０．１～１μｍの範囲内であるのが典型的である（または展性層より約５０倍～５倍薄い）。このようなカバーの良好な一例はすず（Ｓｎ）である。このようなカバー材料の融点は低く、タック温度で液相に変化する。しかし、層が非常に薄く、短絡させるほどの十分な液体が存在しないので、隣接する接点間で短絡することがない。同時に、タック段階が液体プロセスとなるので、剛性キャップへの素早い付着プロセスに役立つ。一般に、このカバーは、融合したあとに得られる組み合わせが強い結合に適するように、展性材料と互換性を有するよう選択すべきである。すずの実施例では、このような手法は、Ｓｎキャップをもつ Ａｕ／Ｓｎ接点を用いるのが典型的であろう。

【０４１８】

展性カバー材料（酸化バリア）／剛性カバー材料（拡散キャップ）：「タック」プロセスに対して接着層を用いる場合で、それが酸化されやすいすずまたは亜鉛のような材料の場合、非常に薄い酸化バリアでカバーすべきである。さもなければ、タックプロセス中に反応ガスまたは反応液を用いて、酸化物を除去するか、または十分な高圧を用いて、例えば、インジウムをキャップとして用いる場合に発生するような、酸化物を取り除かなければならない。カバーはエポキシとすることもできる。ほとんどの材料では、キャップ自体より１０倍薄い厚さで正常に機能する。再度指摘するが、展性カバーは、展性カバー材料が、剛性カバー材料または展性材料と接触して混合し始める時に低温合金になるだけの（または結合剤になるだけの）、より高温の材料とすることができる。例えば、二つのカバーが、二つの部分の混合可能なエポキシであるか、または酸化バリアが金で、展性材料が金－すずであったとすると、付着プロセス中のすずの酸化層内への相互混合により、その材料はより低い融点を有するようになるはずである。一般に、この層は、すぐには酸化しない任意の金属／材料とすることができる（例えば、Ａｕ、Ｐｔ等）。

【０４１９】

図２４３Ａ～図２４３Ｃは、異なる層の実施例およびそれらがどのように相互作用し、またはしないかを示すタック－融合プロセスにおける上記の変形形態を用いて形成された、実際の接点（マザーおよびドーター）の断面の写真である。

【０４２０】

図２４３Ａは、タック－融合プロセスのタック段階完了直後の、マザーウェハとドーターウェハとを接続する一対の接点を示す。図から分かるように、両者間には良好な接続が存在するが、広い面積の未接続材料により明らかなように、恒久的ではない。

【０４２１】

図２４３Ｂは、融合段階完了直後の類似の接続対である。ここでは、恒久的接続が明らかであり、バリアを用いる価値があることを示す。注意すべきは、図２３７Ａおよび図２３７Ｂの両図で、展性材料は、ほとんどバリア間にトラップされているということである。

【０４２２】

図２４３Ｃは、同様に結合された一対の接点の写真であり、やはり融合段階直後である。この写真では、コンポーネントは明瞭ではないが、マザーおよびドーターウェハのＩＣパッドは明瞭であり、それらが両者間の相対的な大きさの関係の感じを提供している。

【０４２３】

接続－関連ツーリング

【０４２４】

チップオンチップ、ダイおよびウェハ基準の相互接続に対する多数の異なる手法、および多くの順列、変形およびそれらの組み合わせを利用するのを可能にする各種の詳細について説明してきたが、これまでに工夫してきた、結合プロセスを支援するために用いて利点がある特定の様々な種類のツーリングの方にそれて、それを説明しておくのも有用であろう。注意すべきは、これらのツーリングの手法はどれも、順列、変形または組み合わせ

のどれかを達成するのに必須ではなく、むしろプロセスを容易にするために開発されてきたものであり、「ピックアンドプレイス」のようなチップに関連する操作、特に、多数のチップを同時に行うことが望ましい場合、およびもっと有利なのはこれらのチップの高さが互いに変化する状況で用いることができる点である。

【０４２５】

単なる説明にすぎないが、様々なツーリングの変形形態を、タック－融合プロセスでの使用に関連させて説明する。というのは、その手法の理解は、より単純な使用を説明する必要性を未然に防ぐし、それらは変形形態のサブセットまたは取るに足らない変形形態だからである。

【０４２６】

本明細書で説明したように、付着プロセスは二つの部分に分かれる：第１部分では、チップが互いに軽く付着され（「タック」段階）、第２部分では、「融合」段階が結合強度を提供する。タックプロセスは接点を加熱し、それらを軽い圧力で隣接させたままにして、二つの対応する接点上の材料を互いに相互拡散させる。

【０４２７】

本プロセスでは、重力の力だけでは必要な圧力を提供するのに十分ではない場合、僅かな量の圧力を加えて、チップが本プロセス中に確実に移動しないようにして、付着時の機械的衝撃または非一様性が起きる可能性を低減する。そのいずれも、接点間の接着が十分でない結果を生じることになり、ウェハの取扱いに耐えることができなくなる。更に、圧力は、何らかの局部的な加熱が、展性材料を部分的または完全に液相にする（または液相にならず理想よりもっと展性となるだけの）場合、およびそのピースを押しやるかもしれない圧力および表面張力または他の力に反作用を加える場合、または展性材料の過剰な柔軟さが発生する場合、圧力が、個々の部品および部品全体が横方向に過剰に移動するのを確実に防ぐことができるよう役立てることができる。従って、僅かな圧力の印加は、融合プロセスに対する温度および取扱条件の自由度を更に確実に拡げて、生産の許容範囲および変動を考慮することができる。

【０４２８】

しかし、これらのチップに圧力を加えることの問題の内の一つは、ベース要素、例えばウェハが、それに付着される多数のチップを有する場合、個々のチップは共面ではないかもしれず、高さが著しく異なっていることもある。従って、チップの上面へ単に、平坦面またはプレートを置くべきであったとすると、加えられる圧力は不均等になる筈である。

【０４２９】

以下に示すように、上記を解決するために考案された本手法は、異なる高さに適合し、またはそれを考慮する駆動源とチップとの間の編成を用いて、全てのチップに等しい圧力をかけることである。

【０４３０】

これを達成する一つの手法は、一対一基準の編成で個々のチップと一致する一連のピンまたはポストを用いる。例えば、それぞれからの態様または以下に説明するような、他のツーリングの手法からの態様を組み合わせることにより、他の変形形態を考案することができるという了解のもとで、本手法の二つの異なる変形形態を説明する。

【０４３１】

図２４４～図２４７に、ピンまたはポスト型手法を実装するためのツーリング例を示す。

【０４３２】

図２４４および図２４５に示すように、本手法は、フレーム２４４０４内部の一セットのピンまたはポスト２４４０２を用いる。個々のピンまたはポストは、少なくともその長手軸に沿って可動である（実装によっては、平面度または傾きが問題となる可能性がある場合、僅かな枢動を許容することができる）。ポストまたはピンは、拘束し、解放することができる。それぞれのポストまたはピンは、それぞれ単一チップと接触するように構成される面を有する。

【０４３３】
特定の実装に応じて、どの特定のピンまたはポストもその面は：平面であるか、圧力をかけるチップの逆形状をしたダイであるか、または特定用途に適した何らかの他の形状、とすることができる。更に、その面でまたは面の近くでピンまたはポスト自体は（およびその長さの一部または全体に沿って）、円形断面または何らかの他の形状、非円形（すなわち、楕円、四角形、六角形、八角形等）の閉じた形状を有する。更に、その面の周囲および平面は、接触させる特定のチップの周囲または領域より大きくても小さくてもよい（すなわち、チップの周囲を越えて延びてもよく、または完全にもしくは部分的にその内部に含まれてもよく、重要なことは、その面が、チップを損傷することなく、特に割れまたは欠けないように、チップへ力を加えるよう構成されるということである）。

【０４３４】
使用に際しては、フレーム内のポスト（場合によっては、フレーム自体）を拘束しない状態で、それぞれのポストが、それぞれのチップと適切に接触する状態になるまで下方に下げる（図２４５）。一旦これを行うと、ピンをその位置で拘束する。その結果、適切なレベルの力をフレーム、または実装によっては、ピンもしくはポストに、加えることができる。ツールを下げると、チップ上に縦方向の力だけを加え、それにより、力はピンまたはポストを介してそれぞれのチップへ均等に伝達される。

【０４３５】
その後、結合プロセスは、本明細書で説明するように、または何らかの他の方法で継続する。

【０４３６】
図２４６および図２４７は、図２４４および図２４５の手法に類似する代替のピンまたはポスト型手法を示す。但し、１チップ毎に単一のピンまたはポストの代わりに、個々のチップに接触する小径のピンまたはポストのグループを用いる。その結果、本手法では、グループ内の個々のピンまたはポストを用いて、単一チップの非平面度または高さの変動を考慮できる。更に、特定の実装に応じて、少なくとも幾つかのピンがチップの周囲の境界を越えるように構成される場合、チップの上面の下に延びるようにそれらを延ばすことにより、チップの横方向への移動を拘束するのに役立てることができる。その他の点では、本手法は、１チップ毎にピン／ポストの場合と同一である（すなわち、力をフレーム、グループまたはピンを介して加えることができるように、未拘束のグループのピン／ポストの面２４６０６０を、それぞれのチップと接触させて、拘束する）。更に、グループ内の個々のピン／ポストは、それぞれの面の近くで円形または非円形断面を有することができる。更に、下記で明らかになるように、ピンに適した形状を選択することにより、グループ内のピン／ポスト間の間隔を生成するか、取り除き、特定の利点を達成することができる。

【０４３７】
注意すべきは、個々のピン／ポストまたはグループ（１チップ毎に多数のピン／ポストの場合）は、それらによりチップへ伝達される何らかの圧力が、チップに割れを発生させない十分な幅が必要であり、プロセス中に、チップの縁や隅部をそれらが強打しないように配置すべきである。

【０４３８】
どちらの場合でも、ポストまたはピンを保持するフレームを使用することにより、一旦拘束すると、ポストまたはピンは縦方向の意義のある移動しかできないので、ウェハに付着されるチップのトポグラフィに従いながら、その構造に縦方向の圧力を加えることだけが可能となる。

【０４３９】
利点としては、本明細書で注記したように、タック－融合手法を用いる場合、「タック」ステップに必要な力は、１接点あたり１ｇ程度以下とするのが典型的であり、融合プロセスでは、１接点あたり０．００１ｇ未満が典型的である。その結果、例えば、クランプまたは他のロック手法により簡単に、ピンまたはポストをフレーム内で容易に拘束でき、

本特定の手法は、設計の選択の問題に過ぎず、ツーリングおよびその使用法を理解するのに重要ではない。

【０４４０】

利点としては、実装によっては、上記ツーリングのいずれも、チップへ真空を与えることができるようにして更に強化することができる。１チップ毎のピン／ポストの場合には、ポストおよびポスト面２４４０６上の開口部を通じて、通路２４４１２、２４４１４を提供することにより達成できる。代替として、ピン／ポストのグループ手法では、ピン／ポスト自体が真空を引く通路を収容できる。代替としてピン／ポストに対する適切な形状および間隔を選択することにより、隣接するピンの間に通路を形成（チップ境界内部に）または除去（チップ周辺近く）することができ、これらの隙間の通路を通じて真空を引くことが可能となる。

【０４４１】

何れのツーリング事例でも、このような変形形態では、チップへ真空を与えることができ、例えば、ツーリング自体をピックアンドプレイス動作で使用することが可能になり、または真空が、例えばタックまたは融合プロセス中の、チップの非縦方向（望ましくない方向）移動を更に禁止することが可能になる。

【０４４２】

更に代替の手法により、最初にチップへ接着させて、操作が完了するとチップから「剥がす」ことができるように選択した材料を、ピンまたはポストの面２４４０６、２４６０６へ付与することができる。例えば、タックまたは融合温度付近で液化して流れ出すか、溶融または蒸発するが、それを行う際に、チップに損傷を与えず、チップまたはチップを付着する要素上に残留物が残る場合、残留物を何らかの非損傷プロセスを介して除去できるか、または有害な影響がないとして無視できる材料を、面上に用いることができる。

【０４４３】

ポスト／ピンの解決法は縦方向の動きだけを提供するが、その手法の幾つかの実装は、実際にはチップを所定位置に保持せず、場合によっては、各チップの全体に一様に力を加えるという保証はなく、またはチップが、例えばタックまたは融合プロセスの間に、角度が傾かないという保証はできない。従って、場合によっては、個々のチップ全体または様々な高さを有するチップ間の、チップの移動または非一様な融合が発生する可能性がある。

【０４４４】

図２４８および図２４９に示すように、このような場合には、剛性プレート２４８０４とドーターチップ２４９０６との間に編成されるスポンジ様の、フレキシブルな、形状適合性のある、または変形可能な材料２４８０２を含む代替のツーリング手法を用いることができる。図２４９に示すその材料は、チップ上の圧力を維持し、かつチップへのキズ、欠けまたは損傷を生じさせる局部的圧力を防ぎながら、様々な部品の高さにそれ自体を適合させまたは調節する。本手法は、特定用途に対して適切な厚さのスポンジ様または変形可能な材料を用いる（典型的には０．０１～０．１２５インチ）。このような材料の実施例には、これが全てではなく限定もしないが、例えば、Ｋａｌｒｅｚ（登録商標）７０７５、Ｋａｐｔｏｎ（登録商標）、またはＴｅｆｌｏｎ（登録商標）（いずれもＤｕｐｏｎｔから市販されている）のような高温ポリマ、ミネソタ州ＣｈａｎｈａｓｓｅｎのＢｅｒｇｑｕｉｓｔ社から市販されている高温シリコンゴムの熱パッド、Ｚｉｒｃａｒ　ＲＳ－１００のようなセラミックファイバ強化アルミナ複合材料（フロリダ、ＮＹ１０９２１のＺｉｒｃａｒ　Ｒｅｆｒａｃｔｏｒｙ　Ｃｏｍｐｏｓｉｔｅｓ，Ｉｎｃ．から市販されている）、ＭｃＭａｓｔｅｒ－Ｃａｒｒ　Ｓｕｐｐｌｙ　Ｃｏｍｐａｎｙを通じて市販されているカタログＮｏ．３９０－２ｘＭ、３９０－４ｘＭおよび３９０－８ｘＭ（ｘは幅を示す１、２または３）のようなセラミックテープで、例えば、酸化アルミニウムベースのセラミックテープ、ＭｃＭａｓｔｅｒ－Ｃａｒｒが部品番号８７５７５Ｋ８９として市販しているようなセラミックファイバ帯、ＭｃＭａｓｔｅｒ－Ｃａｒｒが部品番号９３２３Ｋ２１として販売しているガラスファイバ紙、または何れかの他の材料が含まれる。

【０４４５】
更に、プレートとチップとの間に用いられる特定材料に応じて、その材料は複数サイクル以上の圧力印加および結合に対して再使用できるが、１回限りの使用材料とすることもできる。
【０４４６】
また図２４９に示すように、ピン／ポスト変形形態と同様に、圧力を加えてチップ上にプレートを下げるので、変形可能な材料がチップに適合し、チップの周囲を取り囲んで横方向の移動を拘束する。次いで、ピン／ポスト型ツーリングと同様に、結合プロセスを進行させる。
【０４４７】
代替として、特定用途でフレームを介してピン／ポストへ力を加えるのをあまり望まない場合、この編成をピン／ポスト型ツーリングと併せて用いることができるという利点がある。そのような編成では、ピン型ツーリングを上記のように適用する。但し、ピン／ポストが全て同じ高さの場合、チップに接触すると、ピン／ポストの端部はチップと同じ高さの差を反映する。その一方で、チップと反対側のピン／ポスト端部上にプレート－材料編成を用いることにより、高さの差に適合させるとともに、適切な力を容易に、かつ一様に加えることができる。更に、本手法を通じて、チップと直接接触しなければならない材料ほど耐熱性でなくてもよい特定材料を、チップから物理的に十分離すことができる可能性がある。
【０４４８】
チップを結合する要素と接触したままにする、図２４８および図２４９のプレートの変形形態と類似している別の代替の手法を、図２５０～図２５４に示す。この手法は、比較的薄いが剛性のある材料２５００２を別の硬化可能材料２５００４で覆うことにより形成される本体２５０００から成されるツーリングを含み、その硬化可能材料は液相またはゲル（例えばエポキシ）で堆積して、後に硬化させる。
【０４４９】
次いで、この本体２５０００をチップ２４９０６のアレイ上に置き（図２５１）、硬化可能材料２５００４がレベル位置を維持したままそれぞれに接着されるようにする。次いで、硬化可能材料を、本体全体が剛体となるように硬化させる。（代替として、融合本体の剛体部分はフレキシブルな形状適合材料であってもよい。但し、後続の硬化可能材料を十分厚いままに保って、それを硬化すると、本体全体（すなわち、本体および硬化可能材料）が剛体のように振る舞えるようにする）。
【０４５０】
一旦硬化すると、チップを付着させる要素へチップを移動することができ、付着プロセス中に（必要なら）、必要に応じて、本体に別体の脱着式重錘により荷重を加えることができる（図２５２）。更に、硬化可能材料をそれぞれのチップへ付着させ硬化させるので、付着したチップは、本体全体自体の動きによるようなものを除いては、互いに、どの方向にも（横、縦、または傾斜（ピッチおよびヨー）のいずれにも）動くことができない。その結果、付着プロセス中に本体全体がレベル位置に維持される場合、チップは同様な向きに維持される。
【０４５１】
オプションとして、アンダーフィル２５３０２材料を、本体と、チップを付着する要素との間に流すことができる（図２５３）。このアンダーフィル２５３０２を用いて、チップと、チップを付着する要素との間のどんな間隙も充填できる。更に、チップと本体との間の領域は囲まれているので、アンダーフィル２５３０２を制御可能な方法で流すことができる（すなわち、それが望ましくない場所に流れ込まないように）。
【０４５２】
重錘を用いた場合またはアンダーフィルを付与した場合、一旦結合して荷重を取り去った後、チップに損傷を与えない任意の適切なプロセス、例えば化学的プロセス、ウェハのラッピングもしくは研磨、または化学機械的プロセス（ＣＭＰ）により、本体全体（また

はその大部分）を取り外すことができる（図２５４）。本体を取り外すことにより、チップアセンブリ全体が、あたかも今度は下地要素であるかのように、新規チップ層を付着するために利用可能となる。

【０４５３】

同様に、この「本体」の手法をピン／ポスト型ツーリングと併せて用いて、ピン／ポストの高さの差を考慮し、フレームへ直接印加しない力の印加を可能にできる。その場合は、ピン／ポストをチップに接触させ、次いで、本体をチップと反対のピン／ポストの一端に接触させ、硬化させる。その後、所望プロセスで上記のように力を加える。一旦チップを付着すると、ピン／ポスト－フレーム－本体全体の組み合わせを、通常のピン／ポスト手法と同様にチップから直ちに取り外すことができる。その後、硬化可能材料を軟化または除去する任意の便利なプロセスにより、または単に硬化可能材料の外側の点で、ピンを切断または引き裂くことにより、本体全体をピン／ポスト－フレームツーリングから分離できる。

【０４５４】

更に、この特定の組み合わせ手法の更なる利点は、多数のチップを一つ以上のそれぞれの下地要素へ結合するアセンブリラインの手法、および特定の変形形態に関して上記に記したように、ピックアンドプレイス手法の一部として使用する場合に、再現性が得られるという点にある。

【０４５５】

最後に、上記のツーリングおよび他の変形形態、その順列または組み合わせの全てに関して、注意すべきは、特定の使用に要求される場合、フォーミングガスまたは蟻酸またはフラックスのようなガスを、本プロセスの融合中、フレームとチップとの間に流すことができる

【０４５６】

注意すべきは、場合により、ピン／ポスト手法は、幾つかのフレキシブルまたはスポンジ様材料を使用することが好ましい（すなわち、それ自体が、強すぎる横方向の圧力をチップに加えることがあり、融合プロセス中にチップを傾斜させ、または移動させたり、または融合プロセス条件に対して極端に（かつ、市販品では実用的でないほど）厳しい許容差を要求することがある場合）。

【０４５７】

要約を繰り返すが、本発明を光チップを含む特定種類のチップ（すなわち、例えば、一つ以上のレーザー、一つ以上の光検出器、またはこれらの組み合わせを搭載するもの）と関連させて説明してきたが、本明細書で説明した本手法を十分に等しく用いて、光コンポーネントに加えて、またはその代わりに、トランジスタまたは他の電子回路コンポーネントを備える任意の種類のドープした半導体チップの、「スルーチップ」電気接続を生成することができる。

【０４５８】

同様に、特定材料を「ポスト－ペネトレーション」接点材料として使用するのに適しているとして、特定してきたが、これらの材料を、使用できる唯一の材料であると文字通りに受け取るべきではない。重要なことは、両者間の拡散が起きて接続が形成されるような両者間の相対的な硬さであって、使用する特定材料ではないからである。材料の特定の対は、ある程度、入手可能性、コスト、使用する他のコンポーネントとの互換性、または本明細書で説明したことと無関係な他の生産関連プロセス、のような要因により決定されるので、幾つかの可能性のある限定されない材料の対の幾つか以上を記載するのは無益である。同様に、光エポキシを超える幾つかの光透過材料が存在する。しかし、特定用途で用いられる特定材料の選定基準は、本明細書の主題とは無関係な他の要因に影響されまたは支配されていることがある。従って、言うまでもなく、ボイドに挿入でき、特定用途に要求されるレーザー光を透過する光透過媒体はどれも、あらゆる代替の可能性がある特定の記載がなくても、適切に使用できる材料であると考えるべきである。

【０４５９】

従って、言うまでもなく、本説明（図を含む）は幾つかの例示の実施の形態の表現に過ぎない。読者に便利なように、上記説明は、可能性がある全ての実施の形態の内の、本発明の原理を教示する代表的な例示に焦点を当ててきた。本説明は、可能性がある全ての変形形態を網羅することを意図してはいない。代替の実施の形態が、本発明の特定部分について提示されていない可能性もあること、または更に、説明されていない代替の実施の形態がある部分では利用可能なこともあることを、これらの代替の実施の形態の権利放棄と考えるべきではない。当業者には言うまでもなく、これらの説明していない実施の形態の多くは、本発明の同一原理に組み込まれ、その他は均等物である。

【図面の簡単な説明】

【０４６０】

【図１】多数のアクティブな電子デバイスを含むチップの一部の側面略図である。

【図２】図１の特定領域の上面の平面図である。

【図３】図１の一部の断面略図を示す。

【図４】図３の側面図に示される溝の生成直後の、図１の特定領域の上面の平面図である。

【図５】後続処理の結果として図１の部分の断面略図を示す。

【図６】図５の側面図に示される電気絶縁材料による溝の充填直後の、図１の特定領域の上面の平面図である。

【図７】後続処理の結果として図１の部分断面略図を示す。

【図８】バイア溝を生成した直後の、図１の特定領域１２４の上面の平面図である。

【図９】後続処理の結果として図１の部分断面略図を示す。

【図１０】バイア溝にメタライゼーションを施した直後の、図１の特定領域の上面の平面図である。

【図１１】下記のオプション処理の結果として図１の部分断面略図を示す。

【図１２】残りのボイド内に接着剤をオプションで導入した直後の、図１の特定領域の上面の平面図である。

【図１３】他のオプション処理の結果として図１の部分断面略図を示す。

【図１４】残りのボイド内に仕上げ剤をオプションで追加した直後の、図１の特定領域の上面の平面図である。

【図１５】後続処理の結果として図１の部分断面略図を示す。

【図１６】基板を薄くして底部メタライゼーションを除去した直後の、図１の部分断面略図を示す。

【図１７】代替の変形形態の処理の結果として図５の部分断面略図を示す。

【図１８】バイア溝を生成した直後の、図１の特定領域の下部を取り出した断面の平面図である。

【図１９】図９と関連させて説明した方法で更に処理した結果として、図５の部分断面略図を示す。

【図２０】図１１と関連させて説明した方法で更にオプション処理した結果として、図５の部分断面略図を示す。

【図２１】図１３と関連させて説明した方法で更にオプション処理した結果として、図５の部分断面略図を示す。

【図２２】図１７の代替の変形形態において図１５と関連させて説明した方法で、基板を薄くして底部メタライゼーションを露出させた結果として、図５の部分断面略図を示す。

【図２３】図１７の代替の変形形態について図１６と関連させて説明した方法で、基板を薄くして底部メタライゼーションを除去した結果として、図５の部分断面略図を示す。

【図２４】側壁のメタライゼーション直後の、二重導電体の変形形態を簡略化して示す。

【図２５】電気絶縁材料５００で溝を充填した直後の、二重導電体の変形形態を簡略化して示す。

【図２６】半導体材料のアイランド全体を除去することにより生成した、バイア溝を簡略化して示す。

【図２７】半導体材料の内部アイランドだけを除去することにより生成した、バイア溝を簡略化して示す。
【図２８Ａ】一例示の二重導電体の変形形態を簡略化して示す。
【図２８Ｂ】一例示の二重導電体の変形形態を簡略化して示す。
【図２９Ａ】別の例示の二重導電体の変形形態を簡略化して示す。
【図２９Ｂ】別の例示の二重導電体の変形形態を簡略化して示す。
【図３０Ａ】図２８Ａおよび図２９Ａの手法における、オプション追加の熱的に生成した誘電体または絶縁体の使用を示す。
【図３０Ｂ】図２８Ｂおよび図２９Ｂの手法における、オプション追加の熱的に生成した誘電体または絶縁体の使用を示す。
【図３１】一例示の三重導電体の変形形態を簡略化して示す。
【図３２】メタライゼーション後に残るボイドが充填されないこと以外は図９～図１６の実装と類似の、代替の一例示のチップ実装の部分断面略図を示す。
【図３３】メタライゼーション後に残るボイドが充填されないこと以外は図２３のものと類似の、代替の一例示のチップ実装の部分断面略図を示す。
【図３４】ハイブリッド化（混合化）した直後の、図３２のチップの各断面図を示す。
【図３５】ハイブリッド化（混合化）した直後の、図３３のチップの各断面図を示す。
【図３６】絶縁体または絶縁保護コーティングによるオプションのコーティング後の、図３４の実装を示す。
【図３７】環状溝の断面の例示を示す。
【図３８】スタックするためにウェハを準備するためのプロセスを、簡略化し、かつ包括的な全体で示す。
【図３９】本明細書で説明するプロセスの異なる変形形態を用いて、スルーチップ接続を生成するために処理され、その後、スタックしてチップユニットを形成した一実施例のチップの一部を示す。
【図４０】本明細書で説明するプロセスの異なる変形形態を用いて、スルーチップ接続を生成するために処理され、その後、スタックしてチップユニットを形成した一実施例のチップの一部を示す。
【図４１】本明細書で説明するプロセスの異なる変形形態を用いて、スルーチップ接続を生成するために処理され、その後、スタックしてチップユニットを形成した一実施例のチップの一部を示す。
【図４２】背面対前面の変形形態を行うためのプロセスを簡略化して示す。
【図４３】容量接続の変形形態を行うためのプロセスを簡略化して示す。
【図４４】プリコネクトの変形形態を行うためのプロセスを簡略化して示す。
【図４５】例示のタック－融合パラメータを簡略化して示す。
【図４６】例示のタック－融合パラメータを簡略化して示す。
【図４７】「最小」の接点についての簡略化した例示である。
【図４８】拡張した接点についての簡略化した例示である。
【図４９】本明細書で説明したようなスルーチップ接続をそれぞれが有する、半導体チップのスタックの一部を示す。
【図５０】ポスト－ペネトレーション接続手法を用いてスタックした、図４９に示すチップの簡略化したスタックの一部を示す。
【図５１】プリフォームされたポストにより充填されるメタライゼーション内のボイドを簡略化して示す。
【図５２】電子チップへハイブリッド化された後の、図５１のチップを簡略化して示す。
【図５３】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図５４】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図５５】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を

示す。
【図５６】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図５７】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図５８】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図５９】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６０】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６１】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６２】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６３】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６４】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６５】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６６】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６７】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６８】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図６９】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図７０】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図７１】基本的な接点形成およびハイブリッド化の手法の簡略化した例示の変形形態を示す。
【図７２】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７３】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７４】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７５】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７６】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７７】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７８】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図７９】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８０】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形

形態を示す。
【図８１】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８２】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８３】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８４】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８５】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８６】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８７】基本的な接点形成およびハイブリッド化の手法の代替の簡略化した例示の変形形態を示す。
【図８８】後で、ドーターウェハの背面上の剛性ポストとなるものを形成するための、更に二つの例示の変形形態手法の第１部分を、簡略化し、並べて示す。
【図８９】後で、ドーターウェハの背面上の剛性ポストとなるものを形成するための、更に二つの例示の変形形態手法の第１部分を、簡略化し、並べて示す。
【図９０】後で、ドーターウェハの背面上の剛性ポストとなるものを形成するための、更に二つの例示の変形形態手法の第１部分を、簡略化し、並べて示す。
【図９１】後で、ドーターウェハの背面上の剛性ポストとなるものを形成するための、更に二つの例示の変形形態手法の第１部分を、簡略化し、並べて示す。
【図９２】例示の傾斜バイアの断面写真である。
【図９３】深さ１００μｍで直径２０μｍを有する例示のバイアの写真である。
【図９４】中に形成された先端が尖ったバイアを有するチップの断面写真である。
【図９５】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図９６】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図９７】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図９８】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図９９】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図１００】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図１０１】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図１０２】図８８～図９１の更に二つの例示の変形形態手法の第２部分を、簡略化し、並べて示す。
【図１０３】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１０４】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１０５】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１０６】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。

【図１０７】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１０８】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１０９】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１０】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１１】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１２】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１３】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１４】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１５】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１６】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１７】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１８】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１１９】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２０】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２１】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２２】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２３】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２４】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２５】他の要素へハイブリッド化するためのウェハを準備する変形形態のプロセスを、簡略化し、並べて示す。
【図１２６】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１２７】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１２８】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１２９】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３０】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３１】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。

【図１３２】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３３】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３４】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３５】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３６】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３７】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスの写真である。
【図１３８】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１３９】他の要素へハイブリッド化するためのウェハを準備する更なる変形形態のプロセスを、簡略化し、並べて示す。
【図１４０】タック段階直前のドーターウェハ接点およびマザーウェハ接点を簡略化して示す。
【図１４１】融合プロセスが完了した後の、図１４０の接点を簡略化して示す。
【図１４２】プロファイル化した展性接点を示す。
【図１４３－１】可能性のある無数のマザー接点プロファイルの内の幾つかの例示を示す。
【図１４３－２】可能性のある無数のマザー接点プロファイルの内の幾つかの例示を示す。
【図１４３－３】可能性のある無数のマザー接点プロファイルの内の幾つかの例示を示す。
【図１４４】代替の実施例のプロファイル化した展性接点の写真である。
【図１４５】図１４４の展性接点に入り込むよう設計されたプロファイル化した剛性接点の写真である。
【図１４６】更にプロファイル化した接点の実施例を簡略化して示す。
【図１４７】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１４８】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１４９】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１５０】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１５１】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１５２】ウェル取り付けの考え方を実施するための一変形形態のプロセスを示す。
【図１５３】逆ウェルの変形形態の種類を簡略化して示す。
【図１５４】逆ウェルの変形形態の種類を簡略化して示す。
【図１５５】逆ウェルの変形形態の種類を簡略化して示す。
【図１５６】逆ウェルの変形形態の種類を簡略化して示す。
【図１５７Ａ】直径１５μｍ、深さ１３５μｍまで延びるバイアの縦方向断面の写真である。
【図１５７Ｂ】直径２５μｍ、深さ１５５μｍまで延びるバイアの縦方向断面の写真である。
【図１５８】図１５７Ａおよび１５７Ｂのものと類似しているが、底部まで充填されていないバイアの写真である。
【図１５９】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６０】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６１】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６２】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。

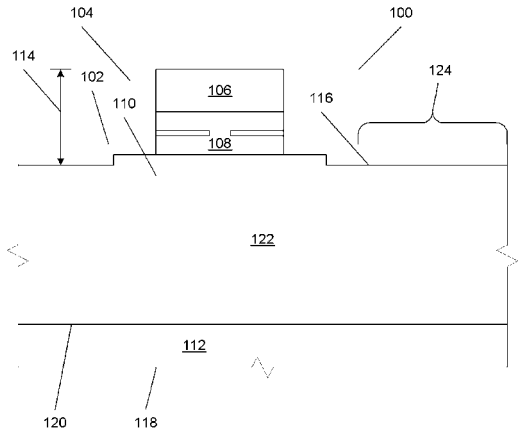
【図１６３】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６４】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６５】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６６】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６７】クラスＩＩ型剛性ウェル取り付け手法の更なる変形形態を示す。
【図１６８】別々の離れた接点によりチップが互いに付与されるウェル取り付け手法の更なる変形形態を示す。
【図１６９】別々の離れた接点によりチップが互いに付与されるウェル取り付け手法の更なる変形形態を示す。
【図１７０】別々の離れた接点によりチップが互いに付与されるウェル取り付け手法の更なる変形形態を示す。
【図１７１Ａ】代替の離れた接点の変形形態の平面図を示す。
【図１７１Ｂ】代替の離れた接点の変形形態の平面図を示す。
【図１７２】例示の同軸接点の断面図を示す。
【図１７３】同軸接点の例示の使用法を示す。
【図１７４】同軸接点の例示の使用法を示す。
【図１７５】同軸接点の例示の使用法を示す。
【図１７６】本明細書で説明するような接点を用いる気密封止のの簡単な実施例を示す。
【図１７７】本明細書で説明するような接点を用いる気密封止の簡単な実施例を示す。
【図１７８】本明細書で説明するような接点を用いる気密封止の簡単な実施例を示す。
【図１７９】本明細書で説明するような接点を用いる気密封止の簡単な実施例を示す。
【図１８０】剛性／展性接点の原理を用いる他の変形形態を形成するための異なる手法を要約するチャートである。
【図１８１Ａ】バイア変形形態を形成するための異なる手法を要約するチャートである。
【図１８１Ｂ】バイア変形形態を形成するための異なる手法を要約するチャートである。
【図１８２】バイア変形形態を形成するための異なる手法を要約するチャートである。
【図１８３】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８４】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８５】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８６】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８７】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８８】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１８９】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９０】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９１】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９２】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９３】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９４】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。

【図１９５】ドーターウェハ上の金属の堆積を含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９６】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９７】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９８】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図１９９】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２００】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０１】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０２】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０３】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０４】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０５】ドーターウェハ上の金属のめっきを含む特定の事例に対するプロセスフローをより詳細に示す。
【図２０６ａ】マザーウェハの無電解めっきの変形形態を簡略化して示す。
【図２０６ｂ】マザーウェハの無電解めっきの変形形態を簡略化して示す。
【図２０６ｃ】マザーウェハの無電解めっきの変形形態を簡略化して示す。
【図２０７ａ】マザーウェハの薄い誘電体の変形形態を簡略化して示す。
【図２０７ｂ】マザーウェハの薄い誘電体の変形形態を簡略化して示す。
【図２０７ｃ】マザーウェハの薄い誘電体の変形形態を簡略化して示す。
【図２０７ｄ】マザーウェハの薄い誘電体の変形形態を簡略化して示す。
【図２０７ｅ】マザーウェハの薄い誘電体の変形形態を簡略化して示す。
【図２０８ａ】マザーウェハの厚い誘電体の変形形態を簡略化して示す。
【図２０８ｂ】マザーウェハの厚い誘電体の変形形態を簡略化して示す。
【図２０８ｃ】マザーウェハの厚い誘電体の変形形態を簡略化して示す。
【図２０８ｄ】マザーウェハの厚い誘電体の変形形態を簡略化して示す。
【図２０８ｅ】マザーウェハの厚い誘電体の変形形態を簡略化して示す。
【図２０９】バリア堆積前の、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するマザーウェハ接点に対する一実施例および幾つかの代表的な寸法を示す。
【図２１０】バリアおよびキャップの堆積の後の、図２０９の接点を示す。
【図２１１】２５μｍピッチで離間する８μｍ幅の接点パッドを有するマザーウェハ接点に対する代表的な寸法を示す。
【図２１２】堆積により生成される、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するドーターウェハ接点に対する一実施例および幾つかの代表的な寸法を示す。
【図２１３】堆積により生成される、２５μｍピッチで離間する８μｍ幅の接点パッドを有するドーターウェハ接点に対する一実施例および幾つかの代表的な寸法を示す。
【図２１４】セルフアライメントシードエッチが実行される前の、５０μｍピッチで離間する１４μｍ幅の接点パッドを有するめっき版マザーウェハ接点に対する一実施例および幾つかの代表的な寸法を示す。
【図２１５】セルフアライメントシードエッチが実行された後の、図２１４の接点を示す。
【図２１６】ヒートパイプ編成の一部として内側バイアを用いる方法を示す。

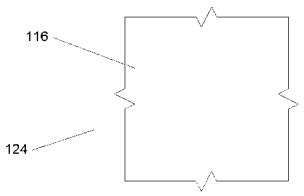
【図２１７】例示の絶縁および架橋の変形形態を簡略化して示す。
【図２１８】別の例示の絶縁および架橋の変形形態を簡略化し、並べて示す。
【図２１９】例示の代表的な従来型マイクロプロセッサーチップ、およびそれぞれの構成エレメントを簡略化して示す。
【図２２０Ａ】代替のマイクロプロセッサを、図２１９のマイクロプロセッサの要素から構築して、投影面積を小さくし、要素間距離を実質的に狭くできる方法を簡略化して示す。
【図２２０Ｂ】代替のマイクロプロセッサを、図２１９のマイクロプロセッサの要素から構築して、投影面積を小さくし、要素間距離を実質的に狭くできる方法を簡略化して示す。
【図２２０Ｃ】代替のマイクロプロセッサを、図２１９のマイクロプロセッサの要素から構築して、投影面積を小さくし、要素間距離を実質的に狭くできる方法を簡略化して示す。
【図２２０Ｄ】代替のマイクロプロセッサを、図２１９のマイクロプロセッサの要素から構築して、投影面積を小さくし、要素間距離を実質的に狭くできる方法を簡略化して示す。
【図２２１】図２１９のチップの投影面積と、図２２０のチップのそれとの直接比較を示す。
【図２２２】機能別パッケージの変形形態を示す。
【図２２３】図２２２のパッケージの変形形態の詳細を示す。
【図２２４】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２２５】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２２６】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２２７】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２２８】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２２９】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２３０】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２３１】経路指定のない処理の変形形態を簡略化して概観を示す。
【図２３２】代替の経路指定のない変形形態を簡略化して示す。
【図２３３】代替の経路指定のない変形形態を簡略化して示す。
【図２３４】代替の経路指定のない変形形態を簡略化して示す。
【図２３５】代替の経路指定のない変形形態を簡略化して示す。
【図２３６】二つのチップ間の配線ではなく光を使用する接続を、簡略化して示す。
【図２３７】加熱パイプ構成の変形形態を使用して、両者の間に二つの他のチップが介在しても、レーザー装填チップから光検出器装填チップまで光を通すことが可能な方法を簡略化して示す。
【図２３８】タッカー融合プロセスの手法を簡略化して示す。
【図２３９】ドーター接点の機能層を簡略化して示す。
【図２４０】マザー接点の機能層を簡略化して示す。
【図２４１】ドーター接点の機能層の例示の材料構成を簡略化して示す。
【図２４２】マザー接点の機能層の例示の材料構成を簡略化して示す。
【図２４３Ａ】結合したマザーおよびドーター接点の写真である。
【図２４３Ｂ】結合したマザーおよびドーター接点の写真である。
【図２４３Ｃ】結合したマザーおよびドーター接点の写真である。
【図２４４】チップ毎に単一ピンのツーリングを簡略化して示す。
【図２４５】チップ毎に単一ピンのツーリングを簡略化して示す。
【図２４６】チップ毎に多数ピンのツーリングを簡略化して示す。
【図２４７】チップ毎に多数ピンのツーリングを簡略化して示す。
【図２４８】代替のツーリング手法を簡略化して示す。
【図２４９】代替のツーリング手法を簡略化して示す。

【図２５０】別の代替のツーリング手法を簡略化して示す。
【図２５１】別の代替のツーリング手法を簡略化して示す。
【図２５２】別の代替のツーリング手法を簡略化して示す。
【図２５３】別の代替のツーリング手法を簡略化して示す。
【図２５４】別の代替のツーリング手法を簡略化して示す。

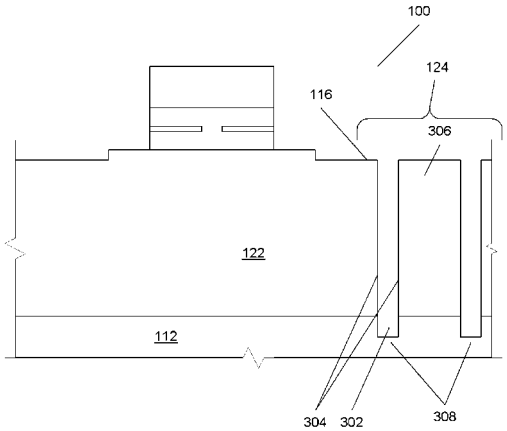
【図１】



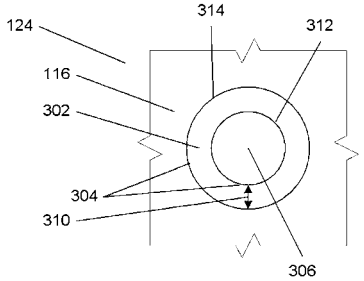
【図２】



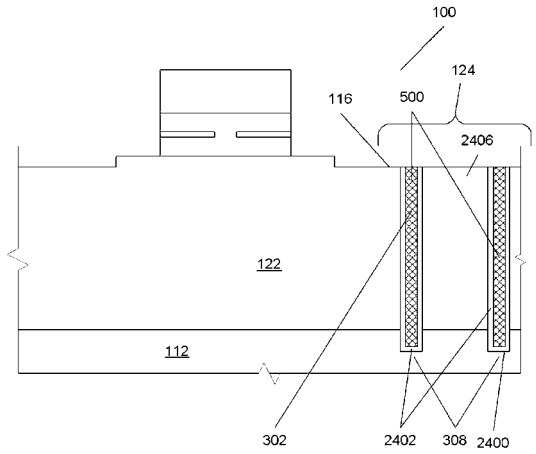
【図３】



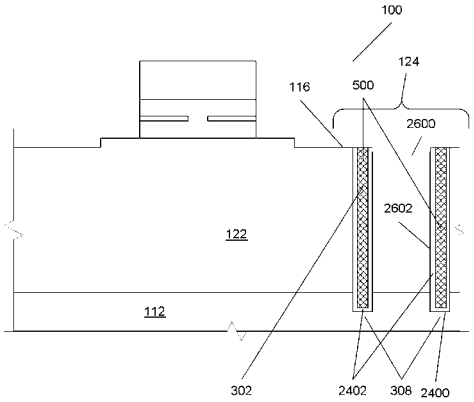
【図４】



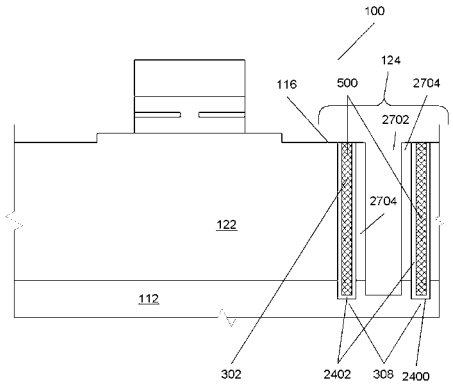
【図２５】



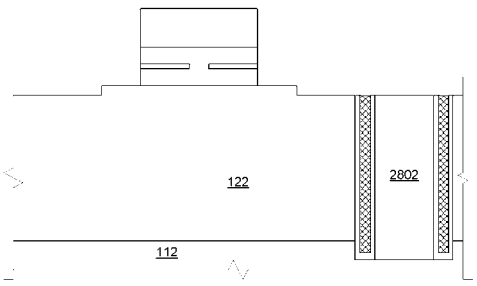
【図２６】



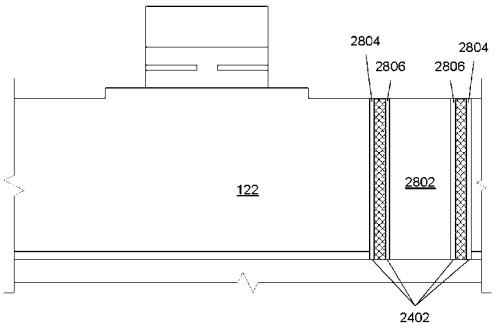
【図２７】



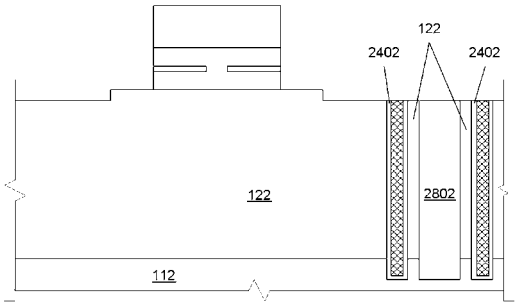
【図２８Ａ】



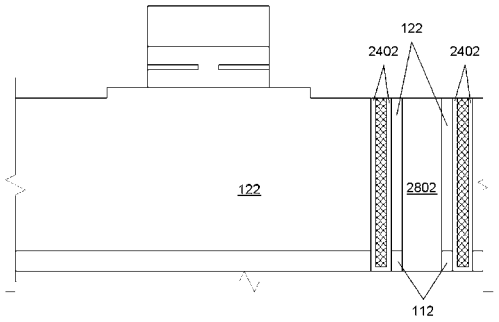
【図２８Ｂ】



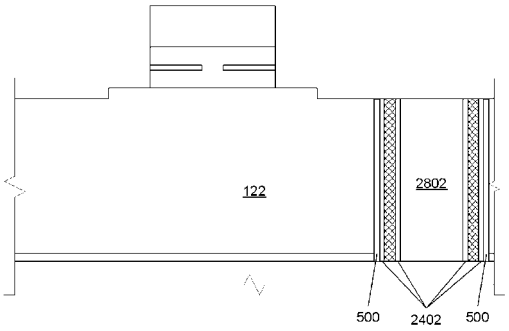
【図２９Ａ】



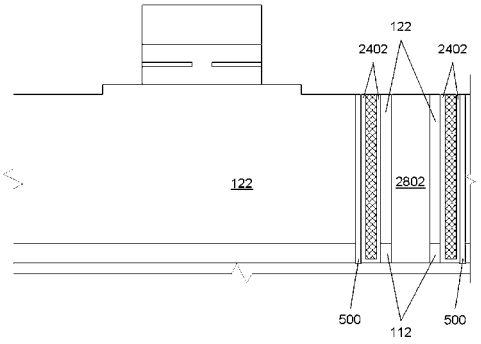
【図２９Ｂ】



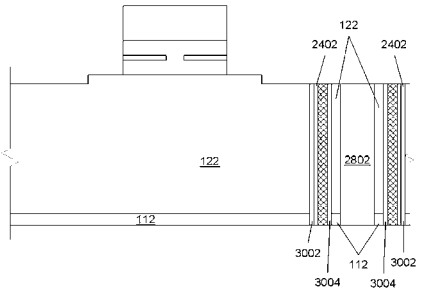
【図３０Ａ】



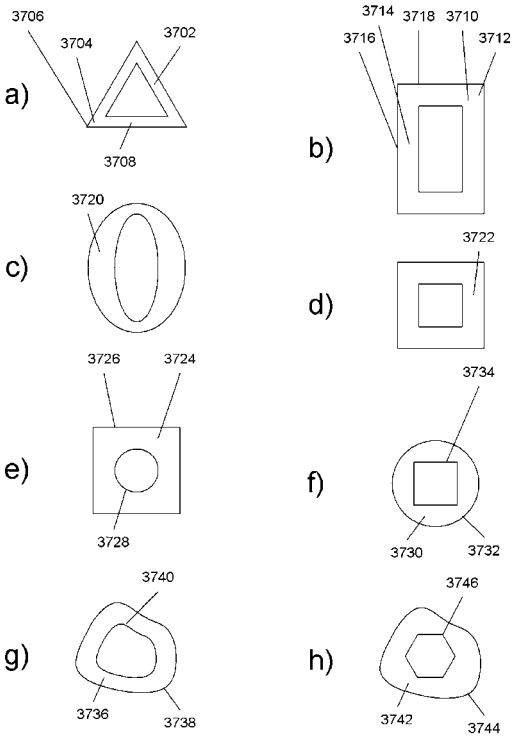
【図３０Ｂ】



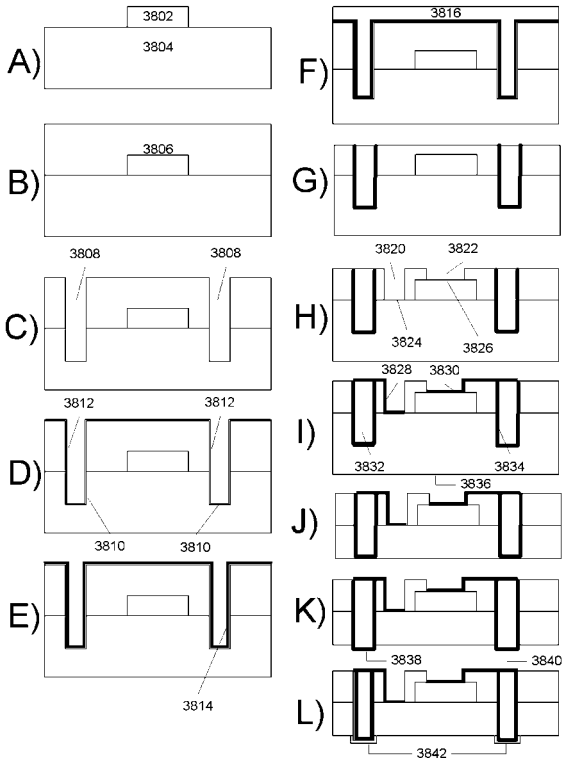
【図３１】



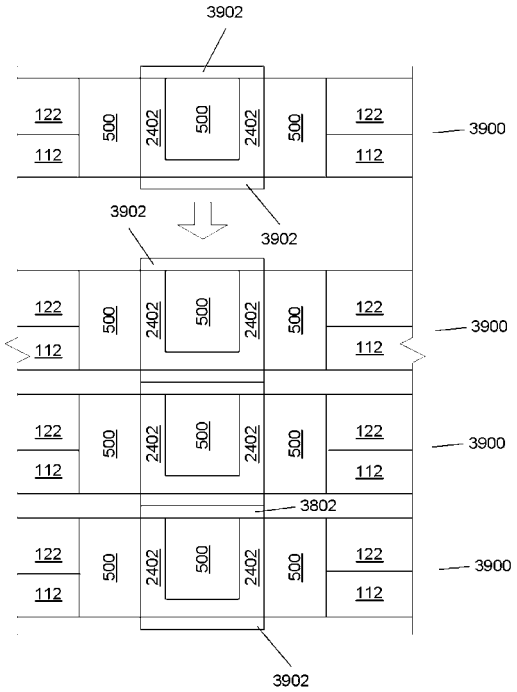
【図３７】



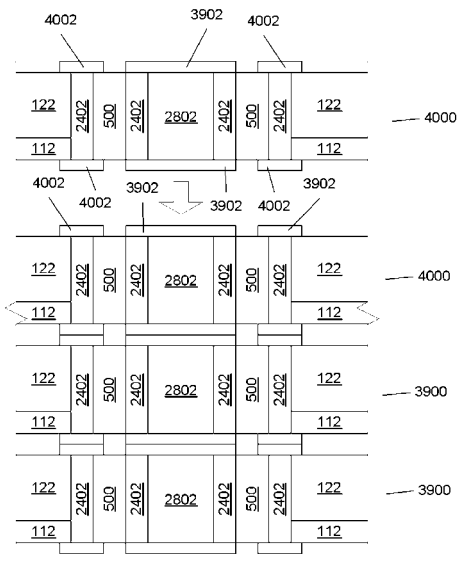
【図３８】



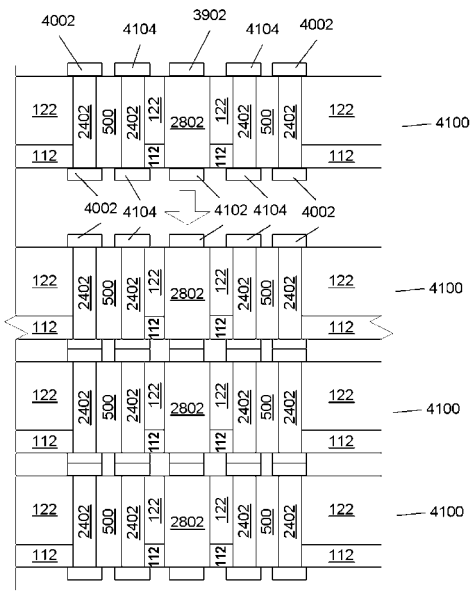
【図３９】



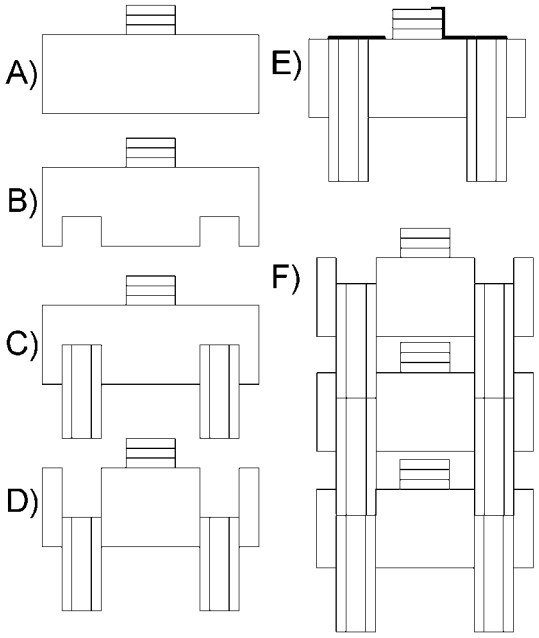
【図４０】



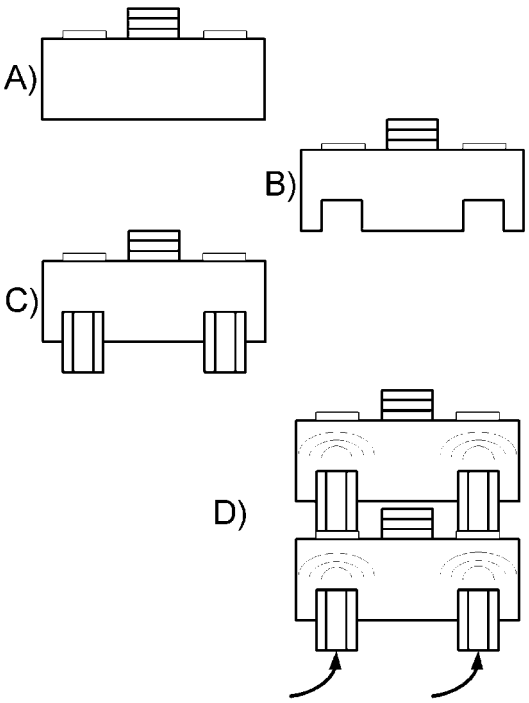
【図４１】



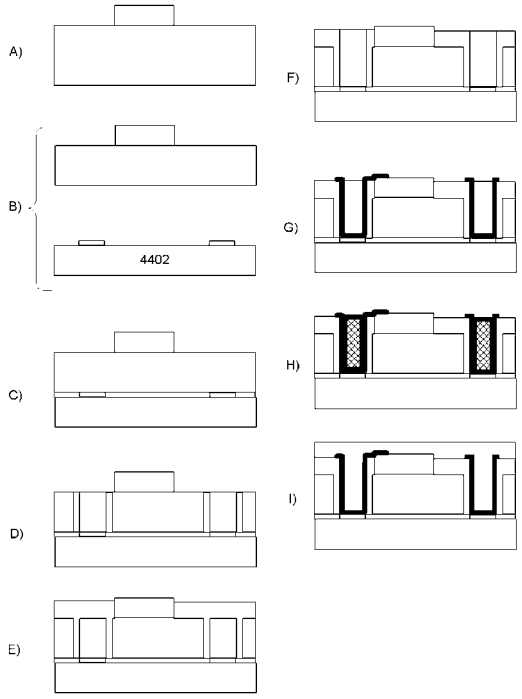
【図４２】



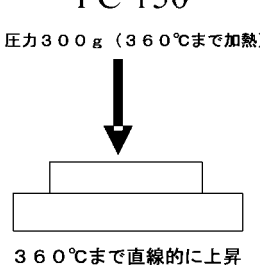
【図４３】



【図４４】



【図４５】



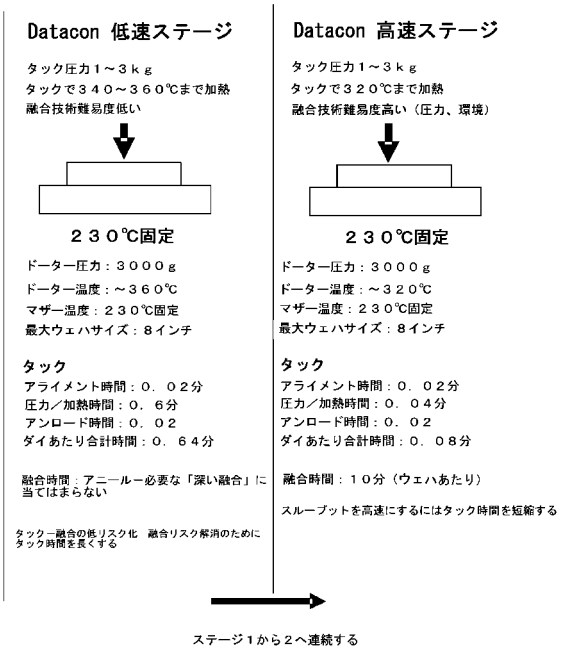
ドーター圧力：３００ｇ
ドーター温度：３６０℃
マザー温度：ＸＸ～３６０℃直線的に上昇
ウェハサイズ：２インチ

タック
アライメント時間：２分
圧力／加熱時間：１分
アンロード時間：０．５分
ダイあたり合計時間　３．５分

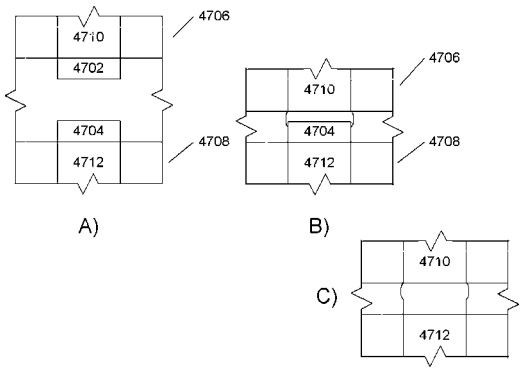
融合時間：Ｎ／Ａ

ＸＸ＝等温温度

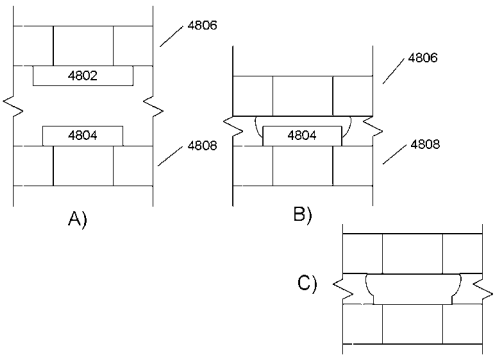
【図４６】



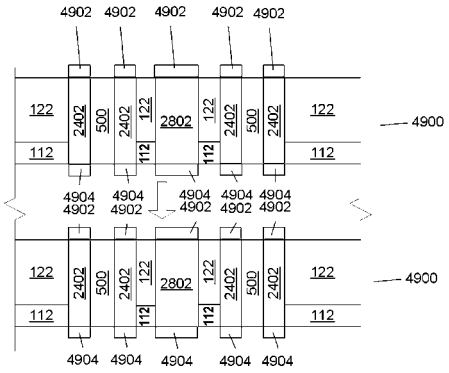
【図４７】



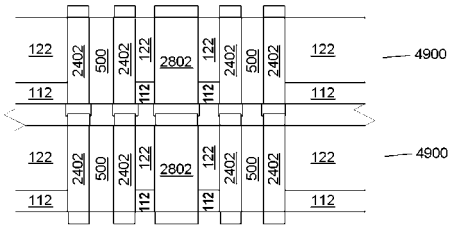
【図４８】



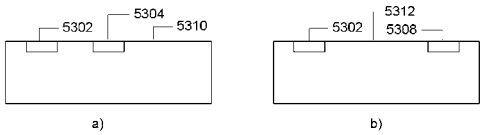
【図４９】



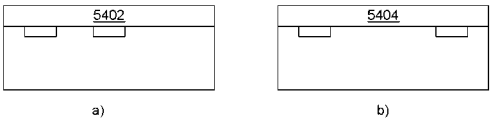
【図５０】



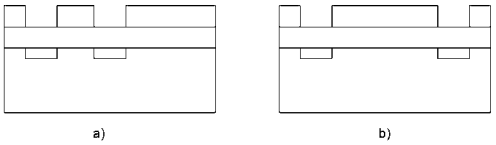
【図５３】



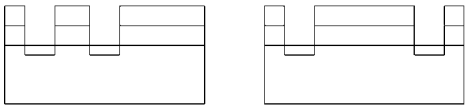
【図５４】



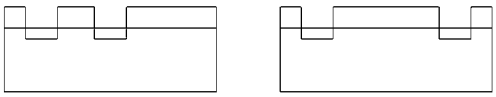
【図５５】



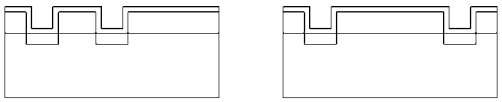
【図５６】



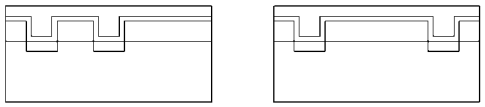
【図５７】



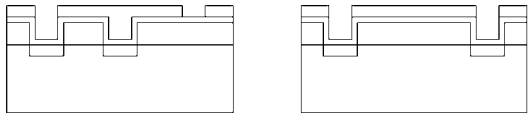
【図５８】



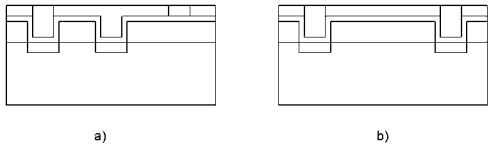
【図５９】



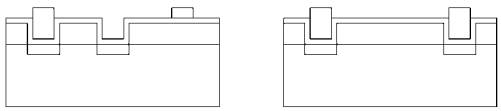
【図６０】



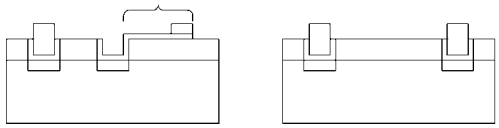
【図６１】



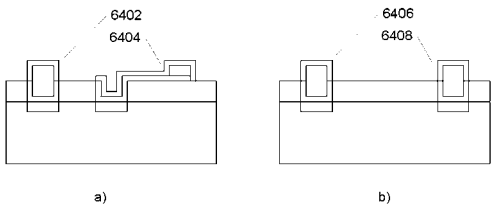
【図６２】



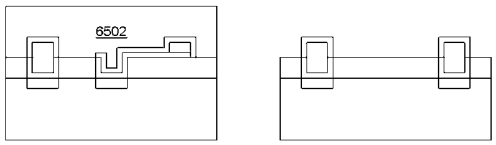
【図６３】



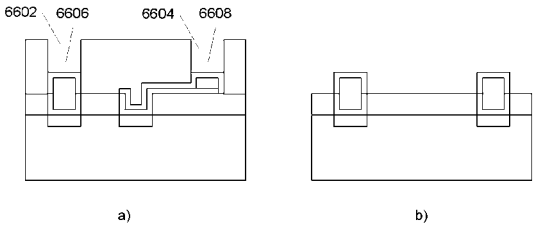
【図６４】



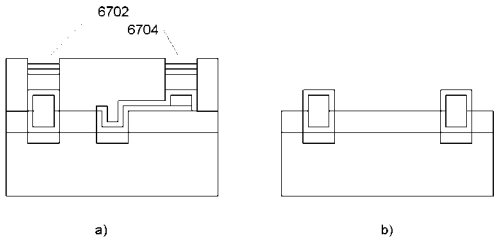
【図６５】



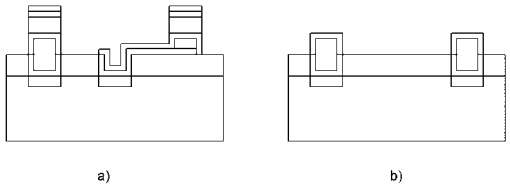
【図６６】



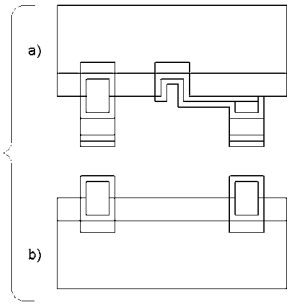
【図６７】



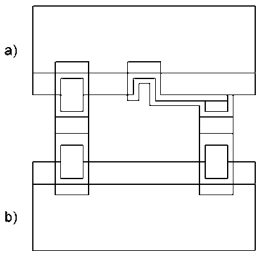
【図６８】



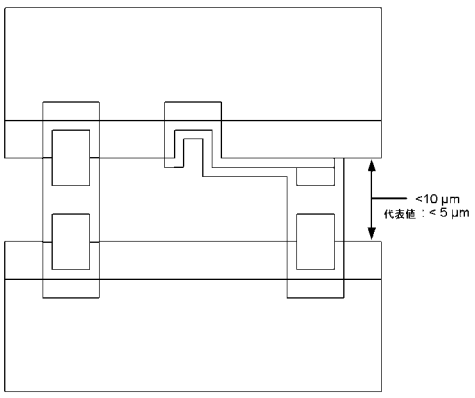
【図６９】



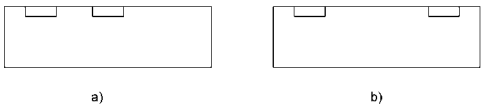
【図７０】



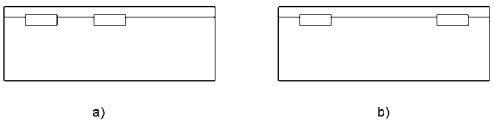
【図７１】



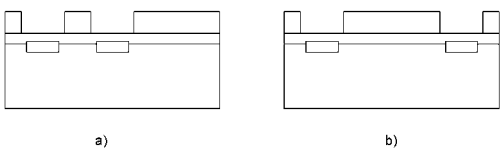
【図７２】



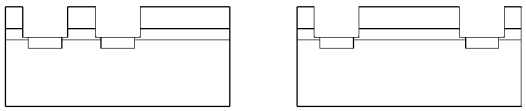
【図７３】



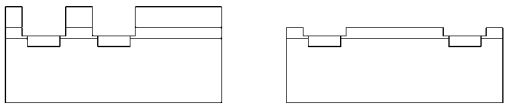
【図７４】



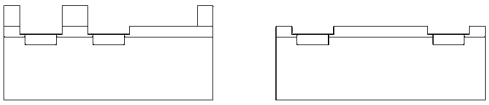
【図７５】



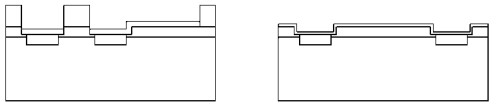
【図７６】



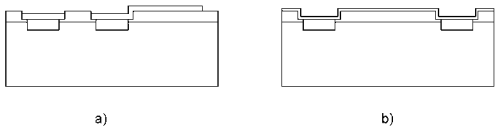
【図７７】



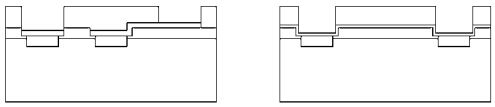
【図７８】



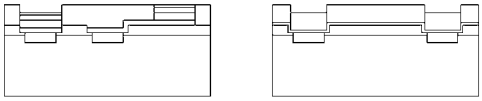
【図７９】



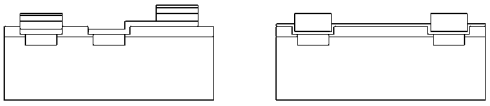
【図８０】



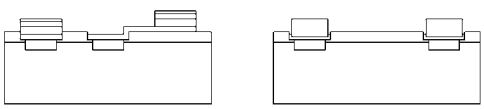
【図８１】



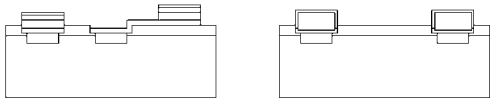
【図８２】



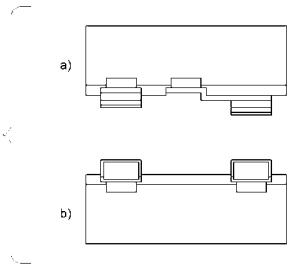
【図８３】



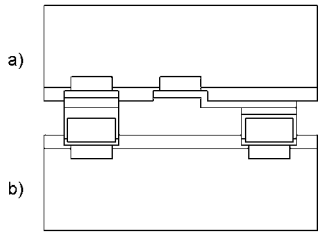
【図８４】



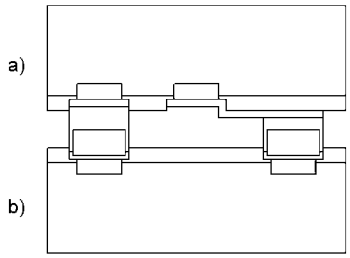
【図８５】



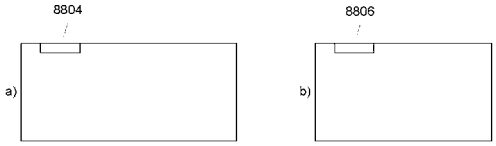
【図８６】



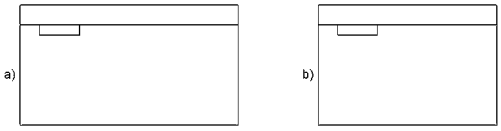
【図８７】



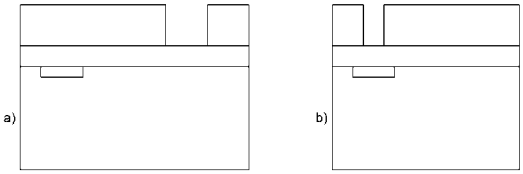
【図８８】



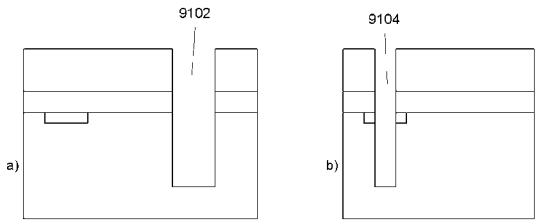
【図８９】



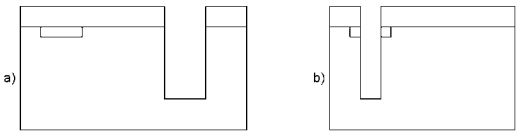
【図９０】



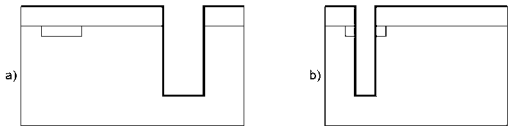
【図９１】



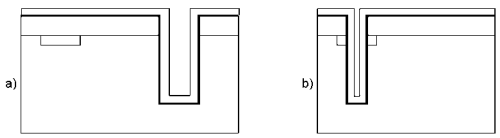
【図９５】



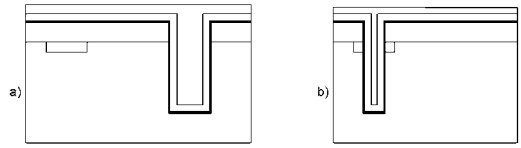
【図９６】



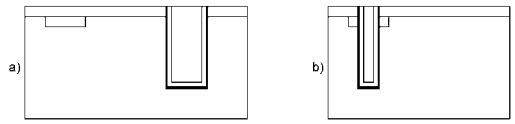
【図９７】



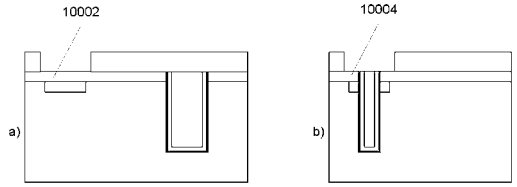
【図９８】



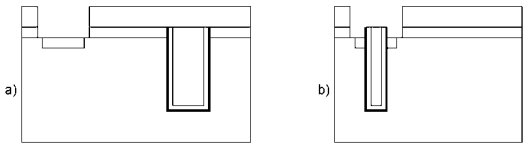
【図９９】



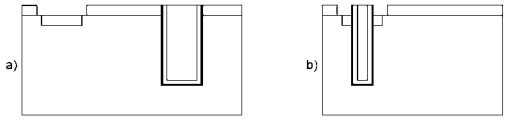
【図１００】



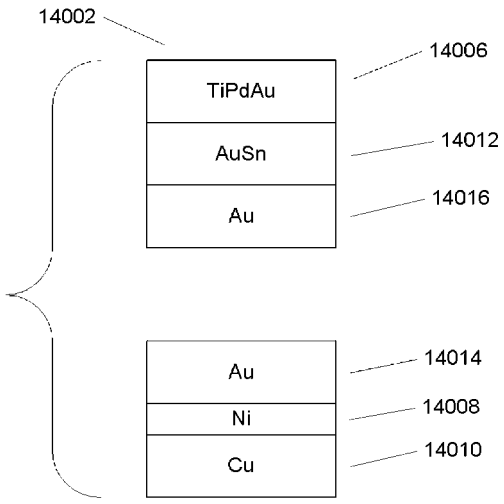
【図１０１】



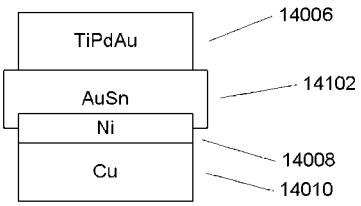
【図１０２】



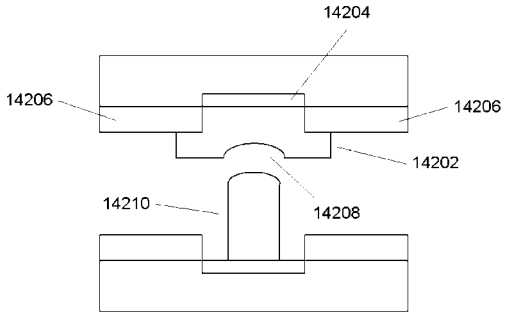
【図１４０】



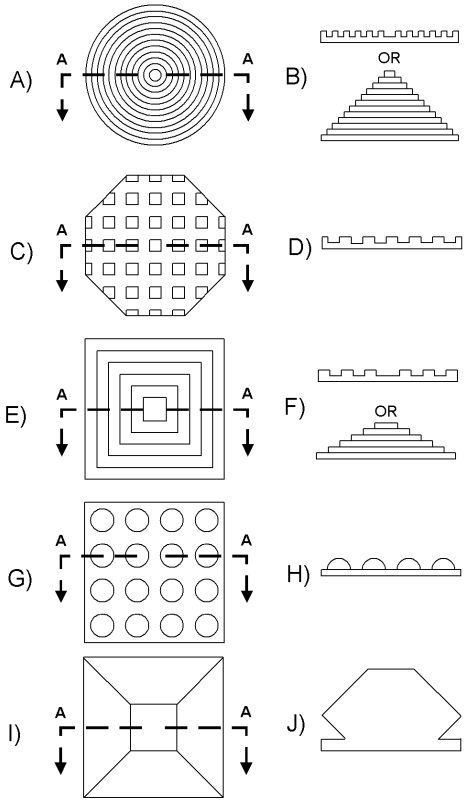
【図１４１】



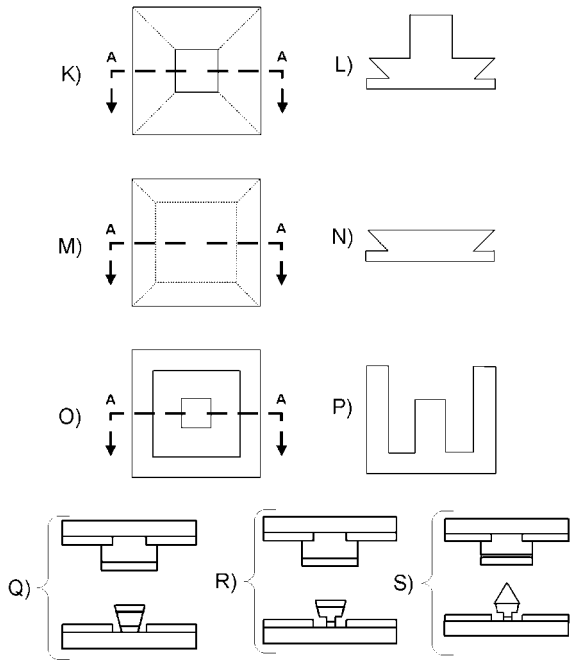
【図１４２】



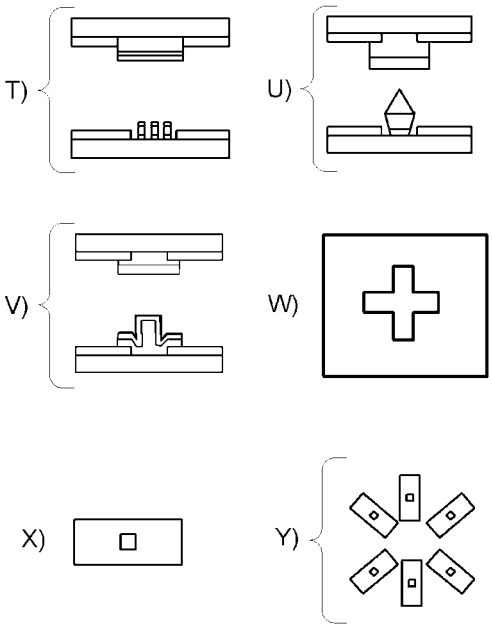
【図１４３－１】



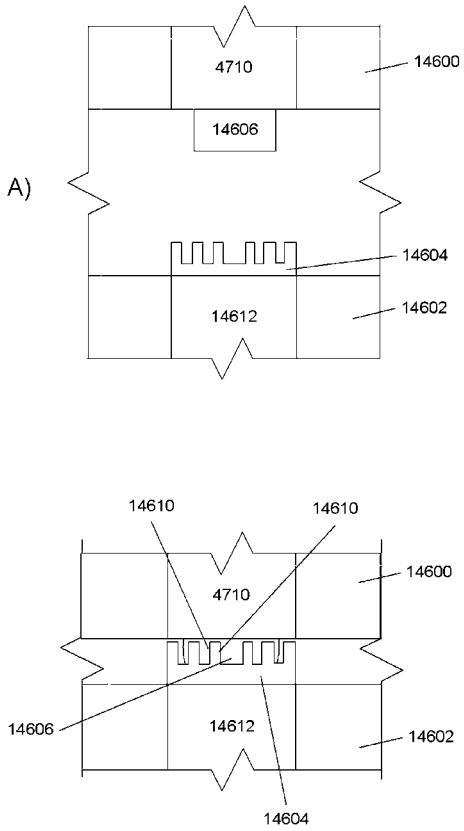
【図１４３－２】



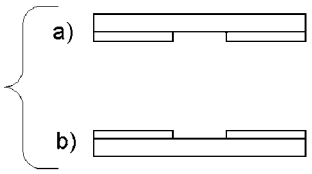
【図１４３－３】



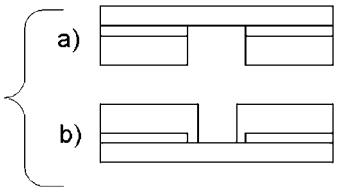
【図１４６】



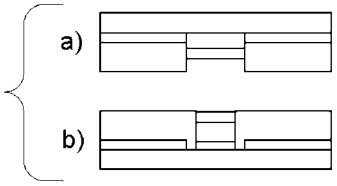
【図１４７】



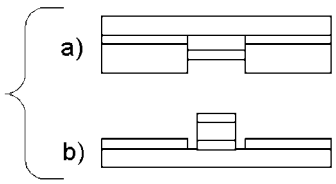
【図１４８】



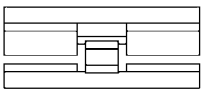
【図１４９】



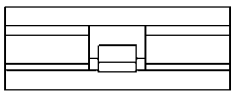
【図１５０】



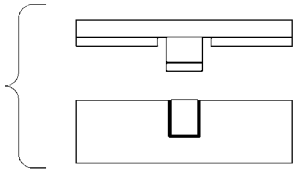
【図１５１】



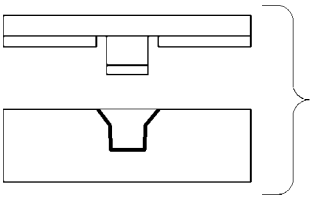
【図１５２】



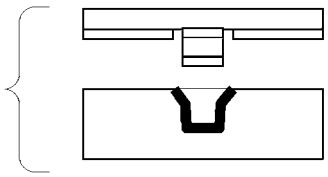
【図１５３】



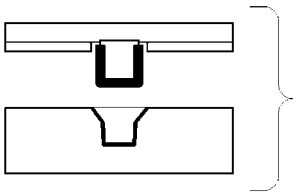
【図１５４】



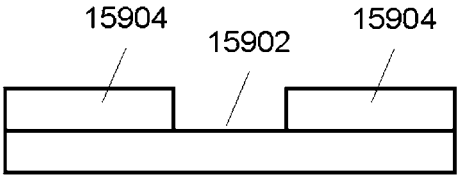
【図１５５】



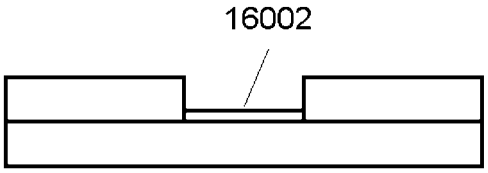
【図１５６】



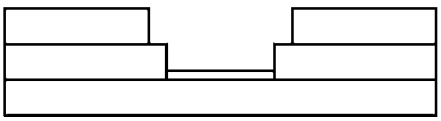
【図１５９】



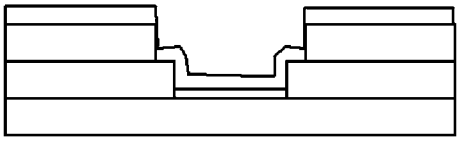
【図１６０】



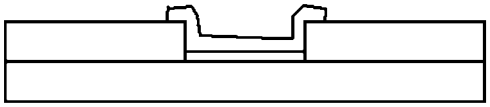
【図１６１】



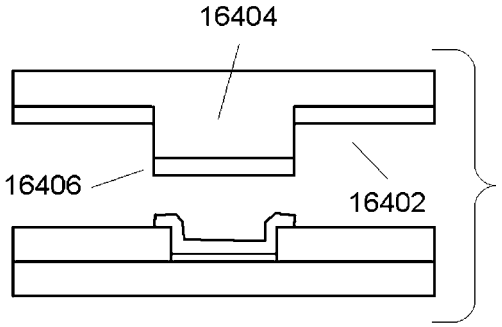
【図１６２】



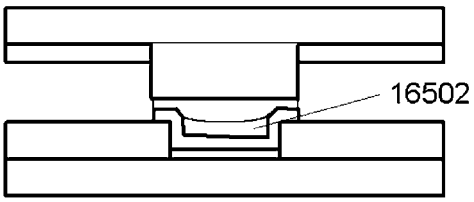
【図１６３】



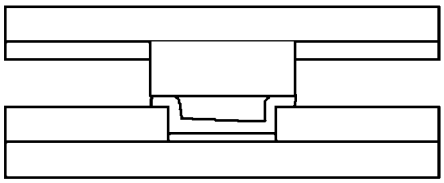
【図１６４】



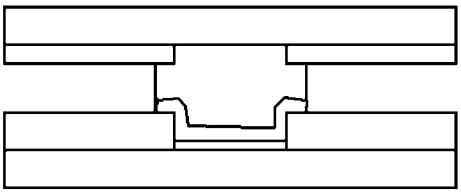
【図１６５】



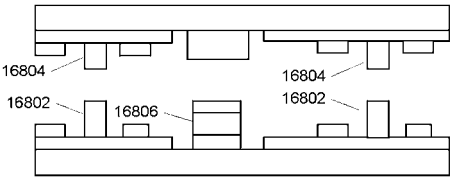
【図１６６】



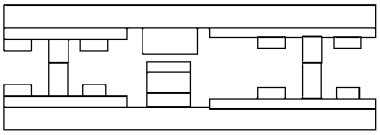
【図１６７】



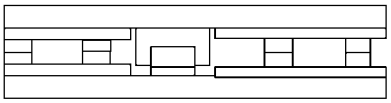
【図１６８】



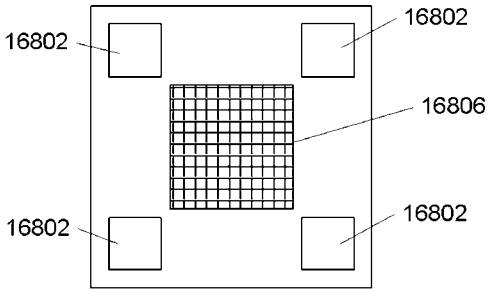
【図１６９】



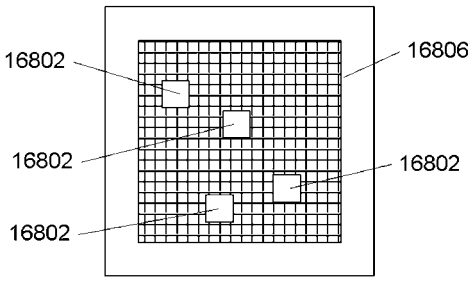
【図１７０】



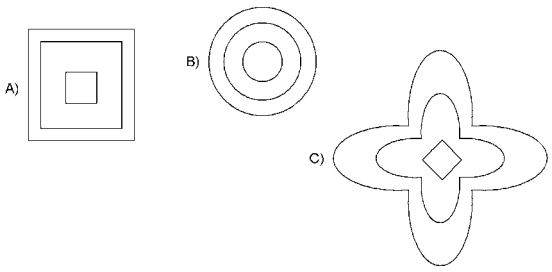
【図１７１Ａ】



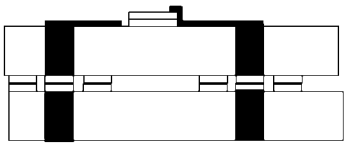
【図１７１Ｂ】



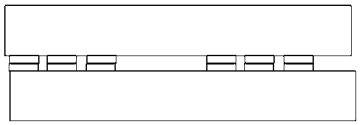
【図１７２】



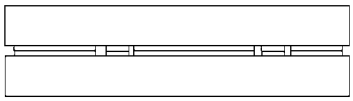
【図１７３】



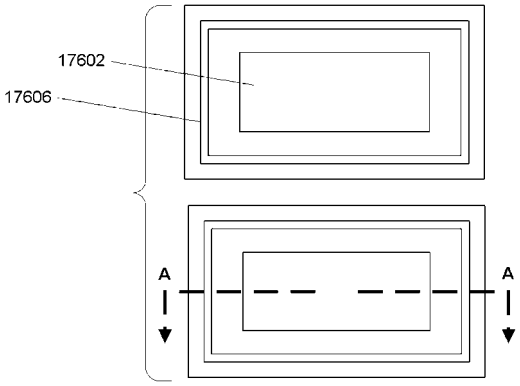
【図１７４】



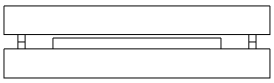
【図１７５】



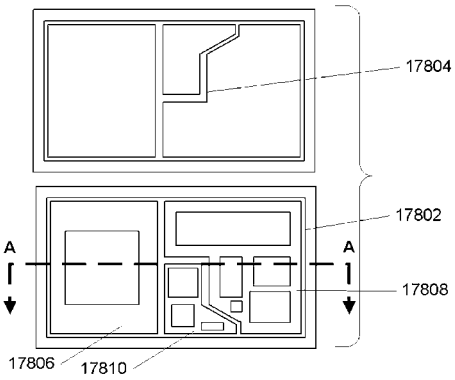
【図１７６】



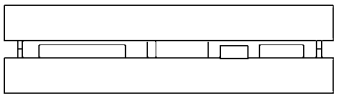
【図１７７】



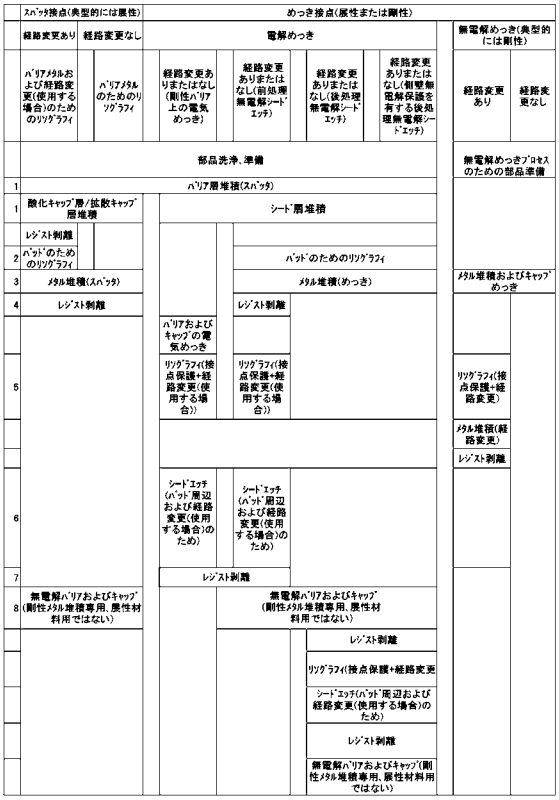
【図１７８】



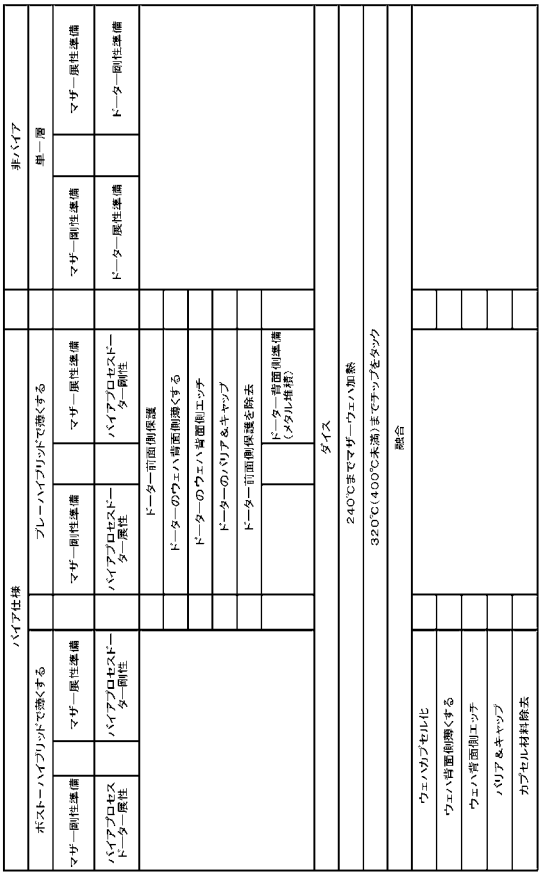
【図１７９】



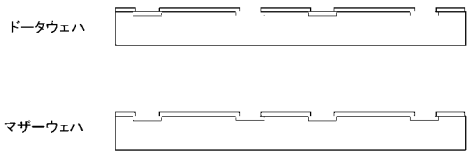
【図１８０】



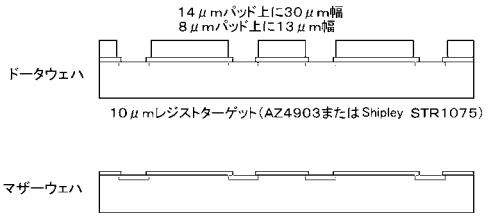
【図１８２】



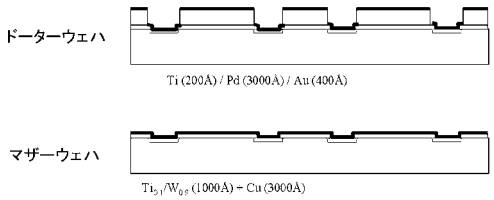
【図１８３】



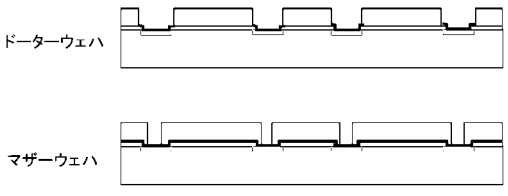
【図１８４】



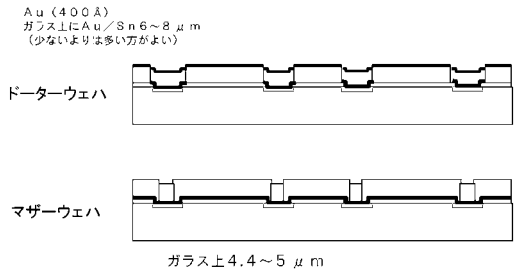
【図１８５】



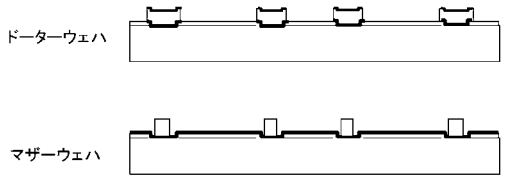
【図１８６】



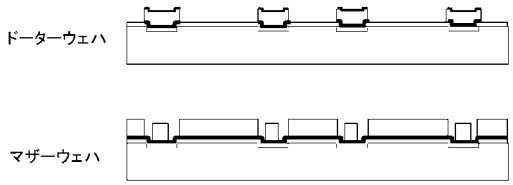
【図１８７】



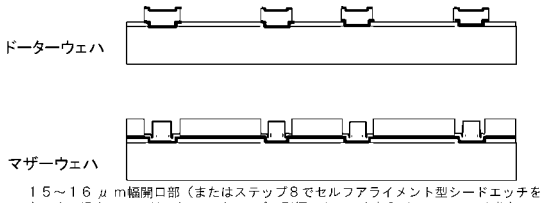
【図１８８】



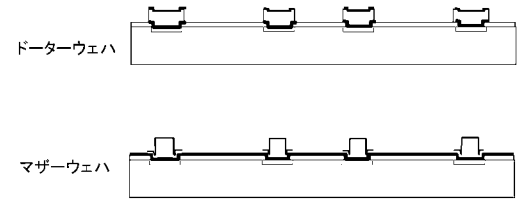
【図１８９】



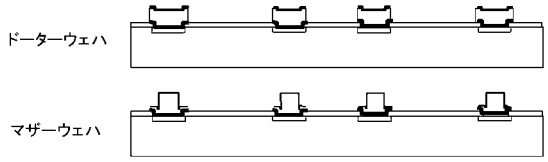
【図１９０】



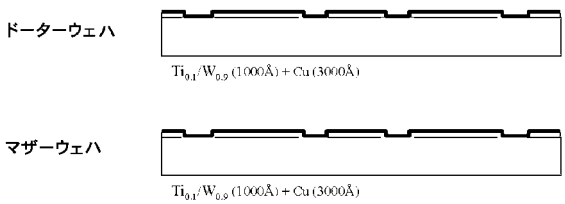
【図１９１】



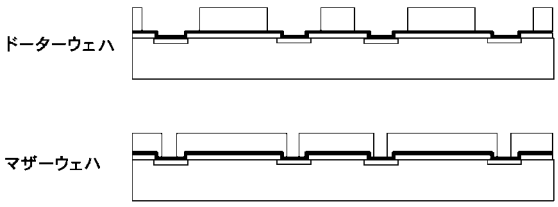
【図１９２】



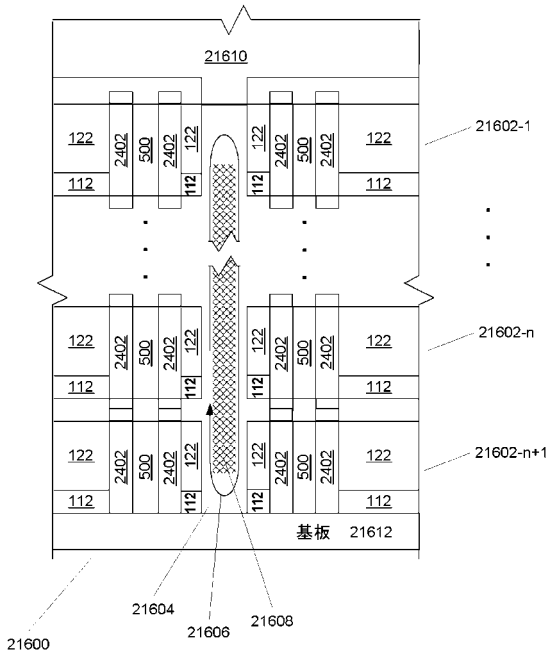
【図１９６】



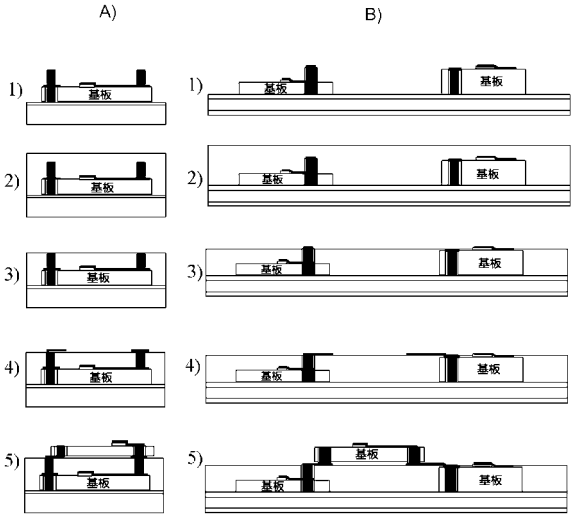
【図１９７】



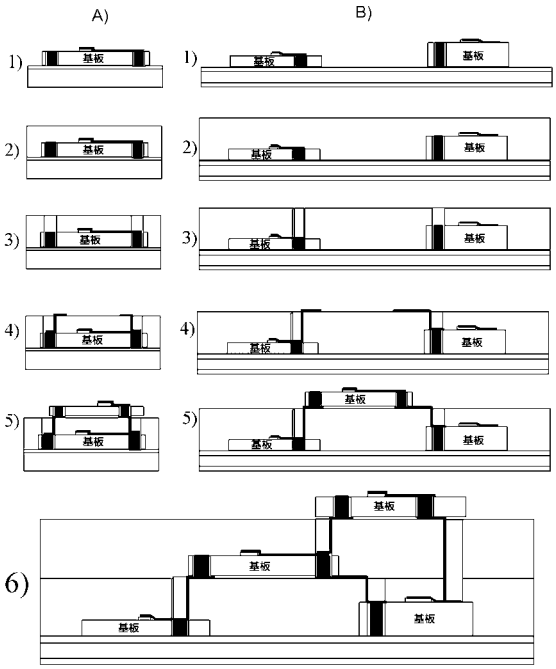
【図２１６】



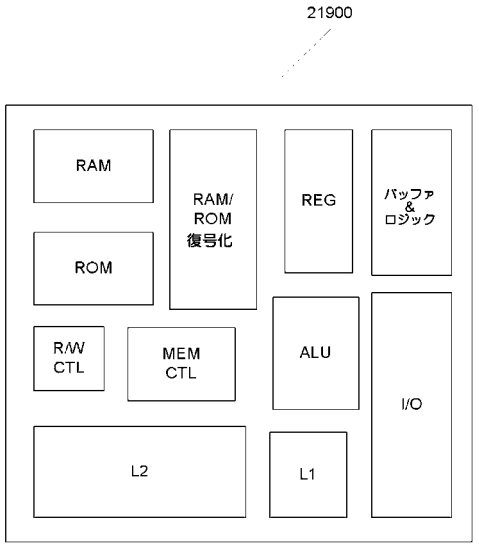
【図２１７】



【図２１８】

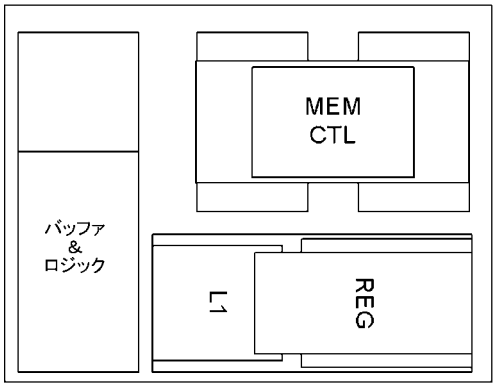


【図２１９】

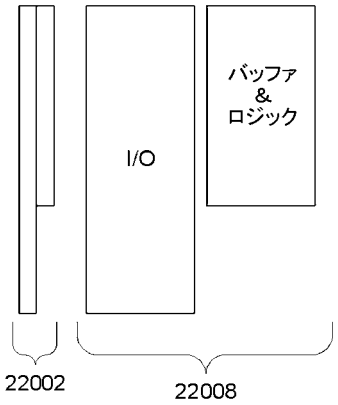


（従来技術）

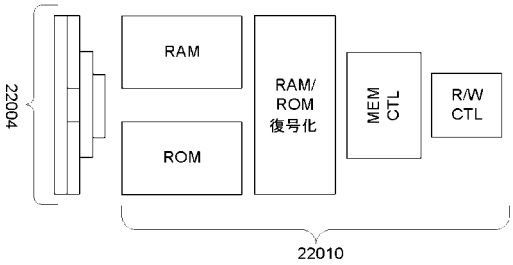
【図２２０Ａ】



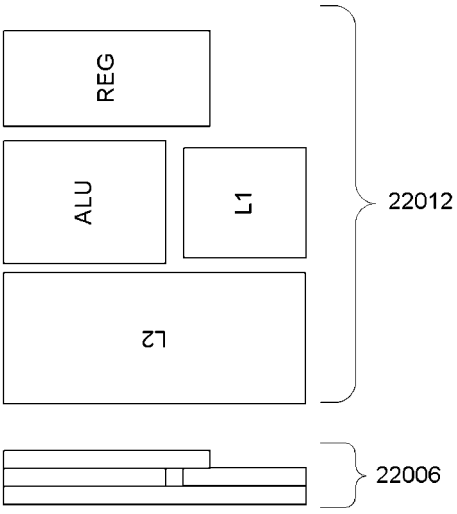
【図２２０Ｂ】



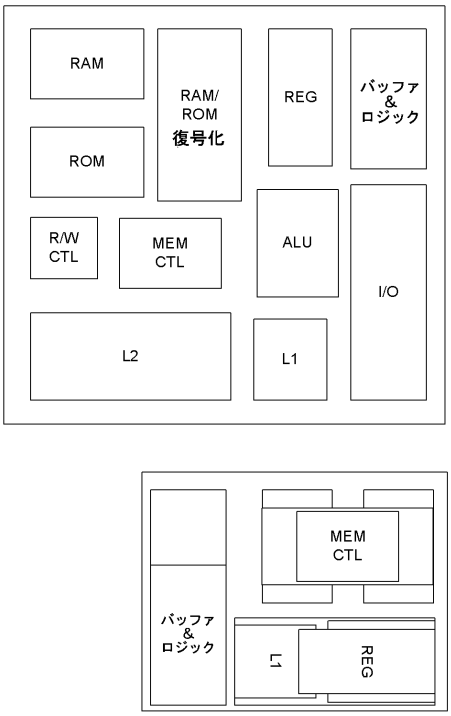
【図２２０Ｃ】



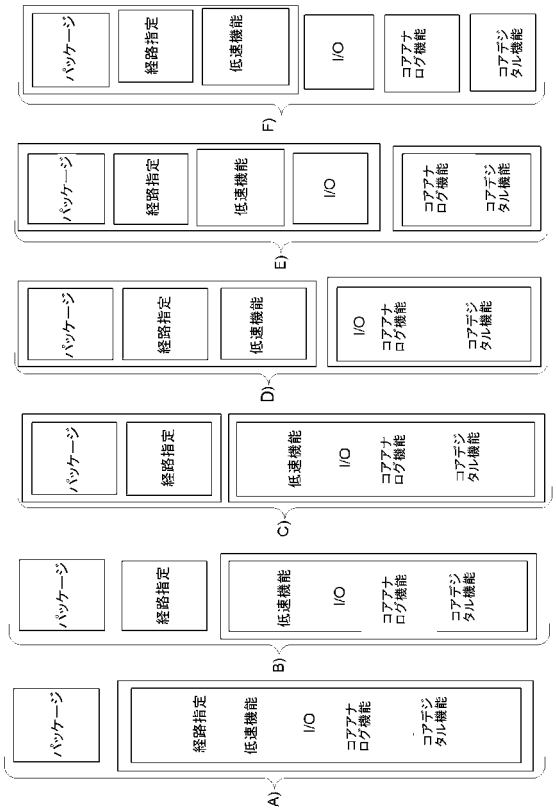
【図２２０Ｄ】



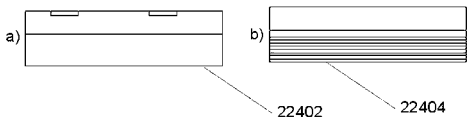
【図２２１】



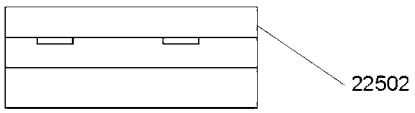
【図２２２】



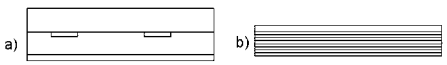
【図２２４】



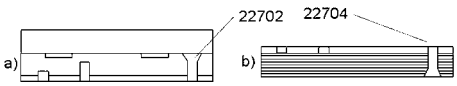
【図２２５】



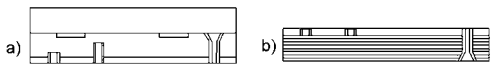
【図２２６】



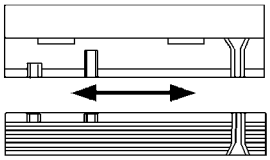
【図２２７】



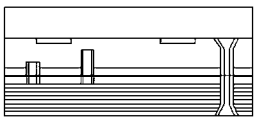
【図２２８】



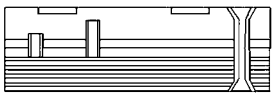
【図２２９】



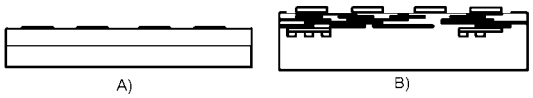
【図２３０】



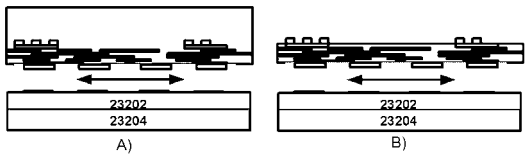
【図２３１】



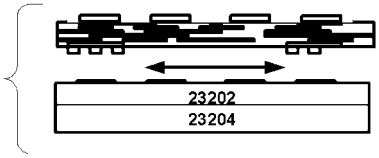
【図２３２】



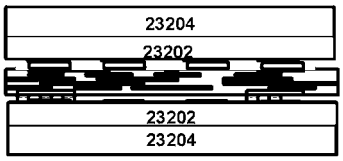
【図２３３】



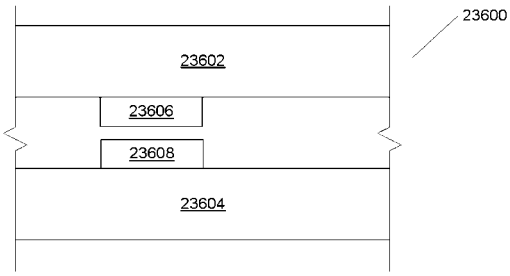
【図２３４】



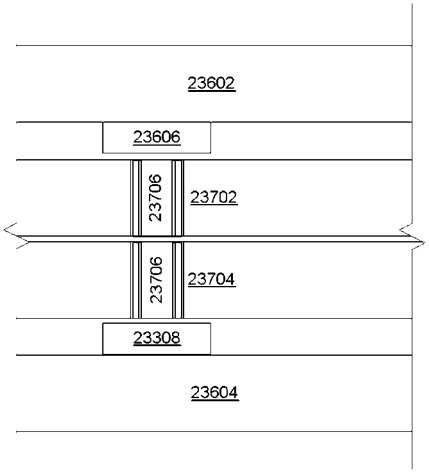
【図２３５】



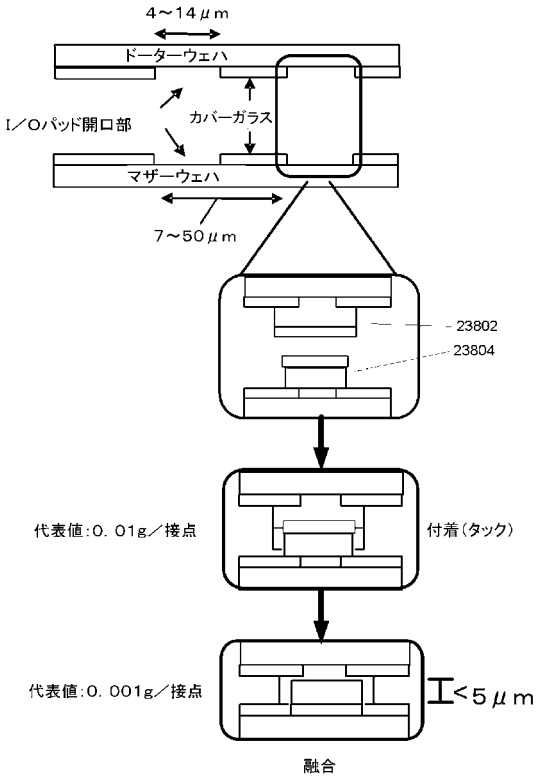
【図２３６】



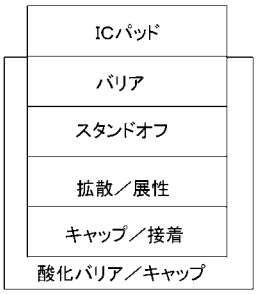
【図２３７】



【図２３８】



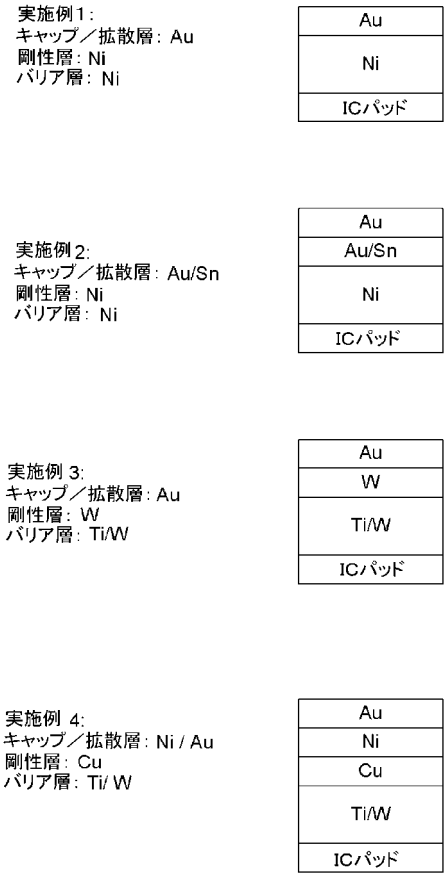
【図２３９】



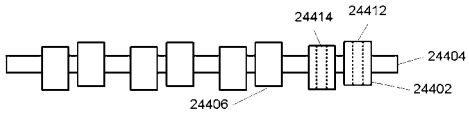
【図２４０】



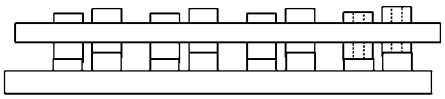
【図２４２】



【図２４４】



【図２４５】



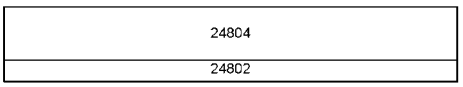
【図２４６】



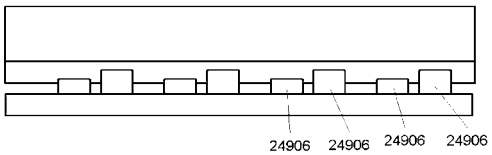
【図２４７】



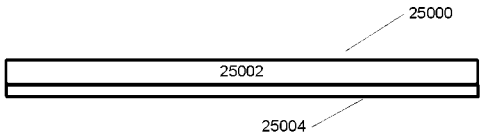
【図２４８】



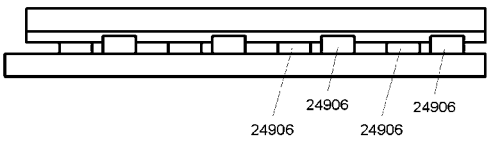
【図２４９】



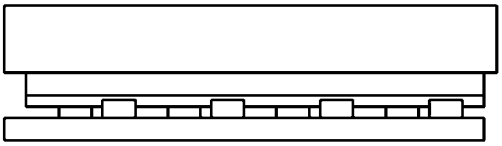
【図２５０】



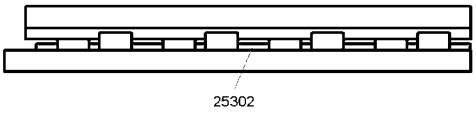
【図２５１】



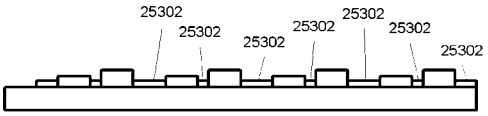
【図２５２】



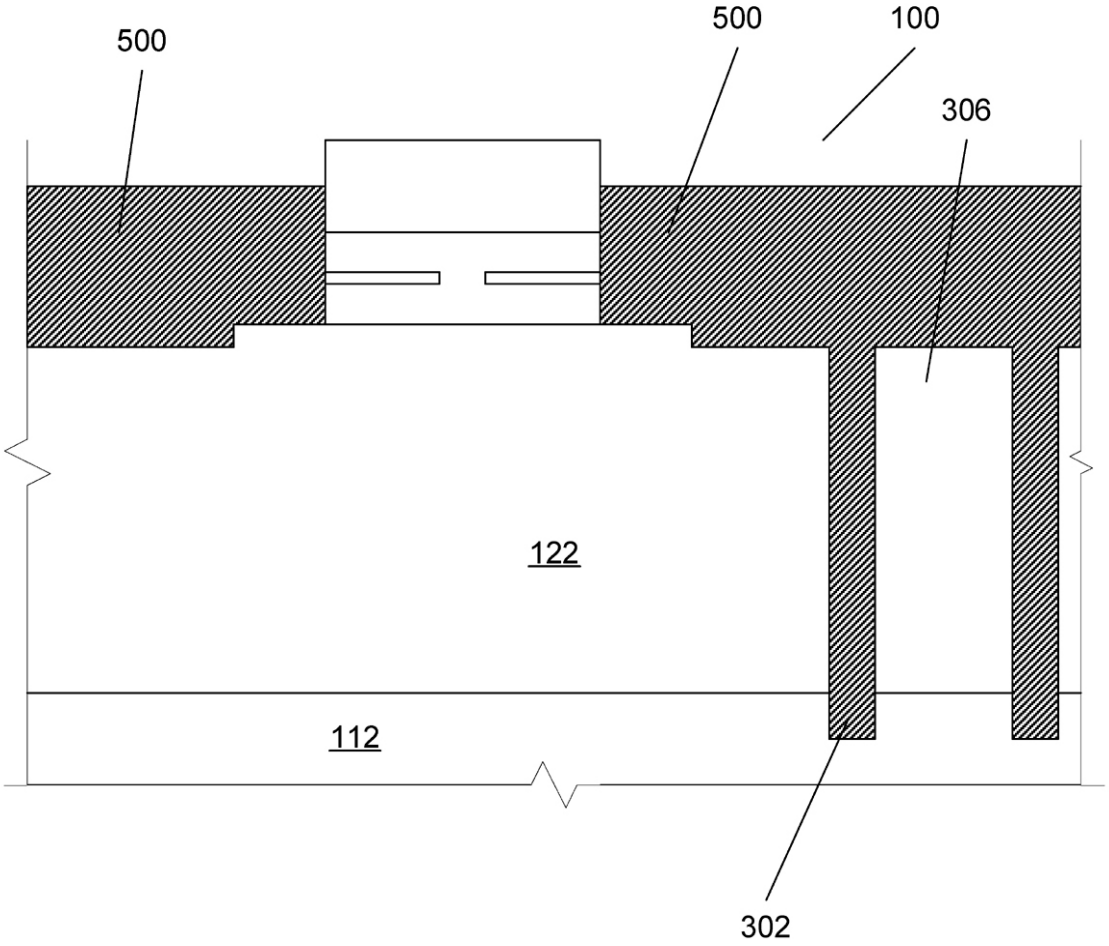
【図２５３】



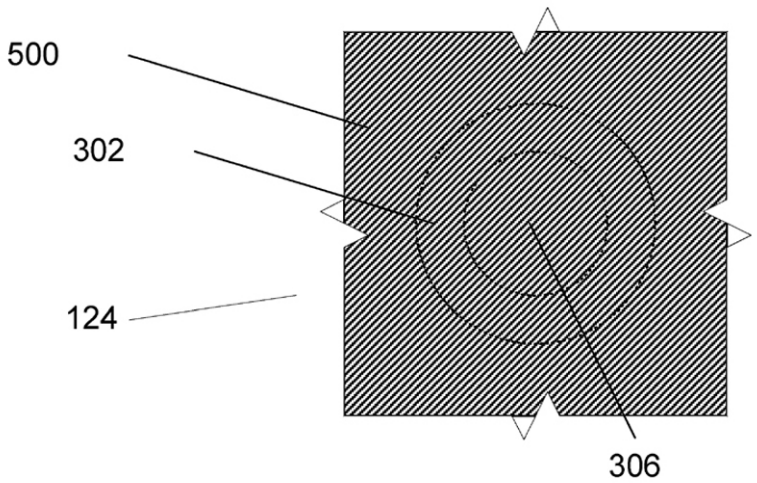
【図２５４】



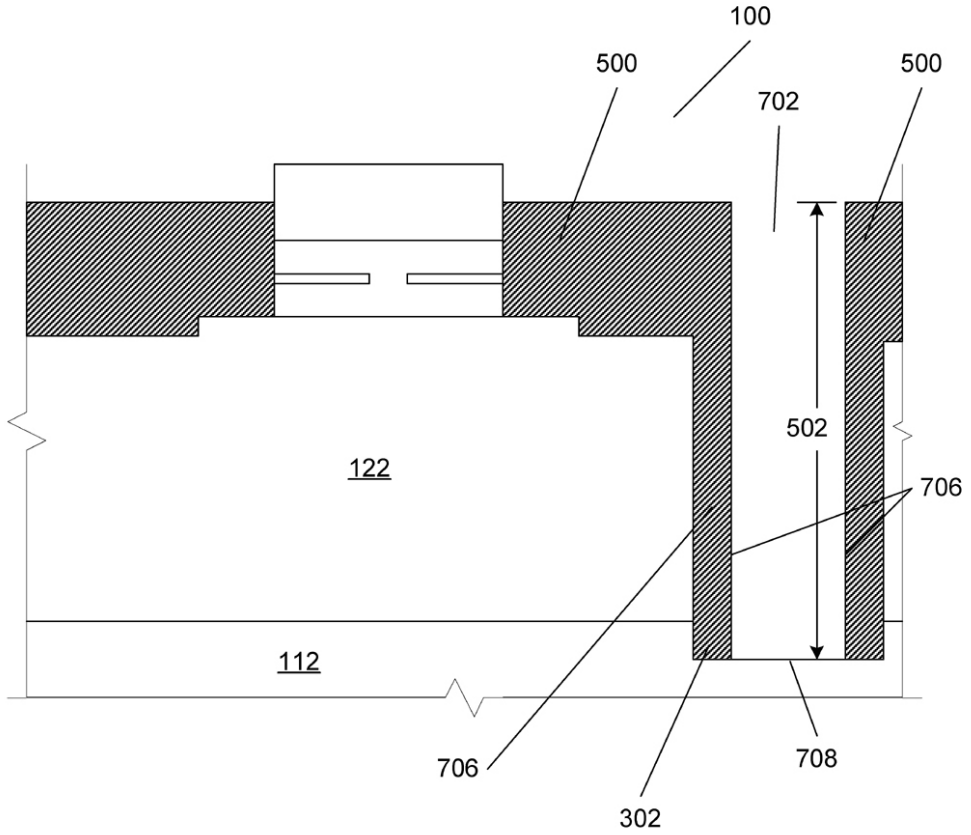
【図５】



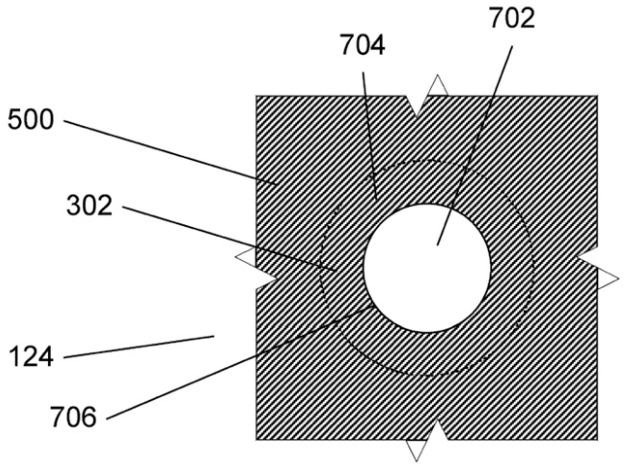
【図６】



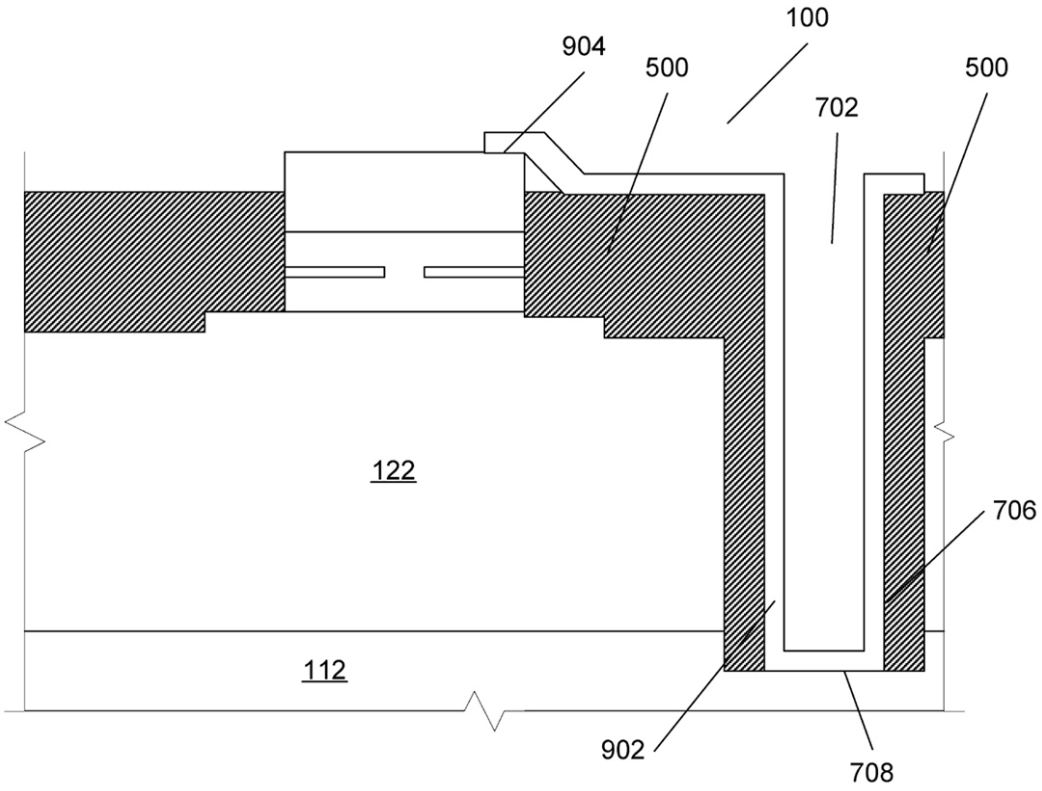
【図７】


100
500
500
702
502
122
706
112
706
708
302

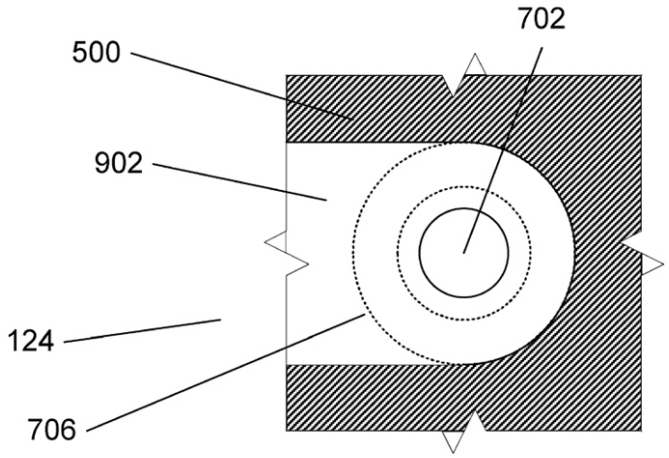
【図８】


702
704
500
302
124
706

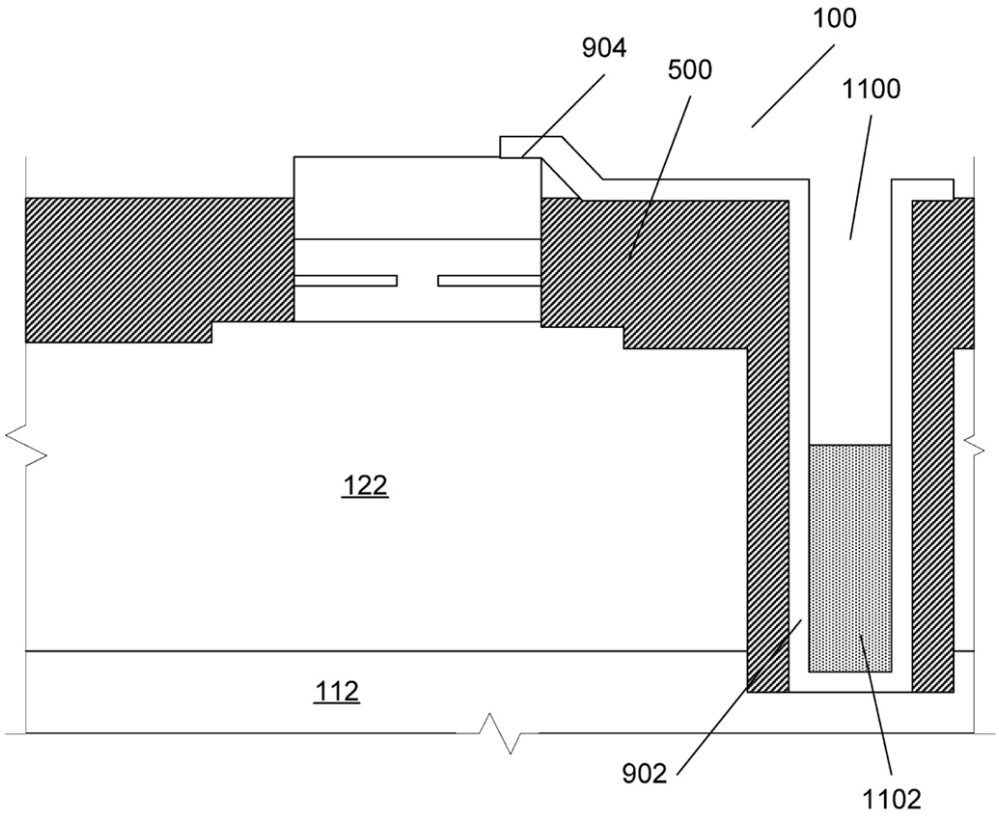
【図９】



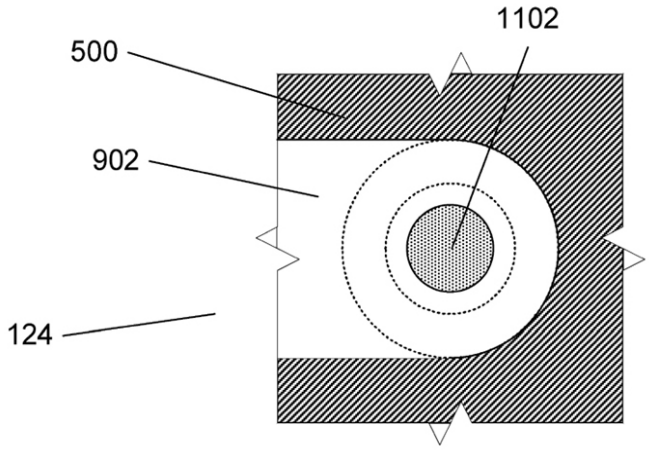
【図１０】



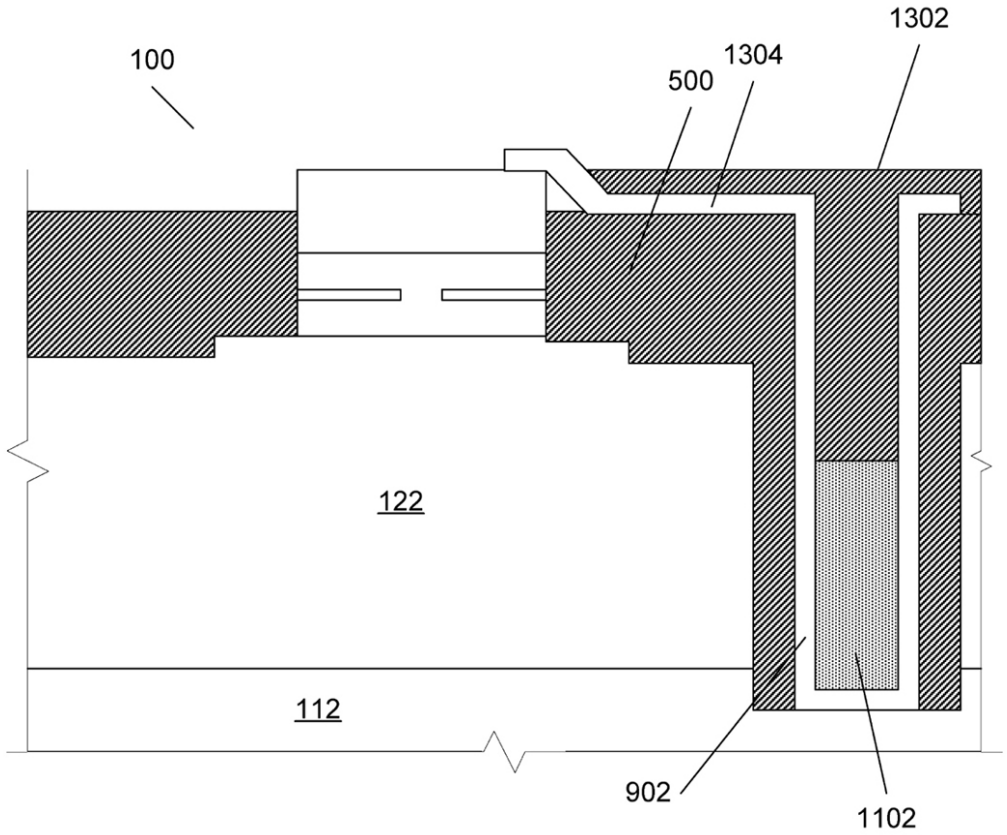
【図１１】



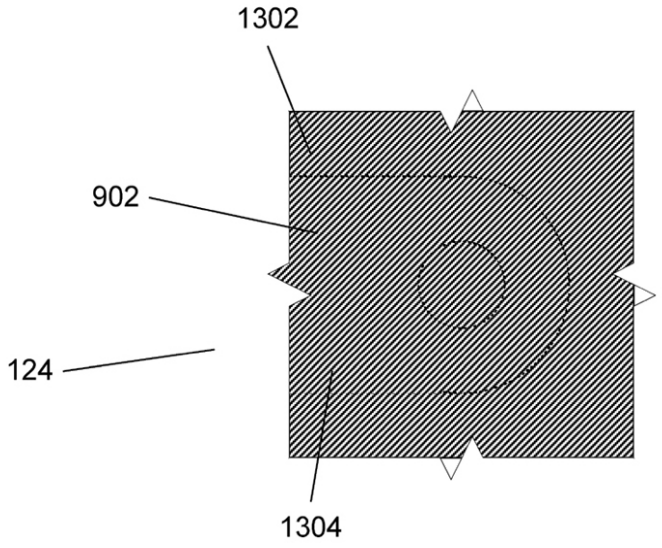
【図１２】



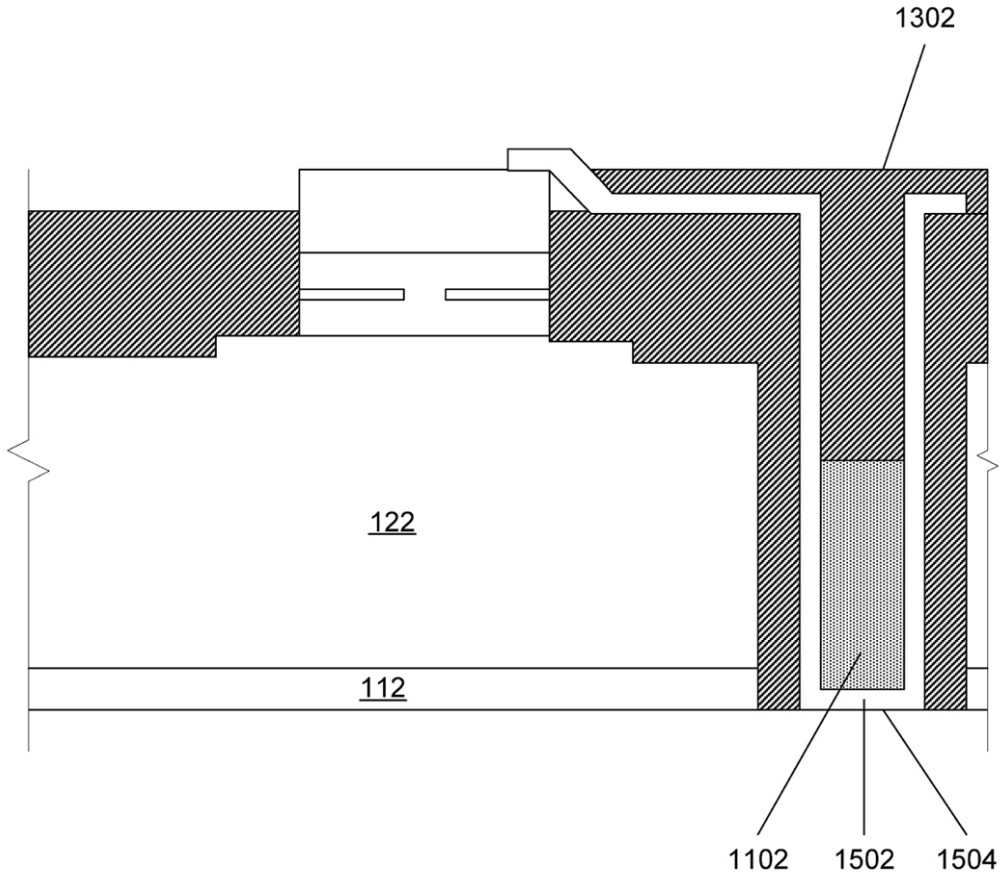
【図１３】



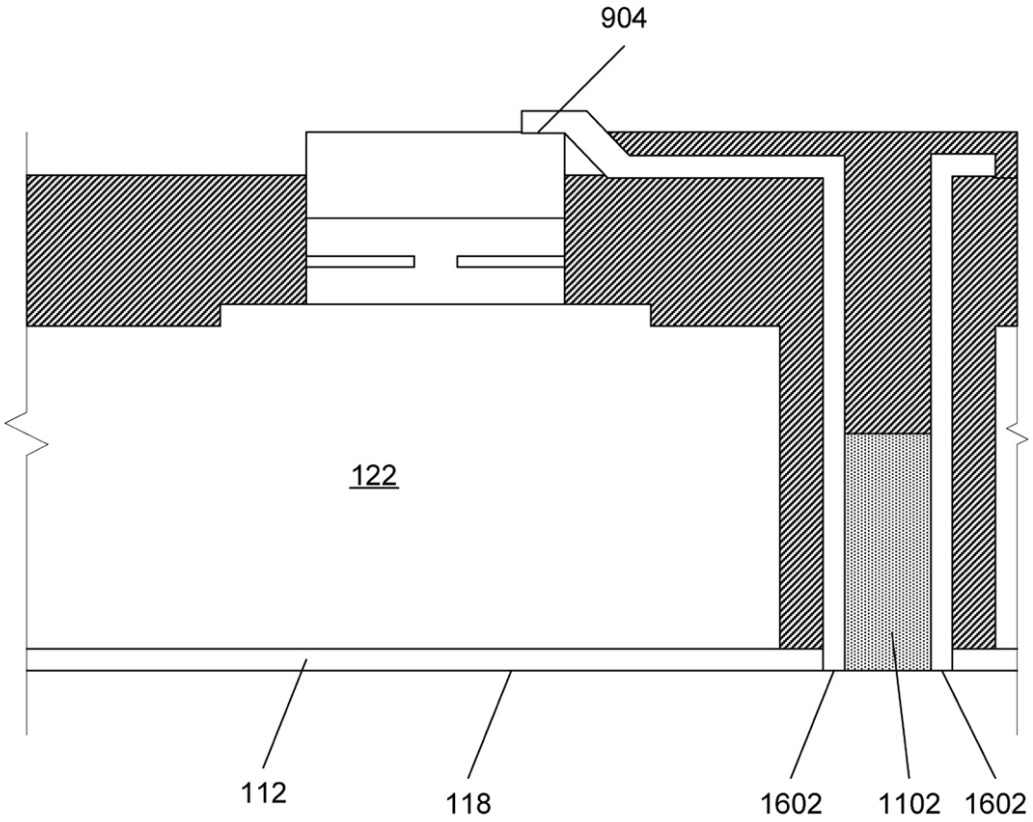
【図１４】



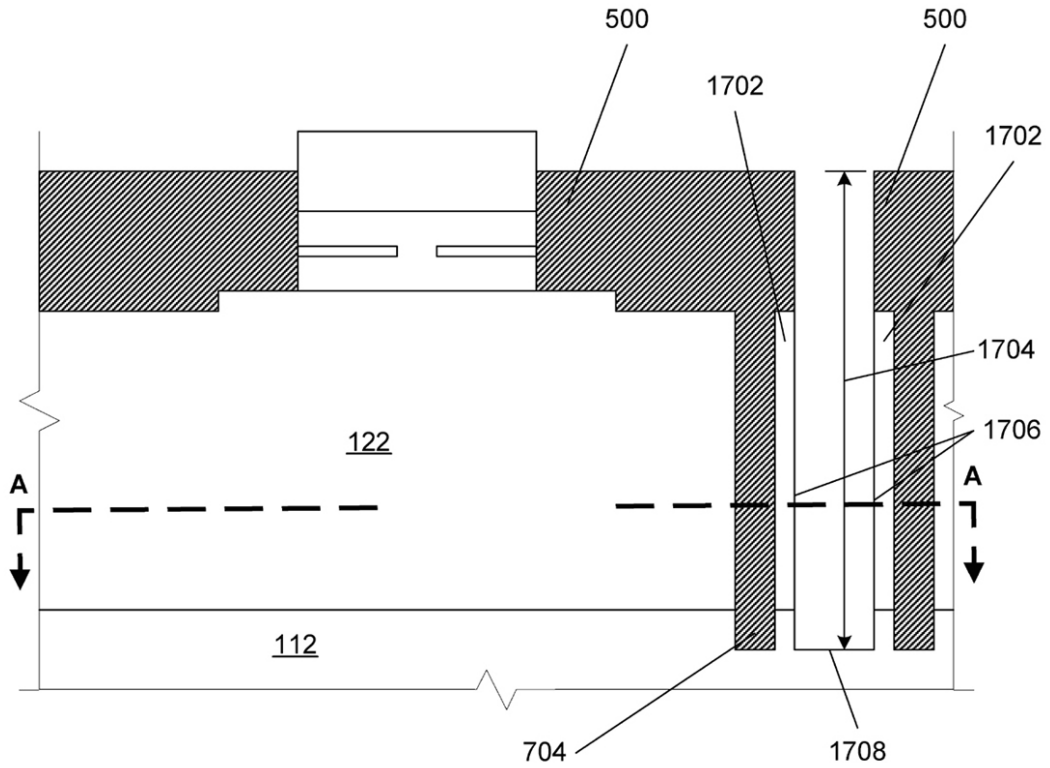
【図１５】



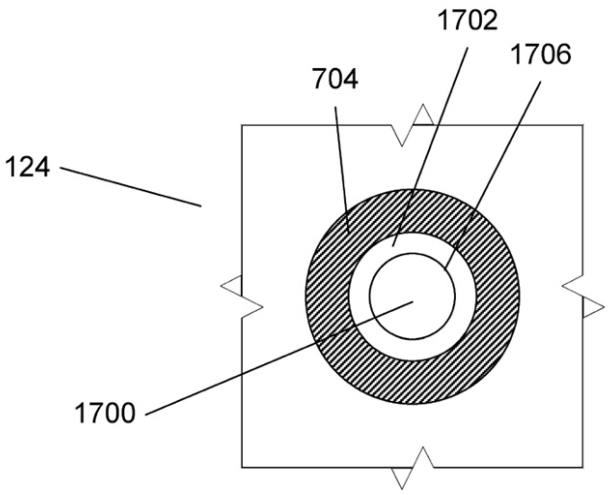
【図１６】



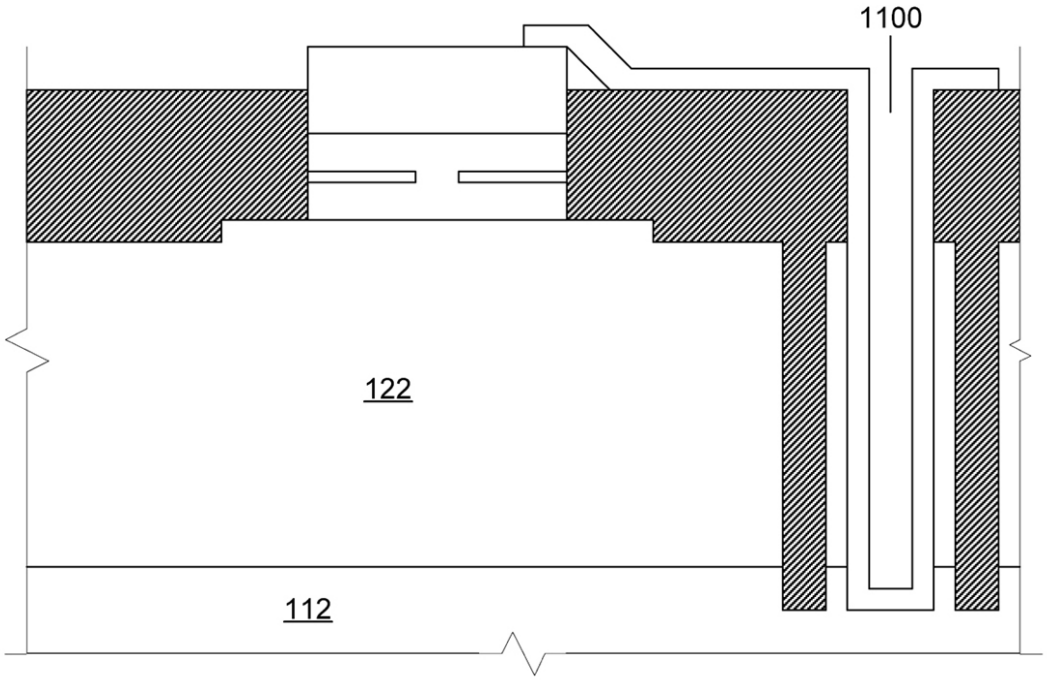
【図１７】


500
500
1702
1702
1704
1706
122
A
A
112
704
1708

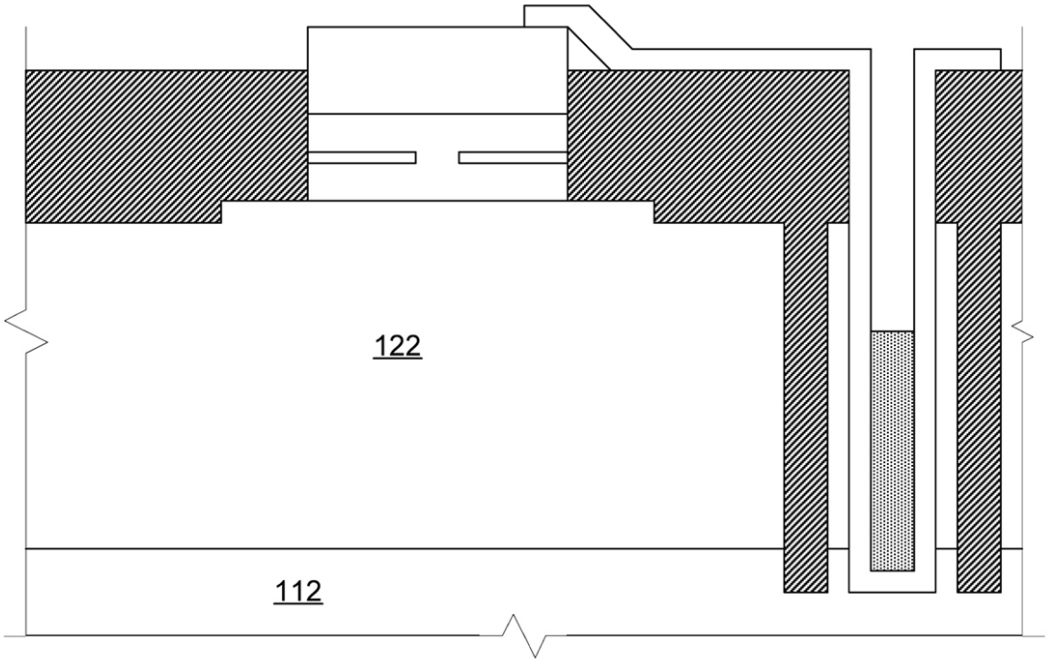
【図１８】


1702
1706
704
124
1700

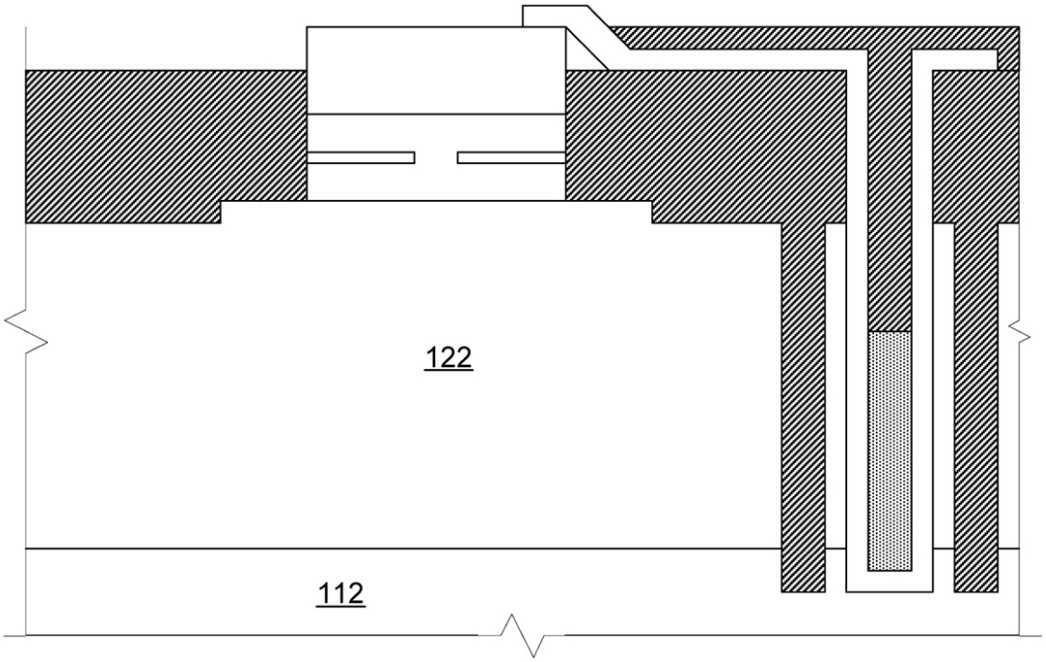
【図１９】



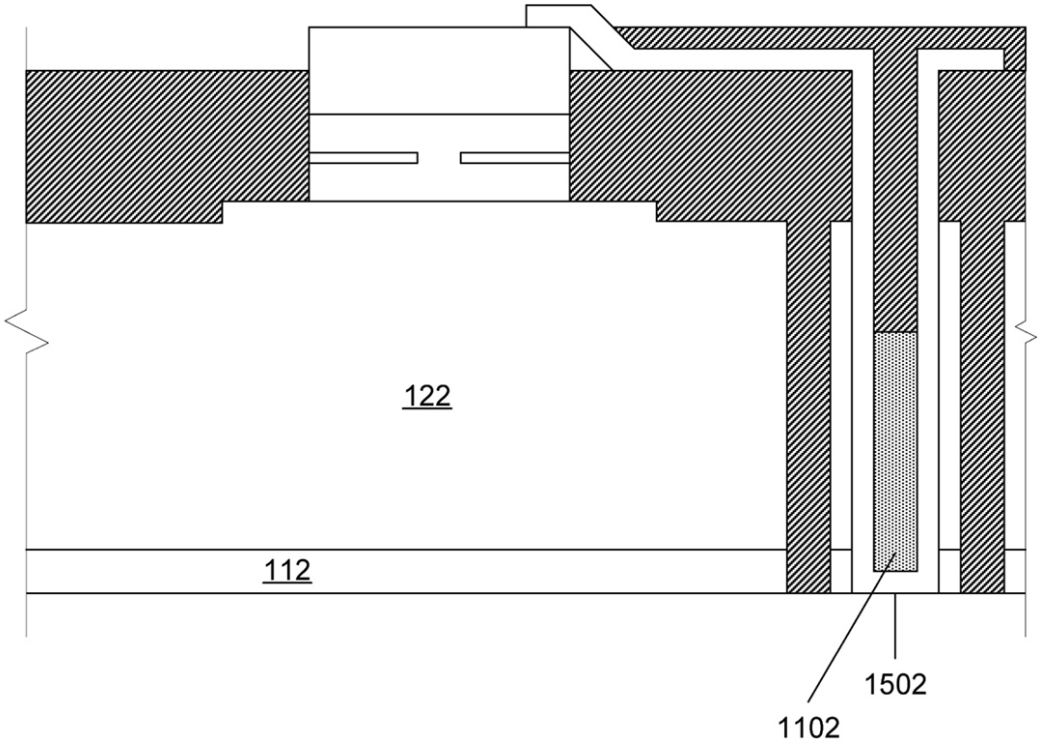
【図２０】



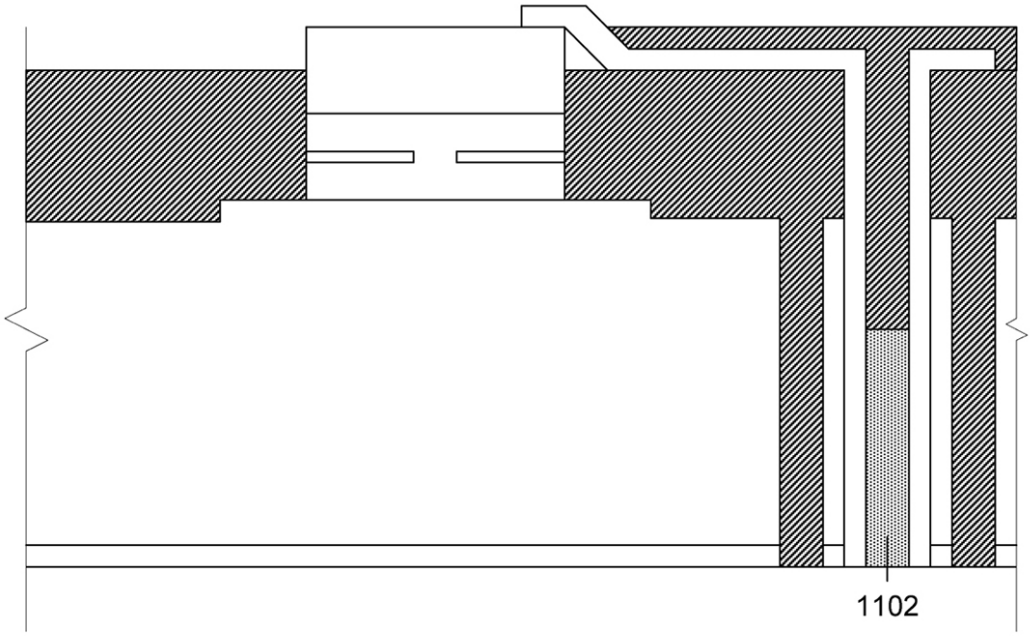
【図２１】



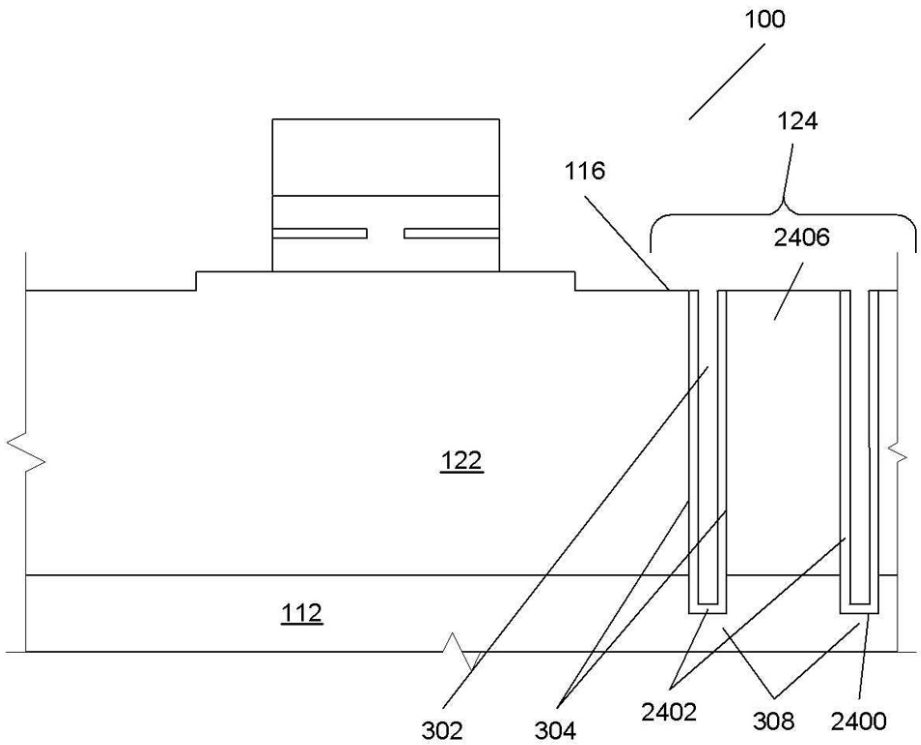
【図２２】



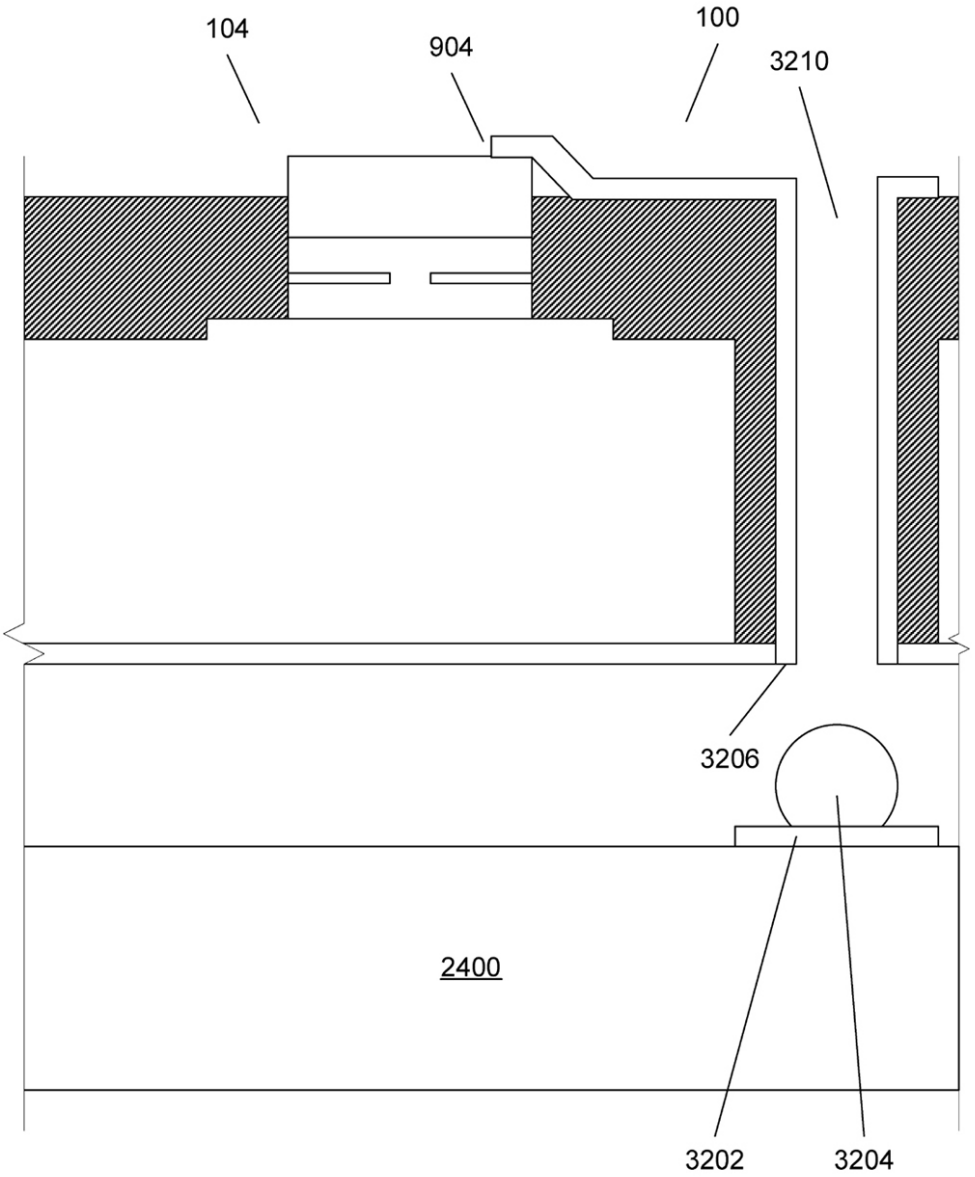
【図２３】



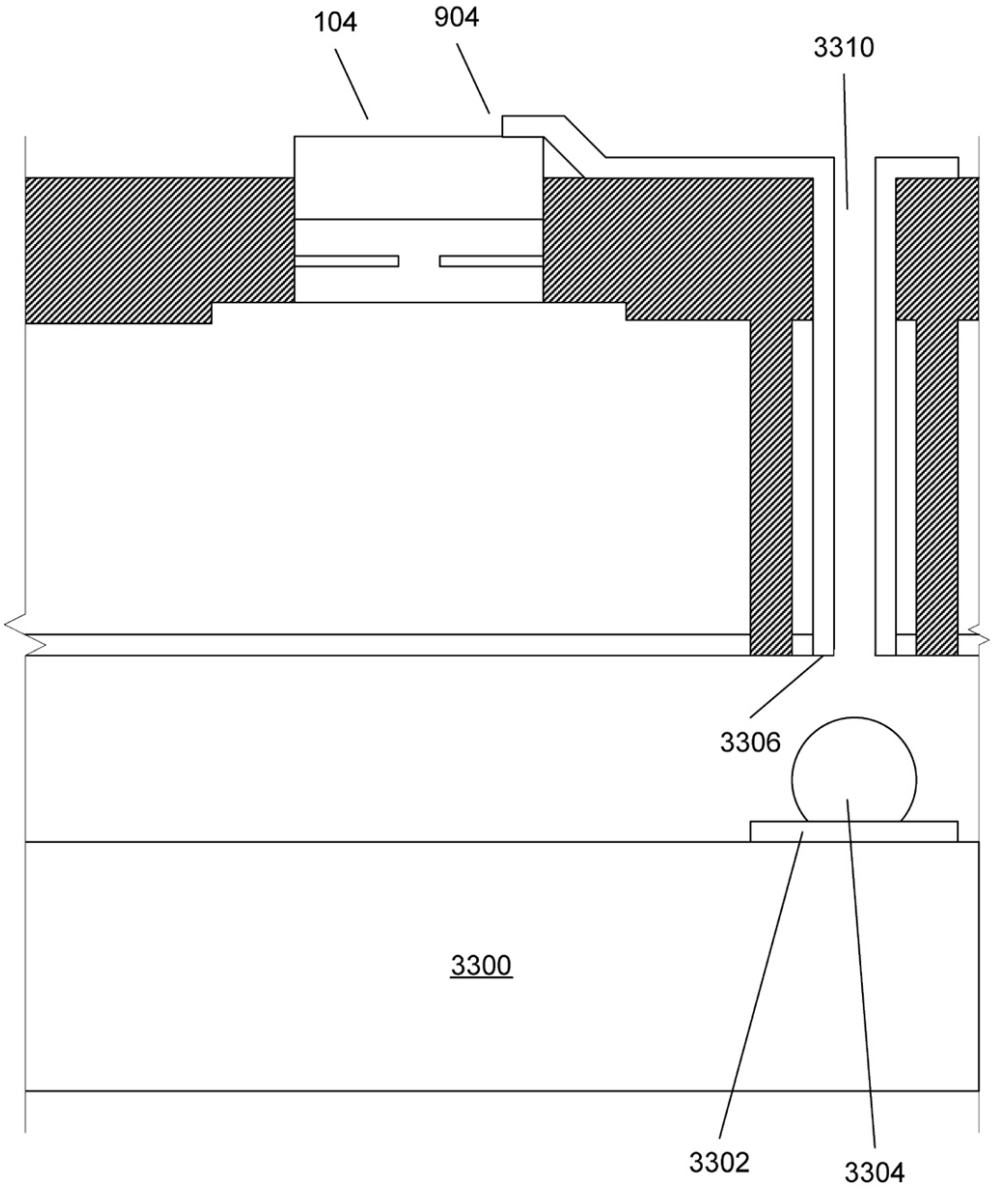
【図２４】



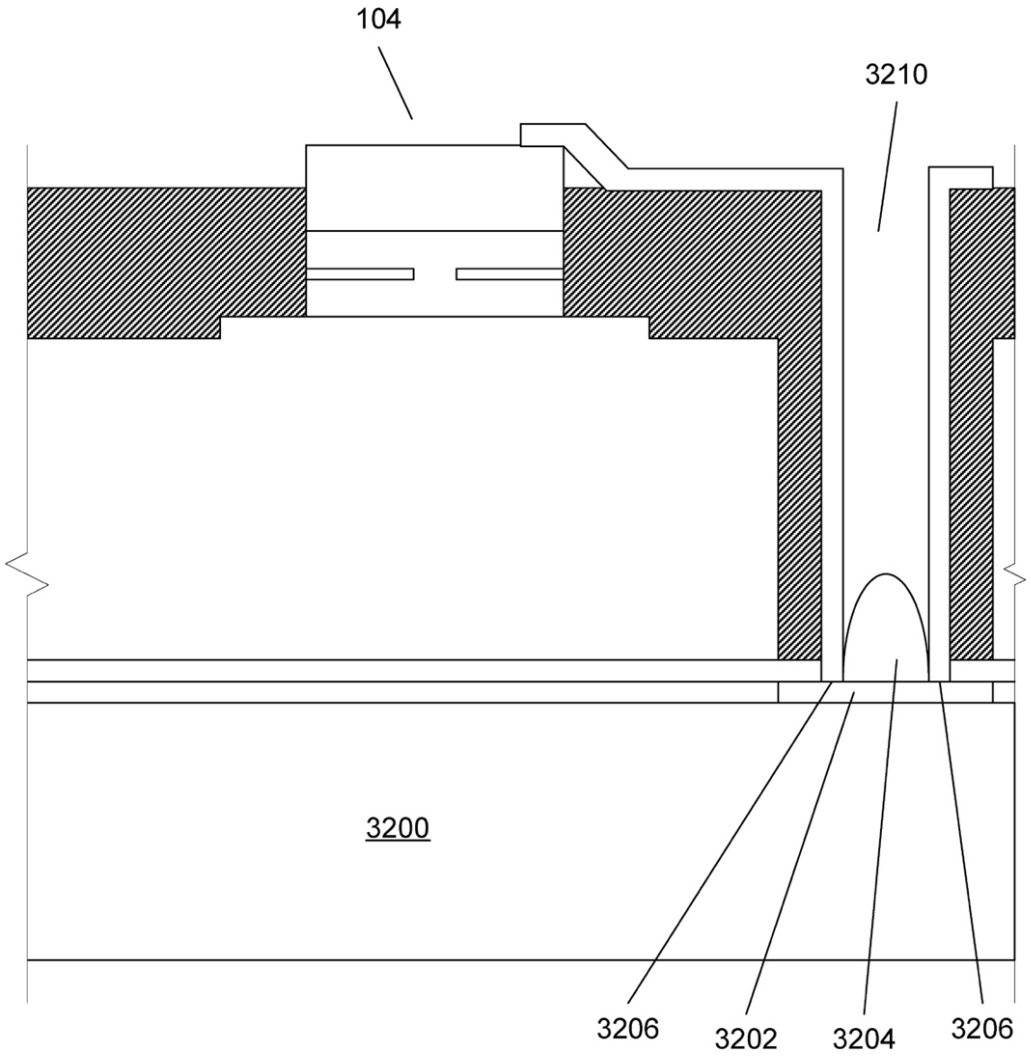
【図３２】



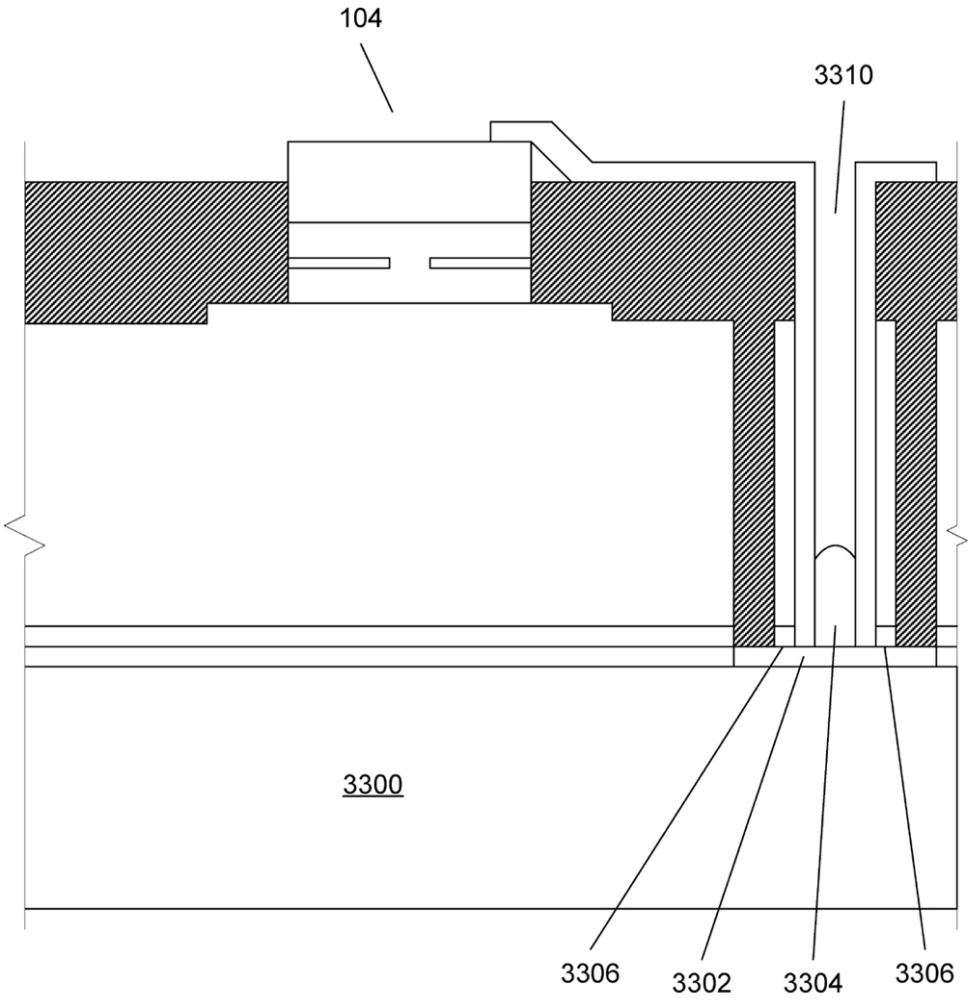
【図３３】



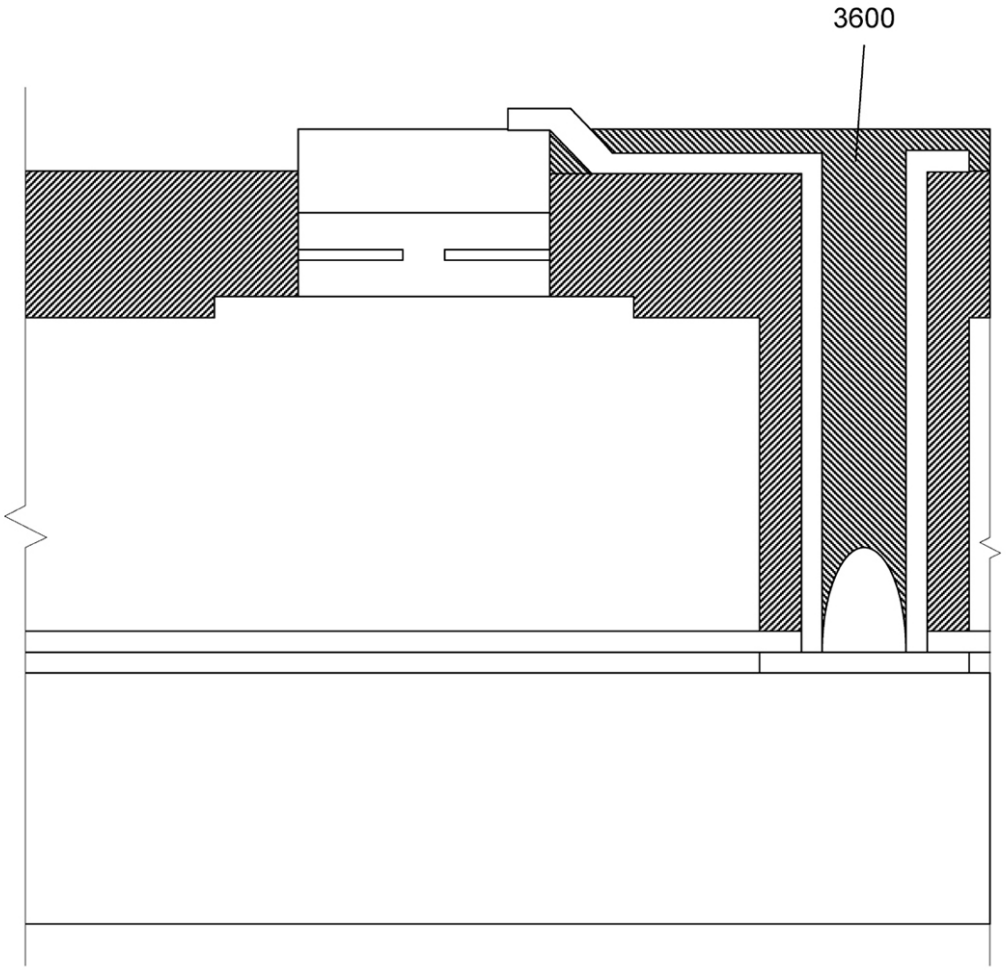
【図３４】



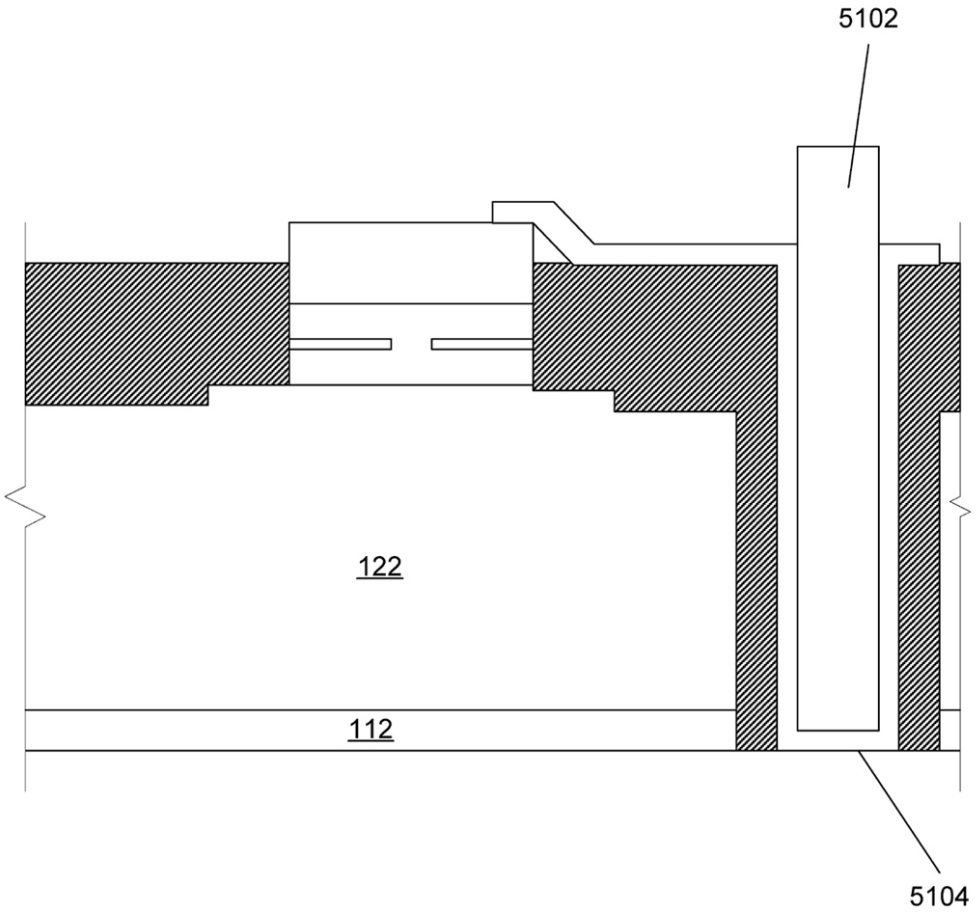
【図３５】



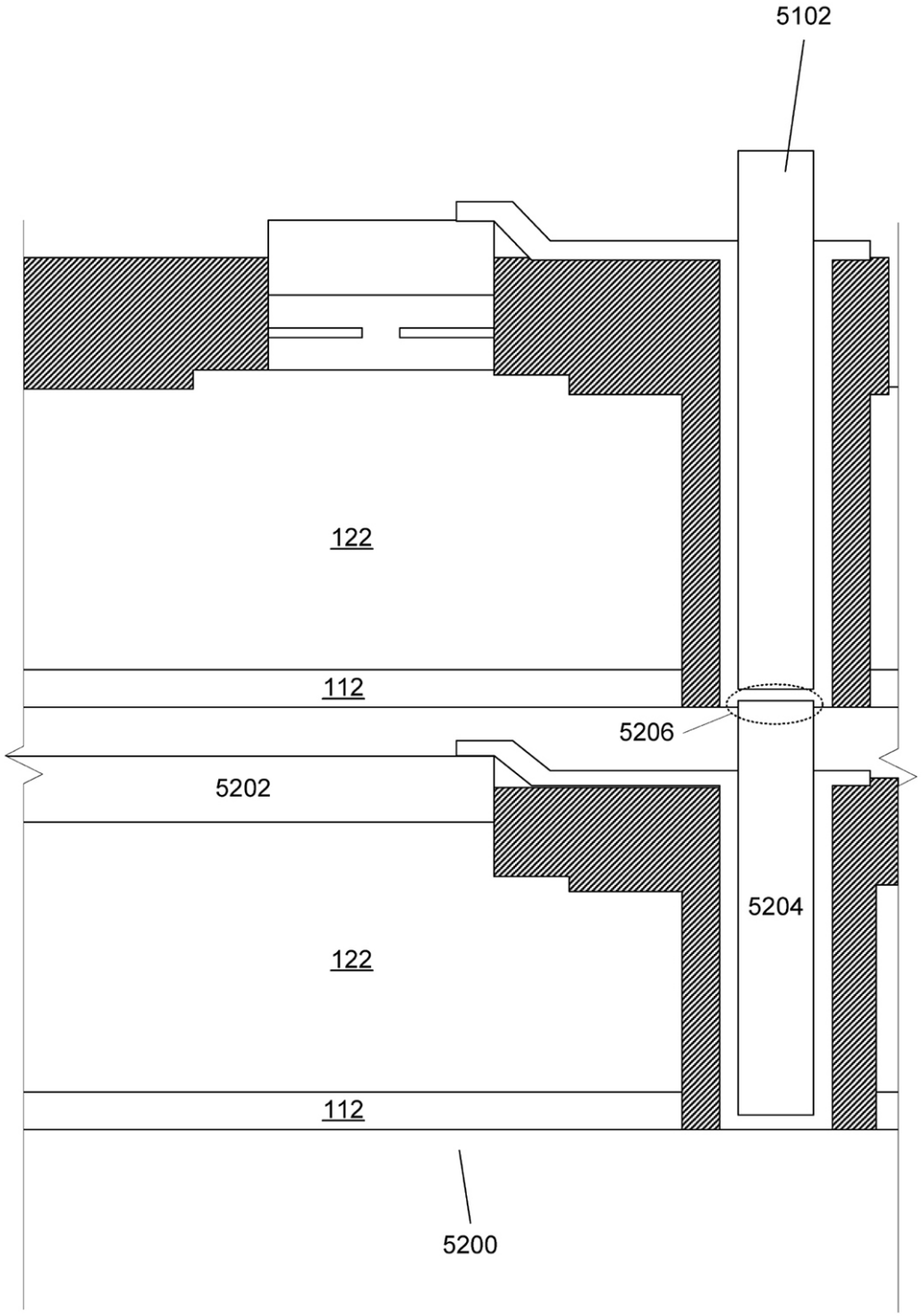
【図３６】



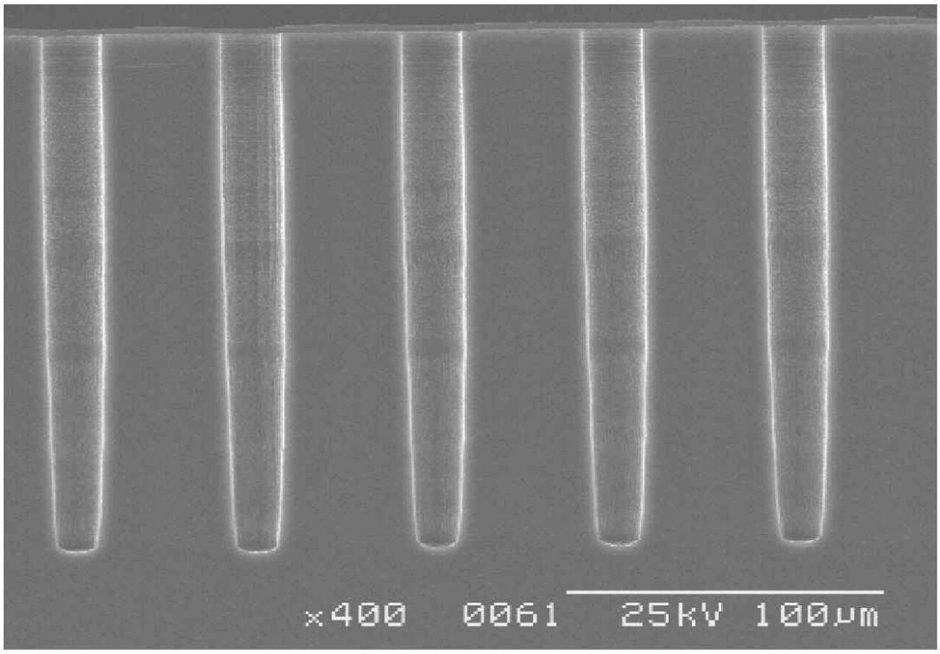
【図５１】



【図５２】

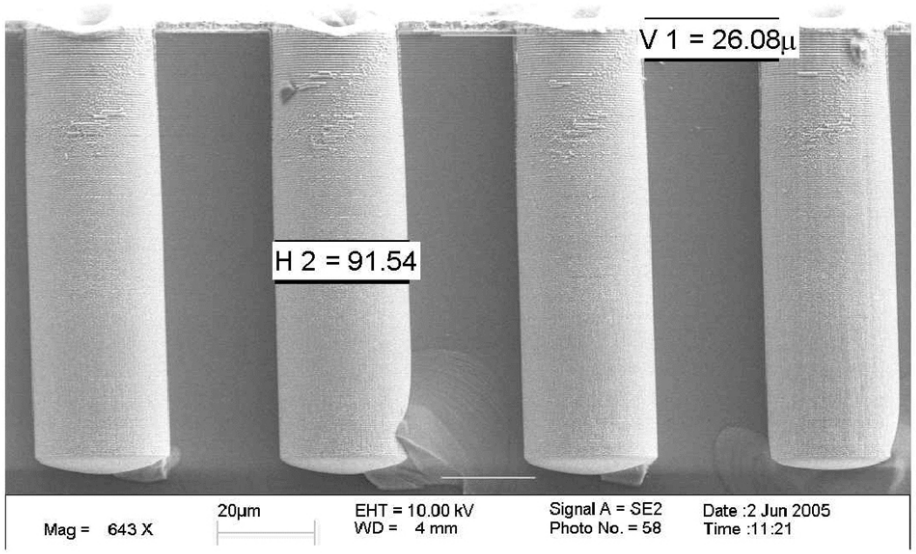


【図９２】



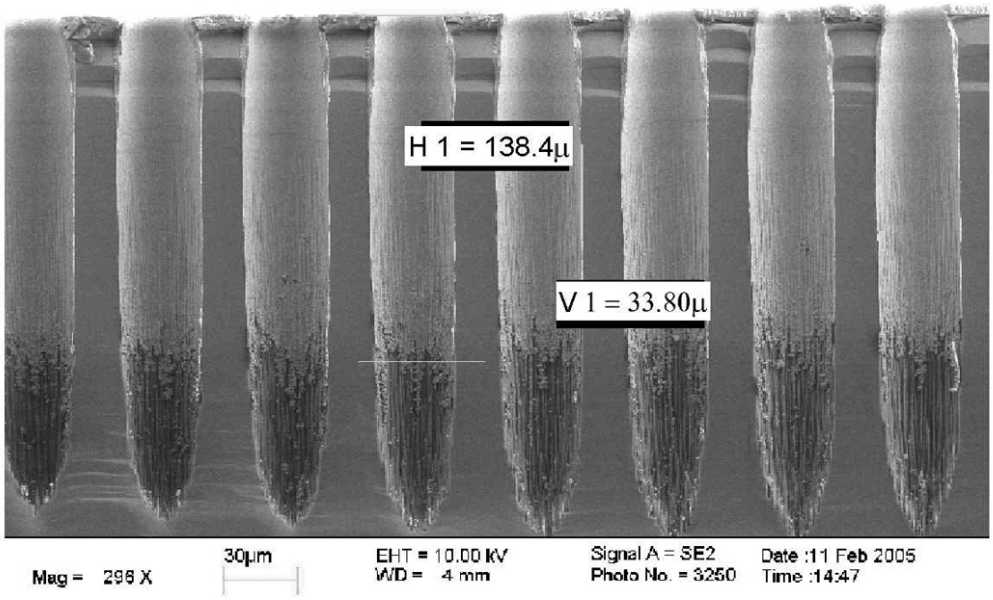
直径 ２０μｍ
深さ ～１５０μｍ

【図９３】

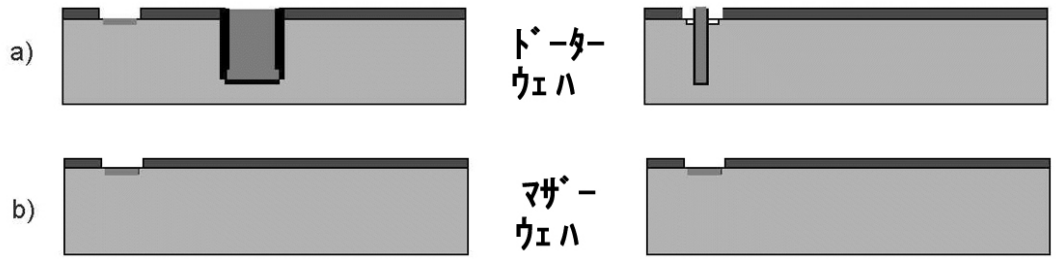


直径 ２０μｍ
充填バイア深さ ～１００μｍ

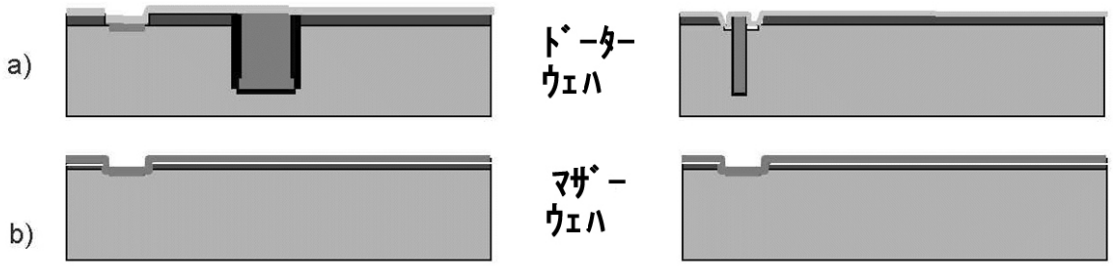
【図９４】



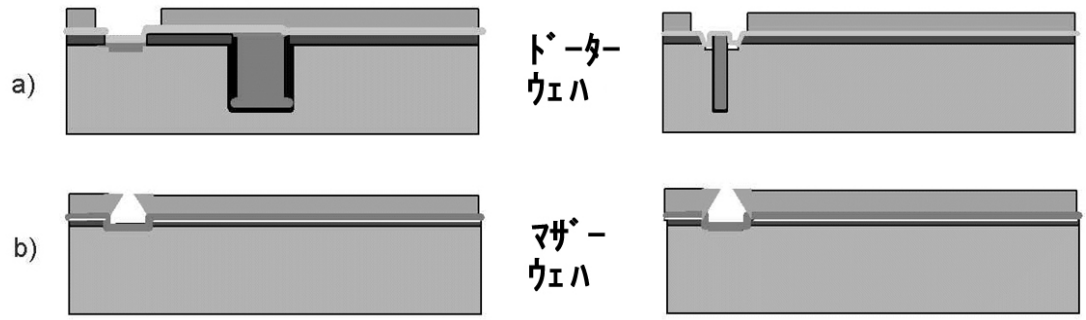
【図１０３】



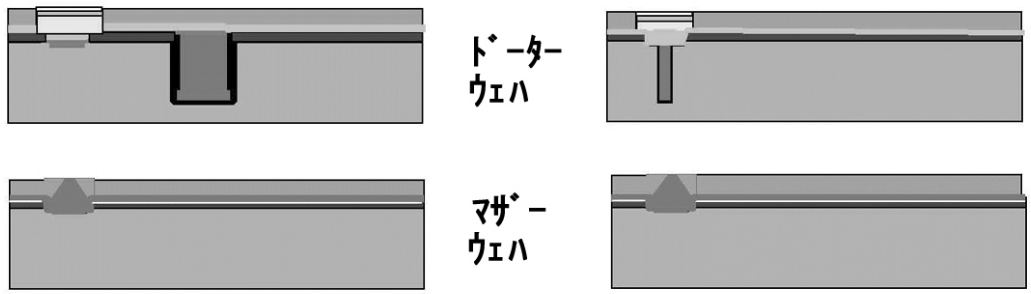
【図１０４】



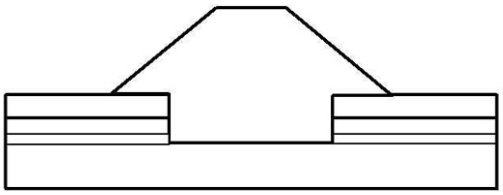
【図１０５】



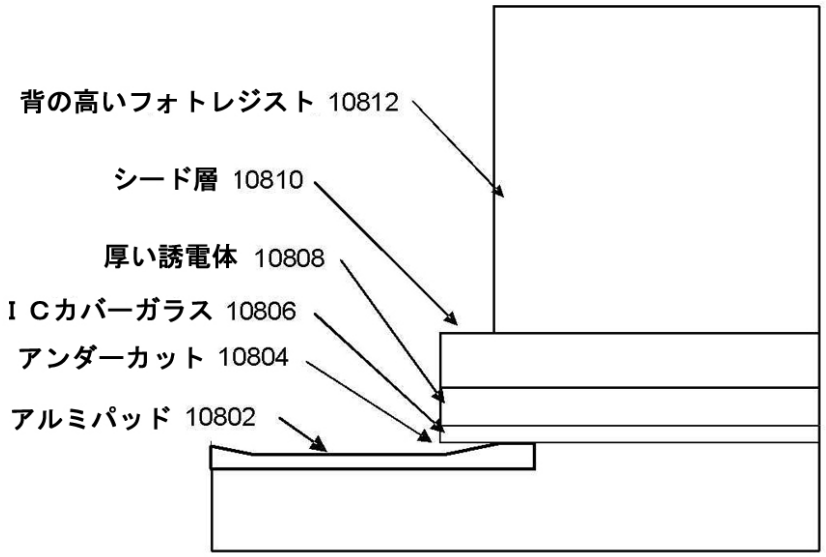
【図１０６】



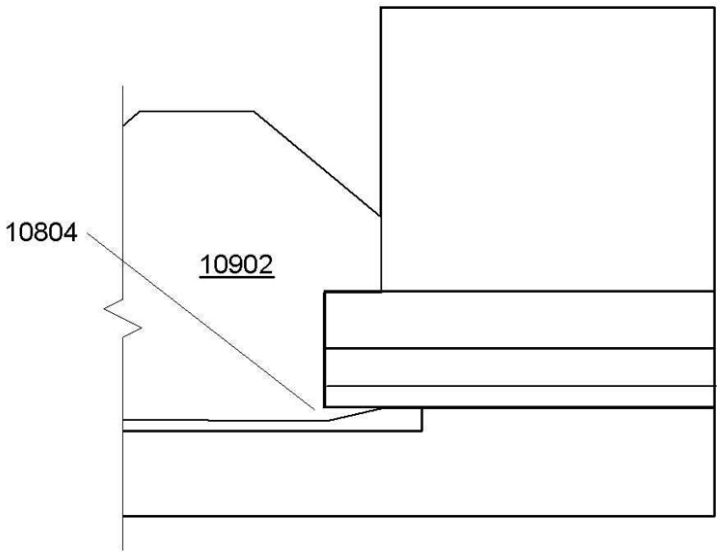
【図１０７】



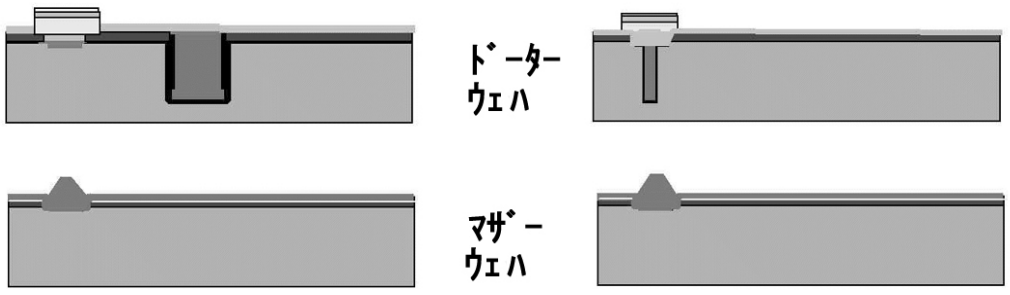
【図１０８】



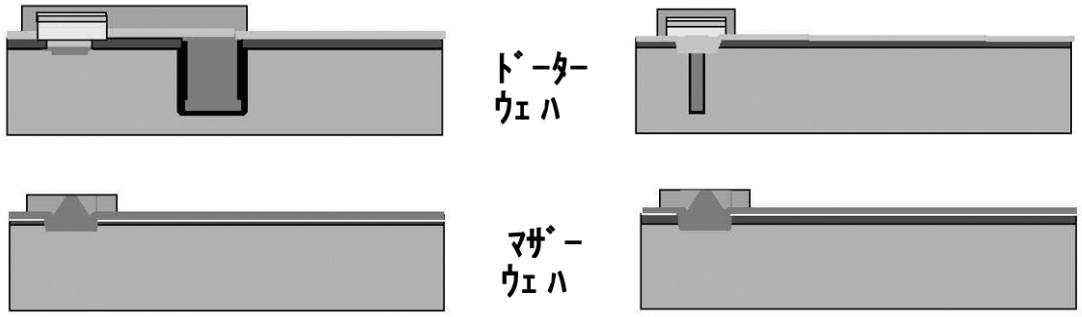
【図１０９】



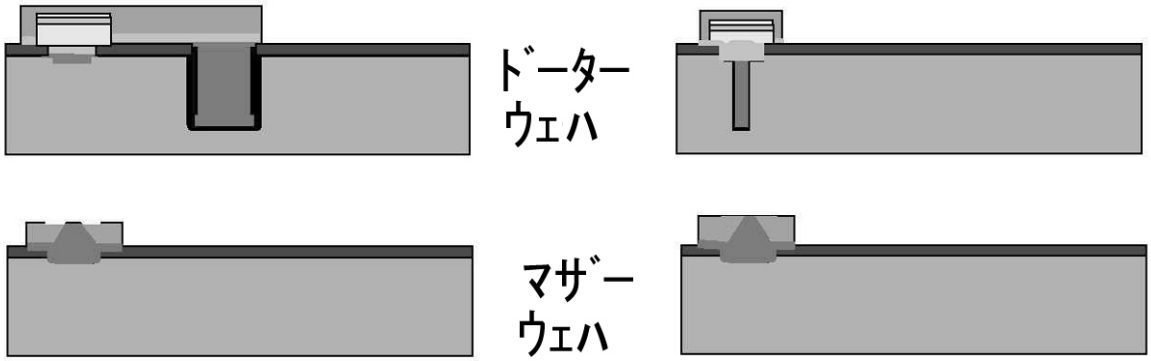
【図１１０】



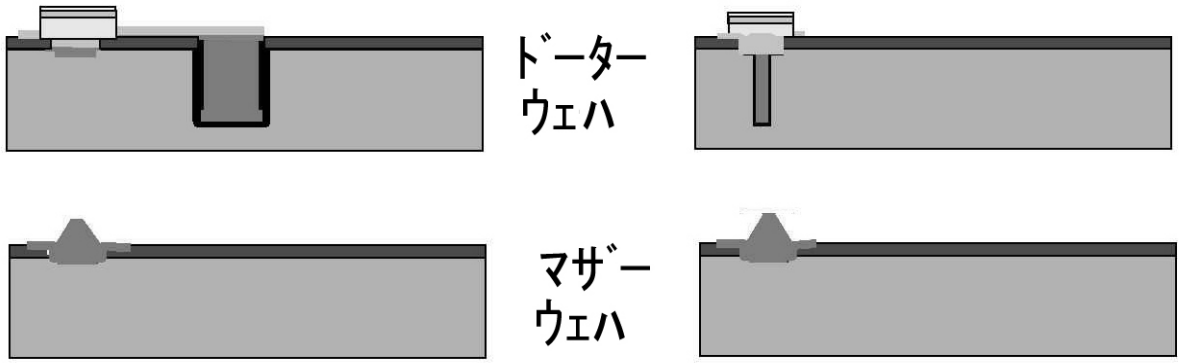
【図１１１】



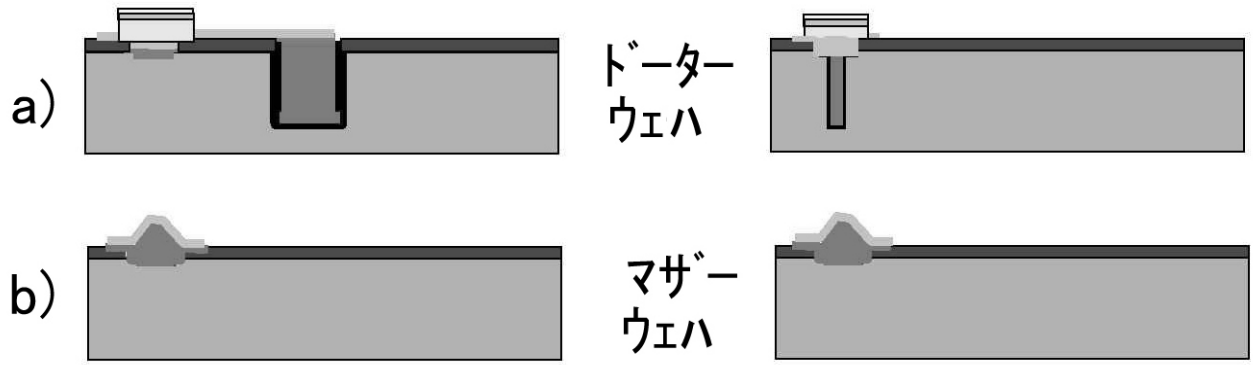
【図１１２】



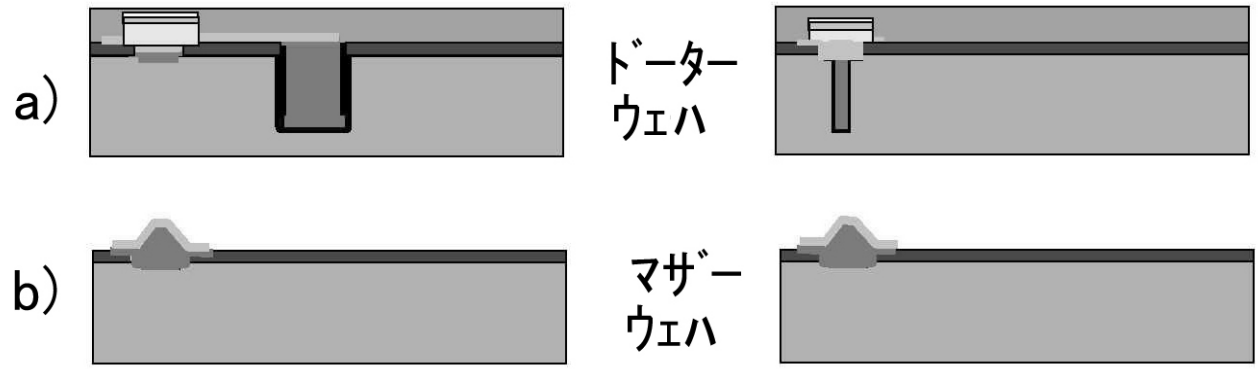
【図１１３】



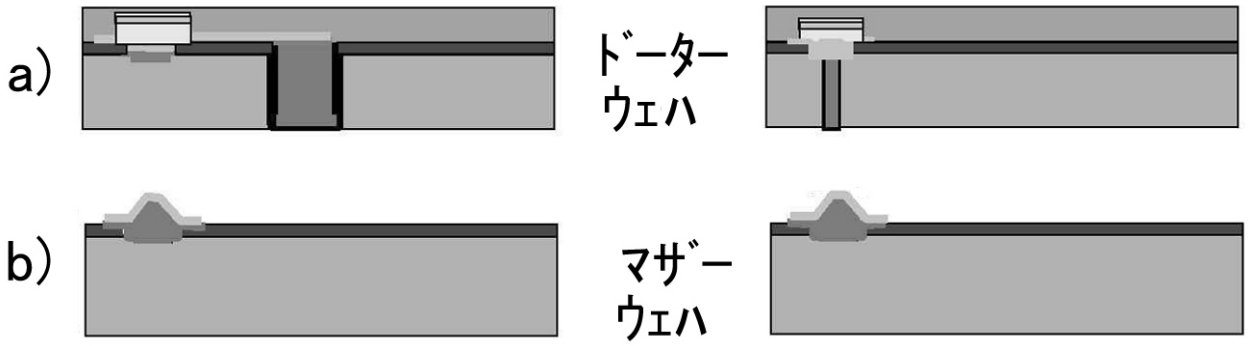
【図１１４】



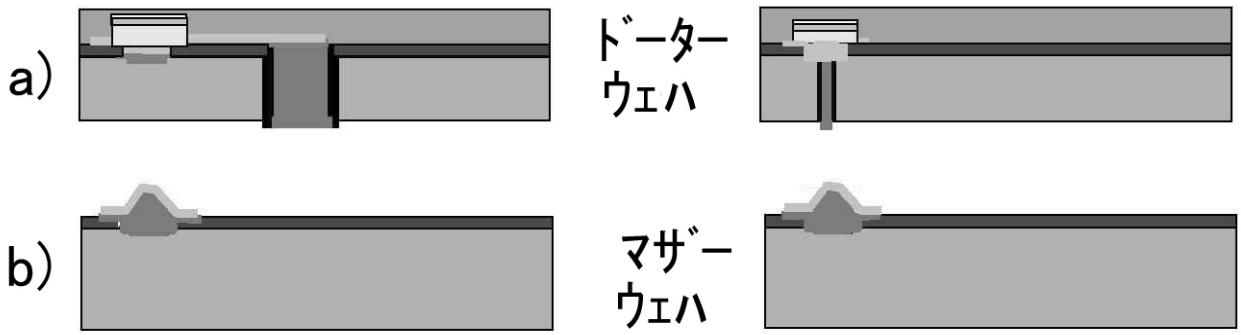
【図１１５】



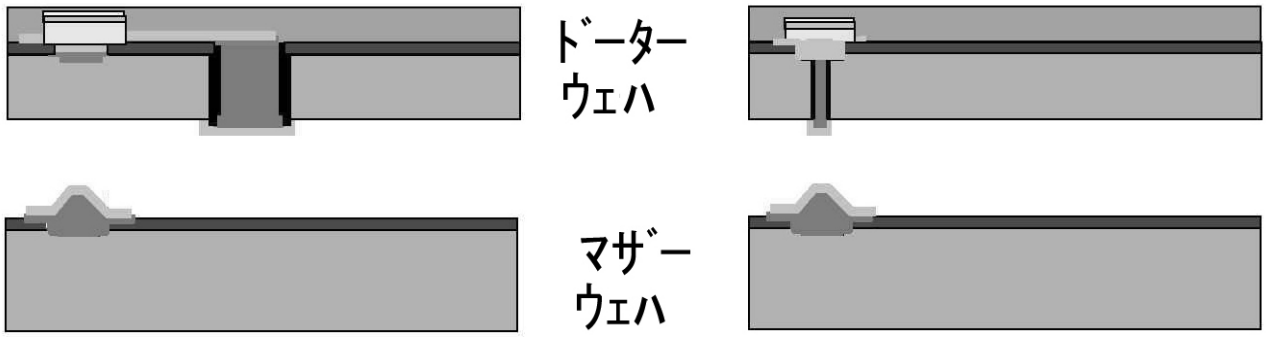
【図１１６】



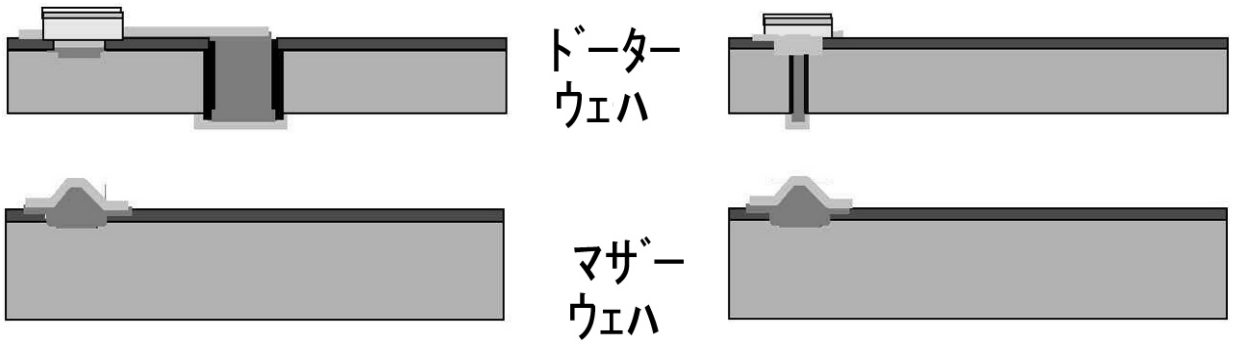
【図１１７】



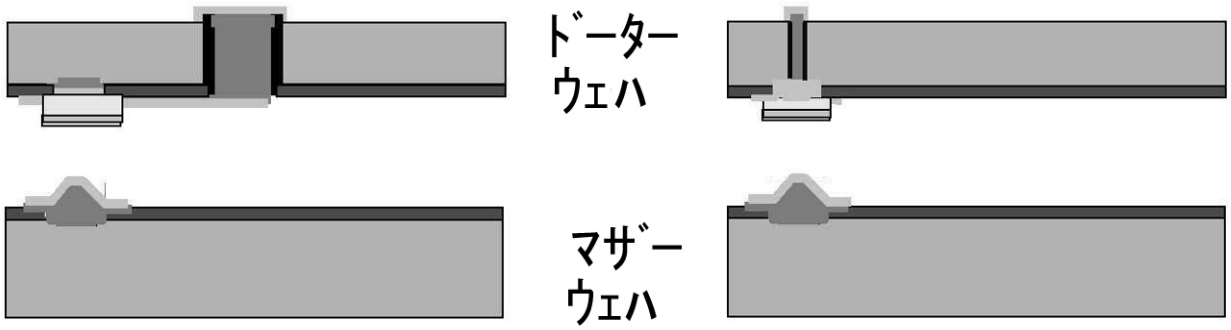
【図１１８】



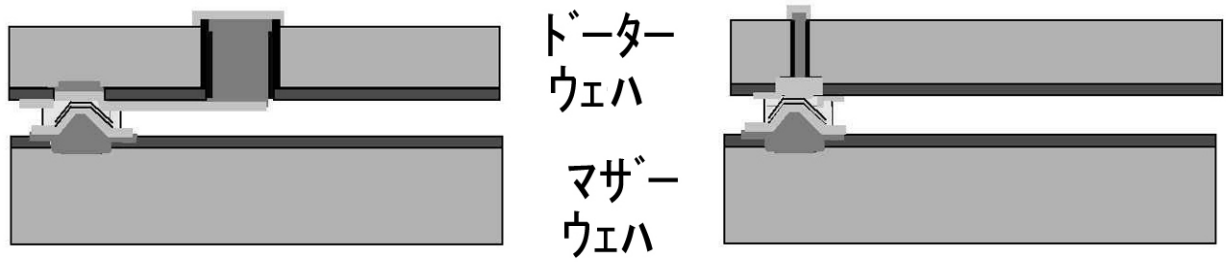
【図１１９】



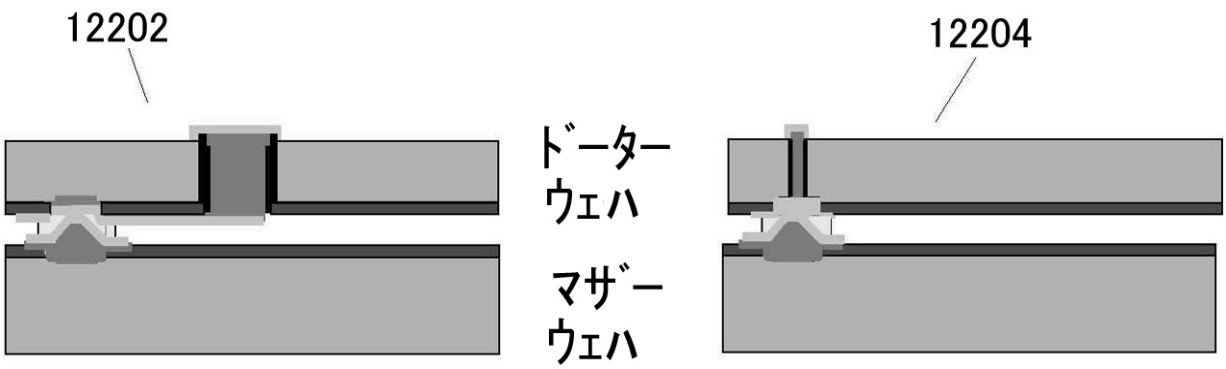
【図１２０】



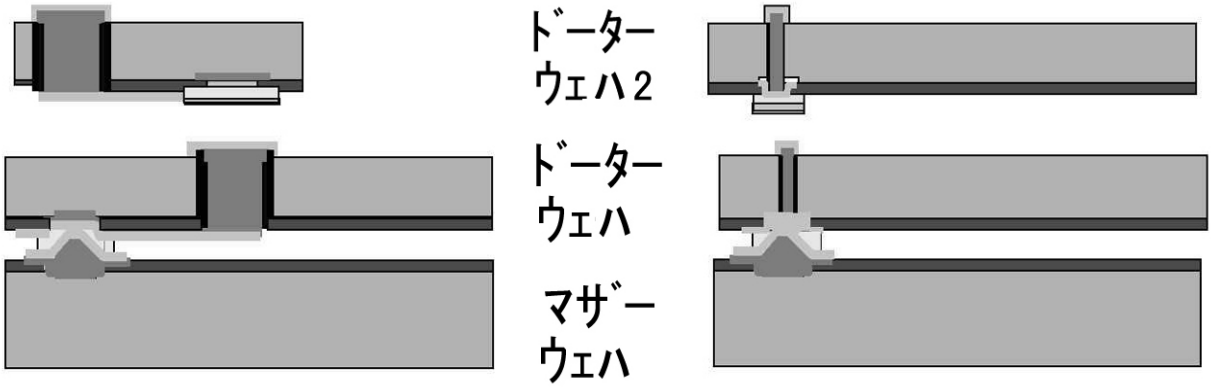
【図１２１】



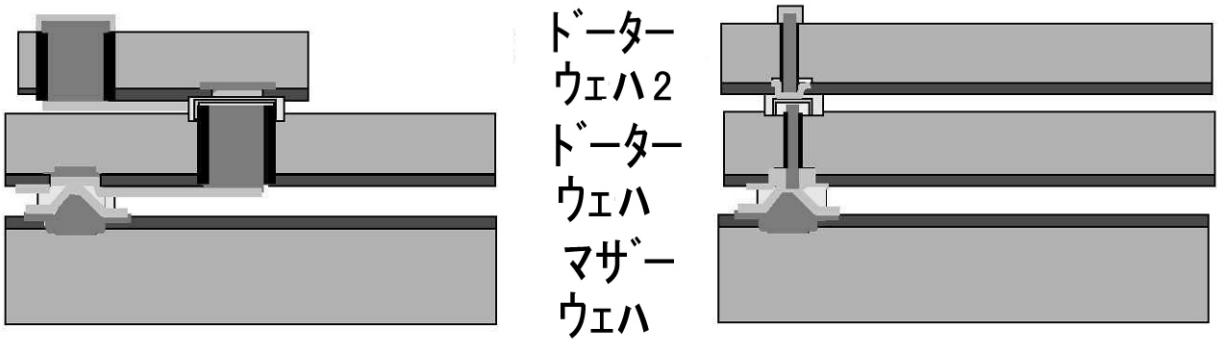
【図１２２】



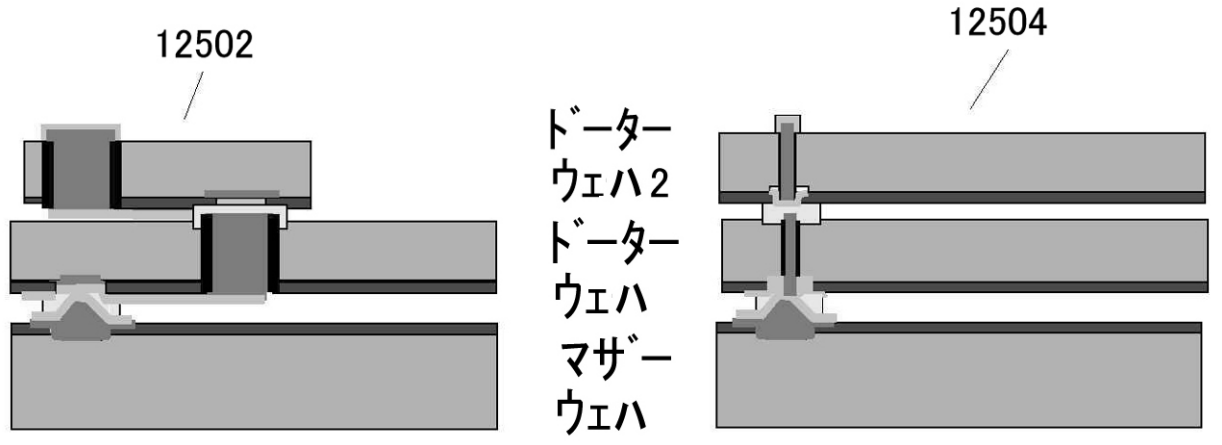
【図１２３】



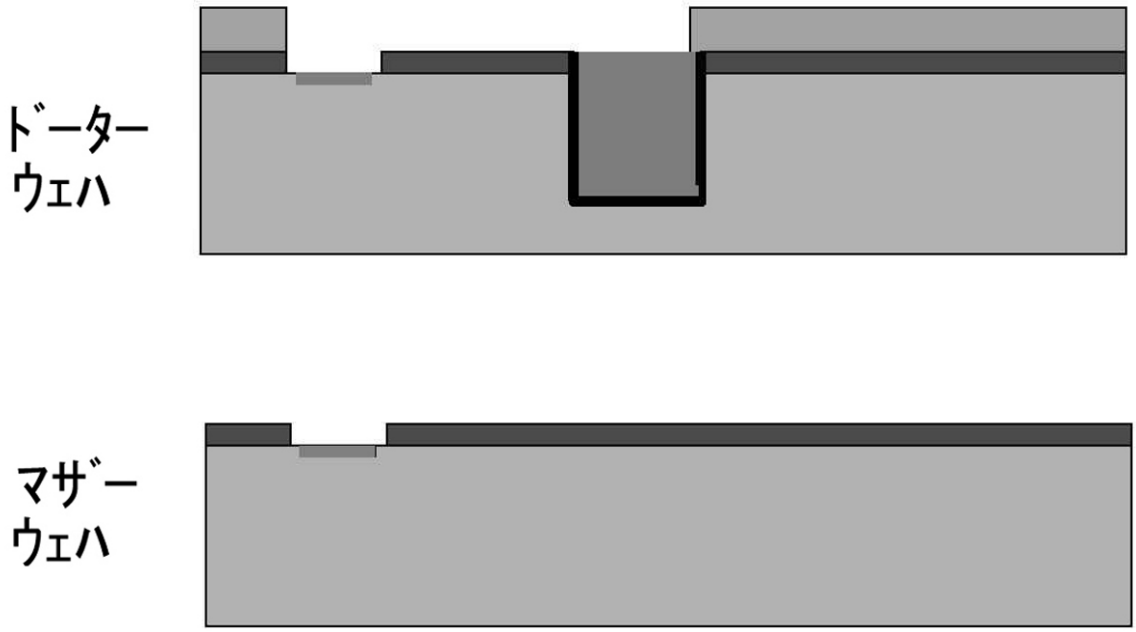
【図１２４】



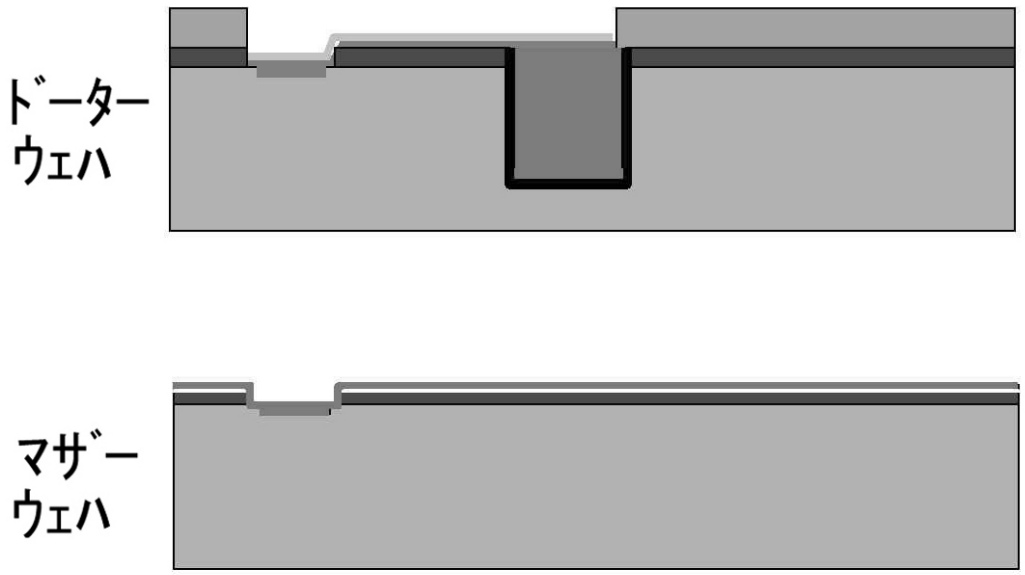
【図１２５】



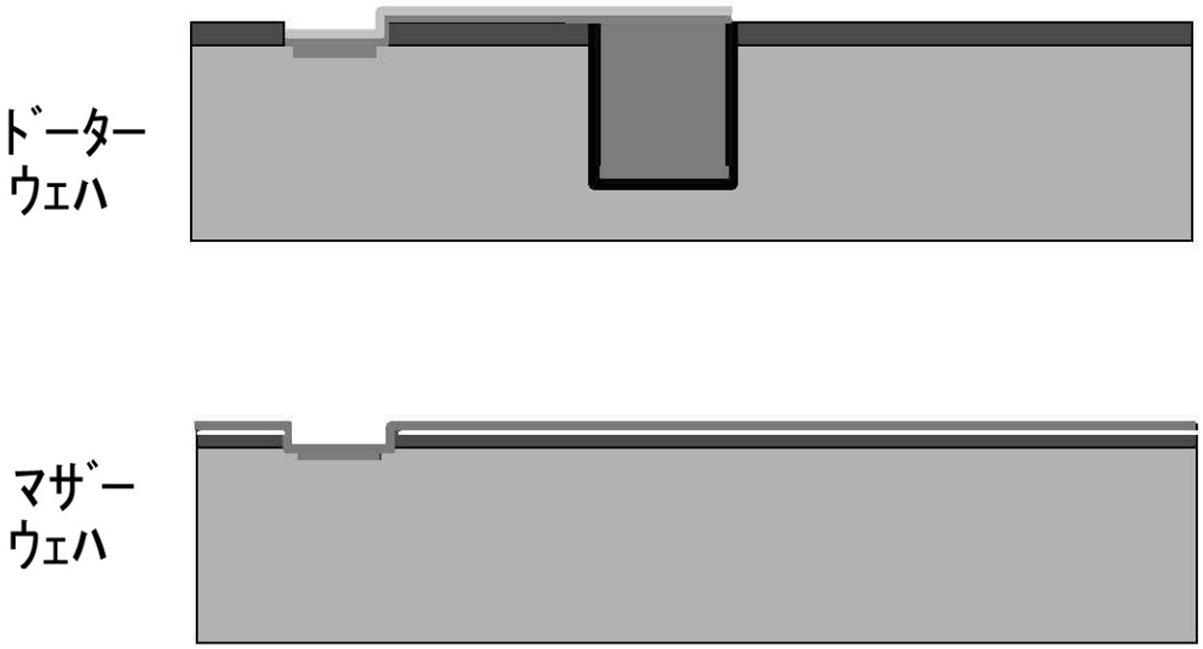
【図１２６】



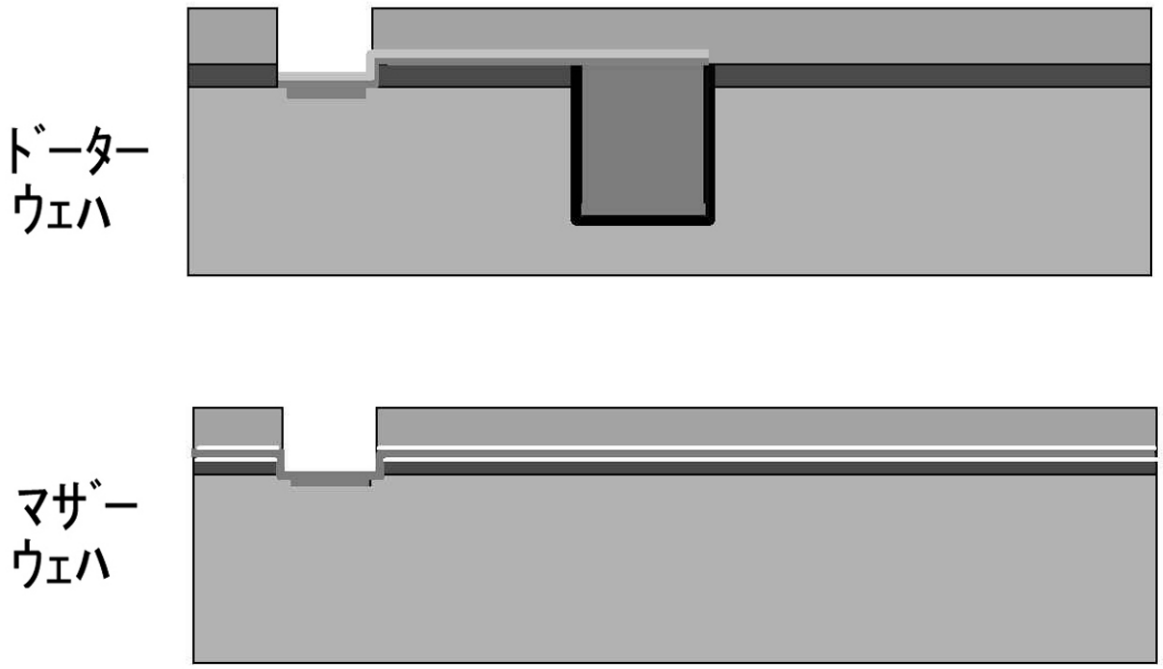
【図１２７】



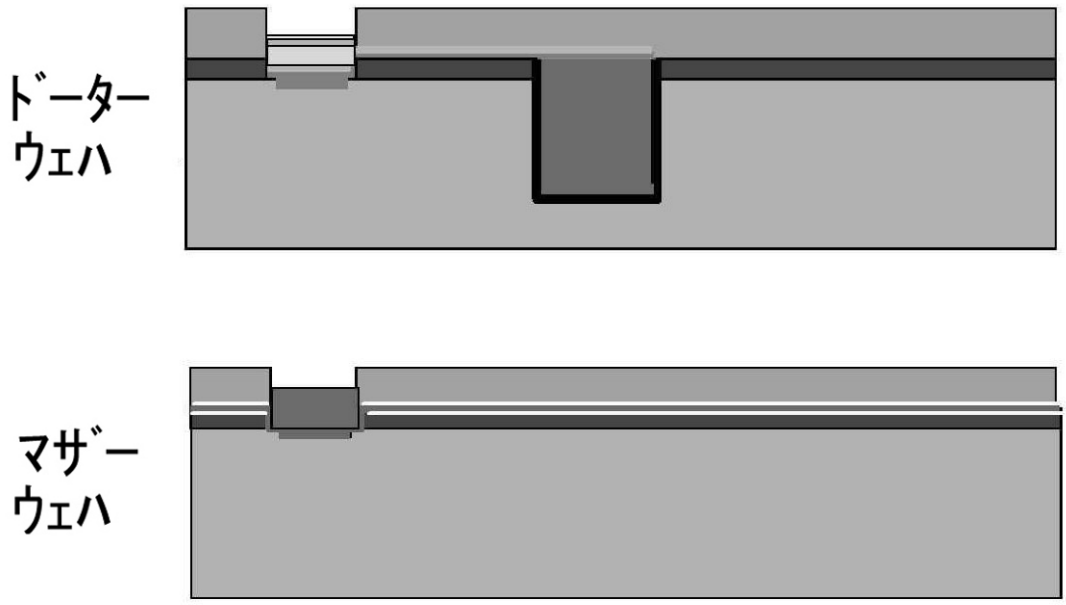
【図１２８】



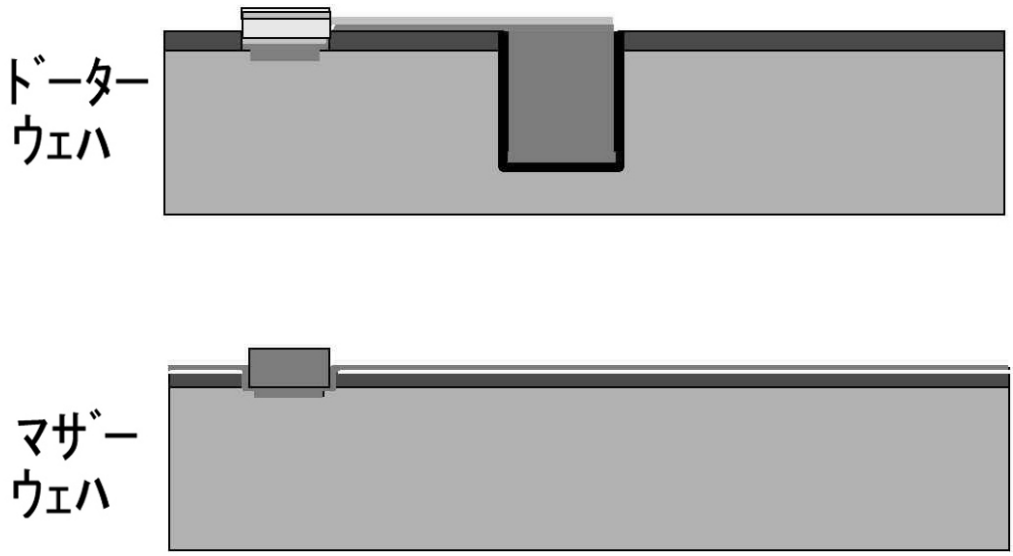
【図１２９】



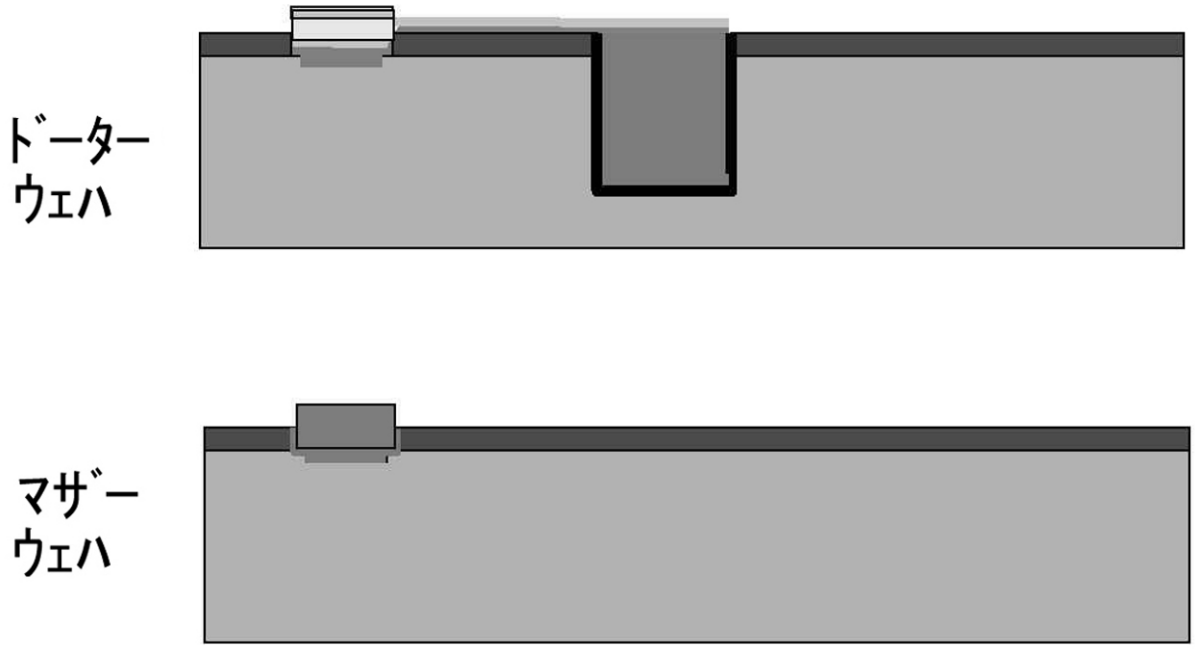
【図１３０】



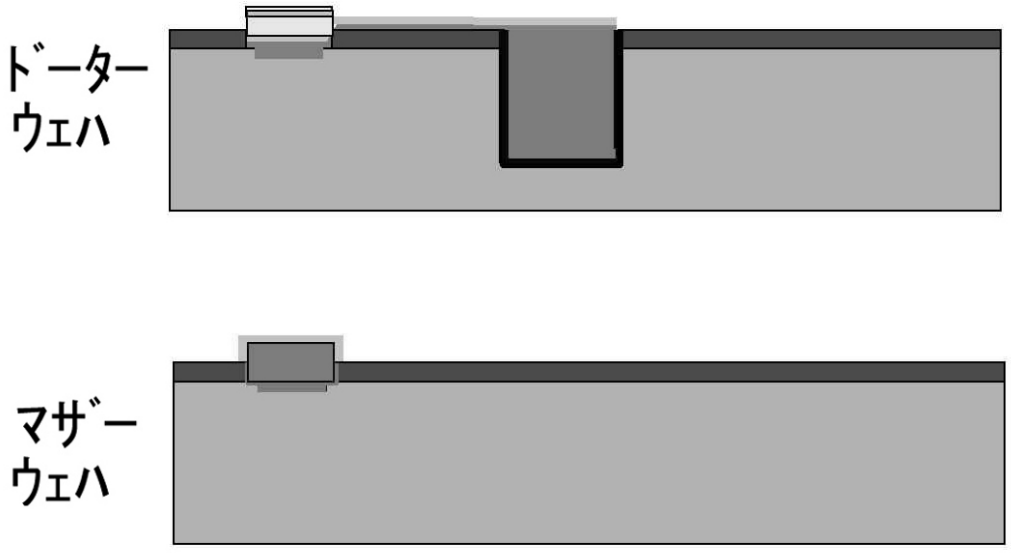
【図１３１】



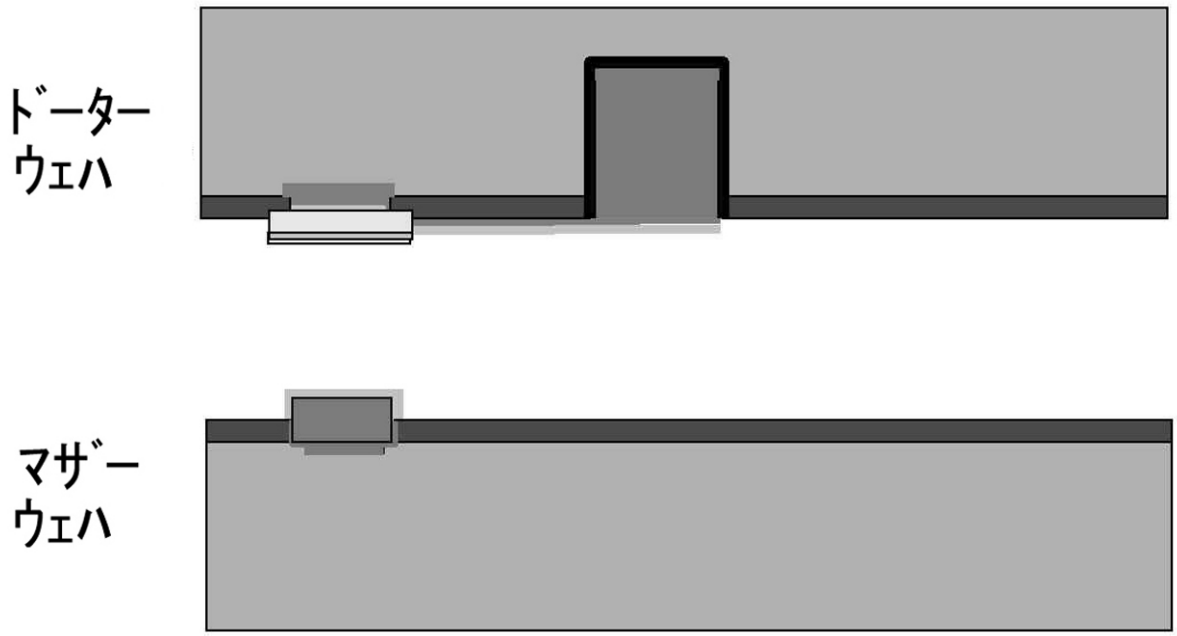
【図１３２】



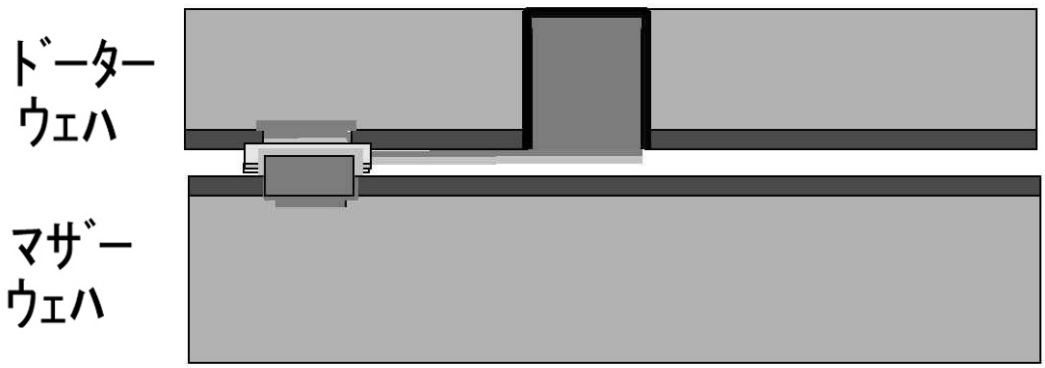
【図１３３】



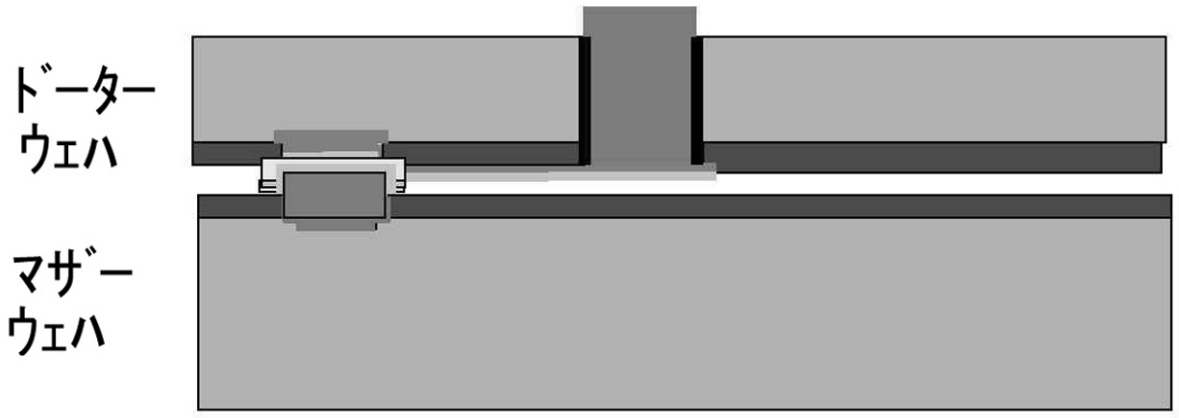
【図１３４】



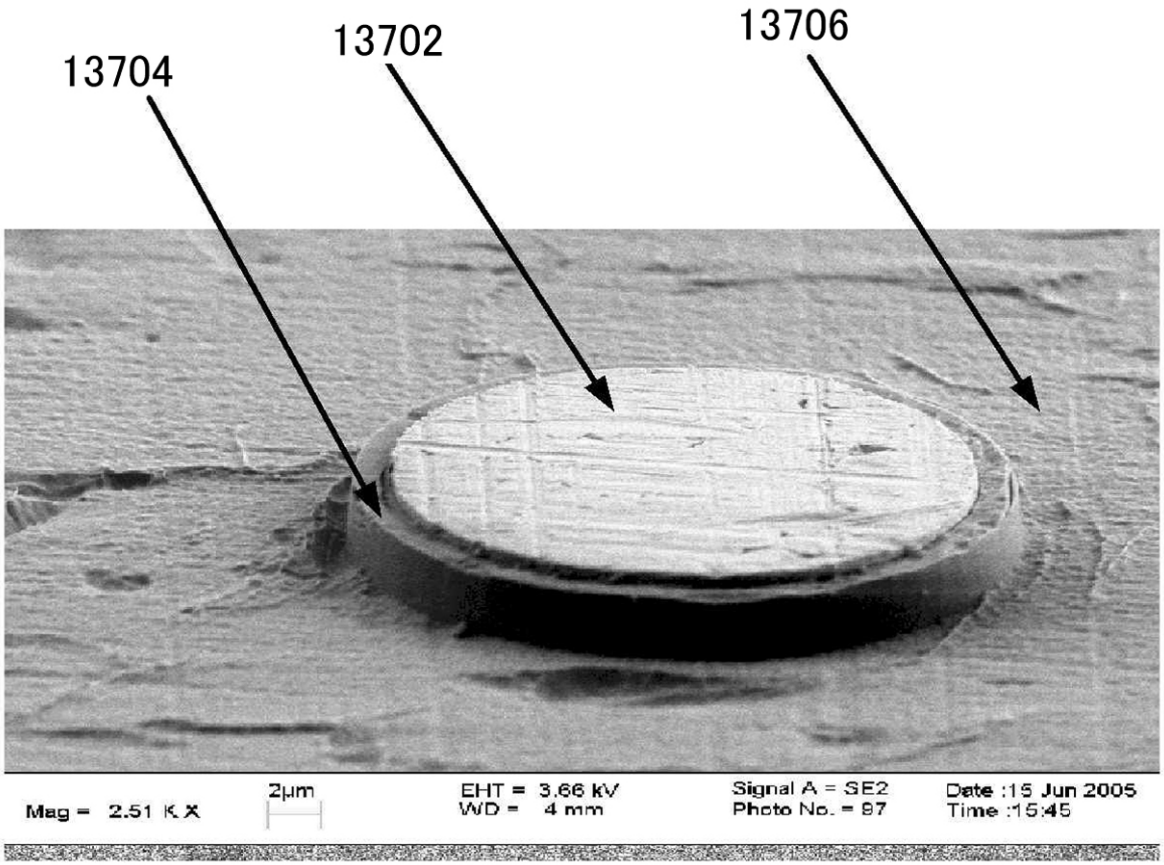
【図１３５】



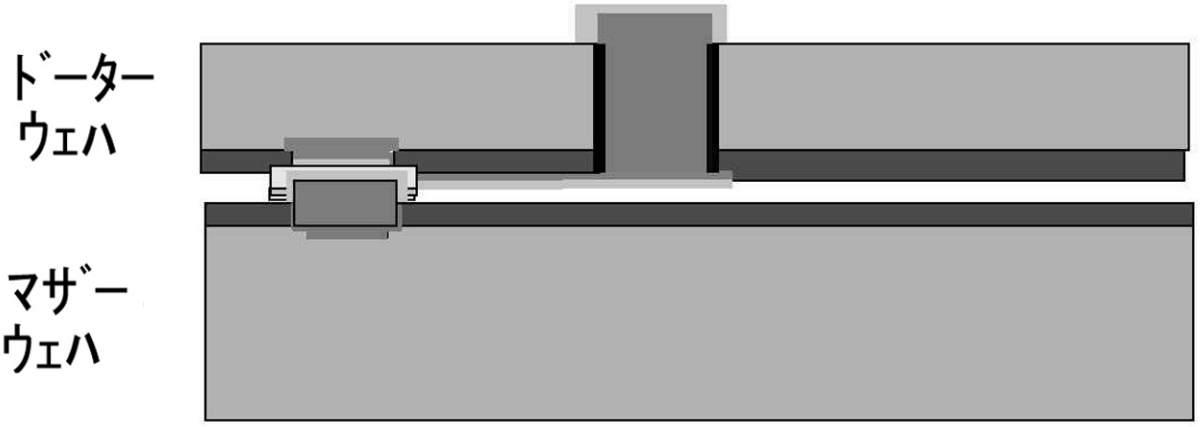
【図１３６】


ドーター
ウェハ
マザー
ウェハ

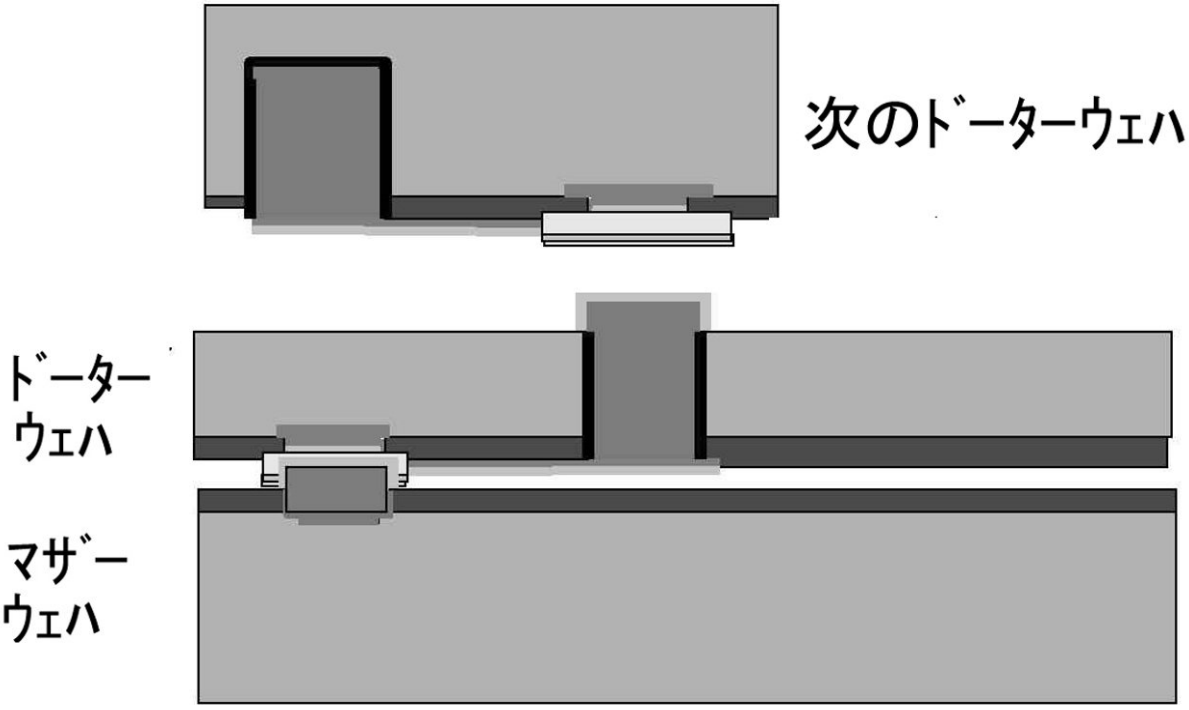
【図１３７】


13704
13702
13706
Mag = 2.51 K X
2µm
EHT = 3.66 kV
WD = 4 mm
Signal A = SE2
Photo No. = 87
Date :15 Jun 2005
Time :15:45

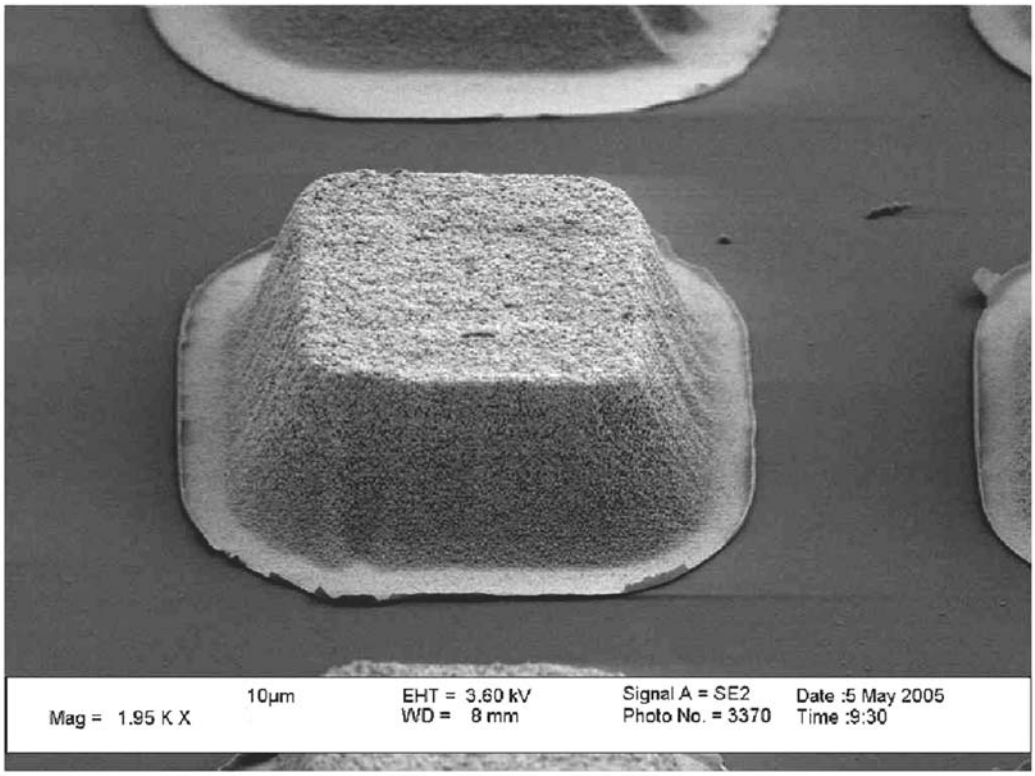
【図１３８】



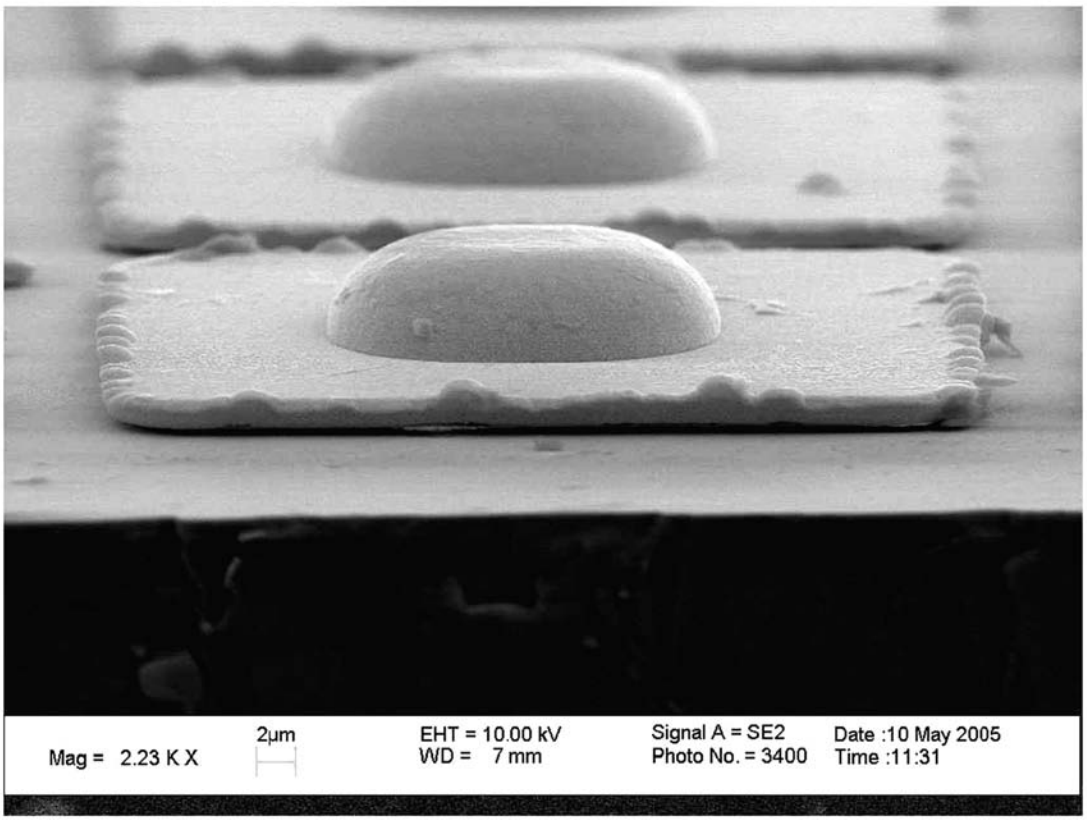
【図１３９】



【図１４４】

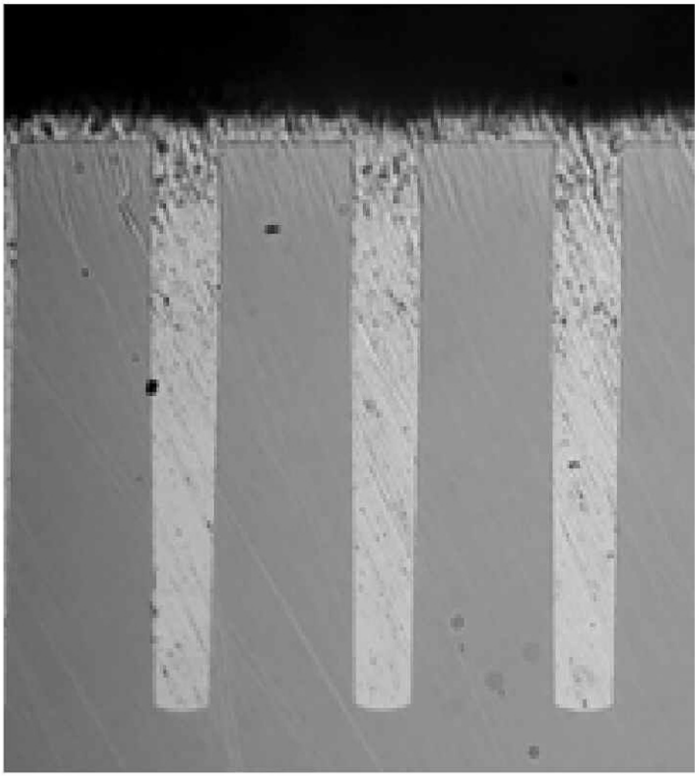

Mag = 1.95 K X
10µm
EHT = 3.60 kV
WD = 8 mm
Signal A = SE2
Photo No. = 3370
Date :5 May 2005
Time :9:30

【図１４５】

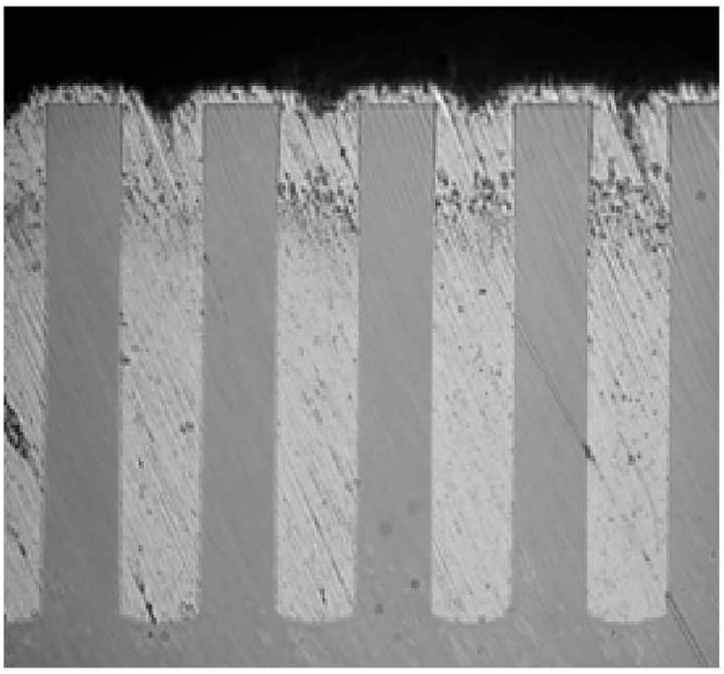

Mag = 2.23 K X
2µm
EHT = 10.00 kV
WD = 7 mm
Signal A = SE2
Photo No. = 3400
Date :10 May 2005
Time :11:31

【図１５７Ａ】

直径15μｍ　深さ135μｍ

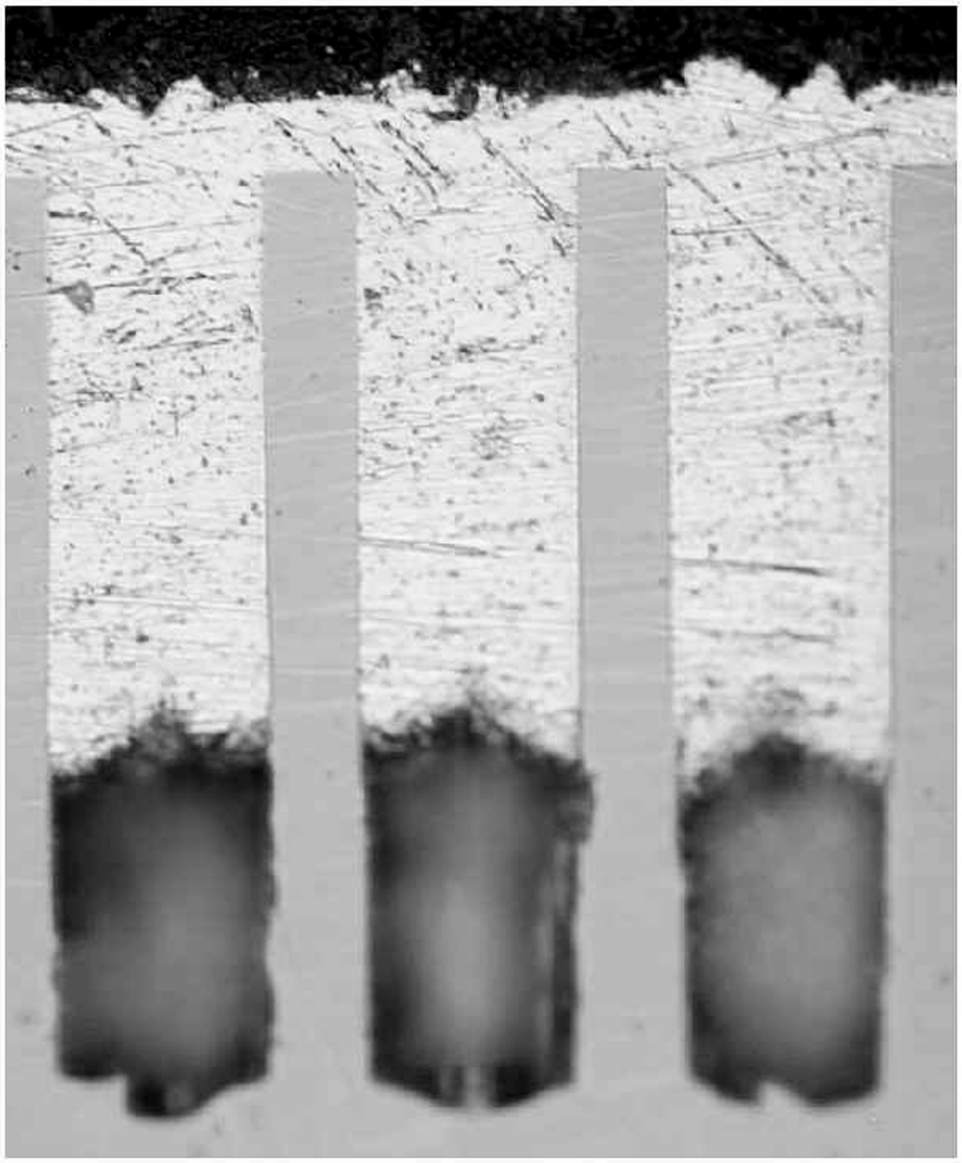


【図１５７Ｂ】

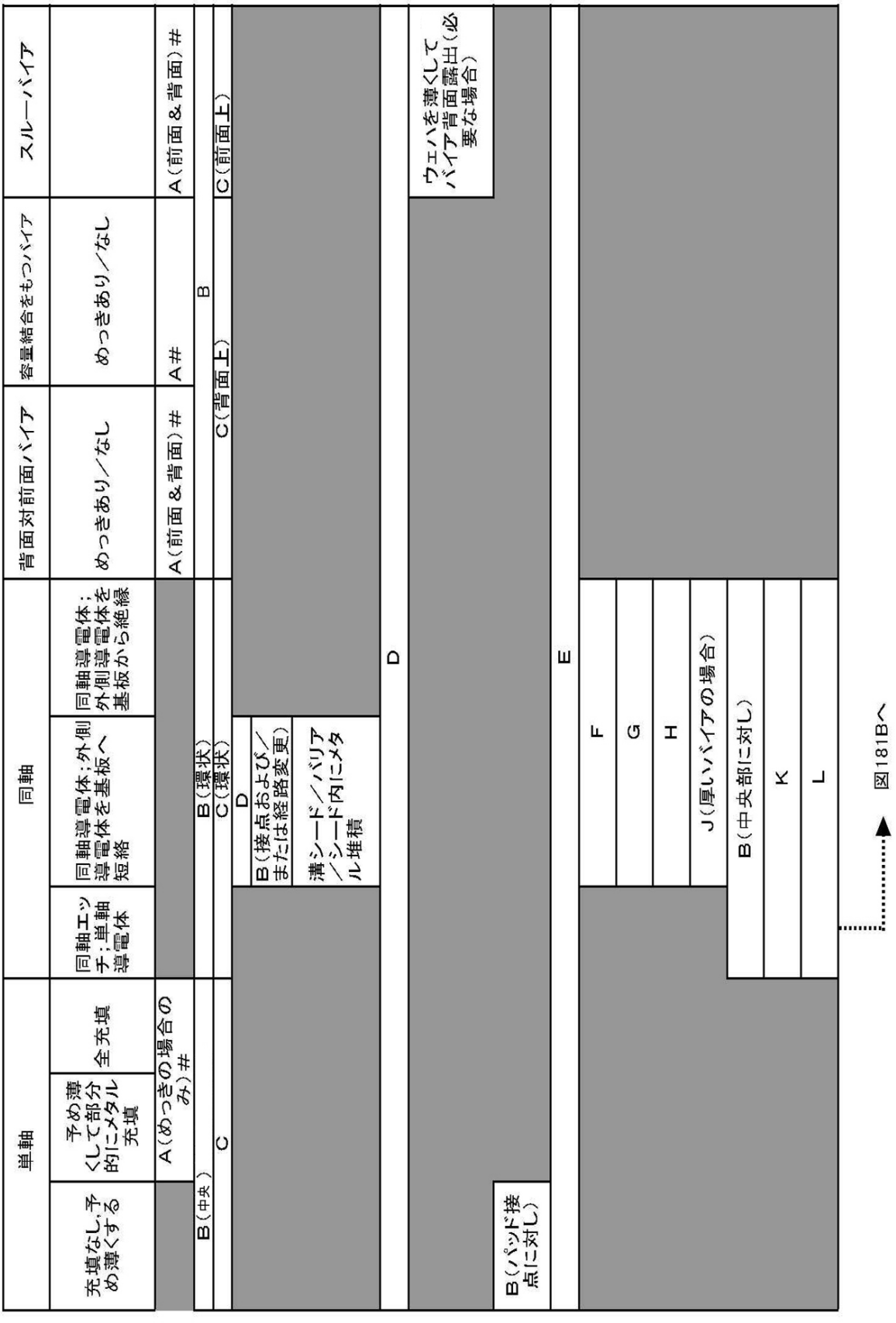


直径25μｍ　深さ155μｍ

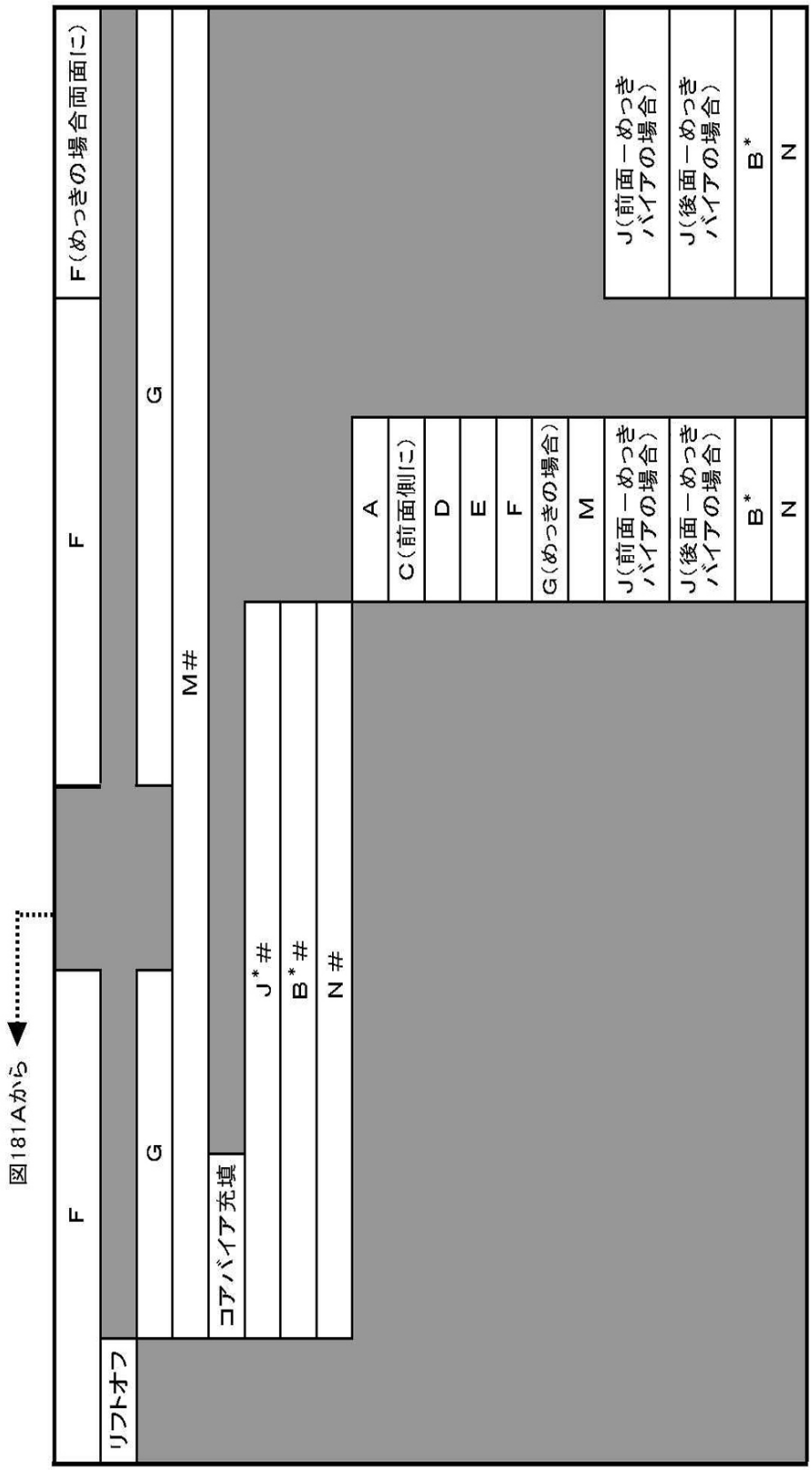
【図１５８】



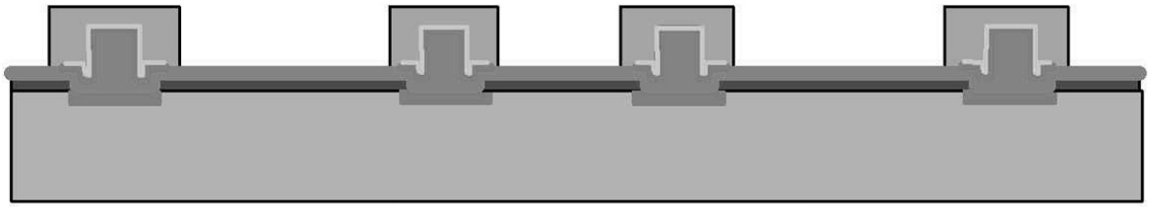
【図１８１Ａ】


単軸
充填なし,予め薄くする
予め薄くして部分的にメタル充填
全充填
同軸
同軸エッチ;単軸導電体
同軸導電体;外側導電体を基板へ短絡
同軸導電体;外側導電体を基板から絶縁
背面対前面バイア
めっきあり／なし
容量結合をもつバイア
めっきあり／なし
スルーバイア
A(めっきの場合のみ)#
B(中央)
C
B(環状)
C(環状)
D
B(接点および／または経路変更)
溝シード／バリア／シード内にメタル堆積
A(前面＆背面)#
A#
A(前面＆背面)#
B
C(背面上)
C(前面上)
D
E
ウェハを薄くしてバイア背面露出(必要な場合)
B(パッド接点に対し)
F
G
H
J(厚いバイアの場合)
B(中央部に対し)
K
L
図181Bへ

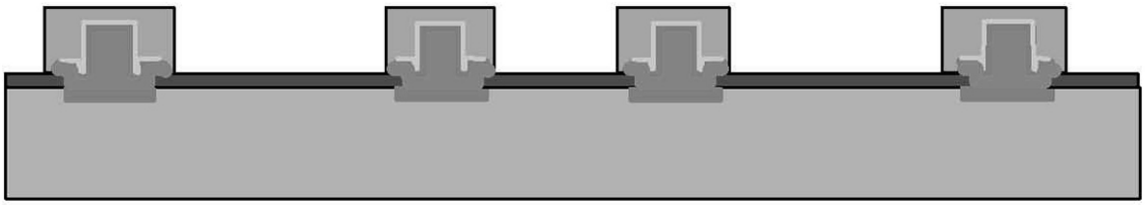
【図１８１Ｂ】


図181Aから
F
リフトオフ
G
G
M#
コアバイア充填
J*#
B*#
N#
F
F(めっきの場合両面に)
A
C(前面側に)
D
E
F
G(めっきの場合)
M
J(前面－めっき
バイアの場合)
J(後面－めっき
バイアの場合)
B*
N
J(前面－めっき
バイアの場合)
J(後面－めっき
バイアの場合)
B*
N
キー
A＝厚い誘電体堆積(DEP)
B＝フォトリソグラフィ
B*＝フォトリソグラフィ(ウェハパッド開口部のため)
C＝エッチ溝
D＝フォトレジスト剥離
E＝誘電体堆積(DEP)
F＝バリア層堆積(DEP)
G＝シード層
H＝リング接点充填
J＝化学機械的プロセス(CMP)
J*＝CMP(バイア堆積中に厚いメタルでめっきする場合のみ)
K＝誘電体エッチ
L＝中央部エッチ
M＝バイアメタル堆積(DEP)
N＝厚い誘電体をエッチ
#＝(ステップは熱スタックのためのオプション)

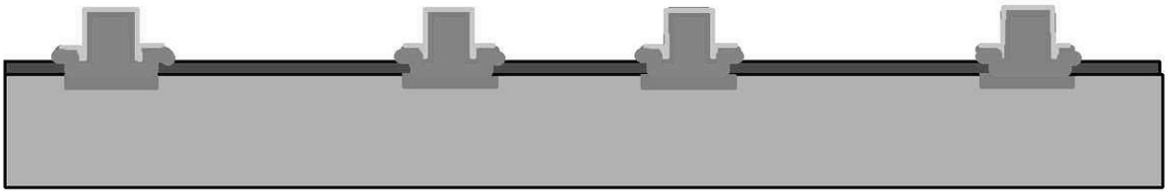
【図１９３】



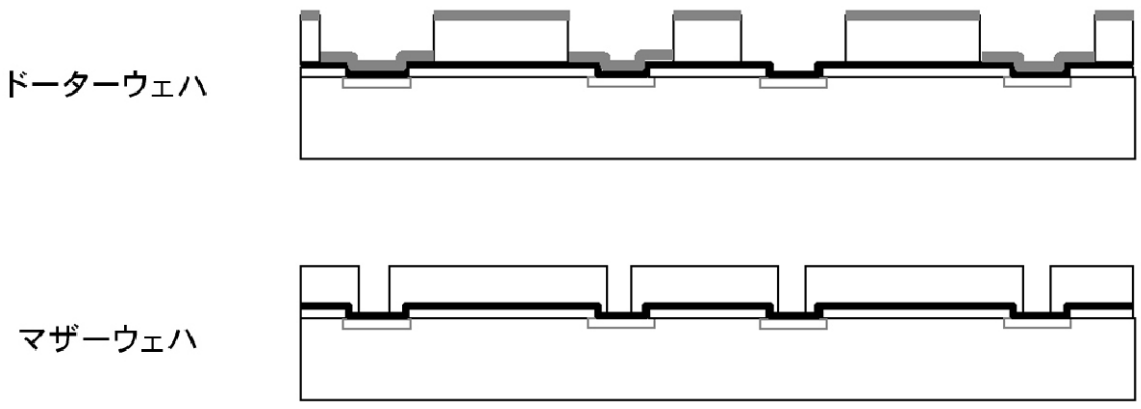
【図１９４】



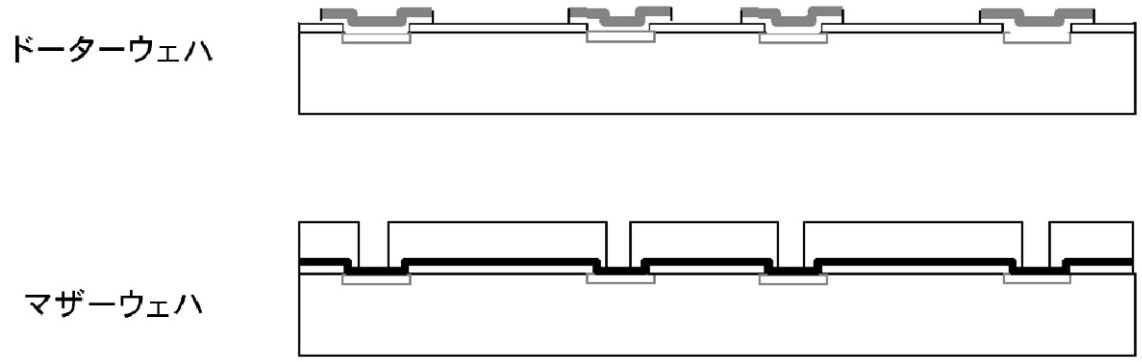
【図１９５】



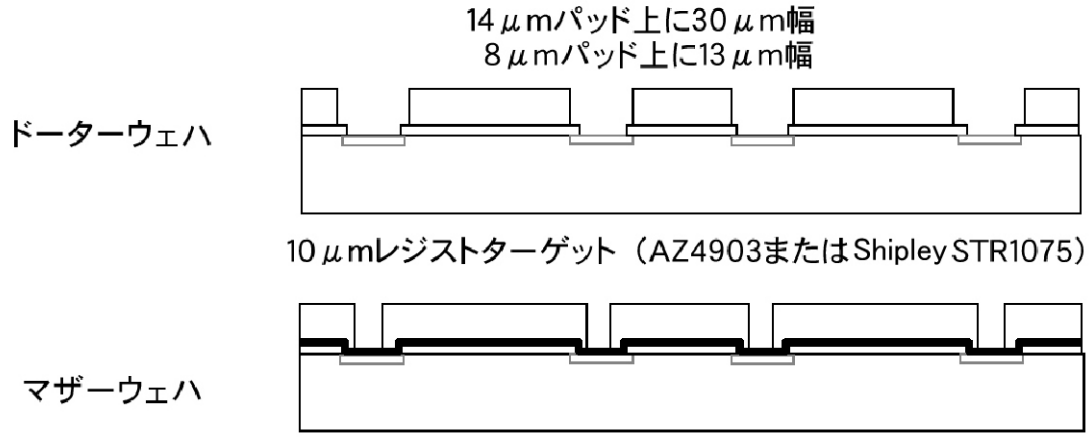
【図１９８】



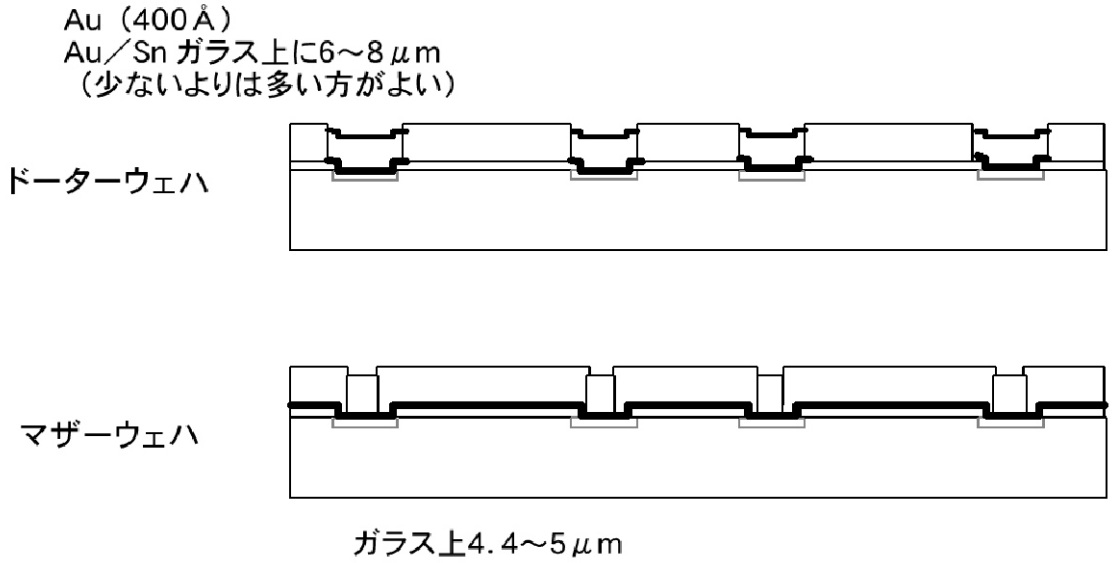
【図１９９】



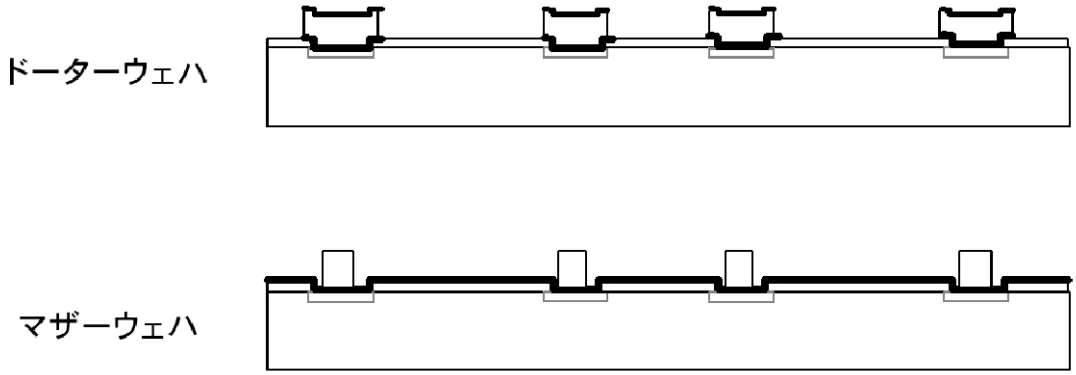
【図２００】



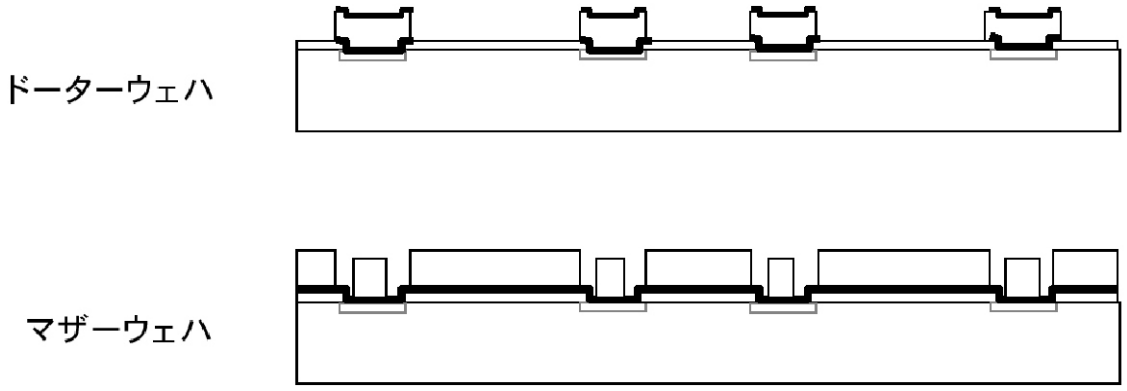
【図２０１】



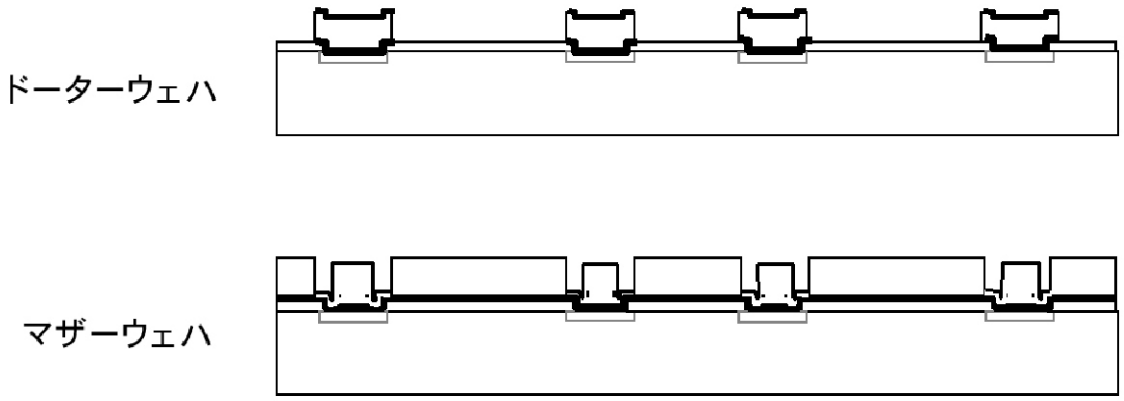
【図２０２】



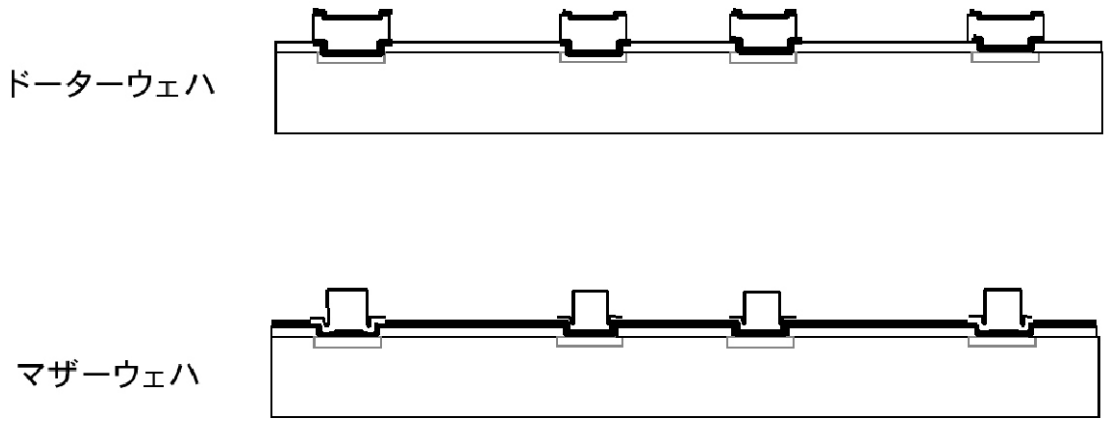
【図２０３】



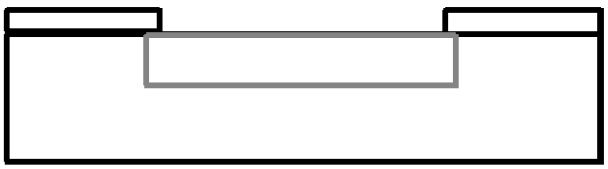
【図２０４】



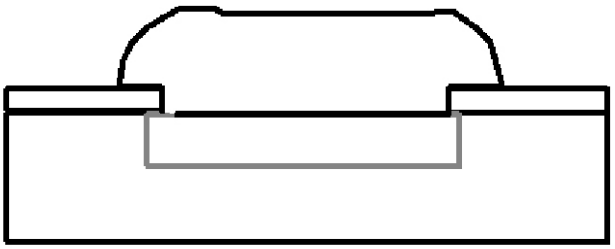
【図２０５】



【図２０６ａ】



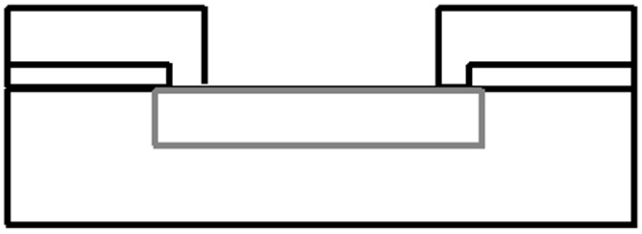
【図２０６ｂ】



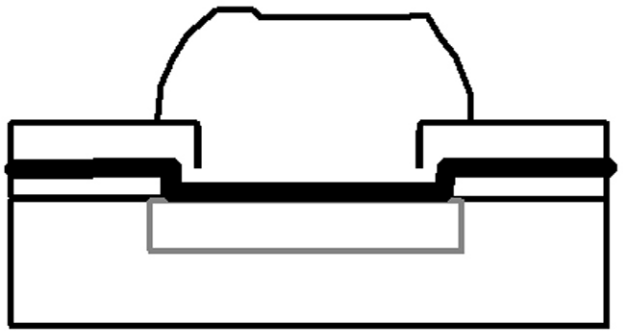
【図２０６ｃ】



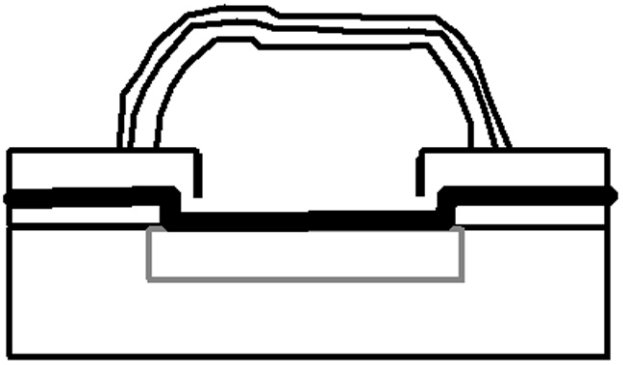
【図２０７ａ】



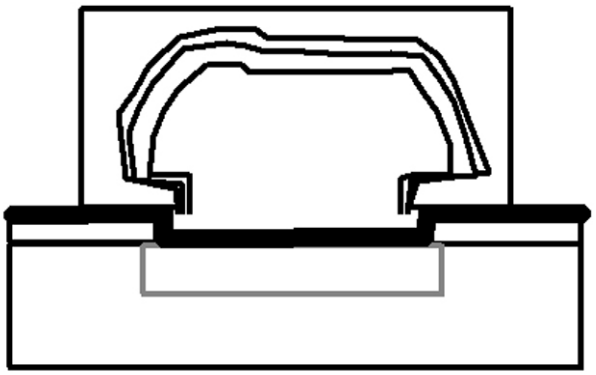
【図２０７ｂ】



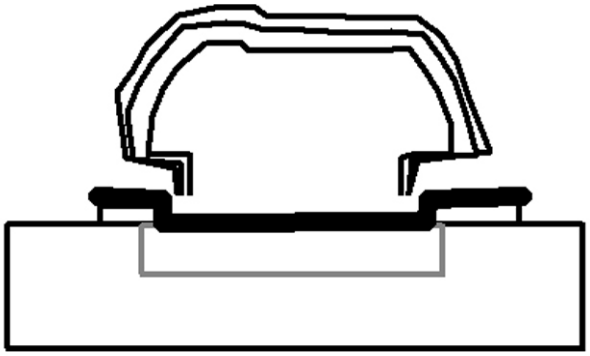
【図２０７ｃ】



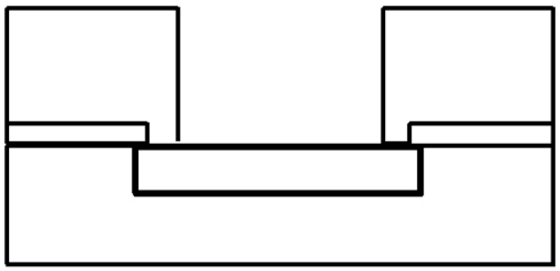
【図２０７ｄ】



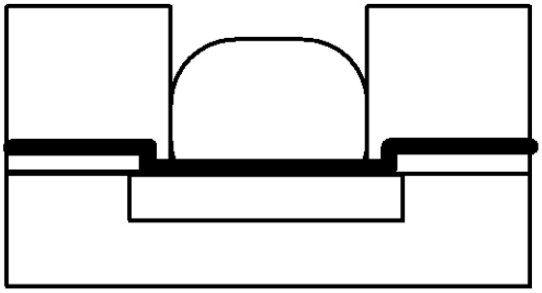
【図２０７ｅ】



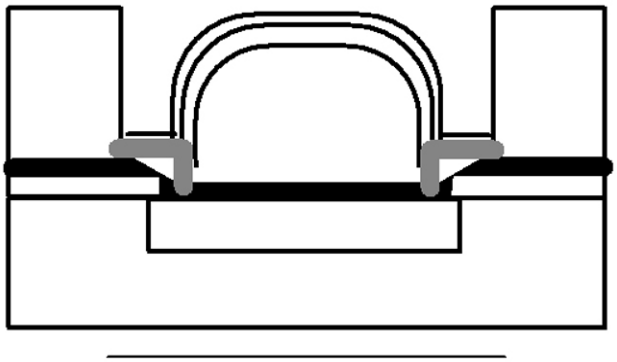
【図２０８ａ】



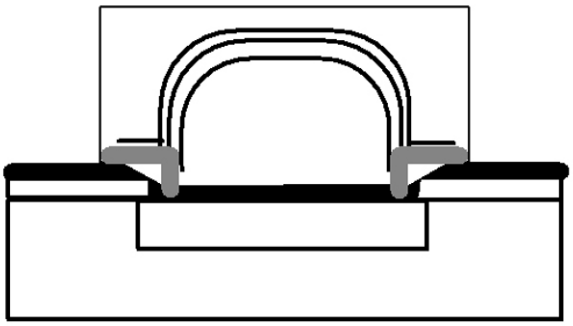
【図２０８ｂ】



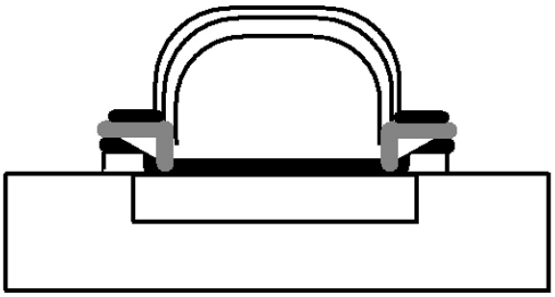
【図２０８ｃ】



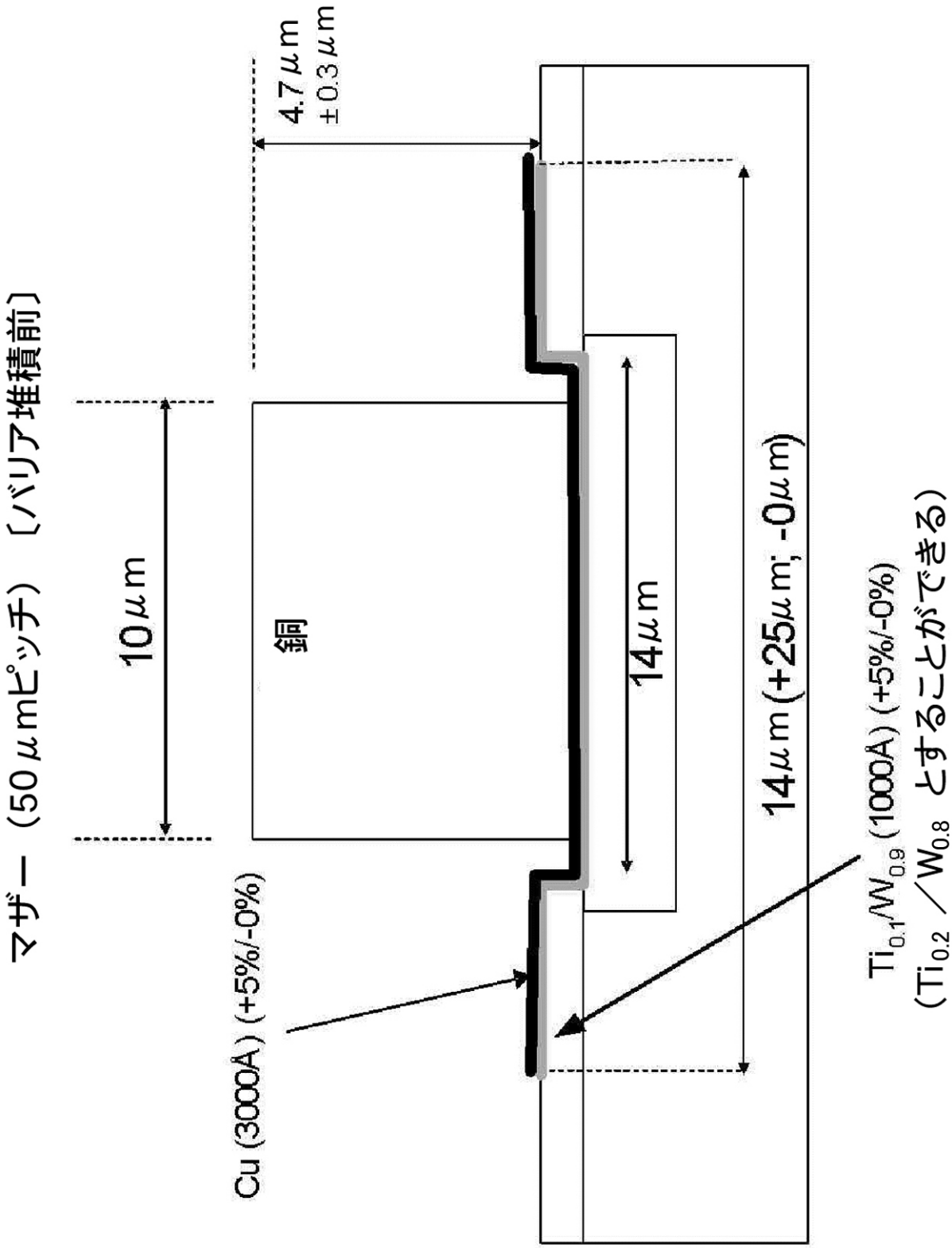
【図２０８ｄ】



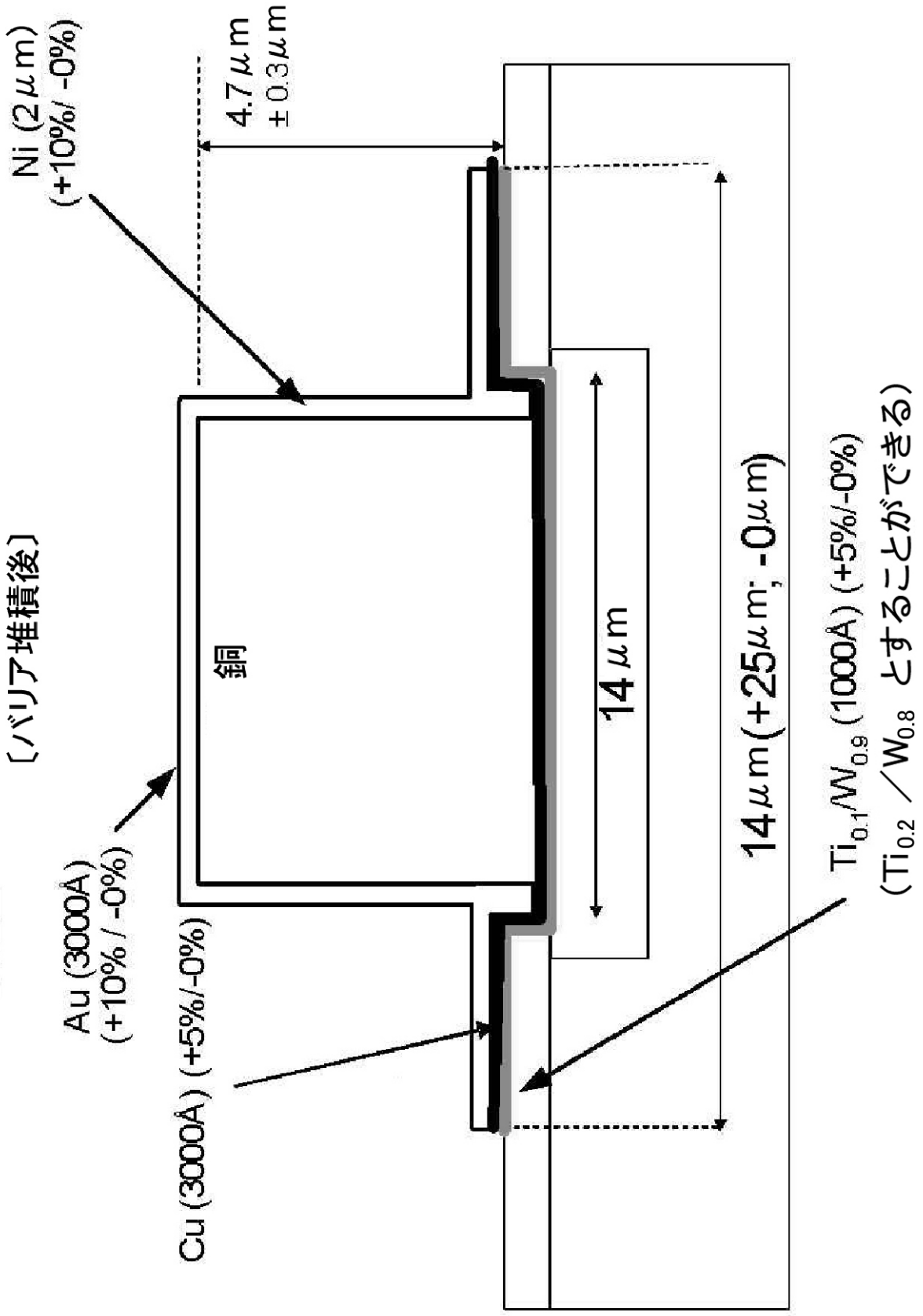
【図２０８ｅ】



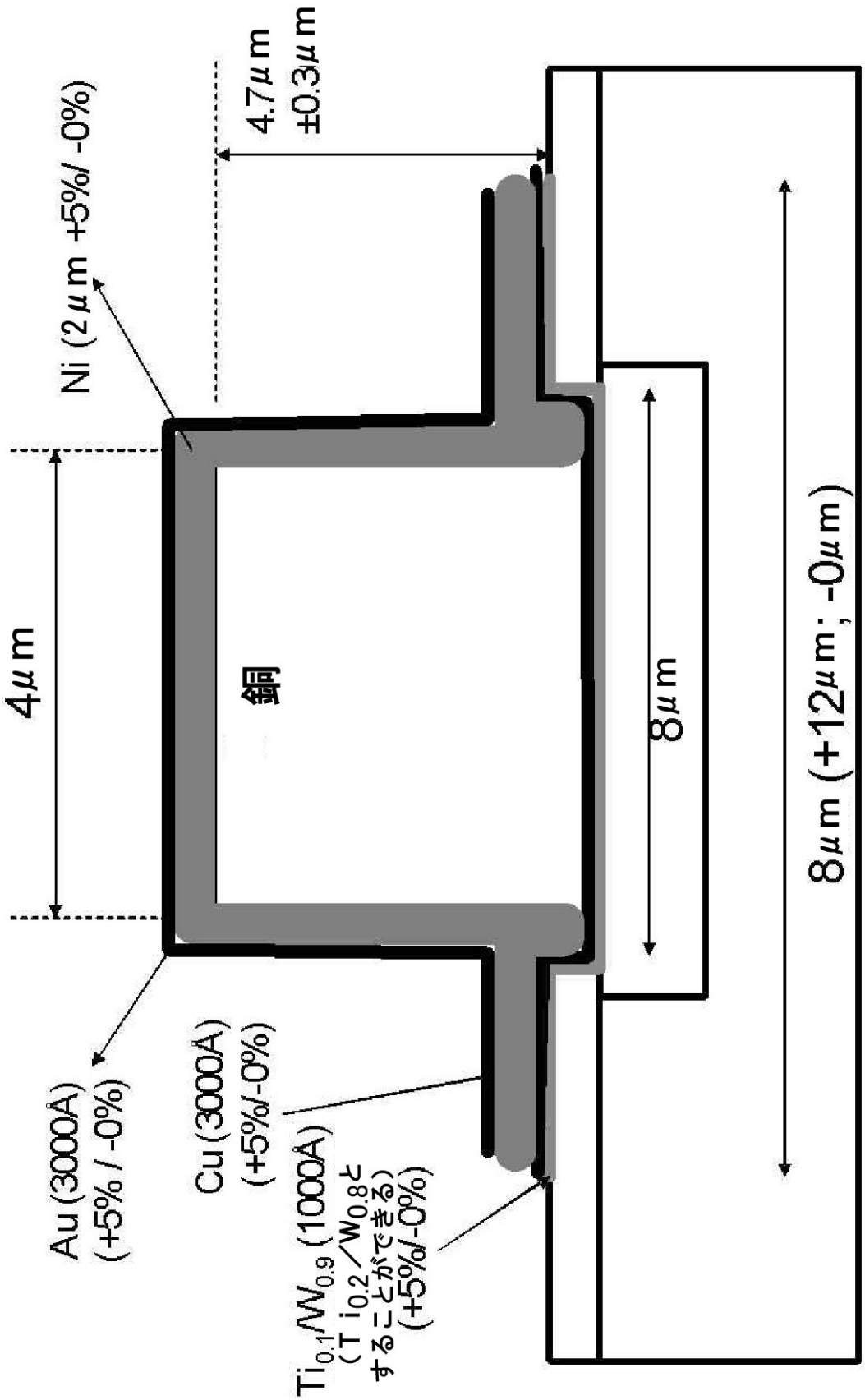
【図２０９】


マザー（50μmピッチ）〔バリア堆積前〕
10μm
4.7μm
±0.3μm
銅
14μm
14μm (+25μm; -0μm)
Cu (3000Å) (+5%/-0%)
$Ti_{0.1}/W_{0.9}$ (1000Å) (+5%/-0%)
($Ti_{0.2}$／$W_{0.8}$ とすることができる)

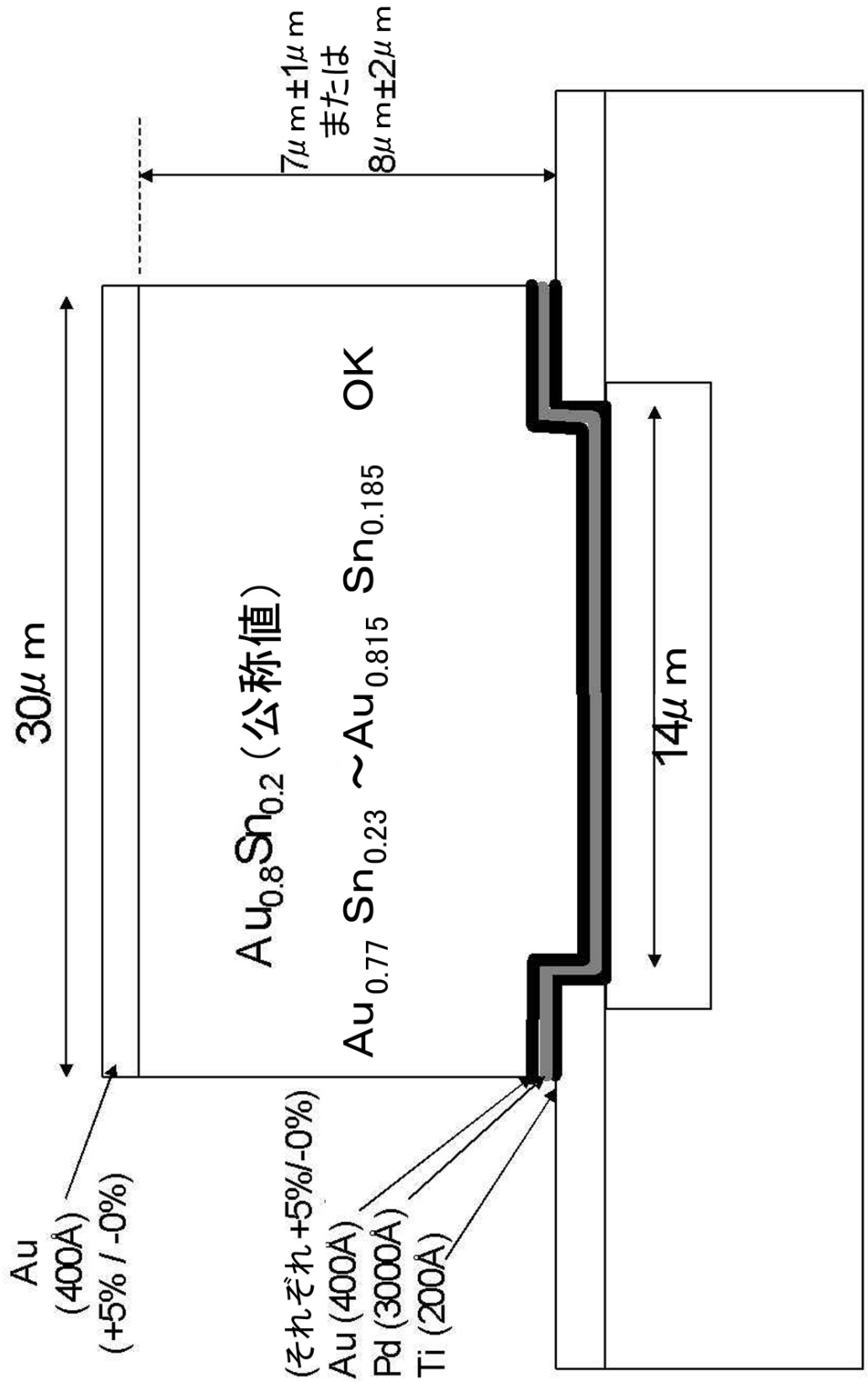
【図２１０】


〔バリア堆積後〕
Ni (2μm)
(+10%/ -0%)
4.7μm
±0.3μm
銅
Au (3000Å)
(+10% / -0%)
Cu (3000Å) (+5%/-0%)
14μm
14μm(+25μm; -0μm)
$Ti_{0.1}/W_{0.9}$ (1000Å) (+5%/-0%)
($Ti_{0.2}$ ／$W_{0.8}$ とすることができる)

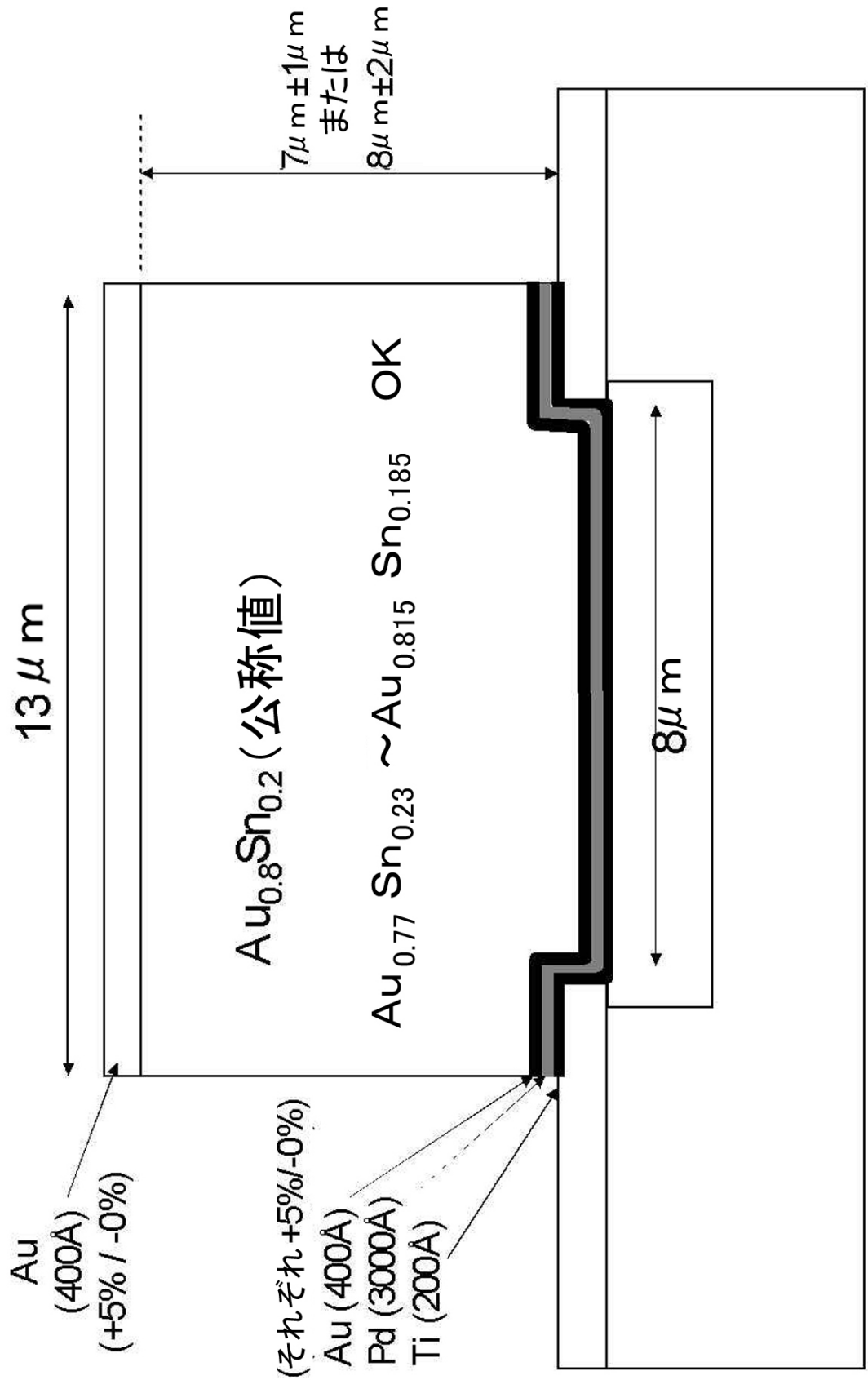
【図２１１】


4.7μm
±0.3μm
Ni (2μm +5%/ -0%)
4μm
銅
8μm
8μm (+12μm; -0μm)
Au (3000Å)
(+5% / -0%)
Cu (3000Å)
(+5%/-0%)
Ti0.1/W0.9 (1000Å)
(Ti0.2/W0.8とすることができる)
(+5%/-0%)

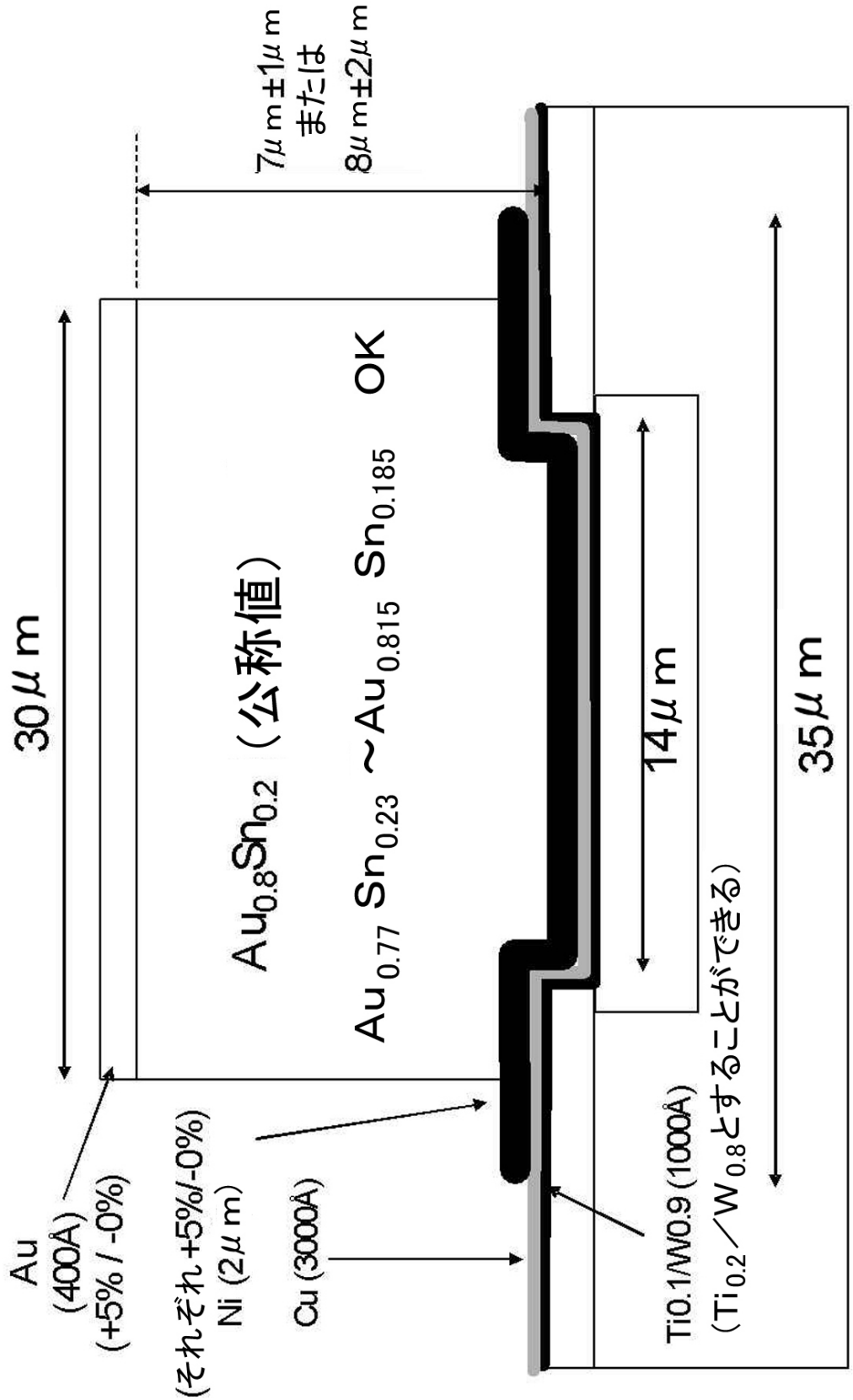
【図２１２】


7μm±1μm
または
8μm±2μm
30μm
14μm
$Au_{0.8}Sn_{0.2}$（公称値）
$Au_{0.77}Sn_{0.23}$ ～ $Au_{0.815}Sn_{0.185}$ OK
Au
(400Å)
(+5% / -0%)
(それぞれ+5%/-0%)
Au (400Å)
Pd (3000Å)
Ti (200Å)

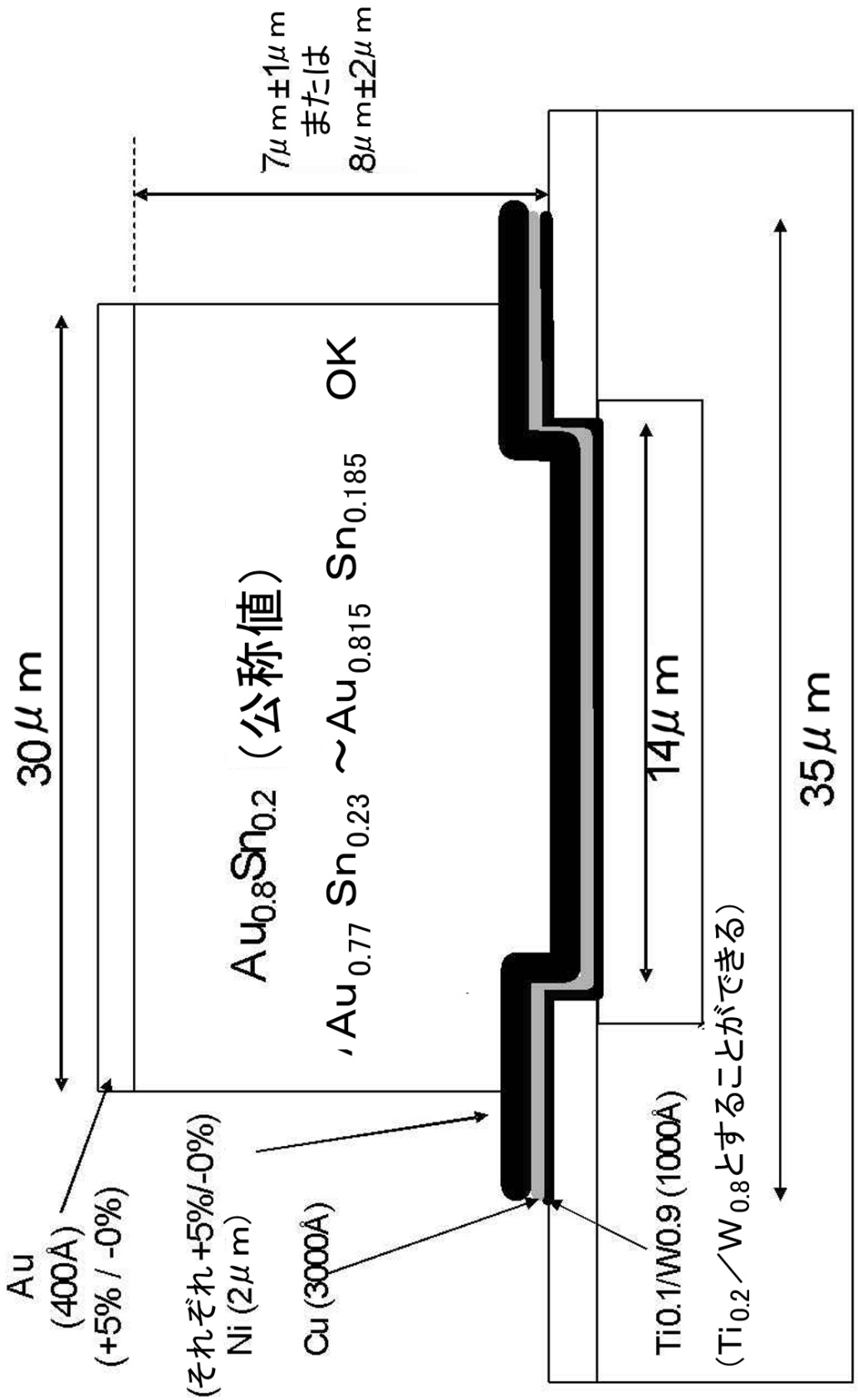
【図２１３】


7μm±1μm
または
8μm±2μm
13μm
Au0.8Sn0.2（公称値）
Au0.77 Sn0.23 ～Au0.815 Sn0.185 OK
8μm
Au
(400Å)
(+5% / -0%)
(それぞれ+5%/-0%)
Au (400Å)
Pd (3000Å)
Ti (200Å)

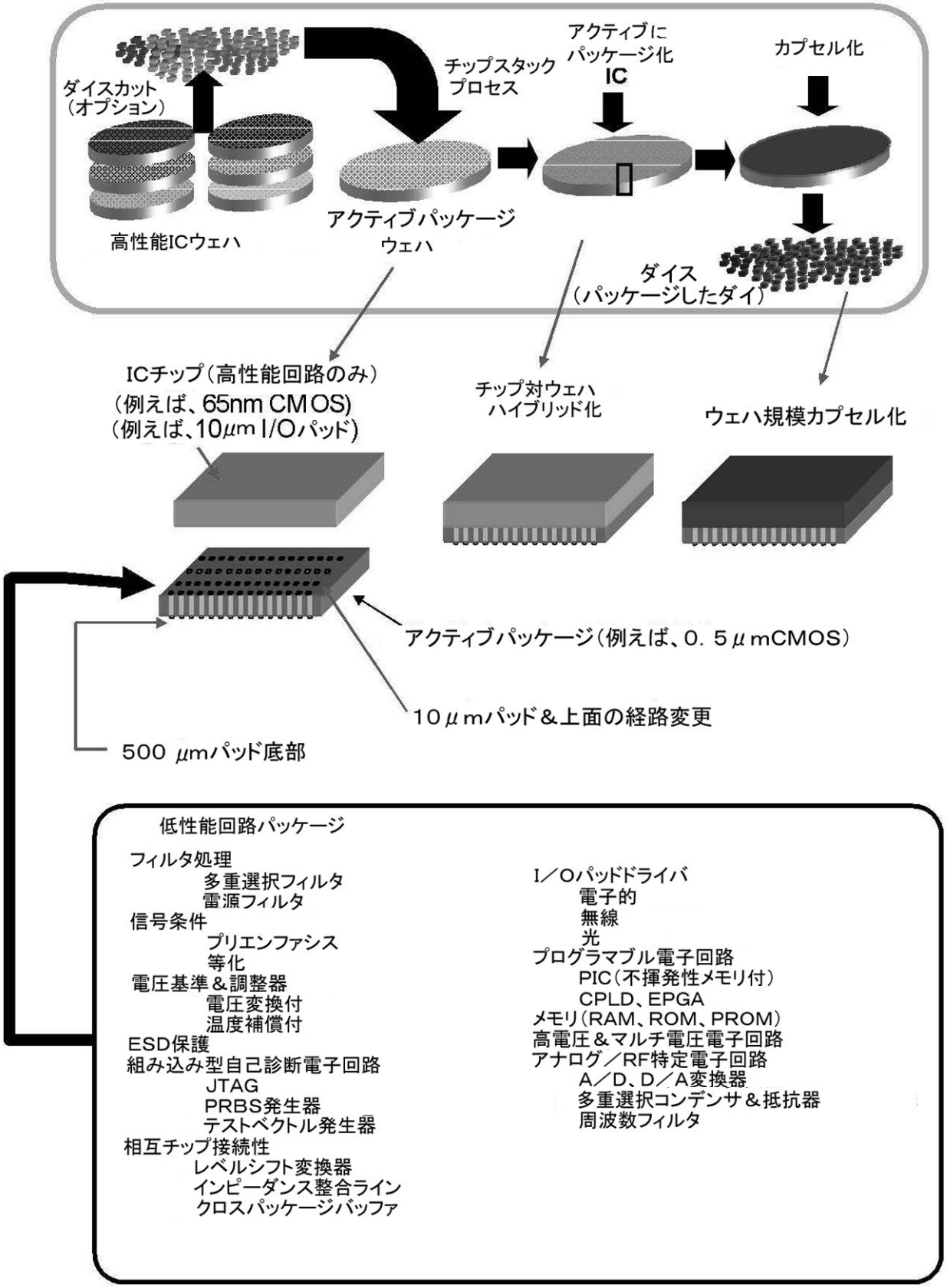
【図２１４】


7μm±1μm
または
8μm±2μm
30μm
Au0.8Sn0.2（公称値）
Au0.77 Sn0.23 ～Au0.815 Sn0.185 OK
14μm
35μm
Au
(400Å)
(+5% / -0%)
(それぞれ+5%/-0%)
Ni (2μm)
Cu (3000Å)
Ti0.1/W0.9 (1000Å)
(Ti0.2／W0.8とすることができる)

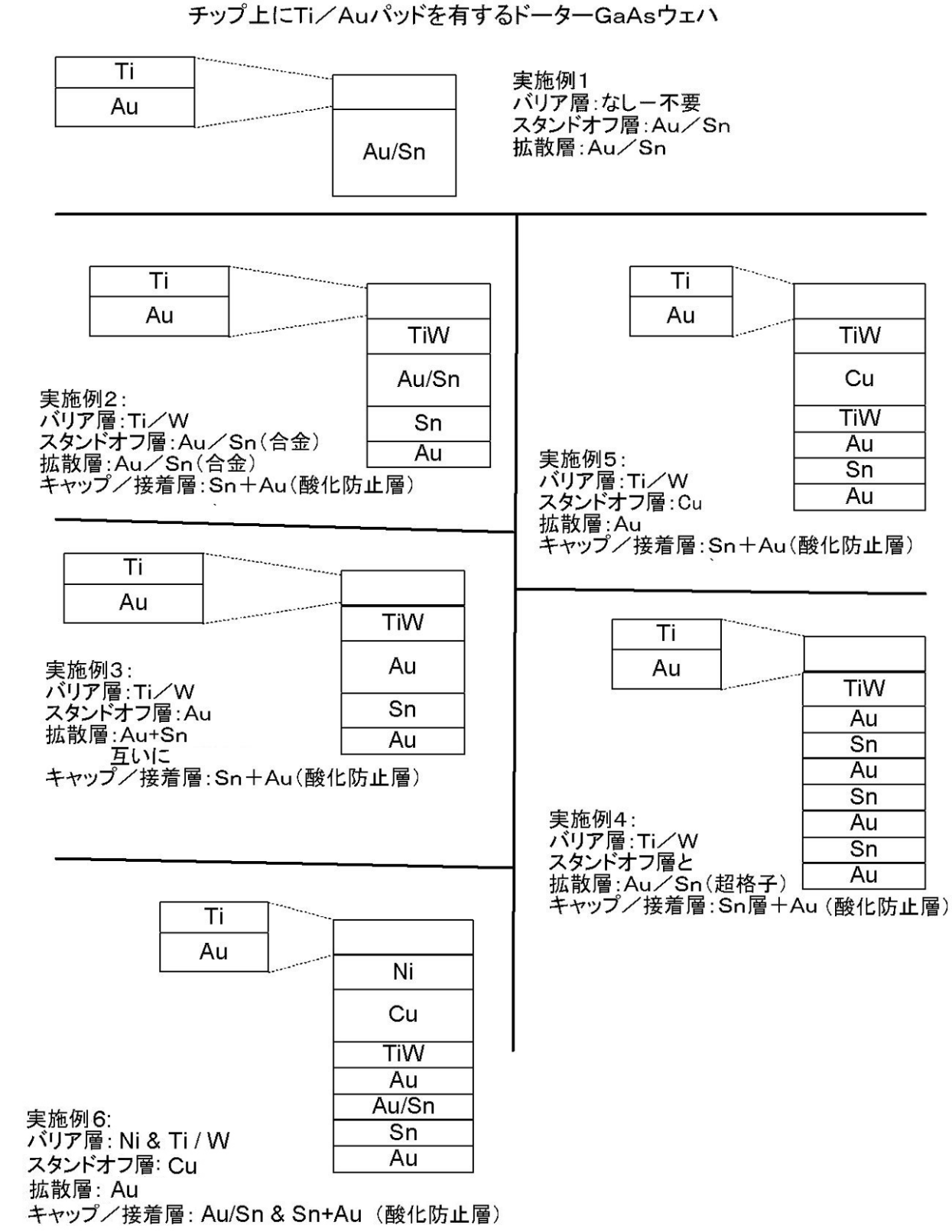
【図２１５】


7μm±1μm
または
8μm±2μm
30μm
Au0.8Sn0.2（公称値）
、Au0.77 Sn0.23 ～Au0.815 Sn0.185 OK
14μm
35μm
Au
(400Å)
(+5% / -0%)
(それぞれ+5%/-0%)
Ni (2μm)
Cu (3000Å)
Ti0.1/W0.9 (1000Å)
(Ti0.2／W0.8とすることができる)

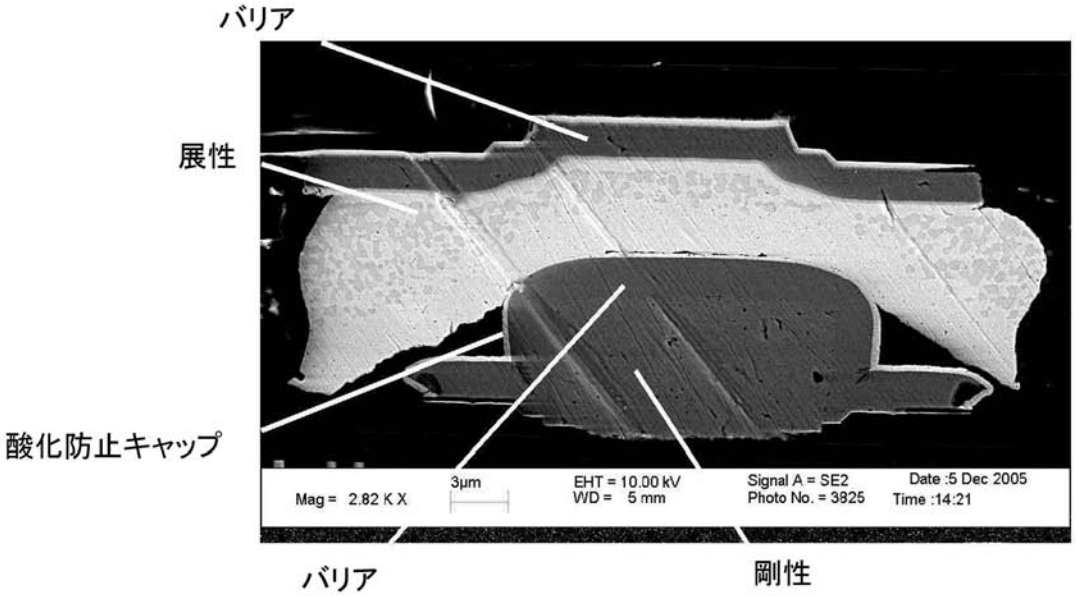
【図２２３】


ダイスカット
（オプション）
チップスタック
プロセス
アクティブに
パッケージ化
IC
カプセル化
高性能ICウェハ
アクティブパッケージ
ウェハ
ダイス
（パッケージしたダイ）
ICチップ（高性能回路のみ）
（例えば、65nm CMOS）
（例えば、10μm I/Oパッド）
チップ対ウェハ
ハイブリッド化
ウェハ規模カプセル化
アクティブパッケージ（例えば、０．５μmCMOS）
１０μmパッド＆上面の経路変更
500 μmパッド底部
低性能回路パッケージ
フィルタ処理
多重選択フィルタ
雷源フィルタ
信号条件
プリエンファシス
等化
電圧基準＆調整器
電圧変換付
温度補償付
ESD保護
組み込み型自己診断電子回路
JTAG
PRBS発生器
テストベクトル発生器
相互チップ接続性
レベルシフト変換器
インピーダンス整合ライン
クロスパッケージバッファ
I／Oパッドドライバ
電子的
無線
光
プログラマブル電子回路
PIC（不揮発性メモリ付）
CPLD、EPGA
メモリ（RAM、ROM、PROM）
高電圧＆マルチ電圧電子回路
アナログ／RF特定電子回路
A／D、D／A変換器
多重選択コンデンサ＆抵抗器
周波数フィルタ

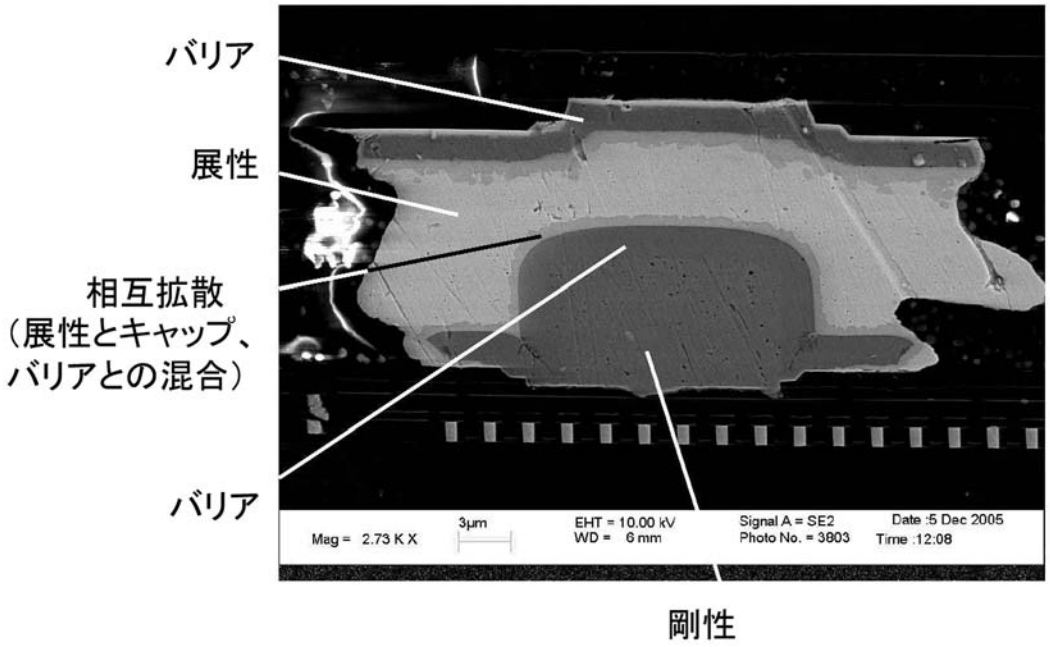
【図２４１】


チップ上にTi／Auパッドを有するドーターGaAsウェハ
Ti
Au
Au/Sn
実施例1
バリア層:なし－不要
スタンドオフ層:Au／Sn
拡散層:Au／Sn
Ti
Au
TiW
Au/Sn
Sn
Au
実施例2:
バリア層:Ti／W
スタンドオフ層:Au／Sn(合金)
拡散層:Au／Sn(合金)
キャップ／接着層:Sn＋Au(酸化防止層)
Ti
Au
TiW
Cu
TiW
Au
Sn
Au
実施例5:
バリア層:Ti／W
スタンドオフ層:Cu
拡散層:Au
キャップ／接着層:Sn＋Au(酸化防止層)
Ti
Au
TiW
Au
Sn
Au
実施例3:
バリア層:Ti／W
スタンドオフ層:Au
拡散層:Au+Sn
互いに
キャップ／接着層:Sn＋Au(酸化防止層)
Ti
Au
TiW
Au
Sn
Au
Sn
Au
Sn
Au
実施例4:
バリア層:Ti／W
スタンドオフ層と
拡散層:Au／Sn(超格子)
キャップ／接着層:Sn層＋Au(酸化防止層)
Ti
Au
Ni
Cu
TiW
Au
Au/Sn
Sn
Au
実施例6:
バリア層: Ni & Ti / W
スタンドオフ層: Cu
拡散層: Au
キャップ／接着層: Au/Sn & Sn+Au（酸化防止層）

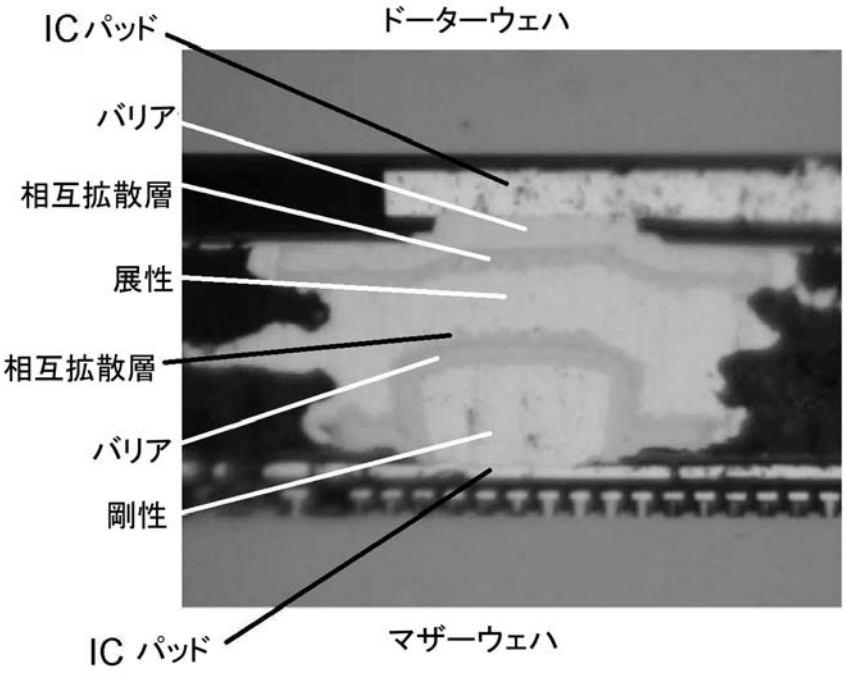
【図２４３Ａ】


バリア
展性
酸化防止キャップ
Mag = 2.82 K X
3μm
EHT = 10.00 kV
WD = 5 mm
Signal A = SE2
Photo No. = 3825
Date :5 Dec 2005
Time :14:21
バリア
剛性

【図２４３Ｂ】


バリア
展性
相互拡散
（展性とキャップ、
バリアとの混合）
バリア
Mag = 2.73 K X
3μm
EHT = 10.00 kV
WD = 6 mm
Signal A = SE2
Photo No. = 3803
Date :5 Dec 2005
Time :12:08
剛性

【図２４３Ｃ】



フロントページの続き

(51)Int.Cl.	ＦＩ	テーマコード（参考）
	Ｈ０１Ｌ 21/92 ６０４Ｂ	

(31)優先権主張番号 11/329,875
(32)優先日 平成18年1月10日(2006.1.10)
(33)優先権主張国 米国(US)

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100131820
弁理士 金井 俊幸
(74)代理人 100106437
弁理士 加藤 治彦
(72)発明者 ジョン・トレッツァ
アメリカ合衆国 ニュー ハンプシャー州 ０３０６３、ナシュア、ホワイト オーク ドライブ １２
(72)発明者 ジョン・コーラハン
アメリカ合衆国 マサチューセッツ州 ０１８８７、ウィルミントン、セーラム ストリート ９９
(72)発明者 グレゴリー・デュドフ
アメリカ合衆国 ニュー ハンプシャー州 ０３０３１、アムハースト、スタンディシュ ウェイ ２８