(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 23/495 (2006.01)

(45) 공고일자 2006년06월20일
(11) 등록번호 10-0552353
(24) 등록일자 2006년02월08일

(21) 출원번호 10-1993-0004078
(22) 출원일자 1993년03월17일

(65) 공개번호 10-1993-0020649
(43) 공개일자 1993년10월20일

(30) 우선권주장 92-071116 1992년03월27일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치초엘에스아이시스템즈
일본국 도쿄 고다이라시 죠스이혼쵸 5-22-1

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 가지하라유지로
일본국도꾜도다찌까와시시바사끼쵸2-8-15히다찌마이컴다찌까와샤따꾸401호

스즈끼가즈나리
일본국도꾜도오따구쥬오4-20-10

쯔보사끼구니히로
일본국도꾜도히노시히가시히라야마2-29-22

스즈끼히로미찌
일본국도꾜도마찌다시가나이쵸2594-22

미야끼요시노리
일본국도꾜도고꾸분지시니시꼬이가꾸보3-8-1히다찌고이가꾸보료

나이또다까히로
일본국도꾜도고가네이시미도리쵸5-18-30히다찌죠부료

가와이스에오
일본국이바라끼껜니시이바라끼군이와마마찌이찌노야1522-49

(74) 대리인 장수길
이중희
구영창

심사관 : 유환철

(54) 리이드프레임및그것을사용한반도체집적회로장치와그제조방법

요약

리이드프레임 및 그것을 사용한 반도체 집적회로장치와 그 제조방법에 관한 것으로서, 리이드프레임의 표준화 및 LSI패키지의 리플로균열 내성의 향상을 실현하기 위해서, 다이패드의 외형치수를 그 위에 탑재되는 반도체칩의 외형치수보다 작게 하는 것에 의해 반도체칩과 수지의 접착면적을 크게 하고, 또 반도체칩의 외형치수에 따라서 리이드의 선단을 적절한 길이로 절단하는 것에 의해 외형치수가 다른 각종 반도체칩을 다이패드상에 탑재가능하게 하였다.

이렇게 하는 것에 의해, 리플로균열 내성이 향상된 LSI패키지를 제공할 수 있고, LSI패키지의 소량다품종화에 대응한 리이드프레임을 제공할 수 있으므로 LSI패키지의 제조코스트를 저감할 수 있다는 효과가 얻어진다.

대표도

도 1

색인어

리이드프레임, 반도체칩, 다이패드, 서스펜션리이드, 리이드, 접착제.

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예인 리이드프레임의 평면도,

도 2는 본 발명의 리이드프레임의 프레스공정을 도시한 평면도,

도 3은 본 발명의 리이드프레임의 프레스공정을 도시한 설명도,

도 4는 본 발명의 리이드프레임의 도금공정을 도시한 평면도,

도 5는 본 발명의 리이드프레임의 다운세트공정을 도시한 설명도,

도 6은 본 발명의 리이드프레임의 다운세트공정을 도시한 평면도,

도 7은 본 발명의 리이드프레임의 테이프 접착공정을 도시한 설명도,

도 8은 본 발명의 리이드프레임의 테이프 접착공정을 도시한 평면도,

도 9는 도 8의 Ⅸ-Ⅸ선에 있어서의 단면도,

도 10은 도 8의 X-X선에 있어서의 단면도,

도 11a는 리이드프레임의 리이드 절단공정을 도시한 평면도,

도 11b는 도 11a의 XI-XI선에 있어서의 단면도,

도 12는 리이드프레임의 리이드 절단공정을 도시한 평면도,

도 13은 리이드프레임의 접착제 도포공정을 도시한 평면도,

도 14는 리이드프레임의 접착제 도포공정을 도시한 단면도,

도 15는 리이드프레임의 접착제 도포공정을 도시한 평면도,

도 16은 리이드프레임의 접착제 도포공정을 도시한 평면도,

도 17은 리이드프레임의 칩탑재공정을 도시한 단면도,

도 18은 리이드프레임의 칩탑재공정을 도시한 평면도,

도 19는 리이드프레임의 칩탑재공정을 도시한 주요부 확대단면도,

도 20의 (a)~(c)는 리이드프레임의 칩탑재공정을 도시한 주요부 확대사시도,

도 21은 리이드프레임의 칩탑재공정을 도시한 평면도,

도 22는 리이드프레임의 칩탑재공정을 도시한 단면도,

도 23은 리이드프레임의 칩탑재공정을 도시한 평면도,

도 24는 리이드프레임의 와이어 본딩공정을 도시한 평면도,

도 25는 리이드프레임의 와이어 본딩공정을 도시한 단면도,

도 26은 리이드프레임의 와이어 본딩공정을 도시한 단면도,

도 27은 와이어 본딩장치의 히트스테이지를 도시한 평면도,

도 28a 및 도 28b는 와이어 본딩장치의 히트스테이지를 도시한 단면도,

도 29는 본 발명의 리이드프레임을 사용한 QFP의 평면도,

도 30은 본 발명의 리이드프레임을 사용한 QFP의 단면도,

도 31은 리이드프레임의 다른 실시예를 도시한 주요부 확대평면도,

도 32는 리이드프레임의 다른 실시예를 도시한 주요부 확대평면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체칩을 탑재하는 리이드프레임 및 그것을 사용한 반도체집적회로장치와 그 제조방법에 관한 것으로서, 특히 리이드프레임의 표준화 및 LSI패키지의 리플로균열 내성의 향상에 적용해서 유효한 기술에 관한 것이다.

QFP(Quad Flat Package) 등의 표면실장형 수지봉지장치(Surface Mount Device)의 수지체 즉 LSI패키지는 리플로 납땜공정에 있어서의 패키지균열(수지체 균열)의 발생을 어떻게 억제하는가가 중요한 과제로 되고 있다.

LSI패키지의 수지체가 흡습한 경우, LSI패키지 전체를 가열하는 리플로납땜공정에서의 고온에 기인하는 내부응력에 의해서 수지와 다이패드의 계면 등에 박리가 발생한다. 패키지 균열(package cracking)이라는 것은 이 박리가 다이패드 계면에 결로한 수분의 팽창 즉 수증기압에 의해서 확대되어 수지체가 균열되는 현상이다. 이것에 의해서, 내습성의 열화, 패키지본체의 팽창에 의한 납땜불량이 발생하고 있었다. 또, 이 패키지균열이 반도체칩의 상면에서 발생하면, 와이어절단 등의 심각한 불량을 초래하게 된다.

종래, 수지와 다이패드의 계면 박리를 방지하는 대책으로서는 다이패드의 일부에 관통구멍을 마련하고, 이 관통구멍을 통해서 반도체칩의 이면을 수지와 밀착시키는 방법(일본국 특허공개공보 평성2-83961호)나 다이패드의 이면에 딤플가공(dimpling)을 실시하는 것에 의해서 수지와 다이패드의 접착력을 향상시키는 방법 등이 알려져 있다.

한편, 핀수가 동일하고 칩사이즈가 다른 제품 예를 들면 1품종당 제품수량이 적은 ASIC(Application Specific Integrated Circuit)제품에 있어서도 고밀도실장이 가능한 제품이 요구되고 있으며, 상기 QFP 등의 표면실장형 LSI패키지에 칩을 탑재하는 경향에 있다. 그래서, 종래는 칩사이즈에 대응한 리이드프레임을 작성해서 제품을 제조하고 있었으므로, 그 제조비용의 상승을 초래하고 있었다.

그래서, 생산수량이 적은 각종 칩사이즈의 ASIC에 대응할 수 있는 리이드프레임으로서 "닛케이마이크로디바이시스, 1987년 12월호" pp. 76~78에는 폴리이미드수지계의 테이프를 다이패드로서 내부리이드에 부착하고 이 테이프상에 반도체칩을 탑재하는 것이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 최근의 LSI패키지는 패키지본체에서 차지하는 반도체칩의 면적비율이 증가하고 있다. 또, 수지의 두께가 종래보다 매우 얇아지고 있기 때문에, 상술한 대책 즉 다이패드에 관통구멍이나 딤플을 형성하는 방법에서는 패키지 균열의 발생을 유효하게 방지하는 것이 곤란하게 되고 있다.

또, 칩사이즈에 대응한 리이드프레임을 작성하지 않고 종래의 리이드프레임 즉 다이패드의 외형치수(칩탑재면의 면적)가 반도체칩의 외형치수(칩주면 또는 이면의 면적)보다 큰 리이드프레임을 사용하는 것을 검토했지만, 다이패드에 탑재하는 칩의 크기에 상당한 제한이 있다는 것을 알 수 있었다. 즉, 다이패드의 외형치수보다 1~2mm이상 작은 반도체칩을 탑재하면, 와이어가 쳐져(늘어져) 다이패드단과 접촉하여 와이어본딩 불량을 일으킨다. 따라서, 비교적 작은 칩은 사용할 수가 없다. 또, 내부리이드선단의 위치가 다이패드에 의해서 제한되며 또한 와이어의 길이에도 제한(와이어길이는 와이어본더의 성능이나 전기적 특성 등에 의해 결정되고, 1.0~5. 0mm정도가 적당하다)이 있기 때문에 비교적 작은 칩을 사용할 수 없다. 한편, 다이패드의 외형치수까지의 크기의 칩밖에 탑재할 수 없기 때문에 큰 쪽의 칩사이즈도 제한이 생긴다.

또, 상술한 다이패드로서 폴리이미드 수지계의 테이프를 내부리이드에 부착한 것은 칩의 크기에 제한은 없어지지만, 테이프의 열팽창계수가 리이드프레임이나 반도체칩의 그것과 다르기 때문에 납땜리플로 공정에 있어서 상호의 열팽창계수의 차이 때문에 그들의 계면에 박리가 발생하여 패키지균열이 발생한다. 따라서, 계면 박리나 패키지균열을 방지하고 또한 각종 칩사이즈를 탑재할 수 있는 패키지가 필요하다.

본 발명의 목적은 LSI패키지의 리플로균열 내성을 향상시킬 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은 LSI의 소량 다품종화에 대응한 리이드프레임을 제공하는 것이다.

본 발명의 또 다른 목적은 상기 리이드프레임을 사용한 반도체 집적회로 및 그것을 제조하기 위한 기술을 제공하는 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

[1] 본 발명은 반도체칩을 탑재하는 다이패드의 외형치수를 상기 반도체칩의 외형치수보다 작게 하고 또한 상기 반도체칩의 외형치수에 따라서 리이드의 선단을 소정의 길이로 절단할 수 있도록 한 리이드프레임이다.

즉, 소정의 크기를 갖는 반도체칩을 탑재하기 위한 칩탑재부와 상기 칩탑재부를 지지하고 있는 서스펜션 리이드부; 각각이 상기 칩탑재부 주위를 둘러싸도록 배치되고 또한 탑재될 반도체칩의 크기에 따라서 절단가능한 영역을 포함하는 내부리이드부 및 상기 내부리이드부에 접속하고 상기 내부리이드부에서 외부를 향하는 방향으로 연장하는 외부리이드부로 이루어지는 여러개의 리이드; 상기 내부리이드부에 있어서 와이어가 본딩되고 또한 상기 절단가능한 영역에 형성된 도금층으로 이루어지는 크기가 다른 여러종류의 반도체칩을 탑재할 수 있는 리이드프레임으로서, 상기 칩탑재부의 칩탑재영역의 면적은 탑재될 반도체칩의 면적보다 작다.

[2] 제1 면 및 그것과 대향하는 제2 면을 갖는 1개의 판형상 프레임을 준비하는 공정; 상기 프레임의 제1 면에서 제2 면을 향하는 방향으로 절단하는 것에 의해서 소정의 크기를 갖는 반도체칩을 탑재하기 위한 칩탑재부 및 상기 칩탑재부를 지지하고 있는 서스펜션리이드부를 형성하는 공정; 상기 프레임의 제2 면에서 제1 면을 향하는 방향으로 절단하는 것에 의해서 상기 칩탑재부 주위를 둘러싸도록 배치되고 또한 탑재될 반도체칩의 크기에 따라서 절단할 수 있는 영역을 포함하는 내부리이드부를 형성하는 공정; 상기 내부리이드부에 접속하고 상기 내부리이드부에서 외부를 향하는 방향으로 연장하는 외부리이드부를 형성하는 공정 및; 상기 내부리이드부에 있어서 와이어본딩되고 또한 상기 절단가능한 영역에 도금층을 형성하는 공정으로 이루어지는 크기가 다른 여러종류의 반도체칩을 탑재할 수 있는 리이드프레임을 제조하는 방법에 있어서, 상기 칩탑재부의 칩탑재영역의 면적은 탑재될 반도체칩의 면적보다 작다.

[3] 소정의 크기의 반도체칩을 탑재하기 위한 칩탑재부, 상기 칩탑재부를 지지하고 있는 여러개의 서스펜션리이드, 상기 칩탑재부를 둘러싸도록 배치되며 또한 탑재될 반도체칩의 크기에 따라서 절단가능한 영역을 포함하는 여러개의 내부리이드부 및 각각이 상기 내부리이드부와 접속되고 외부를 향하는 방향으로 연장하는 외부리이드부로 이루어지는 제1 면과 제2 면을 갖는 리이드프레임을 준비하는 공정; 주변에 집적회로와 여러개의 본댕패드가 형성된 정사각형 형상의 반도체칩을 준비하는 공정; 상기 반도체칩을 상기 칩탑재부에 본딩하는 공정; 상기 본딩패드와 내부리이드부를 각각 전기적으로 접속하는 공정 및; 상기 반도체칩, 상기 내부리이드부 및 상기 칩탑재부를 봉지하는 공정으로 이루어지는 크기가 다른 여러종류의 반도체칩을 탑재할 수 있는 리이드프레임을 사용한 반도체 집적회로장치의 제조방법에 있어서, 상기 내부리이드부의 선단부는 탑재될 칩의 크기에 대응해서 그의 선단부를 절단하고 있고, 상기 내부리이드부의 제1 면에서 와이어가 본딩되며 또한 상기 절단가능한 영역에 도금층이 형성되어 있다.

상술한 수단에 의하면, 다이패드의 외형치수를 그 위에 탑재할 반도체칩의 그것보다 작게 하고 또한 다이패드상에 탑재할 반도체칩의 외형치수에 따라서 리이드의 선단을 소정의 길이로 절단할 수 있도록 한 것에 의해서, 외형치수가 매우 넓은 범위에 걸쳐 다른 각종 반도체칩에서 공용할 수 있기 때문에 LSI패키지의 소량다품종화에 대응한 리이드프레임을 제공할 수가 있다.

더욱 상세하게 설명하면, 종래의 리이드프레임 즉 다이패드의 외형치수가 칩사이즈보다 큰 리이드프레임을 사용하는 경우, 상술한 바와 같이 매우 좁은 범위(탭외형에서 칩단까지가 1～2mm)의 사이즈의 칩만을 공용할 수 있으므로, 내부 리이드선단을 절단할 필요가 없다. 이에 대해서, 본 발명의 리이드프레임은 다이패드가 칩사이즈보다 작기 때문에 넓은 범위(본원에서 설명하는 리이드프레임에서는 5～15mm^{2}의 칩)의 사이즈의 칩을 공용할 수 있으므로, 와이어길이의 제한에 맞춰 내부리이드 선단위치를 변경할 필요가 있는 경우에도 충분히 대응할 수 있다.

또, LSI패키지의 소량다품종화에 대응한 리이드프레임을 제공할 수 있음과 동시에, 다이패드의 외형치수를 반도체칩의 외형치수보다 작게 하고 있으므로 다이패드상에 탑재된 반도체칩 주변부의 이면이 수지와 접착한다. 그리고, 반도체칩(실리콘)과 수지의 계면의 접착력은 다이패드(금속)와 수지의 계면의 접착력보다 크기 때문에, 다이패드와 수지의 계면에 수분이 침입하는 것을 방지할 수 있어 LSI패키지를 납땜리플로에 의해서 기판에 실장할 때의 패키지균열을 억제할 수 있다.

도 1은 본 발명의 1실시예인 QFP의 제조에 사용되는 리이드프레임의 평면도이다.

리이드프레임(1)의 중도부(중앙부)에는 주면에 집적회로 및 본딩패드가 형성된 반도체칩(2)를 탑재하기 위한 원형의 다이패드(3)이 형성되어 있다. 다이패드(3)은 4개의 서스펜션(지지용) 리이드(4)에 의해서 지지되어 있다. 다이패드(3)의 칩탑재면의 면적은 그 위에 탑재되는 반도체칩(2)의 주면의 면적보다 작게 설정되어 있다는 것이 특징이다.

다이패드(3)의 주위에는 여러개의 리이드(5)가 다이패드(3)을 둘러싸도록 배치되어 있다. 서스펜션리이드(4)의 폭이 넓은 부분 및 리이드(5)의 중도부에는 절연성의 얇은 합성수지막으로 이루어지는 테이프(6)이 틀형상으로 형성되어 접착되어 있다. 이 테이프(6)의 외측에는 리이드(5)의 지지와 몰드시에 있어서의 수지의 흘러나옴(오버플로) 방지를 겸한 댐바(7)이 틀형상으로 각 리이드(5) 사이를 연결하도록 형성되어 있다.

리이드프레임(1)의 최외주부(가장 바깥쪽 둘레부)는 단위프레임을 여러개 연결하고 있는 외부프레임(8) 및 각 리이드프레임 사이를 분리하도록 형성되어 있는 내부프레임(9)로 이루어지고, 외부프레임(8)의 일부에는 리이드프레임(1)을 몰드금형에 위치결정할 때의 가이드로 되는 가이드구멍(10)이 마련되어 있다.

리이드프레임(1)을 구성하는 상기 다이패드(3), 서스펜션리이드(4), 리이드(5), 댐바(7), 외부프레임(8) 및 내부프레임(9)는 42합금이나 동 등의 도전재료로 이루어진다. 리이드(5)의 일부에서 나중에 수지로 봉지되는 내부리이드부(5a)의 선단에는 Ag도금이 실시되어 있다. 도시하지는 않지만, 리이드프레임(1)은 이들 각 부로 구성되는 단위프레임을 1방향으로 여러개 연결해서 마련한 구성으로 되어 있다.

다음에, 상기 리이드프레임(1)의 제조방법의 1예를 도 2～도 10을 사용해서 설명한다.

우선, 도 2에 도시한 바와 같이 후프(hoop)재를 프레스가공해서 다이패드(3), 서스펜션리이드(4), 리이드(5)(내부리이드부(5a), 외부리이드부(5b)로 이루어진다), 댐바(7), 외부프레임(8), 내부프레임(9) 및 가이드구멍(10)을 일체로 형성한다. 1예로서 후프재는 판두께 0. 15mm정도의 42합금으로 이루어진다. 또, 다이패드(3)의 직경은 3mm정도, 서스펜션리이드(4)의 폭은 0. 3mm 정도이다. 내부리이드부(5a) 사이의 피치는 가공한계를 고려해서, 예를 들면 132핀의 리이드프레임에서는 약 0. 22mm, 168핀에서는 0. 25mm이다. 또, 다이패드(3)의 중심에서 내부리이드부(5a)의 선단까지의 거리는 최대 132핀에서 약 5mm, 168핀에서 약 6. 2mm이다.

상기의 각 부를 프레스로 형성하는 경우에는 도 3에 도시한 바와 같이 절단개소의 이면측에 버르(burr)(11)이 생긴다. 본 실시예의 리이드프레임(1)은 다이패드(3)의 면적이 그 위에 탑재되는 반도체칩(2)의 면적보다 작기 때문에, 다이패드(3)의 칩탑재면에 버르(11)이 생기면 반도체칩(2)를 접착할 수 없게 된다. 따라서, 다이패드(3)을 프레스가공할 때에는 칩탑재면을 위로 향하게해서 위에서 천공(펀칭)하여 버르(11)이 칩탑재면과는 반대의 이면에 생기도록 한다.

한편, 내부리이드부(5a)의 선단은 와이어본딩시에 버르(11)이 하측에 있으면, 와이어가 본딩되기 어려워 본딩불량이 발생하는 경우가 있다. 따라서, 내부리이드부(5a)를 프레스가공할 때에는 본딩면을 아래로 향하게해서 위에서 천공하여 버르(11)이 와이어본딩면측에 생기도록 한다.

다음에, 도 4에 도시한 바와 같이 내부리이드부(5a)의 와이어본딩영역(32)에 Ag 도금을 실시한다. 후술하는 바와 같이, 본 실시예의 리이드프레임(1)은 다이패드(3)상에 탑재하는 반도체칩(2)의 외형치수에 따라서 리이드(5)의 선단을 소정의 길이로 절단해서 사용하기 때문에, 종래의 리이드프레임에 비해 Ag도금을 실시하는 영역의 면적을 크게 하고 있다. 예를 들면, 종래의 경우에는 와이어본딩 오차, 도금층 형성시의 오차를 고려해서 내부리이드 선단으로부터의 거리가 1mm정도의 범위이면 좋았지만, 본 발명에서는 제1 절단, 제2 절단을 고려하면 1. 5～2mm이상 필요하다.

다음에, 리이드프레임(1)의 다운세트가공을 실행한다. 다운세트가공은 도 5에 도시한 바와 같이 프레스틀(12)를 사용해서 서스펜션리이드(4)의 중도부(도 5의 S로 표시한 부분)를 아래쪽으로 구부리는 것에 의해서, 수평방향에서 본 다이패드(3)의 높이를 리이드(5)의 높이보다 낮게 하는 작업이다. 즉, 다이패드(3)의 칩탑재면측과 내부리이드부(5a)의 와이어본딩면을 제1 면으로 하고 제1 면과 대향하는 면을 제2 면으로 하면, 다이패드(3)의 제1 면이 내부리이드부(5a)의 제1 면보다 제2 면측에 위치하도록 가공하고 있다.

도 6은 다운세트가공을 실시한 리이드프레임(1)의 평면도이다. 1예로서 다이패드(3)의 중심에서 각 서스펜션리이드(4)의 다운세트위치(S)까지의 거리는 8. 5～9. 0mm정도이며, 다운세트량(다이패드(3)의 주면에서 리이드(5)의 주면까지의 높이)은 0. 2mm정도이다.

상기의 다운세트가공을 실시하는 것에 의해서 반도체칩(2)를 탑재한 리이드프레임(1)을 몰드금형에 장착해서 패키지를 성형할 때, 반도체칩(2)의 상면측과 다이패드(3)의 하면측에서 수지의 두께를 거의 동일하게 할 수 있다.

다음에, 다이패드(3)을 지지하는 서스펜션리이드(4)의 중도부 서스펜션리이드(4)의 폭이 넓게 되어 있는 부분) 및 내부리이드(5a)에 테이프(6)을 접착한다.

테이프(6)의 접착은 도 7에 도시한 바와 같이, 히트스테이지(heat stage)(13)상에 탑재한 리이드프레임(1)상에 테이프(6)을 위치결정하고, 위쪽에서 공구(14)를 압착해서 실행한다.

1예로서 테이프(6)은 외형치수 18. 5mm×18. 5mm정도, 폭 1. 5mm정도, 두께 0. 05mm정도의 폴리이미드수지로 이루어지는 막(6a)의 한쪽면에 아크릴수지계의 접착제(6b)를 두께 0. 02mm정도 도포한 구성으로 되어 있다.

도 8은 테이프(6)을 접착한 리이드프레임(1)의 평면도, 도 9는 도 8의 Ⅸ-Ⅸ선에 있어서의 단면도, 도 10은 도 8의 X-X선에 있어서의 단면도이다. 테이프(6)의 접착면적을 확보하기 위해서, 도 8에 도시한 바와 같이 서스펜션리이드(4)의 중도부는 다른 부분보다 폭을 넓게 하고 있다(서스펜션리이드(4)의 폭이 넓은 부분).

서스펜션리이드(4)의 중도부에 테이프(6) 즉 절연성 막을 접착해서 다이패드(3)을 고정시키는 것에 의해, 반도체칩(2)를 탑재한 리이드프레임(1)을 몰드금형에 장착해서 패키지를 성형할 때 용융수지의 유동에 의한 다이패드(3)의 변동을 방지할 수 있으므로, 반도체칩(2)의 상면측과 다이패드(3)의 하면측에서 용융수지의 유속이 거의 동일하게 되어 관통보이드 등의 성형불량을 방지할 수가 있다.

이와 같이 해서 얻어지는 실시예의 리이드프레임(1)은 다이패드(3)의 칩탑재면의 면적이 그 위에 탑재되는 반도체칩(2)의 주면 또는 상기 주면과 대향하는 이면의 면적보다 작으므로, 외형치수가 다른 반도체칩을 탑재하는 것이 가능하다. 또, 리이드(5)의 선단을 절단해서 리이드(5)를 짧게 하는 것에 의해서, 더욱 큰 면적의 반도체칩(2a) 또는 (2b)를 탑재할 수도 있다.

도 11a는 큰 면적 즉 도 1중에 2점쇄선으로 표시되는 반도체칩보다 큰 면적의 반도체칩(2a)를 탑재하기 위해 리이드(5)의 선단을 절단한 리이드프레임(1a)의 평면도이고, 도 11b는 도 11a의 XI-XI선에 있어서의 단면도이다. 도 11a중의 점선은 절단전의 리이드(5)의 선단위치를 나타내고 있다. 도 12는 리이드(5)의 선단을 또 절단한 리이드프레임(1b)의 평면도이다. 이 경우에는 반도체칩(2a)보다 더욱 큰 면적의 반도체칩(2b)를 탑재할 수 있다.

이와 같이 해서, 예를들면 다이패드(3)의 직경이 3mm정도인 경우는 외형치수가 5mm×5mm정도에서 15mm×15mm정도의 범위까지의 각종 반도체칩을 탑재할 수 있다. 리이드(5)의 절단은 프레스로 실행하지만 와이어본딩영역(32)에 실시한 Ag도금의 박리를 방지하기 위해 와이어본딩영역(32)를 아래로 향해서 실행한다. 따라서, 도 11b에 도시한 바와 같이 내부리이드부(5a)의 선단은 위쪽으로 향하도록 성형된다.

다음에 상기 리이드프레임(1)을 사용한 QFP의 제조방법의 1예를 도 13~도 30을 사용해서 설명한다.

우선, 도 13에 도시한 바와 같이, 리이드프레임(1)의 다이패드(3)상에 반도체칩(2)를 접착하기 위한 접착제(15)를 도포한다. 또, 도 13에는 리이드(5)의 선단을 절단하고 있지 않은 리이드프레임(1)을 도시하고 있지만, 큰 면적의 반도체칩(2a) 또는 (2b)를 탑재하는 경우는 다이패드(3)상에 접착제(15)를 도포하는 공정에 전에 미리 리이드(5)의 선단을 소정의 길이로 절단해 둔다. 즉, 리이드프레임(1a) 또는 (1b)를 형성해 둔다. 리이드선단의 절단(커트)은 칩이 탑재되는 경우에 그 칩 외주부와 내부리이드부(5a)의 선단이 접속하지 않은 거리 이상(예를들면 0.5mm이상) 떨어져 있는 위치를 고려해서 실행한다.

접착제(15)의 도포는 도 14에 도시한 바와 같이 스테이지(16)상에 탑재한 리이드프레임(1)의 다이패드(3)상에 디스펜서(17)을 사용해서 접착제(15)를 적하하는 것에 의해 실행한다. 접착제(15)는 1예로써 열경화성의 에폭시수지에 Ag분말을 혼입시킨 것으로 이루어진다. 또, 도면중의 (18)은 노즐, (19)는 실린지(sylinge)이다. 다이패드(3)의 크기는 접착제(15)가 도포되는 분만큼이면 좋다.

상기 리이드프레임(1)은 다이패드(3)의 면적이 작으므로, 접착제(15)를 다이패드(3)의 주면의 1점에 도포하는 것만으로 좋다. 그 때문에 다이패드의 면적이 큰 종래의 리이드프레임에 비하면 사용하는 노즐(18)의 구조가 간단하게 되고, 또한 접착제(15)의 도포도 단시간에 실행할 수 있다는 이점이 있다.

도 15에 도시한 바와 같이 다이패드(3)의 주위에 서스펜션리이드(4)보다도 어느정도 폭이 넓은 소(小)패드(또는 접착제 도포부라고도 한다)(20)을 형성하고, 다이패드(3) 및 소패드(20)의 각각의 주면상에 접착제(15)를 도포하도록 해도 좋다.

이와 같이 하면 충분한 접착강도를 얻을 수 있으므로 다이패드(3)상에서 반도체칩(2)가 회전어긋남을 일으키는 불합리를 방지할 수 있다. 또, 소패드(20)(접착제 도포부)을 형성한 것에 의해 실질적으로 서스펜션리이드(4)의 강성이 증대하므로 반도체칩(2)를 탑재한 리이드프레임(1)을 몰드금형에 장착해서 패키지를 성형할 때 용융수지의 유동에 의한 다이패드(3)의 변동을 방지할 수 있다.

상기 소패드(20)은 도 16에 도시한 바와 같이 각각의 서스펜션리이드(4)의 도중, 예를들면 다이패드(3)과 중도부S 사이에 형성해도 좋다. 이 경우도 상기한 것과 동일한 효과를 얻을 수 있다.

다음에 도 17에 도시한 바와 같이, 접착제(15)를 도포한 다이패드(3)상에 콜릿(collet)(21)을 사용해서 반도체칩(2)를 위치결정한다. 1예로써, 반도체칩(2)는 외형치수5.34mm×5.34mm정도, 두께0.4mm정도의 실리콘단결정으로 이루어진다.

도 18은 다이패드(3)을 지지하는 서스펜션리이드(4)의 일부에 V홈(22)를 형성한 리이드프레임(1)의 평면도이다. 이 V홈(22)는 다이패드(3) 상에 반도체칩(2)를 정확하게 위치결정하기 위한 눈금으로써 이용되는 것으로써, 도 19에 그 단면을 확대해서 도시한 바와 같이 각 서스펜션리이드(4)의 주면상에 일정한 간격을 두고 여러개 형성된다.

그리고, 다이패드(3)상에 반도체칩(2)를 위치결정할 때에는 도 20의 (a)~(c)에 도시한 바와 같이, 리이드프레임(1)의 위쪽에서 카메라(도시하지 않음) 등을 사용해서 V홈(22)의 위치를 검출하고, 그 정보에 따라서 각종 외형치수의 반도체칩(2)를 정확한 위치로 이동시킨다.

또, 도 21에 도시한 바와 같이 각 서스펜션리이드(4)의 도중, 즉 다이패드(3)과 중도부S 사이에 여러개의 돌기(23)을 일정한 간격으로 형성하고, 이것을 다이패드(3)상에 반도체칩(2)를 위치결정하기 위한 눈금으로써 이용해도 좋다. 이들 V홈(22)나 돌기(23)은 다이패드(3)상에 반도체칩(2)를 위치결정한 후의 외관검사공정에서 이용할 수도 있다.

다음에, 도 22에 도시한 바와 같이, 다이패드(3)상에 반도체칩(2)를 위치결정한 리이드프레임(1)을 히트스테이지(24)상에서 가열해서 접착제(15)를 경화시킨다.

1예로써 가열조건은 200~250℃, 30초~1분정도이다.

또, 접착제(15)의 경화는 오븐을 사용해서 실행할 수도 있다.

도 23은 다이패드(3)상에 반도제칩(2)를 탑재하는 공정이 완료한 리이드프레임(1)의 평면도이다.

다음에 도 24~도 26에 도시한 바와 같이, 다이패드(3)상에 탑재된 반도체칩(2)의 본딩패드(25)와 리이드(5)사이를 Au의 와이어(26)에 의해 본딩하여 전기적으로 접속한다. 도 25는 내부리이드부(5a)와 반도체칩(2)의 접속관계를 도시한 단면도, 도 26은 서스펜션리이드(4)와 반도체칩(2)의 관계를 도시한 단면도이다.

도 24에 도시한 바와 같이, 본 실시예의 리이드프레임(1)은 반도체칩(2)의 각 변을 따라서 리이드(5)의 선단을 V자형상으로 배열하고 있다(반도체칩(2)의 코너부 근방의 즉 서스펜션리이드(4)에 가까운 쪽의 리이드(5)를 길게 하고, 각 변중도부 근방의 즉 서스펜션리이드(4)로부터 먼곳에 위치하는 리이드(5)를 짧게 하고 있다). 이것에 의해 와이어(26)의 길이가 모든 본딩패드(25)와 리이드(5)사이에서 거의 동일하게 되므로 와이어의 길이를 변경할 필요가 없어 와이어본딩작업이 용이하게 된다.

도 27은 본 실시예에서 사용하는 와이어본딩장치의 히트스테이지(27)의 주면을 도시한 평면도이다. 이 히트스테이지(27)의 주면에는 리이드프레임(1)의 다이패드(3)과 서스펜션리이드(4)의 일부(상기 다운세트위치(S)보다 내측 부분)가 끼워넣어지는 릴리이프홈(28)이 형성되어 있다.

히트스테이지(27)의 주면에 상기와 같은 릴리이프홈(28)을 형성한 것에 의해 도 28에 도시한 바와 같이 다이패드(3)상에 큰 면적의 반도체칩(2b)를 탑재한 리이드프레임(1)(도 28(a))에서도 작은 면적의 반도체칩(2)를 탑재한 리이드프레임(1)(도 28(b))에서도 와이어본딩이 가능하게 되므로, 반도체칩(2)의 외형치수가 바뀔때마다 히트스테이지(27)을 교환하는 수고가 불필요하게 된다. 또, 도 28a중의 t_1은 리이드프레임(1)의 판두께(본 실시예에서는 0.15mm정도)를 나타내고, t_2는 다이패드(3)의 다운세트량(본 실시예에서는 0.2mm정도)를 나타내고 있다. 와이어의 길이는 본딩패드에서 내부리이드부(5a)의 본딩점까지의 직선거리로 1.0~5.0mm정도이다.

다음에 상기 리이드프레임(1)을 몰드금형에 장착하고, 도 29 및 도 30에 도시한 바와 같이 반도체칩(2), 다이패드(3), 내부리이드부(5a) 및 와이어(26)을 에폭시수지 등으로 몰드하는 것에 의해 패키지본체(29)를 성형한 후 리이드프레임(1)이 불필요한 장소, 즉 패키지본체(29)의 외부에 노출된 댐바(7), 외부프레임(8) 및 내부프레임(9) 등을 프레스로 절단제거하고, 마지막으로 패키지본체(29)의 외부에 노출된 리이드(5)를 소정의 형상으로 성형하는 것에 의해 QFP형의 표면실장형 반도체장치(30)이 완성된다. 그후, 배선기판(34)상에 리플로납땜법으로 QFP형 표면실장형 LSI를 실장한다. (33)은 리이드(5)를 탑재하는 랜드패드, (36)은 땜납이다.

본 실시예의 리이드프레임(1)을 사용해서 제조된 QFP(30)은 다이패드(3)의 면적이 그 위에 탑재된 반도체칩(2)의 면적보다도 작으므로, 반도체칩(2)의 주변부의 이면이 봉지수지와 밀착되어 있다.

이것에 의해 봉지수지와 다이패드(3)의 계면은 접착이 강력하므로, 수분이 침입하더라도 리플로납땜공정의 고온에 기인하는 수분팽창에 의한 상기 계면의 박리를 억제할 수 있어 리플로균열 내성이 향상된 QFP(30)을 제공할 수 있다.

또, 본 실시예의 리이드프레임(1)은 외형치수가 다른 각종 반도체칩(2)를 탑재할 수 있으므로, 외형치수가 다른 반도체칩마다 리이드프레임을 작성하는 수고가 불필요하게 된다. 이것에 의해 리이드프레임(1)을 표준화할 수 있으므로, 그 제조코스트가 저감되어 QFP(30)을 저가로 제공할 수 있다.

또, 본 실시예의 리이드프레임(1)은 다이패드(3)의 외형치수를 작게한 것에 의해, 반도체칩(2)를 다이패드(3)상에 탑재할 때 사용하는 접착제(15)의 사용량을 적게할 수 있으므로, 이 점에서도 QFP(30)을 저가로 제공할 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

다이패드의 형상은 원형에 한정되지 않고 칩의 다이패드로의 접착강도나 접착제의 최저 도포영역을 확보하고 있으면 예를 들면 직사각형이라도 좋다. 또, 도 31에 도시한 바와 같이, 칩(2)의 면적보다도 작은 면적의 다이패드(3)의 일부에 관통구멍(31)을 형성하고, 반도체칩(2)와 수지의 접착면적을 더욱 크게 하는 것에 의해 리플로균열 내성을 더욱 향상시킬 수 있다.

또, 도 32에 도시한 바와 같이, 4개의 서스펜션리이드(4)가 교차하는 부분의 폭을 넓게 형성하고, 이 부분을 다이패드(3)으로써 이용해도 좋다.

상기 실시예에서는 QFP의 제조리이드프레임에 본 발명을 적용한 경우에 대해서 설명했지만, 표면실장형 LSI패키지의 조립에 사용하는 리이드프레임 전반에 적용할 수 있다. 또, DIP(Dual Inline Package)와 같은 핀삽입형 LSI패키지의 제조에 사용하는 리이드프레임에 적용할 수도 있다.

발명의 효과

본원에서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다.

[1] 본 발명에 의하면 리플로균열 내성이 향상된 LSI패키지를 제공할 수 있다.

[2] 본 발명에 의하면 LSI패키지의 소량다품종화에 대응한 리이드프레임을 제공할 수 있으므로, LSI패키지의 제조코스트를 저감할 수 있다.

(57) 청구의 범위

청구항 1.

상이한 외형 치수의 반도체칩을 탑재가능한 칩탑재부와, 상기 칩탑재부를 둘러싸도록 배치된 복수의 내부 리이드와, 상기 칩탑재부에 접속된 서스펜션 리이드를 포함하는 리이드프레임의 제조 방법에 있어서,

상기 칩탑재부는 탑재가능한 반도체칩 각각의 외형 치수보다도 작은 외형 치수로 형성되며,

상기 칩탑재부와 상기 복수의 내부 리이드의 선단부는 미리 서로 분리되어 있으며,

상기 칩탑재부에 접속되는 반도체칩의 외형 치수에 대응하여 상기 내부 리이드의 선단부를 더 소정 길이 절단하는 것을 특징으로 하는 리이드프레임의 제조 방법.

청구항 2.

제1항에 있어서, 상기 복수의 내부 리이드의 선단부는 은 도금 처리되어 있는 것을 특징으로 하는 리이드프레임의 제조 방법.

청구항 3.

제1항에 있어서, 상기 서스펜션 리이드의 중도부를 다운세트 가공하는 공정을 포함하는 것을 특징으로 하는 리이드프레임의 제조 방법.

청구항 4.

상이한 외형 치수의 반도체칩을 탑재가능하고, 상기 상이한 외형 치수의 반도체칩 각각의 외형 치수보다도 작은 외형 치수를 갖는 칩탑재부와, 선단부가 상기 칩탑재부를 둘러싸도록 배치되고, 또한 상기 선단부가 상기 칩탑재부와 미리 서로 분리되어 있는 복수의 내부 리이드와, 상기 칩탑재부에 접속된 서스펜션 리이드를 포함하고, 또한 상기 칩탑재부에 탑재되는 반도체칩의 외형 치수에 대응하여 상기 복수의 내부 리이드 각각의 선단부가 더 소정의 길이로 절단된 리이드프레임을 준비하는 공정과,

상기 상이한 외형 치수의 반도체칩 중에서 하나의 외형 치수의 반도체칩을 선택하여 준비하는 공정과,

상기 선택하여 준비된 반도체칩을 상기 칩탑재부에 접속하는 공정과,

상기 복수의 내부 리이드와 상기 반도체칩의 전극을 접속하는 공정과,

상기 반도체칩, 복수의 내부 리이드 및 칩탑재부를 봉지하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

청구항 5.

제4항에 있어서, 상기 반도체칩은 접착제를 매개하여 상기 칩탑재부에 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

청구항 6.

제4항에 있어서, 상기 서스펜션 리이드는 상기 칩탑재부의 상이한 4개소에 접속하고 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

청구항 7.

상이한 외형 치수의 반도체칩을 탑재가능하고, 상기 상이한 외형 치수의 반도체칩 각각의 외형 치수보다도 작은 외형 치수를 갖는 칩탑재부와, 선단부가 상기 칩탑재부를 둘러싸도록 배치되고, 또한 상기 선단부가 상기 칩탑재부와 미리 서로 분리되어 있는 복수의 내부 리이드와, 상기 칩탑재부에 접속된 서스펜션 리이드를 포함하는 리이드프레임을 사용하여 제1 및 제2 반도체 집적회로 장치를 제조하는 방법에 있어서,

상기 상이한 외형 치수의 반도체칩 중에서 하나의 치수의 제1 반도체칩을 선택하여 준비하는 공정과,

상기 선택하여 준비된 제1 반도체칩의 외형 치수에 대응하여 상기 복수의 내부 리이드 각각의 선단부를 더 제1 길이로 절단하는 공정과,

상기 제1 반도체칩을 상기 칩탑재부에 접속하는 공정과,

상기 제1 길이로 절단된 상기 복수의 내부 리이드와 상기 제1 반도체칩의 전극을 접속하는 공정과,

상기 제1 반도체칩, 복수의 내부 리이드 및 칩탑재부를 봉지하는 공정에 의해 제1 반도체 집적회로 장치를 제조하고,

또한, 상기 상이한 외형 치수의 반도체칩 중에서 상기 제1 반도체칩과는 상이한 다른 치수의 제2 반도체칩을 선택하여 준비하는 공정과,

상기 선택하여 준비된 제2 반도체칩의 외형 치수에 대응하여 상기 복수의 내부 리이드 각각의 선단부를 더 상기 제1 길이와는 상이한 제2 길이로 절단하는 공정과,

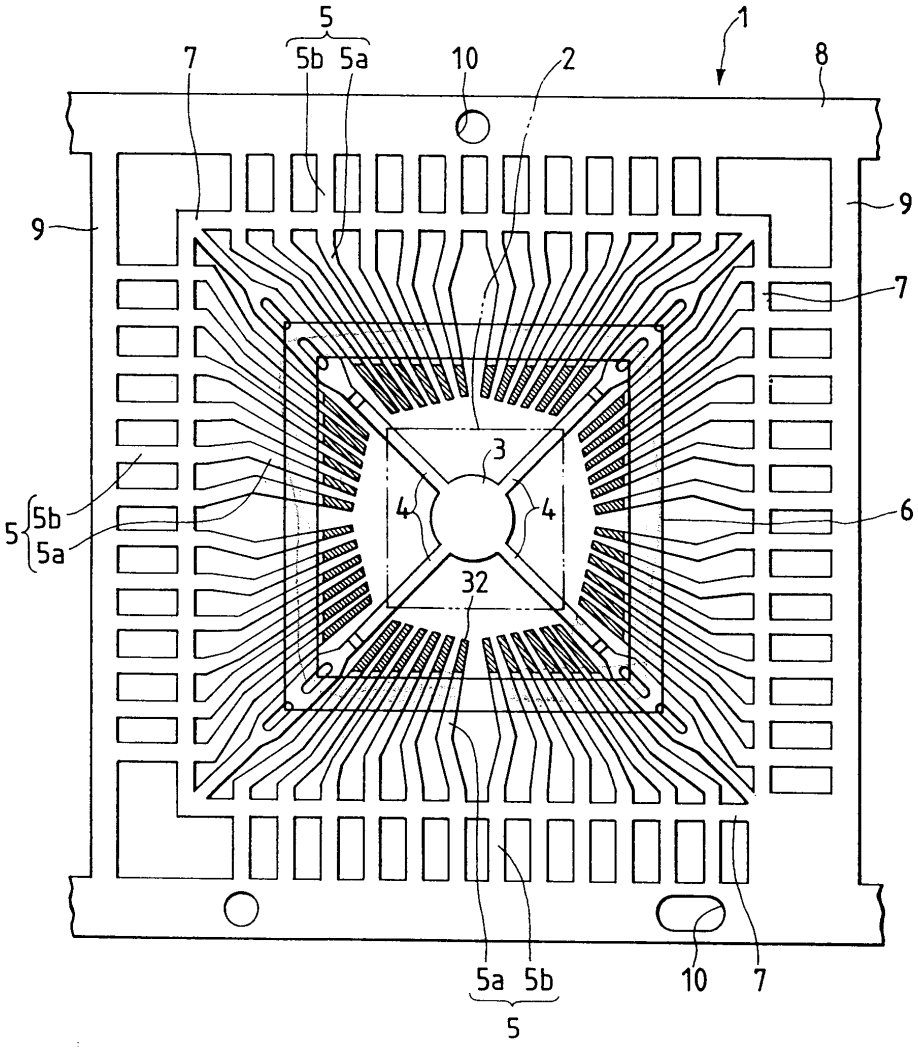
상기 제2 반도체칩을 상기 칩탑재부에 접속하는 공정과,

상기 제2 길이로 절단된 상기 복수의 내부 리이드와 상기 제2 반도체칩의 전극을 접속하는 공정과,

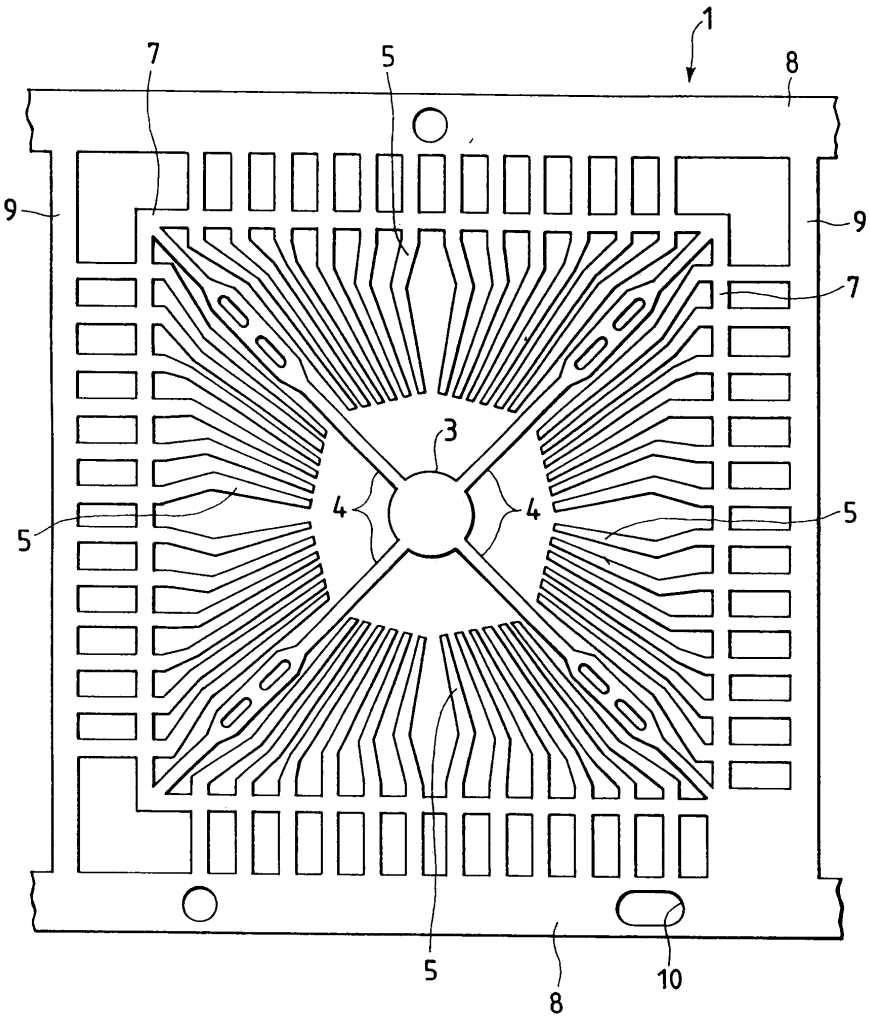
상기 제2 반도체칩, 복수의 내부 리이드 및 칩탑재부를 봉지하는 공정에 의해 제2 반도체 집적회로 장치를 제조하는 것을 특징으로 하는 반도체 집적회로 장치의 제조 방법.

도면

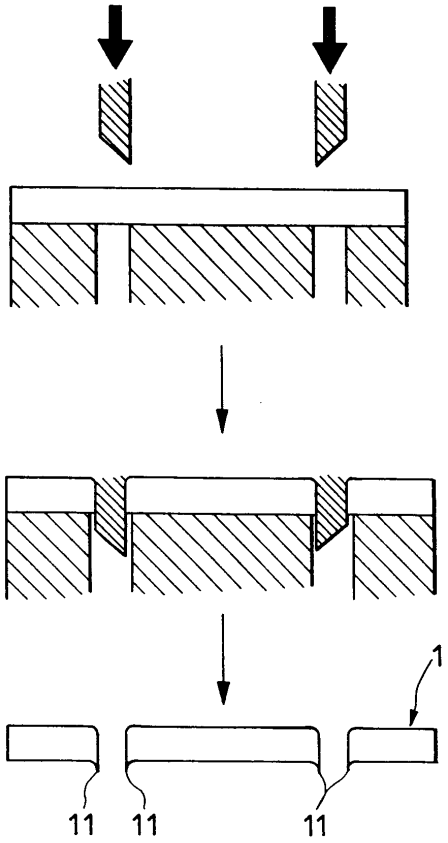
도면1



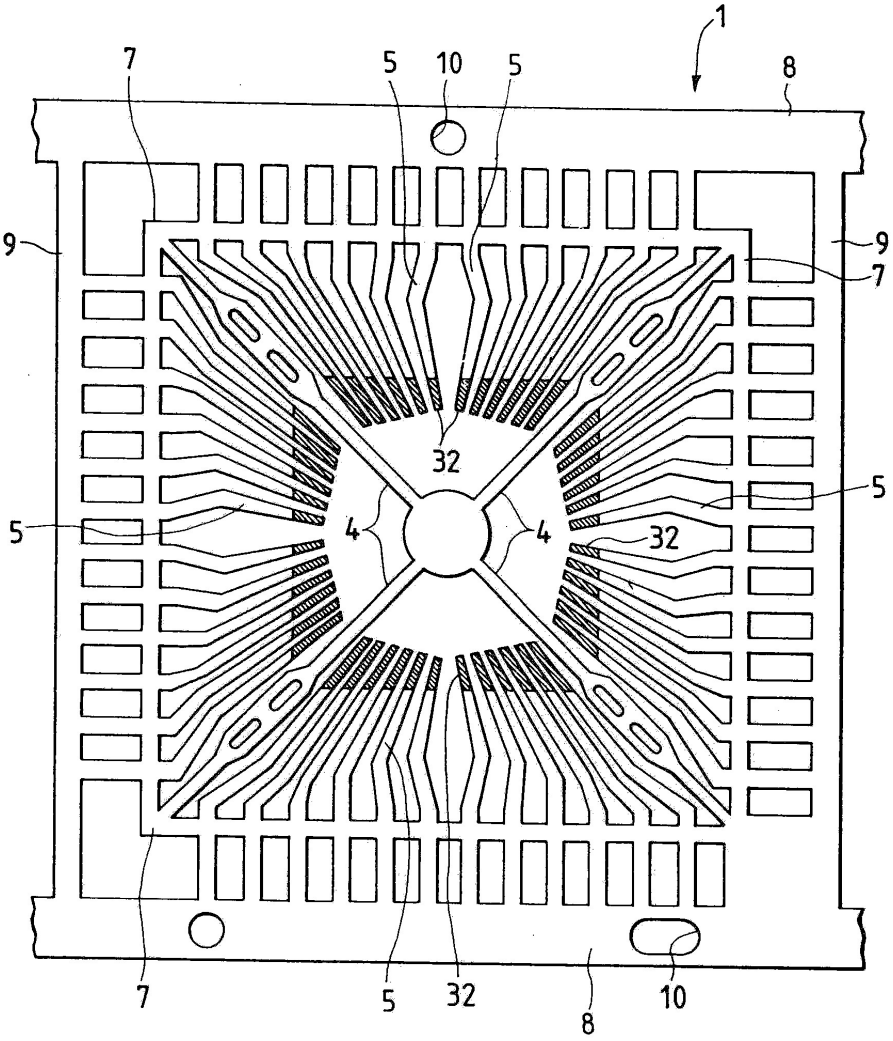
도면2



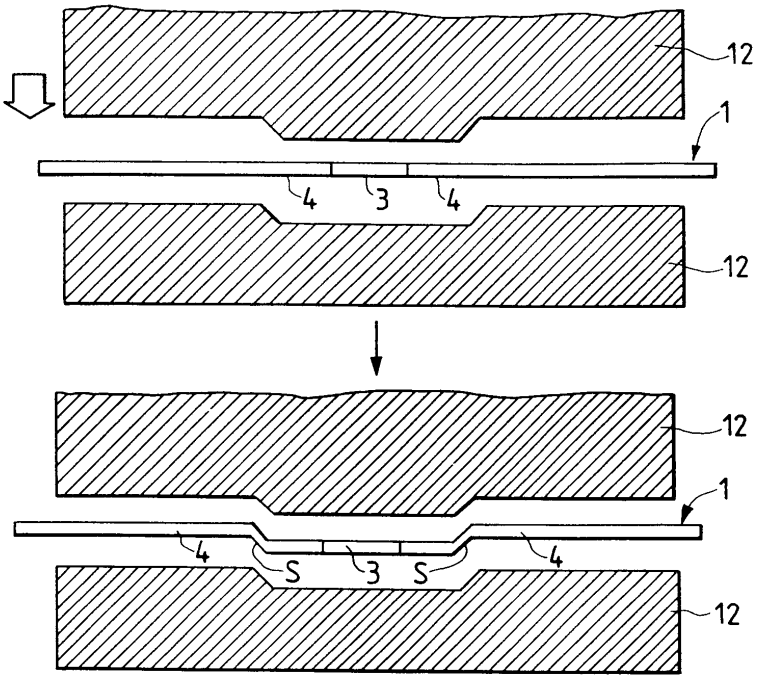
도면3



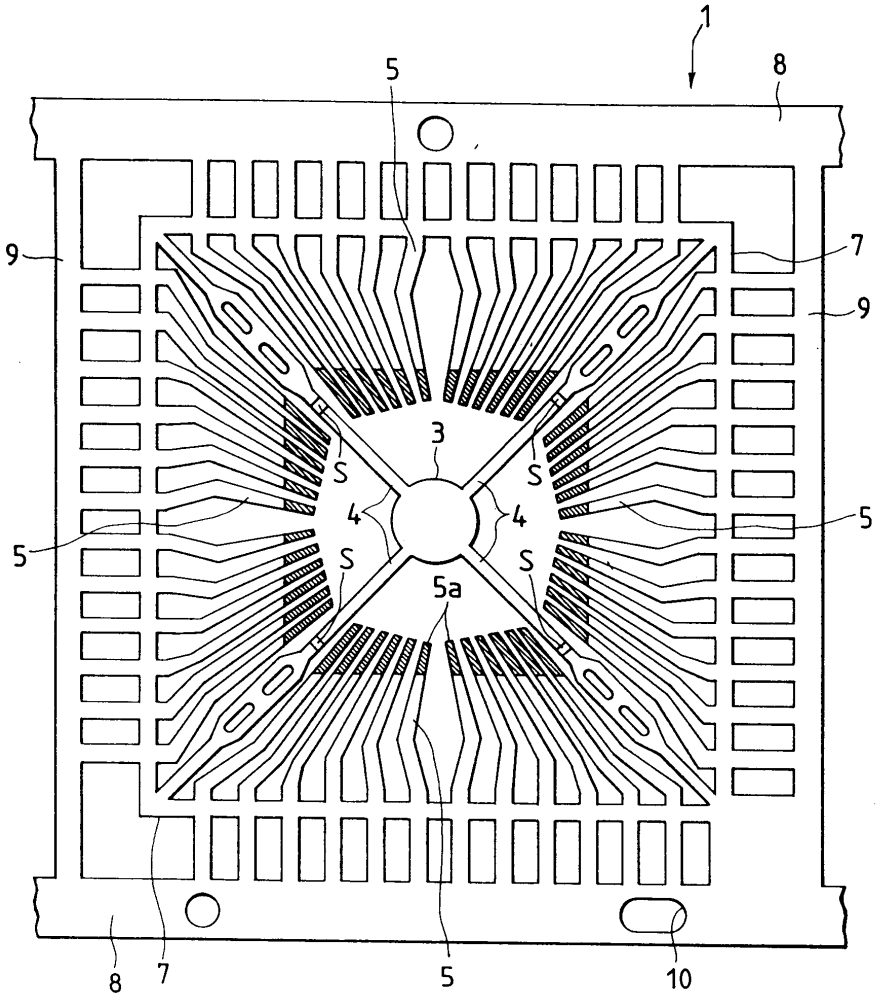
도면4



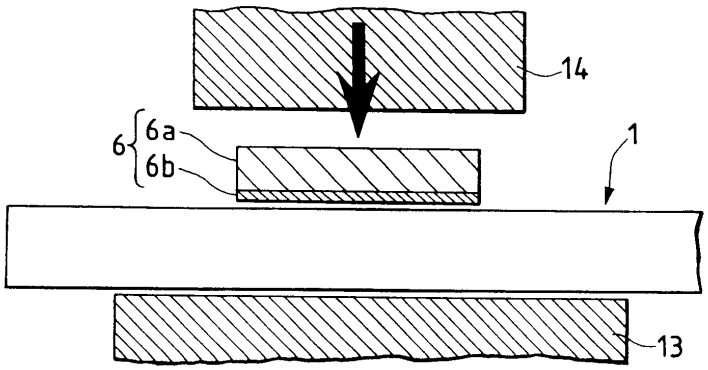
도면5



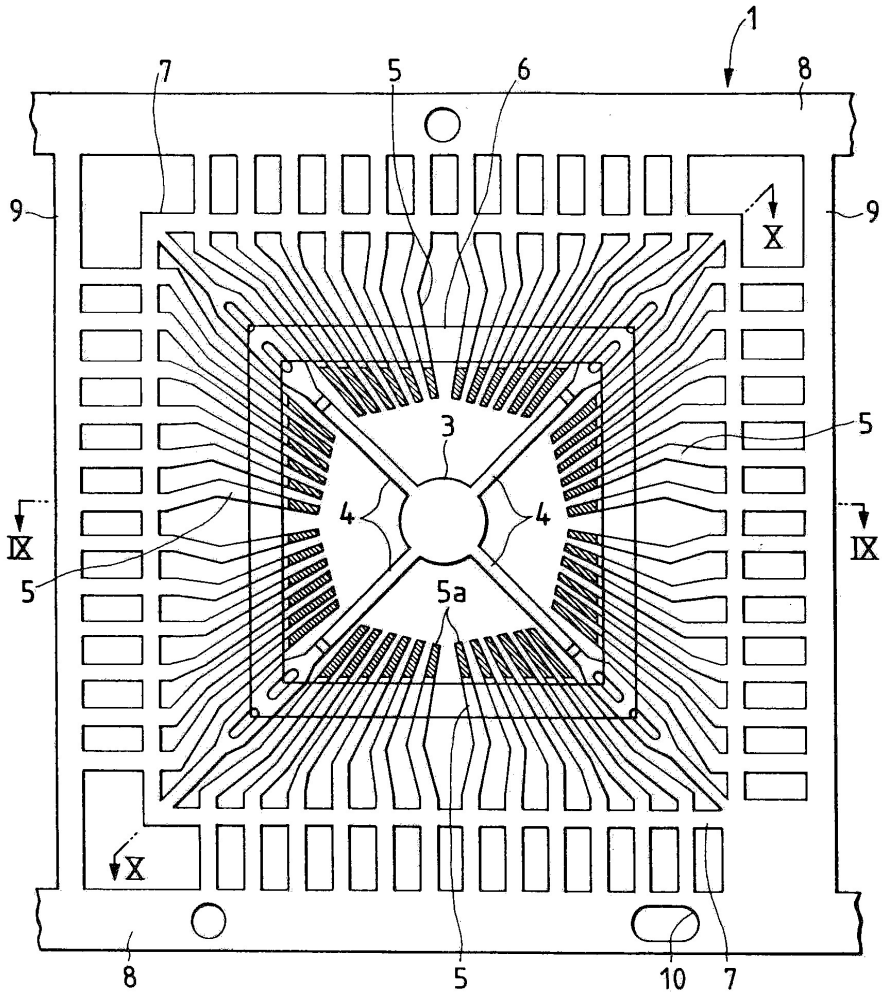
도면6



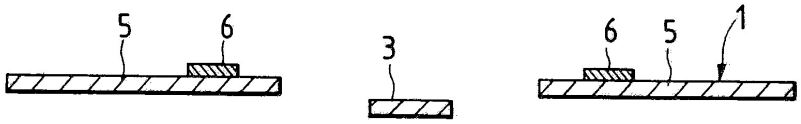
도면7



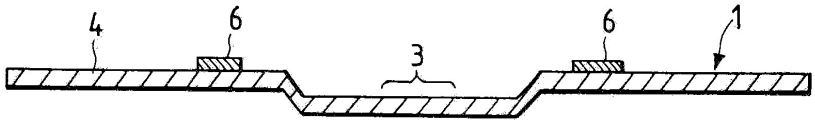
도면8



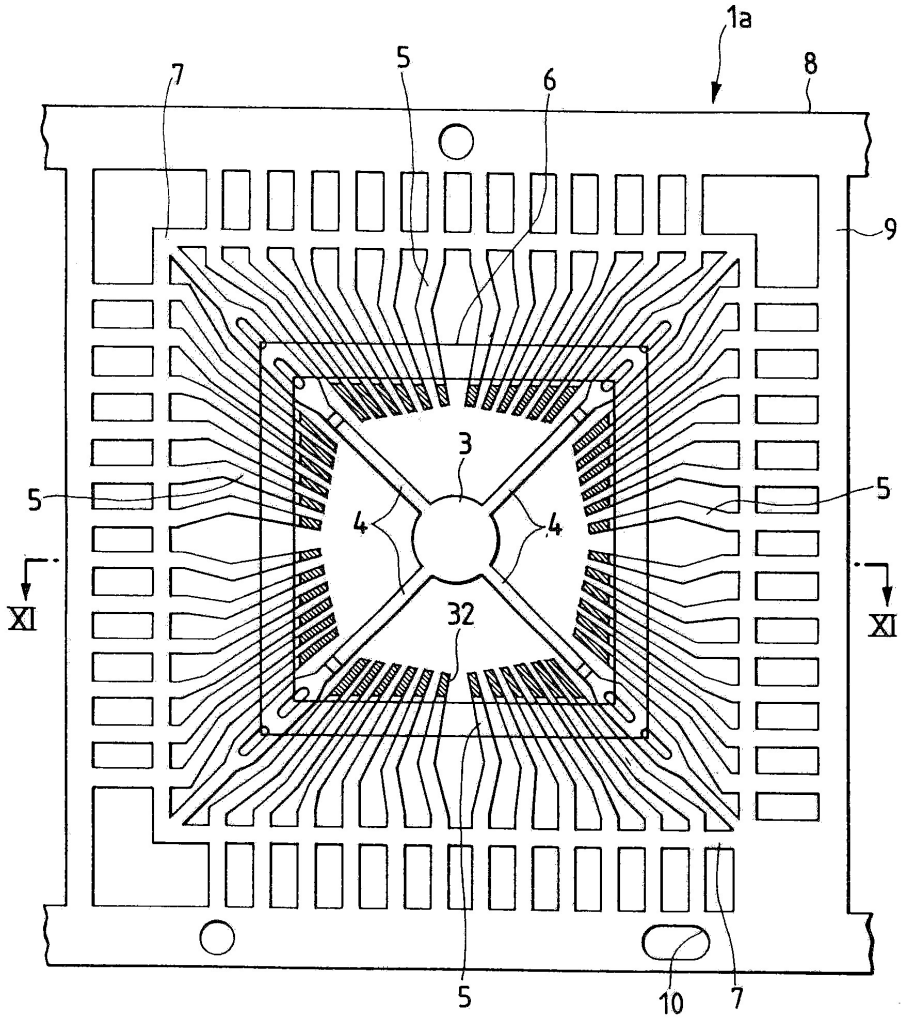
도면9



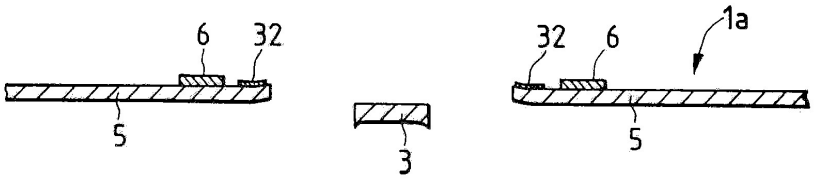
도면10



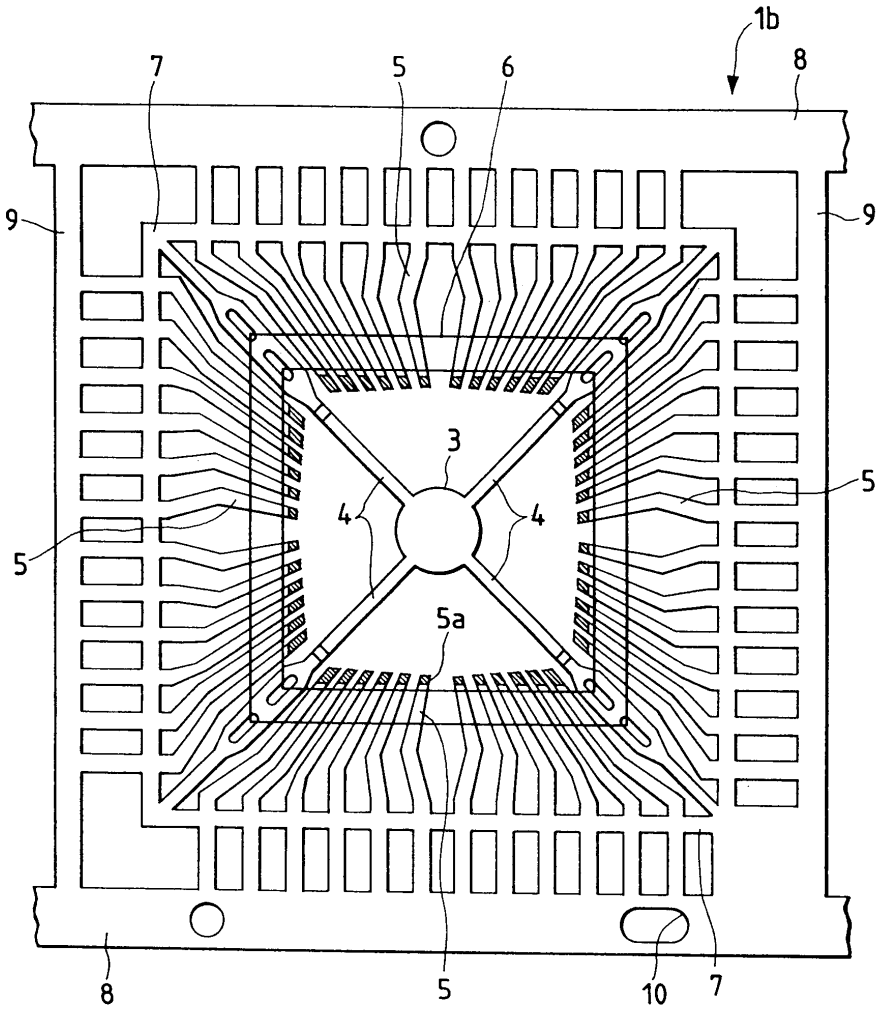
도면11a



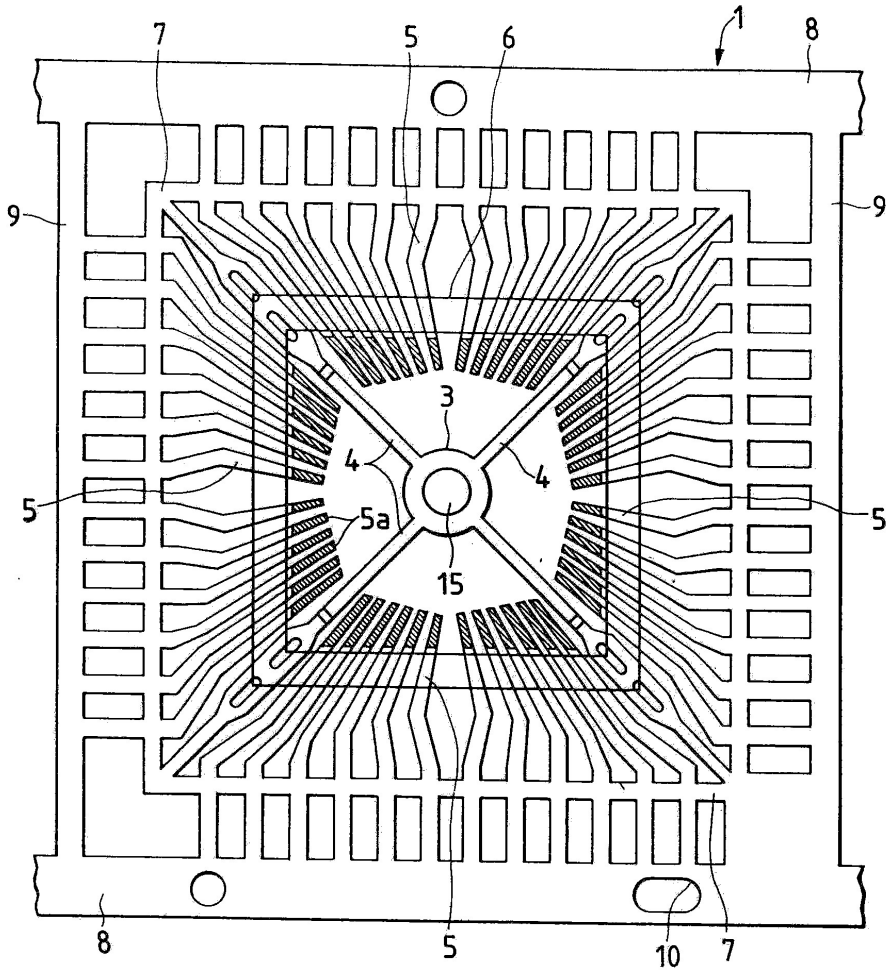
도면11b



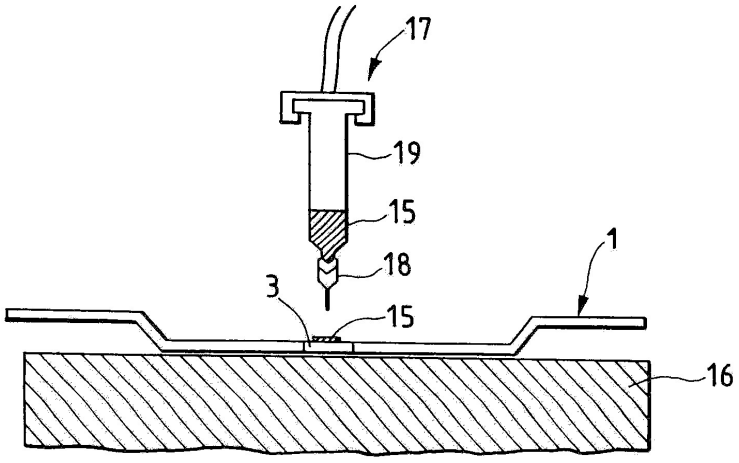
도면12



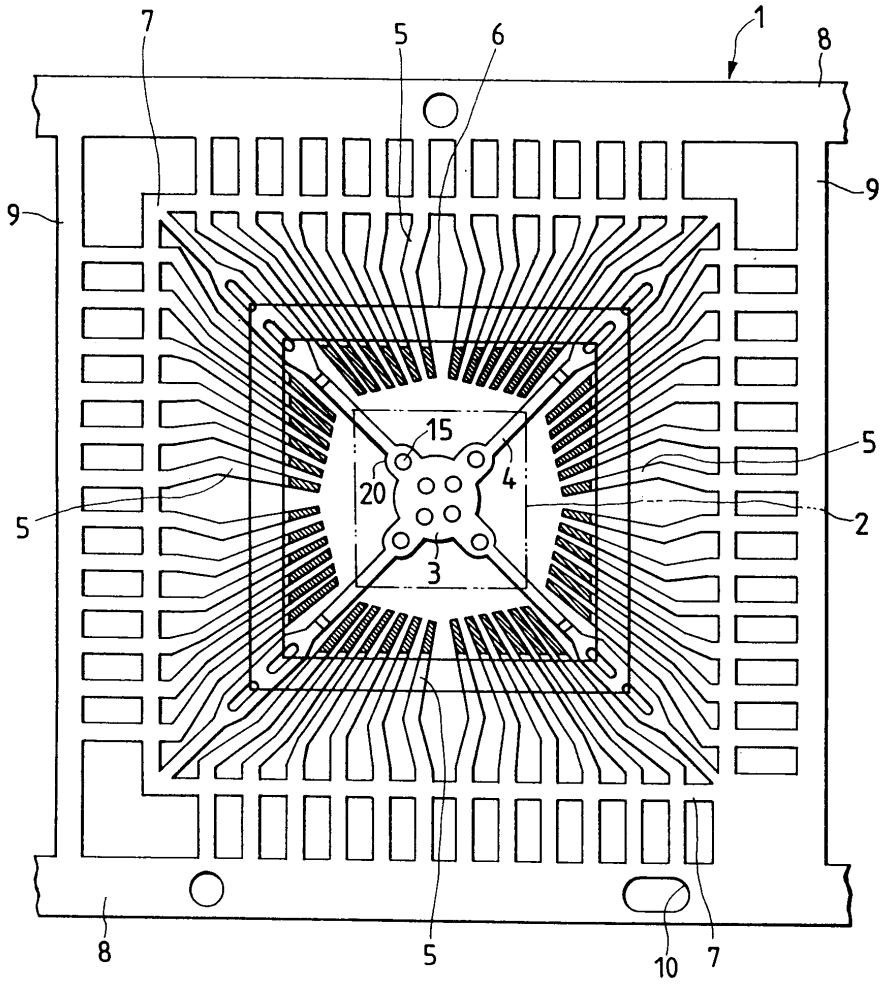
도면13



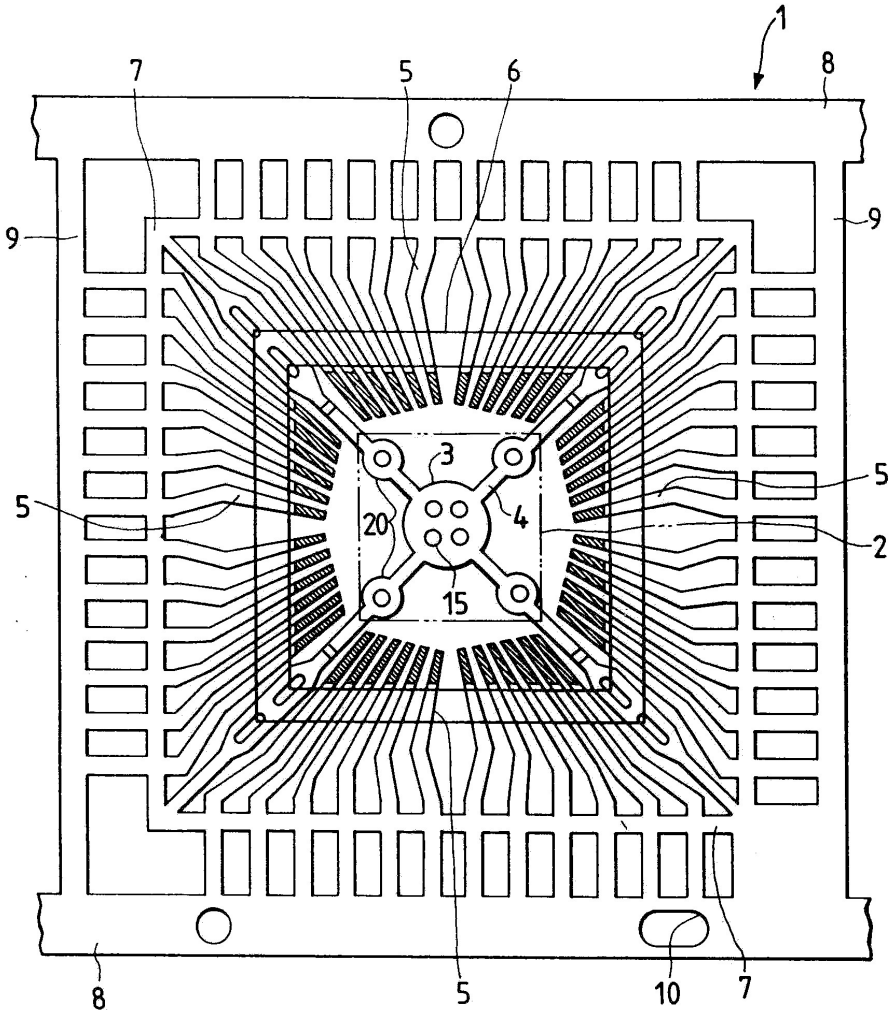
도면14



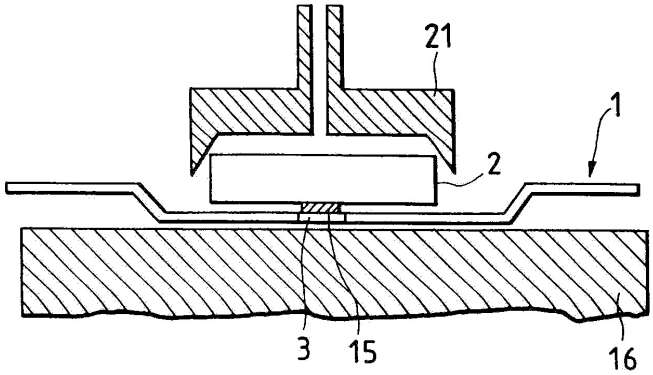
도면15



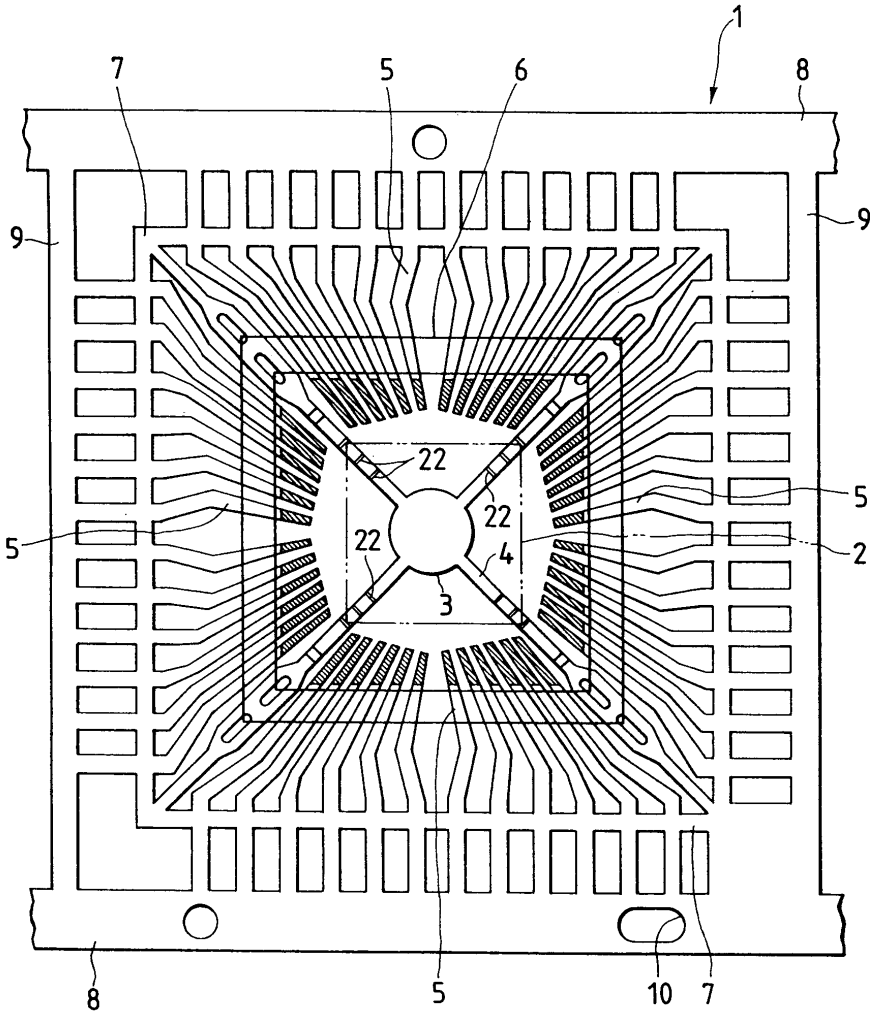
도면16



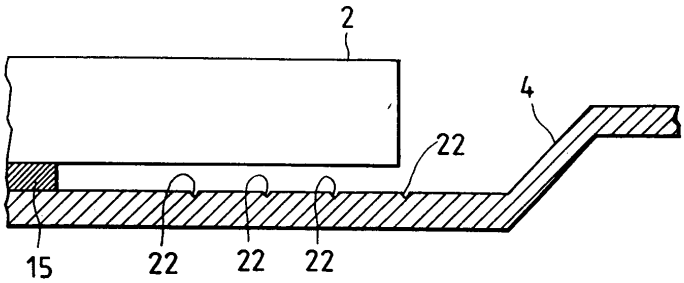
도면17



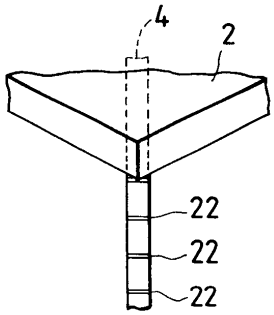
도면18



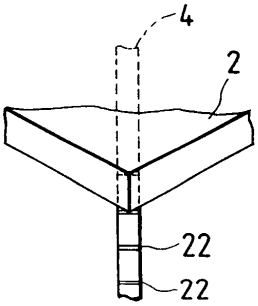
도면19



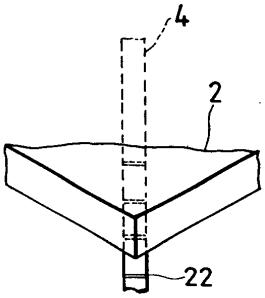
도면20a



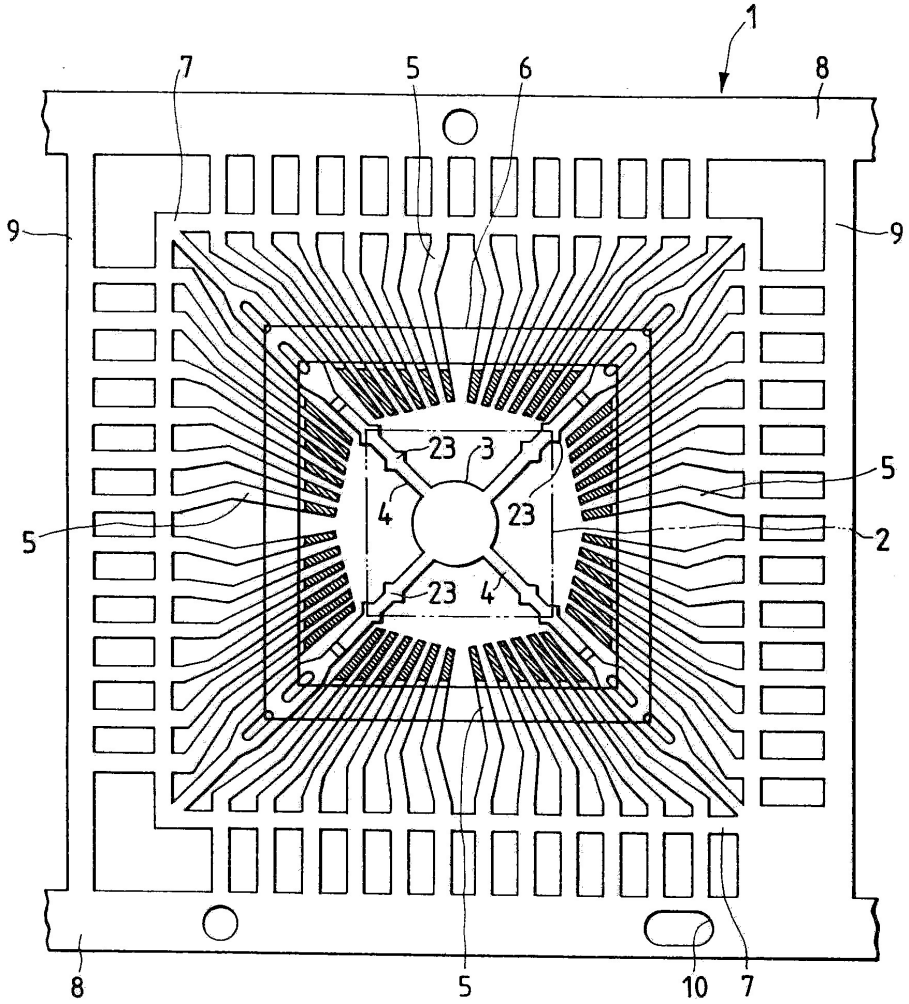
도면20b



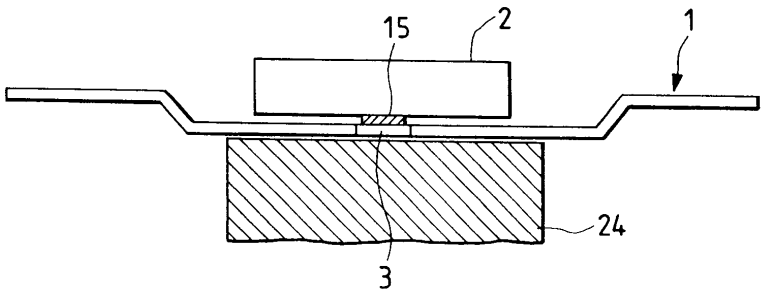
도면20c



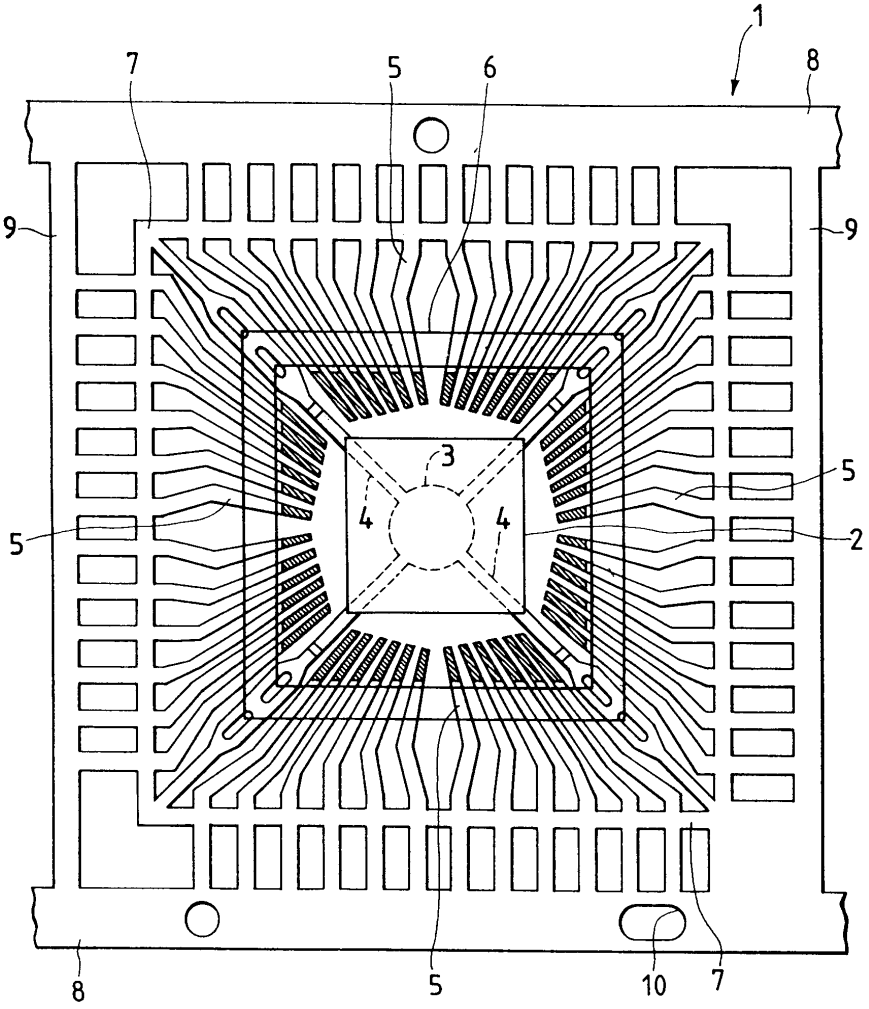
도면21



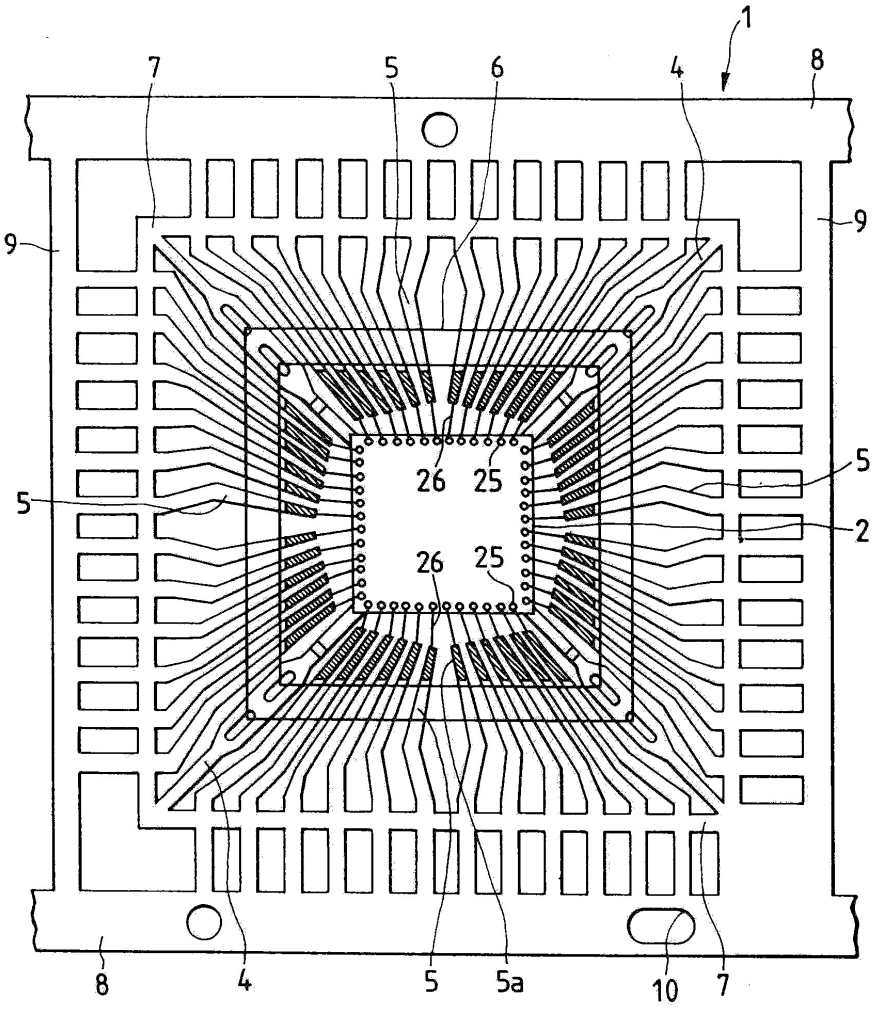
도면22



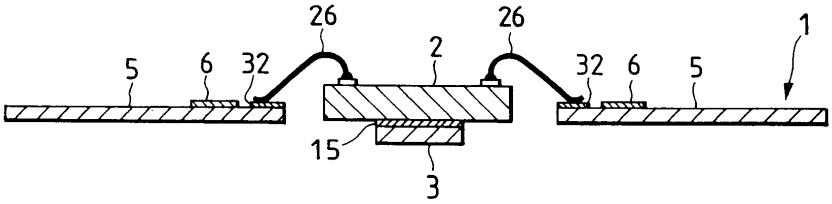
도면23



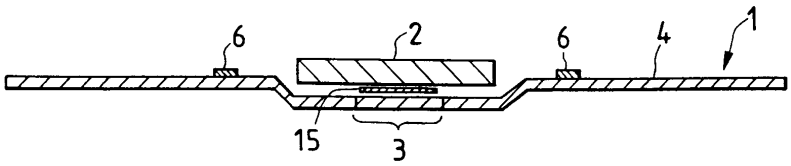
도면24



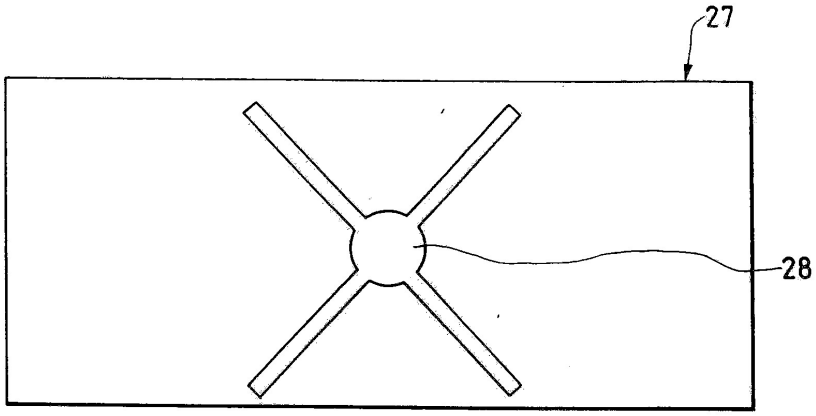
도면25



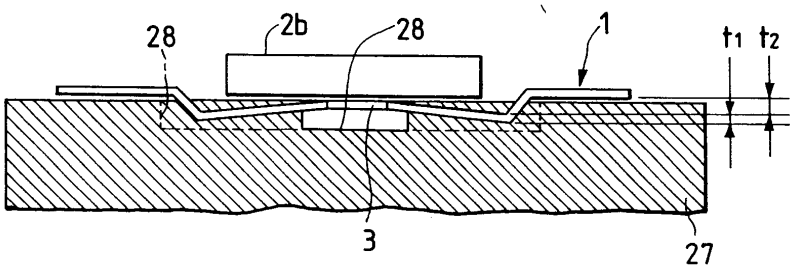
도면26



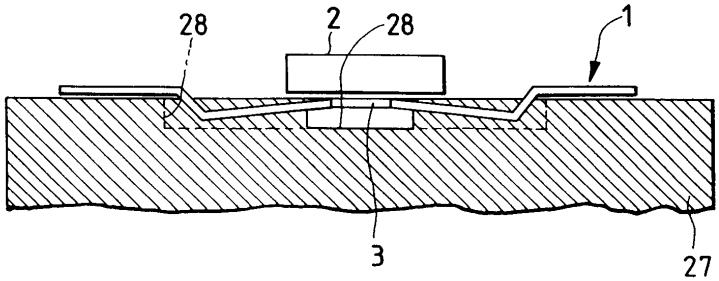
도면27



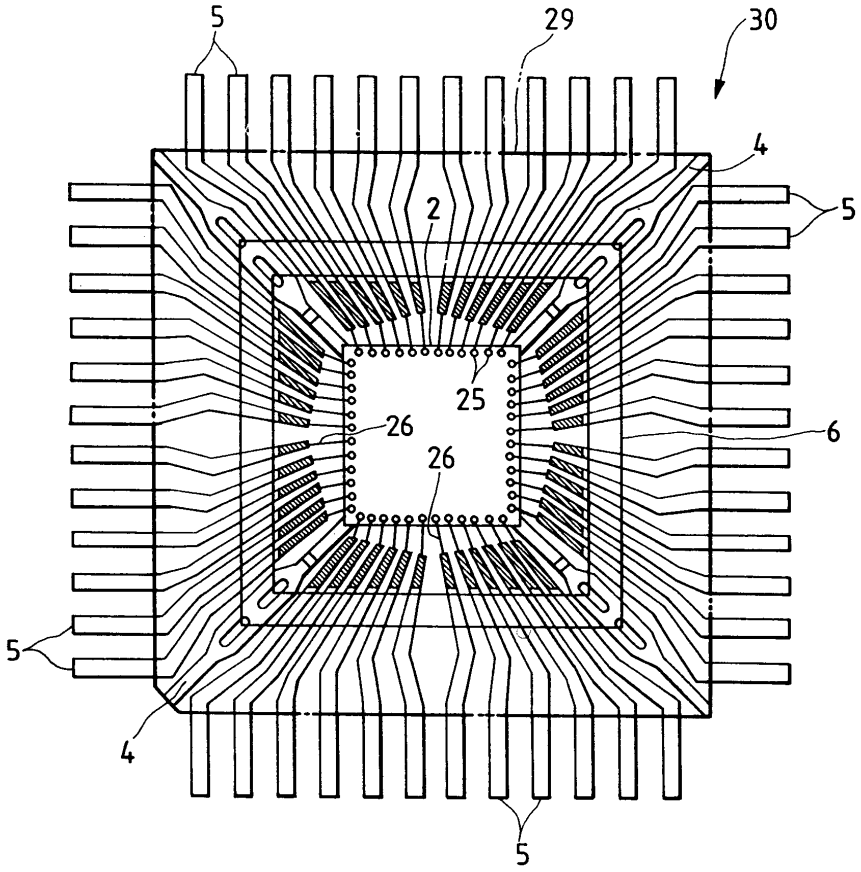
도면28a



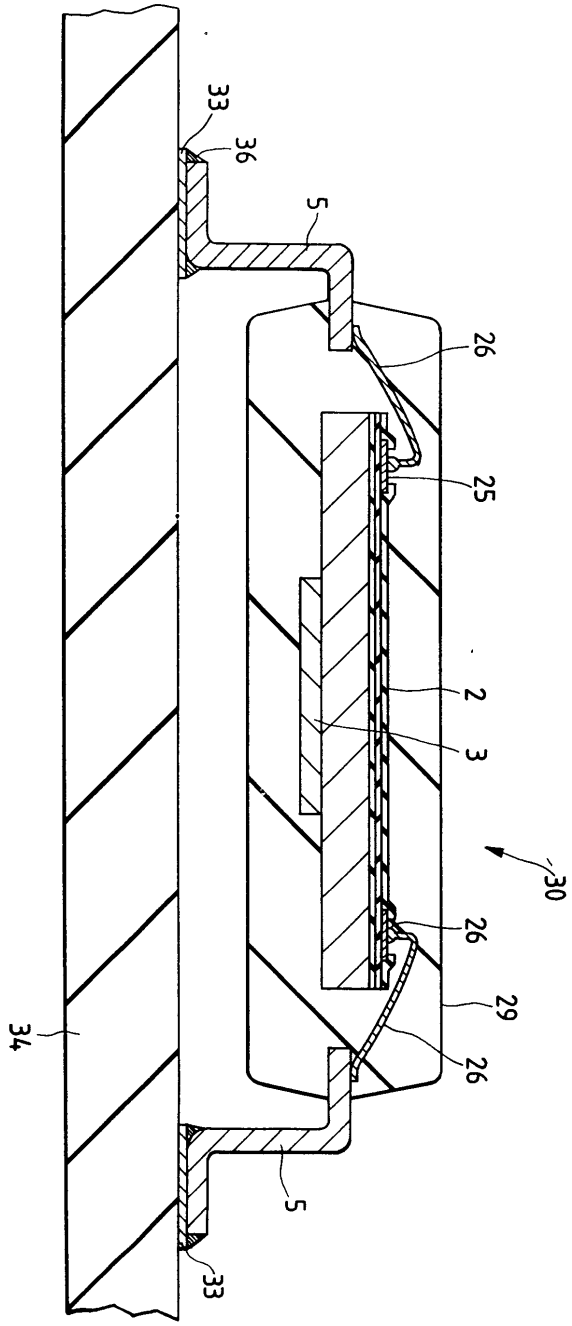
도면28b



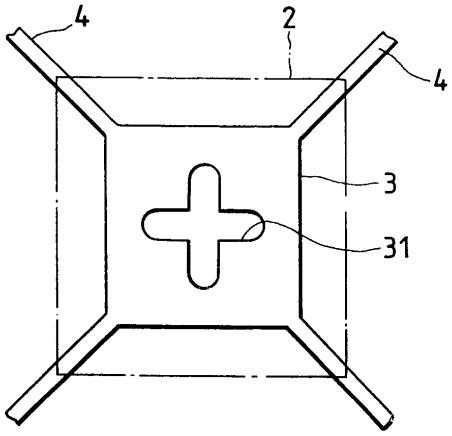
도면29



도면30



도면31



도면32

