



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I584430 B

(45)公告日：中華民國 106 (2017) 年 05 月 21 日

(21)申請案號：103131117

(22)申請日：中華民國 103 (2014) 年 09 月 10 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L23/28 (2006.01)

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：張宏達 CHANG, HONG DA (TW) ; 邱世冠 CHIU, SHIH KUANG (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 201405766A

TW 201419465A

US 2014/0021629A1

審查人員：于若天

申請專利範圍項數：31 項 圖式數：3 共 43 頁

(54)名稱

半導體封裝件及其製法

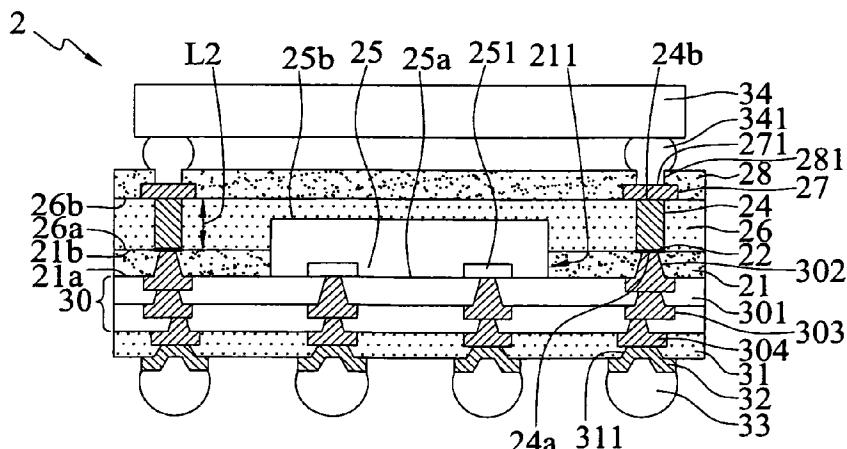
SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

(57)摘要

一種半導體封裝件及其製法，半導體封裝件包括基底層、複數導電柱、半導體元件以及封裝膠體。基底層係具有相對之第一與第二表面及容置部。導電柱係形成基底層之第二表面上，並具有相對之第一與第二端部，且第二端部係遠離基底層之第二表面。半導體元件係容置於基底層之容置部內，並具有相對之主動面與被動面，且主動面係外露於基底層之第一表面。封裝膠體係形成於基底層之第二表面上以包覆導電柱及半導體元件，並具有相對之第三與第四表面，且導電柱之第二端部外露出封裝膠體之第四表面。藉此，本發明可用於具有精細間距之導電柱之半導體封裝件上。

The invention is a semiconductor package and manufacturing method thereof. The semiconductor package comprises a base layer, a plurality of conductive pillars, a semiconductor element and an encapsulation. The base layer has opposite a first and a second surface and a receiving portion. The conductive pillars are formed at the second surface of the base layer, and each of the conductive pillars has a first and a second terminal, and the second terminal is away from the second surface of the base layer. The semiconductor element is received in the receiving portion of the base layer, and has opposite an active surface and a passive layer, and the active layer is exposed to the first surface of the base layer. The encapsulation is formed on the second surface of the base layer to cover the conductive pillars and the semiconductor element, and has opposite a third and a fourth surface, and the second terminal of the conductive pillar exposes out the fourth surface of the encapsulation. Thereby, the invention can use for the semiconductor package with fine pitches of the conductive pillars.

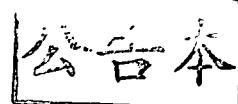
指定代表圖：



I584430

TW I584430 B

L2 · · · 長度



# 發明摘要

※ 申請案號：103131117

※ 申請日：103. 9. 10

※ I P C 分類：

101L23148 2006.01

101L23128 2006.01

## 【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING  
METHOD THEREOF

## 【中文】

一種半導體封裝件及其製法，半導體封裝件包括基底層、複數導電柱、半導體元件以及封裝膠體。基底層係具有相對之第一與第二表面及容置部。導電柱係形成基底層之第二表面上，並具有相對之第一與第二端部，且第二端部係遠離基底層之第二表面。半導體元件係容置於基底層之容置部內，並具有相對之主動面與被動面，且主動面係外露於基底層之第一表面。封裝膠體係形成於基底層之第二表面上以包覆導電柱及半導體元件，並具有相對之第三與第四表面，且導電柱之第二端部外露出封裝膠體之第四表面。藉此，本發明可用於具有精細間距之導電柱之半導體封裝件上。

## 【英文】

The invention is a semiconductor package and manufacturing method thereof. The semiconductor package comprises a base layer, a plurality of conductive pillars, a semiconductor element and an encapsulation. The base layer has opposite a first and a second surface and a receiving portion. The conductive pillars are formed at the second surface of the base layer, and each of the conductive pillars has a first and a second terminal, and the second terminal is away from the second surface of the base layer. The semiconductor element is received in the receiving portion of the base layer, and has opposite an active surface and a passive layer, and the active layer is exposed to the first surface of the base layer. The encapsulation is formed on the second surface of the base layer to cover the conductive pillars and the semiconductor element, and has opposite a third and a fourth surface, and the second terminal of the conductive pillar exposes out the fourth surface of the encapsulation. Thereby, the invention can use for the semiconductor package with fine pitches of the conductive pillars.

【代表圖】

【本案指定代表圖】：第（2R）圖。

【本代表圖之符號簡單說明】：

2	半導體封裝件	21	基底層
21a	第一表面	21b	第二表面
211	容置部	213	通孔
22	晶種層	24	導電柱
24a	第一端部	24b	第二端部
25	半導體元件	25a	主動面
25b	被動面	251	鋸墊
26	封裝膠體	26a	第三表面
26b	第四表面	27	第一線路層
271	第一電性接觸墊	28	第一絕緣保護層
281	第一開孔	30	增層結構
301	介電層	302	導電盲孔
303	第二線路層	304	第二電性接觸墊
31	第二絕緣保護層	311	第二開孔
32	凸塊底下金屬層	33	鋸球
34	半導體裝置	341	導電元件
L2	長度		

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING  
METHOD THEREOF

## 【技術領域】

本發明係關於一種半導體封裝件及其製法，特別是指一種具有導電柱之半導體封裝件及其製法。

## 【先前技術】

目前在半導體封裝件中，常以複數導通球(如鋸球或凸塊)作為電性連接之導電元件，並將封裝膠體包覆晶片及該些導通球，且將各該導通球之兩端部分別外露於該封裝膠體之上表面，再將增層結構等設置於該封裝膠體上，進而透過該些導通球電性連接該晶片至該增層結構。

第 1A 圖至第 1G 圖係繪示習知技術之半導體封裝件 1 及其製法之剖視示意圖。

如 1A 圖所示，先提供一具有第一剝離層 101 之第一承載板 10，並設置晶片 11 與複數導通球 12 於該第一剝離層 101 上。該晶片 11 係具有複數鋸墊 111 及相對之主動面 11a 與被動面 11b，各該導通球 12 係具有寬度 W1 及相對之第一端部 12a 與第二端部 12b。

如 1B 圖所示，形成一具有相對之第一表面 13a 與第二表面 13b 之封裝膠體 13 於該第一剝離層 101 上，以藉由該

封裝膠體 13 包覆該晶片 11 及該些導通球 12，並移除部分該導通球 12 以使其具有長度 L1 而外露出該第二端部 12b。

如 1C 圖所示，設置第二承載板 14 於第 1B 圖之封裝膠體 13 之第二表面 13b 上，並將第 1B 圖之整體結構上下倒置，再去除該第一剝離層 101 以移除該第一承載板 10。

如 1D 圖所示，形成增層結構 15 於該晶片 11 之主動面 11a 與該封裝膠體 13 之第一表面 13a 上。該增層結構 15 係具有至少一介電層 151、複數形成於該介電層 151 內之導電盲孔 152、及至少一形成於該介電層 151 上之線路層 153，且該線路層 153 係具有複數電性接觸墊 154。

如 1E 圖所示，形成絕緣保護層 16 於該增層結構 15 上，並形成複數凸塊底下金屬層 161 於該絕緣保護層 16 上以電性連接該些電性接觸墊 154。

如 1F 圖所示，形成一具有第二剝離層 171 之第三承載板 17 於該絕緣保護層 16 上。

如 1G 圖所示，將第 1F 圖之整體結構上下倒置，並移除該第二承載板 14，且去除該第二剝離層 171 以移除該第三承載板 17，再形成複數鋸球 18 於該些凸塊底下金屬層 161 上，藉此形成半導體封裝件 1。

上述習知技術之缺點在於：該些導通球 12 之寬度 W1 較寬，以致其無法用於具有精細間距(fine pitch)之半導體封裝件 1 上。再者，該半導體封裝件 1 之製程中需使用到第三承載板 17，亦會增加承載板之成本。另外，該晶片 11 容易受到該封裝膠體 13 之衝擊、壓合或作用力而產生位移。

因此，如何克服上述習知技術的問題，實已成目前亟欲解決的課題。

### 【發明內容】

本發明係提供一種半導體封裝件，其包括：基底層，係具有相對之第一表面與第二表面、及貫穿該第一表面與第二表面之容置部；複數導電柱，係形成於該基底層之第二表面上，各該導電柱係具有相對之第一端部與第二端部，且該第二端部係遠離該基底層之第二表面；半導體元件，係容置於該基底層之容置部內，並具有相對之主動面與被動面，且該主動面係外露於該基底層之第一表面；以及封裝膠體，係形成於該基底層之第二表面上以包覆該些導電柱及該半導體元件，並具有相對之第三表面與第四表面，且該些導電柱之第二端部外露出該封裝膠體之第四表面。

該基底層可為介電層、絕緣層、中介層、基板或另一封裝膠體。該導電柱可為圓柱體、橢圓柱體、方形柱體、多邊形柱體或球形柱體，且形成該導電柱之材質可為金、銀、銅、錫、鎳或其合金。

該半導體封裝件可包括晶種層，係形成於該導電柱之第一端部上或該導電柱與該基底層之間。

本發明另提供一種半導體封裝件之製法，其包括：提供一具有相對之第一表面與第二表面、及貫穿該第一表面與第二表面之容置部之基底層；形成複數具有相對之第一端部與第二端部之導電柱於該基底層之第二表面上，且該第二

端部係遠離該基底層之第二表面；將具有相對之主動面與被動面之半導體元件容置於該基底層之容置部內，且該主動面係外露於該基底層之第一表面；以及形成一具有相對之第三表面與第四表面之封裝膠體於該基底層之第二表面上以包覆該些導電柱及該半導體元件，其中，該些導電柱之第二端部並外露出該封裝膠體之第四表面。

形成該些導電柱前，可包括下列步驟：形成該具有該容置部之基底層於一第一承載板上；形成一具有複數貫穿孔之阻層於該基底層之第二表面上及對應該容置部之第一承載板上；填充導電材料於該些貫穿孔內以形成該些導電柱於該基底層之第二表面上；以及移除該阻層以外露出該些導電柱。

該半導體封裝件之製法可包括：形成晶種層於該基底層之第二表面、該容置部之壁面與該第一承載板之第一剝離層上。

形成該些導電柱之前的製程可包括：形成該具有該容置部與複數通孔之基底層於一第一承載板上；形成具有複數貫穿孔之阻層於該基底層之第二表面上及該對應容置部之第一承載板上，其中，該些貫穿孔係分別對應該些通孔；填充導電材料於該些通孔與該些貫穿孔內以形成該些導電柱於該第一承載板上，其中，部分該導電柱係嵌埋於該基底層之通孔內；以及移除該阻層以外露出該導電柱未嵌埋於該基底層之通孔內之部分。

該半導體封裝件之製法可包括：形成晶種層於該基底

層之第二表面、該容置部之壁面、該些通孔之壁面與部分該第一承載板之第一剝離層上。

該半導體封裝件之製法可包括：自該第四表面薄化該封裝膠體以外露出該些導電柱之第二端部。

該半導體封裝件及其製法可包括：形成第一線路層於該封裝膠體之第四表面上以電性連接該些導電柱之第二端部，其中，該第一線路層具有複數第一電性接觸墊。

該半導體封裝件及其製法可包括：形成第一絕緣保護層於該封裝膠體之第四表面上以包覆該第一線路層，其中，該第一絕緣保護層係具有複數第一開孔以分別外露出該些第一電性接觸墊。

該半導體封裝件之製法可包括：將具有第二剝離層之第二承載板設置於該第一絕緣保護層上，供該第二剝離層包覆該第一絕緣保護層及該些外露於該第一開孔之第一電性接觸墊。

該半導體封裝件及其製法可包括：設置半導體裝置於該第一絕緣保護層上，且該半導體裝置透過複數導電元件分別電性連接該些外露於該第一開孔之第一電性接觸墊。

該半導體封裝件及其製法可包括：形成複數通孔於該基底層中，以分別外露出該些導電柱之第一端部。

該半導體封裝件及其製法可包括：形成增層結構於該基底層之第一表面與該半導體元件之主動面上，並電性連接該增層結構至該些導電柱之第一端部及該半導體元件之鋸墊，其中，該增層結構係具有至少一介電層、複數導電

盲孔及至少一第二線路層，且該第二線路層係具有複數第二電性接觸墊。

該介電層係形成於該基底層之第一表面與該半導體元件之主動面上，最內層之該些導電盲孔係分別電性連接該些導電柱之第一端部，且該第二線路層係電性連接該些導電盲孔。

該半導體封裝件及其製法可包括：形成第二絕緣保護層於最外層之該介電層與該第二線路層上，其中，該第二絕緣保護層係具有複數第二開孔以分別外露出最外層之該些第二電性接觸墊。

該半導體封裝件及其製法可包括：將複數凸塊底下金屬層分別形成於該些外露於該第二開孔之第二電性接觸墊上；以及形成複數鋸球於該些凸塊底下金屬層上。

該基底層可具有複數貫穿該第一表面與該第二表面之通孔，供各該導電柱之一部分嵌埋於該基底層之對應通孔中，且該導電柱之第一端部係外露於該基底層之第一表面。

該半導體封裝件之製法可包括：形成黏著層於該半導體元件與該基底層之間的間隙內。

由上可知，本發明之半導體封裝件及其製法中，主要是提供一具有容置部之基底層，並將複數導電柱形成於該基底層上、或將該些導電柱之一部分嵌埋於該基底層之通孔內，且將半導體元件容置於該基底層之容置部內，再以封裝膠體包覆該些導電柱及該半導體元件。

因此，本發明可用於具有精細間距之導電柱之半導體

封裝件上，加上該半導體封裝件之製程中無須使用到第三承載板，故能降低承載板之成本。

同時，該些導電柱嵌埋於該封裝膠體內之長度相對較短，從而減少該些導電柱受到該封裝膠體之衝擊、壓合或作用力而發生受損、彎折或傾斜之情形。

另外，該半導體元件可直接嵌入該基底層之容置部內，或再以該黏著層固定該半導體元件之位置，進而避免該半導體元件受到該封裝膠體之衝擊、壓合或作用力而產生位移。

### **【圖式簡單說明】**

第 1A 圖至第 1G 圖係繪示習知技術之半導體封裝件及其製法之剖視示意圖；

第 2A 圖至第 2R 圖係繪示本發明之半導體封裝件及其製法之第一實施例之剖視示意圖；以及

第 3A 圖至第 3R 圖係繪示本發明之半導體封裝件及其製法之第二實施例之剖視示意圖，其中，第 3G' 圖為第 3G 圖之另一態樣。

### **【實施方式】**

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例

關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。

同時，本說明書中所引用之如「上」、「一」、「第一」、「第二」、「表面」、「主動面」、「被動面」、「端部」等用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 圖至第 2R 圖係繪示本發明之半導體封裝件 2 及其製法之第一實施例之剖視示意圖。

如第 2A 圖所示，提供一第一承載板 20 且其可具有第一剝離層 201，該第一剝離層 201 可為離型膜 (release film)、膠片或黏著層等。

如第 2B 圖所示，形成基底層 21 於該第一剝離層 201 上。在其他實施例中，若該第一承載板 20 未具有該第一剝離層 201，則可直接形成該基底層 21 於該第一承載板 20 上。

該基底層 21 係具有相對之第一表面 21a 與第二表面 21b、及貫穿該第一表面 21a 與第二表面 21b 之容置部 211(如開孔)，該第一表面 21a 係面向該第一剝離層 201，該容置部 211 係具有寬度 W2 並外露出該基底層 21 之壁面 212 及部分該第一剝離層 201。

該基底層 21 可為介電層、絕緣層、中介層、基板或封裝膠體等，且該介電層之材質可為聚醯亞胺

(Polyimide, PI)、苯並環丁烯(Benezocyclobutene, BCB)或聚對二唑苯(Polybenzoxazole, PBO)等，但不以此為限。

如第 2C 圖所示，以濺鍍或其他方式，形成晶種層(seed layer)22 於該基底層 21 之第二表面 21b、該容置部 211 之壁面 212 與第一剝離層 201 上。該晶種層 22 可為導電層或濺鍍材料層等。

如第 2D 圖所示，形成阻層 23 於該基底層 21 之第二表面 21b 及該容置部 211 之第一剝離層 201 上，並以雷射鑽孔或蝕刻等方式形成複數具有寬度 W3 之貫穿孔 231 於該阻層 23 內，以藉由該些貫穿孔 231 分別外露出部分該第二表面 21b 之晶種層 22。

如第 2E 圖所示，填充導電材料於該些貫穿孔 231 內，以形成複數具有長度(高度)L2、寬度 W3 及相對之第一端部 24a 與第二端部 24b 之導電柱 24 於該基底層 21 之第二表面 21b 之晶種層 22 上，且該第二端部 24b 係遠離該基底層 21 之第二表面 21b。

該導電柱 24 之長度 L2 可小於習知技術第 1B 圖之導通球 12 之長度 L1，但不以此為限。而且，該導電柱 24 可為圓柱體、橢圓柱體、方形柱體、多邊形柱體或球形柱體等，形成該導電柱 24 之材質可為金、銀、銅、錫、鎳或其合金等。

如第 2F 圖所示，移除第 2E 圖之阻層 23 以外露出該些導電柱 24。接著，移除該些導電柱 24 之第一端部 24a 以外之晶種層 22，以外露出該基底層 21 之部分第二表面

21b、該容置部 211 之壁面 212 及該容置部 211 之第一剝離層 201，使得該晶種層 22 僅形成於該些導電柱 24 之第一端部 24a 與該基底層 21 之第二表面 21b 之間。

如第 2G 圖所示，將具有複數鋸墊 251、相對之主動面 25a 與被動面 25b 之半導體元件 25(如晶片)容置於該容置部 211 內並設置於該第一剝離層 201 上，該些鋸墊 251 與該主動面 25a 係外露於該基底層 21 之第一表面 21a。該半導體元件 25 之寬度 W4 可等於或近似於該容置部 211 之寬度 W2，使得該半導體元件 25 與該基底層 21 之間可不必具有第 3G 圖之間隙 351，但不以此為限。

如第 2H 圖所示，形成一具有相對之第三表面 26a 與第四表面 26b 之封裝膠體 26 於該基底層 21 之第二表面 21b 上，以藉由該封裝膠體 26 包覆該些導電柱 24 及該半導體元件 25。

如第 2I 圖所示，以研磨或其他方式，自該第四表面 26b 薄化該封裝膠體 26 以外露出該些導電柱 24 之第二端部 24b。

如第 2J 圖所示，形成第一線路層 27 於該封裝膠體 26 之第四表面 26b 上以電性連接該些導電柱 24 之第二端部 24b，且該第一線路層 27 係具有複數第一電性接觸墊 271。

如第 2K 圖所示，形成第一絕緣保護層 28 於該封裝膠體 26 之第四表面 26b 上以包覆該第一線路層 27，其中，該第一絕緣保護層 28 係具有複數第一開孔 281 以分別外露出該些第一電性接觸墊 271。該第一絕緣保護層 28 可為防焊

層(solder mask)或絕緣層等。

如第 2L 圖所示，設置一具有第二剝離層 291 之第二承載板 29 於該第一絕緣保護層 28 上，供該第二剝離層 291 包覆該第一絕緣保護層 28 及該些外露於該第一開孔 281 之第一電性接觸墊 271。該第二剝離層 291 可為離型膜、膠片或黏著層等。

接著，去除第 2K 圖之第一剝離層 201 以移除第一承載板 20，並外露出該基底層 21 之第一表面 21a、與該半導體元件 25 之主動面及鋸墊 251。

如第 2M 圖所示，對第 2L 圖之整體結構上下倒置，並形成複數通孔 213 於該基底層 21 內，以藉由該些通孔 213 分別外露出該些導電柱 24 之第一端部 24a 或其上之晶種層 22。

如第 2N 圖所示，形成增層結構 30 於該基底層 21 之第一表面 21b 與該半導體元件 25 之主動面 25a 上，並電性連接該增層結構 30 至該些導電柱 24 之第一端部 24a 之晶種層 22 及該半導體元件 25 之鋸墊 251。

該增層結構 30 可具有至少一(如二層)介電層 301、複數(如三層)導電盲孔 302 及至少一(如三層)第二線路層 303，且該第二線路層 303 係具有複數第二電性接觸墊 304。

在本實施例中，最內層之該介電層 301 係形成於該基底層 21 之第一表面 21a 與該半導體元件 25 之主動面 25a 上，最內層之該些導電盲孔 302 係分別電性連接該些導電柱 24 之第一端部 24a 之晶種層 22，該第二線路層 303 係電

性連接該些導電盲孔 302。

如第 20 圖所示，形成第二絕緣保護層 31 於最外層之該介電層 301 與該第二線路層 303 上，且該第二絕緣保護層 31 係具有複數第二開孔 311 以分別外露出最外層之該些第二電性接觸墊 304。接著，形成複數凸塊底下金屬層 32 於該些外露於該第二開孔 311 之第二電性接觸墊 304 上。

如第 2P 圖所示，形成複數鋸球 33 於該些凸塊底下金屬層 32 上。同時，去除第 20 圖之第二剝離層 291 以移除該第二承載板 29，進而外露出該第一絕緣保護層 28 與該些第一開孔 281 之第一電性接觸墊 271。

如第 2Q 圖所示，依據第 2P 圖之複數切割線 S 對其整體結構進行切單(singualtion)作業，並將切單後之結構上下倒置，以形成複數個如第 2Q 圖所示之結構。

如第 2R 圖所示，設置半導體裝置 34(如晶片)於該第一絕緣保護層 28 上，且該半導體裝置 34 透過複數導電元件 341(如鋸球或鋸線)分別電性連接該些外露於該第一開孔 281 之第一電性接觸墊 271，藉此形成半導體封裝件 2。

第 3A 圖至第 3R 圖係繪示本發明之半導體封裝件 2 及其製法之第二實施例之剖視示意圖，其中，第 3G' 圖為第 3G 圖之另一態樣。第 3A 圖至第 3R 圖之半導體封裝件 2 之製法係大致相同於上述第 2A 圖至第 2R 圖之半導體封裝件 2' 之製法，故相同處不再重覆敘述，其主要差異處如下：

在第 3B 圖中，形成具有一容置部 211 與複數通孔 213 之基底層 21 於第一承載板 20 之第一剝離層 201 上，且該

容置部 211 與該些通孔 213 均貫穿該基底層 21 之第一表面 21a 及第二表面 21b，以藉由該容置部 211 與該些通孔 213 分別外露出部分該第一剝離層 201。該容置部 211 與該些通孔 213 可以雷射鑽孔或蝕刻等方式形成之。

在第 3C 圖中，形成晶種層 22 於該基底層 21 之第二表面 21b、該容置部 211 之壁面 212、該些通孔 213 之壁面與部分該第一剝離層 201 上。

在第 3D 圖中，形成具有複數貫穿孔 231 之阻層 23 於該晶種層 22 上。該些貫穿孔 231 均具有寬度 W3 並分別對應該些通孔 213，且該些貫穿孔 231 可以雷射鑽孔或蝕刻等方式形成之。

在第 3E 圖中，填充導電材料於第 3D 圖之通孔 213 與貫穿孔 231 內以形成複數導電柱 24' 於該第一剝離層 201 之晶種層 22 上，且該導電柱 24' 之一部分(如下半部)係嵌埋於該基底層 21 之通孔 213 內。該導電柱 24' 之長度 L3 可等於習知技術第 1B 圖之導通球 12 之長度 L1，但不以此為限。

在第 3F 圖中，移除該阻層 23 以外露出該導電柱 24' 未嵌埋於該基底層 21 之通孔 213 內之部分(如上半部)。接著，移除該些導電柱 24' 以外之晶種層 22，以外露出該基底層 21 之部分第二表面 21b、該容置部 211 之壁面 212 及該容置部 211 之第一剝離層 201，使得該晶種層 22 僅形成於該些導電柱 24' 之第一端部 24a 與該第一剝離層 201 之間、以及該基底層 21 之壁面與該些導電柱 24' 之間。

在第 3G 圖中，形成黏著層 35 於該容置部 211 之第一剝離層 201 上，且該黏著層 35 可為液態膠體或黏著材料等。接著，設置半導體元件 25 於該黏著層 35 上，該半導體元件 25 之寬度 W4 可小於該容置部 211 之寬度 W2，使得該半導體元件 25 與該基底層 21 之間具有間隙 351。該間隙 351 可具有微小的間距，並作為該黏著層 35 黏合及固定該半導體元件 25 之用。

在第 3G' 圖中，係為上述第 3G 圖之另一態樣，且第 3G' 圖可先將該半導體元件 25 設置於該容置部 211 之第一剝離層 201 上。

在第 3H 圖中，可將 3G 圖之半導體元件 25 下壓以接觸該第一剝離層 201，使得該半導體元件 25 之主動面 25a 與鉸墊 251 外露於該基底層 21 之第一表面 21a，並使該黏著層 35 改移至該半導體元件 25 與該基底層 21 之間的間隙 351 內。接著，對該黏著層 35 進行固化作業，以藉由該黏著層 35 貼合該半導體元件 25 至該基底層 21 之壁面 212。

或者，可直接於填充液態膠體(或黏著材料)於第 3G' 圖之間隙 351 內，並對該液態膠體進行固化作業以形成第 3H 圖之黏著層 35，以藉由該黏著層 35 貼合該半導體元件 25 至該基底層 21 之壁面 212。

在第 3I 圖中，可將封裝膠體 26 之第四表面 26b 直接齊平於該些導電柱 24' 之第二端部 24b，故可不必進行上述第 2H 圖至第 2I 圖之薄化作業。而且，另一部分該導電柱 24' 係嵌埋於該封裝膠體 26 內，使得該封裝膠體 26 內之部

分該導電柱 24' 之長度 L4 小於該導電柱 24' 之長度 L3，且該導電柱 24' 之長度 L3 可等於習知技術第 1G 圖之導通球 12 之長度 L1，藉此免除或減少本發明之導電柱 24' 之受損情形。

在第 3M 圖中，可將該些導電柱 24' 之第一端部 24a 之晶種層 22 直接外露於該基底層 21 之第一表面 21a，故可不必形成如第 2M 圖之複數通孔 213 於該基底層 21 內。

在第 3N 圖中，可形成介電層 301 於該基底層 21 之第一表面 21a、該半導體元件 25 之主動面 25a 與該黏著層 35 上，最內層之導電盲孔 302 係形成於該介電層 301 內以電性連接該些導電柱 24' 之第一端部 24a 之晶種層 22，該第二線路層 303 係形成於該介電層 301 上以電性連接該些導電盲孔 302。

本發明亦提供一種如第 2R 圖所示之半導體封裝件 2。該半導體封裝件 2 主要包括基底層 21、複數導電柱 24、半導體元件 25 以及封裝膠體 26。

該基底層 21 係具有相對之第一表面 21a 與第二表面 21b、及貫穿該第一表面 21a 與第二表面 21b 之容置部 211(如開孔)。而且，該基底層 21 可為介電層、絕緣層、中介層、基板或封裝膠體等，該介電層之材質可為聚醯亞胺(PI)、苯並環丁烯(BCB)或聚對二噁苯(PBO)等。

該些導電柱 24 係分別形成於該基底層 21 之第二表面 21b 上，各該導電柱 24 係具有相對之第一端部 24a 與第二端部 24b，該第二端部 24b 係遠離該基底層 21 之第二表面

21b。該導電柱 24 可具有長度(高度)L2 且其可小於習知技術第 1G 圖之導通球 12 之長度(高度)L1，但不以此為限。該導電柱 24 可為圓柱體、橢圓柱體、方形柱體、多邊形柱體或球形柱體等，形成該導電柱 24 之材質可為金、銀、銅、錫、鎳或其合金等。

該半導體元件 25 係容置於該基底層 21 之容置部 211 內，並具有相對之主動面 25a 與被動面 25b，且該主動面 25a 係外露於該基底層 21 之第一表面 21a。

該封裝膠體 26 係形成於該基底層 21 之第二表面 21b 上以包覆該些導電柱 24 及該半導體元件 25，並具有相對之第三表面 26a 與第四表面 26b，且該些導電柱 24 之第二端部 24b 外露出該封裝膠體 26 之第四表面 26b。

該半導體封裝件 2 可包括晶種層 22，係形成於該導電柱 24 之第一端部 24a 上，且該晶種層 22 可為導電層或濺鍍材料層等。同時，該基底層 21 可具有複數通孔 213 以分別外露出該些導電柱 24 之第一端部 24a 之晶種層 22。

該半導體封裝件 2 可包括第一線路層 27，係形成於該封裝膠體 26 之第四表面 26b 上以電性連接該些導電柱 24 之第二端部 24b，且該第一線路層 27 係具有複數第一電性接觸墊 271。

該半導體封裝件 2 可包括第一絕緣保護層 28，係形成於該封裝膠體 26 之第四表面 26b 上以包覆該第一線路層 27，且該第一絕緣保護層 28 係具有複數第一開孔 281 以分別外露出該些第一電性接觸墊 271。

該半導體封裝件 2 可包括半導體裝置 34，係設置於該第一絕緣保護層 28 上，並透過複數導電元件 341(如鋸球或鋸線)分別電性連接該些外露於該第一開孔 281 之第一電性接觸墊 271。

該半導體封裝件 2 可包括增層結構 30，係形成於該基底層 21 之第一表面 21a 與該半導體元件 25 之主動面 25a 上，並電性連接該些導電柱 24 之第一端部 24a 及該半導體元件 25 之鋸墊 251。該增層結構 30 可具有至少一介電層 301、複數導電盲孔 302 及至少一第二線路層 303，且該第二線路層 303 係具有複數第二電性接觸墊 304。

在本實施例中，該介電層 301 係形成於該基底層 21 之第一表面 21a 與該半導體元件 25 之主動面 25a 上，最內層之該些導電盲孔 302 係形成於該基底層 21 之通孔 213 內，以藉由該些導電盲孔 302 分別電性連接該些導電柱 24 之第一端部 24a 之晶種層 22，且最內層之該第二線路層 303 係形成於基底層 21 之第一表面 21a 以電性連接該些導電盲孔 302。

該半導體封裝件 2 可包括第二絕緣保護層 31，係形成於最外層之該介電層 301 與該第二線路層 303 上，且該第二絕緣保護層 31 係具有複數第二開孔 311 以分別外露出最外層之該些第二電性接觸墊 304。

該半導體封裝件 2 可包括複數凸塊底下金屬層 32 與複數鋸球 33，該些凸塊底下金屬層 32 係分別形成於該些外露於該第二開孔 311 之第二電性接觸墊 304 上，且該些鋸球

33 係分別形成於該些凸塊底下金屬層 32 上。

本發明另提供一種如第 3R 圖所示之半導體封裝件 2'。第 3R 圖之半導體封裝件 2'係大致相同於上述第 2R 圖之半導體封裝件 2，故相同處不再重覆敘述，其主要差異處如下：

在第 3R 圖中，該基底層 21 可具有複數貫穿基底層 21 之第一表面 21a 與第二表面 21b 之通孔 213，部分該導電柱 24'係嵌埋於該基底層 21 之通孔 213 內，另一部分該導電柱 24'係嵌埋於該封裝膠體 26 內，且該導電柱 24'之第一端部 24a 係外露於該基底層 21 之第一表面 21a。該晶種層 22 係形成於該導電柱 24'之第一端部 24a、及該基底層 21 與該導電柱 24'之間。

因該導電柱 24'被嵌埋於該封裝膠體 26 內之長度 L4 係小於該導電柱 24'之長度 L3，且該導電柱 24'之長度 L3 可等於習知技術第 1G 圖之導通球 12 之長度 L1，藉以免除或減少本發明之導電柱 24'之受損情形。

該介電層 301 形成於該基底層 21 之第一表面 21a、該半導體元件 25 之主動面 25a 與該黏著層 35 上，最內層之導電盲孔 302 係形成於該介電層 301 內以電性連接該些導電柱 24'之第一端部 24a 之晶種層 22，該第二線路層 303 係形成於該介電層 301 上以電性連接該些導電盲孔 302。

該半導體封裝件 2'可包括黏著層 35，係形成於該半導體元件 25 與該基底層 21 之間的間隙 351 內，見第 3G 圖或第 3G'圖。

由上可知，本發明之半導體封裝件及其製法中，主要是提供一具有容置部之基底層，並將複數導電柱形成於該基底層上、或將該些導電柱之一部分嵌埋於該基底層之通孔內，且將半導體元件容置於該基底層之容置部內，再以封裝膠體包覆該些導電柱及該半導體元件。

因此，本發明可用於具有精細間距之導電柱之半導體封裝件上，加上該半導體封裝件之製程中無須使用到第三承載板，故能降低承載板之成本。

同時，該些導電柱嵌埋於該封裝膠體內之長度相對較短，從而減少該些導電柱受到該封裝膠體之衝擊、壓合或作用力而發生受損、彎折或傾斜之情形。

另外，該半導體元件可直接嵌入該基底層之容置部內，或再以該黏著層固定該半導體元件之位置，進而避免該半導體元件受到該封裝膠體之衝擊、壓合或作用力而產生位移。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如所提出之申請專利範圍所列。

### 【符號說明】

1、2、2' 半導體封裝件

10、20 第一承載板

101、201 第一剝離層

11 晶片

11a、25a	主動面
11b、25b	被動面
111、251	鍥墊
12	導通球
12a、24a	第一端部
12b、24b	第二端部
13、26	封裝膠體
13a、21a	第一表面
13b、21b	第二表面
14、29	第二承載板
15、30	增層結構
151、301	介電層
152、302	導電盲孔
153	線路層
154	電性接觸墊
16	絕緣保護層
161、32	凸塊底下金屬層
17	第三承載板
171、291	第二剝離層
18、33	鍥球
21	基底層
211	容置部
212	壁面
213	通孔

22	晶種層
23	阻層
231	貫穿孔
24、24'	導電柱
25	半導體元件
26a	第三表面
26b	第四表面
27	第一線路層
271	第一電性接觸墊
28	第一絕緣保護層
281	第一開孔
303	第二線路層
304	第二電性接觸墊
31	第二絕緣保護層
311	第二開孔
34	半導體裝置
341	導電元件
35	黏著層
351	間隙
L1、L2、L3	長度
S	切割線
W1、W2、W3、W4	寬度

# 申請專利範圍

1. 一種半導體封裝件，其包括：

基底層，係具有相對之第一表面與第二表面、及貫穿該第一表面與第二表面之容置部；

複數導電柱，係形成於該基底層之第二表面上，各該導電柱係具有相對之第一端部與第二端部，且該第二端部係遠離該基底層之第二表面；

半導體元件，係容置於該基底層之容置部內，並具有相對之主動面與被動面，且該半導體元件之主動面係齊平於該基底層之第一表面；以及

封裝膠體，係形成於該基底層之第二表面上以包覆該些導電柱及該半導體元件，並具有相對之第三表面與第四表面，且該些導電柱之第二端部外露出該封裝膠體之第四表面。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該基底層係為介電層、絕緣層、中介層、基板或另一封裝膠體。

3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該導電柱係為圓柱體、橢圓柱體、方形柱體、多邊形柱體或球形柱體，且形成該導電柱之材質係為金、銀、銅、錫、鎳或其合金。

4. 如申請專利範圍第 1 項所述之半導體封裝件，復包括晶種層，係形成於該導電柱之第一端部上或該導電柱與該基底層之間。

5. 如申請專利範圍第 1 項所述之半導體封裝件，復包括第一線路層，係形成於該封裝膠體之第四表面上以電性連接該些導電柱之第二端部，且該第一線路層係具有複數第一電性接觸墊。
6. 如申請專利範圍第 5 項所述之半導體封裝件，復包括第一絕緣保護層，係形成於該封裝膠體之第四表面上以包覆該第一線路層，且該第一絕緣保護層係具有複數第一開孔以分別外露出該些第一電性接觸墊。
7. 如申請專利範圍第 6 項所述之半導體封裝件，復包括半導體裝置，係設置於該第一絕緣保護層上，並透過複數導電元件分別電性連接該些外露於該第一開孔之第一電性接觸墊。
8. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該基底層復具有複數通孔以分別外露出該些導電柱之第一端部。
9. 如申請專利範圍第 1 項所述之半導體封裝件，復包括增層結構，係形成於該基底層之第一表面與該半導體元件之主動面上，並電性連接該些導電柱之第一端部及該半導體元件之鍥墊，該增層結構係具有至少一介電層、複數導電盲孔及至少一第二線路層，且該第二線路層係具有複數第二電性接觸墊。
10. 如申請專利範圍第 9 項所述之半導體封裝件，其中，該介電層係形成於該基底層之第一表面與該半導體元件之主動面上，最內層之該些導電盲孔係分別電性連

接該些導電柱之第一端部，且該第二線路層係電性連接該些導電盲孔。

11. 如申請專利範圍第 10 項所述之半導體封裝件，復包括第二絕緣保護層，係形成於最外層之該介電層與該第二線路層上，且該第二絕緣保護層係具有複數第二開孔以分別外露出最外層之該些第二電性接觸墊。
12. 如申請專利範圍第 11 項所述之半導體封裝件，復包括複數凸塊底下金屬層與複數鋸球，該些凸塊底下金屬層係分別形成於該些外露於該第二開孔之第二電性接觸墊上，且該些鋸球係分別形成於該些凸塊底下金屬層上。
13. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該基底層復具有複數貫穿該第一表面與該第二表面之通孔，部分該導電柱係嵌埋於該基底層之通孔內，且該導電柱之第一端部係外露於該基底層之第一表面。
14. 如申請專利範圍第 1 項所述之半導體封裝件，復包括黏著層，係形成於該半導體元件與該基底層之間的間隙內。
15. 一種半導體封裝件之製法，其包括：

提供一具有相對之第一表面與第二表面、及貫穿該第一表面與第二表面之容置部之基底層；

形成複數具有相對之第一端部與第二端部之導電柱於該基底層之第二表面上，且該第二端部係遠離該基底層之第二表面；

將具有相對之主動面與被動面之半導體元件容置於該基底層之容置部內，且該半導體元件之主動面係齊平於該基底層之第一表面；以及

形成一具有相對之第三表面與第四表面之封裝膠體於該基底層之第二表面上以包覆該些導電柱及該半導體元件，其中，該些導電柱之第二端部並外露出該封裝膠體之第四表面。

16. 如申請專利範圍第 15 項所述之半導體封裝件之製法，其中，形成該些導電柱前，復包括下列步驟：

形成該具有該容置部之基底層於一第一承載板上；

形成一具有複數貫穿孔之阻層於該基底層之第二表面上及對應該容置部之第一承載板上；

填充導電材料於該些貫穿孔內以形成該些導電柱於該基底層之第二表面上；以及

移除該阻層以外露出該些導電柱。

17. 如申請專利範圍第 16 項所述之半導體封裝件之製法，復包括形成晶種層於該基底層之第二表面、該容置部之壁面與該第一承載板之第一剝離層上。

18. 如申請專利範圍第 15 項所述之半導體封裝件之製法，其中，形成該些導電柱前，復包括下列步驟：

形成該具有該容置部與複數通孔之基底層於一第一承載板上；

形成具有複數貫穿孔之阻層於該基底層之第二表面上及對應該容置部之第一承載板上，其中，該些貫穿

孔係分別對應該些通孔；

填充導電材料於該些通孔與該些貫穿孔內以形成該些導電柱於該第一承載板上，其中，部分該導電柱係嵌埋於該基底層之通孔內；以及

移除該阻層以外露出該導電柱未嵌埋於該基底層之通孔內之部分。

19. 如申請專利範圍第 18 項所述之半導體封裝件之製法，復包括形成晶種層於該基底層之第二表面、該容置部之壁面、該些通孔之壁面與部分該第一承載板之第一剝離層上。
20. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括自該第四表面薄化該封裝膠體以外露出該些導電柱之第二端部。
21. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括形成第一線路層於該封裝膠體之第四表面上以電性連接該些導電柱之第二端部，其中，該第一線路層具有複數第一電性接觸墊。
22. 如申請專利範圍第 21 項所述之半導體封裝件之製法，復包括形成第一絕緣保護層於該封裝膠體之第四表面上以包覆該第一線路層，其中，該第一絕緣保護層係具有複數第一開孔以分別外露出該些第一電性接觸墊。
23. 如申請專利範圍第 22 項所述之半導體封裝件之製法，復包括將具有第二剝離層之第二承載板設置於該第一絕緣保護層上，供該第二剝離層包覆該第一絕緣保護層

105年6月03日修正替換頁

第 103131117 號專利申請案  
105 年 6 月 03 日修正替換頁

及該些外露於該第一開孔之第一電性接觸墊。

24. 如申請專利範圍第 22 項所述之半導體封裝件之製法，復包括設置半導體裝置於該第一絕緣保護層上，且該半導體裝置透過複數導電元件分別電性連接該些外露於該第一開孔之第一電性接觸墊。
25. 如申請專利範圍第 24 項所述之半導體封裝件之製法，復包括形成複數通孔於該基底層中，以分別外露出該些導電柱之第一端部。
26. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括形成增層結構於該基底層之第一表面與該半導體元件之主動面上，並電性連接該增層結構至該些導電柱之第一端部及該半導體元件之鋸墊，其中，該增層結構係具有至少一介電層、複數導電盲孔及至少一第二線路層，且該第二線路層係具有複數第二電性接觸墊。
27. 如申請專利範圍第 26 項所述之半導體封裝件之製法，其中，該介電層係形成於該基底層之第一表面與該半導體元件之主動面上，最內層之該些導電盲孔係分別電性連接該些導電柱之第一端部，且該第二線路層係電性連接該些導電盲孔。
28. 如申請專利範圍第 27 項所述之半導體封裝件之製法，復包括形成第二絕緣保護層於最外層之該介電層與該第二線路層上，其中，該第二絕緣保護層係具有複數第二開孔以分別外露出最外層之該些第二電性接觸墊。

29. 如申請專利範圍第 28 項所述之半導體封裝件之製法，復包括：

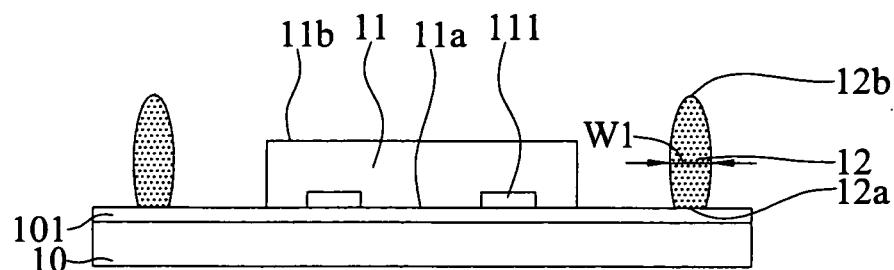
將複數凸塊底下金屬層分別形成於該些外露於該第二開孔之第二電性接觸墊上；以及  
形成複數鋸球於該些凸塊底下金屬層上。

30. 如申請專利範圍第 15 項所述之半導體封裝件之製法，其中，該基底層復具有複數貫穿該第一表面與該第二表面之通孔，供各該導電柱之一部分嵌埋於該基底層之對應通孔中，且該導電柱之第一端部係外露於該基底層之第一表面。

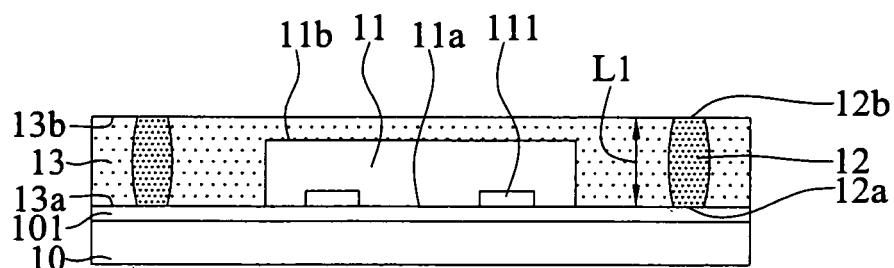
31. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括形成黏著層於該半導體元件與該基底層之間的間隙內。

105年6月3日修正替換頁

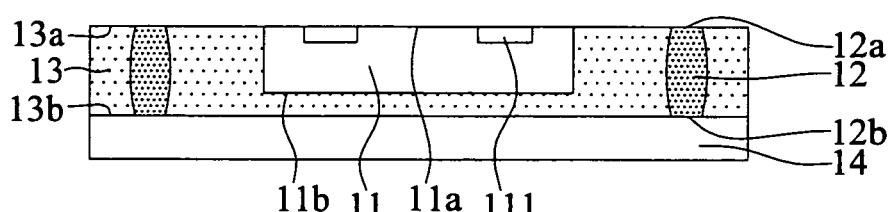
## 圖式



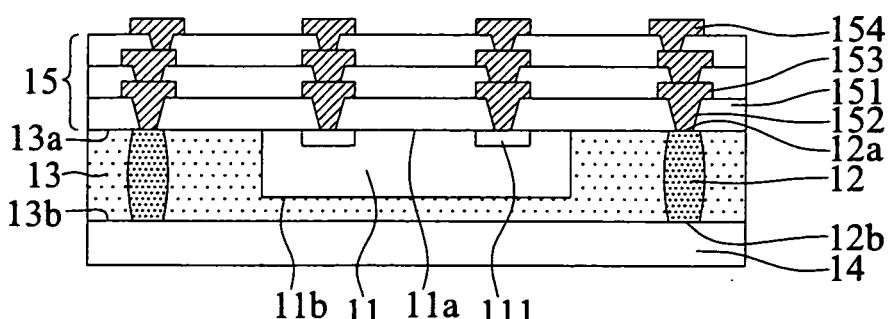
第1A圖



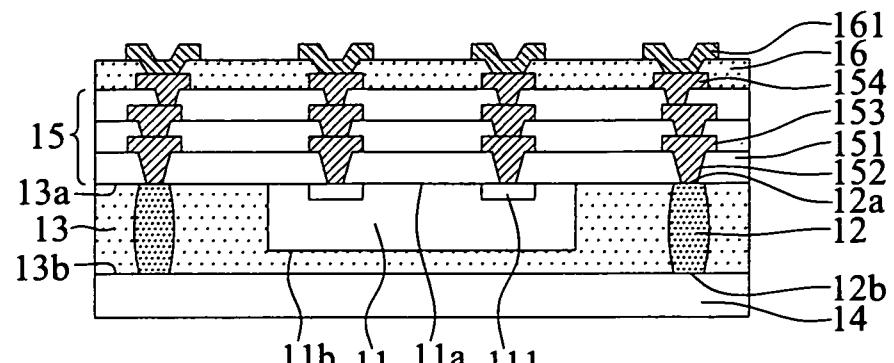
第1B圖



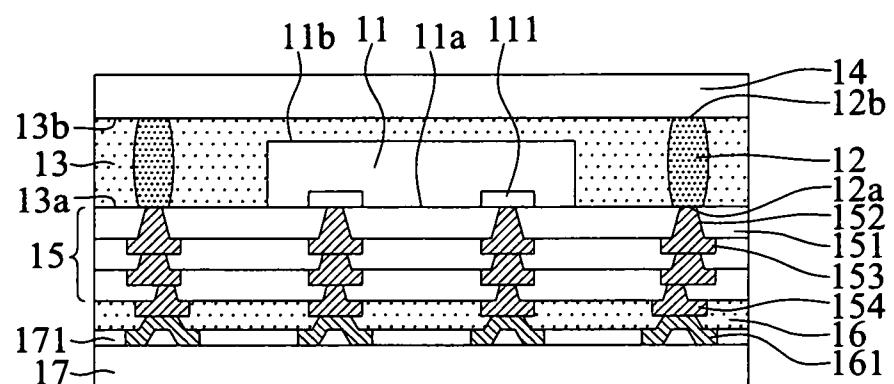
第1C圖



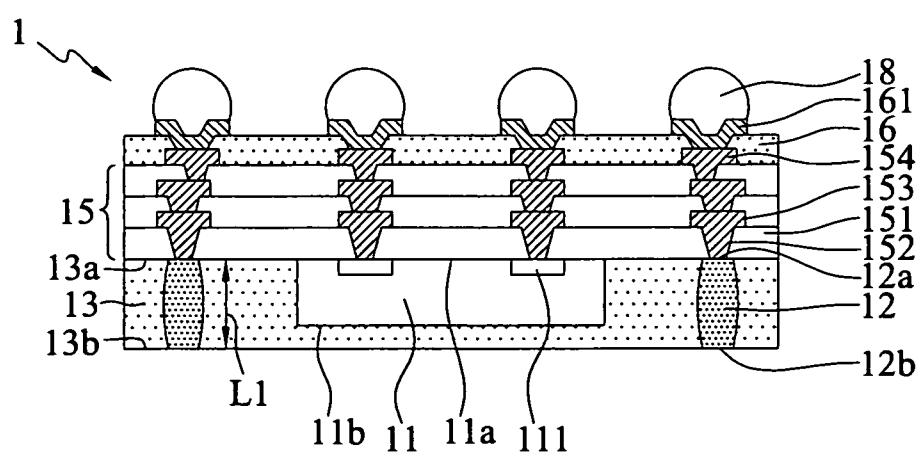
第1D圖



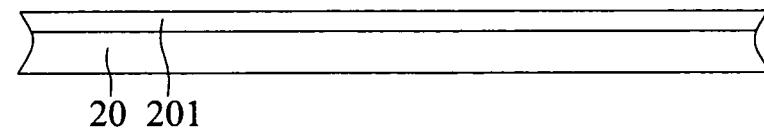
第1E圖



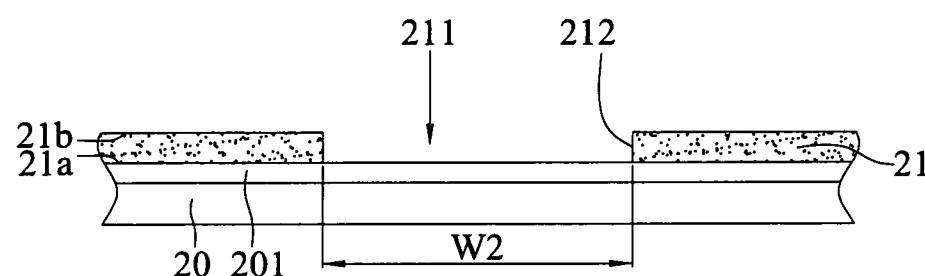
第1F圖



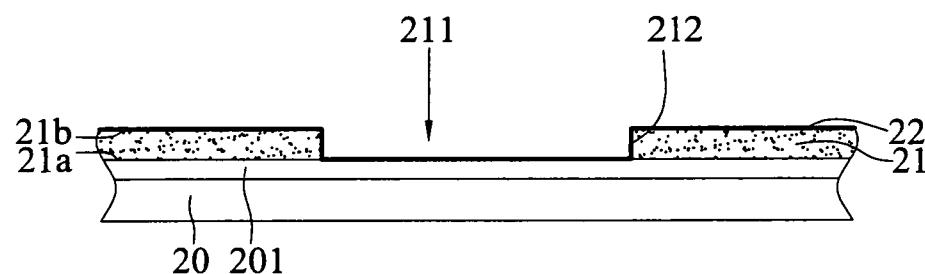
第1G圖



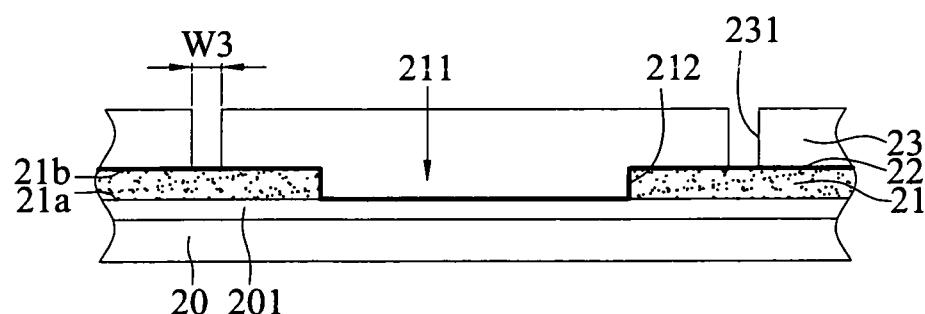
第2A圖



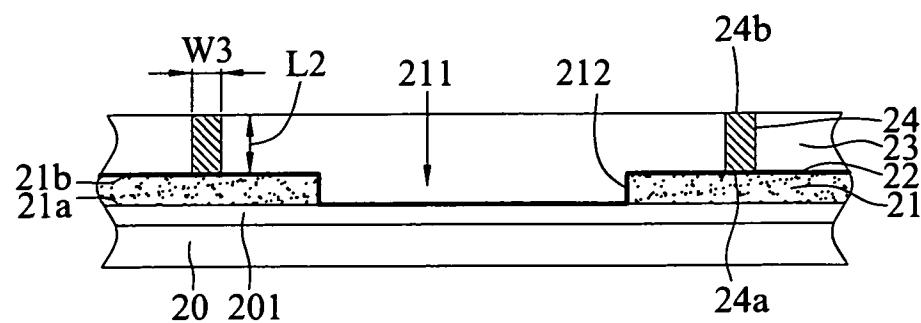
第2B圖



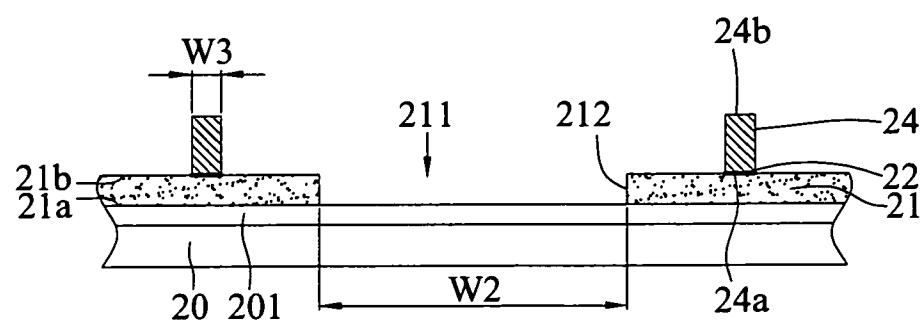
第2C圖



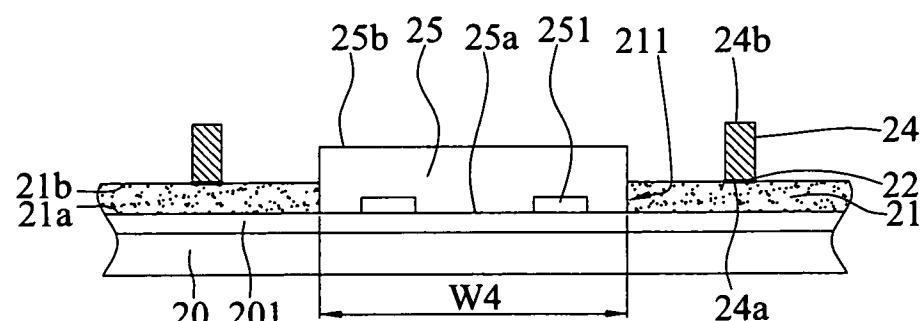
第2D圖



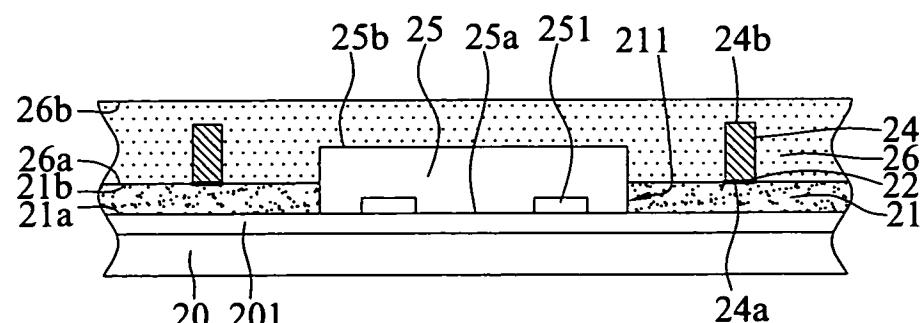
第2E圖



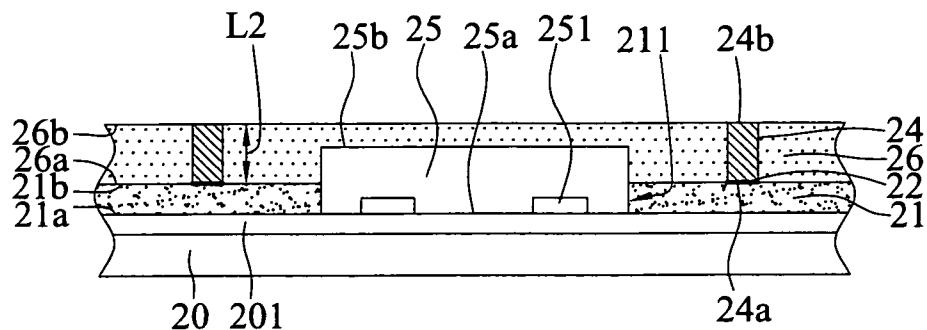
第2F圖



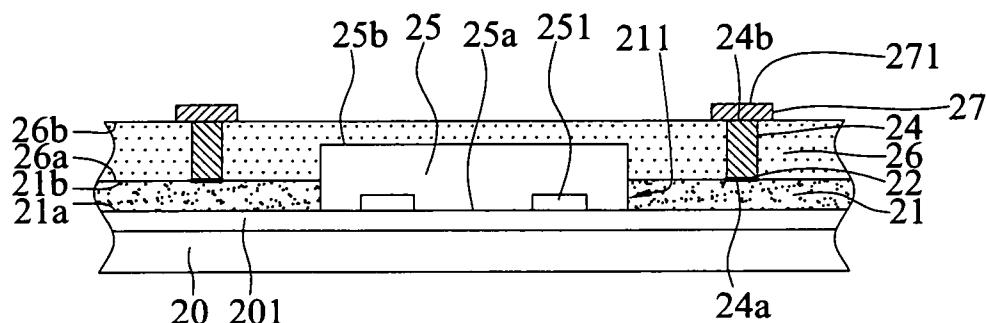
第2G圖



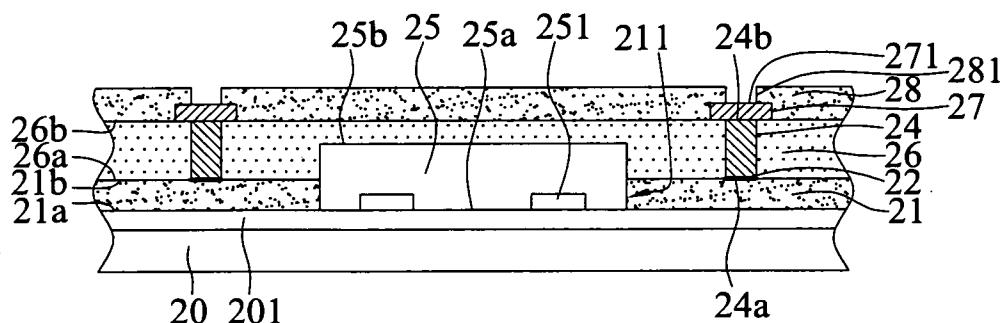
第2H圖



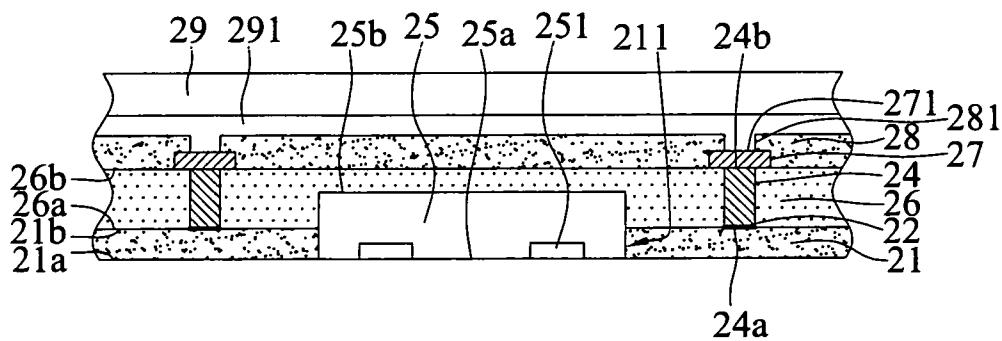
第2I圖



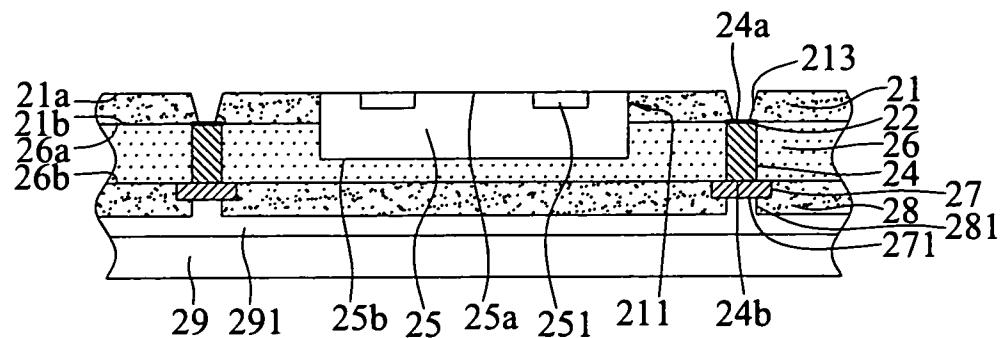
第2J圖



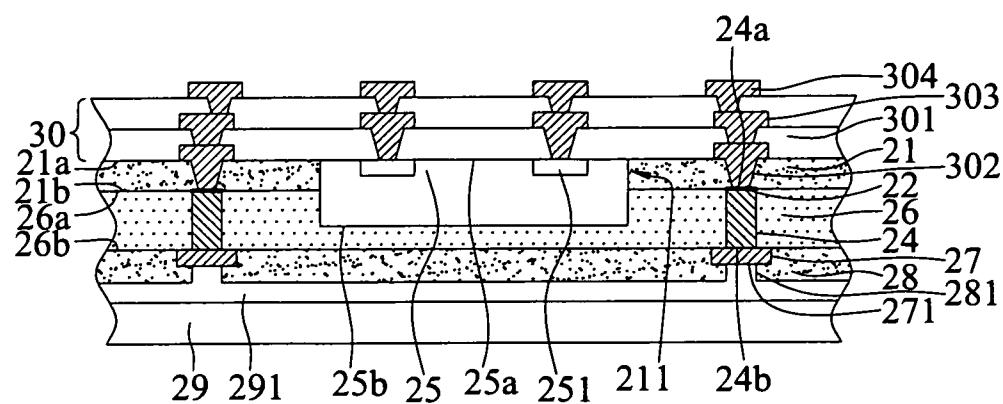
第2K圖



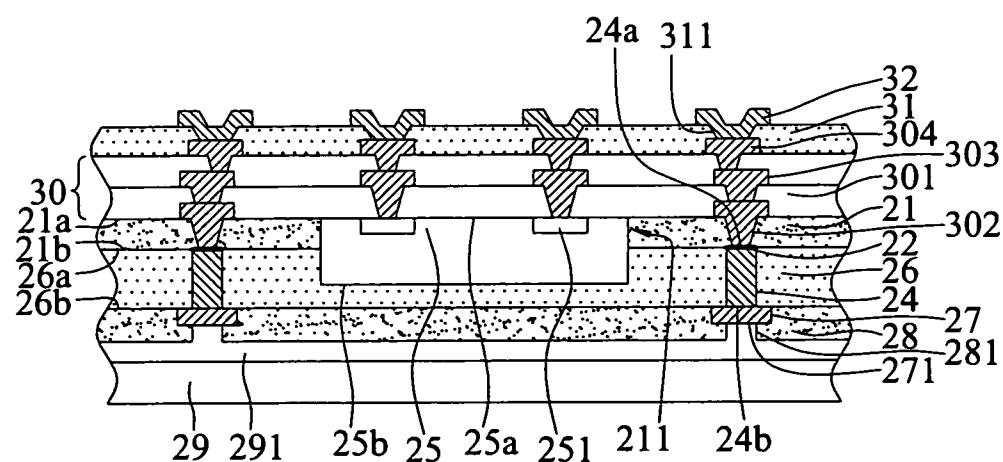
第2L圖



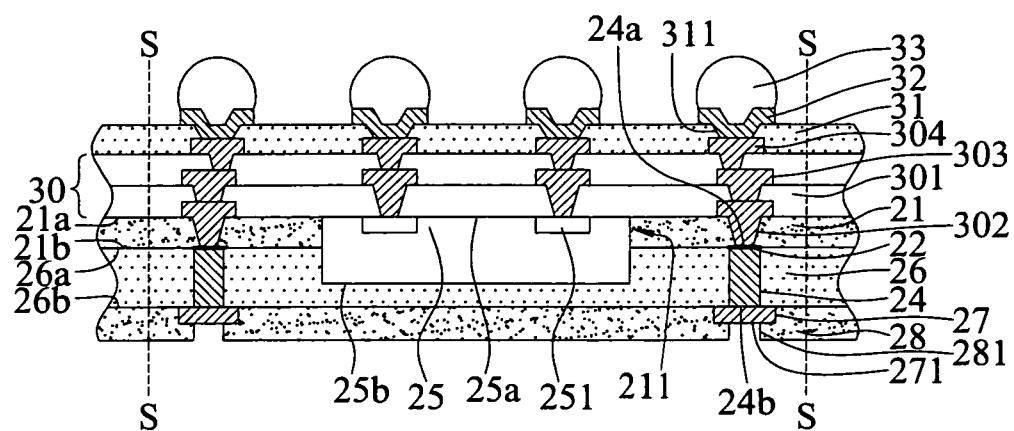
第2M圖



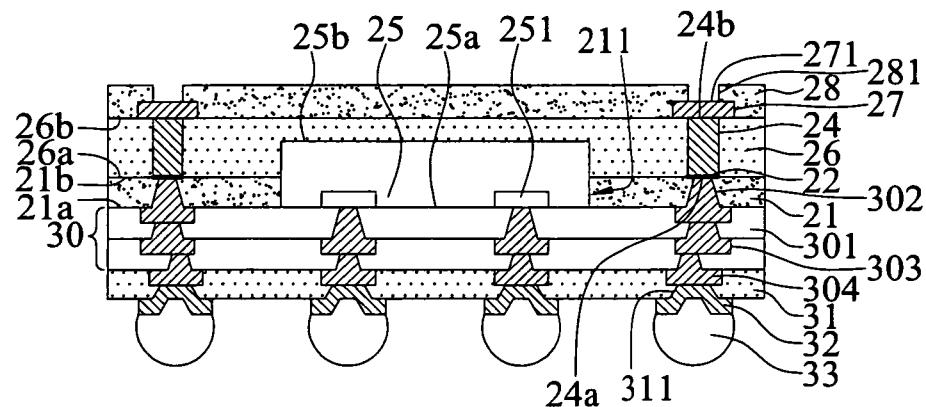
第2N圖



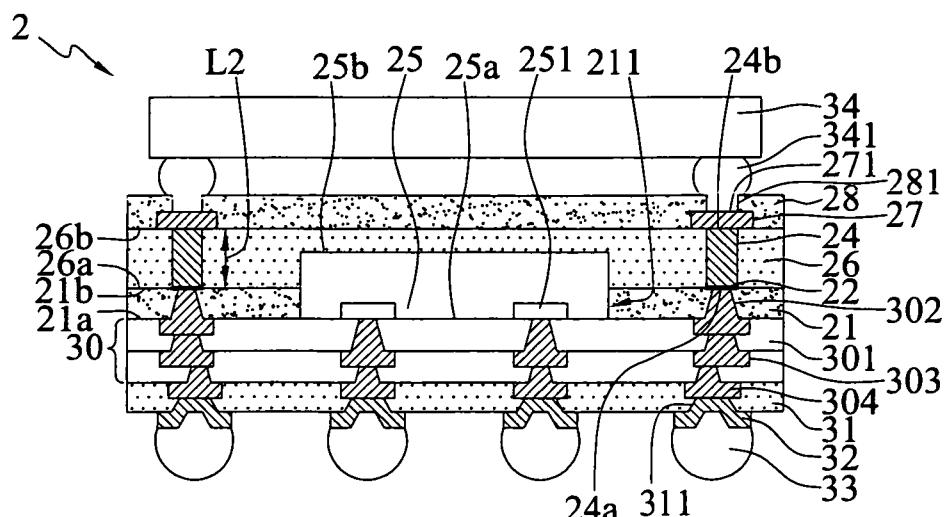
第2O圖



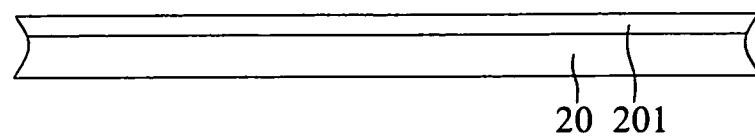
第2P圖



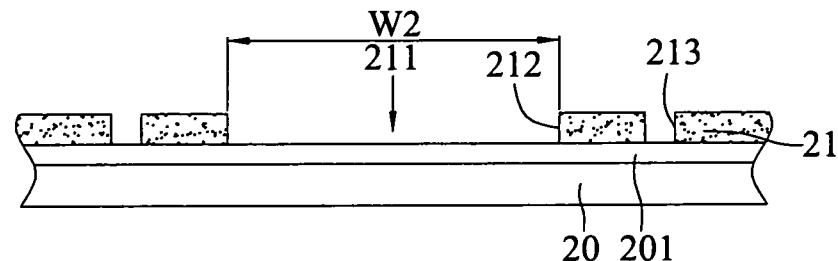
第2Q圖



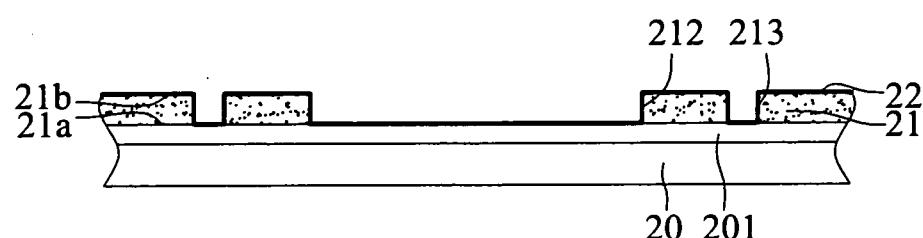
第2R圖



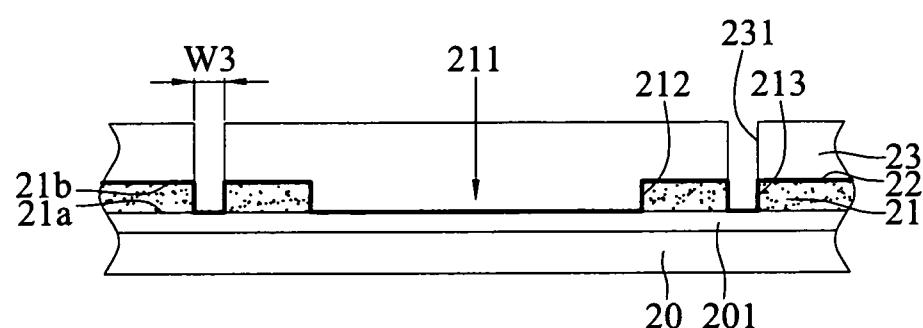
第3A圖



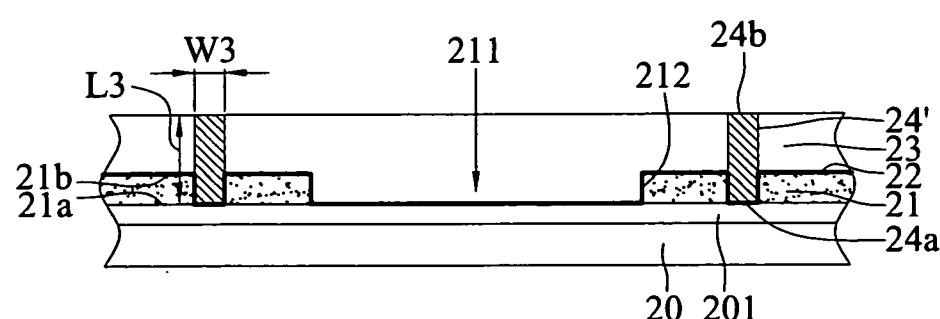
第3B圖



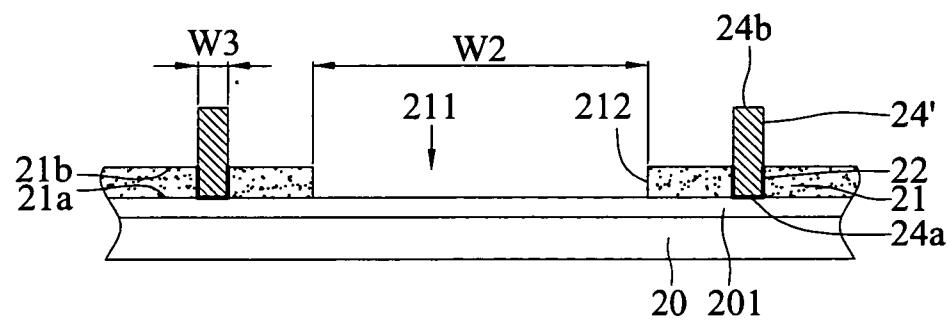
第3C圖



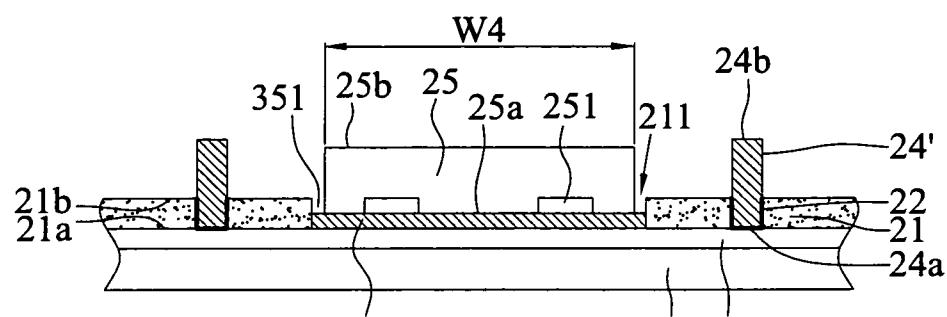
第3D圖



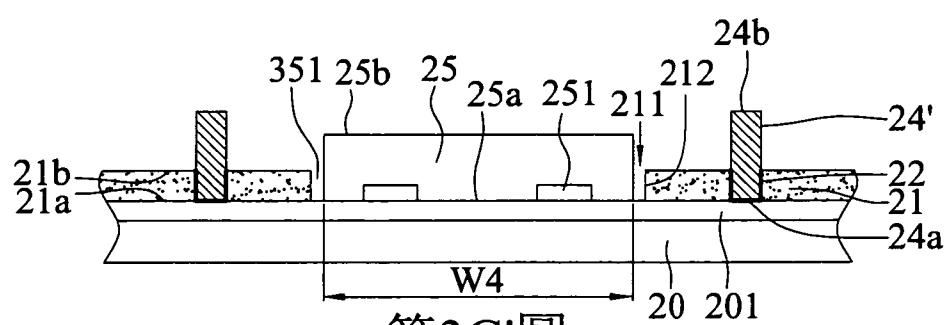
第3E圖



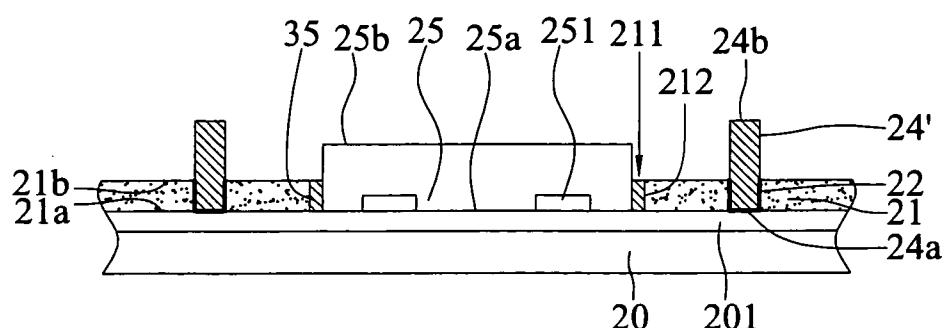
第3F圖



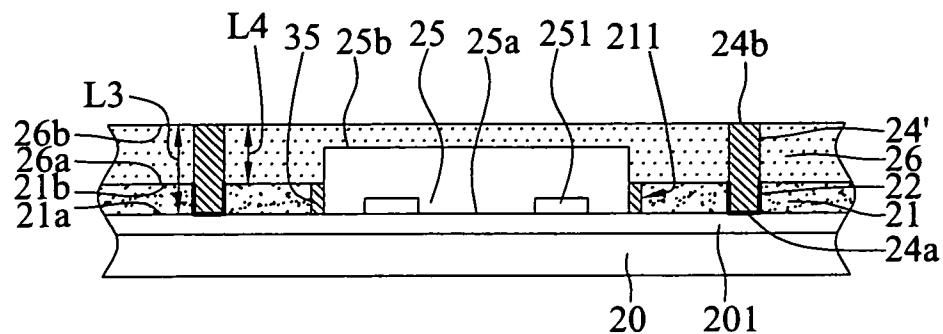
第3G圖



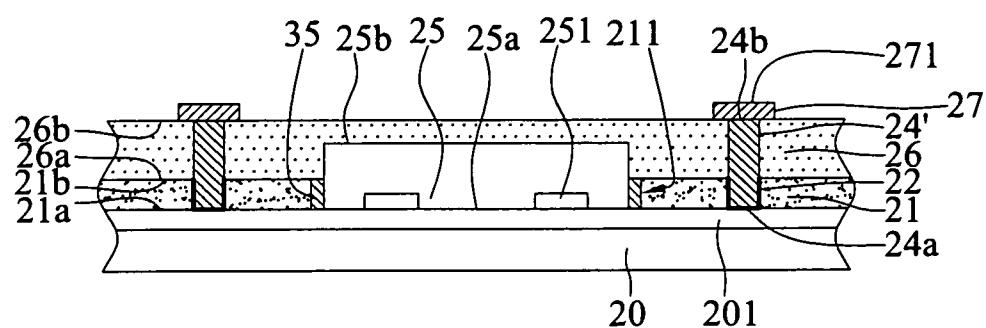
第3G'圖



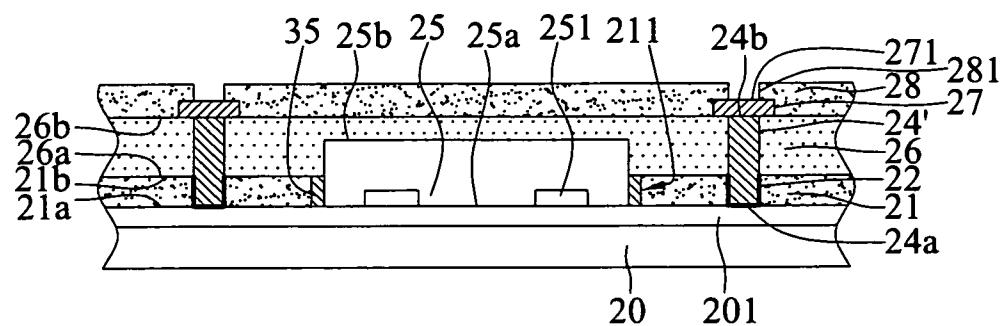
第3H圖



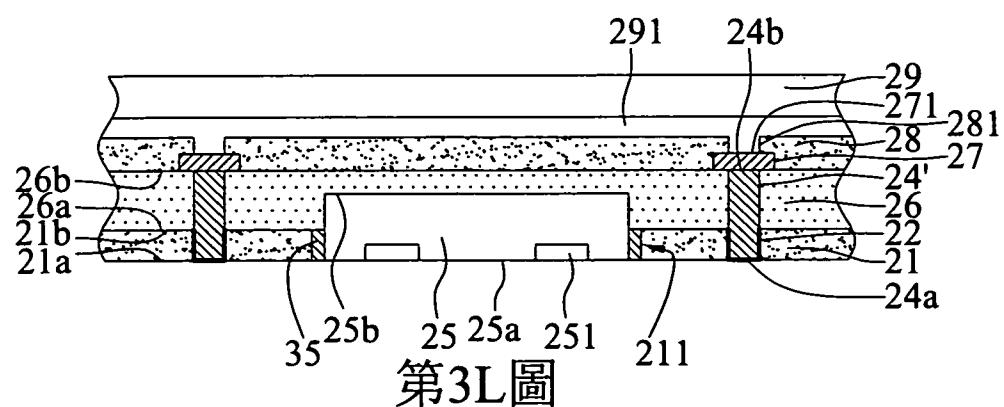
第3I圖



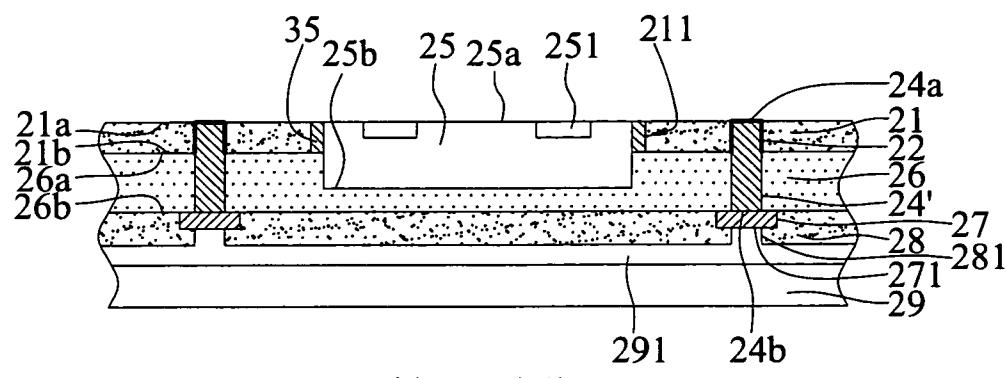
第3J圖



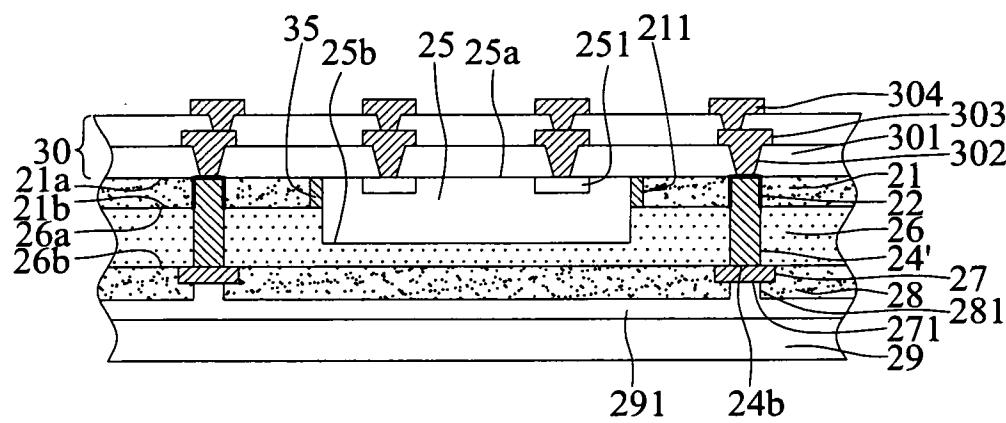
第3K圖



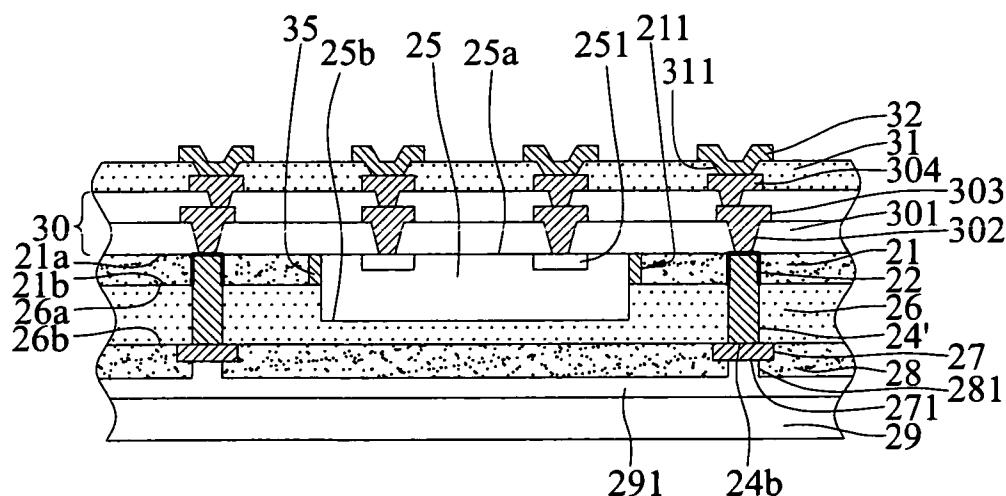
第3L圖



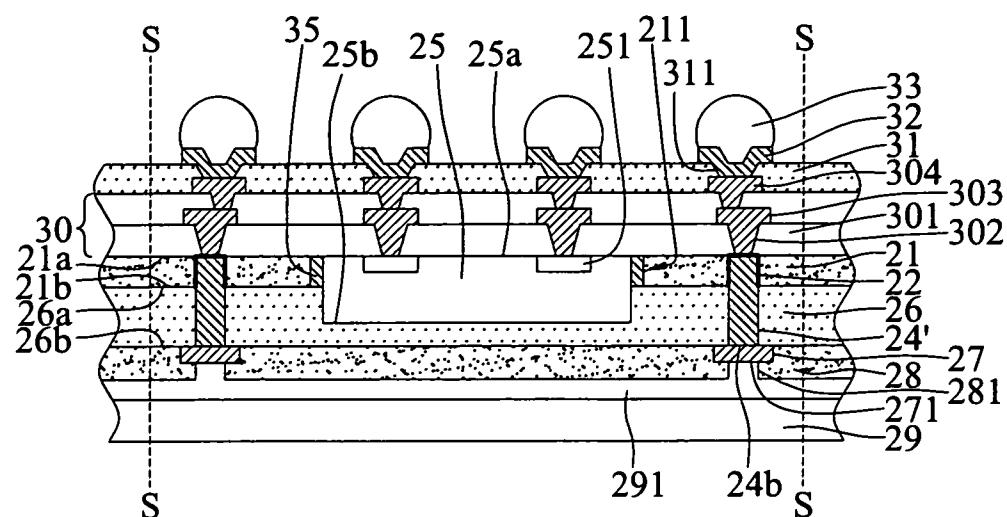
第3M圖



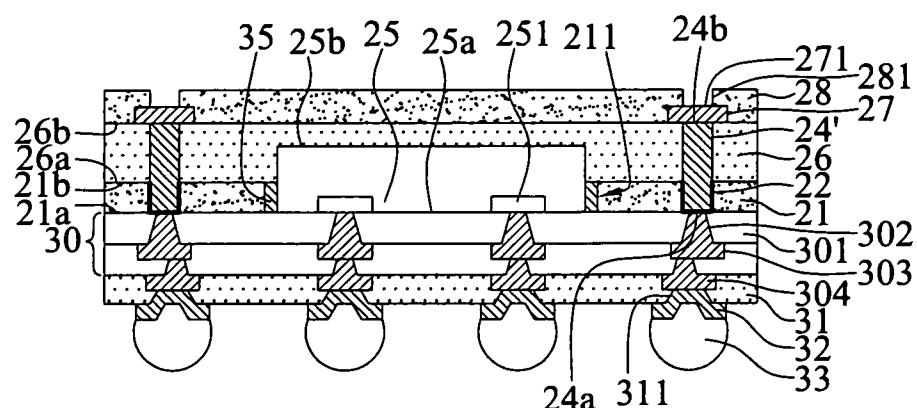
第3N圖



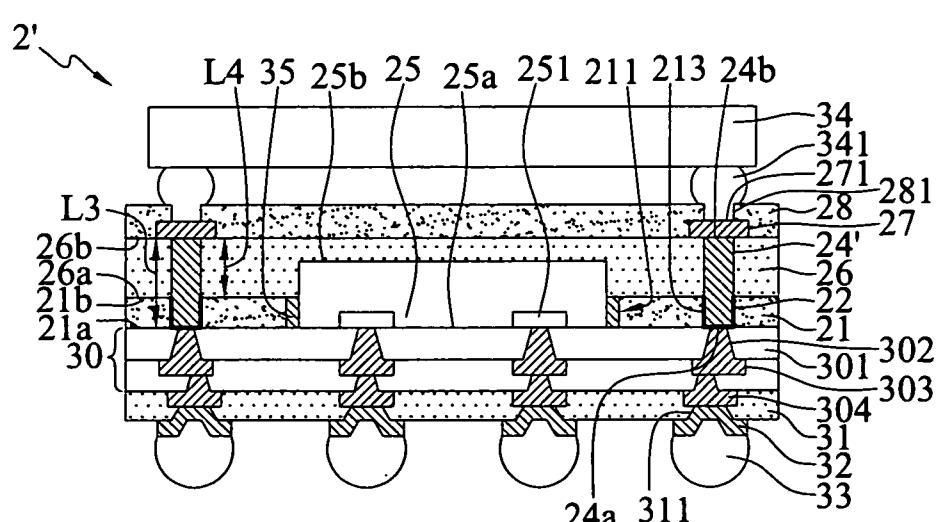
第3O圖



第3P圖



第3Q圖



第3R圖