

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月3日(03.03.2022)



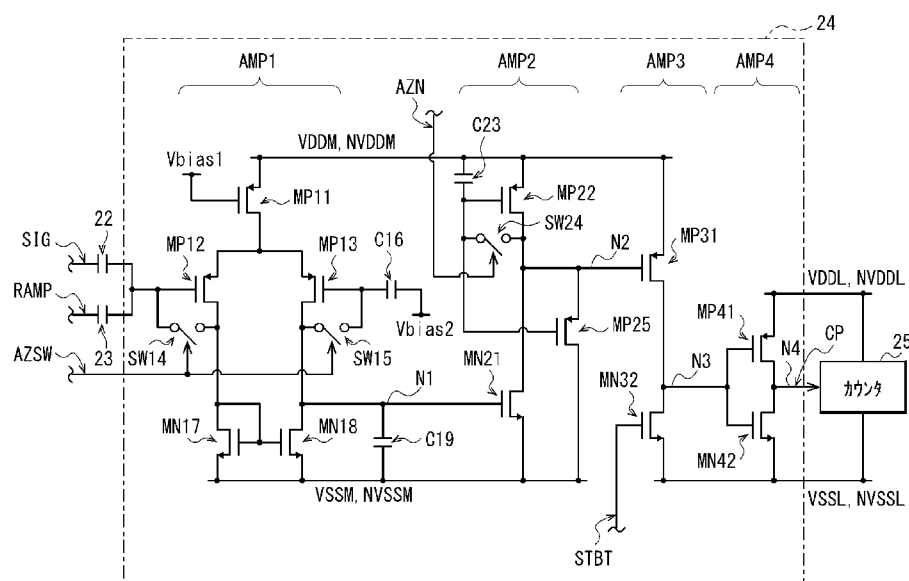
(10) 国際公開番号

WO 2022/044809 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) *H03M 1/56* (2006.01)
H03K 5/08 (2006.01)
- (21) 国際出願番号: PCT/JP2021/029636
- (22) 国際出願日: 2021年8月11日(11.08.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-143005 2020年8月26日(26.08.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 曙 佐智雄 (AKEBONO, Sachio); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像装置および電子機器



25 Counter

(57) Abstract: This imaging device comprises: light-receiving pixels; a reference signal generation unit; a first amplification unit that is connected to a first power source node and a second power source node, performs a comparison operation on the basis of a pixel signal and a reference signal, and outputs a signal corresponding to the comparison result to a first node; a second amplification unit that has a first transistor and a first load circuit, said first transistor having a gate that is connected to the first node, a drain that is connected to a second node, and a source that is connected to the second

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

power source node; a third amplification unit that includes a second transistor and a first switch, said second transistor having a gate that is connected to the second node, a source that is connected to the first power source node, and a drain that is connected to a third node, and said first switch applying a prescribed voltage to the third node by entering an on state; and a counter that is connected to a third power source node and a fourth power source node, and stops a counting operation on the basis of the voltage of the third node.

(57) 要約: 本開示の撮像装置は、受光画素と、参照信号生成部と、第1の電源ノードおよび第2の電源ノードに接続され、画素信号および参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、第2の電源ノードに接続されたソースとを有する第1のトランジスタと、第1の負荷回路とを有する第2の増幅部と、第2のノードに接続されたゲートと、第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、オン状態になることにより第3のノードに所定の電圧を印加する第1のスイッチとを含む第3の増幅部と、第3の電源ノードおよび第4の電源ノードに接続され、第3のノードの電圧に基づいてカウント動作を停止するカウンタとを備える。

明 細 書

発明の名称：撮像装置および電子機器

技術分野

[0001] 本開示は、被写体を撮像する撮像装置、およびそのような撮像装置を備えた電子機器に関する。

背景技術

[0002] 撮像装置では、しばしば、画素が受光量に応じた画素信号を生成し、A D (Analog to Digital) 変換回路がその画素信号をデジタルコードに変換する。例えば、特許文献1には、ランプ波形を有する信号、および画素信号に基づいてA D変換を行う撮像装置が開示されている。この撮像装置では、電源電圧A V D D、A G N Dに基づいて動作する差動部および増幅部と、電源電圧D V D D、D G N Dに基づいて動作するレベルシフタおよびカウンタとが、A D変換を行う。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-147339号公報

発明の概要

[0004] ところで、撮像装置では、画質が高いことが望まれており、さらなる画質の向上が期待されている。

[0005] 画質を高めることができる撮像装置および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態における第1の撮像装置は、受光画素と、参照信号生成部と、第1の増幅部と、第2の増幅部と、第3の増幅部と、カウンタとを備えている。受光画素は、受光量に応じた画素信号を生成するように構成される。参照信号生成部は、時間の経過に応じて信号レベルが変化する参照信号を生成するように構成される。第1の増幅部は、第1の電源ノードおよび第2の電源ノードに接続され、画素信号および参照信号に基づいて比較動

作を行い、その比較結果に応じた信号を第1のノードに出力するように構成される。第2の増幅部は、第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、第2の電源ノードに接続されたソースとを有する第1のトランジスタと、第1の電源ノードおよび第2のノードに接続された第1の負荷回路とを含む。第3の増幅部は、第2のノードに接続されたゲートと、第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、オン状態になることにより第3のノードに所定の電圧を印加する第1のスイッチとを含む。カウンタは、第3の電源ノードおよび第4の電源ノードに接続され、カウント動作を行い、第3のノードの電圧に基づいてカウント動作を停止するように構成される。

[0007] 本開示の一実施の形態における第2の撮像装置は、受光画素と、参照信号生成部と、第1の増幅部と、第2の増幅部と、第3の増幅部と、カウンタとを備えている。受光画素は、画素信号を生成するように構成される。参照信号生成部は、参照信号を生成するように構成される。第1の増幅部は、第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力するように構成される。第2の増幅部は、第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む。第3の増幅部は、第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、制御信号に基づいてオンオフする第1のスイッチとを含む。カウンタは、第3の電源ノードおよび第4の電源ノードに接続される。

[0008] 本開示の一実施の形態における電子機器は、上記第1の撮像装置を備えたものであり、例えば、スマートフォン、デジタルカメラ、ビデオカメラ、ノート型パーソナルコンピュータなどが該当する。

[0009] 本開示の一実施の形態における第1の撮像装置、第2の撮像装置、および電子機器では、受光画素により画素信号が生成されるとともに、参照信号生成部により参照信号が生成される。第1の電源ノードおよび第2の電源ノードに接続された第1の増幅部では、画素信号および参照信号に基づいて比較動作が行われ、その比較結果に応じた信号が第1のノードに出力される。第2の増幅部には、第2の電源ノードに接続された第1のトランジスタと、第1の電源ノードに接続された第1の負荷回路が設けられ、増幅された信号が第2のノードに出力される。第3の増幅部には、第1の電源ノードに接続された第2のトランジスタと、第1のスイッチとが設けられ、増幅された信号が第3のノードに出力される。第3の電源ノードおよび第4の電源ノードに接続されたカウンタでは、カウント動作が行われる。

図面の簡単な説明

- [0010] [図1]本開示の一実施の形態に係る撮像装置の一構成例を表すブロック図である。
- [図2]図1に示した受光画素の一構成例を表す回路図である。
- [図3]図1に示した読出部の一構成例を表すブロック図である。
- [図4]図3に示した比較回路の一構成例を表す回路図である。
- [図5]図1に示した撮像装置の一動作例を表すタイミング図である。
- [図6]図1に示した撮像装置の一動作例を表すタイミング波形図である。
- [図7]比較例に係る比較回路の一構成例を表す回路図である。
- [図8]図4に示した比較回路の一動作例を表すタイミング波形図である。
- [図9]変形例に係る比較回路の一構成例を表す回路図である。
- [図10]図9に示した比較回路を有する撮像装置の一動作例を表すタイミング波形図である。
- [図11]他の変形例に係る比較回路の一構成例を表す回路図である。
- [図12]他の変形例に係る比較回路の一構成例を表す回路図である。
- [図13]他の変形例に係る比較回路の一構成例を表す回路図である。
- [図14]他の変形例に係る比較回路の一構成例を表す回路図である。

[図15]他の変形例に係る比較回路の一構成例を表す回路図である。

[図16]撮像装置の使用例を表す説明図である。

[図17]車両制御システムの概略的な構成の一例を示すブロック図である。

[図18]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 撮像装置の使用例
3. 移動体への応用例

[0012] <1. 第1の実施の形態>

[構成例]

図1は、一実施の形態に係る撮像装置（撮像装置1）の一構成例を表すものである。撮像装置1は、画素アレイ11と、駆動部12と、参照信号生成部13と、読出部20と、信号処理部15と、撮像制御部16とを備えている。

[0013] 画素アレイ11は、マトリックス状に配置された複数の受光画素Pを有している。受光画素Pは、受光量に応じた画素電圧 V_{pix} を含む信号SIGを生成するように構成される。

[0014] 図2は、受光画素Pの一構成例を表すものである。画素アレイ11は、複数の制御線TRGLと、複数の制御線RSTLと、複数の制御線SELLと、複数の信号線VSLとを有している。制御線TRGLは、水平方向（図2における横方向）に延伸し、一端が駆動部12に接続される。この制御線TRGLには、駆動部12により制御信号STRGが供給される。制御線RSTLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線RSTLには、駆動部12により制御信号RSTが供給される。制御線SELLは、水平方向に延伸し、一端が駆動部12に接続される。この制御線SELLには、駆動部12により制御信号SELが供給される。信号線VS

Lは、垂直方向（図2における縦方向）に延伸し、一端が読出部20に接続される。この信号線VSLは、受光画素Pが生成した信号SIGを読出部20に伝える。水平方向（図1，2において横方向）に並設された1行分の複数の受光画素Pは、画素ラインLを構成する。

[0015] 受光画素Pは、フォトダイオードPDと、トランジスタTRGと、フローティングディフュージョンFDと、トランジスタRST，AMP，SELとを有している。トランジスタTRG，RST，AMP，SELは、この例ではN型のMOS（Metal Oxide Semiconductor）トランジスタである。

[0016] フォトダイオードPDは、受光量に応じた量の電荷を生成し、生成した電荷を内部に蓄積する光電変換素子である。フォトダイオードPDのアノードは接地され、カソードはトランジスタTRGのソースに接続される。

[0017] トランジスタTRGのゲートは制御線TRGLに接続され、ソースはフォトダイオードPDのカソードに接続され、ドレインはフローティングディフュージョンFDに接続される。

[0018] フローティングディフュージョンFDは、フォトダイオードPDからトランジスタTRGを介して転送された電荷を蓄積するように構成される。フローティングディフュージョンFDは、例えば、半導体基板の表面に形成された拡散層を用いて構成される。図2では、フローティングディフュージョンFDを、容量素子のシンボルを用いて示している。

[0019] トランジスタRSTのゲートは制御線RSTLに接続され、ドレインには電源電圧VDDHが供給され、ソースはフローティングディフュージョンFDに接続される。

[0020] トランジスタAMPのゲートはフローティングディフュージョンFDに接続され、ドレインには電源電圧VDDHが供給され、ソースはトランジスタSELのドレインに接続される。

[0021] トランジスタSELのゲートは制御線SELLに接続され、ドレインはトランジスタAMPのソースに接続され、ソースは信号線VSLに接続される。

[0022] この構成により、受光画素Pでは、例えば制御信号STRG, RSTに基づいてトランジスタTRG, RSTがオン状態になることにより、フォトダイオードPDに蓄積された電荷が排出される。そして、これらのトランジスタTRG, RSTがオフ状態になることにより、露光期間Tが開始され、フォトダイオードPDに、受光量に応じた量の電荷が蓄積される。そして、露光期間Tが終了した後に、受光画素Pは、リセット電圧Vresetおよび画素電圧Vpixを含む信号SIGを、信号線VSLに出力する。具体的には、まず、制御信号SELに基づいてトランジスタSELがオン状態になることにより、受光画素Pが信号線VSLと電氣的に接続される。これにより、トランジスタAMPは、読出部20の定電流源21（後述）に接続され、いわゆるソースフォロワとして動作する。そして、受光画素Pは、後述するように、トランジスタRSTがオン状態になることによりフローティングディフュージョンFDの電圧がリセットされた後のP相（Pre-charge相）期間TPにおいて、その時のフローティングディフュージョンFDの電圧に応じた電圧をリセット電圧Vresetとして出力する。また、受光画素Pは、トランジスタTRGがオン状態になることによりフォトダイオードPDからフローティングディフュージョンFDへ電荷が転送された後のD相（Data相）期間TDにおいて、その時のフローティングディフュージョンFDの電圧に応じた電圧を画素電圧Vpixとして出力する。画素電圧Vpixとリセット電圧Vresetとの差電圧は、露光期間Tにおける受光画素Pの受光量に対応する。このようにして、受光画素Pは、これらのリセット電圧Vresetおよび画素電圧Vpixを含む信号SIGを、信号線VSLに出力するようになっている。

[0023] 駆動部12（図1）は、撮像制御部16からの指示に基づいて、画素ラインL単位で、画素アレイ11における複数の受光画素Pを順次駆動するように構成される。具体的には、駆動部12は、画素アレイ11における複数の制御線TRGLに複数の制御信号STRGをそれぞれ供給し、複数の制御線RSTLに複数の制御信号RSTをそれぞれ供給し、複数の制御線SELLに複数の制御信号SELをそれぞれ供給することにより、画素ラインL

単位で画素アレイ 11 における複数の受光画素 P を駆動するようになっている。

[0024] 参照信号生成部 13 は、撮像制御部 16 からの指示に基づいて、参照信号 RAMP を生成するように構成される。参照信号 RAMP は、読出部 20 が AD 変換を行う 2 つの期間（P 相期間 TP および D 相期間 TD）において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する。参照信号生成部 13 は、このような参照信号 RAMP を読出部 20 に供給するようになっている。

[0025] 読出部 20 は、撮像制御部 16 からの指示に基づいて、画素アレイ 11 から信号線 VSL を介して供給された信号 SIG に基づいて AD 変換を行うことにより、画像データ DTO を生成するように構成される。

[0026] 図 3 は、読出部 20 の一構成例を表すものである。なお、図 3 には、読出部 20 に加え、参照信号生成部 13、信号処理部 15、および撮像制御部 16 をも描いている。読出部 20 は、複数の定電流源 21 と、複数の AD（Analog to Digital）変換部 ADC と、転送制御部 27 とを有している。複数の定電流源 21 および複数の AD 変換部 ADC は、複数の信号線 VSL に対応してそれぞれ設けられる。以下に、ある 1 つの信号線 VSL に対応する定電流源 21 および AD 変換部 ADC について説明する。

[0027] 定電流源 21 は、対応する信号線 VSL に所定の電流を流すように構成される。定電流源 21 の一端は、対応する信号線 VSL に接続され、他端は接地される。

[0028] AD 変換部 ADC は、対応する信号線 VSL における信号 SIG に基づいて AD 変換を行うように構成される。AD 変換部 ADC は、容量素子 22、23 と、比較回路 24 と、カウンタ 25 と、ラッチ 26 とを有している。

[0029] 容量素子 22 の一端は信号線 VSL に接続されるとともに信号 SIG が供給され、他端は比較回路 24 に接続される。容量素子 23 の一端には参照信号生成部 13 から供給された参照信号 RAMP が供給され、他端は比較回路 24 に接続される。

[0030] 比較回路24は、受光画素Pから信号線VSLおよび容量素子22を介して供給された信号SIG、および参照信号生成部13から容量素子23を介して供給された参照信号RAMPに基づいて、比較動作を行うことにより信号CPを生成するように構成される。比較回路24は、撮像制御部16から供給された制御信号AZSW、AZNに基づいて、容量素子22、23の電圧を設定することにより動作点を設定する。そしてその後に、比較回路24は、P相期間TPにおいて、信号SIGに含まれるリセット電圧Vresetと、参照信号RAMPの電圧とを比較する比較動作を行い、D相期間TDにおいて、信号SIGに含まれる画素電圧Vpixと、参照信号RAMPの電圧とを比較する比較動作を行うようになっている。また、比較回路24は、撮像制御部16から供給された制御信号STBTに基づいて、P相期間TPの前、およびD相期間TDの前に、信号CPの電圧を初期化する動作をも行うようになっている。

[0031] 図4は、比較回路24の一構成例を表すものである。なお、図4には、容量素子22、23およびカウンタ25をも描いている。比較回路24には、電源ノードNVDDMを介して電源電圧VDDMが供給され、電源ノードNVSSMを介して電源電圧VSSMが供給され、電源ノードNVDDLを介して電源電圧VDDLが供給され、電源ノードNVSSLを介して電源電圧VSSLが供給される。電源電圧VDDM、VSSMはアナログ回路用の電源電圧であり、電源電圧VDDMは、例えば1.8V~2.8V程度であり、電源電圧VSSMは、例えば0Vである。電源電圧VDDL、VSSLはデジタル回路用の電源電圧であり、電源電圧VDDLは、例えば、0.75V程度であり、電源電圧VSSLは、例えば0Vである。なお、この例では、電源電圧VSSM、VSSLは、ともに0Vとしたが、これに限定されるものではなく、例えば、電源電圧VSSLが電源電圧VSSMよりも高くてもよい。これにより、デジタル回路の消費電力を低減することができる。また、この例では、電源ノードNVSSMと、電源ノードNVSSLとを別々に設けたが、これに限定されるものではなく、共通の電源ノードを設けても

よい。比較回路24は、増幅部AMP1～AMP4を有している。

[0032] 増幅部AMP1は、容量素子22を介して供給された信号SIG、および容量素子23を介して供給された参照信号RAMPに基づいて、比較動作を行うように構成される。増幅部AMP1は、トランジスタMP11～MP13と、スイッチSW14、SW15と、容量素子C16と、トランジスタMN17、MN18と、容量素子C19とを有している。トランジスタMP11～MP13はP型のMOSトランジスタであり、トランジスタMN17、MN18はN型のMOSトランジスタである。この増幅部AMP1は、電源ノードNVDDM、NVSSMに接続され、電源電圧VDDM、VSSMに基づいて動作する。

[0033] トランジスタMP11のゲートにはバイアス電圧Vbias1が供給され、ソースは電源ノードNVDDMに接続され、ドレインはトランジスタMP12、MP13のソースに接続される。トランジスタMP12のゲートはスイッチSW14に接続されるとともに容量素子22、23の他端に接続され、ソースはトランジスタMP11のドレインおよびトランジスタMP13のソースに接続され、ドレインはスイッチSW14、トランジスタMN17のドレイン、トランジスタMN17のゲート、およびトランジスタMN18のゲートに接続される。トランジスタMP13のゲートはスイッチSW15および容量素子C16に接続され、ソースはトランジスタMP11のドレインおよびトランジスタMP12のソースに接続され、ドレインはノードN1に接続される。スイッチSW14の一端はトランジスタMP12のゲートに接続されるとともに容量素子22、23の他端に接続され、他端はトランジスタMP12のドレイン、トランジスタMN17のドレイン、トランジスタMN17のゲート、およびトランジスタMN18のゲートに接続される。スイッチSW14は、例えばMOSトランジスタを用いて構成され、制御信号AZSWに基づいてオンオフする。スイッチSW15の一端はトランジスタMP13のゲートおよび容量素子C16に接続され、他端はノードN1に接続される。スイッチSW15は、例えばMOSトランジスタを用いて構成され、制御

信号A Z S Wに基づいてオンオフする。容量素子C 1 6の一端にはバイアス電圧Vbias2が供給され、他端はトランジスタMP 1 3のゲートおよびスイッチSW 1 5の一端に接続される。トランジスタMN 1 7のゲートはトランジスタMN 1 2のドレイン、スイッチSW 1 4の他端、トランジスタMN 1 7のドレイン、およびトランジスタMN 1 8のゲートに接続され、ドレインはトランジスタMP 1 2のドレイン、スイッチSW 1 4の他端、トランジスタMN 1 7のゲート、およびトランジスタMN 1 8のゲートに接続され、ソースは電源ノードN V S S Mに接続される。トランジスタMN 1 8のゲートはトランジスタMP 1 2のドレイン、スイッチSW 1 4の他端、トランジスタMN 1 7のドレイン、およびトランジスタMN 1 7のゲートに接続され、ドレインはノードN 1に接続され、ソースは電源ノードN V S S Mに接続される。容量素子C 1 9の一端はノードN 1に接続され、他端は電源ノードN V S S Mに接続される。

[0034] この増幅部AMP 1は、差動アンプであり、トランジスタMP 1 1は、電流源を構成し、トランジスタMP 1 2, MP 1 3は差動対を構成し、トランジスタMN 1 7, MN 1 8は能動負荷を構成する。ノードN 1は、この増幅部AMP 1の出力ノードである。増幅部AMP 1では、スイッチSW 1 4, SW 1 5がオン状態になることにより、容量素子2 2, 2 3, C 1 6の電圧が設定され、増幅部AMP 1の動作点が設定される。そしてその後に、増幅部AMP 1は信号S I Gおよび参照信号R AMPに基づいて比較動作を行うようになっている。

[0035] 増幅部AMP 2は、増幅部AMP 1の出力電圧を増幅するように構成される。増幅部AMP 2は、トランジスタMN 2 1, MP 2 2と、容量素子C 2 3と、スイッチSW 2 4と、トランジスタMP 2 5とを有している。トランジスタMN 2 1はN型のMOSトランジスタであり、トランジスタMP 2 2, MP 2 5はP型のMOSトランジスタである。この増幅部AMP 2は、電源ノードN V D D M, N V S S Mに接続され、電源電圧V D D M, V S S Mに基づいて動作する。

[0036] トランジスタMN21のゲートはノードN1に接続され、ドレインはノードN2に接続され、ソースは電源ノードNVSSMに接続される。トランジスタMP22のゲートは容量素子C23、スイッチSW24、およびトランジスタMP25のゲートに接続され、ソースは電源ノードNVDDMに接続され、ドレインはノードN2に接続される。容量素子C23の一端は電源ノードNVDDMに接続され、他端はトランジスタMP22のゲート、スイッチSW24、およびトランジスタMP25のゲートに接続される。スイッチSW24の一端はトランジスタMP22のゲート、容量素子C23の他端、およびトランジスタMP25のゲートに接続され、他端はノードN2に接続される。スイッチSW24は、例えばMOSトランジスタを用いて構成され、制御信号AZNに基づいてオンオフするようになっている。トランジスタMP25のゲートはトランジスタMP22のゲート、容量素子C23の他端、およびスイッチSW24の一端に接続され、ソースはノードN2に接続され、ドレインは電源ノードNVSSMに接続される。

[0037] この増幅部AMP2は、ソース接地アンプであり、トランジスタMP22、容量素子C23、スイッチSW24、トランジスタMP25は、トランジスタMN21の負荷回路を構成する。トランジスタMP22は、電流源を構成する。ノードN2は、この増幅部AMP2の出力ノードである。増幅部AMP2では、スイッチSW24がオン状態になることにより、容量素子C23の電圧が設定され、増幅部AMP2の動作点が設定される。そしてその後、増幅部AMP2は、増幅部AMP1の出力電圧を増幅するようになっている。

[0038] 増幅部AMP3は、増幅部AMP2の出力電圧を増幅するように構成される。増幅部AMP3は、トランジスタMP31、MN32を有している。トランジスタMP31はP型のMOSトランジスタであり、トランジスタMN32はN型のMOSトランジスタである。この増幅部AMP3は、電源ノードNVDDM、NVSSLに接続され、電源電圧VDDM、VSSLに基づいて動作する。トランジスタMP31のゲートはノードN2に接続され、ソ

ースは電源ノードNVDDMに接続され、ドレインはノードN3に接続される。トランジスタMN32のゲートには制御信号STBTが供給され、ドレインはノードN3に接続され、ソースは電源ノードNVSSLに接続される。ノードN3は、この増幅部AMP3の出力ノードである。増幅部AMP3では、トランジスタMN32がオン状態になることにより、ノードN3に電源電圧VSSLが供給され、このノードN3の電圧が初期化される。そしてその後に、増幅部AMP3は、増幅部AMP2の出力電圧を増幅するようになっている。

[0039] 増幅部AMP4は、増幅部AMP3の出力電圧を増幅するように構成される。増幅部AMP4は、トランジスタMP41, MN42を有している。トランジスタMP41はP型のMOSトランジスタであり、トランジスタMN42はN型のMOSトランジスタである。この増幅部AMP4は、電源ノードNVDDL, NVSSLに接続され、電源電圧VDDL, VSSLに基づいて動作する。トランジスタMP41のゲートはノードN3に接続され、ソースは電源ノードNVDDLに接続され、ドレインはノードN4に接続される。トランジスタMN42のゲートはノードN3に接続され、ドレインはノードN4に接続され、ソースは電源ノードNVSSLに接続される。この増幅部AMP4は、CMOS (Complementary MOS) アンプである。ノードN4は、この増幅部AMP4の出力ノードであり、カウンタ25の入力端子に導かれる。

[0040] この構成により、比較回路24では、受光画素Pから信号線VSLおよび容量素子22を介して供給された信号SIG、および参照信号生成部13から容量素子23を介して供給された参照信号RAMPに基づいて、比較動作を行うことにより信号CPを生成し、ノードN4に出力する。また、比較回路24は、アナログ回路用の電源電圧VDDM, VSSMに応じた信号SIGおよび参照信号RAMPに基づいて、デジタル回路用の電源電圧VDDL, VSSLに応じた信号CPを生成する、いわゆるレベルシフタの機能をも有している。

- [0041] カウンタ25（図3）は、比較回路24から供給された信号CPに基づいて、撮像制御部16から供給されたクロック信号CLKのパルスをカウントするカウント動作を行うように構成される。具体的には、カウンタ25は、P相期間TPにおいて、信号CPが遷移するまでクロック信号CLKのパルスをカウントすることによりカウント値CNTPを生成し、このカウント値CNTPを、複数のビットを有するデジタルコードとして出力する。また、カウンタ25は、D相期間TDにおいて、信号CPが遷移するまでクロック信号CLKのパルスをカウントすることによりカウント値CNTDを生成し、このカウント値CNTDを、複数のビットを有するデジタルコードとして出力する。カウンタ25は、図4に示したように、電源ノードNVDDL、NVSSLに接続され、電源電圧VDDL、VSSLに基づいて動作するようになっている。
- [0042] ラッチ26は、カウンタ25から供給されたデジタルコードを一時的に保持するとともに、転送制御部27からの指示に基づいて、そのデジタルコードをバス配線BUSに出力するように構成される。
- [0043] 転送制御部27は、撮像制御部16から供給された制御信号CTLに基づいて、複数のAD変換部ADCのラッチ26に対して、デジタルコードをバス配線BUSに順次出力させるように制御するように構成される。読出部20は、このバス配線BUSを用いて、複数のAD変換部ADCから供給された複数のデジタルコードを、画像データDTOとして、信号処理部15に順次転送するようになっている。
- [0044] 信号処理部15（図1）は、画像データDTOおよび撮像制御部16からの指示に基づいて、所定の画像処理を行うことにより画像データDTを生成するように構成される。所定の画像処理は、例えば、CDS（CDS；Correlated Double Sampling）処理を含む。CDS処理では、信号処理部15は、画像データDTOに含まれる、P相期間TPにおいて得られたカウント値CNTPおよびD相期間TDにおいて得られたカウント値CNTDに基づいて、相関2重サンプリングの原理を利用して、画素値VALを生成するように

なっている。

[0045] 撮像制御部 16 は、駆動部 12、参照信号生成部 13、読出部 20、および信号処理部 15 に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置 1 の動作を制御するように構成される。具体的には、撮像制御部 16 は、駆動部 12 に対して制御信号を供給することにより、駆動部 12 が、画素ライン L 単位で、画素アレイ 11 における複数の受光画素 P を順次駆動するように制御する。また、撮像制御部 16 は、参照信号生成部 13 に対して制御信号を供給することにより、参照信号生成部 13 が参照信号 RAMP を生成するように制御する。また、撮像制御部 16 は、読出部 20 に対して制御信号を供給することにより、読出部 20 が、信号 S1G に基づいて AD 変換を行うことにより画像データ DTO を生成するように制御する。また、撮像制御部 16 は、信号処理部 15 に対して制御信号を供給することにより、信号処理部 15 の動作を制御するようになっている。

[0046] ここで、受光画素 P は、本開示における「受光画素」の一具体例に対応する。信号 S1G は、本開示における「画素信号」の一具体例に対応する。参照信号生成部 13 は、本開示における「参照信号生成部」の一具体例に対応する。参照信号 RAMP は、本開示における「参照信号」の一具体例に対応する。増幅部 AMP1 は、本開示における「第 1 の増幅部」の一具体例に対応する。ノード N1 は、本開示における「第 1 のノード」の一具体例に対応する。増幅部 AMP2 は、本開示における「第 2 の増幅部」の一具体例に対応する。トランジスタ MN21 は、本開示における「第 1 のトランジスタ」の一具体例に対応する。トランジスタ MP22、容量素子 C23、スイッチ SW24、およびトランジスタ MP25 は、本開示における「第 1 の負荷回路」の一具体例に対応する。ノード N2 は、本開示における「第 2 のノード」の一具体例に対応する。増幅部 AMP3 は、本開示における「第 3 の増幅部」の一具体例に対応する。トランジスタ MP31 は、本開示における「第 2 のトランジスタ」の一具体例に対応する。トランジスタ MN32 は、本開示における「第 1 のスイッチ」の一具体例に対応する。ノード N3 は、本開

示における「第3のノード」の一具体例に対応する。カウンタ25は、本開示における「カウンタ」の一具体例に対応する。電源ノードNVDDMは、本開示における「第1の電源ノード」の一具体例に対応する。電源ノードNVSSMは、本開示における「第2の電源ノード」の一具体例に対応する。電源ノードNVDDLは、本開示における「第3の電源ノード」の一具体例に対応する。電源ノードNVSSLは、本開示における「第4の電源ノード」の一具体例に対応する。D相期間TDは、本開示における「第1の期間」の一具体例に対応する。

[0047] トランジスタMP22は、本開示における「第1の負荷トランジスタ」の一具体例に対応する。容量素子C23は、本開示における「第1の容量素子」の一具体例に対応する。スイッチSW24は、本開示における「第2のスイッチ」の一具体例に対応する。トランジスタMP25は、本開示における「第2の負荷トランジスタ」の一具体例に対応する。トランジスタMP11は、本開示における「電流源」の一具体例に対応する。トランジスタMP12は、本開示における「第3のトランジスタ」の一具体例に対応する。トランジスタMP13は、本開示における「第4のトランジスタ」の一具体例に対応する。容量素子22は、本開示における「第2の容量素子」の一具体例に対応する。容量素子23は、本開示における「第3の容量素子」の一具体例に対応する。スイッチSW14は、本開示における「第3のスイッチ」の一具体例に対応する。スイッチSW15は、本開示における「第4のスイッチ」の一具体例に対応する。トランジスタMN17, MN18は、本開示における「第2の負荷回路」の一具体例に対応する。

[0048] [動作および作用]

続いて、本実施の形態の撮像装置1の動作および作用について説明する。

[0049] (全体動作概要)

まず、図1, 3を参照して、撮像装置1の全体動作概要を説明する。駆動部12は、撮像制御部16からの指示に基づいて、画素ラインL単位で、画素アレイ11における複数の受光画素Pを順次駆動する。参照信号生成部1

3は、撮像制御部16からの指示に基づいて、参照信号RAMPを生成する。受光画素Pは、P相期間TPにおいて、リセット電圧Vresetを信号SIGとして出力し、D相期間TDにおいて、受光量に応じた画素電圧Vpixを信号SIGとして出力する。読出部20は、画素アレイ11から信号線VSLを介して供給された信号SIG、および撮像制御部16からの指示に基づいて、画像データDTOを生成する。具体的には、読出部20において、AD変換部ADCは、信号SIGに基づいて、P相期間TPにおいてAD変換を行うことによりカウント値CNTPを生成し、このカウント値CNTPを、複数のビットを有するデジタルコードとして出力する。また、AD変換部ADCは、信号SIGに基づいて、D相期間TDにおいてAD変換を行うことによりカウント値CNTDを生成し、このカウント値CNTDを、複数のビットを有するデジタルコードとして出力する。読出部20は、複数のAD変換部ADCにより生成された、カウント値CNTPを含む複数のデジタルコード、およびカウント値CNTDを含む複数のデジタルコードを、バス配線BUSを介して、順次、画像データDTOとして信号処理部15に供給する。信号処理部15は、画像データDTOおよび撮像制御部16からの指示に基づいて、所定の画像処理を行うことにより画像データDTを生成する。

[0050] (詳細動作)

撮像装置1において、複数の受光画素Pは、受光量に応じて電荷を蓄積し、受光量に応じた画素電圧Vpixを含む信号SIGを生成する。そして、読出部20は、この信号SIGに基づいてAD変換を行う。以下に、この動作について詳細に説明する。

[0051] 図5は、画素アレイ11における複数の受光画素Pを画素ラインL単位で走査する動作の一例を表すものである。

[0052] 撮像装置1は、タイミングt0～t1の期間において、画素アレイ11に対して、垂直方向において上から順に露光開始駆動D1を行う。具体的には、駆動部12は、例えば、制御信号STRG, SRSTを生成することにより、画素ラインLを順次選択し、受光画素PにおけるトランジスタTRG,

RSTを所定の長さの時間だけ順次オン状態にする。これにより、受光画素Pでは、フローティングディフュージョンFDの電圧およびフォトダイオードPDのカソードの電圧が電源電圧VDDHに設定される。そして、トランジスタTRG、RSTがオフ状態になると、フォトダイオードPDは、受光量に応じて電荷を蓄積し始める。このようにして、複数の受光画素Pでは、露光期間Tが順次開始する。

[0053] そして、撮像装置1は、タイミング $t_2 \sim t_3$ の期間において、画素アレイ11に対して、垂直方向において上から順に読出駆動D2を行う。具体的には、駆動部12は、後述するように、制御信号STRG、SRST、SSELを生成することにより、画素ラインLを順次選択する。これにより、受光画素Pは、P相期間TPにおいてリセット電圧Vresetを信号SIGとして出力し、D相期間TDにおいて画素電圧Vpixを信号SIGとして出力する。読出部20は、受光画素Pが出力した、リセット電圧Vresetおよび画素電圧Vpixを含む信号SIGに基づいてAD変換を行う。

[0054] 撮像装置1は、このような露光開始駆動D1および読出駆動D2を繰り返す。これにより、撮像装置1では、一連の撮像画像が得られる。

[0055] 次に、読出駆動D2について、詳細に説明する。以下に、ある受光画素Pに着目し、この受光画素Pおよびその受光画素Pに接続されたAD変換部ADCの動作について詳細に説明する。

[0056] 図6は、読出駆動D2の一動作例を表すものであり、(A)は制御信号SSELの波形を示し、(B)は制御信号SRSTの波形を示し、(C)は制御信号STRGの波形を示し、(D)は制御信号AZSWの波形を示し、(E)は制御信号STBTの波形を示し、(F)は信号SIGの波形を示し、(G)は参照信号RAMPの波形を示し、(H)はAD変換部ADCの比較回路24におけるトランジスタMP12のゲート電圧Vgの波形を示し、(I)は比較回路24のノードN1における電圧VN1の波形を示し、(J)はノードN2における電圧VN2の波形を示し、(K)はノードN3における電圧VN3の波形を示し、(L)はノードN4における信号CPの波形を

示す。制御信号 A Z N の波形は、制御信号 A Z S W の波形（図 6（D））と同様である。

[0057] 撮像装置 1 では、ある水平期間（H）において、まず、受光画素 P がリセット動作を行うことによりリセット電圧 V_{reset} を出力し、A D 変換部 A D C が P 相期間 T P においてそのリセット電圧 V_{reset} に基づいて A D 変換を行う。そして、その後に受光画素 P が電荷転送動作を行うことにより画素電圧 V_{pix} を出力し、A D 変換部 A D C が D 相期間 T D においてその画素電圧 V_{pix} に基づいて A D 変換を行う。以下にこの動作について詳細に説明する。

[0058] まず、タイミング t_{11} において、水平期間 H が開始すると、駆動部 1 2 は、制御信号 S S E L の電圧を低レベルから高レベルに変化させる（図 6（A））。これにより、受光画素 P では、トランジスタ S E L がオン状態になり、受光画素 P が信号線 V S L と電氣的に接続される。また、このタイミング t_{11} において、駆動部 1 2 は、制御信号 S R S T の電圧を低レベルから高レベルに変化させる（図 6（B））。これにより、受光画素 P では、トランジスタ R S T がオン状態になり、フローティングディフュージョン F D の電圧が電源電圧 V_{DDH} に設定される（リセット動作）。そして、受光画素 P は、このときのフローティングディフュージョン F D の電圧に対応する電圧（リセット電圧 V_{reset} ）を出力する。このようにして、信号 S I G の電圧がリセット電圧 V_{reset} になる（図 6（F））。

[0059] また、このタイミング t_{11} において、参照信号生成部 1 3 は、参照信号 R A M P を電圧 V_1 にする（図 6（G））。また、このタイミング t_{11} において、撮像制御部 1 6 は、制御信号 A Z S W, A Z N の電圧を低レベルから高レベルに変化させる（図 6（D））。これにより、A D 変換部 A D C の比較回路 2 4 では、スイッチ S W 1 4, S W 1 5, S W 2 4 がともにオン状態になる。スイッチ S W 1 4 がオン状態になることにより、トランジスタ M P 1 2 のゲート電圧 V_g が、トランジスタ M P 1 2 のドレイン電圧と同じ電圧（電圧 V_2 ）になり（図 6（H））、容量素子 2 2, 2 3 の電圧が設定される。同様に、スイッチ S W 1 5 がオン状態になることにより、トランジス

タMP 13のゲート電圧が、トランジスタMP 13のドレイン電圧と同じ電圧になり、容量素子C 16の電圧が設定され、ノードN 1の電圧VN 1が電圧V 3になる（図6（I））。また、スイッチSW 24がオン状態になることにより、トランジスタMP 22のゲート電圧が、トランジスタMP 22のドレイン電圧と同じ電圧になり、容量素子C 23の電圧が設定され、電圧VN 2が電圧V 4になる（図6（J））。このようにして、比較回路24では、動作点が設定される。

[0060] 次に、タイミングt 12において、駆動部12は、制御信号SRSTの電圧を高レベルから低レベルに変化させる（図6（B））。これにより、受光画素Pでは、トランジスタRSTがオフ状態になり、リセット動作が終了する。

[0061] 次に、タイミングt 13において、撮像制御部16は、制御信号AZSW，AZNの電圧を高レベルから低レベルに変化させる（図6（D））。これにより、AD変換部ADCの比較回路24では、スイッチSW 14，SW 15，SW 24がともにオフ状態になり、動作点の設定動作が終了する。比較回路24は、これ以降、ゲート電圧Vgと、電圧V 2とを比較するように動作する。

[0062] 次に、タイミングt 14において、参照信号生成部13は、参照信号RAMPの電圧を電圧V 1から電圧V 5に低下させる（図6（G））。これにより、AD変換部ADCの比較回路24では、トランジスタMP 12のゲート電圧Vgが電圧V 2より低くなるので（図6（H））、ノードN 1の電圧VN 1が下降して電源電圧VSSMになり（図6（I））、ノードN 2の電圧VN 2が上昇する（図6（J））。このように、電圧VN 2が上昇することにより、トランジスタMP 25のソース電圧がトランジスタMP 25のゲート電圧より高くなり、トランジスタMP 25がオン状態になる。その結果、電圧VN 2は、トランジスタMP 25により、電源電圧VDDMよりやや低い電圧にクランプされる。

[0063] また、このタイミングt 14において、撮像制御部16は、制御信号ST

B T の電圧を低レベルから高レベルに変化させる（図 6（E））。これにより、A D 変換部 A D C の比較回路 2 4 では、トランジスタ M N 3 2 がオン状態になり、ノード N 3 の電圧 V N 3 が、電源電圧 V S S L に設定される（図 6（K））。このとき、ノード N 2 の電圧 V N 2 は電源電圧 V D D M に近い電圧であるので、トランジスタ M P 3 1 はオフ状態であるため、増幅部 A M P 3 に電流は流れない。このように電圧 V N 3 が電源電圧 V S S L に設定されることにより、ノード N 4 における信号 C P の電圧は高レベル（電源電圧 V D D L）になる（図 6（L））。このようにして、電圧 V N 3 が初期化され、信号 C P の電圧が初期化される。

[0064] 次に、タイミング t 1 5 において、撮像制御部 1 6 は、制御信号 S T B T の電圧を高レベルから低レベルに変化させる（図 6（E））。これにより、A D 変換部 A D C の比較回路 2 4 では、トランジスタ M N 3 2 がオフ状態になる。

[0065] 次に、タイミング t 1 6 ～ t 1 8 の期間（P 相期間 T P）において、A D 変換部 A D C は、リセット電圧 V reset に基づいて A D 変換を行う。具体的には、まず、タイミング t 1 6 において、参照信号生成部 1 3 は、参照信号 R A M P の電圧を、電圧 V 5 から所定の変化度合いで上昇させ始める（図 6（G））。これに応じて、A D 変換部 A D C の比較回路 2 4 では、トランジスタ M P 1 2 のゲート電圧 V g が上昇し始める（図 6（H））。また、このタイミング t 1 6 において、撮像制御部 1 6 は、クロック信号 C L K の生成を開始する。A D 変換部 A D C のカウンタ 2 5 は、カウント動作を行うことにより、このクロック信号 C L K のパルスのカウントする。

[0066] そして、タイミング t 1 7 において、ゲート電圧 V g が電圧 V 2 を上回る（図 6（H））。これにより、A D 変換部 A D C の比較回路 2 4 では、ノード N 1 の電圧 V N 1 が低レベル（電源電圧 V S S M）から高レベル（電源電圧 V D D M）に変化し（図 6（I））、ノード N 2 の電圧 V N 2 が高レベル（電源電圧 V D D M よりやや低い電圧）から低レベル（電源電圧 V S S M）に変化し（図 6（J））、ノード N 3 の電圧 V N 3 が低レベル（電源電圧 V

SSL) から高レベル (電源電圧 V_{DDM}) に変化し (図 6 (K))、信号 CP の電圧が高レベル (電源電圧 V_{DDL}) から低レベル (電源電圧 V_{SSL}) に変化する (図 6 (L))。すなわち、比較回路 24 は、ゲート電圧 V_g と電圧 V_2 とを比較し、ゲート電圧 V_g がこの電圧 V_2 を上回ったので、信号 CP の電圧を高レベルから低レベルに変化させる。AD 変換部 ADC のカウンタ 25 は、この信号 CP の遷移に基づいて、カウント動作を停止する。このときのカウンタ 25 のカウント値 (カウント値 CNT P) は、リセット電圧 V_{reset} に応じた値である。AD 変換部 ADC のラッチ 26 は、このカウント値 CNT P を保持する。そして、カウンタ 25 は、カウント値をリセットする。

[0067] 次に、タイミング t_{18} において、参照信号生成部 13 は、P 相期間 T_P の終了に伴い、参照信号 RAMP の電圧を電圧 V_1 に設定する。また、撮像制御部 16 は、このタイミング t_{18} において、クロック信号 CLK の生成を停止する。そして、このタイミング t_{18} 以降の期間において、読出部 20 は、ラッチ 26 に保持されたカウント値 CNT P を、画像データ D T O として、信号処理部 15 に供給する。

[0068] そして、このタイミング t_{18} において、駆動部 12 は、制御信号 STRG の電圧を低レベルから高レベルに変化させる (図 6 (C))。これにより、受光画素 P では、トランジスタ TRG がオン状態になり、フォトダイオード PD で発生した電荷がフローティングディフュージョン FD に転送される (電荷転送動作)。そして、受光画素 P は、このときのフローティングディフュージョン FD の電圧に対応する電圧 (画素電圧 V_{pix}) を出力する。このようにして、信号 S I G の電圧が画素電圧 V_{pix} になる (図 6 (F))。この図 6 では、互いに異なる 2 つの画素電圧 V_{pix} (電圧 V_{pix1} , V_{pix2}) の例を示している。電圧 V_{pix1} は、受光画素 P における受光量が少ない場合における画素電圧 V_{pix} であり、電圧 V_{pix2} は、受光画素 P における受光量が多い場合における画素電圧 V_{pix} である。このように信号 S I G の電圧が低下することにより、AD 変換部 ADC の比較回路 24 では、トランジスタ MP 12 の

ゲート電圧 V_g が低下する（図 6（H））。ゲート電圧 V_g は、画素電圧 V_{pix} に応じた電圧だけ変化する。このようにゲート電圧 V_g が低下することにより、AD変換部ADCの比較回路24では、ノードN1の電圧 V_{N1} が下降して電源電圧 V_{SSM} になり（図 6（I））、ノードN2の電圧 V_{N2} が上昇する（図 6（J））。このように、電圧 V_{N2} が上昇することにより、トランジスタMP25のソース電圧がトランジスタMP25のゲート電圧より高くなり、トランジスタMP25がオン状態になる。その結果、電圧 V_{N2} は、トランジスタMP25により、電源電圧 V_{DDM} よりやや低い電圧にクランプされる。電圧 V_{N2} が電源電圧 V_{DDM} よりやや低い電圧になることにより、トランジスタMP31はオフ状態になり、ノードN3はフローティング状態になる。よって、ノードN3の電圧は高レベル（電源電圧 V_{DDM} ）を維持し（図 6（K））、信号CPの電圧は低レベル（電源電圧 V_{SSL} ）を維持する（図 6（L））。

[0069] 次に、タイミング t_{19} において、駆動部12は、制御信号STRGの電圧を高レベルから低レベルに変化させる（図 6（C））。これにより、受光画素Pでは、トランジスタTRGがオフ状態になり、電荷転送動作が終了する。

[0070] 次に、タイミング t_{20} において、参照信号生成部13は、参照信号RAMPの電圧を電圧 V_1 から電圧 V_5 に低下させる（図 6（G））。これにより、AD変換部ADCの比較回路24では、トランジスタMP12のゲート電圧 V_g が低下する（図 6（H））。

[0071] また、このタイミング t_{20} において、撮像制御部16は、制御信号STBTの電圧を低レベルから高レベルに変化させる（図 6（E））。これにより、AD変換部ADCの比較回路24では、トランジスタMN32がオン状態になり、ノードN3の電圧 V_{N3} が、電源電圧 V_{SSL} に設定される（図 6（K））。このとき、ノードN2の電圧 V_{N2} は電源電圧 V_{DDM} に近い電圧であるので、トランジスタMP31はオフ状態であるため、増幅部AMP3に電流は流れない。このように電圧 V_{N3} が電源電圧 V_{SSL} に設定さ

れることにより、ノードN4における信号CPの電圧は高レベル（電源電圧VDDL）になる（図6（L））。このようにして、電圧VN3が初期化され、信号CPの電圧が初期化される。

[0072] 次に、タイミングt21において、撮像制御部16は、制御信号STBTの電圧を高レベルから低レベルに変化させる（図6（E））。これにより、AD変換部ADCの比較回路24では、トランジスタMN32がオフ状態になる。

[0073] 次に、タイミングt22～t24の期間（D相期間TD）において、AD変換部ADCは、画素電圧Vpixに基づいてAD変換を行う。具体的には、まず、タイミングt22において、参照信号生成部13は、参照信号RAMPの電圧を、電圧V5から所定の変化度合いで上昇させ始める（図6（G））。これに応じて、AD変換部ADCの比較回路24では、トランジスタMP12のゲート電圧Vgが上昇し始める（図6（H））。また、このタイミングt22において、撮像制御部16は、クロック信号CLKの生成を開始する。AD変換部ADCのカウンタ25は、カウント動作を行うことにより、このクロック信号CLKのパルスのカウントする。

[0074] 画素電圧Vpixが電圧Vpix1である場合には、タイミングt23において、ゲート電圧Vgが電圧V2を上回る（図6（H））。これにより、AD変換部ADCの比較回路24では、ノードN1の電圧VN1が低レベル（電源電圧VSSM）から高レベル（電源電圧VDDM）に変化し（図6（I））、ノードN2の電圧VN2が高レベル（電源電圧VDDMよりやや低い電圧）から低レベル（電源電圧VSSM）に変化し（図6（J））、ノードN3の電圧VN3が低レベル（電源電圧VSSL）から高レベル（電源電圧VDDM）に変化し（図6（K））、信号CPの電圧が高レベル（電源電圧VDDL）から低レベル（電源電圧VSSL）に変化する（図6（L））。すなわち、比較回路24は、ゲート電圧Vgと電圧V2とを比較し、ゲート電圧Vgが電圧V2を上回ったので、信号CPの電圧を高レベルから低レベルに変化させる。

[0075] また、画素電圧 V_{pix} が電圧 V_{pix2} である場合には、タイミング t_{24} において、ゲート電圧 V_g が電圧 V_2 を上回る（図 6（H））。これにより、A/D 変換部 ADC の比較回路 24 は、同様に、信号 CP の電圧を高レベルから低レベルに変化させる（図 6（I）～（L））。

[0076] A/D 変換部 ADC のカウンタ 25 は、この信号 CP の遷移に基づいて、カウント動作を停止する。このときのカウンタ 25 のカウント値（カウント値 CNTD）は、画素電圧 V_{pix} に応じた値である。A/D 変換部 ADC のラッチ 26 は、このカウント値 CNTD を保持する。そして、カウンタ 25 は、カウント値をリセットする。

[0077] 次に、タイミング t_{25} において、参照信号生成部 13 は、D 相期間 TD の終了に伴い、参照信号 RAMP の電圧を電圧 V_1 に設定する（図 6（G））。また、撮像制御部 16 は、このタイミング t_{25} において、クロック信号 CLK の生成を停止する。そして、このタイミング t_{25} 以降の期間において、読出部 20 は、ラッチ 26 に保持されたカウント値 CNTD を、画像データ DTO として、信号処理部 15 に供給する。

[0078] そして、駆動部 12 は、このタイミング t_{25} において、制御信号 SEL の電圧を高レベルから低レベルに変化させる（図 6（A））。これにより、受光画素 P では、トランジスタ SEL がオフ状態になり、受光画素 P が信号線 VSL から電氣的に切り離される。

[0079] このようにして、読出部 20 は、カウント値 CNTP、CNTD を含む画像データ DTO を信号処理部 15 に供給する。信号処理部 15 は、例えば画像データ DTO に含まれるカウント値 CNTP、CNTD に基づいて、相関 2 重サンプリングの原理を利用して、画素値 VAL を生成する。具体的には、信号処理部 15 は、例えば、カウント値 CNTD からカウント値 CNTP を減算することにより、画素値 VAL を生成する。このように、信号処理部 15 は、所定の処理を行うことにより、画像データ DT を生成する。

[0080] このように撮像装置 1 では、P 相期間 TP においてリセット電圧 V_{reset} に基づいてカウント動作を行うことによりカウント値 CNTP を取得し、D 相

期間 T_D において画素電圧 V_{pix} に基づいてカウント動作を行うことによりカウント値 CNT_D を取得するようにした。そして、撮像装置 1 では、カウント値 CNT_P 、 CNT_D に基づいて、相関 2 重サンプリングの原理を利用して、画素値 VAL を生成するようにした。撮像装置 1 では、このような相関 2 重サンプリングを行うようにしたので、画素電圧 V_{pix} に含まれるノイズ成分を取り除くことができ、その結果、撮像画像の画質を高めることができる。

[0081] 撮像装置 1 では、図 4 に示したように、増幅部 AMP_3 を電源ノード $NVDDM$ に接続するようにした。また、増幅部 AMP_3 のトランジスタ MP_31 のソースを電源ノード $NVDDM$ に接続するとともに、ノード N_3 の電圧を初期化するトランジスタ MN_32 を設けるようにした。これにより、以下に比較例と対比して説明するように、電源電圧 $VDDM$ 、 $VDDL$ が揺れたときの、カウンタ 25 におけるカウント値への影響を抑えることができる。

[0082] (比較例)

次に、比較例に係る撮像装置 1R について説明する。本比較例は、比較回路 24 の構成が、本実施の形態とは異なるものである。その他の構成は、本実施の形態に係る撮像装置 1 (図 1, 3 など) と同様である。

[0083] 図 7 は、撮像装置 1R に係る比較回路 24R の一構成例を表すものである。比較回路 24R は、増幅部 AMP_2R 、 AMP_3R を有している。

[0084] 増幅部 AMP_2R は、トランジスタ MN_21 、 MP_22 と、容量素子 C_23 と、スイッチ SW_24 とを有している。すなわち、増幅部 AMP_2R は、本実施の形態に係る比較回路 24 (図 4) の増幅部 AMP_3 から、トランジスタ MP_25 を省いたものである。

[0085] 増幅部 AMP_3R は、トランジスタ MP_33 、 MN_34 を有している。トランジスタ MP_33 は P 型の MOS トランジスタであり、トランジスタ MN_34 は N 型の MOS トランジスタである。この増幅部 AMP_3R は、電源ノード $NVDDL$ 、 $NVSSL$ に接続され、電源電圧 $VDDL$ 、 $VSSL$ に基づいて動作する。すなわち、本実施の形態に係る比較回路 24 (図 4) では

、増幅部AMP 3は電源ノードNVDDMに接続されるようにしたが、本比較例に係る比較回路24 Rでは、増幅部AMP 3 Rは電源ノードNVDDLに接続される。トランジスタMP 33のゲートはノードN 2に接続され、ソースは電源ノードNVDDLに接続され、ドレインはノードN 3に接続される。トランジスタMN 34のゲートはノードN 2に接続され、ドレインはノードN 3に接続され、ソースは電源ノードNVSSLに接続される。増幅部AMP 3 Rは、本実施の形態に係る比較回路24（図4）の増幅部AMP 3 Rとは異なり、CMOSアンプである。

[0086] このように、比較回路24 Rでは、増幅部AMP 1，AMP 2 Rは、電源電圧VDDM，VSSMに基づいて動作し、増幅部AMP 3 R，AMP 4は、電源電圧VDDL，VSSLに基づいて動作する。

[0087] 増幅部AMP 3 Rは、CMOSアンプであるので、入力電圧である電圧VN 2が、CMOSアンプの論理しきい値よりも高い場合に、出力電圧である電圧VN 3を低レベルにし、電圧VN 2が論理しきい値よりも低い場合に、電圧VN 3を高レベルにする。この論理しきい値は、例えば、電源電圧VDDLおよび電源電圧VSSLの中間電圧程度に設定される。

[0088] 電源電圧VDDLは、デジタル回路に供給されるので、電源電圧VDDLには、例えばスイッチングノイズなどの多くのノイズが生じる。電源電圧VDDLが揺れると、論理しきい値もまた揺れる。これにより、例えば、ノードN 2の電圧VN 2のスルーレートが低い場合には、電源電圧VDDLの揺れに応じて、電圧VN 3の遷移タイミングがずれるおそれがある。特に、この例では、ノイズを低減するために、増幅部AMP 1の出力ノードであるノードN 1に容量素子C 19を設けているので、ノードN 1の電圧VN 1のスルーレートが低く、その結果、ノードN 2の電圧VN 2のスルーレートが低い。この電圧VN 2は、電源電圧VDDLに基づいて動作する回路のうちの初段回路である増幅部AMP 3 Rに入力される。このように電圧VN 2のスルーレートが低いので、電源電圧VDDLの揺れに応じて、電圧VN 3の遷移タイミングがずれてしまう。その結果、カウンタ25におけるカウント値

がずれてしまい、受光量に応じた画素値 V_{AL} もまた、本来の値からずれてしまう。

[0089] 一方、本実施の形態に係る比較回路 24（図 4）では、増幅部 AMP 3 を電源ノード N_{VDDM} に接続するようにした。これにより、3つの増幅部 AMP 1, AMP 2, AMP 3 が電源電圧 V_{DDM} に基づいて動作するので、電源電圧 V_{DDL} に基づいて動作する回路のうちの初段回路である増幅部 AMP 4 に入力される電圧 V_{N3} のスルーレートを高くすることができる。よって、比較回路 24 では、電源電圧 V_{DDL} が揺れた場合でも、その揺れに応じて、電圧 V_{N3} の遷移タイミングがずれるおそれを低減することができるので、電源電圧 V_{DDL} の揺れが画素値 V_{AL} におよぼす影響を低減することができる。

[0090] また、本実施の形態に係る比較回路 24 では、増幅部 AMP 3 のトランジスタ MP 31 のソースを電源ノード N_{VDDM} に接続するとともに、ノード N_3 の電圧を初期化するトランジスタ MN 32 を設けるようにした。これにより、増幅部 AMP 3 は、入力電圧であるノード N_2 の電圧 V_{N2} に基づいて、トランジスタ MP 31 のみがオンオフすることにより動作する。具体的には、増幅部 AMP 3 は、電源ノード N_{VDDM} から見たノード N_2 の電圧と、トランジスタ MP 31 のしきい値電圧 V_{th} との大小関係に基づいて動作する。よって、比較回路 24 では、例えばアナログ回路用の電源電圧 V_{DDM} が揺れた場合でも、この電源電圧 V_{DDM} の揺れが電圧 V_{N3} の遷移タイミングにおよぼす影響を低減することができるので、電源電圧 V_{DDM} の揺れが画素値 V_{AL} におよぼす影響を低減することができる。

[0091] 特に、この例では、ノード N_2 の電圧 V_{N2} が高レベルである場合に、この電圧 V_{N2} がトランジスタ MP 25 によりクランプされるようにしている。これにより、ノード N_2 の電圧 V_{N2} が高レベルである場合でも、電流源であるトランジスタ MP 22 のドレイン・ソース電圧をある程度確保することができる。このトランジスタ MP 25 のゲート電圧は、容量素子 C 23 により設定された電圧である。この容量素子 C 23 の両端間の電圧は維持され

るので、例えば、電源電圧 V_{DDM} が揺れると、トランジスタMP25のゲート電圧もまた同様に揺れることとなる。これにより、トランジスタMP25によりクランプされた電圧 V_{N2} もまた、電源電圧 V_{DDM} と同様に揺れる。このように、トランジスタMP31のソース電圧およびゲート電圧は、互いに同じように揺れる。これにより、以下に説明するように、電源電圧 V_{DDM} の揺れが電圧 V_{N3} の遷移タイミングのずれにおよぼす影響を低減することができる。

[0092] 図8は、図6に示したタイミング t_{24} 付近における、ノードN2での電圧 V_{N2} 、およびノードN3での電圧 V_{N3} の波形（部分W1）の一例を表すものである。なお、電源電圧 V_{DDM} が揺れている場合でも、電圧 V_{N2} 、 V_{N3} が遷移する短い期間では、電源電圧 V_{DDM} はほとんど変化しないとみなせるので、この図8では、電源電圧 V_{DDM} を直流電圧として描いている。電源電圧 V_{DDM} は揺れているので、様々な電圧をとり得る。図8（A）では、電源電圧 V_{DDM} を3つの電圧レベルで示している。

[0093] タイミング t_{24} において遷移が生じる前には、図6に示したように、電圧 V_{N2} は、トランジスタMP25により、電源電圧 V_{DDM} よりやや低い電圧にクランプされている。このクランプされた電圧 V_{N2} は、図8（A）に示したように、電源電圧 V_{DDM} が高い場合には高くなり、電源電圧 V_{DDM} が低い場合には低くなる。

[0094] そして、電圧 V_{N2} が高レベルから低レベルに向かって変化し、電圧 V_{N2} が、電源電圧 V_{DDM} よりトランジスタMP31のしきい値電圧 V_{th} の絶対値の分だけ低い電圧（ $V_{DDM} - |V_{th}|$ ）を下回ると、増幅部AMP3のトランジスタMP31は、オン状態になる。このように、増幅部AMP3は、電源ノード N_{VDDM} から見たノードN2の電圧と、トランジスタMP31のしきい値電圧 V_{th} との大小関係に基づいて動作する。よって、図8（A）に示したように、電源電圧 V_{DDM} が高い場合には、トランジスタMP31がオン状態になるときの電圧 V_{N2} は高く、電源電圧 V_{DDM} が低い場合には、トランジスタMP31がオン状態になるときの電圧 V_{N2} は

低い。これにより、トランジスタMP 3 1は、電源電圧VDDMによらず、ほぼ同じタイミングでオン状態になり、その結果、増幅部AMP 3は、ほぼ同じタイミングで、電圧VN 3を低レベルから高レベルに変化させる。

[0095] このように比較回路2 4では、電源電圧VDDMの揺れが電圧VN 3の遷移タイミングにおよぼす影響を低減することができるので、電源電圧VDDMの揺れが画素値VALにおよぼす影響を低減することができる。

[0096] このように、撮像装置1では、増幅部AMP 1～AMP 3を設けるようにした。増幅部AMP 1は、電源ノードNVDDMおよび電源ノードNVSSMに接続され、信号SIGおよび参照信号RAMPに基づいて比較動作を行い、その比較結果に応じた信号をノードN 1に出力するようにした。増幅部AMP 2は、ノードN 1に接続されたゲートと、ノードN 2に接続されたドレインと、電源ノードNVSSMに接続されたソースとを有するトランジスタMN 2 1と、電源ノードNVDDMおよびノードN 2に接続された負荷回路（トランジスタMP 2 2、容量素子C 2 3、スイッチSW 2 4、およびトランジスタMP 2 5）とを有するようにした。増幅部AMP 3は、ノードN 2に接続されたゲートと、電源ノードNVDDMに接続されたソースと、ノードN 3に接続されたドレインとを有するトランジスタMP 3 1と、オン状態になることによりノードN 3に電源電圧VSSLを印加するトランジスタMN 3 2とを有するようにした。これにより、上述したように、電源電圧VDDM、VDDLの揺れが電圧VN 3の遷移タイミングにおよぼす影響を低減することができる。その結果、撮像装置1では、電源電圧VDDM、VDDLの揺れが画素値VALにおよぼす影響を低減することができるので、撮像画像の画質を高めることができる。

[0097] また、撮像装置では、電源ノードNVDDMに接続されたソースと、ゲートと、ノードN 2に接続されたドレインとを有するトランジスタMP 2 2と、電源ノードNVDDMに接続された第1の端子と、トランジスタMP 2 2のゲートに接続された第2の端子とを有する容量素子C 2 3と、オン状態になることによりトランジスタMP 2 2のゲートとノードN 2とを接続するス

スイッチSW24と、ノードN2に接続されたソースと、トランジスタMP22のゲートに接続されたゲートと、電源ノードNVSSMに接続されたドレインとを有するトランジスタMP25とを設けるようにした。これにより、上述したように、電源電圧VDDMの揺れが電圧VN3の遷移タイミングにおよぼす影響を低減することができる。その結果、撮像装置1では、電源電圧VDDMの揺れが画素値VALにおよぼす影響を低減することができるので、撮像画像の画質を高めることができる。

[0098] [効果]

以上のように本実施の形態では、増幅部AMP1～AMP3を設けるようにした。増幅部AMP1は、電源ノードNVDDMおよび電源ノードNVSSMに接続され、信号SIGおよび参照信号RAMPに基づいて比較動作を行い、その比較結果に応じた信号をノードN1に出力するようにした。増幅部AMP2は、ノードN1に接続されたゲートと、ノードN2に接続されたドレインと、電源ノードNVSSMに接続されたソースとを有するトランジスタMN21と、電源ノードNVDDMおよびノードN2に接続された負荷回路（トランジスタMP22、容量素子C23、スイッチSW24、およびトランジスタMP25）とを有するようにした。増幅部AMP3は、ノードN2に接続されたゲートと、電源ノードNVDDMに接続されたソースと、ノードN3に接続されたドレインとを有するトランジスタMP31と、オン状態になることによりノードN3に電源電圧VSSLを印加するトランジスタMN32とを有するようにした。これにより、撮像画像の画質を高めることができる。

[0099] 本実施の形態では、電源ノードNVDDMに接続されたソースと、ゲートと、ノードN2に接続されたドレインとを有するトランジスタMP22と、電源ノードNVDDMに接続された第1の端子と、トランジスタMP22のゲートに接続された第2の端子とを有する容量素子C23と、オン状態になることによりトランジスタMP22のゲートとノードN2とを接続するスイッチSW24と、ノードN2に接続されたソースと、トランジスタMP22

のゲートに接続されたゲートと、電源ノードNVSSMに接続されたドレインとを有するトランジスタMP25とを設けるようにした。これにより、撮像画像の画質を高めることができる。

[0100] [変形例1]

上記実施の形態では、図4に示したように、トランジスタMP25を設け、電圧VN2をクランプするようにしたが、図9に示した比較回路24Aのように、より確実にクランプさせるようにするための回路を付加してもよい。比較回路24Aは、スイッチSW19、SW26を有している。スイッチSW19の一端はノードN1に接続され、他端は電源ノードNVSSMに接続される。スイッチSW19は、例えばMOSトランジスタを用いて構成され、制御信号SWAに基づいてオンオフする。スイッチSW26の一端は電源ノードNVDDMに接続され、他端はノードN3に接続される。スイッチSW26は、例えばMOSトランジスタを用いて構成され、制御信号SWBに基づいてオンオフする。この制御信号SWA、SWBは、例えば、制御信号STBTと同様の波形にすることができる。図10は、本変形例に係る撮像装置の一動作例を表すものである。タイミングt14～t15の期間において、スイッチSW19、SW26はオン状態になる。これにより、ノードN1の電圧VN1が電源電圧VSSMに設定されるとともに（図10（I））、ノードN2の電圧VN2が電源電圧VDDMに設定される（図10（J））。このように、ノードN2の電圧VN2が電源電圧VDDMに設定されることにより、トランジスタMP25のソース電圧が十分に高くなるので、トランジスタMP25がオン状態になる。よって、タイミングt15において、スイッチSW26がオフ状態になると、ノードN2の電圧VN2は、このトランジスタMP25により、電源電圧VDDMよりやや低い電圧にクランプされる。タイミングt20～t21の期間においても同様である。これにより、タイミングt21において、スイッチSW26がオフ状態になると、ノードN2の電圧VN2は、トランジスタMP25により、電源電圧VDDMよりやや低い電圧にクランプされる。

[0101] [変形例 2]

上記実施の形態では、図 4 に示したように、P 型の MOS トランジスタを用いて増幅部 AMP 1 の差動対を構成したが、これに限定されるものではなく、これに代えて、例えば、N 型の MOS トランジスタを用いて差動対を構成してもよい。以下に、本変形例に係る比較回路 24 B について詳細に説明する。

[0102] 図 11 は、比較回路 24 B の一構成例を表すものである。比較回路 24 B は、増幅部 AMP 1 B ~ AMP 4 B を有している。

[0103] 増幅部 AMP 1 B は、トランジスタ MN 51 ~ MN 53 と、スイッチ SW 54, SW 55 と、容量素子 C 56 と、トランジスタ MP 57, MP 58 と、容量素子 C 59 とを有している。トランジスタ MN 51 ~ MN 53 は N 型の MOS トランジスタであり、トランジスタ MP 57, MP 58 は P 型の MOS トランジスタである。これらのトランジスタ MN 51 ~ MN 53、スイッチ SW 54, SW 55、容量素子 C 56、トランジスタ MN 57, MN 58、および容量素子 C 59 は、上記実施の形態に係る比較回路 24 (図 4) におけるトランジスタ MP 11 ~ MP 13、スイッチ SW 14, SW 15、容量素子 C 16、トランジスタ MN 17, MN 18、および容量素子 C 19 にそれぞれ対応している。

[0104] 増幅部 AMP 2 B は、トランジスタ MP 61, MN 62 と、容量素子 C 63 と、スイッチ SW 64 と、トランジスタ MN 65 とを有している。トランジスタ MP 61 は P 型の MOS トランジスタであり、トランジスタ MN 62, MN 65 は N 型の MOS トランジスタである。トランジスタ MP 61, MN 62、容量素子 C 63、スイッチ SW 64、およびトランジスタ MN 65 は、上記実施の形態に係る比較回路 24 (図 4) におけるトランジスタ MN 21, MP 22、容量素子 C 23、スイッチ SW 24、およびトランジスタ MP 25 にそれぞれ対応している。

[0105] 増幅部 AMP 3 B は、トランジスタ MN 71, MP 72 を有している。トランジスタ MN 71 は N 型の MOS トランジスタであり、トランジスタ MP

72はP型のMOSトランジスタである。この増幅部AMP3Bは、電源ノードNVDDM、NVSSMに接続され、電源電圧VDDM、VSSMに基づいて動作する。トランジスタMN71のゲートはノードN2に接続され、ドレインはノードN3に接続され、ソースは電源ノードNVSSMに接続される。トランジスタMP72のゲートには制御信号STBTが供給され、ソースは電源ノードNVDDMに接続され、ドレインはノードN3に接続される。

[0106] 増幅部AMP4Bは、トランジスタMN81、MP82を有している。トランジスタMN81はN型のMOSトランジスタであり、トランジスタMP82はP型のMOSトランジスタである。トランジスタMN81、MP82は、上記実施の形態に係る比較回路24（図4）におけるトランジスタMP41、MN42にそれぞれ対応している。

[0107] [変形例3]

上記実施の形態では、図4に示したように、増幅部AMP1が差動対を有するようにしたが、これに限定されるものではなく、これに代えて、例えば、増幅部が差動対を有しなくてもよい。以下に、いくつか例を挙げて本変形例について説明する。

[0108] 図12は、本変形例に係る比較回路24Cの一構成例を表すものである。比較回路24Cは、増幅部AMP1C、AMP2C、AMP3、AMP4を有している。

[0109] 増幅部AMP1Cは、トランジスタMP91、MN92と、スイッチSW93と、トランジスタMP94とを有している。トランジスタMP91、MP94はP型のMOSトランジスタであり、トランジスタMN92はN型のMOSトランジスタである。トランジスタMP91のゲートにはバイアス電圧Vbias3が供給され、ソースは電源ノードNVDDMに接続され、ドレインはノードN1に接続される。トランジスタMN92のゲートはスイッチSW93に接続されるとともに容量素子22、23の他端に接続され、ドレインはノードN1に接続され、ソースは電源ノードNVSSに接続される。スイ

ッチSW93の一端はトランジスタMN92のゲートに接続されるとともに容量素子22, 23の他端に接続され、他端はノードN1に接続される。スイッチSW93は、例えばMOSトランジスタを用いて構成され、制御信号AZSWに基づいてオンオフする。トランジスタMP94のゲートにはバイアス電圧Vbias4が供給され、ソースは電源ノードNVSSに供給され、ドレインは電源ノードNVSSMに接続される。この増幅部AMP1は、ソース接地アンプであり、トランジスタMP91は電流源であり、トランジスタMP94は、ソースフォロワとして動作することによりバイアス電圧Vbias4に応じた電源電圧VSSを電源ノードNVSSに供給する。

[0110] 増幅部AMP2Cは、上記実施の形態に係る比較回路24（図4）の増幅部AMP2と同様の構成を有する。増幅部AMP2Cは、電源ノードNVDDM, NVSSに接続され、電源電圧VDDM, VSSに基づいて動作する。

[0111] ここで、トランジスタMN92は、本開示における「第3のトランジスタ」の一具体例に対応する。容量素子22は、本開示における「第2の容量素子」の一具体例に対応する。容量素子23は、本開示における「第3の容量素子」の一具体例に対応する。スイッチSW93は、本開示における「第3のスイッチ」の一具体例に対応する。トランジスタMP91は、本開示における「第2の負荷回路」の一具体例に対応する。

[0112] 図13は、本変形例に係る他の比較回路24Dの一構成例を表すものである。比較回路24Dは、増幅部AMP1D, AMP2D, AMP3D, AMP4Bを有している。

[0113] 増幅部AMP1Dは、トランジスタMN101, MP102と、スイッチSW103と、トランジスタMN104とを有している。トランジスタMN101, MN104はN型のMOSトランジスタであり、トランジスタMP102はP型のMOSトランジスタである。トランジスタMN101, MP102、スイッチSW103、およびトランジスタMN104は、比較回路24C（図12）におけるトランジスタMP91, MN92、スイッチSW

93、およびトランジスタMP94にそれぞれ対応している。トランジスタMP104は、ソースフォォワとして動作することによりバイアス電圧Vbias4に応じた電源電圧VDDを電源ノードNVDDに供給する。

[0114] 増幅部AMP2Dは、上記実施の形態に係る比較回路24B（図11）の増幅部AMP2Bと同様の構成を有する。増幅部AMP2Dは、電源ノードNVDD、NVSSMに接続され、電源電圧VDD、VSSMに基づいて動作する。

[0115] 増幅部AMP3Dは、上記実施の形態に係る比較回路24B（図11）の増幅部AMP3Bと同様の構成を有する。増幅部AMP3Dは、電源ノードNVDD、NVSSMに接続され、電源電圧VDD、VSSMに基づいて動作する。

[0116] [変形例4]

上記実施の形態では、図4に示したように、容量素子22、23の他端がともにトランジスタMP12のゲートに接続されるようにしたが、これに限定されるものではなく、これに代えて、例えば、容量素子C22の他端および容量素子C23の他端が、差動対を構成する2つのトランジスタのゲートにそれぞれ接続されてもよい。以下に、いくつか例を挙げて本変形例について説明する。

[0117] 図14は、本変形例に係る他の比較回路24Eの一構成例を表すものである。比較回路24Eは、増幅部AMP1E、AMP2、AMP3、AMP4を有している。増幅部AMP1Eは、トランジスタMP11～MP13と、スイッチSW14、SW15と、トランジスタMN17、MN18とを有している。トランジスタMP11のゲートにはバイアス電圧Vbias1が供給され、ソースは電源ノードNVDDMに接続され、ドレインはトランジスタMP12、MP13のソースに接続される。トランジスタMP12のゲートはスイッチSW14に接続されるとともに容量素子23の他端に接続され、ソースはトランジスタMP11のドレインおよびトランジスタMP13のソースに接続され、ドレインはスイッチSW14、トランジスタMN17のドレイ

ン、トランジスタMN17のゲート、およびトランジスタMN18のゲートに接続される。トランジスタMP13のゲートはスイッチSW15に接続されるとともに容量素子22の他端に接続され、ソースはトランジスタMP11のドレインおよびトランジスタMP12のソースに接続され、ドレインはノードN1に接続される。スイッチSW14の一端はトランジスタMP12のゲートに接続されるとともに容量素子23の他端に接続され、他端はトランジスタMP12のドレイン、トランジスタMN17のドレイン、トランジスタMN17のゲート、およびトランジスタMN18のゲートに接続される。スイッチSW14は、例えばMOSトランジスタを用いて構成され、制御信号AZSWに基づいてオンオフする。スイッチSW15の一端はトランジスタMP13のゲートに接続されるとともに容量素子22の他端に接続され、他端はノードN1に接続される。スイッチSW15は、例えばMOSトランジスタを用いて構成され、制御信号AZSWに基づいてオンオフする。トランジスタMN17のゲートはトランジスタMN12のドレイン、スイッチSW14の他端、トランジスタMN17のドレイン、およびトランジスタMN18のゲートに接続され、ドレインはトランジスタMP12のドレイン、スイッチSW14の他端、トランジスタMN17のゲート、およびトランジスタMN18のゲートに接続され、ソースは電源ノードNVSSMに接続される。トランジスタMN18のゲートはトランジスタMP12のドレイン、スイッチSW14の他端、トランジスタMN17のドレイン、およびトランジスタMN17のゲートに接続され、ドレインはノードN1に接続され、ソースは電源ノードNVSSMに接続される。

[0118] 図15は、本変形例に係る他の比較回路24Fの一構成例を表すものである。比較回路24Fは、増幅部AMP1F、AMP2B、AMP3B、AMP4Bを有している。増幅部AMP1Fは、トランジスタMN51～MN53と、スイッチSW54、SW55と、トランジスタMP57、MP58とを有している。これらのトランジスタMN51～MN53、スイッチSW54、SW55、およびトランジスタMN57、MN58は、上記実施の形態

に係る比較回路 24 E (図 14) におけるトランジスタ MP 11 ~ MP 13、スイッチ SW 14、SW 15、およびトランジスタ MN 17、MN 18 にそれぞれ対応している。

[0119] < 2. 撮像装置の使用例 >

図 16 は、上記実施の形態に係る撮像装置 1 の使用例を表すものである。上述した撮像装置 1 は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0120] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビジョンや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0121] < 3. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車

、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0122] 図17は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0123] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図17に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0124] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0125] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウインカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

- [0126] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0127] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0128] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0129] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0130] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0131] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0132] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 17 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0133] 図 18 は、撮像部 12031 の設置位置の例を示す図である。

[0134] 図 18 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0135] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックド

アに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0136] なお、図 18 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0137] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0138] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的変化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0139] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 1

2104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0140] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0141] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。これにより、車両制御システム12000では、撮像画像の画質を高めることができる。その結果、車両制御システム12000では、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能

、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等の精度を高めることができる。

[0142] 以上、実施の形態および変形例、ならびにそれらの具体的な応用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0143] 例えば、上記の実施の形態では、図2に示したような構成の受光画素Pを用いたが、これに限定されるものではなく、様々な構成の受光画素を用いることができる。

[0144] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0145] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、撮像画像の画質を高めることができる。

[0146] (1)

受光量に応じた画素信号を生成する受光画素と、

時間の経過に応じて信号レベルが変化する参照信号を生成する参照信号生成部と、

第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、

前記第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む第2の増幅部と、

前記第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、オン状態になることにより前記第3のノードに所定の電圧を印加する第1のスイッチとを含む第3の増幅部と、

第3の電源ノードおよび第4の電源ノードに接続され、カウント動作を行

い、前記第3のノードの電圧に基づいて前記カウント動作を停止するカウンタと

を備えた撮像装置。

(2)

前記参照信号生成部は、第1の期間において、前記信号レベルを時間の経過に応じて変化させ、

前記第1の増幅部は、前記第1の期間において前記比較動作を行い、

前記第1のスイッチは、前記第1の期間の前の第2の期間においてオン状態になり、前記第1の期間においてオフ状態になる

前記(1)に記載の撮像装置。

(3)

前記第1のスイッチは、オン状態になることにより、前記第3のノードと、前記第2の電源ノードまたは前記第4の電源ノードとを接続する

前記(1)または(2)に記載の撮像装置。

(4)

前記第1の電源ノードにおける電圧と前記第2の電源ノードにおける電圧との間の電圧差の絶対値は、前記第3の電源ノードにおける電圧と前記第4の電源ノードにおける電圧との間の電圧差の絶対値よりも大きい

前記(1)から(3)のいずれかに記載の撮像装置。

(5)

前記第1の負荷回路は、

前記第1の電源ノードに接続されたソースと、ゲートと、前記第2のノードに接続されたドレインとを有する第1の負荷トランジスタと、

前記第1の電源ノードに接続された第1の端子と、前記第1の負荷トランジスタの前記ゲートに接続された第2の端子とを有する第1の容量素子と、

オン状態になることにより、前記第1の負荷トランジスタの前記ゲートと、前記第2のノードとを接続する第2のスイッチと

を有する

前記（１）から（４）のいずれかに記載の撮像装置。

（６）

前記第１の負荷回路は、前記第２のノードに接続されたソースと、前記第１の負荷トランジスタの前記ゲートに接続されたゲートと、前記第２の電源ノードに接続されたドレインとを有する第２の負荷トランジスタを有する
前記（５）に記載の撮像装置。

（７）

前記参照信号生成部は、第１の期間において、前記信号レベルを時間の経過に応じて変化させ、

前記第１の増幅部は、前記第１の期間において前記比較動作を行い、

前記第２のスイッチは、前記第１の期間の前の第３の期間においてオン状態になり、前記第１の期間においてオフ状態になる

前記（５）または（６）に記載の撮像装置。

（８）

前記第１の増幅部は、

前記第１の電源ノードに接続された電流源と、

ゲートと、ドレインと、前記電流源に接続されたソースとを有する第３のトランジスタと、

ゲートと、前記第１のノードに接続されたドレインと、前記電流源に接続されたソースとを有する第４のトランジスタと、

前記画素信号が供給された第１の端子と、前記第３のトランジスタの前記ゲートに接続された第２の端子とを有する第２の容量素子と、

前記参照信号が供給された第１の端子と、前記第３のトランジスタの前記ゲートに接続された第２の端子とを有する第３の容量素子と、

オン状態になることにより前記第３のトランジスタの前記ゲートおよび前記第３のトランジスタの前記ドレインを接続する第３のスイッチと、

オン状態になることにより前記第４のトランジスタの前記ゲートおよび前記第４のトランジスタの前記ドレインを接続する第４のスイッチと、

前記第2の電源ノードと、前記第3のトランジスタの前記ドレインと、前記第4のトランジスタの前記ドレインとに接続された第2の負荷回路と

を有する

前記(1)から(7)のいずれかに記載の撮像装置。

(9)

前記第1の増幅部は、

ゲートと、前記第1のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第3のトランジスタと、

前記画素信号が供給された第1の端子と、前記第3のトランジスタの前記ゲートに接続された第2の端子とを有する第2の容量素子と、

前記参照信号が供給された第1の端子と、前記第3のトランジスタの前記ゲートに接続された第2の端子とを有する第3の容量素子と、

オン状態になることにより前記第3のトランジスタの前記ゲートおよび前記第3のトランジスタの前記ドレインを接続する第3のスイッチと、

前記第1の電源ノードおよび前記第1のノードに接続された第2の負荷回路と

を有する

前記(1)から(7)のいずれかに記載の撮像装置。

(10)

前記第2の電源ノードおよび前記第4の電源ノードは、互いに接続された前記(1)から(9)のいずれかに記載の撮像装置。

(11)

画素信号を生成する受光画素と、

参照信号を生成する参照信号生成部と、

第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、

前記第1のノードに接続されたゲートと、第2のノードに接続されたドレ

インと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む第2の増幅部と、

前記第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、制御信号に基づいてオンオフする第1のスイッチとを含む第3の増幅部と、

第3の電源ノードおよび第4の電源ノードに接続されたカウンタと
を備えた撮像装置。

(12)

前記第1の増幅部は、

前記第1の電源ノードに接続された電流源と、

ゲートと、ドレインと、前記電流源に接続されたソースとを有する第3のトランジスタと、

ゲートと、前記第1のノードに接続されたドレインと、前記電流源に接続されたソースとを有する第4のトランジスタと、

前記画素信号が供給された第1の端子と、前記第3のトランジスタの前記ゲートに接続された第2の端子とを有する第2の容量素子と、

前記参照信号が供給された第1の端子と、前記第3のトランジスタの前記ゲートに接続された第2の端子とを有する第3の容量素子と、

前記第2の電源ノードと、前記第3のトランジスタの前記ドレインと、前記第4のトランジスタの前記ドレインとに接続された第2の負荷回路と
を有する

前記(11)に記載の撮像装置。

(13)

前記第1の増幅部は、

ゲートと、前記第1のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第3のトランジスタと、

前記画素信号が供給された第１の端子と、前記第３のトランジスタの前記ゲートに接続された第２の端子とを有する第２の容量素子と、

前記参照信号が供給された第１の端子と、前記第３のトランジスタの前記ゲートに接続された第２の端子とを有する第３の容量素子と、

前記第１の電源ノードおよび前記第１のノードに接続された第２の負荷回路と

を有する

前記（１１）に記載の撮像装置。

（１４）

撮像装置と、

前記撮像装置の動作を制御する処理部と

を備え、

受光量に応じた画素信号を生成する受光画素と、

時間の経過に応じて信号レベルが変化する参照信号を生成する参照信号生成部と、

第１の電源ノードおよび第２の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第１のノードに出力する第１の増幅部と、

前記第１のノードに接続されたゲートと、第２のノードに接続されたドレインと、前記第２の電源ノードに接続されたソースとを有する第１のトランジスタと、前記第１の電源ノードおよび前記第２のノードに接続された第１の負荷回路とを含む第２の増幅部と、

前記第２のノードに接続されたゲートと、前記第１の電源ノードに接続されたソースと、第３のノードに接続されたドレインとを有する第２のトランジスタと、オン状態になることにより前記第３のノードに所定の電圧を印加する第１のスイッチとを含む第３の増幅部と、

第３の電源ノードおよび第４の電源ノードに接続され、カウント動作を行い、前記第３のノードの電圧に基づいて前記カウント動作を停止するカウン

たと

を有する

電子機器。

[0147] 本出願は、日本国特許庁において2020年8月26日に出願された日本特許出願番号2020-143005号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0148] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

受光量に応じた画素信号を生成する受光画素と、
時間の経過に応じて信号レベルが変化する参照信号を生成する参照信号生成部と、
第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、
前記第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む第2の増幅部と、
前記第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、オン状態になることにより前記第3のノードに所定の電圧を印加する第1のスイッチとを含む第3の増幅部と、
第3の電源ノードおよび第4の電源ノードに接続され、カウント動作を行い、前記第3のノードの電圧に基づいて前記カウント動作を停止するカウンタと
を備えた撮像装置。

[請求項2]

前記参照信号生成部は、第1の期間において、前記信号レベルを時間の経過に応じて変化させ、
前記第1の増幅部は、前記第1の期間において前記比較動作を行い、
前記第1のスイッチは、前記第1の期間の前の第2の期間においてオン状態になり、前記第1の期間においてオフ状態になる
請求項1に記載の撮像装置。

[請求項3]

前記第1のスイッチは、オン状態になることにより、前記第3のノードと、前記第2の電源ノードまたは前記第4の電源ノードとを接続

する

請求項 1 に記載の撮像装置。

[請求項4] 前記第 1 の電源ノードにおける電圧と前記第 2 の電源ノードにおける電圧との間の電圧差の絶対値は、前記第 3 の電源ノードにおける電圧と前記第 4 の電源ノードにおける電圧との間の電圧差の絶対値よりも大きい

請求項 1 に記載の撮像装置。

[請求項5] 前記第 1 の負荷回路は、
前記第 1 の電源ノードに接続されたソースと、ゲートと、前記第 2 のノードに接続されたドレインとを有する第 1 の負荷トランジスタと、

前記第 1 の電源ノードに接続された第 1 の端子と、前記第 1 の負荷トランジスタの前記ゲートに接続された第 2 の端子とを有する第 1 の容量素子と、

オン状態になることにより、前記第 1 の負荷トランジスタの前記ゲートと、前記第 2 のノードとを接続する第 2 のスイッチと
を有する

請求項 1 に記載の撮像装置。

[請求項6] 前記第 1 の負荷回路は、前記第 2 のノードに接続されたソースと、前記第 1 の負荷トランジスタの前記ゲートに接続されたゲートと、前記第 2 の電源ノードに接続されたドレインとを有する第 2 の負荷トランジスタを有する

請求項 5 に記載の撮像装置。

[請求項7] 前記参照信号生成部は、第 1 の期間において、前記信号レベルを時間の経過に応じて変化させ、

前記第 1 の増幅部は、前記第 1 の期間において前記比較動作を行い、

前記第 2 のスイッチは、前記第 1 の期間の前の第 3 の期間において

オン状態になり、前記第 1 の期間においてオフ状態になる

請求項 5 に記載の撮像装置。

[請求項 8]

前記第 1 の増幅部は、

前記第 1 の電源ノードに接続された電流源と、

ゲートと、ドレインと、前記電流源に接続されたソースとを有する第 3 のトランジスタと、

ゲートと、前記第 1 のノードに接続されたドレインと、前記電流源に接続されたソースとを有する第 4 のトランジスタと、

前記画素信号が供給された第 1 の端子と、前記第 3 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、

前記参照信号が供給された第 1 の端子と、前記第 3 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 3 の容量素子と、

オン状態になることにより前記第 3 のトランジスタの前記ゲートおよび前記第 3 のトランジスタの前記ドレインを接続する第 3 のスイッチと、

オン状態になることにより前記第 4 のトランジスタの前記ゲートおよび前記第 4 のトランジスタの前記ドレインを接続する第 4 のスイッチと、

前記第 2 の電源ノードと、前記第 3 のトランジスタの前記ドレインと、前記第 4 のトランジスタの前記ドレインとに接続された第 2 の負荷回路と

を有する

請求項 1 に記載の撮像装置。

[請求項 9]

前記第 1 の増幅部は、

ゲートと、前記第 1 のノードに接続されたドレインと、前記第 2 の電源ノードに接続されたソースとを有する第 3 のトランジスタと、

前記画素信号が供給された第 1 の端子と、前記第 3 のトランジスタの前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、

前記参照信号が供給された第1の端子と、前記第3のトランジスタの前記ゲートに接続された第2の端子とを有する第3の容量素子と、
オン状態になることにより前記第3のトランジスタの前記ゲートおよび前記第3のトランジスタの前記ドレインを接続する第3のスイッチと、

前記第1の電源ノードおよび前記第1のノードに接続された第2の負荷回路と

を有する

請求項1に記載の撮像装置。

[請求項10] 前記第2の電源ノードおよび前記第4の電源ノードは、互いに接続された

請求項1に記載の撮像装置。

[請求項11] 画素信号を生成する受光画素と、

参照信号を生成する参照信号生成部と、

第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、

前記第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む第2の増幅部と、

前記第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、制御信号に基づいてオンオフする第1のスイッチとを含む第3の増幅部と、

第3の電源ノードおよび第4の電源ノードに接続されたカウンタとを備えた撮像装置。

[請求項12] 前記第1の増幅部は、

前記第 1 の電源ノードに接続された電流源と、
ゲートと、ドレインと、前記電流源に接続されたソースとを有する
第 3 のトランジスタと、
ゲートと、前記第 1 のノードに接続されたドレインと、前記電流源
に接続されたソースとを有する第 4 のトランジスタと、
前記画素信号が供給された第 1 の端子と、前記第 3 のトランジスタ
の前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、
前記参照信号が供給された第 1 の端子と、前記第 3 のトランジスタ
の前記ゲートに接続された第 2 の端子とを有する第 3 の容量素子と、
前記第 2 の電源ノードと、前記第 3 のトランジスタの前記ドレイン
と、前記第 4 のトランジスタの前記ドレインとに接続された第 2 の負
荷回路と

を有する

請求項 11 に記載の撮像装置。

[請求項13]

前記第 1 の増幅部は、

ゲートと、前記第 1 のノードに接続されたドレインと、前記第 2 の
電源ノードに接続されたソースとを有する第 3 のトランジスタと、
前記画素信号が供給された第 1 の端子と、前記第 3 のトランジスタ
の前記ゲートに接続された第 2 の端子とを有する第 2 の容量素子と、
前記参照信号が供給された第 1 の端子と、前記第 3 のトランジスタ
の前記ゲートに接続された第 2 の端子とを有する第 3 の容量素子と、
前記第 1 の電源ノードおよび前記第 1 のノードに接続された第 2 の
負荷回路と

を有する

請求項 11 に記載の撮像装置。

[請求項14]

撮像装置と、

前記撮像装置の動作を制御する処理部と

を備え、

受光量に応じた画素信号を生成する受光画素と、

時間の経過に応じて信号レベルが変化する参照信号を生成する参照信号生成部と、

第1の電源ノードおよび第2の電源ノードに接続され、前記画素信号および前記参照信号に基づいて比較動作を行い、その比較結果に応じた信号を第1のノードに出力する第1の増幅部と、

前記第1のノードに接続されたゲートと、第2のノードに接続されたドレインと、前記第2の電源ノードに接続されたソースとを有する第1のトランジスタと、前記第1の電源ノードおよび前記第2のノードに接続された第1の負荷回路とを含む第2の増幅部と、

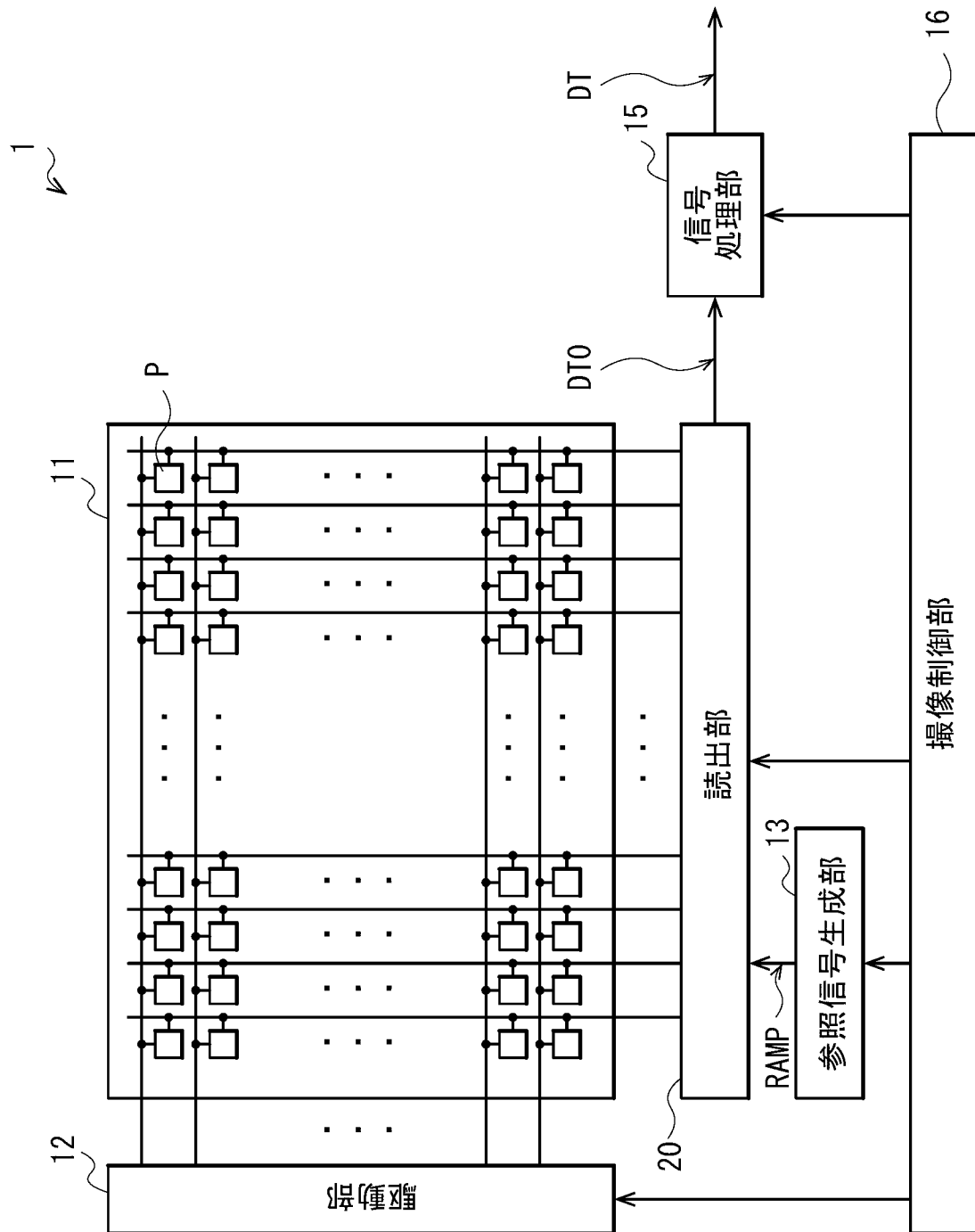
前記第2のノードに接続されたゲートと、前記第1の電源ノードに接続されたソースと、第3のノードに接続されたドレインとを有する第2のトランジスタと、オン状態になることにより前記第3のノードに所定の電圧を印加する第1のスイッチとを含む第3の増幅部と、

第3の電源ノードおよび第4の電源ノードに接続され、カウント動作を行い、前記第3のノードの電圧に基づいて前記カウント動作を停止するカウンタと

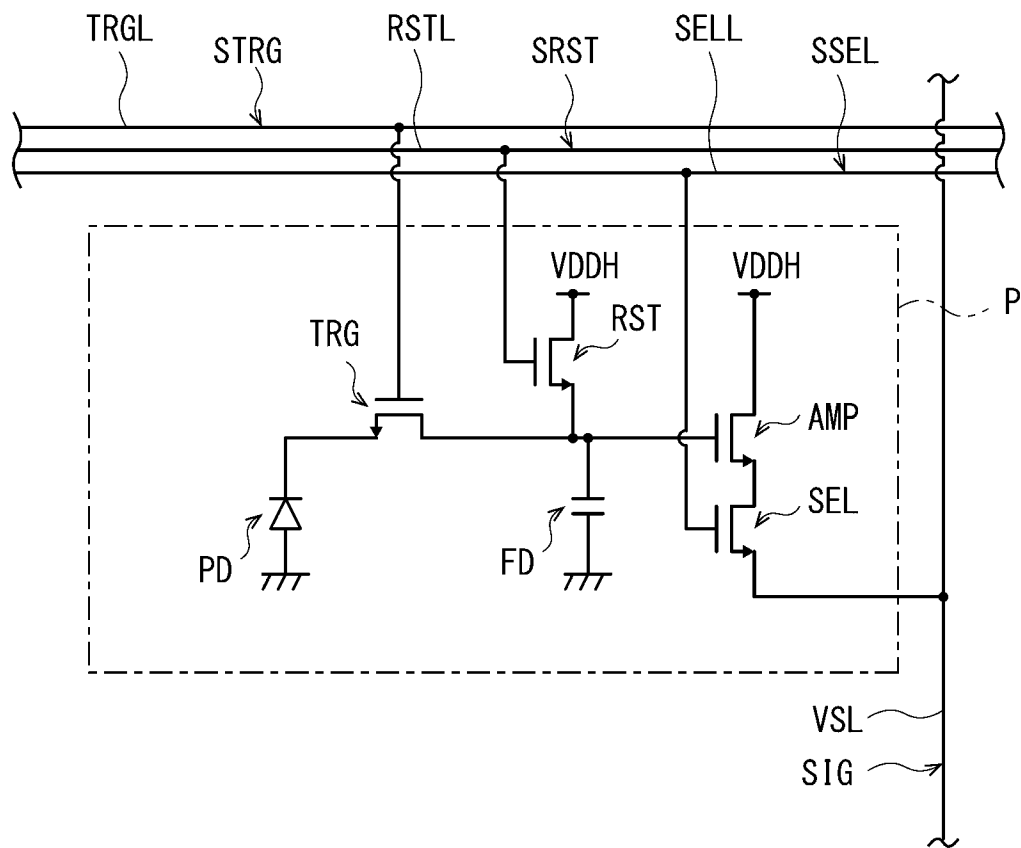
を有する

電子機器。

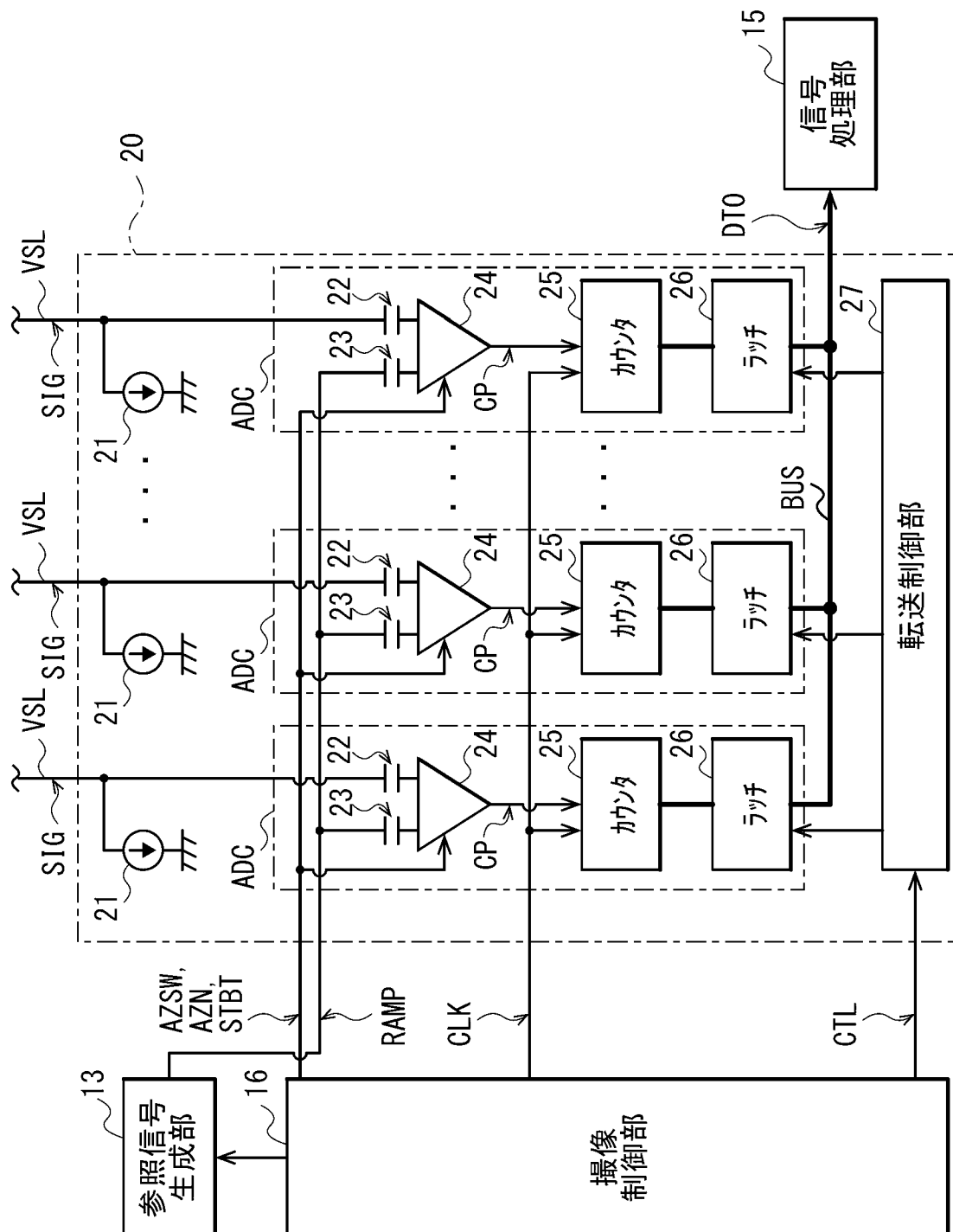
[図1]



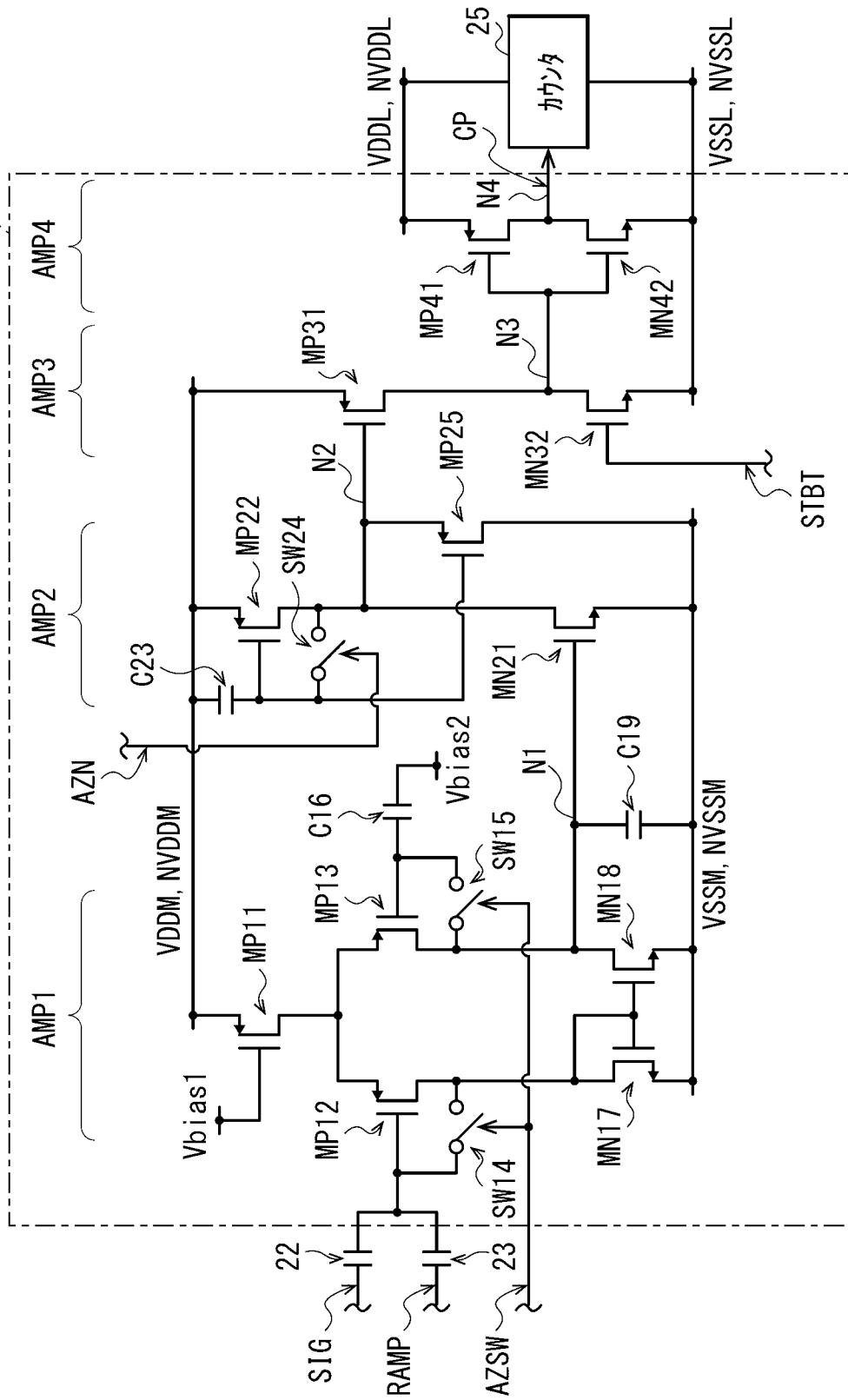
[図2]



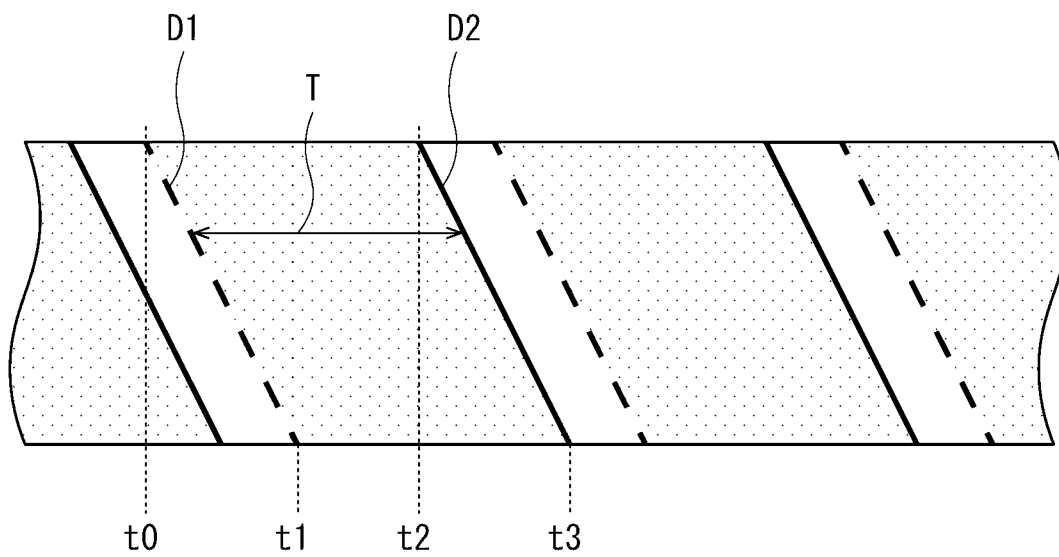
[図3]



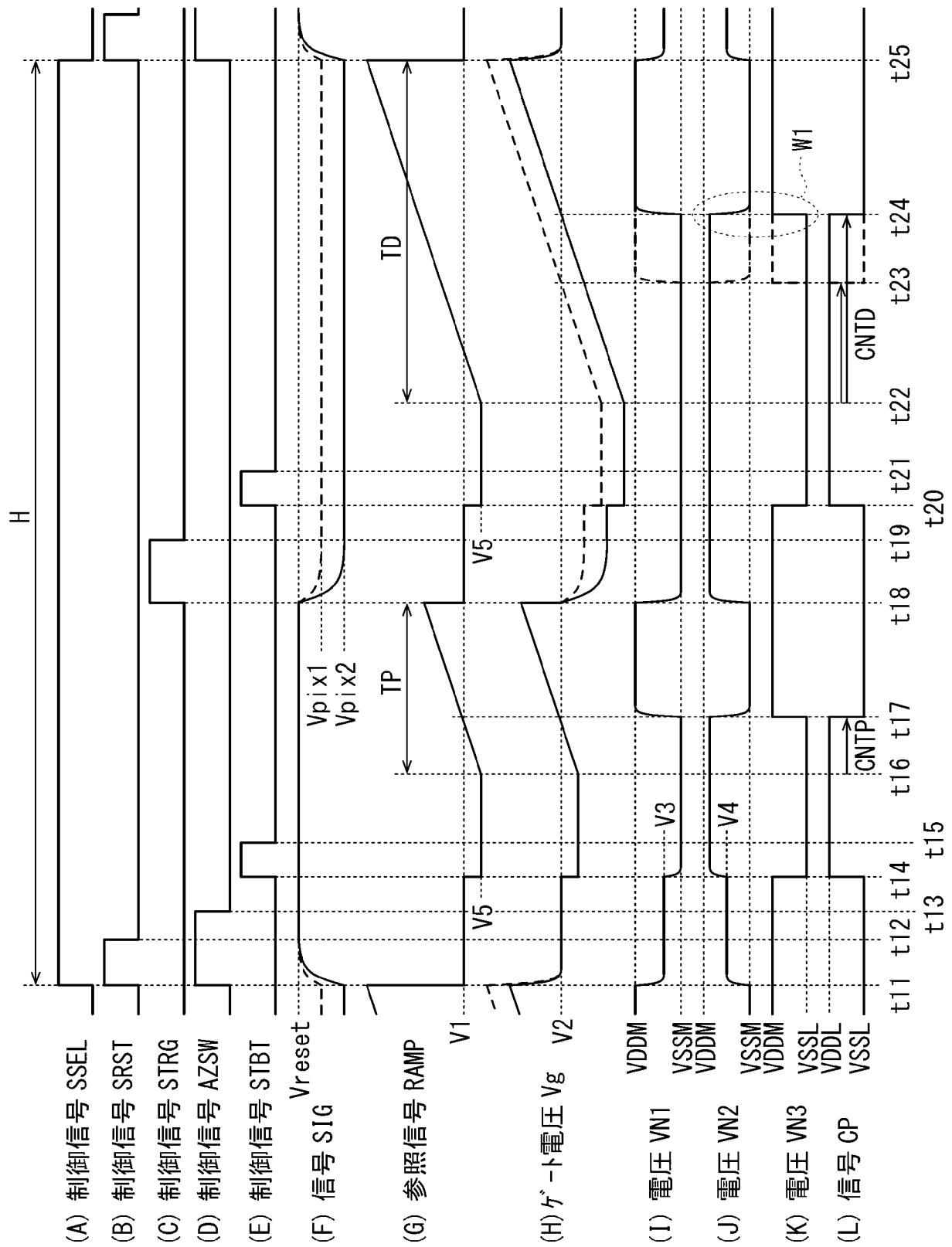
24



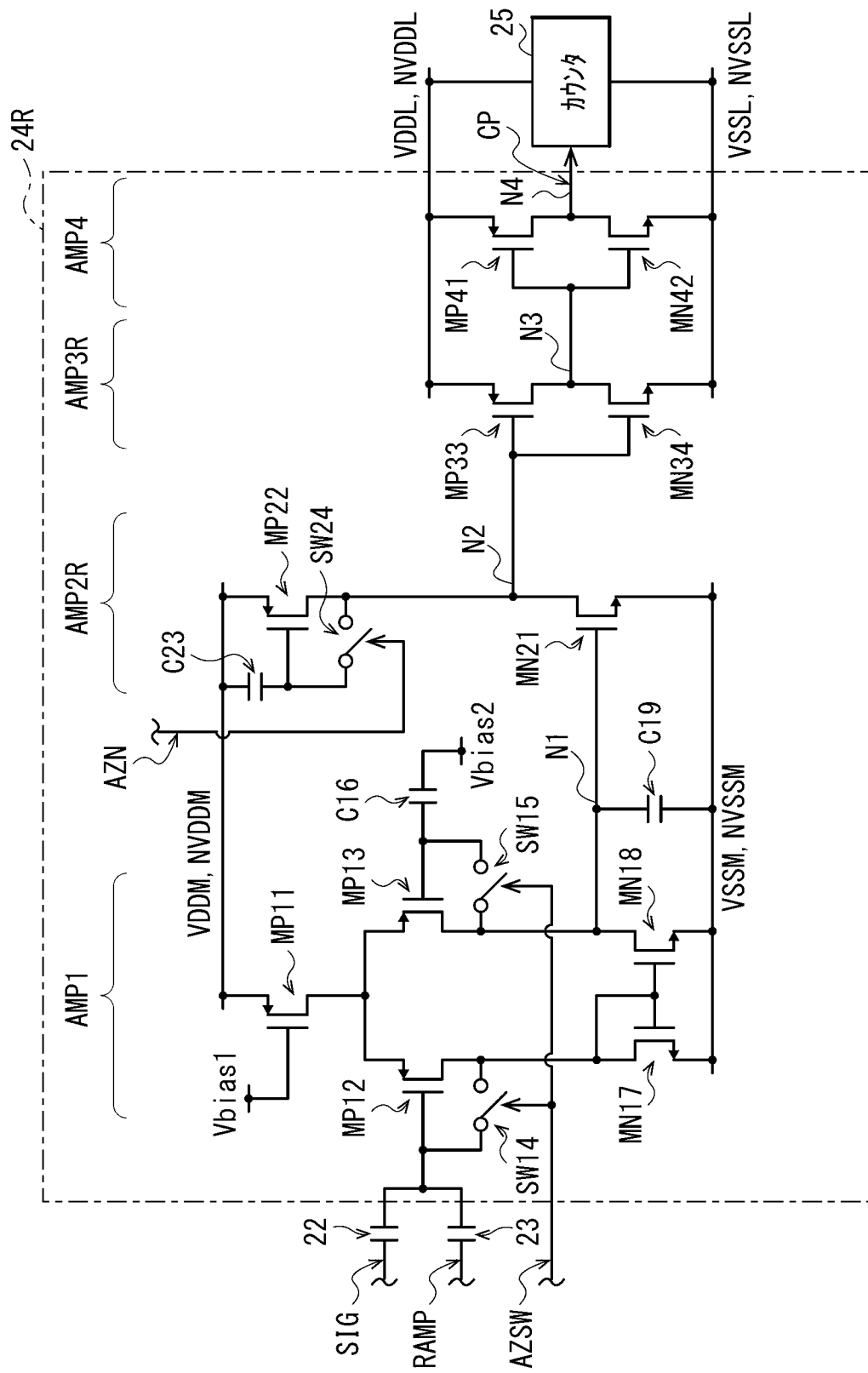
[図5]



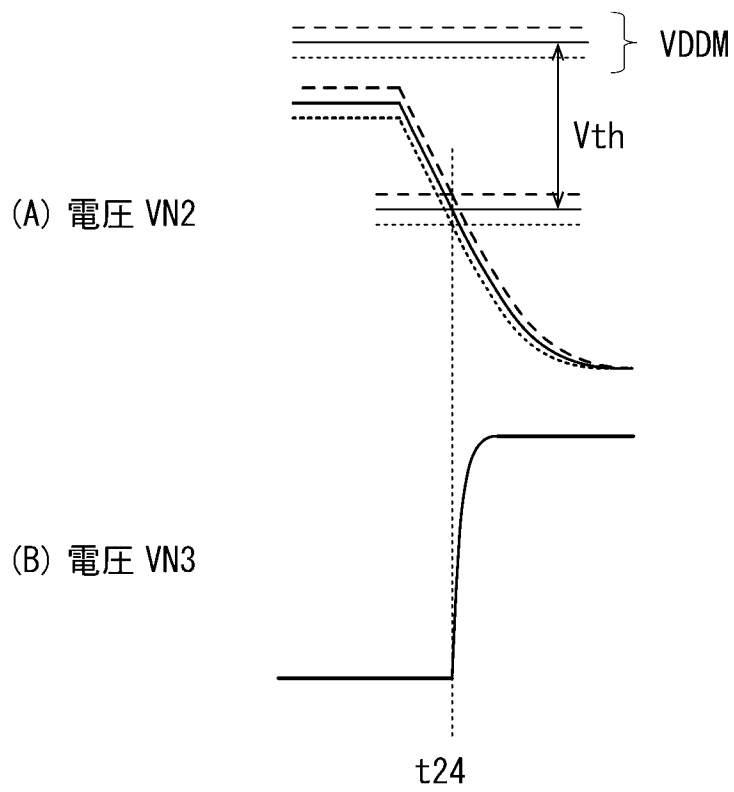
[図6]



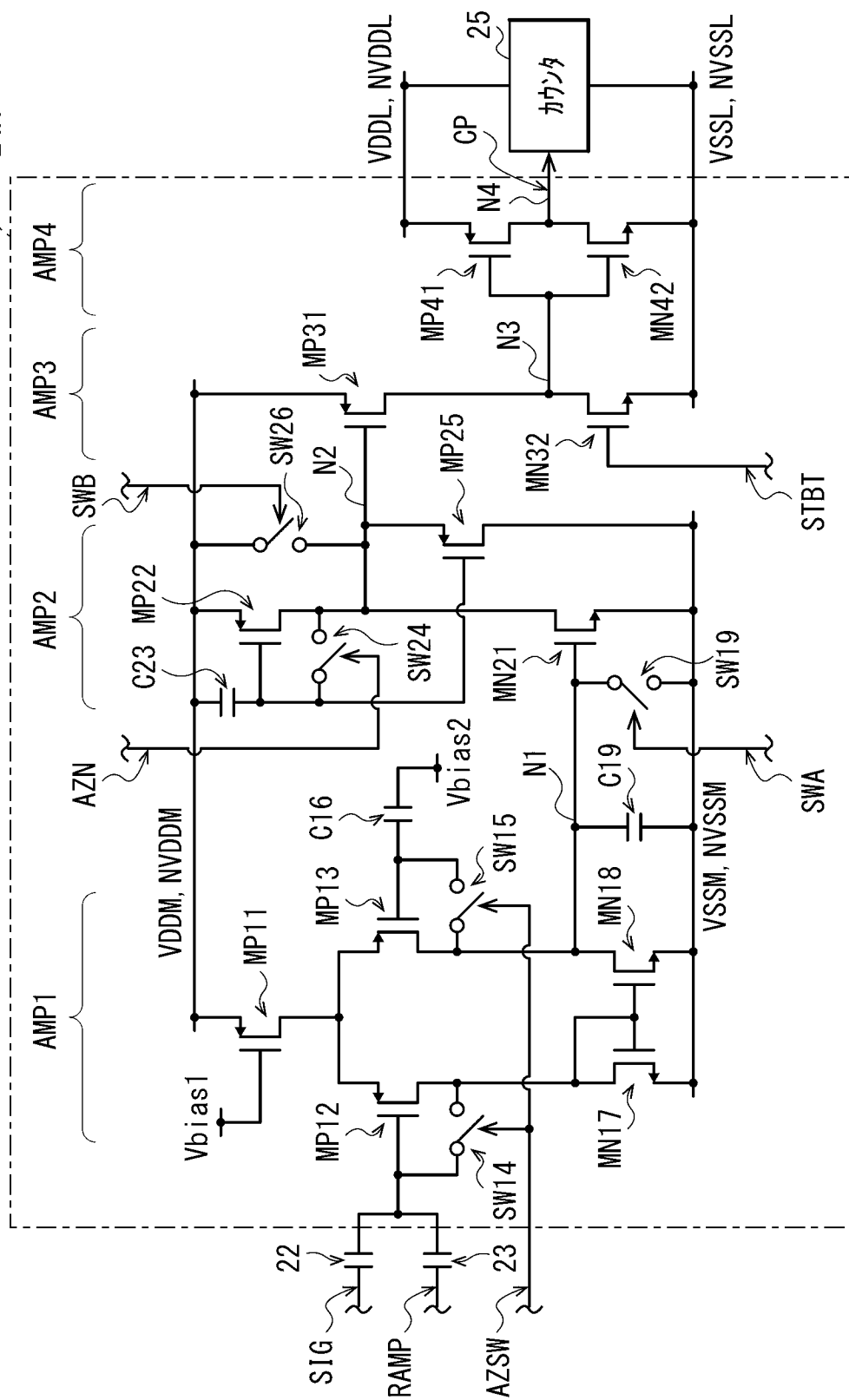
24R



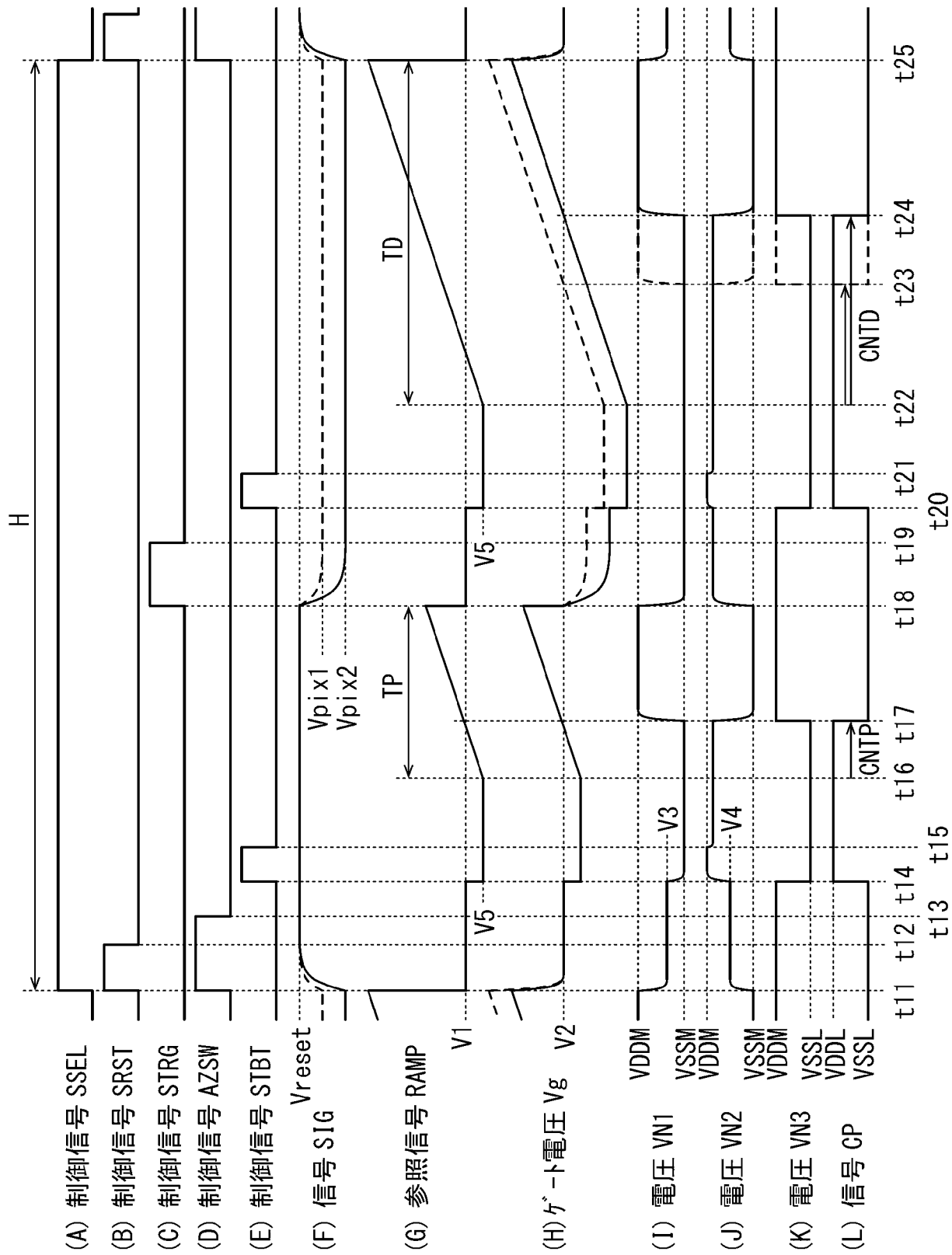
[図8]



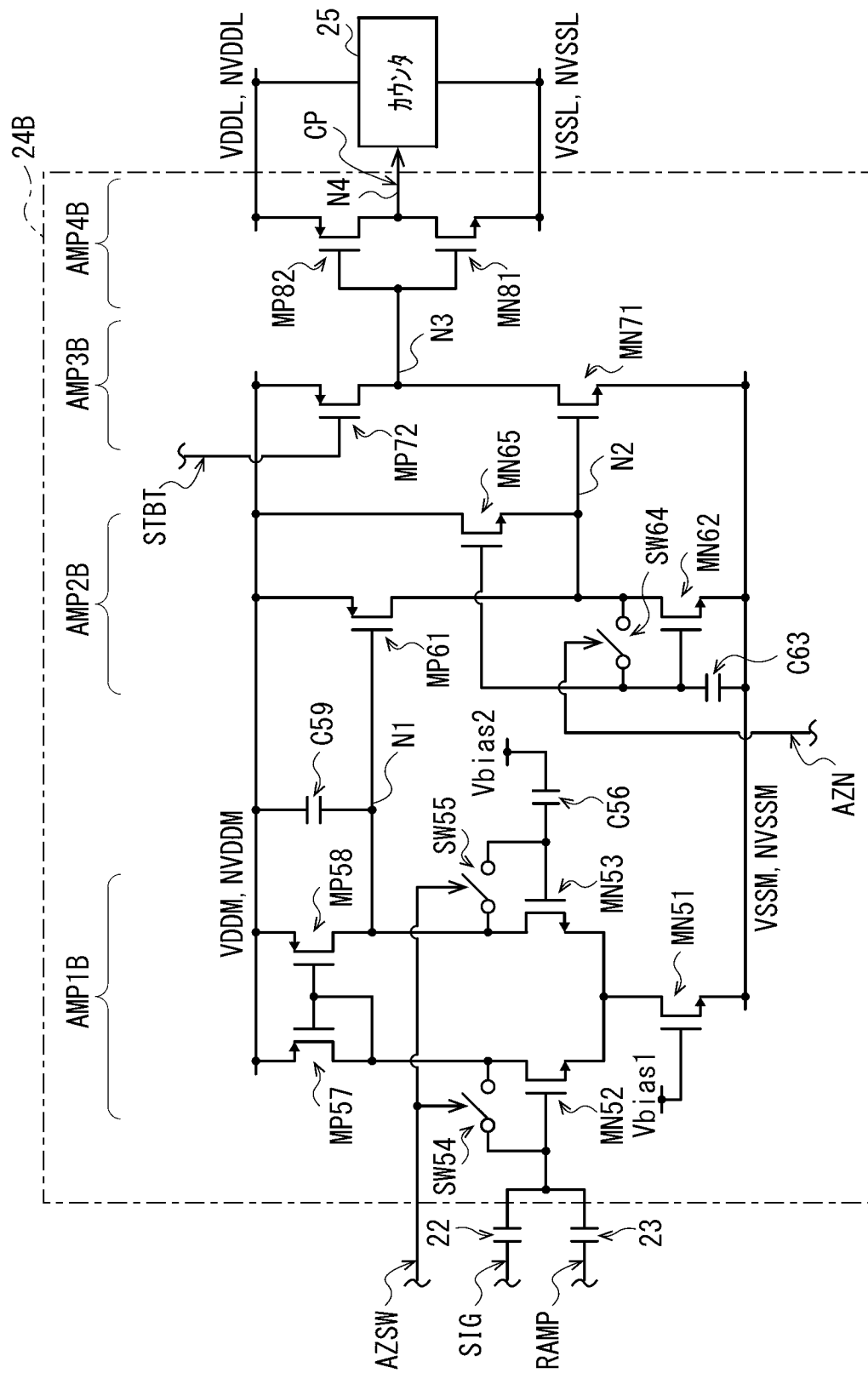
24A



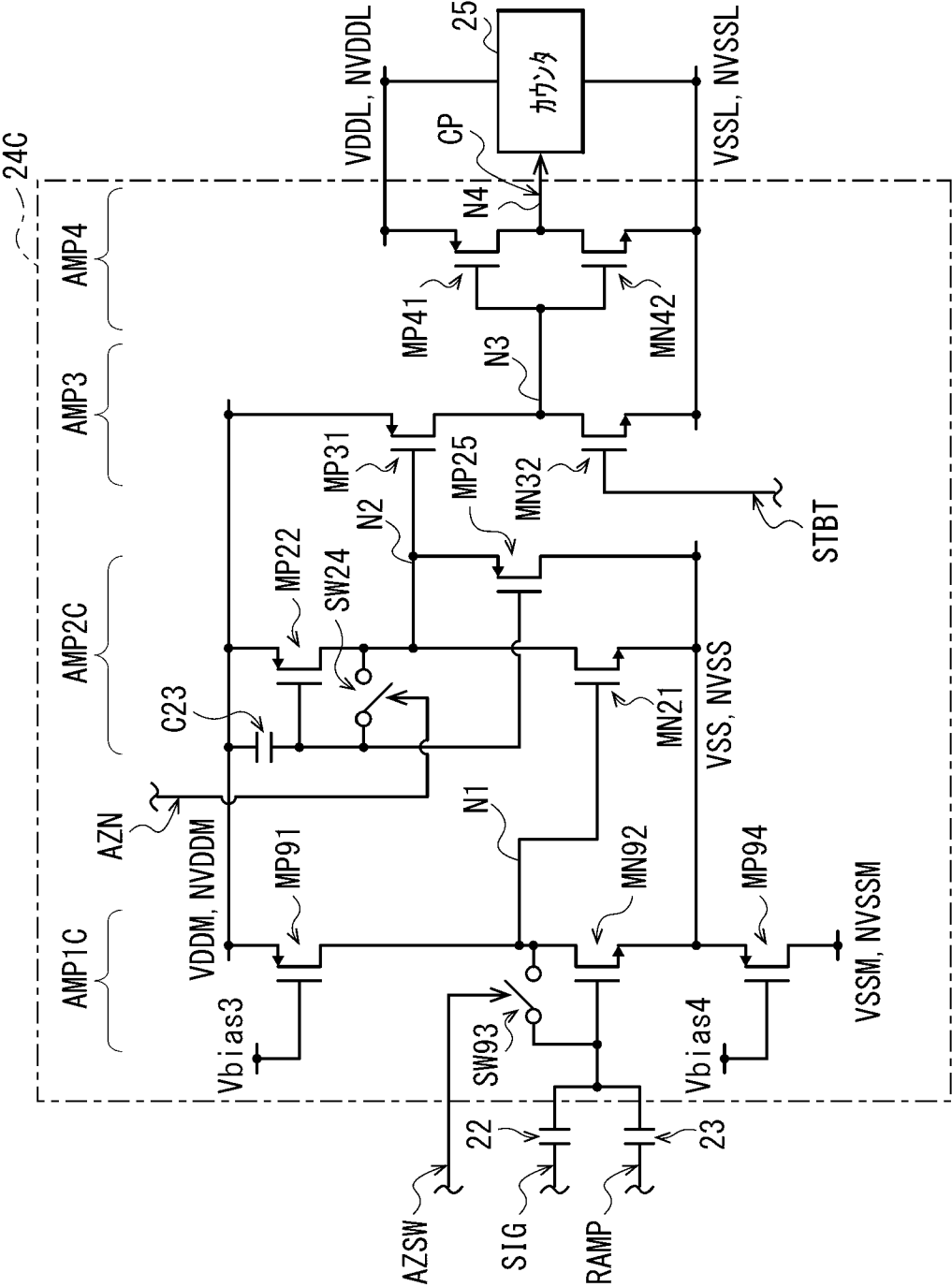
[図10]



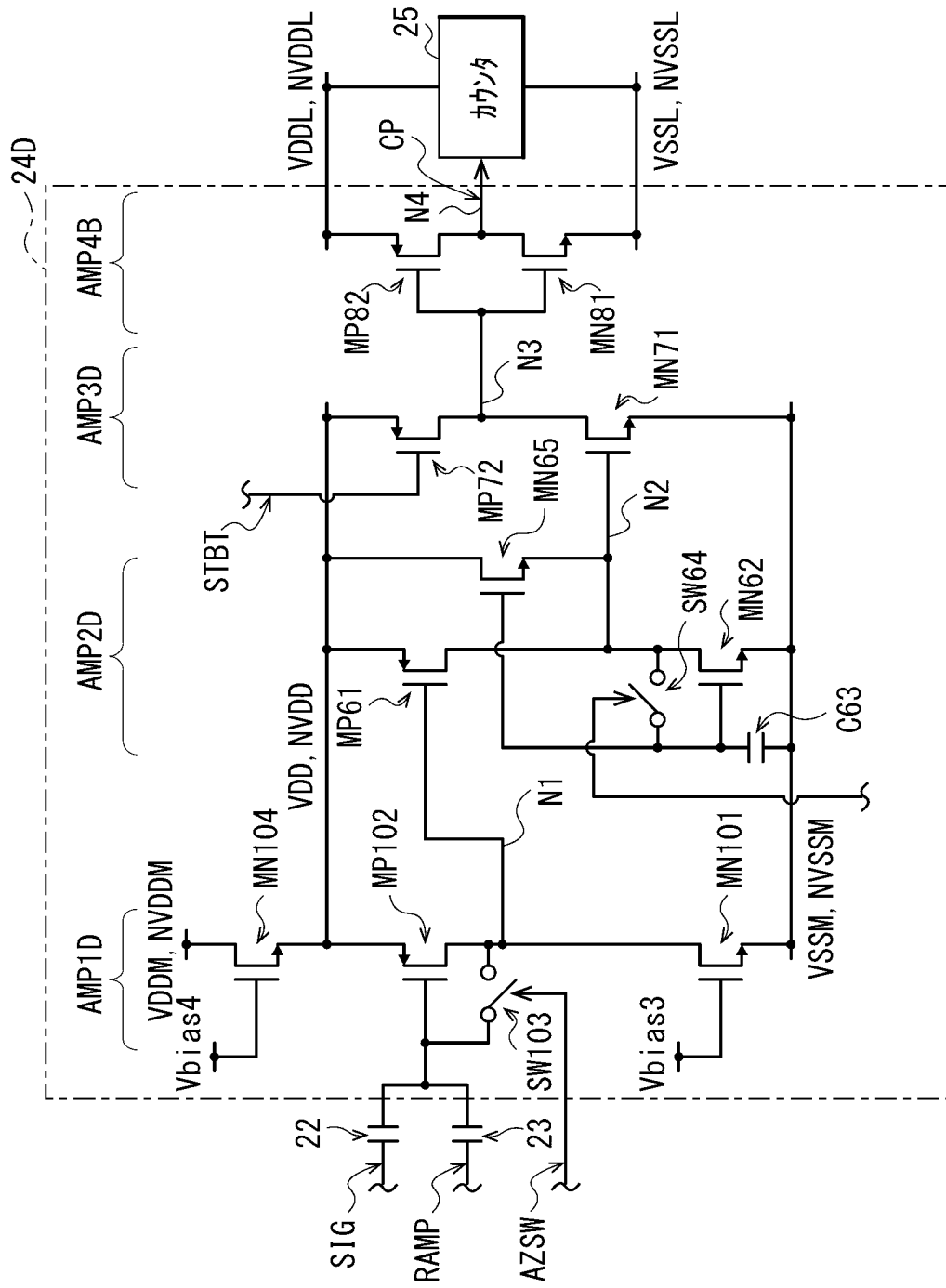
24B



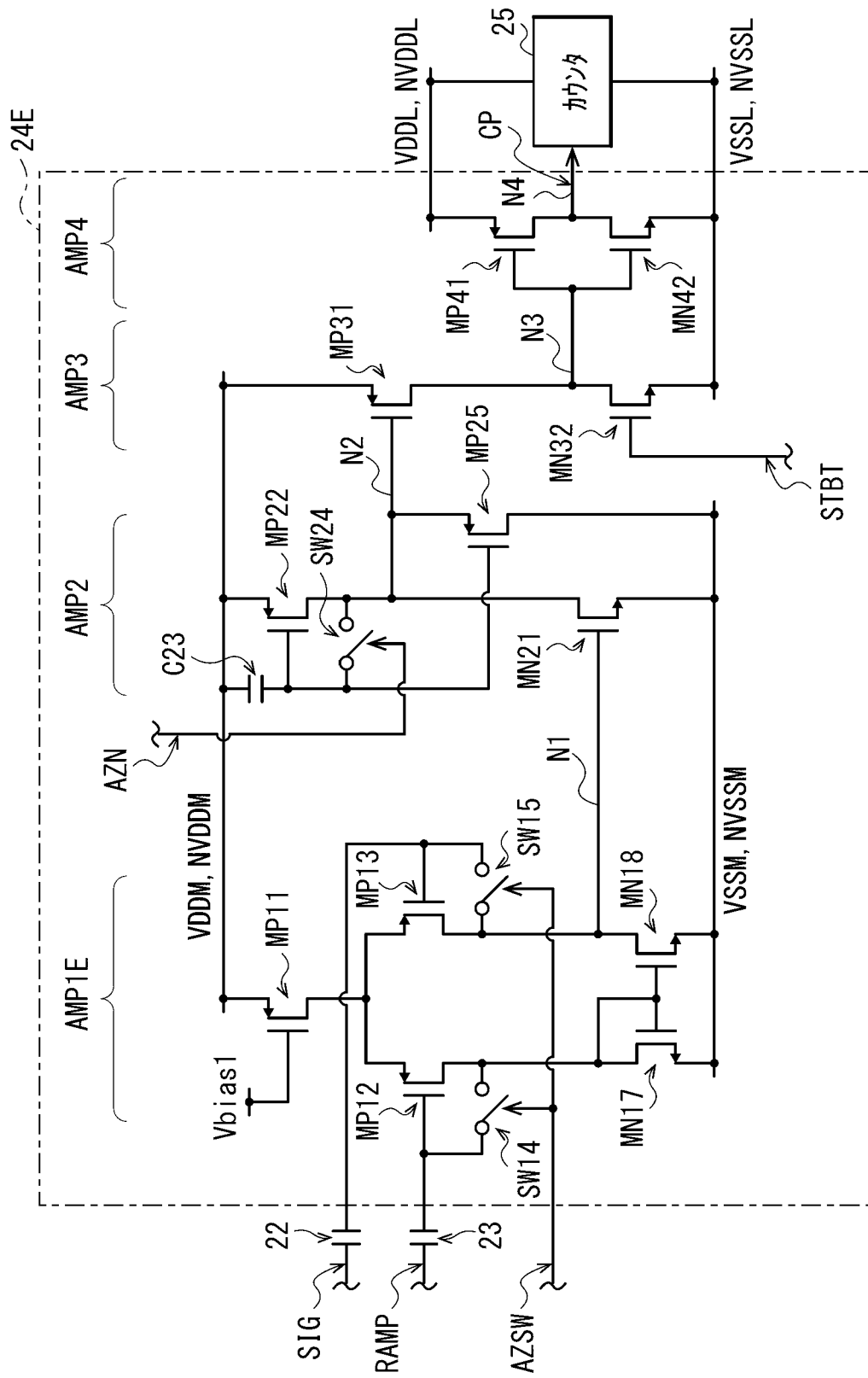
[図12]



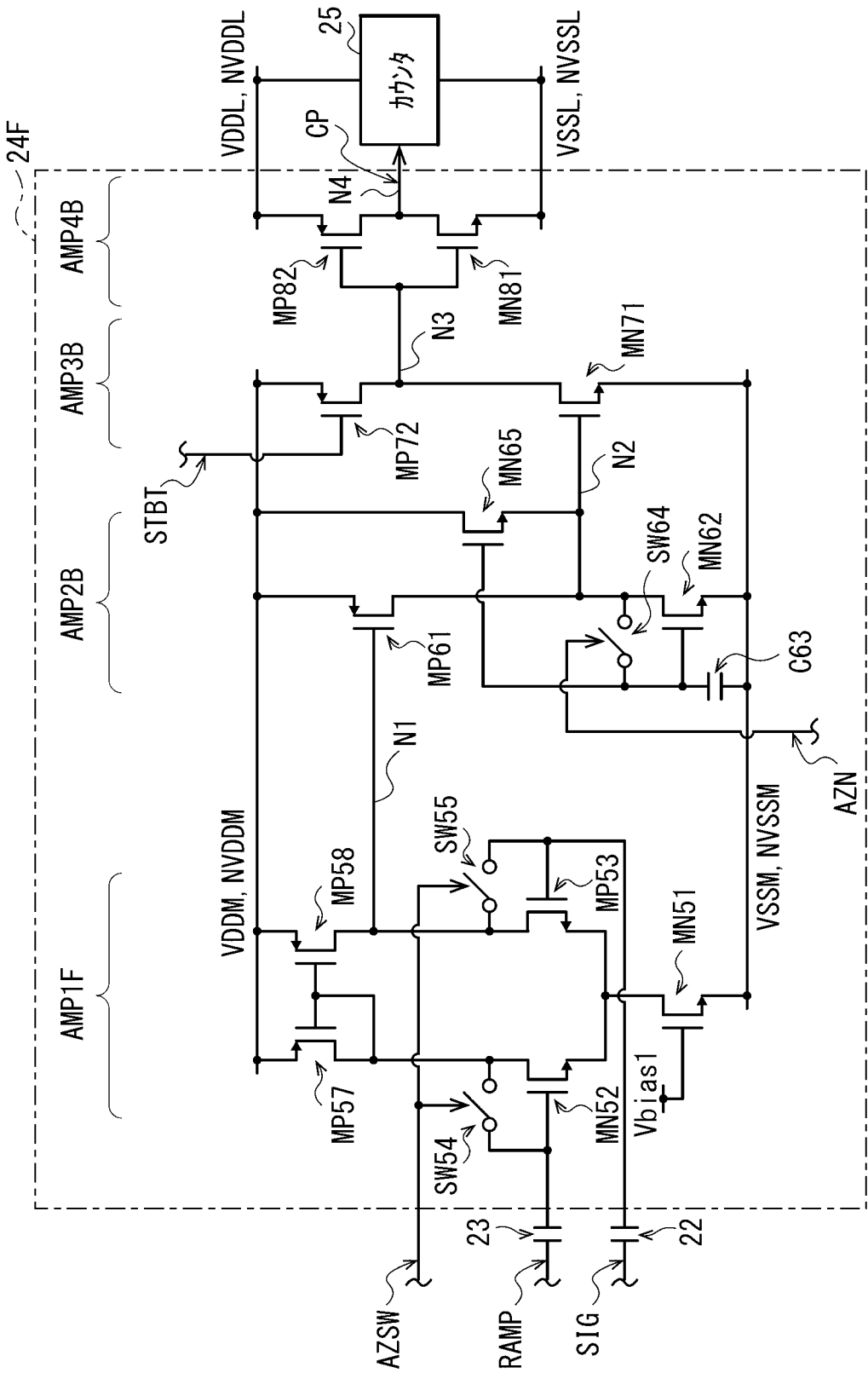
[図13]



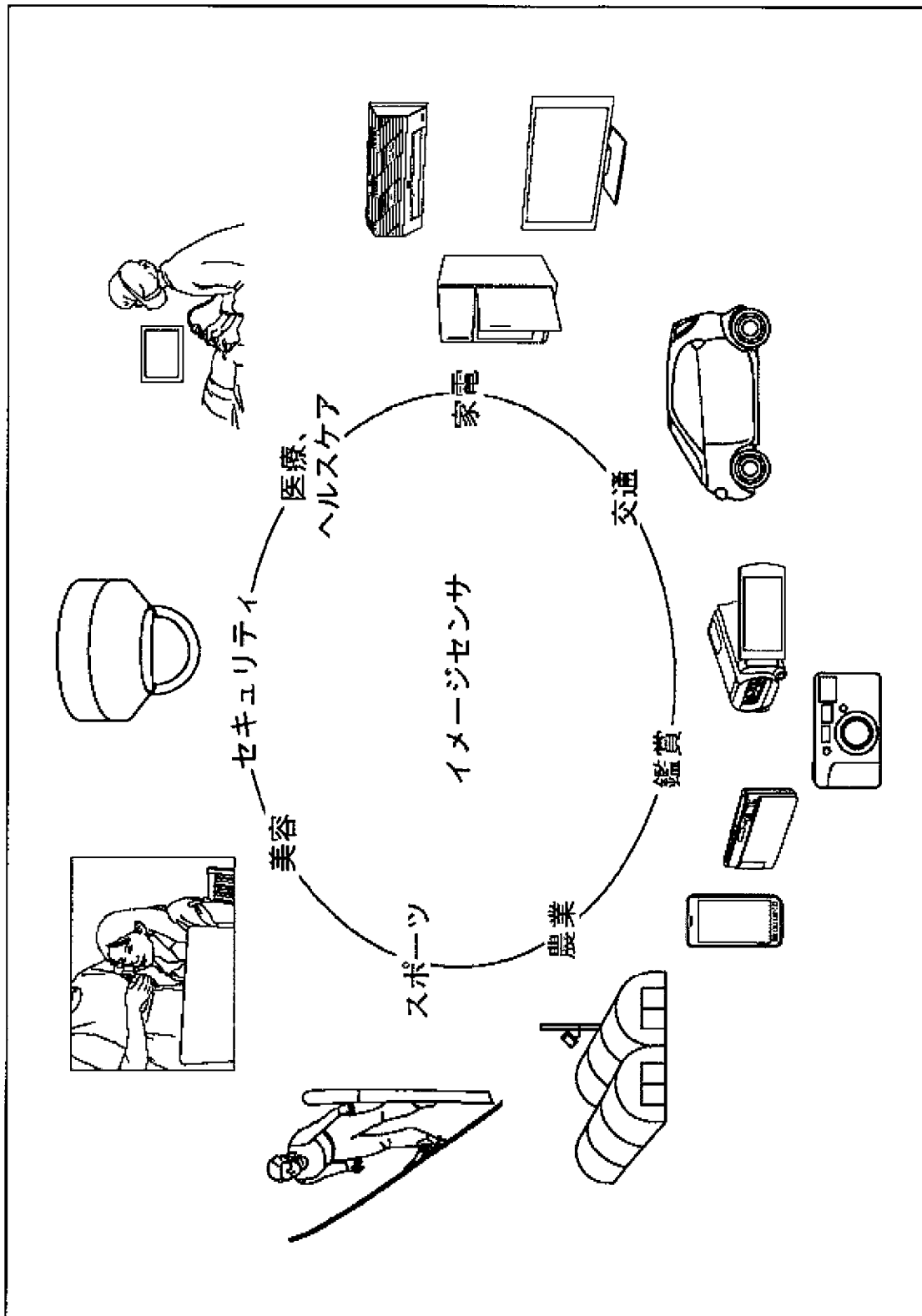
[図14]



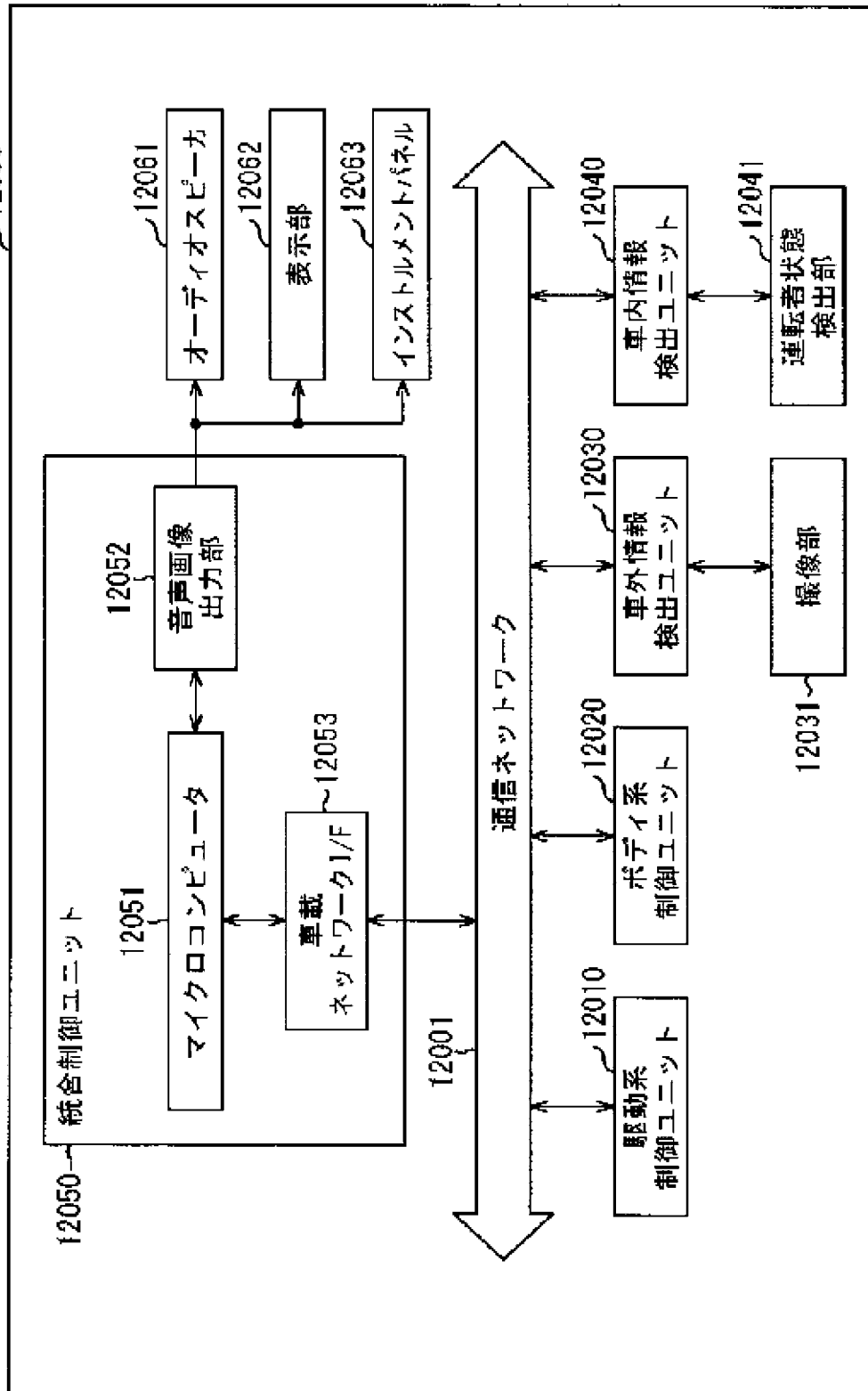
[図15]



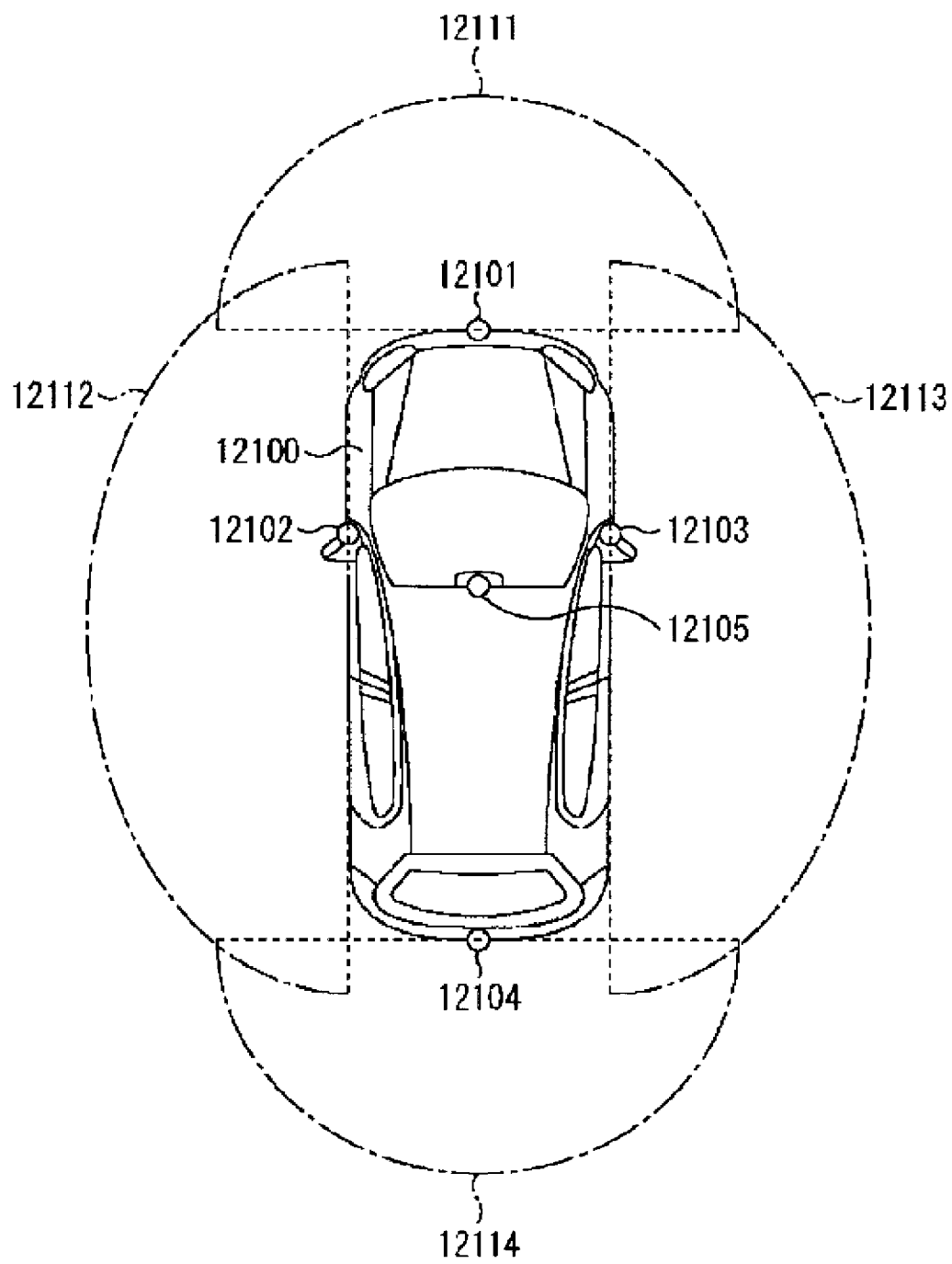
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029636

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/378**(2011.01)i; **H03K 5/08**(2006.01)i; **H03M 1/56**(2006.01)i

FI: H04N5/378; H03K5/08 E; H03M1/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378; H03K5/08; H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/150917 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 08 August 2019 (2019-08-08) paragraphs [0131]-[0141], fig. 20	1-14
A	WO 2020/031439 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 13 February 2020 (2020-02-13) paragraphs [0096]-[0101], fig. 15	1-14
A	JP 2012-147339 A (PANASONIC CORP) 02 August 2012 (2012-08-02) paragraphs [0059], [0065], fig. 1, 3	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

15 October 2021

Date of mailing of the international search report

26 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/029636

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2019/150917	A1	08 August 2019	EP 3748958 A1 paragraphs [0134]-[0144], fig. 20	
WO	2020/031439	A1	13 February 2020	(Family: none)	
JP	2012-147339	A	02 August 2012	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i; H03K 5/08(2006.01)i; H03M 1/56(2006.01)i FI: H04N5/378; H03K5/08 E; H03M1/56														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/378; H03K5/08; H03M1/56														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用了電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2019/150917 A1（ソニーセミコンダクタソリューションズ株式会社）08.08.2019 (2019 - 08 - 08) 段落 [0131] - [0141]、図20	1-14												
A	WO 2020/031439 A1（ソニーセミコンダクタソリューションズ株式会社）13.02.2020 (2020 - 02 - 13) 段落 [0096] - [0101]、図15	1-14												
A	JP 2012-147339 A（パナソニック株式会社）02.08.2012（2012 - 08 - 02） 段落 [0059]、[0065]、図1,3	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 15.10.2021	国際調査報告の発送日 26.10.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029636

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/150917	A1	08.08.2019	EP 3748958 A1 段落 [0134] - [0144] 、図 20	
WO	2020/031439	A1	13.02.2020	(ファミリーなし)	
JP	2012-147339	A	02.08.2012	(ファミリーなし)	