

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5388406号
(P5388406)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.

F I

G O 6 F 12/02 (2006. 01)
 G O 6 F 12/00 (2006. 01)
 G O 6 F 12/06 (2006. 01)
 G O 6 F 13/16 (2006. 01)

G O 6 F 12/02 5 9 0 A
 G O 6 F 12/00 5 5 0 K
 G O 6 F 12/00 5 9 7 R
 G O 6 F 12/06 5 1 5 D
 G O 6 F 13/16 5 1 0 A

請求項の数 6 (全 8 頁)

(21) 出願番号 特願2006-170404 (P2006-170404)
 (22) 出願日 平成18年6月20日 (2006. 6. 20)
 (65) 公開番号 特開2008-3711 (P2008-3711A)
 (43) 公開日 平成20年1月10日 (2008. 1. 10)
 審査請求日 平成21年6月12日 (2009. 6. 12)
 審判番号 不服2012-15185 (P2012-15185/J1)
 審判請求日 平成24年8月6日 (2012. 8. 6)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 青木 恒治
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

合議体
 審判長 清水 稔
 審判官 稲葉 和生
 審判官 和田 志郎

最終頁に続く

(54) 【発明の名称】 メモリシステム

(57) 【特許請求の範囲】

【請求項 1】

アクセスコマンドを発行するメモリ制御手段と、

前記メモリ制御手段からのアクセスコマンドを受け取ってバッファリングすると共に前記アクセスコマンドがメモリデバイスへのアクセスが否かを判断するバッファ部を備える複数のメモリモジュールがカスケード接続されているメモリ部と、を有し、

前記メモリ部は、前記複数のメモリモジュールに含まれるROMを前記複数のメモリモジュールに含まれるRAMよりもレイテンシが大きくなるようにカスケード接続されていることを特徴とするメモリシステム。

【請求項 2】

前記バッファ部は、受信したアクセスコマンドが自身の属するメモリモジュール内のメモリデバイスへのアクセスであると判断すると、当該アクセスコマンドを前記自身の属するメモリモジュール内のメモリデバイスが認識可能なアクセスコマンドに変換する変換回路を備えることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記バッファ部は、前記アクセスコマンドが、前記バッファ部が属するメモリモジュール内のメモリデバイスへのアクセスではないと判断した場合に、他のメモリモジュールに前記アクセスコマンドを伝達することを特徴とする請求項 1 又は 2 に記載のメモリシステム。

【請求項 4】

10

20

前記カスケード接続された複数のメモリモジュールのうち少なくとも1つは、他のメモリモジュールの有するメモリデバイスとは異なるアクセスコマンド及びデータに対応するメモリデバイスを有することを特徴とする請求項1～3のいずれか1項に記載のメモリシステム。

【請求項5】

前記メモリモジュールが受け取るアクセスコマンドはDRAMのプロトコルに準拠したものであることを特徴とする請求項1～4のいずれか1項に記載のメモリシステム。

【請求項6】

前記変換回路は前記バッファ部に内蔵されることを特徴とする請求項2に記載のメモリシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DRAM等を搭載するメモリモジュールを複数接続してなるメモリシステムに関する。

【背景技術】

【0002】

近年は半導体技術の向上に伴いプロセッサやLSI内部の動作周波数が飛躍的に高速化しており、LSIの外部に接続されるメモリ、特にDRAMを使用した主記憶メモリデバイスに対しても動作周波数の向上が要求され、メモリモジュールの高速化が進んでいる。

20

【0003】

複数のメモリモジュールで構成されたメモリシステムも高速化に応じて構造、構成の変更が必要となる。従来PC133等の規格に対応するメモリモジュールで構成したメモリシステムでは、Unbufferedであっても、コマンド及びデータ共にコントローラから出力された信号をそのままメモリシステム内のメモリモジュールに分配して問題は生じなかった。

【0004】

しかし、更なる高速化を実現するDDR400等の規格に対応するメモリモジュールを複数用いて構成したメモリシステムでは、コマンド系信号が多くメモリモジュールに分配されて供給されると、基板上の信号の負荷が大きくなり信号の伝播遅延が大きくなる。その場合、Unbufferedのメモリシステム構成では高速動作が保証できなくなるため、コマンド系信号を各メモリモジュール内に実装されたレジスタでラッチし、分配することによって基板上の信号負荷を低減して高速動作を保証している。このときデータはコマンド系信号と比較し基板上の信号負荷が小さいため、高速動作に対する影響は小さかった。

30

【0005】

しかしながら、DDR2、DDR3といった更なる高速化の実現を可能とするメモリモジュールを用いたメモリシステムを構築すると、データ信号の分配による基板上の負荷が無視できなくなり、高速動作に影響してしまう。

【0006】

40

この高速動作を保証する仕組みとして、図6に示すように、Point to Pointの高速シリアルインターフェース技術を用いてメモリ制御回路からメモリモジュールへDRAMのプロトコルに準拠したコマンド、データの伝送を行うものが検討されている(例えば、特許文献1)。この仕組みは、メモリモジュール内にバッファを設けて、コマンド、データを一旦バッファリングして伝送する仕組みである。以下、その仕組みにおけるメモリモジュールの動作を説明する。

【0007】

メモリ制御回路601から発行されるコマンドは最初のメモリモジュール602に伝達され、次に、メモリモジュール603、メモリモジュール604へと順次伝達される。この場合に、各メモリモジュール602、603、604の内部は、図8に示すような構造

50

を有している。

【0008】

メモリモジュール602は、メモリモジュールのコアとなるメモリデバイス801、802、804及び805と、メモリ制御回路601から伝達されるコマンド、データをいったんバッファリングするためのバッファ803により構成される。メモリモジュール内のバッファ803では伝達されたコマンド、データが自身のメモリモジュールへのアクセスか、他のモジュールへのアクセスなのかの判定を行う。なお、メモリモジュール603及び604も上記と同様に構成される。

【0009】

このときバッファ803が、自モジュール（即ち、バッファ803が属するメモリモジュール602）へのアクセスであると判定した場合にはコマンドをメモリモジュール602内のDRAM801、802、804、805へと分配する。また、他モジュール（即ち、メモリモジュール603等）へのアクセスであると判定した場合には、自モジュールへのアクセスを行わず、次段モジュール（メモリモジュール603）へと伝達する。このとき、書き込みデータに関してはコマンドと一緒に伝達し、読み込みデータに関しては、バッファ803を介してコマンドとは逆のメモリ制御回路601側へとデータを伝達する。

10

【0010】

【特許文献1】特開2006-065697号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0011】

図6で示すような構成においては、同一のプロトコルに対応するメモリモジュール602、603及び604をカスケードに接続して回路を構成する。そのため、異なるプロトコルとして取り扱う他のROMモジュール606や、例えばSRAM等のメモリモジュール605を接続する場合には、メモリ制御回路601にカスケード接続したメモリモジュールとは別の接続口を設けてモジュールを接続する必要があった。そのため、メモリシステムを構成する際に、配線接続数が多くなり、接続に使用するピン数が増大してしまう問題がある。

【0012】

30

更に、配線接続に多くのピン数を必要とするため、メモリ制御回路601の構成に依存したシステム構成となり、ピン数が増大し、システム構成に制約がかかるといった問題がある。

【0013】

また、図7に示すようにメモリ制御回路701からメモリモジュール702、703及び704への接続と、プロトコルの異なる別のメモリモジュール705を平行に接続した場合でも上記同様に問題がある。即ち、メモリ制御回路701からの配線性が悪くなり、同様に速度、プロトコルの異なるメモリモジュールを並列に接続する必要があるため、メモリのアクセス性能が低下するといった問題がある。

【0014】

40

本発明は係る実情に鑑みてなされたものであり、異なるアクセスコマンドに対応するメモリモジュールを複数用いてカスケード接続させたメモリシステムを、その動作を保証しながら簡易な構成で提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明のメモリシステムは、アクセスコマンドを発行するメモリ制御手段と、前記メモリ制御手段からのアクセスコマンドを受け取ってバッファリングすると共に前記アクセスコマンドがメモリデバイスへのアクセスか否かを判断するバッファ部を備える複数のメモリモジュールがカスケード接続されているメモリ部と、を有し、前記メモリ部は、前記複数のメモリモジュールに含まれるROMを前記複数のメモリモジュールに含まれるRAM

50

よりもレイテンシが大きくなるようにカスケード接続されていることを特徴とする。

【発明の効果】

【0016】

本発明のメモリシステムは、複数のメモリモジュールをカスケード接続させる際に、その動作を保証しながら簡易に構成することができる。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して本発明の実施の形態について説明する。本発明の実施の形態に係るメモリシステム100は、図1に示すようにメモリ制御回路101に、3組のメモリモジュール102～104（以下、RAMと呼ぶ）及びROMモジュール105がカスケード接続されて構成される。

10

【0018】

このときメモリ制御回路101から物理的距離が一番近いメモリモジュール102に対するレイテンシが一番小さく、物理的距離が一番遠いROMモジュール105に対するレイテンシが一番大きい構成となる。

【0019】

図2に参照されるように、RAM102～104はそれぞれ、メモリデバイス201、202、204及び205（以下、DRAMと呼ぶ）と、メモリ制御回路101から伝達されるアクセスコマンド及びデータを一旦バッファリングするためのバッファ203とを有して構成される。

20

【0020】

また、図3に参照されるように、ROMモジュール105は、メモリデバイス301及び302（以下、ROMと呼ぶ）と、メモリ制御回路101から伝達されるアクセスコマンド及びデータを一旦バッファリングするためのバッファ303とを有して構成される。

【0021】

本実施の形態のメモリシステム100において、アクセスコマンドやデータが伝達される場合、まず図1に示すメモリ制御回路101から共通のアクセスコマンド又はデータ（アクセスデータとデータとの双方の場合も含む）がRAM102に内蔵されるバッファ203に入力される。そして、バッファ203は、その入力された共通のアクセスコマンド又はデータを一時的にバッファリングすると共にその共通のアクセスコマンド又はデータが自身の属するRAM102が内蔵するDRAM201等へのアクセスか否かを判断する。

30

【0022】

そして、バッファ203が例えばアクセスコマンドが自身の属するRAM102が内蔵するDRAM201等へのアクセスであると判断した場合には、DRAM201、202、204及び205が認識可能なアクセスコマンドをそれぞれに分配する。

【0023】

一方、バッファ203がアクセスコマンドが他のRAM等（例えば、RAM103）へのアクセスであると判断した場合には、カスケード接続された次のRAM103へとアクセスコマンドを伝達する。なお、書き込みデータに関してはアクセスコマンドと一緒に伝達される。

40

【0024】

図4は、共通のアクセスコマンドから各メモリデバイスが認識可能なアクセスコマンドに変換するプロトコル変換回路401の構成例を示したものである。本実施の形態に係るメモリシステム100を構成するRAM102等のメモリモジュールは、このプロトコル変換回路401をそれぞれのバッファ203に有している。

【0025】

プロトコル変換回路401は、共通のコマンドをデコードするコマンドデコード回路402と、プロトコル変換回路401に接続されたDRAM等で構成されるメモリデバイス404を制御するメモリデバイス制御回路403とを有して構成される。ここで、メモリ

50

デバイス 404 は例えば図 2 における DRAM 201 等に相当する。また、コマンドデコード回路 402 及びメモリデバイス制御回路 403 を含んだ階層が、図 2 のバッファ 203 や図 3 のバッファ 303 等に内蔵される。

【0026】

このプロトコル変換回路 401 を有する場合におけるメモリモジュール内の動作について以下説明する。まず、共通のアクセスコマンドが DRAM のプロトコルに準拠するものであった場合のプロトコル変換回路 401 における動作について説明する。

【0027】

コマンドデコード回路 402 では、共通のアクセスコマンドをデコードすることによってメモリデバイス制御回路 403 にプロトコルを把握させる。

10

【0028】

メモリデバイス制御回路 403 では、メモリデバイス 404 が認識可能なアクセスコマンドを生成するため、メモリデバイス 404 が認識可能なアクセスコマンドを生成する。

【0029】

ここで、共通のアクセスコマンドである DRAM のプロトコルとアクセスコマンド変換後に必要となるプロトコルとが同一の DRAM のプロトコルであれば、プロトコル変換回路 401 ではプロトコル変換する必要が無い。その場合は、共通のアクセスコマンドをそのままメモリデバイス 404 へのアクセスコマンドとして使用することが可能となる。

【0030】

図 1 の場合には、RAM 102、103 及び 104 は DRAM 201 等で構成され、ROM モジュール 105 は ROM 301 等で構成されているため、RAM 102、103 及び 104 の内部に搭載されるバッファ 203 では受け取った共通のアクセスコマンドをそのまま DRAM に伝達することができる。

20

【0031】

一方、ROM 105 の内部に搭載されるバッファ 303 では、内蔵するプロトコル変換回路 401 によって、受け取った共通のアクセスコマンドを ROM 用アクセスコマンドに変換して ROM 301 及び 302 に伝達する。

【0032】

ここで、共通のアクセスコマンド (DRAM のプロトコルに準拠するもの) から ROM 301 及び 302 のアクセスコマンドに変換する場合について説明する。共通のアクセスコマンドでは、Address は Row Address、Column Address が設定され、Command には、Write / Read Command のいずれかが使用されるとする。

30

【0033】

プロトコル変換回路 401 では、コマンドデコード回路 402 に入力された Row Address と Column Address からメモリデバイス 404 (即ち、ROM 301 等) が認識可能なアクセスコマンド、データとして Address を生成する。同様に、共通のアクセスコマンドの Write / Read コマンドから、ROM デバイスの Write / Read 対応のコマンドに変換する。このとき、Pre-charge や、refresh といった DRAM 特有のプロトコルに依存したコマンドの場合には対応しない。

40

【0034】

以上のようにメモリシステム 100 は、それを構成する各メモリモジュールのバッファに、共通のアクセスコマンド等を自モジュールが内蔵するメモリデバイスに対応するアクセスコマンド等に変換することのできるプロトコル変換回路 401 を設けた。これにより、異なるアクセスコマンドに対応するメモリモジュール (換言すれば、アクセスレイテンシの異なるメモリモジュール) を複数用いてカスケード接続させたメモリシステムをその動作が問題となることなく簡易に構成することができる。即ち、動作保証しながらカスケード接続が可能となるため、従来異なるアクセスコマンドに対応するメモリモジュールを複数用いて構成した際に問題となっていた接続口数、配線接続数、接続使用するピン数の

50

増加を抑えることができ、簡易な構造でメモリシステムを実現できる。

【 0 0 3 5 】

なお、本実施形態においてメモリシステム 1 0 0 は R A M 1 0 2 ~ 1 0 4 と R O M モジュール 1 0 5 とで構成した例を挙げたが、そのモジュールの数は限定されるものではなく、またメモリモジュールが内蔵するメモリデバイスの数も限定されるものではない。また、図 5 に示すような異なるアクセスコマンドに対応するメモリモジュール 5 0 2 (R A M B) と、図 1 で示した R A M 1 0 2 ~ 1 0 4 とをカスケード接続して構成したメモリシステムにおいても、それぞれのメモリモジュールにプロトコル変換回路 4 0 1 を設けることで、好適なメモリシステムを実現できる。

【 0 0 3 6 】

また、本実施形態では、プロトコル変換回路 4 0 1 をそれぞれのメモリモジュールが有するバッファ部に内蔵する構成としたがこれに限定されるものではなく、バッファ部から独立した回路として構成してもよい。

【 0 0 3 7 】

また、本実施形態では、共通のコマンドを D R A M のプロトコルとしたが、共通のコマンドを D R A M 以外のプロトコルにした場合であっても、各メモリモジュールのバッファ部にプロトコル変換回路 4 0 1 を組み込むことで、対応させることができる。

【 0 0 3 8 】

また、種々のメモリモジュールを組み合わせた場合や、カスケード接続の接続順位に変更があった場合であっても、本実施形態にとらわれることなく好適に実施が可能である。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】本発明の実施の形態に係るメモリシステムの構成を示す図である。

【図 2】本発明の実施の形態に係るメモリモジュールの構成を示す図である。

【図 3】本発明の実施の形態に係るメモリモジュールの構成を示す図である。

【図 4】本発明の実施の形態に係るメモリモジュールが有する変換回路の構成を示す図である。

【図 5】本発明の実施の形態に係るメモリモジュールの変形例の構成を示す図である。

【図 6】従来のメモリシステムの構成を示す図である。

【図 7】従来のメモリシステムの構成を示す図である。

【図 8】従来のメモリモジュールの構成を示す図である。

【符号の説明】

【 0 0 4 0 】

1 0 0 メモリシステム

1 0 1 メモリ制御回路

1 0 2、1 0 3、1 0 4 メモリモジュール

1 0 5 R O M モジュール

2 0 1、2 0 2、2 0 4、2 0 5 メモリデバイス (D R A M)

2 0 3 バッファ

3 0 1、3 0 2 メモリデバイス (R O M)

3 0 3 バッファ

4 0 1 プロトコル変換回路

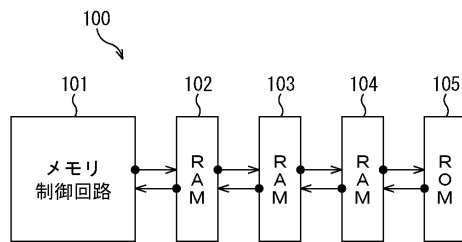
4 0 2 コマンドデコード回路

4 0 3 メモリデバイス制御回路

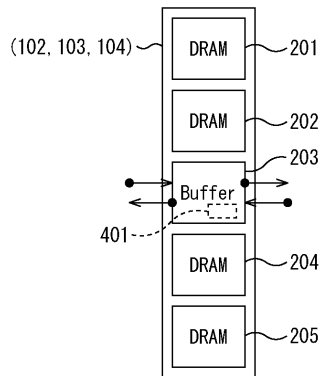
4 0 4 メモリデバイス

5 0 2 メモリモジュール

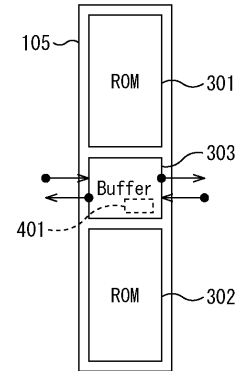
【図 1】



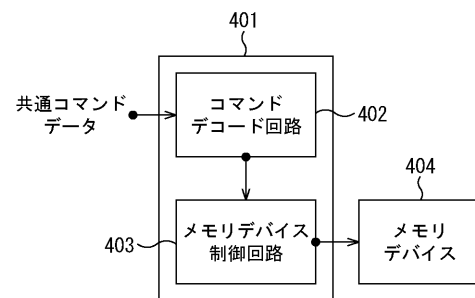
【図 2】



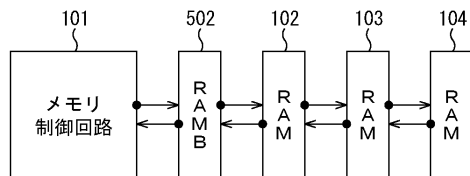
【図 3】



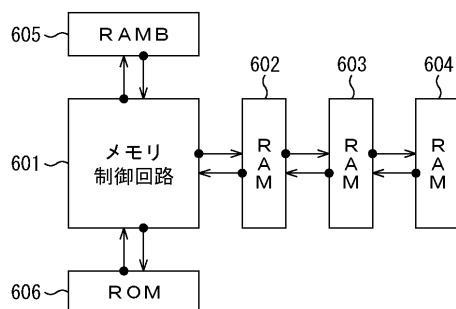
【図 4】



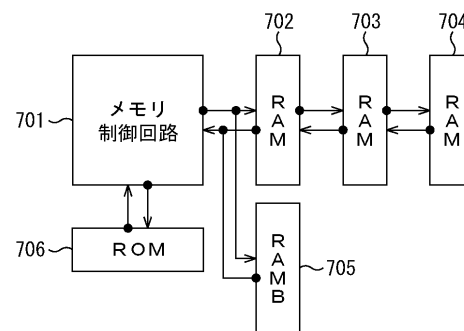
【図 5】



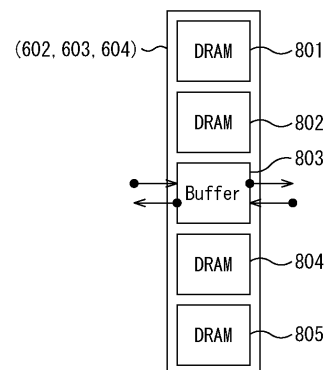
【図 6】



【図 7】



【図 8】



フロントページの続き

- (56)参考文献 特表2005-535038(JP,A)
特開2004-139552(JP,A)
特開2006-146390(JP,A)
国際公開第2005/66965(WO,A2)
豊後基彦,WinPC Labs メモリー PCの最重要パーツを基礎から学ぶ,日経Win
PC,日本,日経BP社,2004年9月1日,第10巻,第11号,p.154~155
- (58)調査した分野(Int.Cl.,DB名)
G06F 12/00, G06F 13/16