

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7537652号
(P7537652)

(45)発行日 令和6年8月21日(2024.8.21)

(24)登録日 令和6年8月13日(2024.8.13)

(51)国際特許分類	F I		
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12	5 0 1 B	
H 0 1 L 21/301 (2006.01)	H 0 1 L 21/78	Q	
H 0 1 L 25/04 (2023.01)	H 0 1 L 25/04	Z	
H 0 1 L 25/18 (2023.01)			

請求項の数 10 (全23頁)

(21)出願番号	特願2024-527584(P2024-527584)	(73)特許権者	000004455
(86)(22)出願日	令和5年8月30日(2023.8.30)		株式会社レゾナック
(86)国際出願番号	PCT/JP2023/031639		東京都港区東新橋一丁目9番1号
(87)国際公開番号	WO2024/053523	(74)代理人	100088155
(87)国際公開日	令和6年3月14日(2024.3.14)		弁理士 長谷川 芳樹
審査請求日	令和6年5月10日(2024.5.10)	(74)代理人	100128381
(31)優先権主張番号	PCT/JP2022/033315		弁理士 清水 義憲
(32)優先日	令和4年9月5日(2022.9.5)	(74)代理人	100169454
(33)優先権主張国・地域又は機関	日本国(JP)		弁理士 平野 裕之
早期審査対象出願		(72)発明者	青山 元雄
			東京都港区東新橋一丁目9番1号 株式
			会社レゾナック内
		(72)発明者	畠山 恵一
			東京都港区東新橋一丁目9番1号 株式
			会社レゾナック内
			最終頁に続く

(54)【発明の名称】 半導体装置の製造方法、構造体及び半導体装置

(57)【特許請求の範囲】

【請求項1】

第1主面及び前記第1主面に対向する第2主面を含み、前記第1主面を複数の領域に分割する溝部が形成されたインターポーザと、各前記領域上に少なくとも一つずつ配置された複数の半導体素子と、を有する構造体を準備する工程と、

少なくとも前記溝部に封止材が配置されるように前記複数の半導体素子それぞれの少なくとも一部を前記封止材で封止する工程と、

前記溝部に配置された前記封止材が露出するように、前記インターポーザを前記第2主面から前記第1主面に向かって研磨する工程と、

前記溝部に沿って前記封止材を切断することにより前記構造体を前記複数の領域毎に個片化し、複数の半導体装置を取得する工程と、を備え、

前記構造体を準備する工程は、

前記溝部が形成される前の前記第1主面上に再配線層を形成する工程と、

前記再配線層における、前記溝部の形成予定部分との重畳部分を除去する工程と、

前記インターポーザに前記溝部を形成する工程と、を含み、

前記再配線層を形成する材料は、感光性を有する材料を含んでおり、

前記重畳部分を除去する工程では、前記再配線層に対して露光及び現像を行うことにより前記重畳部分を除去する、半導体装置の製造方法。

【請求項2】

前記構造体を準備する工程は、研磨する前の前記インターポーザの厚さに対して10%

10

20

～ 60 % の深さを有する前記溝部を形成する工程を含む、
請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記構造体を準備する工程は、 $70\text{ }\mu\text{m} \sim 470\text{ }\mu\text{m}$ の深さを有する前記溝部を形成する工程を含む、

請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記インターポーザは、シリコンによって形成されている、

請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 5】

前記封止する工程の前に、前記複数の半導体素子と前記第 1 主面との間にアンダーフィルを配置する工程を更に備える、

請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 6】

前記封止する工程では、各前記半導体素子の側面及び上面を覆うように前記封止材を配置し、

各前記半導体素子の前記上面が前記封止材から露出するように、前記封止材を研磨する工程を更に備える、

請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 7】

前記構造体を準備する工程は、第 1 ブレードを用いて前記インターポーザを切削することにより前記溝部を形成する工程を含む、

請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 8】

前記複数の半導体装置を取得する工程では、第 2 ブレードを用いて前記溝部に沿って前記封止材を切断する、

請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記第 1 ブレードが有する砥粒の粒度は、前記第 2 ブレードが有する砥粒の粒度よりも大きい、

請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 ブレードが有する砥粒の粒度は、 $2000 \sim 4000$ であり、

前記第 2 ブレードが有する砥粒の粒度は、 $320 \sim 600$ である、

請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置の製造方法、構造体及び半導体装置に関する。

【背景技術】

【0002】

高機能化の要求から、半導体素子の様々な実装手法が開発されている。一例として、複数の半導体素子をシリコンインターポーザ上に近接して配置し、シリコンインターポーザに形成された配線を経由して半導体素子同士を接続する 2.5D 実装が知られている（例えば、特許文献 1 を参照）。

【0003】

このようなインターポーザを用いた実装手法を採用する半導体装置は、以下のようなプロセスを経て製造される。一例として、まず、インターポーザ上に複数の半導体素子が配置され、各半導体素子がインターポーザに形成された配線に接続される。次に、インターポーザ上に半導体素子を覆うように封止材が配置される。そして、封止材とインターポー

10

20

30

40

50

ザとを切断して個片化することにより、複数の半導体装置が取得される。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2018-037465号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述したプロセスでは、例えば、高速回転するブレードを用いてインターポーザと封止材とが順に切断されて個片化される。インターポーザの材質と封止材の材質とは互いに異なっているため、それぞれの材質に適した異なるブレードでインターポーザと封止材とを切断する必要がある。したがって、例えば、インターポーザ用のブレードを用いてインターポーザを切断した後に、ブレードを封止材用のブレードに変更してから封止材を切断する必要がある。このような個片化の際にブレードを変更する作業は、半導体装置の製造効率の向上を妨げる原因となる。

【0006】

本開示は、半導体装置の製造効率を向上することができる、半導体装置の製造方法、構造体及び半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

[1] 本開示は、一側面として、半導体装置の製造方法に関する。この半導体装置の製造方法は、第1主面及び第1主面に対向する第2主面を含み、第1主面を複数の領域に分割する溝部が形成されたインターポーザと、各領域上に少なくとも一つずつ配置された複数の半導体素子と、を有する構造体を準備する工程と、少なくとも溝部に封止材が配置されるように前記複数の半導体素子それぞれの少なくとも一部を封止材で封止する工程と、溝部に配置された封止材が露出するように、インターポーザを第2主面から第1主面に向かって研磨する工程と、溝部に沿って封止材を切断することにより構造体を複数の領域毎に個片化し、複数の半導体装置を取得する工程と、を備えている。

【0008】

この製造方法では、インターポーザの第1主面を複数の領域に分割する溝部に封止材が配置され、溝部に配置された封止材が露出するようにインターポーザが第2主面から第1主面に向かって研磨される。そして、溝部に配置された封止材が切断されることにより構造体が個片化（チップ化）され、複数の半導体装置が取得される。この場合、溝部に配置された封止材を切断することにより構造体を個片化することができる。そのため、構造体を個片化する際に、例えば、封止材を切断するためのブレードの他にインターポーザを切断するためのブレードを使用する必要が無い。これにより、半導体装置の製造効率を向上することができる。

【0009】

[2] 上記[1]の半導体装置の製造方法において、構造体を準備する工程は、研磨する前のインターポーザの厚さに対して10%～60%の深さを有する溝部を形成する工程を含んでいてもよい。形成される溝部の深さが、研磨する前のインターポーザの厚さに対して10%よりも小さい場合、インターポーザを研磨する工程において封止材を露出させ難い。また、形成される溝部の深さが、研磨する前のインターポーザの厚さに対して60%よりも大きい場合、インターポーザの強度が低下し、半導体装置の製造工程においてインターポーザに割れが生じる可能性があり、この割れを生じさせないために製造効率低下する虞がある。これに対して、上記の製造方法によれば、インターポーザを研磨する工程において封止材を容易に露出させることができると共に、半導体装置の製造工程においてインターポーザに割れが生じ難く製造効率を低下させない。これにより、半導体装置の製造効率を向上することができる。

【0010】

[3] 上記 [1] 又は [2] の半導体装置の製造方法において、構造体を準備する工程は、 $70\text{ }\mu\text{m} \sim 470\text{ }\mu\text{m}$ の深さを有する溝部を形成する工程を含んでいてもよい。形成される溝部の深さが $70\text{ }\mu\text{m}$ よりも小さい場合、インターポーザを研磨する工程において封止材を露出させ難い。また、形成される溝部の深さが $470\text{ }\mu\text{m}$ よりも大きい場合、インターポーザの強度が低下し、半導体装置の製造工程においてインターポーザに割れが生じる可能性があり、この割れを生じさせないために製造効率が低下する虞がある。これに対して、上記の製造方法によれば、インターポーザを研磨する工程において封止材を容易に露出させることができると共に、半導体装置の製造工程においてインターポーザに割れが生じ難く製造効率を低下させない。これにより、半導体装置の製造効率を向上することができる。

10

【 0 0 1 1 】

[4] 上記 [1] ~ [3] のいずれかの半導体装置の製造方法において、インターポーザは、シリコン (Si) によって形成されていてもよい。この場合、インターポーザに形成される配線の微細化を実現することができる。

【 0 0 1 2 】

[5] 上記 [1] ~ [4] のいずれかの半導体装置の製造方法において、構造体を準備する工程は、溝部が形成される前の第1主面上に再配線層を形成する工程と、再配線層における、溝部の形成予定部分との重畳部分を除去する工程と、インターポーザに溝部を形成する工程と、を含んでいてもよい。この場合、再配線層において、溝部の形成予定部分との重畳部分が除去される。これにより、例えば、ブレードを用いてインターポーザに溝部を形成する際に、ブレードが再配線層に接触し難い。これにより、再配線層の剥離及びチップング (微小欠損) を抑制することができる。

20

【 0 0 1 3 】

[6] 上記 [5] の半導体装置の製造方法において、再配線層を形成する材料は、感光性を有する材料を含んでいてもよい。重畳部分を除去する工程では、再配線層に対して露光及び現像を行うことにより重畳部分を除去してもよい。この場合、再配線層における重畳部分が複雑な形状、又は微細な形状であっても、重複部分を容易に除去することができる。

【 0 0 1 4 】

[7] 上記 [1] ~ [6] のいずれかの半導体装置の製造方法は、封止する工程の前に、複数の半導体素子と第1主面との間にアンダーフィルを配置する工程を更に備えていてもよい。この場合、例えば、アンダーフィルによって半導体素子がインターポーザに対してより安定して固定される。

30

【 0 0 1 5 】

[8] 上記 [1] ~ [7] のいずれかの半導体装置の製造方法において、封止する工程では、各半導体素子の側面及び上面を覆うように封止材を配置し、各半導体素子の上面が封止材から露出するように、封止材を研磨する工程を更に備えていてもよい。この場合、半導体素子の側面が封止材によって覆われるため、半導体素子を保護することができる。また、半導体素子の上面が封止材から露出するため、半導体素子の放熱性を向上することができる。なお、この場合において、封止する工程では、インターポーザの溝部にも封止材が配置されているため、個片化されたインターポーザの各部分の側面も封止材によって覆われることになる。これにより、半導体装置を構成するインターポーザの各部分を保護することもできる。

40

【 0 0 1 6 】

[9] 上記 [1] ~ [8] のいずれかの半導体装置の製造方法において、構造体を準備する工程は、第1ブレードを用いてインターポーザを切削することにより溝部を形成する工程を含んでいてもよい。この場合、第1ブレードを用いて、インターポーザに対して溝部をより確実に形成することができる。

【 0 0 1 7 】

[1 0] 上記 [1] ~ [9] のいずれかの半導体装置の製造方法において、複数の半導体装置を取得する工程では、第2ブレードを用いて溝部に沿って封止材を切断してもよい。

50

この場合、封止材をより確実に切断することができる。

【 0 0 1 8 】

[1 1] 上記 [1 0] の半導体装置の製造方法において、第 1 ブレードが有する砥粒の粒度は、第 2 ブレードが有する砥粒の粒度よりも大きくてもよい。この場合、インターポーザ及び封止材を、それぞれの材質に適した砥粒を有する第 1 ブレード及び第 2 ブレードによって切削又は切断することができる。

【 0 0 1 9 】

[1 2] 上記 [1 1] の半導体装置の製造方法において、第 1 ブレードが有する砥粒の粒度は、2 0 0 0 ~ 4 0 0 0 であってもよい。第 2 ブレードが有する砥粒の粒度は、3 2 0 ~ 6 0 0 であってもよい。この場合、インターポーザ及び封止材を、それぞれの材質に適した砥粒を有する第 1 ブレード及び第 2 ブレードによって切削又は切断することができる。

10

【 0 0 2 0 】

[1 3] 本開示は、別の側面として構造体に関する。構造体は、第 1 主面及び第 1 主面对向する第 2 主面を含むインターポーザと、第 1 主面に配置された複数の半導体素子と、を備えている。インターポーザには、第 1 主面を複数の領域に分割する溝部が形成されている。複数の半導体素子は、各領域上に少なくとも一つずつ配置されている。なお、構造体において、各領域上に 2 つ以上の半導体素子が配置されていてもよい。

【 0 0 2 1 】

この構造体では、インターポーザに第 1 主面を複数の領域に分割する溝部が形成されている。この構造体を用いて上記製造方法により半導体装置を製造する場合、上記同様、溝部に配置された封止材を切断することによって構造体を個片化することができる。そのため、構造体を個片化する際に、例えば、封止材を切断するためのブレードの他にインターポーザを切断するためのブレードを使用する必要が無い。これにより、半導体装置の製造効率を向上することができる。

20

【 0 0 2 2 】

[1 4] 上記 [1 3] の構造体において、溝部は、インターポーザの厚さに対して 1 0 % ~ 6 0 % の深さを有していてもよい。この構造体を用いて上記製造方法により半導体装置を製造する場合、上記同様、インターポーザを研磨する工程において封止材を容易に露出させることができると共に、半導体装置の製造工程においてインターポーザに割れが生じ難い。これにより、半導体装置の製造効率を向上することができる。

30

【 0 0 2 3 】

[1 5] 上記 [1 3] 又は [1 4] の構造体において、溝部は、7 0 μm ~ 4 7 0 μm の深さを有していてもよい。この構造体を用いて上記製造方法により半導体装置を製造する場合、上記同様、インターポーザを研磨する工程において封止材を容易に露出させることができると共に、半導体装置の製造工程においてインターポーザに割れが生じ難い。これにより、半導体装置の製造効率を向上することができる。

【 0 0 2 4 】

[1 6] 上記 [1 3] ~ [1 5] のいずれかの構造体において、溝部は、第 1 方向に沿う複数の第 1 溝と、第 1 方向と交差する第 2 方向に沿う複数の第 2 溝とを含む格子状に形成されていてもよい。互いに隣り合う第 1 溝同士の間隔は、1 0 mm ~ 1 0 0 mm であってもよい。互いに隣り合う第 2 溝同士の間隔は、2 0 mm ~ 1 0 0 mm であってもよい。この構造体を用いて上記製造方法により半導体装置を製造する場合、一般的な電子部品に実装することができるサイズを有する汎用性の高い半導体装置を製造することができる。

40

【 0 0 2 5 】

[1 7] 本開示は、別の側面として半導体装置に関する。半導体装置は、インターポーザと、インターポーザの主面上に配置された少なくとも一つの半導体素子と、インターポーザ及び少なくとも一つの半導体素子を封止する封止材と、を備えている。封止材は、少なくともインターポーザの側面を覆っている。

【 0 0 2 6 】

50

この半導体装置では、封止材がインターポーザの側面を覆っている。これにより、相対的に硬くて脆い性質を有する材料（例えばシリコン等）によってインターポーザが形成されている場合であっても、インターポーザをより確実に保護することができる。その結果、耐久性の高い半導体装置を得ることができる。

【 0 0 2 7 】

[1 8] 上記 [1 7] の半導体装置は、インターポーザと少なくとも一つの半導体素子とを接続する再配線層を更に備えていてもよい。封止材は、更に再配線層の側面を覆っていてもよい。これにより、再配線層を封止材によって保護することができ、更に耐久性の高い半導体装置を得ることができる。

【発明の効果】

10

【 0 0 2 8 】

本開示の一側面によれば、半導体装置の製造効率を向上することができる。

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】図 1 は、第 1 実施形態に係る製造方法によって製造される半導体装置の一例を模式的に示す断面図である。

【図 2】図 2 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 3】図 3 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 4】図 4 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 5】図 5 は、溝部が形成されたインターポーザを示す平面図である。

20

【図 6】図 6 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 7】図 7 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 8】図 8 は、アンダーフィルの構成を示す図である。

【図 9】図 9 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 1 0】図 1 0 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 1 1】図 1 1 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 1 2】図 1 2 は、第 1 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

30

【図 1 3】図 1 3 は、第 2 実施形態に係る製造方法によって製造される半導体装置の一例を模式的に示す断面図である。

【図 1 4】図 1 4 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 1 5】図 1 5 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【図 1 6】図 1 6 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。

【発明を実施するための形態】

【 0 0 3 0 】

40

以下、必要により図面を参照しながら本開示のいくつかの実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一の符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。更に、図面の寸法比率は図示の比率に限られるものではない。

【 0 0 3 1 】

本明細書において「～」を用いて示された数値範囲には、「～」の前後に記載される数値がそれぞれ最小値及び最大値として含まれる。本明細書に段階的に記載されている数値範囲において、一つの数値範囲で記載された上限値又は下限値は、他の段階的な記載の数値範囲の上限値又は下限値に置き換えてもよい。また、本明細書に記載されている数値範囲において、その数値範囲の上限値又は下限値は、実施例に示されている値に置き換えて

50

もよい。

【 0 0 3 2 】

[第 1 実施形態]

(半導体装置の構成)

図 1 は、本実施形態に係る製造方法によって製造される半導体装置 1 の一例を模式的に示す断面図である。半導体装置 1 は、例えば、C o W o S (Chip on Wafer on Substrate) 構造を有する半導体パッケージである。半導体装置 1 は、半導体素子 2 と、バンプ 3 と、アンダーフィル 4 と、再配線層 5 と、インターポーザ 6 と、バンプ 7 と、封止材 8 とを備えている。C o W o S では、このような構成の半導体装置 1 が有機基板 (不図示) に実装される。

10

【 0 0 3 3 】

半導体素子 2 は、例えば、プロセッサ又はメモリ等の半導体チップである。プロセッサは、例えば、G P U (Graphics Processing Unit) 又は C P U (Central Processing Unit) 等のプロセッサユニットであってもよい。メモリは、例えば、H B M (High Bandwidth Memory) 等のメモリユニットであってもよい。本実施形態では、説明の便宜上、半導体装置 1 が一つの半導体素子 2 を備える場合を例に説明するが、半導体装置 1 は複数の半導体素子 2 を備えていてもよく (例えば第 2 実施形態を参照) 、一つのプロセッサユニットと複数のメモリユニットとを備えていてもよい。

【 0 0 3 4 】

半導体素子 2 は、再配線層 5 を隔ててインターポーザ 6 上に配置されている。半導体素子 2 は、上面 2 a と、下面 2 b と、上面 2 a 及び下面 2 b を接続する側面 2 c とを有している。上面 2 a は、下面 2 b よりもインターポーザ 6 から離れて位置している。

20

【 0 0 3 5 】

バンプ 3 は、半導体素子 2 と再配線層 5 (R D L : Re-Distribution Layer) との間に配置されている。バンプ 3 は、半導体素子 2 の下面 2 b と、後述する再配線層 5 の主面 5 a との間に配置されている。バンプ 3 は、例えば半田等の金属材料により形成されている。バンプ 3 は、半導体素子 2 と再配線層 5 とを電氣的に接続している。

【 0 0 3 6 】

アンダーフィル 4 は、半導体素子 2 と再配線層 5 との間において、バンプ 3 を覆うように配置されている。アンダーフィル 4 は、半導体素子 2 及び再配線層 5 に接合している。アンダーフィル 4 は、バンプ 3 を封止して保護している。

30

【 0 0 3 7 】

再配線層 5 は、バンプ 3 とインターポーザ 6 との間に配置されている。再配線層 5 は、互いに対向する主面 5 a , 5 b と、主面 5 a 及び主面 5 b を接続する側面 5 c と、を有している。主面 5 a は、主面 5 b よりもインターポーザ 6 から離れて位置している。主面 5 a には、バンプ 3 及びアンダーフィル 4 が配置されている。再配線層 5 は、インターポーザ 6 上に直接配置されている。主面 5 b は、インターポーザ 6 に接触している。再配線層 5 は、層状の絶縁部分 1 5 と、絶縁部分 1 5 内に形成された配線 (不図示) とを有している。配線は、バンプ 3 とインターポーザ 6 とを電氣的に接続している。

【 0 0 3 8 】

40

インターポーザ 6 は、半導体素子 2 を支持する基板である。本実施形態では、インターポーザ 6 は、矩形板状に形成されている。インターポーザ 6 の形状は限定されず、インターポーザ 6 は、円形板状又は矩形以外の多角形板状に形成されていてもよい。インターポーザ 6 は、互いに対向する主面 6 a , 6 b と、主面 6 a 及び主面 6 b を接続する側面 6 c と、を有している。主面 6 a は、再配線層 5 の主面 5 b に接触している。インターポーザ 6 には、配線が形成されている。当該配線は、主面 6 a から主面 6 b に向かって貫通する貫通電極であってもよい。インターポーザ 6 が有する配線は、再配線層 5 が有する配線と、後述するバンプ 7 とを電氣的に接続している。なお、インターポーザ 6 の側面 6 c は、封止材 8 によって覆われている。

【 0 0 3 9 】

50

パンプ 7 は、インターポーザ 6 の主面 6 b に配置されている。パンプ 7 は、例えば半田等の金属材料により形成されている。パンプ 7 は、半導体装置 1 が他の電子部品に実装された状態において、インターポーザ 6 と当該電子部品とを電氣的に接続する。

【 0 0 4 0 】

封止材 8 は、半導体素子 2 及びインターポーザ 6 を封止する。封止材 8 は、インターポーザ 6 の厚さ方向から見た場合に、半導体素子 2 の周囲に環状に形成されている。封止材 8 は、半導体素子 2 の側面 2 c、アンダーフィル 4 の表面、再配線層 5 の側面 5 c 及びインターポーザ 6 の側面 6 c を覆っている。このように封止材 8 によって覆われることにより、半導体装置 1 の耐久性が高められる。特に、インターポーザ 6 は、相対的に硬くて脆い性質を有する材料（例えばシリコン等）によって形成されている場合がある。この場合であっても封止材 8 によって覆われることで、インターポーザ 6 をより確実に保護することができる。また、封止材 8 は、半導体素子 2 の上面 2 a 及びインターポーザ 6 の主面 6 b を覆っていない。すなわち、上面 2 a 及び主面 6 b は、封止材 8 から露出している。本実施形態では、上面 2 a 及び主面 6 b の全体が封止材 8 から露出している。

【 0 0 4 1 】

（半導体装置の製造方法）

図 2 ～ 図 1 2 を参照して、半導体装置 1 の製造方法について説明する。図 2 ～ 4、図 6、図 7 及び図 9 ～ 1 2 は、半導体装置 1 の製造方法を示す模式的な断面図である。図 5 は、溝部 6 1 が形成されたインターポーザ 6 0 を示す平面図である。図 8 は、アンダーフィル 4 の構成を示す図である。半導体装置 1 は、例えば、以下の工程（ a ）～工程（ f ）を経て製造される。

（ a ）主面 6 0 a（第 1 主面）及び主面 6 0 a に対向する主面 6 0 b（第 2 主面）を含み、主面 6 0 a を複数の領域 6 5 に分割する溝部 6 1 が形成されたインターポーザ 6 0 と、各領域 6 5 上に少なくとも一つずつ配置された複数の半導体素子 2 と、を有する構造体 1 0 0 を準備する工程。

（ b ）複数の半導体素子 2 と主面 6 0 a との間にアンダーフィル 4 を配置する工程。

（ c ）少なくとも溝部 6 1 に封止材 8 が配置されるように複数の半導体素子 2 それぞれの少なくとも一部を封止材 8 で封止する工程。

（ d ）各半導体素子 2 の上面 2 a が封止材 8 から露出するように、封止材 8 を研磨する工程。

（ e ）溝部 6 1 に配置された封止材 8 が露出するように、インターポーザ 6 0 を主面 6 0 b から主面 6 0 a に向かって研磨する工程。

（ f ）溝部 6 1 に沿って封止材 8 を切断することにより構造体 1 0 0 を複数の領域 6 5 毎に個片化し、複数の半導体装置 1 を取得する工程。

【 0 0 4 2 】

[工程（ a ）]

図 2 ～ 図 6 を参照して工程（ a ）について説明する。工程（ a ）は、図 6 に示される構造体 1 0 0 を準備する工程である。工程（ a ）では、まず、図 2 に示されるように、インターポーザ 6 0 が準備される。インターポーザ 6 0 は、後の工程において個片化されて、半導体装置 1 のインターポーザ 6 となる。インターポーザ 6 0 は、主面 6 0 a 及び主面 6 0 a に対向する主面 6 0 b を有している。主面 6 0 a 及び主面 6 0 b が対向する方向は、インターポーザ 6 0 の厚さ方向である。本実施形態では、インターポーザ 6 0 は、シリコン（ S i ）により形成されている。インターポーザ 6 0 は、円形板状を呈している。インターポーザ 6 0 は、ガラス又は有機材料により形成されていてもよく、無機フィラーを含む有機材料を用いて形成された有機基板であってもよい。このような有機基板は、例えば、多層材料である銅張積層板（例えば、 M C L シリーズ（商品名、株式会社レゾナック製））をコア材として層間絶縁材料（例えば、 A B F フィルム等）をその上に積層して形成することができる。インターポーザ 6 0 がガラス又は有機材料により形成されている場合、インターポーザ 6 0 は円形板状以外の形状（例えば矩形板状）を呈していてもよい。インターポーザ 6 0 の厚さ T 1 は、例えば 5 0 0 μ m ～ 1 0 0 0 μ m であってもよいし、 7

10

20

30

40

50

00 μm ~ 800 μm であってもよい。インターポーザ60には、配線が形成されている。当該配線は、主面60aから主面60bに向かって貫通するシリコン貫通電極(TSV: Through-Silicon Via)であってもよい。

【0043】

次に、インターポーザ60の主面60a上に再配線層50が形成される。再配線層50は、後の工程において個片化されて、半導体装置1の再配線層5となる。再配線層50は、主面60aの全体にわたって形成されている。再配線層50は、層状の絶縁部分51と、絶縁部分51内に形成された配線(不図示)とを有している。本実施形態では、絶縁部分51は、有機材料により形成されている。絶縁部分51を形成する有機材料は、ポリイミド樹脂、マレイミド樹脂、エポキシ樹脂、フェノキシ樹脂、ポリベンゾオキサール樹脂、アクリル樹脂、又はアクレート樹脂であってもよい。なお、再配線層50の絶縁部分51は、例えば、感光性絶縁材料(例えば、AHシリーズ(商品名、株式会社レゾナック製))を用いて形成してもよい。

10

【0044】

有機材料の弾性率は、一般的に、無機材料の弾性率よりも低い。換言すると、有機材料は、一般的に、無機材料よりも柔らかい。絶縁部分51を形成する有機材料の弾性率は、例えば1 GPa ~ 10 GPaであってもよい。ここでいう弾性率はヤング率を意味する。

【0045】

再配線層50が有する配線は、例えば銅等の金属材料により形成されている。絶縁部分51を形成する材料は、感光性を有していてもよい。絶縁部分51を形成する材料が感光性を有している場合、露光及び現像が行われることにより絶縁部分51の一部が除去され、除去された部分に電解めっき法等を用いて配線が形成されてもよい。絶縁部分51の除去は、レーザ照射により行われてもよい。レーザ照射による場合、絶縁部分51を形成する材料は、感光性を有していなくてもよい。再配線層50が有する配線は、インターポーザ60が有する配線に電氣的に接続される。

20

【0046】

次に、図3に示されるように、再配線層50の一部が除去される。再配線層50の一部が除去されることにより、再配線層50に開口52が形成される。本実施形態では、再配線層50の一部が除去された後に、インターポーザ60に溝部61が形成される(図4を参照)。溝部61の詳細な構成については、図4を参照して後述する。図3に示される再配線層50の一部を除去する工程では、再配線層50における溝部61に対応する部分が除去される。具体的には、図3では、インターポーザ60における溝部61の形成予定部分が部分61Aとして二点鎖線で示されている。図3に示される再配線層50の一部を除去する工程では、再配線層50における部分61Aとの重畳部分が除去される。再配線層50における部分61Aとの重畳部分は、再配線層50に対して露光及び現像が行われることにより除去されてもよいし、レーザ照射が行われることにより除去されてもよい。

30

【0047】

次に、図4に示されるように、インターポーザ60に溝部61が形成される。溝部61は、インターポーザ60の主面60aから主面60bに向かって形成される。溝部61は、主面60aにおいて開口する。溝部61は、スリット状に形成される。溝部61の深さA1は、例えば、70 μm ~ 470 μm であってもよいし、100 μm ~ 400 μm であってもよいし、200 μm ~ 300 μm であってもよい。インターポーザ60の厚さT1に対する溝部61の深さA1は、例えば、10% ~ 60%であってもよいし、20% ~ 50%であってもよいし、30% ~ 40%であってもよい。溝部61の深さA1は、最終的に取得される半導体装置1のインターポーザ6の厚さT2(図1を参照)よりも、例えば30 μm ~ 50 μm だけ大きくてもよい。溝部61の深さA1に対する溝部61の幅W1のアスペクト比(深さA1:幅W1)は、例えば3.5:1 ~ 8:1であってもよい。

40

【0048】

ここで、図5も参照して溝部61のより詳細な構成について説明する。図5では、説明の便宜上、再配線層50の図示が省略され、インターポーザ60のみが図示されている。

50

図5に示されるように、溝部61は、第1方向D1に沿う複数の第1溝62と、第1方向D1と交差する第2方向D2に沿う複数の第2溝63とを有している。すなわち、溝部61は、複数の第1溝62と複数の第2溝63とを含む格子状に形成されている。本実施形態では、第2方向D2は、第1方向D1に垂直である。互いに隣り合う第1溝62同士の間隔P1は、例えば10mm~100mmであってもよいし、25mm~60mmであってもよい。互いに隣り合う第2溝63同士の間隔P2は、例えば20mm~100mmであってもよいし、30mm~60mmであってもよい。間隔P2は、間隔P1よりも大きくてもよい。

【0049】

溝部61は、主面60aを複数の領域65に分割している。本実施形態では、インターポーザ60の厚さ方向から見て、各領域65は矩形状を呈している。領域65の第1方向D1に沿う幅は、互いに隣り合う第2溝63同士の間隔P2に等しい。領域65の第2方向D2に沿う幅は、互いに隣り合う第1溝62同士の間隔P1に等しい。各領域65の形状は限定されず、各領域65は、例えば矩形状以外の多角形状を呈していてもよい。図4に示されるように、溝部61が形成されたインターポーザ60は、板状の第1部分66と、第1部分66上に形成された複数の第2部分67とを有している。第2部分67は、メサ状を呈している。第2部分67の頂面は、領域65に対応している。

【0050】

溝部61は、例えばブレード(第1ブレード)を用いて形成される。一例として、高速回転するブレードをインターポーザ60の主面60aから主面60bに向かって移動させ、インターポーザ60を切削することにより溝部61が形成される。インターポーザ60を切削するためのブレードは、例えばダイシングブレードであってもよい。インターポーザ60を切削するためのブレードが有する砥粒の粒度(番手)は、例えば2000~4000であってもよい。粒度を示すの値が大きいくほど、砥粒の粒径は小さくなる。砥粒は、ダイヤモンド砥粒(SD)であってもよい。溝部61の形成手法は限定されず、例えばレーザ照射により溝部61が形成されてもよい。

【0051】

次に、図6に示されるように、各領域65上に半導体素子2が配置される。本実施形態では、各領域65上に一つずつ半導体素子2が配置される。半導体素子2は、各領域65上に少なくとも一つずつ配置されればよい。したがって、各領域65上に複数の半導体素子2が配置されてもよい。一例として、一つのプロセッサ(例えばGPU)及び複数のメモリ(例えばHBM)が、複数の半導体素子2として各領域65上に配置されてもよい。この場合、各領域65において、複数のメモリはプロセッサの周囲に近接して配置されてもよい。プロセッサとメモリとは、互いに積層されることなく二次元的に配置されてもよい。複数のメモリは、互いに積層されて三次元的に配置されてもよい。

【0052】

本実施形態では、再配線層50がインターポーザ60上に配置され、半導体素子2がバンプ3を介して再配線層50上に配置される。すなわち、半導体素子2は、再配線層50及びバンプ3を介して領域65上に配置される。半導体素子2は、バンプ3によって再配線層50が有する配線部分に電氣的に接続される。以上の工程(a)により、構造体100が準備される。準備される構造体100は、インターポーザ60と、複数の半導体素子2とを有している。インターポーザ60は、主面60aと、主面60aに対向する主面60bとを含んでいる。インターポーザ60には、主面60aを複数の領域65に分割する溝部61が形成されている。複数の半導体素子2は、各領域65上に少なくとも一つずつ配置されている。本実施形態では、複数の半導体素子2は、各領域65上に一つずつ配置されている。

【0053】

[工程(b)]

工程(b)は、複数の半導体素子2と、インターポーザ60の主面60aとの間にアンダーフィル4を配置する工程である。図7に示されるように、アンダーフィル4は、各半

10

20

30

40

50

導体素子 2 と主面 6 0 a との間に配置される。本実施形態では、アンダーフィル 4 は、主面 6 0 a に配置された再配線層 5 0 と、半導体素子 2 との間に配置される。図 8 に示されるように、アンダーフィル 4 は、半導体素子 2 と再配線層 5 との間においてパンプ 3 を覆うように配置される。アンダーフィル 4 は、パンプ 3 同士の隙間に充填される。アンダーフィル 4 は、半導体素子 2 及び再配線層 5 0 に接合する。アンダーフィル 4 は、パンプ 3 を封止して保護する。アンダーフィル 4 は、例えばエポキシ樹脂を含む材料により形成されてもよい。なお、アンダーフィル 4 としては、個別のアンダーフィル材を用いて形成するだけでなく、後述する封止材 8 で封止する際に封止材 8 の一部をアンダーフィルとして使用してもよい。

【 0 0 5 4 】

10

[工程 (c)]

工程 (c) は、少なくとも溝部 6 1 に封止材 8 を配置する工程である。図 9 に示されるように、溝部 6 1 の全体に封止材 8 が配置 (充填) されるように複数の半導体素子 2 を封止材 8 で封止する。封止材 8 は、再配線層 5 0 の開口 5 2 の内部、及び複数の半導体素子 2 の間にも配置される。封止材 8 は、半導体素子 2、アンダーフィル 4 及び再配線層 5 0 を覆うように、インターポーザ 6 0 の全体にわたって配置される。封止材 8 は、各半導体素子 2 の上面 2 a 及び側面 2 c を覆うように配置される。封止材 8 は、例えばエポキシ樹脂を含む材料により形成されてもよい。封止材 8 は、エポキシモルディングコンパウンド (E M C) であってもよい。

【 0 0 5 5 】

20

[工程 (d)]

工程 (d) は、各半導体素子 2 の上面 2 a が封止材 8 から露出するように、封止材 8 を研磨する工程である。図 9 に示されるように、封止材 8 は、インターポーザ 6 0 とは反対側の表面 8 a を有している。工程 (d) では、封止材 8 が表面 8 a からインターポーザ 6 0 に向かって研磨されることにより、封止材 8 が薄化される。本実施形態では、図 1 0 に示されるように、表面 8 a が上面 2 a と面一になるまで封止材 8 が研磨される。これにより、上面 2 a が封止材 8 から露出する。

【 0 0 5 6 】

本実施形態では、工程 (d) が終了した後に、インターポーザ 6 0 の向きが反転される。工程 (d) までの工程では、インターポーザ 6 0 の主面 6 0 a は、主面 6 0 b よりも鉛直方向において上側に位置していた (図 1 0 を参照)。これに対して、工程 (e) 以降の工程では、インターポーザ 6 0 は、主面 6 0 a が主面 6 0 b よりも鉛直方向において下側に位置するように配置される。

30

【 0 0 5 7 】

[工程 (e)]

工程 (e) は、溝部 6 1 に配置された封止材 8 が露出するように、インターポーザ 6 0 を研磨する工程である。工程 (e) では、インターポーザ 6 0 が、主面 6 0 b から主面 6 0 a に向かって研磨されることにより、インターポーザ 6 0 が薄化される。溝部 6 1 に配置された封止材 8 が露出するまでインターポーザ 6 0 を研磨すると、図 1 1 に示されるように、インターポーザ 6 0 の第 1 部分 6 6 が除去され、複数の第 2 部分 6 7 が残る。インターポーザ 6 0 の厚さ方向から見て、隣り合う第 2 部分 6 7 同士の間には、封止材 8 のみが存在している。

40

【 0 0 5 8 】

次に、図 1 2 に示されるように、インターポーザ 6 0 にパンプ 7 が配置される。本実施形態では、パンプ 7 は、各第 2 部分 6 7 における再配線層 5 0 とは反対側の表面に配置される。パンプ 7 は、インターポーザ 6 0 の配線に電氣的に接続される。

【 0 0 5 9 】

[工程 (f)]

工程 (f) は、溝部 6 1 に沿って封止材 8 を切断することにより構造体 1 0 0 を複数の領域 6 5 毎に個片化し、複数の半導体装置 1 を取得する工程である。図 1 2 に示されるよ

50

うに、工程（f）では、封止材 8 がインターポーザ 6 0 の厚さ方向に切断される。具体的には、封止材 8 における溝部 6 1 に配置された部分（複数の第 2 部分 6 7 の間に配置された部分）と、封止材 8 における再配線層 5 0 の開口 5 2 内に配置された部分と、封止材 8 における複数の半導体素子 2 の間に配置された部分とが併せて切断される。これにより、構造体 1 0 0 が複数の領域 6 5 毎に個片化される。上述したように、インターポーザ 6 0 の厚さ方向から見て、隣り合う第 2 部分 6 7 同士の間には、封止材 8 のみが存在している。そのため、工程（f）において封止材 8 を切断する際、インターポーザ 6 0 は切断されない。本実施形態では、インターポーザ 6 0 の厚さ方向から見て、溝部 6 1 が格子状に形成されている。そのため、インターポーザ 6 0 は、溝部 6 1 に沿って格子状に切断される。

【 0 0 6 0 】

10

封止材 8 は、例えばブレード（第 2 ブレード）を用いて切断される。一例として、高速回転するブレードによって封止材 8 が切断される。封止材 8 を切断するためのブレードは、例えばダイシングブレードであってもよい。封止材 8 を切断するためのブレードが有する砥粒の粒度（番手）は、例えば 3 2 0 ~ 6 0 0 であってもよい。砥粒は、ダイヤモンド砥粒（SD）であってもよい。工程（a）においてインターポーザ 6 0 を切削するためのブレード（第 1 ブレード）が有する砥粒の粒度は、工程（f）において封止材 8 を切断するためのブレード（第 2 ブレード）が有する砥粒の粒度よりも大きくてもよい。

【 0 0 6 1 】

工程（f）により構造体 1 0 0 が個片化され、複数の半導体装置 1（図 1 を参照）が取得される。個片化後のインターポーザ 6 0 は、半導体装置 1 のインターポーザ 6 に対応し、個片化後の再配線層 5 0 は、半導体装置 1 の再配線層 5 に対応する。以上で、半導体装置 1 の製造工程が終了する。

20

【 0 0 6 2 】

以上、本実施形態に係る半導体装置 1 の製造方法によれば、インターポーザ 6 0 の主面 6 0 a を複数の領域 6 5 に分割する溝部 6 1 に封止材 8 が配置され、溝部 6 1 に配置された封止材 8 が露出するようにインターポーザ 6 0 が主面 6 0 b から主面 6 0 a に向かって研磨される。そして、溝部 6 1 に配置された封止材 8 が切断されることにより構造体 1 0 0 が個片化され、複数の半導体装置 1 が取得される。この場合、インターポーザ 6 0 を切断することなく、溝部 6 1 に配置された封止材 8 を切断することにより構造体 1 0 0 を個片化することができる。そのため、構造体 1 0 0 を個片化する際に、例えば、封止材 8 を切断するためのブレードの他にインターポーザ 6 0 を切断するためのブレードを使用する必要が無い。これにより、例えばブレードを交換する手間が不要となり、半導体装置 1 の製造効率を向上することができる。また、構造体を個片化する際にインターポーザ及び封止材の両者を切断する必要がある従来の製造方法では、インターポーザを確実に切断するために、ブレードが封止材まで到達するようにインターポーザを切断する場合がある。この場合、インターポーザを切断するためのブレードが封止材に接触する。このように、本来の対象物とは異なる材質の対象物を切断した場合、ブレードに異常磨耗が生じるおそれがある。これに対して、本実施形態に係る半導体装置 1 の製造方法では、構造体 1 0 0 を個片化する際に、封止材 8 を切断するためのブレードをインターポーザ 6 0 に接触させる必要がないため、ブレードに異常磨耗が生じ難い。これにより、ブレードの寿命が延び、ブレードの交換頻度が低下するため、半導体装置 1 の製造効率を向上することができる。さらに、本実施形態に係る製造方法によって製造される半導体装置 1 では、インターポーザ 6 の側面 6 c が封止材 8 によって覆われるため、インターポーザ 6 を保護することができる。インターポーザ 6 の側面 6 c が封止材 8 によって覆われている上記構成によれば、相対的に硬くて脆い性質を有するシリコン等によってインターポーザ 6 が形成されている場合であっても、インターポーザ 6 をより確実に保護することができる。

30

40

【 0 0 6 3 】

本実施形態の半導体装置 1 の製造方法において、構造体 1 0 0 を準備する工程は、インターポーザ 6 0 の厚さ T 1 に対して 1 0 % ~ 6 0 % の深さ A 1 を有する溝部 6 1 を形成する工程を含んでいてもよい。溝部 6 1 の深さ A 1 が、インターポーザ 6 0 の厚さ T 1 に対

50

して10%よりも小さい場合、インターポーザ60を研磨する工程において封止材8を露出させ難い。また、溝部61の深さA1が、インターポーザ60の厚さT1に対して60%よりも大きい場合、インターポーザ60の強度が低下し、半導体装置1の製造工程においてインターポーザ60に割れが生じる可能性があり、この割れを生じさせないために製造効率が低下する虞がある。これに対して、上記の製造方法によれば、インターポーザ60を研磨する工程において封止材8を容易に露出させることができると共に、半導体装置1の製造工程においてインターポーザ60に割れが生じ難く製造効率を低下させない。これにより、半導体装置1の製造効率を向上することができる。

【0064】

本実施形態の半導体装置1の製造方法において、構造体100を準備する工程は、70 μ m~470 μ mの深さA1を有する溝部61を形成する工程を含んでもよい。溝部61の深さA1が70 μ mよりも小さい場合、インターポーザ60を研磨する工程において封止材8を露出させ難い。また、溝部61の深さA1が470 μ mよりも大きい場合、インターポーザ60の強度が低下し、半導体装置1の製造工程においてインターポーザ60に割れが生じる可能性があり、この割れを生じさせないために製造効率が低下する虞がある。これに対して、上記の製造方法によれば、インターポーザ60を研磨する工程において封止材8を容易に露出させることができると共に、半導体装置1の製造工程においてインターポーザ60に割れが生じ難く製造効率を低下させない。これにより、半導体装置1の製造効率を向上することができる。

【0065】

本実施形態の半導体装置1の製造方法において、インターポーザ60は、シリコン(Si)によって形成されている。この場合、インターポーザ60に形成される配線の微細化を実現することができる。

【0066】

本実施形態の半導体装置1の製造方法において、構造体100を準備する工程は、溝部61が形成される前の主面60a上に再配線層50を形成する工程と、再配線層50における、溝部61の形成予定部分(部分61A)との重畳部分を除去する工程と、インターポーザ60に溝部61を形成する工程と、を含んでいる。この場合、再配線層50において、溝部61の形成予定部分との重畳部分が除去される。これにより、例えば、ブレードを用いてインターポーザ60に溝部61を形成する際に、ブレードが再配線層50に接触し難い。これにより、再配線層50の剥離及びチップング(微小欠損)を抑制することができる。

【0067】

本実施形態の半導体装置1の製造方法において、再配線層50を形成する材料は、感光性を有する材料を含んでもよい。重畳部分を除去する工程では、再配線層50に対して露光及び現像を行うことにより重畳部分を除去してもよい。この場合、再配線層50における重畳部分が複雑な形状、又は微細な形状であっても、重複部分を容易に除去することができる。

【0068】

本実施形態の半導体装置1の製造方法は、複数の半導体素子2を封止材8で封止する工程の前に、複数の半導体素子2と主面60aとの間にアンダーフィル4を配置する工程を更に備えている。この場合、アンダーフィル4によって半導体素子2がインターポーザ60に対してより安定して固定される。

【0069】

本実施形態の半導体装置1の製造方法において、複数の半導体素子2を封止材8で封止する工程では、各半導体素子2の側面2c及び上面2aを覆うように封止材8を配置し、各半導体素子2の上面2aが封止材8から露出するように、封止材8を研磨する工程を更に備えている。この場合、半導体素子2の側面2cが封止材8によって覆われるため、半導体素子2を保護することができる。また、半導体素子2の上面2aが封止材8から露出するため、半導体素子2の放熱性を向上することができる。

10

20

30

40

50

【 0 0 7 0 】

本実施形態の半導体装置 1 の製造方法において、構造体 1 0 0 を準備する工程は、ブレードを用いてインターポーザ 6 0 を切削することにより溝部 6 1 を形成する工程を含んでいる。この場合、ブレードを用いて、インターポーザ 6 0 に対して溝部 6 1 をより確実に形成することができる。

【 0 0 7 1 】

本実施形態の半導体装置 1 の製造方法において、複数の半導体装置 1 を取得する工程では、ブレードを用いて封止材 8 を切断する。この場合、封止材 8 をより確実に切断することができる。

【 0 0 7 2 】

本実施形態の半導体装置 1 の製造方法において、溝部 6 1 を形成する工程においてインターポーザ 6 0 を切削するためのブレードが有する砥粒の粒度は、複数の半導体装置 1 を取得する工程において封止材 8 を切断するためのブレードが有する砥粒の粒度よりも大きくてもよい。この場合、インターポーザ 6 0 及び封止材 8 を、それぞれの材質に適した砥粒を有するブレードによって切断又は切削することができる。

【 0 0 7 3 】

本実施形態の半導体装置 1 の製造方法において、溝部 6 1 を形成する工程においてインターポーザ 6 0 を切削するためのブレードが有する砥粒の粒度は、 2 0 0 0 ~ 4 0 0 0 であってもよい。複数の半導体装置 1 を取得する工程において封止材 8 を切断するためのブレードが有する砥粒の粒度は、 3 2 0 ~ 6 0 0 であってもよい。この場合、インターポーザ 6 0 及び封止材 8 を、それぞれの材質に適した砥粒を有するブレードによって切断又は切削することができる。

【 0 0 7 4 】

本実施形態に係る構造体 1 0 0 では、インターポーザ 6 0 に主面 6 0 a を複数の領域 6 5 に分割する溝部 6 1 が形成されている。この構造体 1 0 0 を用いて上記製造方法により半導体装置 1 を製造する場合、上記同様、インターポーザ 6 0 を切断することなく、溝部 6 1 に配置された封止材 8 を切断することによって構造体 1 0 0 を個片化することができる。そのため、構造体 1 0 0 を個片化する際に、例えば、封止材 8 を切断するためのブレードの他にインターポーザ 6 0 を切断するためのブレードを使用する必要が無い。これにより、半導体装置 1 の製造効率を向上することができる。

【 0 0 7 5 】

本実施形態の構造体 1 0 0 において、溝部 6 1 は、インターポーザ 6 0 の厚さ T 1 に対して 1 0 % ~ 6 0 % の深さ A 1 を有していてもよい。この構造体 1 0 0 を用いて上記製造方法により半導体装置 1 を製造する場合、上記同様、インターポーザ 6 0 を薄化する工程において封止材 8 を容易に露出させることができると共に、半導体装置 1 の製造工程においてインターポーザ 6 0 に割れが生じ難い。これにより、半導体装置 1 の製造効率を向上することができる。

【 0 0 7 6 】

本実施形態の構造体 1 0 0 において、溝部 6 1 は、 7 0 μ m ~ 4 7 0 μ m の深さ A 1 を有していてもよい。この構造体 1 0 0 を用いて上記製造方法により半導体装置 1 を製造する場合、上記同様、インターポーザ 6 0 を薄化する工程において封止材 8 を容易に露出させることができると共に、半導体装置 1 の製造工程においてインターポーザ 6 0 に割れが生じ難い。これにより、半導体装置 1 の製造効率を向上することができる。

【 0 0 7 7 】

本実施形態の構造体 1 0 0 において、溝部 6 1 は、第 1 方向 D 1 に沿う複数の第 1 溝 6 2 と、第 1 方向に垂直な第 2 方向 D 2 に沿う複数の第 2 溝 6 3 とを含む格子状に形成されている。互いに隣り合う第 1 溝 6 2 同士の間隔は、 1 0 mm ~ 1 0 0 mm であってもよい。互いに隣り合う第 2 溝 6 3 同士の間隔は、 2 0 mm ~ 1 0 0 mm であってもよい。この構造体 1 0 0 を用いて上記製造方法により半導体装置 1 を製造する場合、一般的な電子部品に実装することができるサイズを有する汎用性の高い半導体装置 1 を製造することがで

10

20

30

40

50

きる。

【 0 0 7 8 】

[第 2 実施形態]

次に、図 1 3 ~ 図 1 6 を参照して、第 2 実施形態に係る半導体装置及びその製造方法について説明する。図 1 3 は、第 2 実施形態に係る製造方法によって製造される半導体装置 2 0 1 の一例を模式的に示す断面図である。図 1 4 ~ 図 1 6 は、第 2 実施形態に係る半導体装置の製造方法を示す模式的な断面図である。第 2 実施形態に係る半導体装置 2 0 1 は、例えば、C o W o S (Chip on Wafer on Substrate) 構造を有する半導体パッケージであり、各半導体装置に複数の半導体素子が実装される点が第 1 実施形態と相違している。他の構成は同様であるため、以下では説明を省略することがある。図 1 3 に示すように、半導体装置 2 0 1 は、複数の半導体素子 2 0 2 (2 0 2 a , 2 0 2 b) と、各バン

10

【 0 0 7 9 】

半導体素子 2 0 2 は、例えば、プロセッサ又はメモリ等の半導体チップである。プロセッサは、例えば、G P U (Graphics Processing Unit) 又は C P U (Central Processing Unit) 等のプロセッサユニットであってもよい。メモリは、例えば、H B M (High Bandwidth Memory) 等のメモリユニットであってもよい。図 1 3 に示す例では、例えば、一方の半導体素子 2 0 2 a がプロセッサユニットであり、他方の半導体素子 2 0 2 b がメモリである。半導体素子 2 0 2 b は、複数のメモリが積層されたメモリユニット

20

【 0 0 8 0 】

次に、図 1 4 ~ 図 1 6 を参照して、半導体装置 2 0 1 の製造方法について説明する。工程 (a) は、図 1 5 の (a) に示される構造体 2 0 0 を準備する工程である。工程 (a) では、まず、図 1 4 の (a) に示されるように、インターポーザ 6 0 が準備される。インターポーザ 6 0 は、後の工程において個片化されて、半導体装置 2 0 1 のインターポーザ 6 となる。このインターポーザ 6 0 の主面 6 0 a 上に再配線層 5 0 が形成される。再配線層 5 0 は、後の工程において個片化されて、半導体装置 2 0 1 の再配線層 5 となる。再配線層 5 0 は、主面 6 0 a の全体にわたって形成されている。再配線層 5 0 は、層状の絶縁部分 5 1 と、絶縁部分 5 1 内に形成された配線 (不図示) とを有している。

30

【 0 0 8 1 】

次に、図 1 4 の (b) に示されるように、再配線層 5 0 の一部が除去される。再配線層 5 0 の一部が除去されることにより、再配線層 5 0 に開口 5 2 が形成される。本実施形態では、再配線層 5 0 の一部が除去された後に、インターポーザ 6 0 に溝部 6 1 が形成される (図 1 4 の (c) を参照) 。再配線層 5 0 の一部を除去する方法は、第 1 実施形態と同様である。

【 0 0 8 2 】

次に、図 1 4 の (c) に示されるように、インターポーザ 6 0 に溝部 6 1 が形成される。溝部 6 1 は、インターポーザ 6 0 の主面 6 0 a から主面 6 0 b に向かって形成される。溝部 6 1 は、主面 6 0 a において開口する。溝部 6 1 は、スリット状に形成される。溝部 6 1 の深さは、第 1 実施形態と同様に、例えば、7 0 μ m ~ 4 7 0 μ m であってもよいし、1 0 0 μ m ~ 4 0 0 μ m であってもよいし、2 0 0 μ m ~ 3 0 0 μ m であってもよい。インターポーザ 6 0 の厚さに対する溝部 6 1 の深さは、例えば、1 0 % ~ 6 0 % であってもよいし、2 0 % ~ 5 0 % であってもよいし、3 0 % ~ 4 0 % であってもよい。溝部 6 1 の深さは、最終的に取得される半導体装置 2 0 1 のインターポーザ 6 の厚さよりも、例えば 3 0 μ m ~ 5 0 μ m だけ大きくてもよい。溝部 6 1 の深さに対する溝部 6 1 の幅のアスペクト比 (深さ : 幅) は、例えば 3 . 5 : 1 ~ 8 : 1 であってもよい。

40

50

【 0 0 8 3 】

また、溝部 6 1 は、第 1 実施形態と同様に、主面 6 0 a を複数の領域 6 5 に分割している。インターポーザ 6 0 の厚さ方向から見て、各領域 6 5 は矩形状を呈している。各領域 6 5 には、後述する工程において、複数の半導体素子がそれぞれ設置される。即ち、各領域 6 5 は、複数の半導体素子（例えば、半導体素子 2 0 2 a , 2 0 2 b ）が配置可能な大きさを有している。このような溝部 6 1 は、第 1 実施形態と同様に、例えばブレードを用いて形成される。

【 0 0 8 4 】

次に、図 1 5 の（ a ）に示されるように、各領域 6 5 上に複数の半導体素子 2 0 2 が配置される。第 2 実施形態では、各領域 6 5 上に 2 つずつの半導体素子 2 0 2 が配置される。一例として、プロセッサ（例えば G P U ）である半導体素子 2 0 2 a と、メモリ（例えば H B M ）である半導体素子 2 0 2 b とが各領域 6 5 上に配置される。複数のメモリを設置する場合、各メモリを積層して三次元的に配置してもよい。

10

【 0 0 8 5 】

工程（ b ）は、図 1 5 の（ b ）に示すように、各半導体素子 2 0 2 a , 2 0 2 b と、再配線層 5 0 との間にアンダーフィル 4 を配置する工程である。

【 0 0 8 6 】

〔 工程（ c ） 〕

工程（ c ）は、少なくとも溝部 6 1 に封止材 8 を配置する工程である。図 1 5 の（ c ）に示されるように、溝部 6 1 の全体に封止材 8 が配置（充填）されるように複数の半導体素子 2 0 2 を封止材 8 で封止する。封止材 8 は、再配線層 5 0 の開口 5 2 の内部、及び複数の半導体素子 2 0 2 の間にも配置される。封止材 8 は、半導体素子 2 0 2 a , 2 0 2 b 、アンダーフィル 4 及び再配線層 5 0 を覆うように、インターポーザ 6 0 の全体にわたって配置される。封止材 8 は、各半導体素子 2 0 2 a , 2 0 2 b の上面及び側面を覆うように配置される。

20

【 0 0 8 7 】

〔 工程（ d ） 〕

工程（ d ）は、各半導体素子 2 0 2 a , 2 0 2 b の上面が封止材 8 から露出するように、封止材 8 を研磨する工程である。図 1 6 の（ a ）に示されるように、封止材 8 は、インターポーザ 6 0 とは反対側の表面 8 a を有している。工程（ d ）では、封止材 8 が表面 8 a からインターポーザ 6 0 に向かって研磨されることにより、封止材 8 が薄化される。本実施形態では、図 1 6 の（ a ）に示されるように、表面 8 a が半導体素子 2 0 2 a , 2 0 2 b の上面と面一になるまで封止材 8 が研磨される。これにより、半導体素子 2 0 2 a , 2 0 2 b の上面が封止材 8 から露出する。

30

【 0 0 8 8 】

本実施形態では、工程（ d ）が終了した後に、第 1 実施形態と同様に、インターポーザ 6 0 の向きが反転される。工程（ d ）までの工程では、インターポーザ 6 0 の主面 6 0 a は、主面 6 0 b よりも鉛直方向において上側に位置している（図 1 6 の（ a ）を参照）。これに対して、工程（ e ）以降の工程では、インターポーザ 6 0 は、主面 6 0 a が主面 6 0 b よりも鉛直方向において下側に位置するように配置される。

40

【 0 0 8 9 】

〔 工程（ e ） 〕

工程（ e ）は、溝部 6 1 に配置された封止材 8 が露出するように、インターポーザ 6 0 を研磨する工程である。工程（ e ）では、インターポーザ 6 0 が、主面 6 0 b から主面 6 0 a に向かって研磨されることにより、インターポーザ 6 0 が薄化される。溝部 6 1 に配置された封止材 8 が露出するまでインターポーザ 6 0 を研磨すると、図 1 6 の（ b ）に示されるように、インターポーザ 6 0 の第 1 部分 6 6 が除去され、複数の第 2 部分 6 7 が残る。インターポーザ 6 0 の厚さ方向から見て、隣り合う第 2 部分 6 7 同士の間には、封止材 8 のみが存在している。

【 0 0 9 0 】

50

次に、図 16 の (c) に示されるように、インターポーザ 60 にバンプ 7 が配置される。本実施形態では、バンプ 7 は、各第 2 部分 67 における再配線層 50 とは反対側の表面に配置される。バンプ 7 は、インターポーザ 60 の配線に電氣的に接続される。

【 0091 】

[工程 (f)]

工程 (f) は、溝部 61 に沿って封止材 8 を切断することにより構造体 200 を複数の領域 65 毎に個片化し、複数の半導体装置 201 を取得する工程である。図 16 の (c) に示されるように、工程 (f) では、封止材 8 がインターポーザ 60 の厚さ方向に切断される。具体的には、封止材 8 における溝部 61 に配置された部分 (複数の第 2 部分 67 の間に配置された部分) と、封止材 8 における再配線層 50 の開口 52 内に配置された部分と、封止材 8 における複数の半導体素子 202 の間に配置された部分とが併せて切断される。これにより、構造体 200 が複数の領域 65 毎に個片化される。上述したように、インターポーザ 60 の厚さ方向から見て、隣り合う第 2 部分 67 同士の間には、封止材 8 のみが存在している。そのため、工程 (f) において封止材 8 を切断する際、インターポーザ 60 は切断されない。なお、封止材 8 は、第 1 実施形態と同様に、例えば高速回転するダイシングブレードを用いて切断される。これにより、構造体 200 が個片化され、複数の半導体装置 201 (図 13 を参照) が取得される。個片化後のインターポーザ 60 は、半導体装置 201 のインターポーザ 6 に対応し、個片化後の再配線層 50 は、半導体装置 201 の再配線層 5 に対応する。以上で、図 13 に示す半導体装置 201 の製造工程が終了する。

【 0092 】

以上、第 2 実施形態に係る半導体装置 201 の製造方法によれば、第 1 実施形態と同様に、インターポーザ 60 を切断することなく、溝部 61 に配置された封止材 8 を切断することにより構造体 200 を個片化することができる。そのため、構造体 200 を個片化する際に、例えば、封止材 8 を切断するためのブレードの他にインターポーザ 60 を切断するためのブレードを使用する必要が無い。これにより、例えばブレードを交換する手間が不要となり、半導体装置 201 の製造効率を向上することができる。その他の効果についても、第 1 実施形態と同様の作用効果を奏することができる。

【 0093 】

以上、本開示の実施形態について詳細に説明してきたが、本開示は上記実施形態に限定されるものではない。

【 0094 】

再配線層 50 の絶縁部分 51 は、無機材料により形成されていてもよい。絶縁部分 51 を形成する無機材料は、二酸化ケイ素 (SiO_2)、窒化ケイ素 (SiN)、又は酸窒化ケイ素 (SiON) であってもよい。絶縁部分 51 が無機材料により形成されている場合、工程 (a) において再配線層 50 における部分 61 A との重畳部分が除去される際に (図 3 を参照)、ブレードによって再配線層 50 が切削されることにより、当該重畳部分が除去されてもよい。再配線層 50 における当該重畳部分の除去と、溝部 61 の形成 (図 4 を参照) とは、同一のブレードを用いて併せて行われてもよい。

【 0095 】

半導体装置 1, 201 の製造工程において、工程 (b) は省略されてもよい。すなわち、複数の半導体素子 2, 202 と主面 60 a との間にアンダーフィル 4 が配置されなくてもよい。

【 0096 】

半導体装置 1, 201 の製造工程において、工程 (d) は省略されてもよい。すなわち、各半導体素子 2, 202 の上面 2 a が封止材 8 から露出するように、封止材 8 が研磨されて薄化されなくてもよい。具体的には、封止材 8 は、一切研磨されなくてもよいし、各半導体素子 2, 202 の上面 2 a が封止材 8 から露出しない程度に研磨されてもよい。

【 0097 】

インターポーザ 60 に形成される溝部 61 の深さ A1 の大きさは限定されない。深さ A

10

20

30

40

50

1 は、インターポザ 6 0 の厚さ T 1 に対して 1 0 % よりも小さくてもよいし、厚さ T 1 に対して 6 0 % よりも大きくてもよい。深さ A 1 は、7 0 μ m よりも小さくてもよいし、4 7 0 μ m よりも大きくてもよい。

【 0 0 9 8 】

半導体装置 1 , 2 0 1 が他の電子部品に実装される際の半導体装置 1 , 2 0 1 の向きは限定されない。すなわち、半導体素子 2 , 2 0 2 の上面 2 a が下面 2 b よりも鉛直方向において上側に位置するように半導体装置 1 , 2 0 1 が実装されてもよいし、上面 2 a が下面 2 b よりも鉛直方向において下側に位置するように半導体装置 1 が実装されてもよい。

【 符号の説明 】

【 0 0 9 9 】

1 , 2 0 1 ... 半導体装置、2 , 2 0 2 , 2 0 2 a , 2 0 2 b ... 半導体素子、2 a ... 上面、2 c ... 側面、4 ... アンダーフィル、5 , 5 0 ... 再配線層、6 , 6 0 ... インターポザ、8 ... 封止材、6 0 a ... 主面 (第 1 主面) 、6 0 b ... 主面 (第 2 主面) 、6 1 ... 溝部、6 1 A ... 部分 (形成予定部分) 、6 2 ... 第 1 溝、6 3 ... 第 2 溝、6 5 ... 領域、1 0 0 , 2 0 0 ... 構造体。

10

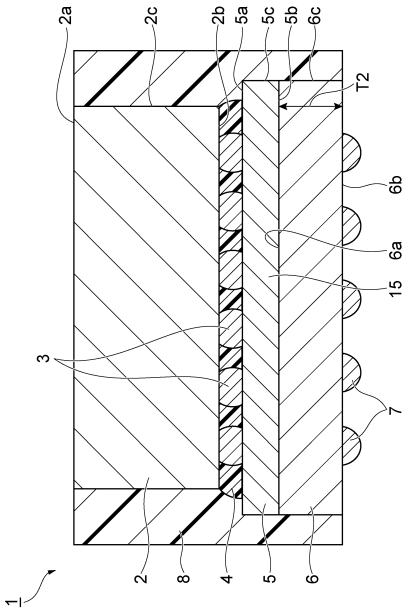
20

30

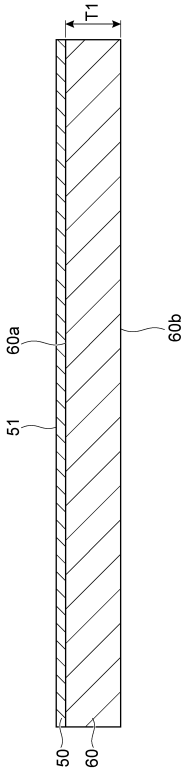
40

50

【図面】
【図 1】



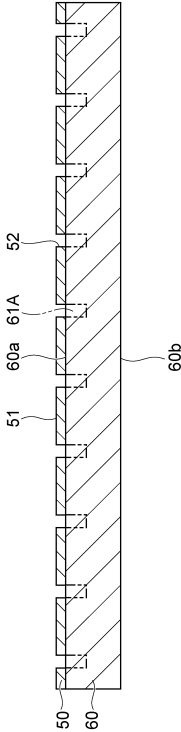
【図 2】



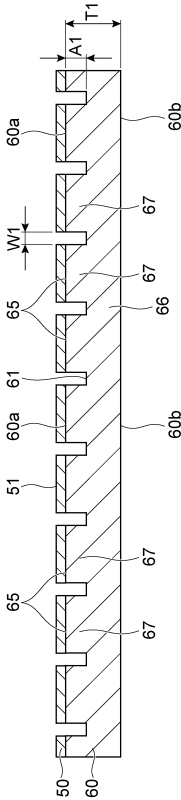
10

20

【図 3】



【図 4】

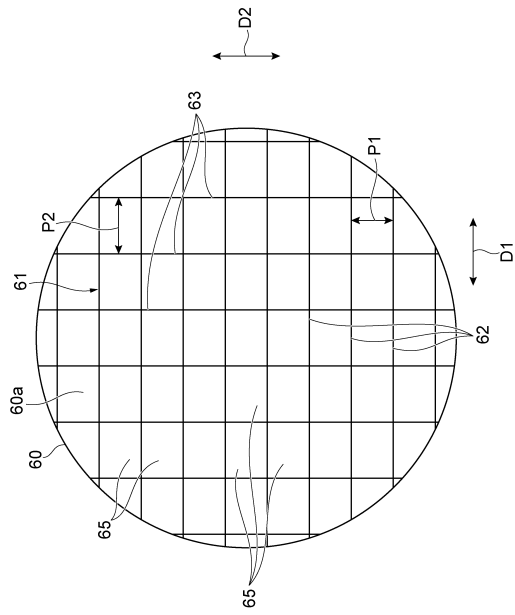


30

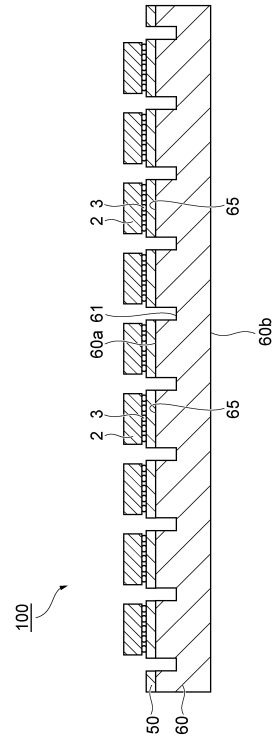
40

50

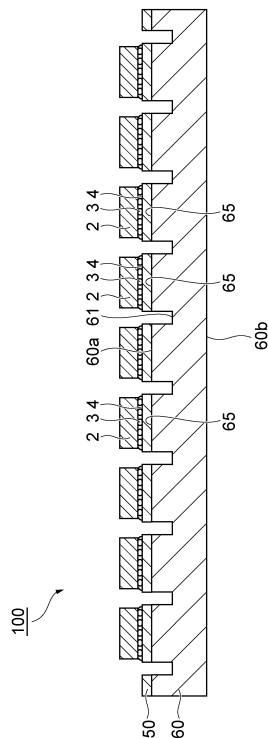
【 図 5 】



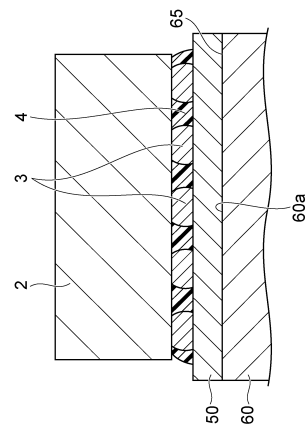
【 図 6 】



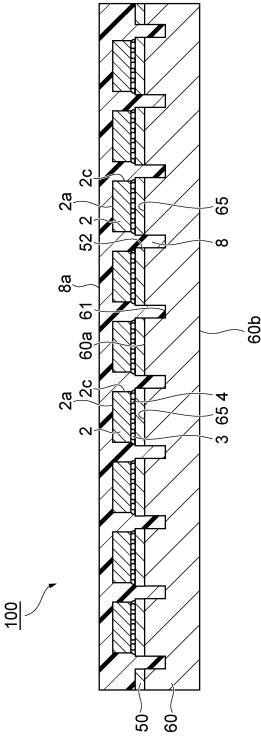
【 図 7 】



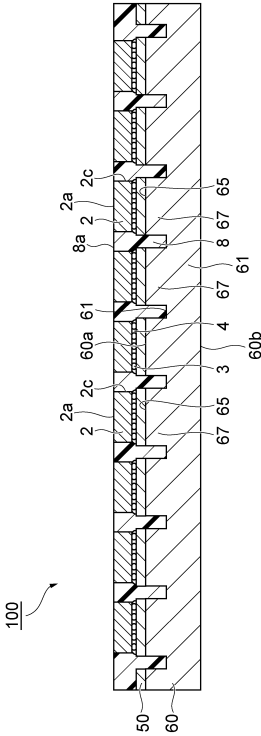
【圖 8】



【図 9】



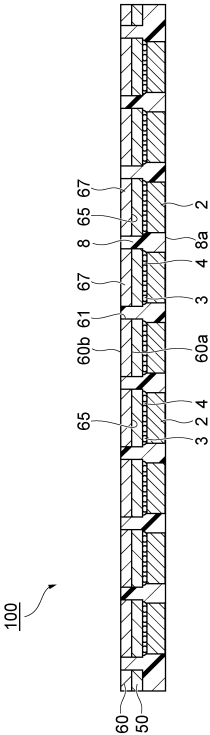
【図 10】



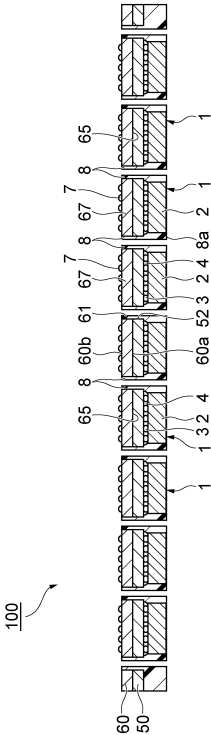
10

20

【図 11】



【図 12】

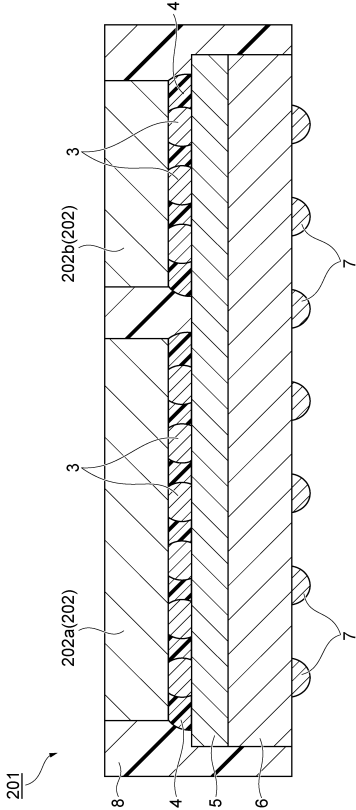


30

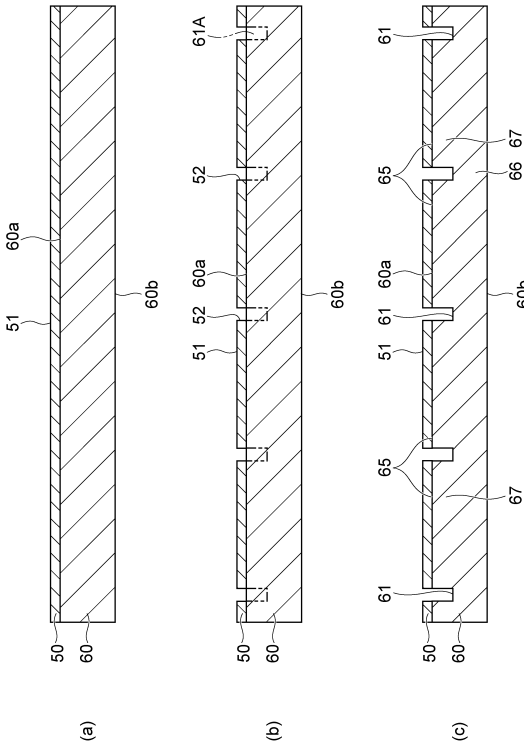
40

50

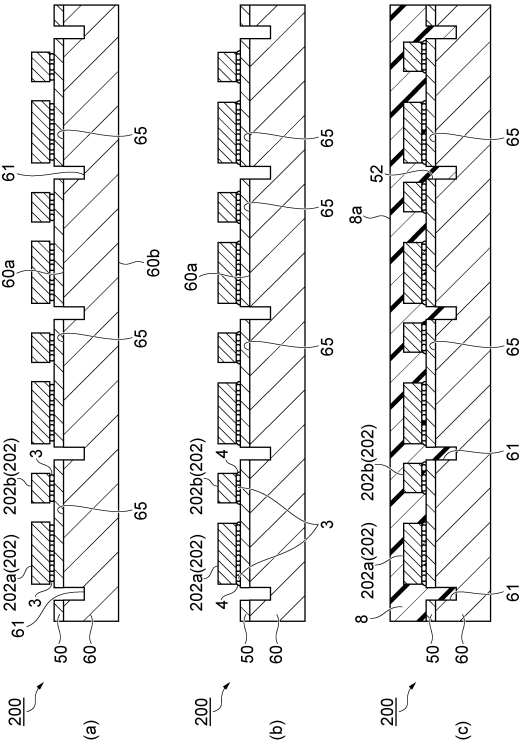
【図 1 3】



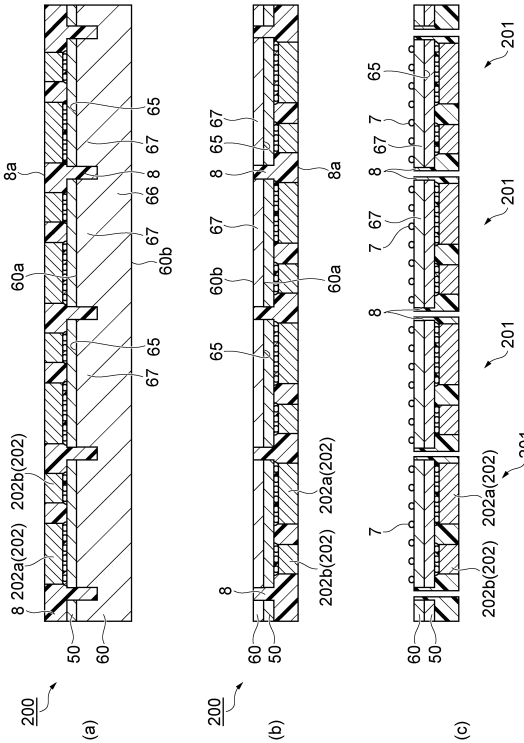
【図 1 4】



【図 1 5】



【図 1 6】



10

20

30

40

50

フロントページの続き

- (72)発明者 板垣 圭
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- (72)発明者 平野 寿枝
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- (72)発明者 加藤 禎明
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- (72)発明者 上野 恵子
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- (72)発明者 姜 東哲
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- (72)発明者 松原 弘明
東京都港区東新橋一丁目 9 番 1 号 株式会社レゾナック内
- 審査官 正山 旭
- (56)参考文献 特開 2 0 1 6 - 5 8 6 5 5 (J P , A)
米国特許出願公開第 2 0 1 7 / 0 0 5 3 8 5 9 (U S , A 1)
米国特許出願公開第 2 0 2 1 / 0 2 0 2 4 3 6 (U S , A 1)
米国特許出願公開第 2 0 1 5 / 0 1 7 1 0 2 4 (U S , A 1)
特開 2 0 1 9 - 4 0 8 9 9 (J P , A)
特開 2 0 0 7 - 1 9 4 4 6 9 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 3 / 1 2
H 0 1 L 2 1 / 3 0 1
H 0 1 L 2 5 / 0 4