

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
-----------	------	----	-------

無

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無

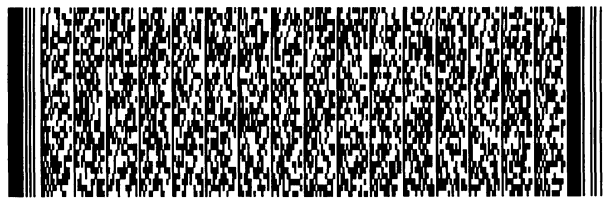
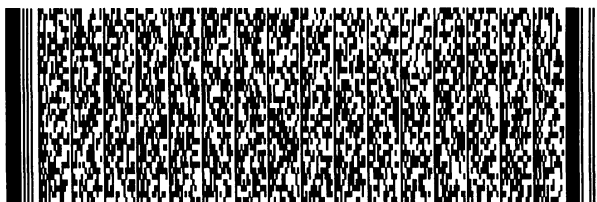
五、發明說明 (1)

本發明係有關於一種三角積分調變裝置，特別是有關於一種虛擬雙通路帶通三角積分調變器，採用單一位元(single-bit)及多位元(multi-bit)同時回授的結構，並在多位元回授路徑上，採用元件動態選取演算法，有效降低數位類比轉換電路在回授時因為其內部元件不匹配所產生的誤差。最後再經由數位信號的後置處理而將訊號輸出，使得電路具有使用多位元回授之優點，但沒有多元位回授時元件誤差的缺點。藉此，能夠將回授路徑上的數位類比轉換誤差降低。

在現代無線通信領域中，隨著CMOS製程技術的進步，CMOS積體電路不只應用在基頻的數位信號處理，且有逐漸應用在中頻與射頻的趨勢，這樣可以將許多電路整合在同一顆晶片上，克服了雙載子電晶體無法與互補式金氧半電晶體整合在一起的問題。而且，數位信號處理具有許多優點，使得目前的趨勢為盡量將所有的電路數位化。

目前，藉由帶通積分三角調變器對中頻部分的信號執行類比到數位之轉換，一般是將中頻設定在四分之一的取樣頻率。現在說明傳統三角積分調變器之結構，這類電路基本上需要使用兩種類比到數位的量化器(quantizer)：一種為單一位元的量化器，具有免除直流偏移電壓之特性；另一種為多位元的量化器，能夠有效提昇振幅量化的級數(level)，減少量化層級之間的誤差(quantization error)。

由於三角積分調變器的輸入端很容易因數位類比轉換電路(DAC)元件誤差而導致整體性能的降低，所以這類電



五、發明說明 (2)

路回授單一位元至迴路濾波器的第一級，讓DAC的回授沒有元件誤差；而第二級則採用多位元回授，讓兩個量化器的輸出同時具有單一位元及多位元的雜訊整形(noise shaping)性能。再經由數位電路的後置處理，抵消單一位元雜訊整形的誤差，使得電路只具有多位元的雜訊整形誤差的效果，增加信號雜訊比，提高整體的性能。

但是上述電路在多位元的回授路徑上，仍免不了有無法消除的DAC元件誤差存在，此回授量的漂移可視為量化時所產生的誤差，換句話說，量化的準確度影響了位元數的解析度，這往往會降低三角積分調變器的整體性能，這也是多位元回授電路的缺點。

以下將說明上述傳統技術之缺點。參閱第1圖，第1圖係顯示二階帶通三角積分調變器的線性模型。 X 為輸入信號， E_1 、 E_2 分別代表單一位元及多位元的量化器的量化誤差、 E_3 為多位元DAC回授路徑上的誤差，而 Y_1 、 Y_2 分別為單一位元及多位元量化器的輸出。其中用到兩個相同的帶通

濾波器， z -domain的函數表示式為 $\frac{z^{-1}}{1+z^{-2}}$ 因此可以推導出此線性模型的理想結果為：

$$Y = X \cdot z^{-2} + E_2 \cdot (1 + z^{-2})^2 \quad (1)$$

因此，輸出將會是輸入 X 的延遲函數再加上二次整形的多位元量化誤差。由於多位元量化誤差比單一位元量化誤差來的小，理論上，此輸出將會有較好的信號雜訊比。

然而，第(1)式僅為理想之情況，並沒有考慮多位元



五、發明說明 (3)

DAC 回授路徑上的誤差 E_3 。現在，並令第二個調變器的輸出為 Y' ，則可得到：

$$Y' = X \cdot z^{-2} + E_1 \cdot z^{-2} + (E_2 + E_3) \cdot z^{-2} \cdot (1 + z^{-2}) \quad (2)$$

所以單一位元及多位元量化器的輸出應分別加上量化誤差，為：

$$Y_1 = Y' + E_1 = X \cdot z^{-2} + E_1 \cdot (1 + z^{-2}) + (E_2 + E_3) \cdot z^{-2} \cdot (1 + z^{-2}) \quad (3)$$

$$Y_2 = Y' + E_2 = X \cdot z^{-2} + E_1 \cdot z^{-2} + (E_2 + E_3) \cdot z^{-2} \cdot (1 + z^{-2}) + E_2 \quad (4)$$

接著經由後置數位濾波器的處理，將第(4)式乘以 $(1 + z^{-2})$ ，並減掉第(3)式乘以 z^{-2} ，可以得到：

$$Y = X \cdot z^{-2} + E_2 \cdot (1 + z^{-2})^2 + E_3 \cdot z^{-2} \cdot (1 + z^{-2}) \quad (5)$$

第(5)式是考慮DAC誤差的結果，很明顯的可以看出， E_3 將會提高輸出的雜訊量，而使得整體的雜訊整形摻雜了一階的成分，信號雜訊比也因此而會降低。同理，高階系統的線性模型在多位元回授得情況下同樣會有相同的問題，也就是DAC回授元件不匹配時，會有比系統階數少一階的雜訊整形。

根據以上的說明，若能夠讓 E_3 具有和 E_2 相同的雜訊整形階數，並維持原有的第一級的線性回授，則輸出信號 Y 將會獲得有較佳的性能和信號雜訊比。然而，若要提升雜訊整形的階數，只有靠外加多層的數位濾波器、或亂數信號、或可適性電路才得以解決，但這將會大大提升所需的硬體電路，增加消耗的功率。

有鑑於此，為了解決上述問題，本發明主要目的在於將多重回授和一階雜訊整形演算法結合：在多位元DAC回



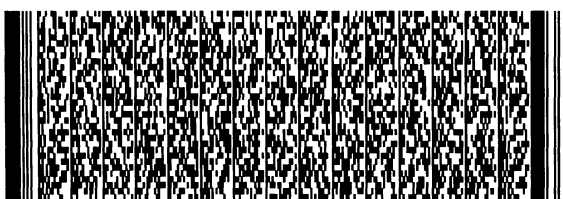
五、發明說明 (4)

授路徑中加上動態元件選取電路，使得輸出對於 E_3 有二階雜訊整形性能。

根據第(5)式，若能讓 E_3 改進為 $E_3 \cdot (1+z^{-2})$ ，也就是說，動態元件選取法要能完成 z -domain上的 $(1+z^{-2})$ 函數功能。其中變數 z^{-1} 在時域的觀點上代表延遲一個選取週期(sample cycle)，而"+"號在元件選取意義代表重複選取，"-"號在元件選取意義則代表不重複選取。所以要達到 $(1+z^{-2})$ 函數的選取功能，這次的選取的元件必需和往前倒數兩次的該次選取重複，而往後計數兩次的該次元件選取又要和這一次的選取重複；也就是說相鄰兩次的選取只和前兩次及後兩次有關，彼此之間沒有規則。故將DAC的輸入區分為奇數次及偶數次輸入兩組，各組個別來回選取。舉例來說，參閱第2圖，第2圖係顯示DAC選取元件順序的示意圖，假設DAC的輸入依序為3、4、4、3、6、5、5、6，奇數次輸入為3、4、6、5，偶數次輸入為4、3、5、6。第一次從最左邊開始往右選取3個，因為第二次與第一次沒有規則限制，所以也從最左邊往右選取4個，第三次由於要和第一次重複選取，所以我們從第一次結束時所選取的元件開始朝左方選取，個數為4個，第四次則需和第二次的選取重複，所以從第二次結束時所選取的元件開始朝左方選取，個數為3個，第五次要和第三次的選取重複，所以再從第三次結束時所選取的元件開始朝右方選取，個數為6個，...，以此類推。

經由以上的敘述，我們可以將選取區分為四類：

(1) 奇數次輸入往右



五、發明說明 (5)

(2) 奇數次輸入往左

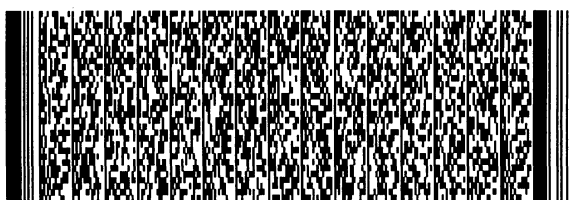
(3) 偶數次輸入往右

(4) 偶數次輸入往左。

動態選取演算法是藉由在時序上的選取，將各個元件誤差的出現頻率加以改變；在頻域上來說，即是在所要的頻寬範圍內設計了一個零點，將此誤差從中移除。而以所舉的例子，函數 $(1+z^{-2})$ 的零點就設在四分之一取樣頻率(sampling frequency)的地方，也就是信號的所在位置。

基於上述之原因，本發明提出一種改進的架構：在多位元回授的路徑上，採用元件動態選取演算法，有效降低數位類比(DAC)回授時的元件誤差，就線性模型而言，會有一階整形的效果，對整體電路來說，DAC的元件不匹配所造成的誤差將會與量化誤差具有同等階數的雜訊整形特性。最後輸出再經由數位電路的處理，將單一位元的量化誤差消除，得到多位元三角積分調變器的性能。此舉同時具有以下優點：一為保有線性的DAC回授至輸入端，一為有效解決第二級多位元回授路徑上的元件匹配問題。

為獲致上述之目的，本發明提出一種三角積分調變裝置，用以將外部類比信號轉換為數位輸出信號，包括：一第一濾波電路，用以根據外部類比信號及一單一位元輸出信號而輸出一第一類比信號；一第二濾波電路，用以根據第一類比信號及一第二類比信號而輸出一第三類比信號；一單一位元量化電路，耦接於第二濾波電路，用以將第三類比信號轉換為上述單一位元輸出信號；一多位元量化電路，耦接於第二濾波電路，用以將第三類比信號轉換為多



五、發明說明 (6)

位元輸出信號；一數位類比轉換電路，具有複數電容，根據多位元輸出信號而決定需要充電之電容個數，並根據多位元輸出信號及所需充電之電容個數而依照一既定順序選取上述電容並充電，而在接收到隔一次之多位元輸出信號時，依照與相反之順序選取對應個數之電容並充電，且在每次充電之後，由充電之電容產生第二類比信號；及一數位濾波器，耦接於單一位元量化電路及多位元量化電路，用以將單一位元輸出信號及多位元輸出信號轉換為數位輸出信號。

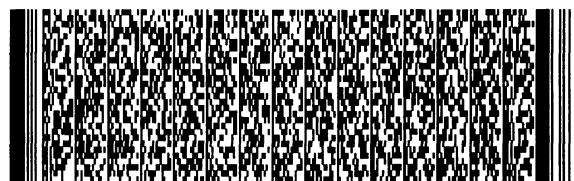
為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

以下將說明根據本發明實施例所述之三角積分調變裝置之電路結構及其操作方式。參閱第1圖，第1圖係顯示二階帶通三角積分調變器的線性模型。如上所述， X 為輸入類比信號， E_1 、 E_2 分別代表單一位元及多位元的量化器的量化誤差，而 Y_1 、 Y_2 分別為單一位元及多位元量化器的輸出。現在個別就上述電路內部之元件動作加以說明。

第一濾波電路11，其 z -domain的函數表示式為

$\frac{z^{-1}}{1+z^{-2}}$ ，第一濾波電路11係根據輸入之外部類比信號 X 及單一位元量化電路13所回授之單一位元輸出信號 Y_1 而輸出一第一類比信號 A_1 。上述之單一位元輸出信號 Y_1 雖然是數位



五、發明說明 (7)

信號，但其可經由簡單之數位類比轉換電路(未顯示)轉換後而與外部類比信號X合併。

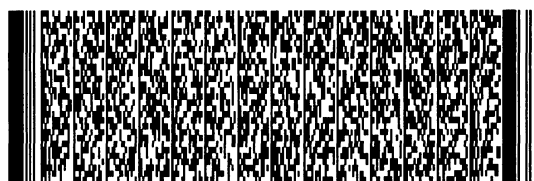
第二濾波電路12，其z-domain的函數表示式 $\frac{z^{-1}}{1+z^{-2}}$ ，第二濾波電路12係根據第一類比信號 A_1 及數位類比轉換電路15所回授之第二類比信號 A_2 而輸出第三類比信號 A_3 。

單一位元量化電路13，耦接於第二濾波電路12，用以將第三類比信號 A_3 轉換為單一位元輸出信號 Y_1 ，在將第三類比信號轉換為單一位元輸出信號 Y_1 之過程中，將會產生量化誤差 E_1 。

多位元量化電路14，耦接於第二濾波電路12，用以將第三類比信號 A_3 轉換為多位元輸出信號 Y_2 ，在此以3位元之信號為例。同樣的，在將第三類比信號轉換為多位元輸出信號 Y_2 之過程中，將會產生量化誤差 E_2 。

數位濾波器16，耦接於單一位元量化電路13及多位元量化電路14，用以將單一位元輸出信號 Y_1 及多位元輸出信號 Y_2 轉換為數位輸出信號Y。

參閱第3圖及第4圖，第3圖係顯示根據本發明實施例所述之數位類比轉換電路15之電路結構圖，而第4圖係顯示數位類比轉換電路15之時脈圖。如第3圖所示，數位類比轉換電路15內部具有複數電容 $C_0 \sim C_7$ ，特別注意的是，由於本發明之多位元輸出信號 Y_2 是以三位元為例，因此，數位類比轉換電路15內部之電容個數將對應的為8個(2^3)。數位類比轉換電路15根據多位元輸出信號 Y_2 之位準而決定需要充電之電容個數，並根據動態元件選取演算法



五、發明說明 (8)

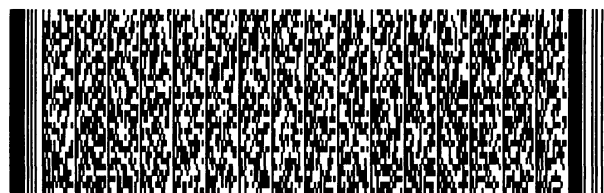
依照一既定順序選取上述電容並充電，而在數位類比轉換電路15接收到隔一次(下兩次)之多位元輸出信號 Y_2 時，由目前最後選取之電容開始，依照與上述既定順序相反之順序，選取與所接收之多位元輸出信號 Y_2 對應之個數之電容並充電之，且在每次充電之後，由充電之上述電容產生上述第二類比信號。

參閱第5圖及第6圖。第5圖係顯示於數位類比轉換電路15執行動態元件選取演算法所需之電路，第6圖係顯示其時序圖。

如第5圖所示，根據本發明實施例將數位類比轉換電路15的奇數次及偶數次輸入分開處理，並由時脈CLK_Odd及CLK_Even分別攫取電路方塊的輸入值，讓奇數處理方塊51及偶數處理方塊52分別完成往右及往左的選取運算後，然後再分別送至多工器53、54，由時脈CLK_Forward決定往右往左，時脈CLK_Odd決定最後的輸出。再配合第6圖之時脈圖來說明，四個連續的取樣週期，藉由CLK_Forward及CLK_Odd時脈可以清楚的區分出所要的四種選取模式。

在奇數及偶數處理方塊的內部需要兩組運算，一組往右，一組往左，因此需要將指標(Pn)在兩組運算中來回設定，用來指示此次最後選取到的元件，如第4圖所示，而所欲選取的元件就經由Sn輸出。

由於每個取樣週期(cycle)都會產生輸出，所以CLK_Odd和CLK_Even的時脈週期必需是取樣週期的兩倍，並且相位差為180度。也就是說，若是這個取樣週期奇數方塊用時脈CLK_Odd上升緣來攫取輸入，則下個取樣週



五、發明說明 (9)

期，偶數方塊用時脈CLK_Even上升緣來攫取輸入。不論是奇數方塊或是偶數方塊，其輸出都會送到各別的多工器上，所以需要時脈CLK_Forward來決定是往右還是往左的選取結果，由於往右往左的選取頻率會是時脈CLK_Odd的兩倍，所以CLK_Forward的時脈週期會是CLK_Odd的兩倍。最後兩組多工器的輸出會再送至後置多工器55，再用CLK_Odd來決定採用那一組的輸出。

另外，參閱第3圖及第4圖，根據本發明實施例所提出的二階帶通三角積分調變器之電路，在數位類比轉換電路多位元的回授路徑上我們加上了動態元件選取演算法，並用函數 $(1+z^{-2})$ 的方塊圖表示。其中使用了兩個交換電容(witched Capacitor, SC)電路做成的帶通濾波器，所用的時脈為phi1、phi2、phiA、phiB、phiA1、phiA2、

phiB1、及phiB2，用來產生函數 $\frac{z^{-1}}{1+z^{-2}}$ 。

參閱第7圖，第7圖係顯示數位類比轉換電路動態演算法的SPICE模擬結果，其中h0、h1、h2、及h3代表數位類比轉換電路的輸入，s0、s1、s2、及s3代表數位類比轉換電路的輸出，如第7圖之箭頭所示，經由數位電路的處理，s0到s3的選取依前述的四種模式進行。

第8A圖至第8C圖係顯示在輸入信號為-1.15dB，頻率1.25MHz，取樣頻率5MHz的條件下，用MATLAB模擬的結果。

第8A圖係顯示數位類比轉換電路理想之輸出信號頻譜，第8B圖係顯示數位類比轉換電路有1%不匹配時所產生



五、發明說明 (10)

的頻譜，而第8C圖為使用根據本發明實施例所提出之三角積分調變裝置的改進結果。可以看出使用根據本發明實施例所提出之三角積分調變裝置具有較佳的抗雜訊效果，另外，比較第8B圖及第8C圖可發現，在信號頻帶內的雜訊已因為數位類比轉換電路加入動態元件選取演算法而排除到信號頻帶以外，得到和理想狀態下幾近相同的結果。

參閱第9圖，第9圖係顯示使用根據本發明實施例所提出之三角積分調變裝置之信號雜訊比暨輸入振幅的相對圖，數位類比轉換電路的不匹配誤差為5%，輸入的動態範圍在30kHz的頻寬下有105dB，圖中虛線表示理想狀態下的結果。如第8圖所示，使用根據本發明實施例所提出之三角積分調變裝置之信號雜訊比在頻寬30kHz、50kHz、及100kHz時都和理想值相當接近，幾近於重合狀態，受數位類比轉換電路不匹配元件的影響很小。

綜上所述，根據本發明實施例所提出之三角積分調變裝置，相較於過去的組態，能有效降低的多位元數位類比轉換電路回授的元件誤差。藉由採用單一位元及多位元同時回授的結構，並在第二級的多位元回授路徑上加入元件動態選取演算法，將數位類比轉換電路回授的元件誤差增加一階的雜訊整形功能。最後輸出再經由數位電路的處理，抵消單一位元的雜訊整形誤差，使得電路具有多位元三角積分調變器優勢性能，同時有效降低了多元位回授時元件不匹配的缺點，提高類比數位轉換電路的準確性能。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之



五、發明說明 (11)

精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示二階帶通三角積分調變器的線性模型。

第2圖係顯示數位類比轉換電路選取元件順序的示意圖。

第3圖係顯示根據本發明實施例所述之數位類比轉換電路15之電路結構圖。

第4圖係顯示數位類比轉換電路15之時脈圖。

第5圖係顯示於數位類比轉換電路15執行動態元件選取演算法所需之電路。

第6圖係顯示第5圖之電路之時序圖。

第7圖係顯示數位類比轉換電路動態演算法的SPICE模擬結果。

第8A圖係顯示數位類比轉換電路理想之輸出信號頻譜。

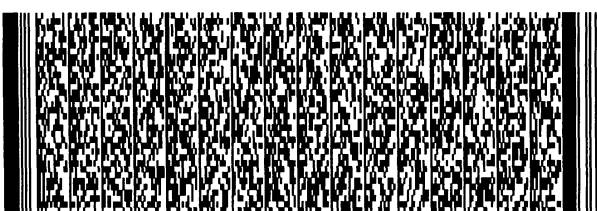
第8B圖係顯示數位類比轉換電路有1%不匹配時所產生的頻譜。

第8C圖為使用根據本發明實施例所提出之三角積分調變裝置的改進結果。

第9圖係顯示使用根據本發明實施例所提出之三角積分調變裝置之信號雜訊比暨輸入振幅的相對圖。

符號說明：

- | | |
|--------------|-------------|
| 11~第一濾波電路； | 12~第二濾波電路； |
| 13~第一濾波電路； | 14~多位元量化電路； |
| 15~數位類比轉換電路； | 16~數位濾波器； |
| 51~奇數處理方塊； | 52~偶數處理方塊； |



圖式簡單說明

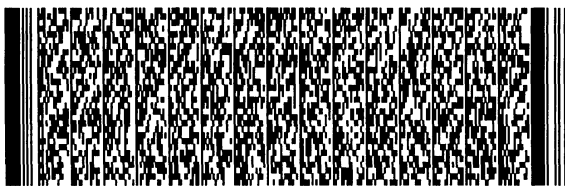
53、54、55~多工器； C0~C7~電容。



四、中文發明摘要 (發明之名稱：三角積分調變裝置)

一種三角積分調變裝置，用以將外部類比信號轉換為數位輸出信號，包括：一第一濾波電路，用以根據外部類比信號及一單一位元輸出信號而輸出一第一類比信號；一第二濾波電路，用以根據第一類比信號及一第二類比信號而輸出一第三類比信號；一單一位元量化電路，耦接於第二濾波電路，用以將第三類比信號轉換為上述單一位元輸出信號；一多位元量化電路，耦接於第二濾波電路，用以將第三類比信號轉換為多位元輸出信號；一數位類比轉換電路，具有複數電容，根據多位元輸出信號而決定需要充電之電容個數，並根據多位元輸出信號及所需充電之電容個數而依照一既定順序選取上述電容並充電，而在接收到隔一次之多位元輸出信號時，依照與相反之順序選取對應

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：三角積分調變裝置)

個數之電容並充電，且在每次充電之後，由充電之電容產生第二類比信號；及一數位濾波器，耦接於單一位元量化電路及多位元量化電路，用以將單一位元輸出信號及多位元輸出信號轉換為數位輸出信號。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種三角積分調變裝置，用以將外部類比信號轉換為數位輸出信號，包括：

一第一濾波電路，用以根據上述外部類比信號及一單一位元輸出信號而輸出一第一類比信號；

一第二濾波電路，用以根據上述第一類比信號及一第二類比信號而輸出一第三類比信號；

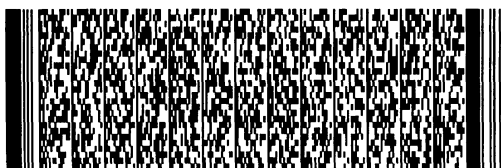
一單一位元量化電路，耦接於上述第二濾波電路，用以將上述第三類比信號轉換為上述單一位元輸出信號；

一多位元量化電路，耦接於上述第二濾波電路，用以將上述第三類比信號轉換為上述多位元輸出信號；

一數位類比轉換電路，具有複數電容，上述數位類比轉換電路根據上述多位元輸出信號而決定需要充電之上述電容個數，並根據上述多位元輸出信號及所需充電之電容個數而依照一既定順序選取上述電容並充電，而在上述數位類比轉換電路接收到隔一次之上述多位元輸出信號時，依照與上述既定順序相反之順序選取對應個數之上述電容並充電，且在每次充電之後，由充電之上述電容產生上述第二類比信號；及

一數位濾波器，耦接於上述單一位元量化電路及多位元量化電路，用以將上述單一位元輸出信號及多位元輸出信號轉換為上述數位輸出信號。

2. 如申請專利範圍第1項所述之三角積分調變裝置，其中上述第一濾波電路之輸入輸出轉換函數為



六、申請專利範圍

$$\frac{z^{-1}}{1+z^{-2}} \quad \circ$$

3. 如申請專利範圍第2項所述之三角積分調變裝置，其中上述第二濾波電路之輸入輸出轉換函數為

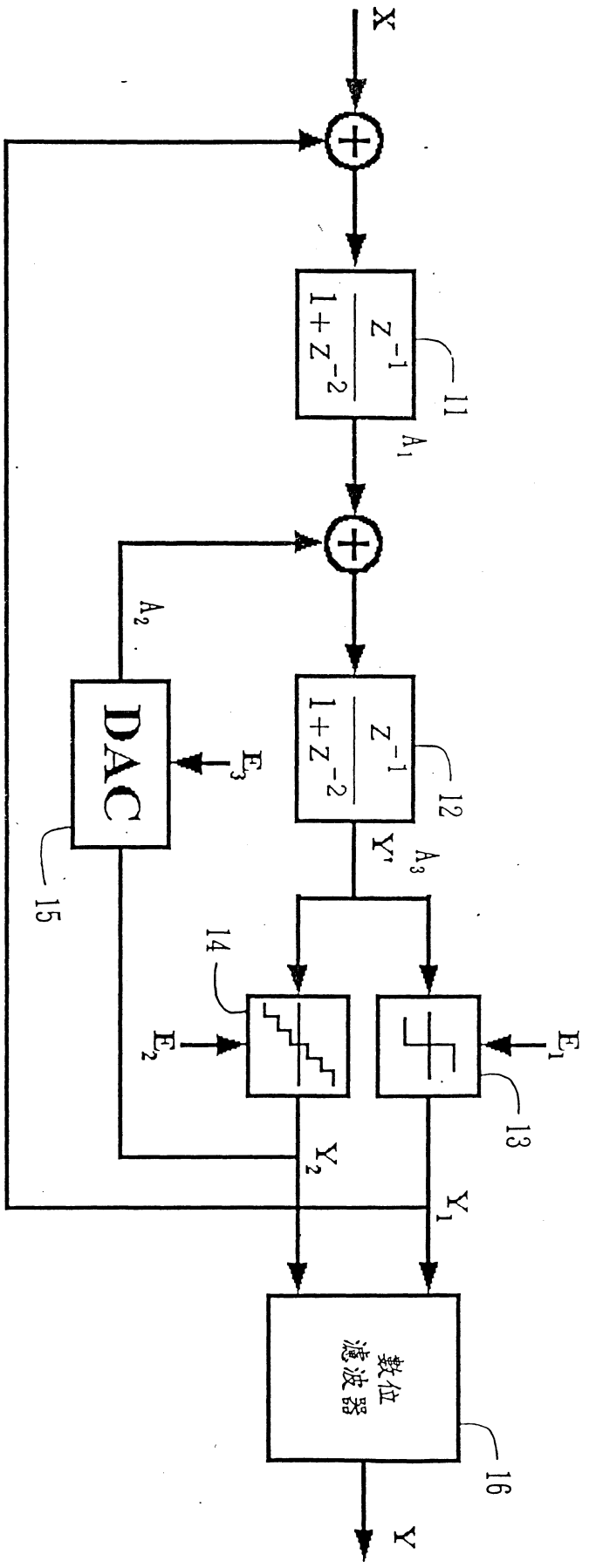
$$\frac{z^{-1}}{1+z^{-2}} \quad \circ$$

4. 如申請專利範圍第3項所述之三角積分調變裝置，其中上述數位類比轉換電路於選取電容動作之轉換函數為 $1+z^{-2}$ 。

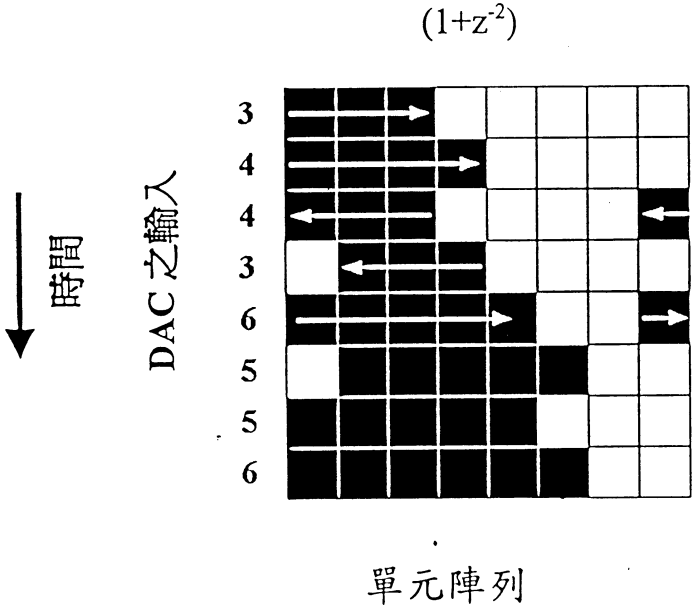
5. 如申請專利範圍第4項所述之三角積分調變裝置，其中上述多位元輸出信號為三位元。

6. 如申請專利範圍第5項所述之三角積分調變裝置，其中上述數位類比轉換電路內部之電容個數為八個。

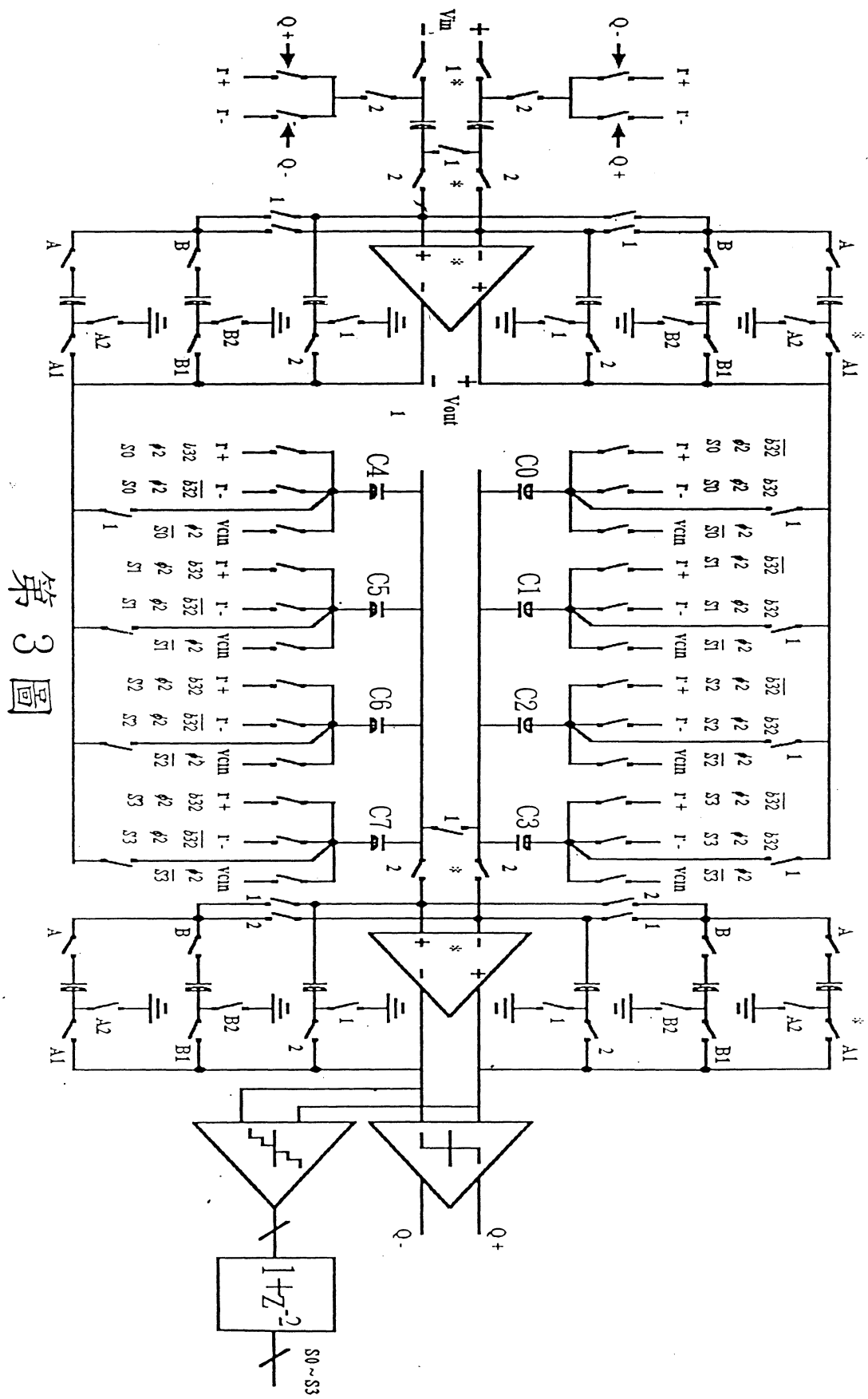


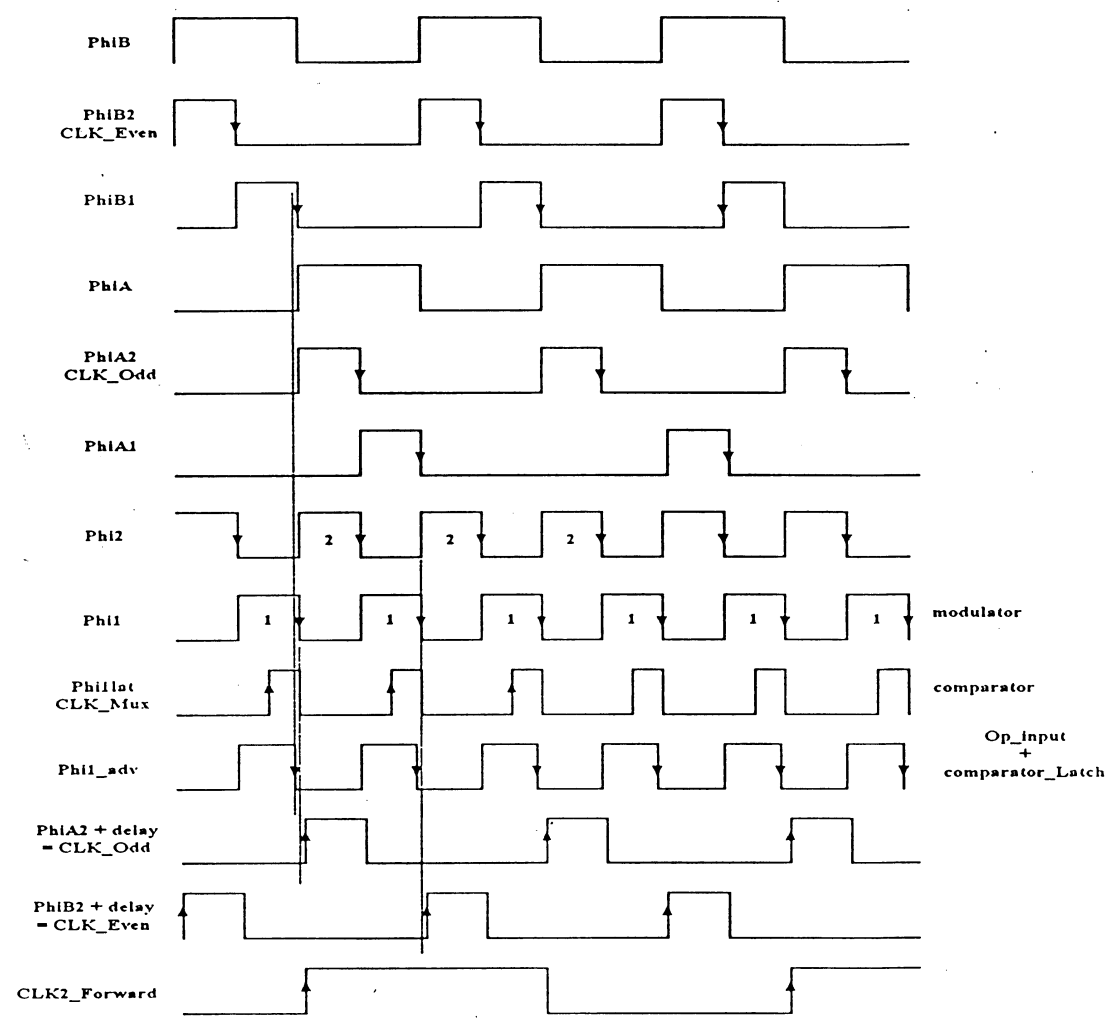


第 1 圖

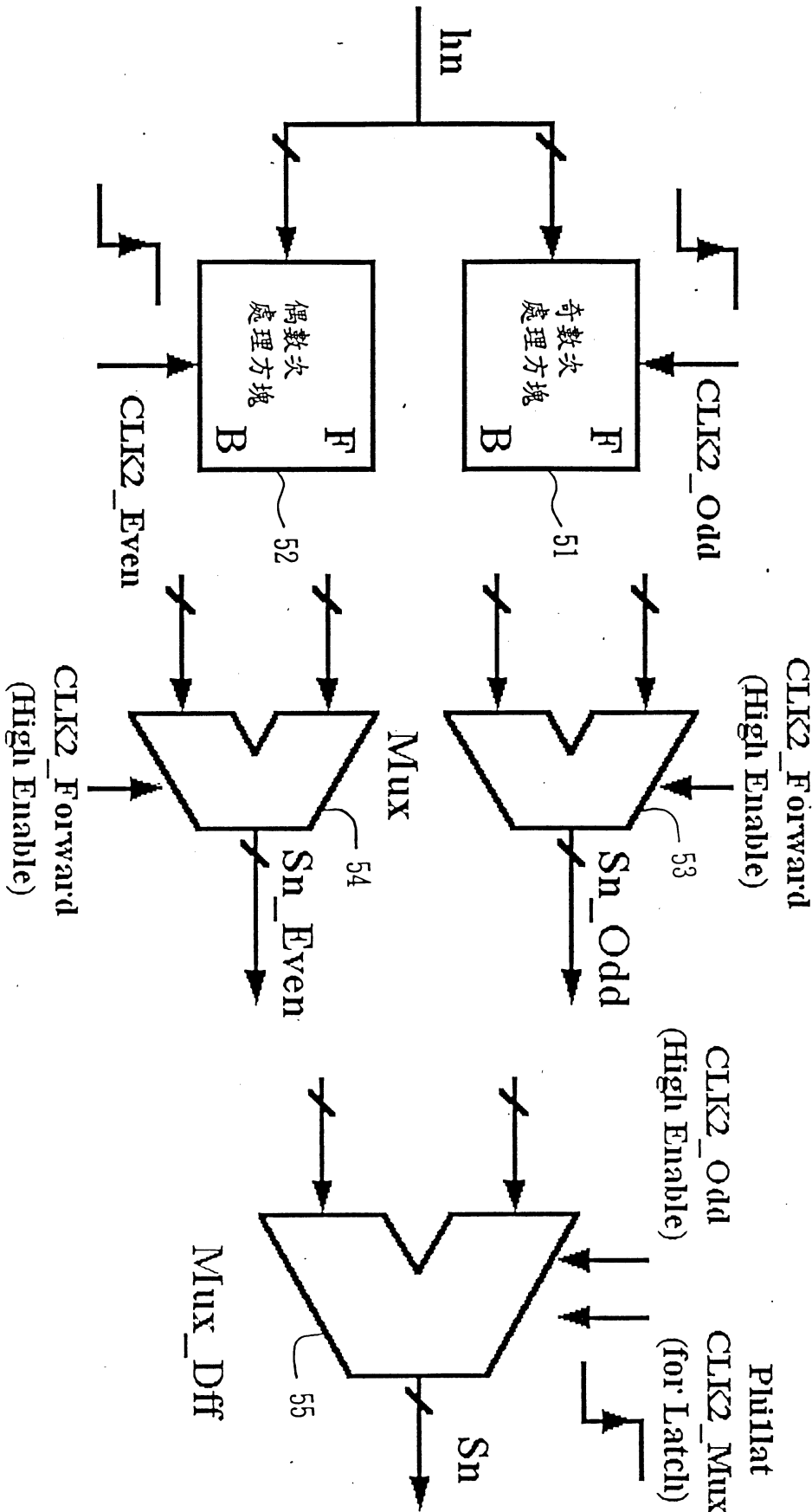


第 2 圖

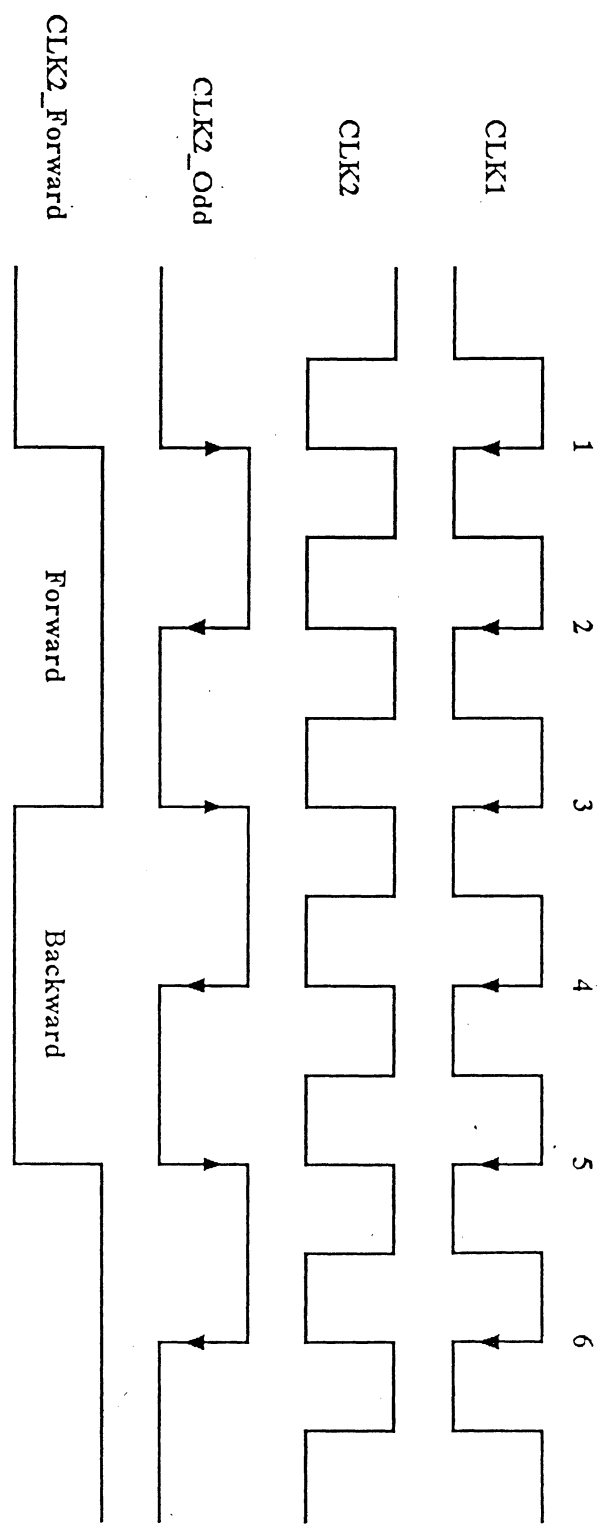




第 4 圖

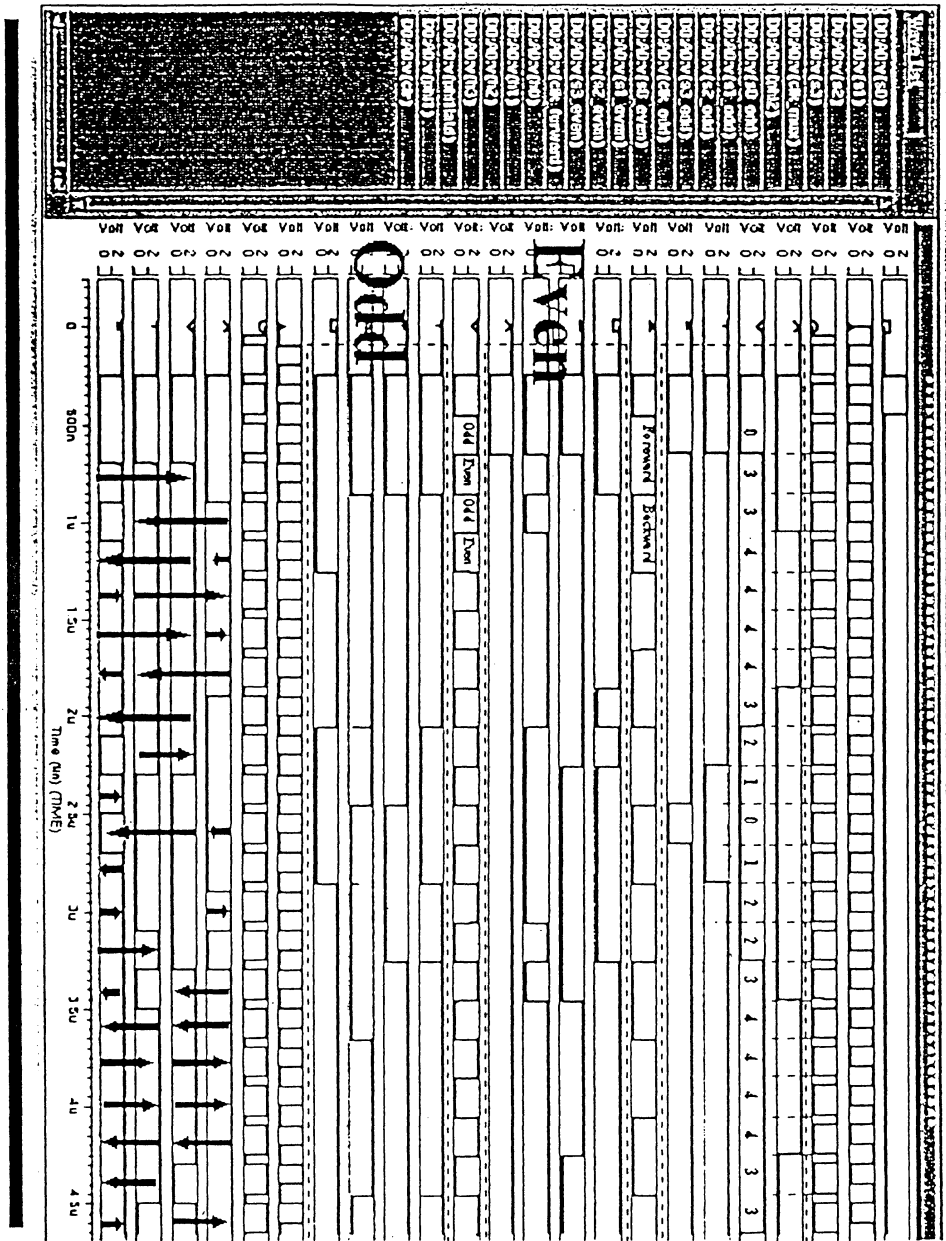


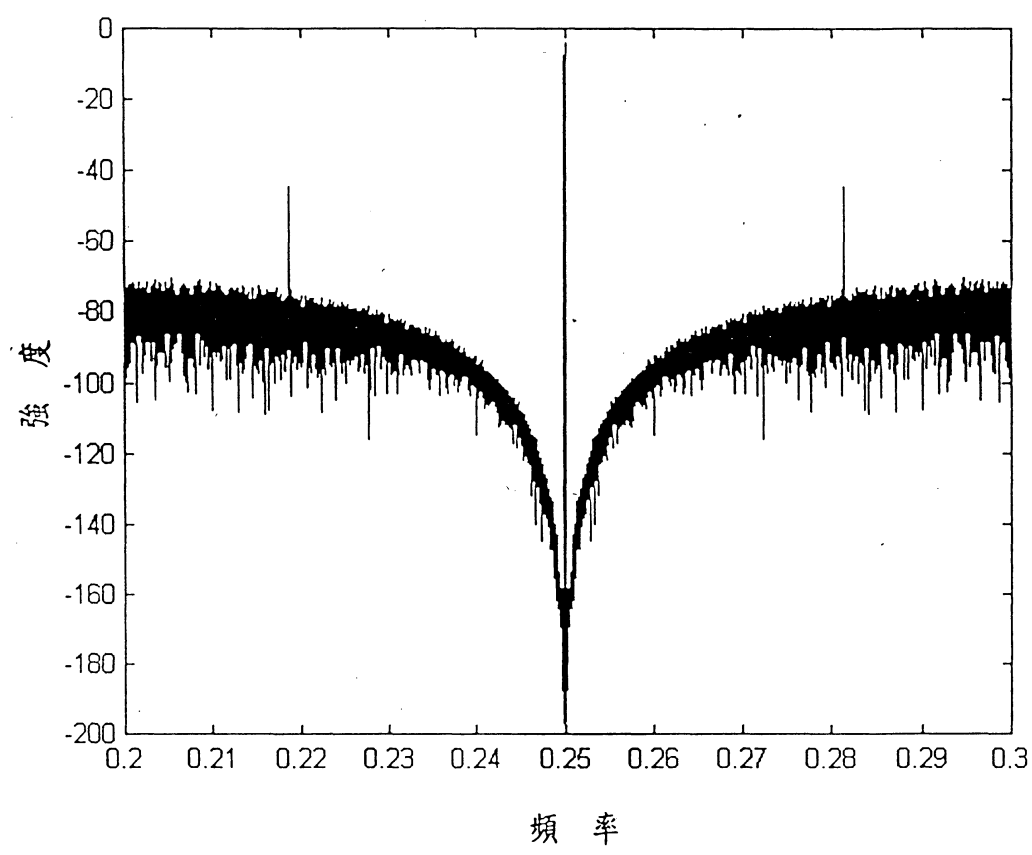
第 5 圖



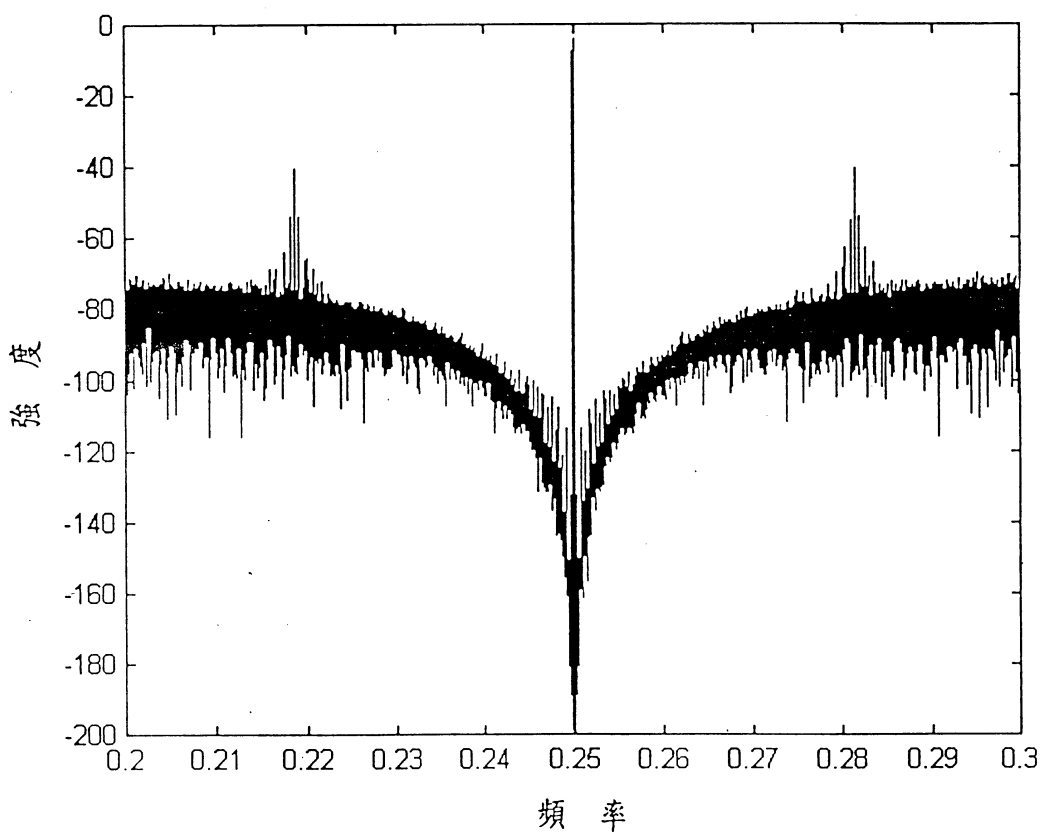
第 6 圖

第7圖

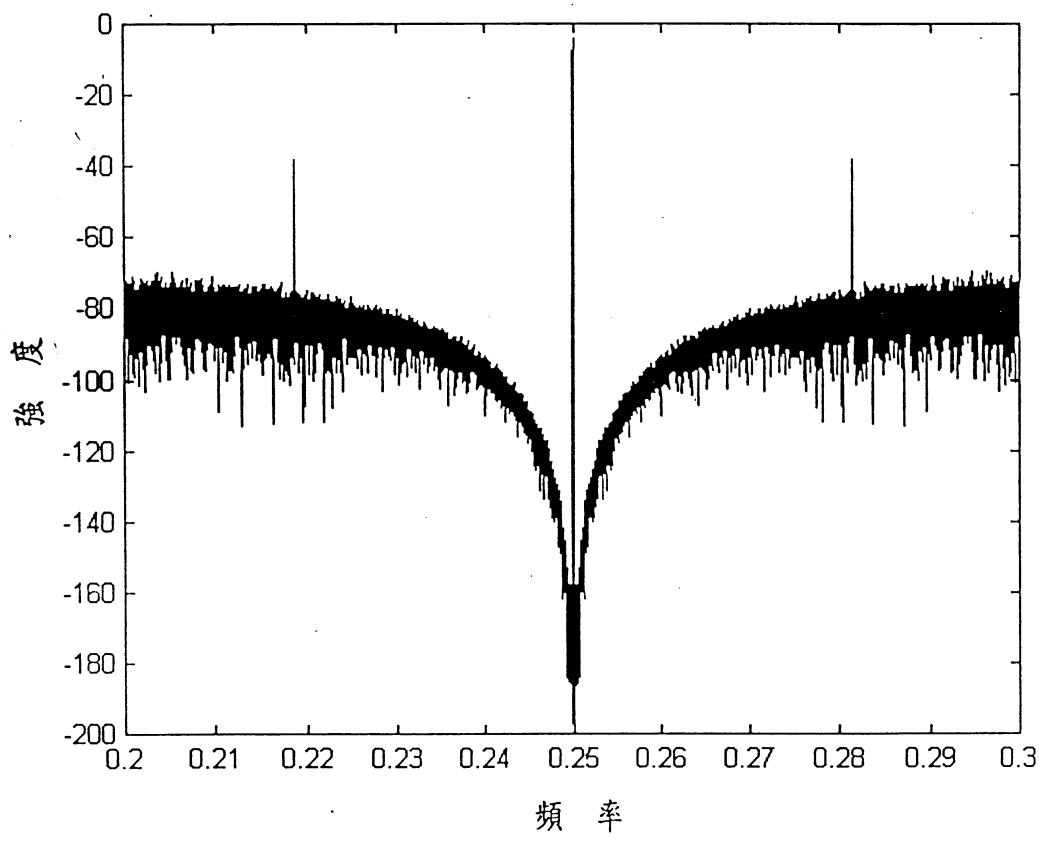




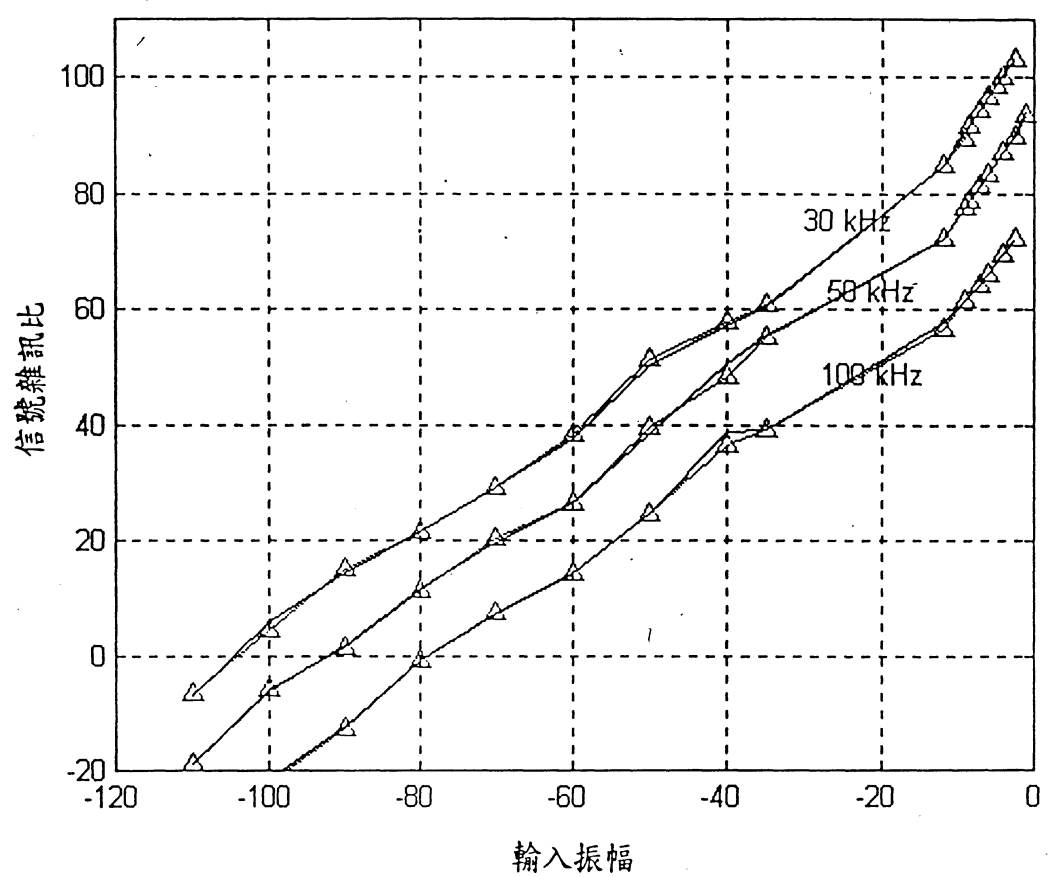
第 8A 圖



第 8B 圖



第 8C 圖



第 9 圖

93年3月16日修正/更正/補充

93年3月16日

修正中

申請日期：90.5.25

案號：90112613

類別：H03M1/00

(以上各欄由本局填註)

公告本

發明專利說明書

584990

一、 發明名稱	中文	三角積分調變裝置
	英文	
二、 發明人	姓名 (中文)	1. 劉深淵 2. 郭建宏 3. 薛子建 4. 張湘輝
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 台北市中正區羅斯福路三段244巷2弄12號四樓 2. 台北市士林區中山北路六段277巷4弄1號三樓 3. 台北市愛國東路170巷3弄8號 4. 台北縣萬里鄉北基村孝六街10號三樓
三、 申請人	姓名 (名稱) (中文)	1. 億兆科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北市復興南路二段381號九樓
	代表人 姓名 (中文)	1. 姜長安
	代表人 姓名 (英文)	1.

