

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-54276
(P2006-54276A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/335 (2006.01)	HO 4 N 5/335 E	5 C O 2 4

審査請求 有 請求項の数 15 O L (全 15 頁)

(21) 出願番号	特願2004-234061 (P2004-234061)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年8月11日 (2004.8.11)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	工藤 義治 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	4M118 AB01 BA14 CA02 FA01 FA02 FA06 FA33 FA42 FA50 5C024 CX41 EX51 GX03 GY31 HX23 HX28 HX40

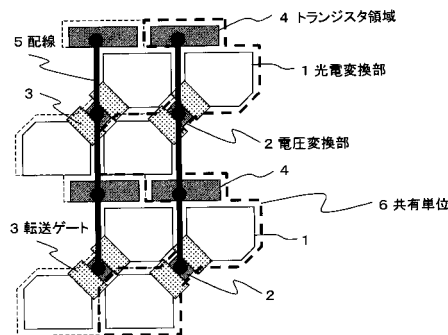
(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】 複数画素共有構造の固体撮像素子において、書画素面積が微小化しても光電変換部の領域面積を十分に確保でき、またその光電変換部を各画素における光学中心に配置して光学的な画素中心を二次元的に等間隔に配置することを可能にする。

【解決手段】 二次元アレイ状に配置された光電変換部1と、その光電変換部1での光電変換によって発生した電荷を電圧に変換する電圧変換部2とを備えた固体撮像素子において、前記二次元アレイ中で斜めに隣り合う二つの光電変換部1の間に一つの電圧変換部2を配置して、当該一つの電圧変換部2を前記二つの光電変換部1が共用するように構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

二次元アレイ状に配置された光電変換部と、当該光電変換部での光電変換によって発生した電荷を電圧に変換する電圧変換部とを備えた固体撮像素子において、

前記二次元アレイ中で斜めに隣り合う二つの光電変換部の間に一つの電圧変換部が配置され、当該一つの電圧変換部を前記二つの光電変換部が共用するように構成された

ことを特徴とする固体撮像素子。

【請求項 2】

前記電圧変換部により変換された電圧信号に対する処理を行う回路群が配置されるトランジスタ領域を備えるとともに、当該トランジスタ領域における回路群が複数の前記電圧変換部と配線を介して電氣的に接続され、当該回路群を各電圧変換部が共用するように構成された

10

ことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】

前記回路群を共用する複数の電圧変換部に対して複数のトランジスタ領域が設けられ、当該回路群を構成する各回路要素が前記複数のトランジスタ領域に分散配置されている

ことを特徴とする請求項 2 記載の固体撮像素子。

【請求項 4】

前記回路群を二つの電圧変換部が共用するとともに、当該電圧変換部のそれぞれを二つの光電変換部が共用し、これら一組の回路群、二つの電圧変換部および計四つの光電変換部が一つの共有単位を構成する

20

ことを特徴とする請求項 3 記載の固体撮像素子。

【請求項 5】

前記共有単位を構成する光電変換部には、互いに同じ分光感度のものが含まれている

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 6】

前記共有単位を構成する光電変換部のうちの互いに同じ分光感度のものについて、当該光電変換部からの電荷の読み出しを同時に行って、当該共有単位を構成する電圧変換部での電荷による信号加算を行う駆動モードに対応するように構成された

ことを特徴とする請求項 5 記載の固体撮像素子。

30

【請求項 7】

前記共有単位における各電圧変換部による回路群の共用が前記二次元アレイにおける列方向に沿って行われるように構成された

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 8】

前記回路群のうちの前記二次元アレイにおける同一行に配置されたものに対して行一括の駆動信号を与えて、前記二次元アレイの同一行に並ぶ光電変換部についての一括読み出しを行うように構成された

ことを特徴とする請求項 7 記載の固体撮像素子。

【請求項 9】

前記回路群での処理後の電圧信号を読み出すための信号線が前記二次元アレイにおける同一列に対して複数設けられ、当該複数の信号線により前記二次元アレイの列方向に並ぶ複数の前記共有単位からの電圧信号の読み出しを同時に行うように構成された

40

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 10】

前記共有単位における電圧変換部を前記二次元アレイ中で斜めに隣り合う二つの光電変換部が共用することにより当該二次元アレイの奇数行と偶数行とで信号読み出しの順列が異なることを補正するための信号順列復元手段を備える

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 11】

50

二次元アレイ状に配置された光電変換部に対応してベイヤー配列の色フィルタが配されるとともに、当該二次元アレイにおける奇数列と偶数列とで出力電圧信号に対する増幅率を相違させるように構成された

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 1 2】

一行駆動期間毎に前記二次元アレイの各列から出力される信号を当該各列毎に有する A/D 変換手段によってデジタル信号化するとともに、複数列から出力されるデジタル信号が一つの信号出力手段に順次入力されるように構成された

ことを特徴とする請求項 1 1 記載の固体撮像素子。

【請求項 1 3】

二次元アレイ状に配置された光電変換部に対応してベイヤー配列の色フィルタが配されるとともに、当該二次元アレイにおける奇数列と偶数列との出力がそれぞれ異なる二つの行回路に接続し、かつ、前記二つの行回路における増幅率が互いに異なる

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 1 4】

二次元アレイ状に配置された光電変換部に対応してベイヤー配列の色フィルタが配されている場合に、前記二次元アレイ中で一つの電圧変換部を共用する斜めに隣り合う二つの光電変換部で、前記ベイヤー配列により同色の色フィルタが配されたものからの検出信号の比較結果に基づいて、画素レイアウトの違いに起因する出力信号差が補正されている

ことを特徴とする請求項 4 記載の固体撮像素子。

【請求項 1 5】

前記電圧変換部での電荷による信号加算を行う駆動モードに対応するとともに、電荷が同時に読み出される光電変換部同士での光電変換時間が互いに異なるように構成された

ことを特徴とする請求項 4 記載の固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像デバイスとして用いられる固体撮像素子に関するものである。

【背景技術】

【0002】

近年、固体撮像素子として、IC 製造の標準的な技術である CMOS (Complementary Metal Oxide Semiconductor; 相補型金属酸化物半導体) を利用したイメージセンサ (以下「CMOS センサ」という) が広く利用されつつある。CMOS センサは、CCD (Charge Coupled Device) のように高い駆動電圧を必要とすることがなく、また周辺回路との一体化 (オンチップ化) も可能となるため小型化等に非常に有利である、という利点がある。

【0003】

ところで、CMOS センサは、複数の画素が二次元アレイ状に配置されてなるものであるが、一画素領域に光電変換部の他に、読み出しゲート、電圧変換部、リセットゲート、アンプ等の多くの構成要素トランジスタを含むため、画素の縮小化が困難とされている。ただし、最近では、本来は一画素毎に有する構成要素の一部を複数の画素で共有することにより、一画素あたりの光電変換部以外の占有面積を抑制する、いわゆる複数画素共有構造が提案されており、CMOS センサにおける画素縮小化を図る上で必須の技術となりつつある。具体的には、図 1 2 に示すように、二つの光電変換部 2 1 の間に、これらで共用する電圧変換部やその他の回路群 (リセットゲート等のトランジスタ群) を配置する構造 (例えば、特許文献 1 参照) や、図 1 3 に示すように、二つの光電変換部 2 1 および読み出しゲート 2 2 で電圧変換部 2 3 やその他の回路群を共用するとともに、その共用する回路群等を各光電変換部 2 1 と並ぶように配されたトランジスタ領域 2 4 内に配置する構造が提案されている (例えば、特許文献 2 参照)。

【0004】

10

20

30

40

50

【特許文献1】米国特許第6423994号明細書

【特許文献2】特開2001-298177号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、従来における複数画素共有構造では、現実には光電変換部と各構成要素トランジスタの配置を均質にすることができないことから、各構成要素トランジスタの共有度と光電変換部の面積占有率が必ずしも比例しない。これは、微小画素においては構成要素トランジスタの寸法が画素寸法に対して相対的に大きくなり、また製造技術や物理特性等の限界から形状の自由度が高くはないことによるものである。したがって、光学的な画素中心が二次元的に等間隔でなければならないこと、各画素における基本特性が全て同じでなければならないことを合わせて考えると、一画素あたりの光電変換部以外の占有面積（トランジスタ占有面積）が縮小しても、対称性を優先する必要があるため、その占有面積の縮小により空いた領域を有効に活用することができない。すなわち、空いた領域を有効に活用しようとする、光学的な画素中心を二次元的に等間隔にすることができない、といったことが起こり得る。

10

【0006】

例えば、図12に示した複数画素共有構造では、画素面積に対して各構成要素トランジスタが十分小さい場合には、光電変換部21の領域間に各構成要素トランジスタを埋め込むことが可能であるが、画素面積が微小になるに連れてトランジスタ同士あるいは接続に使用する配線同士の間隔が狭まって設計自由度がなくなり、光電変換部21を各画素における光学中心（画素中心）に配置することが困難になる（例えば、図12（b）参照）。

20

さらに、図13に示した複数画素共有構造では、光電変換部21の領域とトランジスタ領域24とを分割しているため、画素配置の点で効率的であり、バランスの良い配置レイアウトも得られるが、トランジスタ領域24が光電変換部21の領域と一列に並ぶため、トランジスタ領域24が広いと光電変換部21の領域が大きく削られることになり、その結果、光電変換部21を各画素における光学中心（画素中心）に配置することが困難になるのに加えて、各光電変換部21に蓄積可能な信号電荷量の確保も困難になる（例えば、図13（b）参照）。

【0007】

また、図12、13で例に挙げた複数画素共有構造の他にも、例えば図14に示すような光電変換部21が列状に並ぶ複数画素共有構造も考えられるが、この複数画素共有構造では、電圧変換部23の共有が少なく拡散層容量が増すため電圧変換効率が低下するおそれがある。さらには、例えば図15に示すような垂直/水平方向混在の複数画素共有構造も考えられるが、この複数画素共有構造では、一行の信号を二回に分けて読み出す必要が生じてしまい、出力信号が一般的な映像信号と異なるものになってしまう点で難がある。

30

【0008】

そこで、本発明は、空き領域を有効に活用することで、画素面積が微小化しても光電変換部の領域面積を十分に確保でき、またその光電変換部を各画素における光学中心に配置して光学的な画素中心を二次元的に等間隔に配置することが可能な複数画素共有構造の固体撮像素子を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

本発明は、上記目的を達成するために案出された固体撮像素子である。すなわち、二次元アレイ状に配置された光電変換部と、当該光電変換部での光電変換によって発生した電荷を電圧に変換する電圧変換部とを備えた固体撮像素子において、前記二次元アレイ中で斜めに隣り合う二つの光電変換部の間に一つの電圧変換部が配置され、当該一つの電圧変換部を前記二つの光電変換部が共用するように構成されたことを特徴とするものである。

【0010】

上記構成の固体撮像素子によれば、斜めに隣り合う光電変換部の間に、これら二つの光

50

電変換部で共用する一つの電圧変換部が配置された複数画素共有構造であるため、従来のように二次元アレイの列方向または行方向に並ぶ光電変換部が電圧変換部を共用する場合に比べて、電圧変換部の直交方向の大きさが $1/2$ になる。つまり、斜めに隣り合う光電変換部の間の空き領域を有効に活用して電圧変換部を配置することで、その電圧変換部周辺に発生する無効領域の発生を抑制することができるので、二次元アレイ状の各光電変換部の間隔（二次元アレイにおける列方向または行方向の間隔）を縮小し得るようになり、また画素面積に対して光電変換部の領域面積を十分に確保でき、さらには光電変換部を各画素における光学中心に配置して光学的な画素中心を二次元的に等間隔に配置することが実現容易となる。しかも、斜めに隣り合う光電変換部で電圧変換部を共用すれば、読み出しに関して電圧変換部を共有する画素（光電変換部）は全て二次元アレイにおける行が異なることになるため、行毎の一括読み出しが可能となり、また例えば各画素にベイヤー配列の色フィルタを形成した場合であれば、二次元アレイの奇数行、偶数行で各々同色となるため、電圧変換部で同色に関して2行分の信号電荷加算が可能となる。したがって、これらのことを利用すれば、各光電変換部からの高速信号読み出しについても対応することが可能となる。

10

【発明の効果】

【0011】

以上のように、本発明の固体撮像素子によれば、複数画素共有構造において、共用される電圧変換部周辺における無効領域の発生を抑制できるため、光電変換部の領域面積拡大が可能になり、それぞれの画素中心の等間隔配置も容易に実現し得るようになる。したがって、光電変換部の領域面積拡大によりその光電変換部での飽和信号量が増大してダイナミックレンジ改善されることになり、また信号電荷量が多いほど明時のランダム雑音の相対量が低減してS/N比が改善されるので、出力信号における画質向上も期待し得るようになる。さらには、斜めに隣り合う光電変換部で電圧変換部を共用する複数画素共有構造であれば、その駆動方法によっては、高速信号読み出しに対応することも可能となる。

20

【発明を実施するための最良の形態】

【0012】

以下、図面に基づき本発明に係る固体撮像素子について、CMOSセンサを例に挙げて説明する。

【0013】

30

〔第1実施形態〕

先ず、本発明の第1実施形態について説明する。第1実施形態におけるCMOSセンサの概略構成例を図1～3に示す。図1は各構成要素の配置レイアウト例であり、図2はその回路構成例であり、図3は信号読み出し例である。

【0014】

図1に示すように、第1実施形態におけるCMOSセンサは、光電変換を行う光電変換部1と、その光電変換部での光電変換によって発生した電荷を電圧に変換する電圧変換部2と、光電変換部1から電圧変換部2への電荷の読み出しを制御する転送ゲート3と、電圧変換部により変換された電圧信号に対する処理を行う回路群（リセットゲート等のトランジスタ群）が配置されるトランジスタ領域4と、電圧変換部2とトランジスタ領域4における回路群とを電気的に接続する配線5と、を備えている。なお、これらの各構成要素1～5自体については、従来と略同様であるため、ここではその詳細な説明を省略する。

40

【0015】

ここで説明するCMOSセンサは、上述した各構成要素1～5の配置レイアウトに大きな特徴がある。具体的には、図1に示すように、複数列と複数行とからなる二次元アレイ状に配置された光電変換部1に対して、その二次元アレイ中で斜めに隣り合う二つの光電変換部1の間に一つの電圧変換部2が配置され、これら二つの光電変換部1が各光電変換部1に付設された転送ゲート3を介して当該一つの電圧変換部2を共用するように構成されている。共用は、例えば、図2に示すように、 $i, i+1, i+2 \dots$ 列と $j, j+1, j+2 \dots$ 行からなる二次元アレイ中にて、 $(i+1, j)$ 座標の光電変換部1と $(i, j$

50

+ 1) 座標の光電変換部 1 とが一つの電圧変換部 2 を共用し、また (i + 1 , j + 2) 座標の光電変換部 1 と (i , j + 3) 座標の光電変換部 1 とが他の一つの電圧変換部 2 を共用する、といった具合に行われる。

【 0 0 1 6 】

さらに、図 1 に示すように、電圧変換部 2 が配されていない光電変換部 1 同士の間には、トランジスタ領域 4 が設けられているが、そのトランジスタ領域 4 における回路群を、当該回路群と配線 5 を介して電氣的に接続する二つの電圧変換部 2 が共用するように構成されている。このとき、共用される回路群としては、図 2 に示すように、R S T (リセット) トランジスタや S E L (セレクト) トランジスタ等があるが、これらの各回路要素は、複数のトランジスタ領域 4 に分散した配置されているものとする。

10

【 0 0 1 7 】

つまり、ここで説明する C M O S センサでは、図 1 に示すように、二次元アレイの列方向に沿って並ぶ二つのトランジスタ領域 4 に分散配置された一組の回路群を、同列方向に沿って並ぶ二つの電圧変換部 2 が共用するとともに、当該電圧変換部 2 のそれぞれを二次元アレイ中で斜めに隣り合う二つの光電変換部 1 が共用し、これら一つの回路群、二つの電圧変換部 2 および計四つの光電変換部 1 が一つの共有単位 (単位ブロック) 6 を構成しているのである。

【 0 0 1 8 】

以上のように、本実施形態の C M O S センサによれば、斜めに隣り合う光電変換部 1 の間に、これら二つの光電変換部 1 で共用する一つの電圧変換部 2 が配置された複数画素共有構造であるため、従来のように二次元アレイの列方向または行方向に並ぶ光電変換部が電圧変換部を共用する場合に比べて、電圧変換部 2 の直交方向の大きさが $1 / 2$ になる。加えて、電圧変換部 2 を配置したときに転送ゲート 3 の光電変換部 1 への突き出しが少なくて済むため、光電変換部 1 の間隔を縮小することも可能である。さらには、電圧変換部 2 が行方向の画素間の中心に位置するため、列方向に分離配置されたトランジスタ領域 4 への配線 5 が単純で他の配線 5 と干渉しにくい形状となっている。通常、ポリシリコンで形成される転送ゲート 3 も並行配置される部分が読み出し部のみであるので、設計可能ポリ間隔に影響されず、狭い素子分離領域上において配線 5 との接続が可能である。

20

【 0 0 1 9 】

したがって、このような共有構造によれば、トランジスタ領域 4 を除く領域において、素子分離幅のみに光電変換部 1 の面積が依存することになる。トランジスタ領域 4 は領域圧縮が困難なので、形状依存の少ない電圧変換部 2 の配置により面積効率を高めるためである。そして、斜めに隣り合う光電変換部 1 の間の空き領域を有効に活用して電圧変換部 2 を配置することで、その電圧変換部 2 周辺に発生する無効領域の発生を抑制することができるので、二次元アレイ状の各光電変換部 1 の間隔 (二次元アレイにおける列方向または行方向の間隔) を縮小し得るようになり、また画素面積に対して光電変換部 1 の領域面積を十分に確保でき、さらには光電変換部 1 を各画素における光学中心に配置して光学的な画素中心を二次元的に等間隔に配置することが実現容易となるのである。

30

【 0 0 2 0 】

つまり、複数画素共有構造において、共用される電圧変換部 2 の周辺における無効領域の発生を抑制できるため、光電変換部 1 の領域面積拡大が可能になり、それぞれの画素中心の等間隔配置も容易に実現し得るようになる。そして、光電変換部 1 の領域面積拡大により、その光電変換部 1 での飽和信号量が増大してダイナミックレンジ改善されることになり、また信号電荷量が多いほど明時のランダム雑音の相対量が低減して S / N 比が改善されるので、出力信号における画質向上も期待し得るようになる。

40

【 0 0 2 1 】

また、本実施形態の C M O S センサによれば、回路群を構成する各回路要素が二つのトランジスタ領域 4 に分散配置されているため、二次元アレイ状に配置された各光電変換部 1 に対して、バランス良く均等配置することが可能となる。したがって、トランジスタ領域 4 の領域圧縮が困難であっても、画素面積に対して光電変換部 1 の領域面積を十分に確

50

保でき、さらには光電変換部 1 を各画素における光学中心に配置して光学的な画素中心を二次元的に等間隔に配置することが実現容易となるのである。

【0022】

なお、ここでは、一つの共有単位 6 が四つの光電変換部 1 を有する場合の例、すなわち四画素間での共有例を説明したが、本発明はこれに限定されるものではなく、偶数画素間共有であれば同様の駆動が可能である。ただし、共有画素数が増大すると、電圧変換部 2 の容量値が増大することから、信号電荷量に対する電圧変換部 2 の出力電圧が低下する傾向にある。このことは、増幅手段への入力信号が微小になり、雑音耐性の劣化に繋がるおそれがある。光電変換部 1 の面積は共有画素数が増大するほど増大するが、面積の改善率は共有回路部の共有度に従うため、共有度が増すほど改善率は低下する。電圧変換部 2 の容量は不純物濃度の最適化により改善は可能であるが、限界がある。これらのことから、第 1 実施形態で説明した四画素共有は、最もバランスのとれた共有構成であると言える。

10

【0023】

また、本実施形態の CMOS センサでは、斜めに隣り合う光電変換部 1 で電圧変換部 2 を共用していることから、読み出しに関して電圧変換部 2 を共有する画素（光電変換部 1）は全て二次元アレイにおける行が異なることになるため、行毎の一括読み出しが可能となる。したがって、図 3 (a) に示すように、二次元アレイのある行を R (赤), G (緑), R, G...、次の行を G, B (青), G, B... とした、いわゆるベイヤー配列の色フィルタを配して用いるのに非常に適したものとなる。ベイヤー配列の色フィルタを形成した場合であれば、一つの共有単位 6 は、四つの光電変換部 1 が全て G 色に対応したものとなるか、あるいはそのうちの二つが R 色に対応し、他の二つが B 色に対応したものとなる。すなわち、一つの共有単位 6 を構成する光電変換部 1 には互いに同じ分光感度のものが含まれることになり、しかも二次元アレイの奇数行、偶数行で各々同色となる。

20

【0024】

このことから、ベイヤー配列の色フィルタを形成した場合には、図 3 (b) に示すように、一つの共有単位 6 を構成する光電変換部 1 のうちの互いに同じ分光感度のものについて、その光電変換部 1 からの電荷の読み出しを同時に行って、当該共有単位 6 を構成する電圧変換部 2 での電荷による信号加算を行う駆動モードに対応することで、各光電変換部 1 からの高速信号読み出しについても対応することが可能となるのである。つまり、その駆動モードによる電荷加算機能を利用すれば、電圧変換部 2 で同色に関して 2 行分の信号電荷加算が可能となり、出力行数を 1 / 2 にして高速に信号を読み出すことも可能となる。

30

【0025】

さらにまた、本実施形態の CMOS センサでは、一つの共有単位における二つの電圧変換部 2 による回路群の共用が二次元アレイにおける列方向に沿って行われるように、すなわち二つの電圧変換部 2 が列方向に並ぶように構成されている。したがって、回路群のうちの二次元アレイにおける同一行に配置されたものに対して行一括の駆動信号を与えて、二次元アレイの同一行に並ぶ光電変換部 1 についての一括読み出しを行うことが容易に実現可能となる。つまり、斜めに隣り合う光電変換部 1 で電圧変換部 2 を共用すれば、読み出しに関して電圧変換部 2 を共有する画素（光電変換部）は全て二次元アレイにおける行が異なることになるため、行毎の一括読み出しが可能となり、さらに電圧変換部 2 が列方向に並んでいれば、トランジスタ領域 4 の回路群を二つの電圧変換部 2 が共用する場合であっても、行毎の一括読み出しが阻害されてしまうことがない。したがって、このような一括読み出しを行うことによっても、高速な信号読み出しを実現することが可能となる。

40

【0026】

〔第 2 実施形態〕

次に、本発明の第 2 実施形態について説明する。図 4 は、第 2 実施形態における CMOS センサの概略構成例を示す説明図である。

【0027】

図例のように、第 2 実施形態における CMOS センサは、回路群での処理後の電圧信号

50

を読み出すための信号線 7 が、二次元アレイにおける同一列に対して複数設けられている。そして、これら複数の信号線 7 により、二次元アレイの列方向に並ぶ複数の共有単位 6 からの電圧信号の読み出しを同時に行うように構成されている。このような構成によれば、各列において複数の共有単位 6 からの信号出力が同時に得られるため、出力数に応じて 1 画像を得るのに必要な期間が短くなる。つまり、更なる高速駆動が可能になるのである。

【 0 0 2 8 】

〔 第 3 実施形態 〕

次に、本発明の第 3 実施形態について説明する。図 5 ~ 6 は、第 3 実施形態における CMOS センサの概略構成例を示す説明図である。

10

【 0 0 2 9 】

第 3 実施形態における CMOS センサは、斜めに隣り合う二つの光電変換部 1 が電圧変換部 2 を共用することにより、二次元アレイの奇数行と偶数行とで信号読み出しの順列が異なるが、これを補正するための信号順列復元手段を備えている。これは、以下に述べる理由によるものである。

【 0 0 3 0 】

通常、CMOS センサは、図 5 または図 6 に示すように、信号読み出しを行うための信号線 7 が二次元アレイの列毎に列選択スイッチ 8 を介して行回路 9 に接続しており、各信号線 7 から行回路 9 へ信号が出力されるようになっている。ところが、斜めに隣り合う二つの光電変換部 1 が電圧変換部 2 を共用する複数画素共有構造では、行回路 9 への出力は、奇数行と偶数行で信号線 7 が異なる。したがって、従来構成の CMOS センサと同じ出力を得るためには、行回路 9 への読み出し時に、制御信号の入力を一列分ずらす必要がある。そのために、信号順列復元手段を備えているのである。

20

【 0 0 3 1 】

各信号線 7 から行回路 9 への信号出力は、通常、図例のような遅延回路 10 の縦列接続によって行われ、時間的にずれた信号が各列の列選択スイッチ 8 に順次入力されることになる。これに対して、第 3 実施形態における CMOS センサでは、信号順列復元手段が初段への入力信号を時間的にずらすことで、一般的な CMOS センサのデータ出力タイミングに合わせるようになっている。

【 0 0 3 2 】

このような信号順列復元手段としては、例えば図 5 に示すように、初段入力前に一つの遅延回路 11 を挿入し、かつ、スイッチ 12 によってこの遅延回路 11 をバイパスできるように構成したものが考えられる。このような構成では、端の列の信号の取り扱いが曖昧であるが、通常水平ブランキング期間がタイミング信号によって定義されているため、特に問題はない。また、信号順列復元手段としては、例えば図 6 に示すように、各列への制御信号に関して各々遅延手段 10 列から二本取り出し、スイッチ 13 によってその選択をするように構成したのも考えられる。取り出す二本の制御信号は、一列分の読み出し信号のタイミングがずれた信号とする。このような構成では、行回路 9 の出力端側におけるアンプ 9a へ入力されるアナログ信号が、通常配列画素と差異がないものとなる。いずれの例においても、信号順列復元手段を備えることで、奇数行、偶数行読み出しのスイッチ切替を行うことが可能となるので、転送ゲート 3 の制御信号に同期したタイミング信号で制御することが可能であり、特殊な機能回路は不要である。

30

40

【 0 0 3 3 】

〔 第 4 実施形態 〕

次に、本発明の第 4 実施形態について説明する。図 7 は色成分別の生成電荷量を示す説明図であり、図 8 ~ 9 は第 4 実施形態における CMOS センサの概略構成例を示す説明図である。

【 0 0 3 4 】

第 4 実施形態における CMOS センサは、二次元アレイ状に配置された光電変換部 1 に対応して、ベイヤー配列の色フィルタが配されている（図 3 (a) 参照）。そして、その

50

二次元アレイにおける奇数列と偶数列とで出力電圧信号に対する増幅率、すなわち電圧信号を出力する信号線における信号増幅率を相違させるように構成されている。これは、以下に述べる理由によるものである。

【0035】

ベイヤー配列の色フィルタが配されている場合、斜めに隣り合う二つの光電変換部1が電圧変換部2を共用する複数画素共有構造では、Gr（R画素が配置される列にあるG信号）およびGb（R画素が配置される列にあるG信号）で共有する出力線と、BおよびRで共有する出力線とに、信号線を分けることができる。そして、図7に示すように、一般に、B信号は生成電荷量が少ないことと表面P+で吸収される分の損失があり、また、R信号は光電変換部1のPN接合が形成できる深さでは大半が吸収できないことから、G信号が最も損失が少なく出力が大きくなる傾向にある。したがって、予めGr、Gb出力線とB、R出力線とのゲイン（増幅率）を相違させておけば、チップ出力におけるRGB分光特性の差を低減することが可能となるからである。

10

【0036】

具体的には、図8に示すように、Gr、Gb出力線のゲインを低く、B、R出力線のゲインを高くすることが考えられる。なお、ゲインの設定等については、公知技術を利用して行えばよいため、ここではその説明を省略する。

【0037】

このような列毎のゲイン設定を行えば、各列から出力される信号を当該各列毎に有するAD変換手段（ADコンバータ等）によってデジタル信号化し、複数列から出力されるデジタル信号が一つの信号出力手段（行回路やアンプ等）に順次入力されるように構成された場合であっても、それぞれのデジタル信号は、RGB分光特性の差を低減させるようなゲイン調整がなされた後のものなので、信号出力手段での処理を一律に、すなわち同一の処理パラメータで行い得るようになる。

20

【0038】

また、例えば図9に示すように、二次元アレイにおける奇数列と偶数列との出力がそれぞれ異なる二つの行回路9b、9cに接続している場合であれば、各列別に信号線における信号増幅率を相違させなくても、二つの行回路9b、9cにおけるゲイン（増幅率）が互いに異なるようにすれば、上述した場合と同様に、チップ出力におけるRGB分光特性の差を低減することが可能となり、これにより列間でのゲインばらつきを抑制することができる。なお、行回路9b、9cにおけるゲインを互いに相違させる場合においても、そのゲインの設定等については、公知技術を利用して行えばよいため、ここではその説明を省略する。

30

【0039】

〔第5実施形態〕

次に、本発明の第5実施形態について説明する。図10は、第5実施形態におけるCMOSセンサの概略構成例を示す説明図である。

【0040】

第5実施形態におけるCMOSセンサでは、二次元アレイ状に配置された光電変換部1に対応してベイヤー配列の色フィルタが配されている。そして、斜めに隣り合う二つの光電変換部1のうちで同色の色フィルタが配されたものからの検出信号の比較結果に基づいて、画素レイアウトの違いに起因する出力信号差が補正されている。これは、以下に述べる理由によるものである。

40

【0041】

一般に、複数画素共有構造では、複数の光電変換部によって電圧変換部を共有するが、これら複数の光電変換部は、それぞれの形状が対称となるため、製造プロセスにおけるパターンずれや受光時における光入射角度のばらつき等によって、発生信号量が異なる可能性がある。ところが、複数画素共有構造であっても、斜めに隣り合う二つの光電変換部1が電圧変換部2を共用する複数画素共有構造においては、ベイヤー配列の色フィルタが配されていれば、図10に示すように、GrとGbとが同一の電圧変換部2に接続するが、

50

これら Gr と Gb との配置行が互いに異なることになる。したがって、画素以外の構成要素、すなわち色や後段接続回路等が全く同じ組み合わせが存在することになるため、画素形状に起因する発生信号量の補正がし易くなるのである。

【0042】

つまり、第5実施形態におけるCMOSセンサでは、GrとGbとからの検出信号の比較結果を基に、斜めに隣り合う二つの光電変換部1の画素レイアウト（配置位置や光電変換部形状等）の違いに起因する出力信号差を、図例に示した補正係数を用いつつ補正するのである。そして、その補正を、BとRとからの出力信号にも適用する。このような補正を行えば、画素レイアウトの違いに起因する出力信号差が補正されるので、複数画素共有構造の場合であっても、出力ばらつきの小さな信号出力を実現することができる。特に、斜めに隣り合う二つの光電変換部1が電圧変換部2を共用する複数画素共有構造の場合には、補正誤差の抑制が可能になるとともに、補正係数の算出も容易化する。これは、従来のような垂直方向または水平方向の隣接画素での共有構造（図12, 13参照）であると、同色での共有要素が同一のものではないため誤差が大きくなるのに対して、斜め共有構造であればGrとGbとからの検出信号の比較結果、すなわち画素以外の構成要素が全く同じ組み合わせのものを基にするため、その誤差の抑制が可能となるからであり、また、垂直方向と水平方向の共有が混在する共有構造（図15参照）においては、画素形状のパターン数が四つに増えるために補正係数の計算が難しくなるのに対して、斜め共有構造であればそのようなことを回避して補正係数の算出が容易となるからである。

10

【0043】

このような補正処理に関しては、AD変換後のデジタル信号に対して容易に適用することができる。なお、信号出力に対する補正処理については、第4実施形態で説明したゲイン調整の場合と同様に、公知技術を利用して行えばよいため、ここではその説明を省略する。

20

【0044】

〔第6実施形態〕

次に、本発明の第5実施形態について説明する。図11は、第6実施形態におけるCMOSセンサの概略構成例を示す説明図である。

【0045】

第6実施形態におけるCMOSセンサでは、第1実施形態の場合と同様に、共有単位6を構成する電圧変換部2での電荷による信号加算を行う駆動モードに対応する。ただし、第6実施形態におけるCMOSセンサでは、単にその駆動モードによる電荷加算機能を利用するだけでなく、電荷による信号加算のために電荷が同時に読み出される光電変換部1同士での光電変換時間が互いに異なるように構成されている。これは、以下に述べる理由によるものである。

30

【0046】

複数画素共有構造、特に一つの共有単位6が一つの共有単位6を含む四画素共有構造では、電圧変換部2を配線5を介して共有する画素の中に同じ分光特性のもの、すなわち同色の色フィルタが配されたものが存在する。そのために、電荷加算機能を利用することが可能となるのであるが、その場合において、図11(a)に示すように、同時に読み出す画素のうち、一方の電圧変換部2に接続する光電変換部1と、他方の電圧変換部2に接続する光電変換部1とで、それぞれの光電変換時間に差をつけることで、低輝度光の感度が高輝度光の感度よりも高い、いわゆる広ダイナミックレンジ化が可能となる。光電変換時間の差は、図例のような読み出しパルス制御によって行えばよい。このような光電変換時間差を設ければ、例えば高輝度光が入力された時、通常の蓄積時間の画素は飽和してしまうが、蓄積開始時間を遅らせた画素は飽和せずに光強度に依存した特性を得ることになる。したがって、それぞれにおける信号電荷を共有する電圧変換部2で加算すると、その加算後の信号出力は、図11(b)に示すような感度特性が得られることになるのである。

40

【0047】

なお、上述した第1～第6実施形態では、本発明の好適な実施具体例を説明したが、本

50

発明はその内容に限定されることはない。例えば第1～第6実施形態を適宜組み合わせることで実施するといったように、本発明は、その要旨を逸脱しない範囲で適宜変更することが可能である。

【図面の簡単な説明】

【0048】

【図1】本発明の第1実施形態におけるCMOSセンサの概略構成例を示す説明図（その1）であり、各構成要素の配置レイアウト例を示す図である。

【図2】本発明の第1実施形態におけるCMOSセンサの概略構成例を示す説明図（その2）であり、その回路構成例を示す図である。

【図3】本発明の第1実施形態におけるCMOSセンサの概略構成例を示す説明図（その3）であり、その信号読み出し例である。 10

【図4】本発明の第2実施形態におけるCMOSセンサの概略構成例を示す説明図である。

【図5】本発明の第3実施形態におけるCMOSセンサの概略構成例を示す説明図（その1）である。

【図6】本発明の第3実施形態におけるCMOSセンサの概略構成例を示す説明図（その2）である。

【図7】色成分別の生成電荷量を示す説明図である。

【図8】本発明の第4実施形態におけるCMOSセンサの概略構成例を示す説明図（その1）である。 20

【図9】本発明の第4実施形態におけるCMOSセンサの概略構成例を示す説明図（その2）である。

【図10】本発明の第5実施形態におけるCMOSセンサの概略構成例を示す説明図である。

【図11】本発明の第6実施形態におけるCMOSセンサの概略構成例を示す説明図である。

【図12】従来のCMOSセンサにおける複数画素共有構造の例を示す説明図（その1）である。

【図13】従来のCMOSセンサにおける複数画素共有構造の例を示す説明図（その2）である。 30

【図14】従来のCMOSセンサにおける複数画素共有構造の例を示す説明図（その3）である。

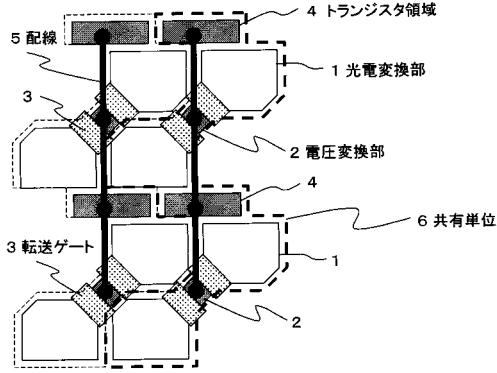
【図15】従来のCMOSセンサにおける複数画素共有構造の例を示す説明図（その4）である。

【符号の説明】

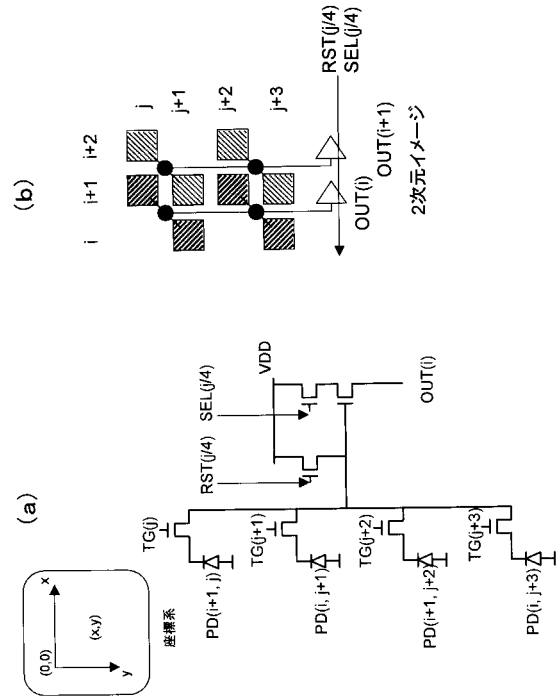
【0049】

1 ... 光電変換部、2 ... 電圧変換部、3 ... 転送ゲート、4 ... トランジスタ領域、5 ... 配線、6 ... 共有単位、7 ... 信号線、8 ... 列選択スイッチ、9, 9b, 9c ... 行回路、9a ... アンプ、10, 11 ... 遅延回路、12, 13 ... スイッチ

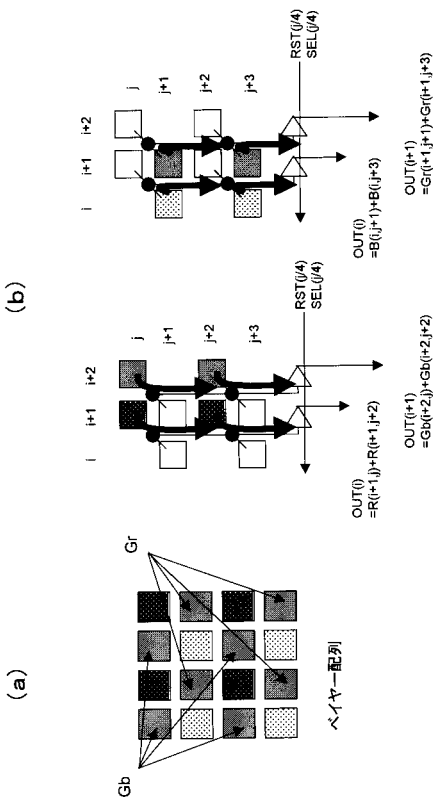
【 図 1 】



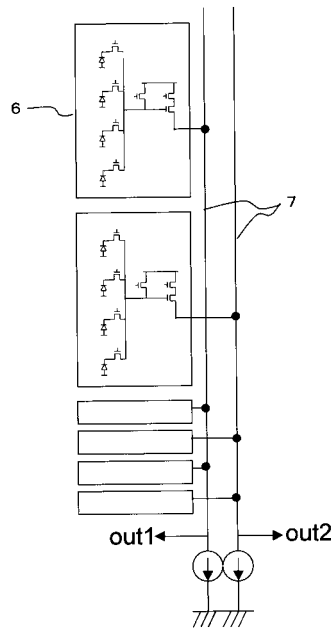
【 図 2 】



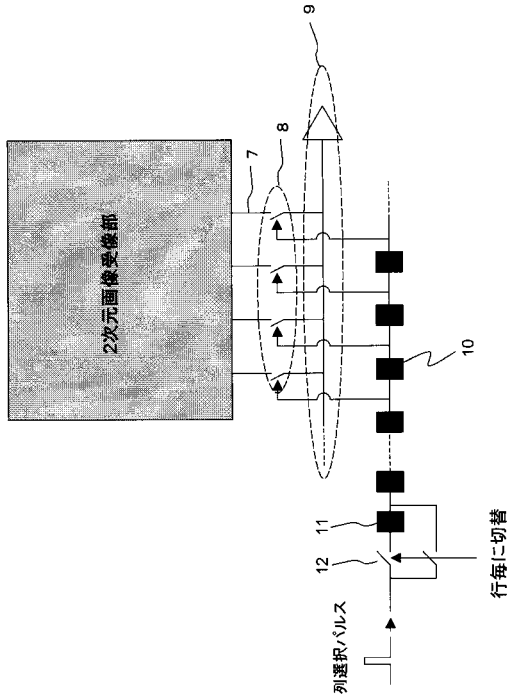
【 図 3 】



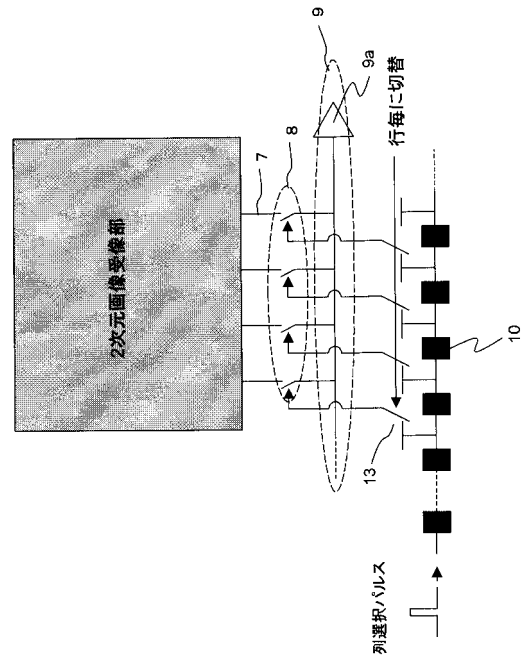
【 図 4 】



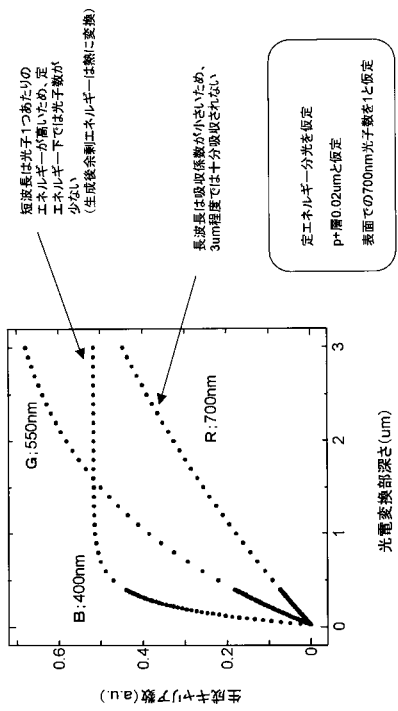
【 図 5 】



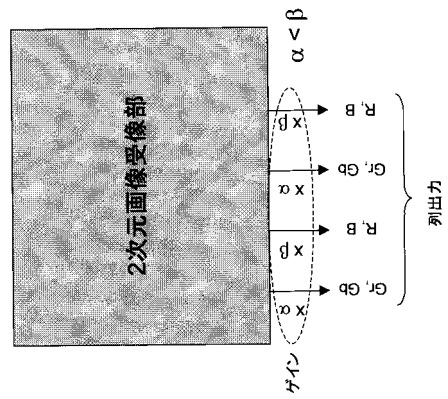
【 図 6 】



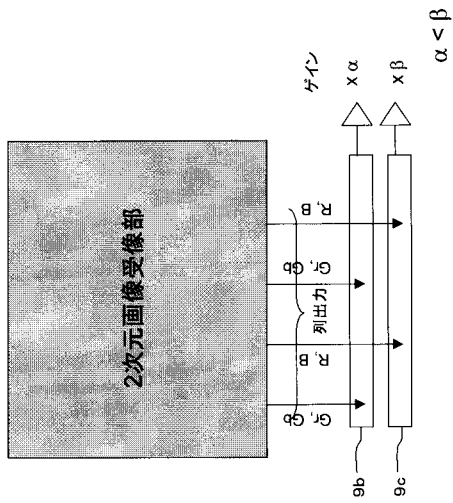
【 図 7 】



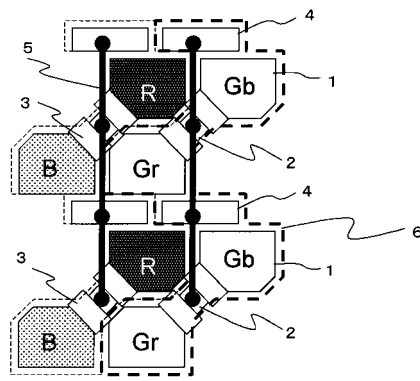
【 図 8 】



【 図 9 】



【 図 10 】



補正係数

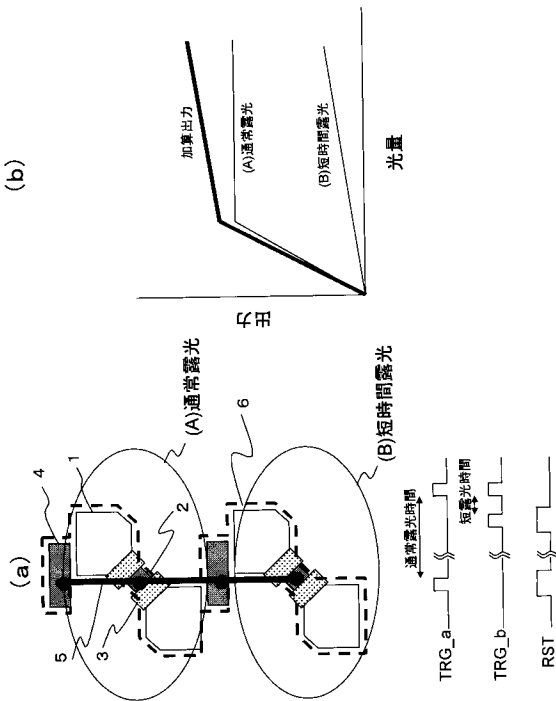
$$\alpha_B \approx \alpha_{Gr}$$

$$\alpha_R \approx \alpha_{Gb}$$

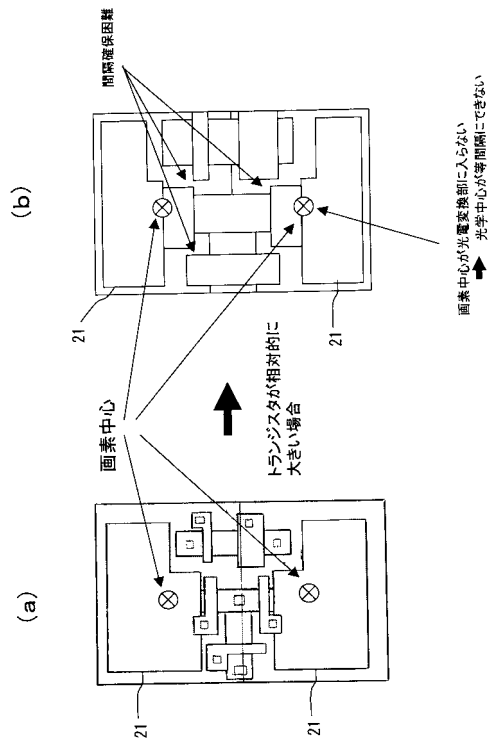
$$\alpha_{Gr}|_{x,y} = \frac{2Gr|_{x,y}}{(Gr|_{center} + Gb|_{center})}$$

$$\alpha_{Gb}|_{x,y} = \frac{2Gb|_{x,y}}{(Gr|_{center} + Gb|_{center})}$$

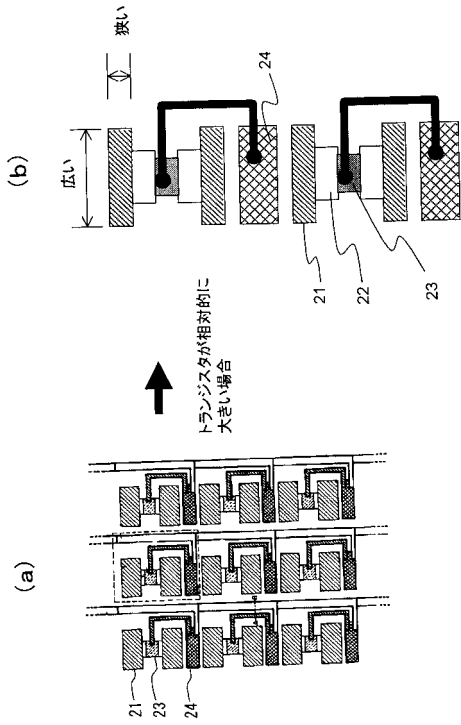
【 図 11 】



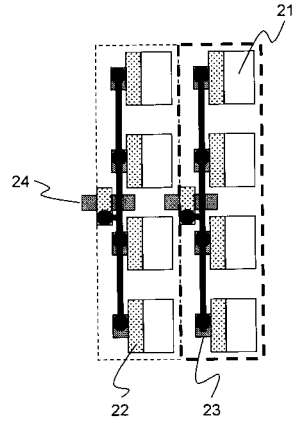
【 図 12 】



【図 13】



【図 14】



【図 15】

