(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3544096号

(P3544096)

(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]	F I		
H03K 17/687	H03K	17/687	A
H01L 21/8238	H01L	27/08	321L
H01L 27/092	H03K	19/094	B
H03K 19/0948			

請求項の数 18　(全 25 頁)

(21)出願番号　特願平9-73873
(22)出願日　平成9年3月26日(1997.3.26)
(65)公開番号　特開平10-270993
(43)公開日　平成10年10月9日(1998.10.9)
審査請求日　平成13年12月10日(2001.12.10)

(73)特許権者　391012327
東京大学長
東京都文京区本郷７丁目３番１号
(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100064285
弁理士　佐藤　一雄
(74)代理人　100073379
弁理士　佐藤　政光
(74)代理人　100088889
弁理士　橘谷　英俊
(74)代理人　100082991
弁理士　佐藤　泰和

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、

絶対値が前記第１のしきい値電圧の絶対値よりも大きい第２のしきい値電圧を有するＰチャネルＭＯＳトランジスタとを有し、

前記ＰチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の電源線に接続された第１のノードが接続され、ソースには前記第１の電源線が接続されると共に、前記ＰチャネルＭＯＳトランジスタのゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加されることにより、前記ＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項２】

第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、

前記第１のしきい値電圧と等しいしきい値を有するＰチャネルＭＯＳトランジスタとを有し、

前記ＰチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の電源線に接続された第１のノードが接続され、ソースには前記第１の電源線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位

より高い電圧の信号が印加されることにより、前記ＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項３】

第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、

前記第１のしきい値電圧より高い第２のしきい値を有するＮチャネルＭＯＳトランジスタとを有し、

前記ＮチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の接地線に接続された第１のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号が印加されることにより、前記ＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項４】

第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、

前記第１のしきい値電圧と等しいしきい値を有するＮチャネルＭＯＳトランジスタとを有し、

前記ＮチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の接地線と接続された第１のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加されることにより、前記ＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項５】

前記ＰチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号を出力するための第１のレベル変換回路をさらに備えた請求項１に記載の半導体集積回路装置。

【請求項６】

前記ＰチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号を出力するための第２のレベル変換回路をさらに備えた請求項２に記載の半導体集積回路装置。

【請求項７】

前記ＮチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号を出力するための第２のレベル変換回路をさらに備えた請求項３に記載の半導体集積回路装置。

【請求項８】

前記ＮチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号を出力するための第１のレベル変換回路をさらに備えた請求項４に記載の半導体集積回路装置。

【請求項９】

前記第１の電源線および負の電源線としての第２の電源線から電力の供給を受ける第２の論理回路であって、

前記第２の電源線の電位は前記接地線の電位よりも低く、該第２の論理回路の出力は前記ＰチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記第２の電源線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第１の電源線の電位に等しく、

絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路をさらに備えた請求項１に記載の半導体集積回路装置。

【請求項１０】

正の電源線としての第３の電源線および前記接地線から電力の供給を受ける第２の論理回

路であって、
前記第３の電源線の電位は前記第１の電源線の電位よりも高く、
該第２の論理回路の出力は前記ＰチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第３の電源線の電位に等しく、絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路をさらに備えた請求項２に記載の半導体集積回路装置。
【請求項１１】
正の電源線としての第３の電源線および前記接地線から電力の供給を受ける第２の論理回路であって、
前記第３の電源線の電位は前記第１の電源線の電位よりも高く、
該第２の論理回路の出力は前記ＮチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第３の電源線の電位に等しく、絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路をさらに備えた請求項３に記載の半導体装置。
【請求項１２】
前記第１の電源線および負の電源線としての第２の電源線から電力の供給を受ける第２の論理回路であって、
前記第２の電源線の電位は前記接地線の電位よりも低く、該第２の論理回路の出力は前記ＮチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記第２の電源線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第１の電源線の電位に等しく、
絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路をさらに備えた請求項４に記載の半導体集積回路装置。
【請求項１３】
第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる論理回路と、
前記第１のしきい値電圧と等しいしきい値を有する第１および第２のＰチャネルＭＯＳトランジスタとを有し、
前記第２のＰチャネルＭＯＳトランジスタのドレインには前記論理回路の仮の電源線に接続された第１のノードが接続され、ソースには前記第１のＰチャネルＭＯＳトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加され、前記第１のＰチャネルＭＯＳトランジスタのソースには前記第１の電源線が接続され、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号が印加されることにより、前記第１および第２のＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。
【請求項１４】
第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる論理回路と、
前記第１のしきい値電圧と等しいしきい値を有する第１および第２のＮチャネルＭＯＳトランジスタとを有し、
前記第２のＮチャネルＭＯＳトランジスタのドレインには前記論理回路の仮の接地線に接続された第１のノードが接続され、ソースには前記第１のＮチャネルＭＯＳトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加され、前記第１のＮチャネルＭＯＳトランジスタのソースには接地線が接続され、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加され

ることにより、前記第１および第２のＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置。

【請求項１５】

前記第１のＰチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号を出力するための第２のレベル変換回路をさらに備えた請求項１３に記載の半導体集積回路装置。

【請求項１６】

前記第１のＮチャネルＭＯＳトランジスタのゲートに、ロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号を出力するための第１のレベル変換回路をさらに備えた請求項１４に記載の半導体集積回路装置。

【請求項１７】

正の電源線としての第３の電源線および前記接地線から電力の供給を受ける第２の論理回路であって、

前記第３の電源線の電位は前記第１の電源線の電位よりも高く、該第２の論理回路の出力は前記第１のＰチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第３の電源線の電位に等しく、

絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路を備えると共に、

前記第１の電源線および前記接地線から電力の供給を受ける第３の論理回路であって、

該第３の論理回路の出力は前記第２のＰチャネルＭＯＳトランジスタのゲートに接続され、該第３の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第３の論理回路の出力信号のハイレベルは前記第１の電源線の電位に等しく、

前記第２の論理回路と同一信号を入力とし、前記第１のしきい値電圧を有するＭＯＳトランジスタからなる第３の論理回路をさらに備えた請求項１３に記載の半導体集積回路装置。

【請求項１８】

前記第１の電源線および負の電源線としての第２の電源線から電力の供給を受ける第２の論理回路であって、

前記第２の電源線の電位は前記接地線の電位よりも低く、該第２の論理回路の出力は前記第１のＮチャネルＭＯＳトランジスタのゲートに接続され、該第２の論理回路の出力信号のロウレベルは前記第２の電源線の電位に等しく、該第２の論理回路の出力信号のハイレベルは前記第１の電源線の電位に等しく、

絶対値が前記第１のしきい値電圧の絶対値よりも大きい第３のしきい値電圧を有するＭＯＳトランジスタからなる第２の論理回路を備えると共に、

前記第１の電源線および前記接地線から電力の供給を受ける第３の論理回路であって、

該第３の論理回路の出力は前記第２のＮチャネルＭＯＳトランジスタのゲートに接続され、該第３の論理回路の出力信号のロウレベルは前記接地線の電位に等しく、該第３の論理回路の出力信号のハイレベルは前記第１の電源線の電位に等しく、

前記第２の論理回路と同一信号を入力とし、前記第１のしきい値電圧を有するＭＯＳトランジスタからなる第３の論理回路をさらに備えた請求項１４に記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置に係り、特に、電源電圧を低くしても待機時電流制御用ＭＯＳトランジスタのオン・オフ制御を確実に行うようにしたＣＭＯＳ論理回路を備えた半導体集積回路装置に関するものである。

【０００２】

【従来の技術】

図２０に、従来のＭＴ－ＣＭＯＳ回路（　Ｍｕｌｔｉ　Ｔｈｒｅｓｈｏｌｄ－ＣＭＯＳ回路）を示す。

【０００３】

図２０に示すように、従来の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ２を含んでいる。

【０００４】

従来、ＭＴ－ＣＭＯＳ回路においては、低消費電力化を目的とするために、低電圧で動作させるようにしている。そのため、ＣＭＯＳ論理回路ＣＭを形成するＰチャネルＭＯＳトランジスタＭＰ１及びＮチャネルＭＯＳトランジスタＭＮ１等は、低しきい値にして論理ゲートの遅延を抑える。例えば、ＰチャネルＭＯＳトランジスタＭＰ１の閾値を－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１の閾値を０．２Ｖなどとする。

【０００５】

しかし、低しきい値のＭＯＳトランジスタだけでは回路動作が停止した状態（待機状態）においても、リーク電流が多くなり、無視できない。そこで、高しきい値（例えば、－０．７Ｖ等）のＰチャネルＭＯＳトランジスタＭＰ２を、電源線とＣＭＯＳ論理回路を構成する低しきい値のＭＯＳトランジスタとの間に挿入する構成としていた。そして、待機状態では、ＰチャネルＭＯＳトランジスタＭＰ２を、ゲートに電源ＶＤＤと同じ電圧を印加することによりオフさせることで、このようなリーク電流を低減させるようにしていた。一方、動作状態ではＰチャネルＭＯＳトランジスタＭＰ２のゲートに０Ｖを印加してオンさせることで、ＣＭＯＳ論理回路に電源ＶＤＤを供給するようにしていた。（例えば、ＮＴＴ　ＬＳＩ研究所、武藤伸一郎氏他、「低電圧対応電力制御機構を採用した１Ｖ動作ＭＴＣＭＯＳ　ＤＳＰ」（特に図２「ＭＴＣＭＯＳ回路」）、　電子情報通信学会技術研究報告　信学技報　Ｖｏｌ．９６　Ｎｏ．１０７　Ｐ１５－２０　等参照。）

【０００６】

【発明が解決しようとする課題】

しかしながら、従来技術においては、以下のような課題がある。すなわち、ＭＴ－ＣＭＯＳの待機時においては、リーク電流低減用のＰチャネルＭＯＳトランジスタＭＰ２のソースに電源電圧ＶＤＤを印加し、ゲートにロウレベルである０Ｖが印加されるので、ＰチャネルＭＯＳトランジスタＭＰ２のゲート・ソース間電圧ＶＧＳは、最大でもＶＤＤまでしかかからない。したがって、電源電圧とトランジスタのしきい値とが接近するような低電圧で動作させると、このＰチャネルＭＯＳトランジスタＭＰ２は十分にオンできなくなる。

【０００７】

この様な場合、ＰチャネルＭＯＳトランジスタＭＰ２のオン抵抗を下げるためにはチャネル幅を大きくしなくてはならず、チップ面積の増大となる。また、電源電圧をＰチャネルＭＯＳトランジスタＭＰ２のしきい値以下にすると動作させることが困難になる。ＰチャネルＭＯＳトランジスタＭＰ２は、待機時リーク電流低減のために待機時にオフさせた時にリーク電流が十分小さくなるように高しきい値のトランジスタを使用することが前提となっているので、例えば、しきい値が－０．７Ｖとすれば、実用上の最低電源電圧は１Ｖ前後と見られる（しきい値の変動範囲を－０．７Ｖ±０．１Ｖ、電源電圧変動１Ｖ±１０％とした）。よって、例えば、電源電圧が０．５Ｖとなると、しきい値を超えなくなり、オン・オフ制御ができなくなる。

【０００８】

以上のように、従来においては、電源電圧ＶＤＤが低下することにより、電源電圧とＭＯＳトランジスタのしきい値が接近し、オン・オフ制御が困難となる。また、オン状態では、チャネル幅の増大を招き、ついには機能しにくくなってしまう。

【０００９】

本発明は、以上の点に鑑み、ＣＭＯＳ論理回路における待機時電流制御用ＭＯＳトランジスタのゲートに対し、従来は０Ｖ～ＶＤＤの信号を印加していたものを、０Ｖ以下もしくはＶＤＤ以上の高い電圧を印加することにより、電源電圧ＶＤＤを低電圧としても待機時電流制御用ＭＯＳトランジスタのオン・オフを確実に行うようにすることを目的とする。

【００１０】
また、ＣＭＯＳ論理回路及び待機時電流制御用ＭＯＳトランジスタについて、過大な電圧をどこにも加えないで用いるようにし、信頼性を向上することを目的とする。
【００１１】
さらに、本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるＭＯＳトランジスタを含む半導体集積回路装置において、その実現に有効な半導体集積回路装置を提供することを目的とする。
【００１２】
【課題を解決するための手段】
本発明の第１の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、絶対値が前記第１のしきい値電圧の絶対値よりも大きい第２のしきい値電圧を有するＰチャネルＭＯＳトランジスタとを有し、前記ＰチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の電源線に接続された第１のノードが接続され、ソースには前記第１の電源線が接続されると共に、前記ＰチャネルＭＯＳトランジスタのゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加されることにより、前記ＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。
【００１３】
本発明の第２の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、前記第１のしきい値電圧と等しいしきい値を有するＰチャネルＭＯＳトランジスタとを有し、前記ＰチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の電源線に接続された第１のノードが接続され、ソースには前記第１の電源線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号が印加されることにより、前記ＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。
【００１４】
本発明の第３の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、前記第１のしきい値電圧より高い第２のしきい値を有するＮチャネルＭＯＳトランジスタとを有し、前記ＮチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の接地線に接続された第１のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号が印加されることにより、前記ＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。
【００１５】
本発明の第４の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる第１の論理回路と、前記第１のしきい値電圧と等しいしきい値を有するＮチャネルＭＯＳトランジスタとを有し、前記ＮチャネルＭＯＳトランジスタのドレインには前記第１の論理回路の仮の接地線と接続された第１のノードが接続され、ソースには接地線が接続されると共に、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加されることにより、前記ＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。
【００１６】
さらに、本発明の第５の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる論理回路と、前記第１のしきい値電圧と等しいしきい値を有する第１および第２のＰチャネルＭＯＳトランジスタとを有し、前記第２のＰチャネルＭＯＳトランジスタのドレインには前記論理回路の仮の電源線に接続された第

１のノードが接続され、ソースには前記第１のＰチャネルＭＯＳトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加され、前記第１のＰチャネルＭＯＳトランジスタのソースには前記第１の電源線が接続され、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位より高い電圧の信号が印加されることにより、前記第１および第２のＰチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

【００１７】

さらに、本発明の第６の解決手段によれば、第１の電源線の電位より低い第１のしきい値電圧を有するＭＯＳトランジスタからなる論理回路と、前記第１のしきい値電圧と等しいしきい値を有する第１および第２のＮチャネルＭＯＳトランジスタとを有し、前記第２のＮチャネルＭＯＳトランジスタのドレインには前記論理回路の仮の接地線に接続された第１のノードが接続され、ソースには前記第１のＮチャネルＭＯＳトランジスタのドレインが接続されると共に、ゲートにはロウレベルが接地線の電位に等しい電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加され、前記第１のＮチャネルＭＯＳトランジスタのソースには接地線が接続され、ゲートにはロウレベルが接地線の電位より低い電圧、ハイレベルが前記第１の電源線の電位に等しい電圧の信号が印加されることにより、前記第１および第２のＮチャネルＭＯＳトランジスタがオン、オフ制御されることを特徴とする半導体集積回路装置を提供する。

【００１８】

【発明の実施の形態】

（１）第１の実施の形態

図１に、本発明に係る第１の実施の形態の半導体集積回路装置の構成図を示す。

図１に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ２及びレベル変換回路１０を含んでいる。

【００１９】

ＣＭＯＳ論理回路ＣＭは、第１のノードＮ１を電源とし、他方は接地線Ｇ１に接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。ここで、ＣＭＯＳ論理回路ＣＭは、一例として具体的回路を示したものであり、本発明は、ＮＡＮＤ回路、ＡＮＤ回路、ＯＲ回路、ＮＯＲ回路又は排他的論理和回路等をはじめ、様々な論理回路を対象とすることができる。この点は、以下の実施の形態においても同様である。

【００２０】

待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ２は、第１の電源線Ｐ１にソースが接続され、第１のノードＮ１にドレインが接続されている。ＰチャネルＭＯＳトランジスタＭＰ２のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値より高く設定されている。

【００２１】

また、レベル変換回路１０は、ＰチャネルＭＯＳトランジスタＭＰ２のゲートに出力端子が接続され、制御入力端子ＳＩＧを有する。レベル変換回路１０は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力することにより、ＰチャネルＭＯＳトランジスタＭＰ２をオン・オフ制御する。レベル変換回路１０は、制御入力端子ＳＩＧのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力してもよいし、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【００２２】

ここで負の電圧とは、ＰチャネルＭＯＳトランジスタＭＰ２のソース電圧を供給している第１の電源線Ｐ１の電圧ＶＤＤがＰチャネルＭＯＳトランジスタＭＰ２のしきい値以下の低電圧である状態で、ゲート・ソース電圧ＶＧＳがしきい値以上になる電圧をいう。

【００２３】

つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ２のしきい値を、例えば、－０．７Ｖとする。また、電源電圧ＶＤＤを、このＣＭＯＳ論理回路ＣＭが動作する最低動作電圧の電源電圧、例えば０．５Ｖとする。そして、レベル変換回路１０の出力、即ち、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ２のゲートに印加される電圧を、ロウレベルを０Ｖではなく負の電圧、例えば、－０．８Ｖとし、一方、ハイレベルを電源電圧ＶＤＤと同じ０．５Ｖとした場合を想定する。

【００２４】

この場合、レベル変換回路１０の出力がロウレベルのとき、ＰチャネルＭＯＳトランジスタＭＰ２のゲートには、負の電圧である－０．８Ｖが印加され、ゲート・ソース電圧ＶＧＳは最大－１．３Ｖ（＝－０．８Ｖ－０．５Ｖ）となる。そのため、ＰチャネルＭＯＳトランジスタＭＰ２は、しきい値が－０．７Ｖであるので、十分オンさせることができる。よって、ＰチャネルＭＯＳトランジスタＭＰ２のゲートに印加する電圧に負の電圧を用いることでの動作時におけるＣＭＯＳ論理回路ＣＭへの電流の供給を低電圧でも十分確保することができる。

【００２５】

一方、レベル変換回路１０の出力がハイレベルのとき、ＰチャネルＭＯＳトランジスタＭＰ２のゲートには、電源電圧ＶＤＤと同じ０．５Ｖが印加され、ゲート・ソース電圧ＶＧＳは最小０Ｖとなる。そのため、しきい値－０．７ＶのＰチャネルＭＯＳトランジスタＭＰ２は、オフ状態となる。よって、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタＭＰ１，ＭＮ１に比べ、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ２のしきい値は高くしているので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

（２）第２の実施の形態

図２に、本発明に係る第２の実施の形態の半導体集積回路装置の構成図を示す。

図２に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３及びレベル変換回路１１を含んでいる。

【００２６】

ＣＭＯＳ論理回路ＣＭは、第１のノードＮ１を電源とし、他方は接地線Ｇ１に接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。

【００２７】

待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３は、第１の電源線Ｐ１にソースが接続され、第１のノードＮ１にドレインが接続されている。ＰチャネルＭＯＳトランジスタＭＰ３のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値と同程度に低く設定されている。

【００２８】

また、レベル変換回路１１は、ＰチャネルＭＯＳトランジスタＭＰ３のゲートに出力端子が接続され、制御入力端子ＳＩＧを有する。レベル変換回路１１は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位（例えば、０Ｖ）、ハイレベルが第１の電源線Ｐ１を超過する電圧を出力することにより、ＰチャネルＭＯＳトランジスタＭＰ３をオン・オフ制御する。レベル変換回路１１は、制御入力端子ＳＩＧのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【００２９】

ここで、第１の電源線を超過する電圧とは、ＰチャネルＭＯＳトランジスタＭＰ３のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧ＶＧＳを正の値とするような電圧をいい、ＰチャネルＭＯＳトランジスタＭＰ３のしきい値

を低くした分に応じてハイレベルの電圧を高めるようにしたものである。

【００３０】

つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ３のしきい値を、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタと同様に、例えば、－０．２Ｖとする。また、電源電圧ＶＤＤを、このＣＭＯＳ論理回路ＣＭが動作する最低動作電圧の電源電圧、例えば０．５Ｖとする。そして、レベル変換回路１１の出力、即ち、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ３のゲートに印加される電圧を、ロウレベルを接地電位、例えば、０Ｖとし、一方、ハイレベルを、例えば、電源電圧ＶＤＤより高い１Ｖとした場合を想定する。この場合、レベル変換回路１１の出力がロウレベルのとき、ＰチャネルＭＯＳトランジスタＭＰ３のゲートには、０Ｖが印加され、ゲート・ソース電圧ＶＧＳは最大－０．５Ｖとなる。そのため、ＰチャネルＭＯＳトランジスタＭＰ３は、しきい値が－０．２Ｖであるので、十分オンさせることができる。よって、ＰチャネルＭＯＳトランジスタＭＰ３のしきい値を低くすることで動作時におけるＣＭＯＳ論理回路ＣＭへの電流の供給を低電圧でも十分確保することができる。

【００３１】

一方、レベル変換回路１１の出力がハイレベルのとき、ＰチャネルＭＯＳトランジスタＭＰ３のゲートには、電源電圧ＶＤＤより高い、例えば１Ｖが印加され、ゲート・ソース電圧ＶＧＳは最小＋０．５Ｖとなり、しきい値－０．２ＶのＰチャネルＭＯＳトランジスタＭＰ３は、オフ状態となる。この時のゲート・ソース電圧ＶＧＳとしきい値との差は０．７Ｖ（＋０．５Ｖ－（－０．２Ｖ））となる。よってＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタＭＰ１，ＭＮ１と、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ３のしきい値に同じ比較的低い値を使っていながらＶＧＳを小さくしたので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

（３）第３の実施の形態

図３に、本発明に係る第３の実施の形態の半導体集積回路装置の構成図を示す。

図３に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ２及びレベル変換回路１２を含んでいる。

【００３２】

ＣＭＯＳ論理回路ＣＭは、第１の電源線Ｐ１を電源とし、第１のノードＮ１にその接地線が接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。

【００３３】

待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ２は、接地線Ｇ１にソースが接続され、第１のノードＮ１にドレインが接続されている。ＮチャネルＭＯＳトランジスタＭＮ２のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値より高く設定されている。

【００３４】

また、レベル変換回路１２は、ＮチャネルＭＯＳトランジスタＭＮ２のゲートに出力端子が接続され、制御入力端子ＳＩＧを有する。レベル変換回路１２は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第１の電源線Ｐ１の電圧ＶＤＤを超過する電圧を出力し、ロウレベルが接地電位０Ｖを出力することにより、ＮチャネルＭＯＳトランジスタＭＮ２をオン・オフ制御する。レベル変換回路１２は、制御入力端子ＳＩＧのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【００３５】

ここで、第１の電源線を超過する電圧とは、第１の電源線Ｐ１の電圧がＮチャネルＭＯＳトランジスタＭＮ２のしきい値以下の低電圧である状態で、ゲート・ソース電圧ＶＧＳが

しきい値以上になる電圧をいい、ＮチャネルＭＯＳトランジスタＭＮ２のしきい値の以上に相当する電圧である。

【００３６】

つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ２のしきい値を、例えば、０．７Ｖとする。また、電源電圧ＶＤＤを、このＣＭＯＳ論理回路ＣＭが動作する最低動作電圧の電源電圧、例えば０．５Ｖとする。そして、レベル変換回路１２の出力、即ち、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ２のゲートに印加される電圧を、ロウレベルを接地電位、例えば、０Ｖとし、一方、ハイレベルを、例えば、電源電圧ＶＤＤより高い１．３Ｖとした場合を想定する。

【００３７】

この場合、レベル変換回路１２の出力がハイレベルのとき、ＮチャネルＭＯＳトランジスタＭＮ２のゲートには、１．３Ｖが印加され、ゲート・ソース電圧ＶＧＳは最大１．３Ｖとなる。そのため、ＮチャネルＭＯＳトランジスタＭＮ２は、しきい値が０．７Ｖであるので十分オンさせることができる。よって、ＮチャネルＭＯＳトランジスタＭＮ２のゲートに印加する電圧に電源電圧より高い電圧を用いることで動作時におけるＣＭＯＳ論理回路ＣＭへの電流の供給を低電圧でも十分確保することができる。

【００３８】

一方、レベル変換回路１２の出力がロウレベルのとき、ＮチャネルＭＯＳトランジスタＭＮ２のゲートには、接地電位、例えば０Ｖが印加され、ソースは接地電位なので、ゲート・ソース電圧ＶＧＳは０Ｖとなり、しきい値０．７ＶのＮチャネルＭＯＳトランジスタＭＮ２はオフ状態となる。よって、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタＭＰ１，ＭＮ１に比べ、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ２のしきい値は高くしているので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

（４）第４の実施の形態

図４に、本発明に係る第４の実施の形態の半導体集積回路装置の構成図を示す。

図４に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３及びレベル変換回路１３を含んでいる。

【００３９】

ＣＭＯＳ論理回路ＣＭは、第１の電源線Ｐ１を電源とし、第１のノードＮ１にその接地線が接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。

【００４０】

待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３は、接地線Ｇ１にソースが接続され、第１のノードＮ１にドレインが接続されている。ＮチャネルＭＯＳトランジスタＭＮ３のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値と同程度に低く設定されている。

【００４１】

また、レベル変換回路１３は、ＮチャネルＭＯＳトランジスタＭＮ３のゲートに出力端子が接続され、制御入力端子ＳＩＧを有する。レベル変換回路１３は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力し、ロウレベルが負の電圧を出力することにより、ＮチャネルＭＯＳトランジスタＭＮ３をオン・オフ制御する。レベル変換回路１３は、制御入力端子ＳＩＧのハイ又はロウにそれぞれ対応して、ロウレベル又はハイレベルをそれぞれ出力しても、逆にハイレベル又はロウレベルをそれぞれ出力するようにしてもよい。

【００４２】

ここで負の電圧とは、ＮチャネルＭＯＳトランジスタＭＮ３のしきい値を低くしたことに

よってリーク電流が既定値を超えないようにゲート・ソース電圧ＶＧＳを負の値とすることをいい、しきい値を低くした分は負の電圧にする。

【００４３】

つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ３のしきい値を、例えば、０．２Ｖとする。また、電源電圧ＶＤＤを、このＣＭＯＳ論理回路ＣＭが動作する最低動作電圧の電源電圧、例えば０．５Ｖとする。そして、レベル変換回路１３の出力、即ち、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ３のゲートに印加される電圧を、ロウレベルを０Ｖではなく負の電圧、例えば、－０．５Ｖとし、一方、ハイレベルを電源電圧ＶＤＤとした場合を想定する。

【００４４】

この場合、レベル変換回路１３の出力がハイレベルのとき、ＮチャネルＭＯＳトランジスタＭＮ３のゲートには、電源電圧である０．５Ｖが印加され、ゲート・ソース電圧ＶＧＳは最大０．５Ｖとなる。そのため、ＮチャネルＭＯＳトランジスタＭＮ３は、しきい値が０．２Ｖであるので十分オンさせることができる。よって、ＮチャネルＭＯＳトランジスタＭＮ３のしきい値を低くすることで動作時におけるＣＭＯＳ論理回路ＣＭへの電流の供給を低電圧でも十分確保することができる。

【００４５】

一方、レベル変換回路１３の出力がロウレベルのとき、ＮチャネルＭＯＳトランジスタＭＮ３のゲートには、負の電圧である－０．５Ｖが印加され、ソースは接地電位なので、ゲート・ソース電圧ＶＧＳは－０．５Ｖ（＝０Ｖ－０．５Ｖ）となり、しきい値０．２ＶのＮチャネルＭＯＳトランジスタＭＮ３はオフ状態となる。この時ゲート・ソース電圧ＶＧＳとしきい値との差は、－０．７Ｖ（＝－０．５Ｖ－０．２Ｖ）となる。よって、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタＭＰ１，ＭＮ１と、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ３のしきい値に同じ比較的低い値を使っていながらＶＧＳを小さくしたので、待機時にはリーク電流を抑えた低消費電力モードとすることができる。

（５）レベル変換回路

つぎに、図５に、レベル変換回路（１）の回路構成図の一例を示す。このレベル変換回路は、本発明の第１及び第４の実施の形態において使用することができる。

【００４６】

図５（Ａ）に示す回路は、一般的なチャージポンプ回路であり、複数のＰチャネルＭＯＳトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号ＯＵＴを調整することができる。

【００４７】

図５（Ｂ）に示すように、制御入力信号ＳＩＧにより、クロックＣＬＫ１及びＣＬＫ２が適宜入力されることにより、コンデンサに充電された電荷がＰチャネルＭＯＳトランジスタにより接地線に近い側のコンデンサに順次移動していき、出力信号ＯＵＴに接地電位（例えば０Ｖ）より低い負の電圧をロウレベルとして出力する。なお、ハイレベルとしては、電源電位ＶＤＤを出力する。

【００４８】

さらに、図６に、レベル変換回路（２）の回路構成図の一例を示す。このレベル変換回路は、本発明の第２及び第３の実施の形態において使用することができる。

【００４９】

図６（Ａ）に示す回路は、図５に示したものとは逆向きに電化を移動する一般的なチャージポンプ回路であり、複数のＮチャネルＭＯＳトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号ＯＵＴを調整することができる。

【００５０】
図６（Ｂ）に示すように、制御入力信号ＳＩＧにより、クロックＣＬＫ１及びＣＬＫ２が適宜入力されることにより、コンデンサに充電された電荷がＮチャネルＭＯＳトランジスタにより出力信号ＯＵＴに近い側のコンデンサに順次移動していき、出力信号ＯＵＴに電源電圧ＶＤＤを超過した電圧をハイレベルとして出力する。なお、ロウレベルとしては、接地電位（例えば、０Ｖ）を出力する。
（６）第５～第８の実施の形態
図７に、本発明に係る第５の実施の形態の半導体集積回路装置の構成図を示す。
図７に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、高しきい値の待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ２を含む。
【００５１】
第５の実施の形態は、第１の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、ＰチャネルＭＯＳトランジスタＭＰ２に直接印加するようにしたものである
すなわち、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力することにより、ＰチャネルＭＯＳトランジスタＭＰ２をオン・オフ制御するようにした。
【００５２】
図８に、本発明に係る第６の実施の形態の半導体集積回路装置の構成図を示す。
図８に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、低しきい値の待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３を含む。
【００５３】
第６の実施の形態は、第２の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、ＰチャネルＭＯＳトランジスタＭＰ３に直接印加するようにしたものである。
【００５４】
すなわち、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位（例えば、０Ｖ）、ハイレベルが第１の電源線Ｐ１を超過する電圧を出力することにより、ＰチャネルＭＯＳトランジスタＭＰ３をオン・オフ制御する。
【００５５】
図９に、本発明に係る第７の実施の形態の半導体集積回路装置の構成図を示す。
図９に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、高しきい値の待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ２を含む。
【００５６】
第７の実施の形態は、第３の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、ＮチャネルＭＯＳトランジスタＭＮ２に直接印加するようにしたものである。
【００５７】
すなわち、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第１の電源線Ｐ１の電圧ＶＤＤを超過する電圧を出力し、ロウレベルが接地電位０Ｖを出力することにより、ＮチャネルＭＯＳトランジスタＭＮ２をオン・オフ制御する。
【００５８】
図１０に、本発明に係る第８の実施の形態の半導体集積回路装置の構成図を示す。
図１０に示すように、この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、低しきい値の待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３を含む。
【００５９】
第８の実施の形態は、第４の実施の形態におけるレベル変換回路を設けずに、所定の制御電圧を、ＮチャネルＭＯＳトランジスタＭＮ３に直接印加するようにしたものである。
【００６０】

すなわち、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力し、ロウレベルが負の電圧を出力することにより、ＮチャネルＭＯＳトランジスタＭＮ３をオン・オフ制御する。

（７）第９～第１２の実施の形態

第９～１２の実施の形態は、それぞれ、第１～第４の実施の形態でレベル変換回路を用いて待機時リーク電流低減用のＭＯＳトランジスタのゲートに印加する制御電圧を定めていたものを、ＣＭＯＳ信号論理回路ＳＣにより制御電圧を印加するようにしたものである。

【００６１】

すなわち、第１～第４の実施の形態において、ロウレベルをＧＮＤより低い電圧（例えば、－０．５Ｖ）としたり、また、ハイレベルを電源電圧ＶＤＤ（例えば、０．５Ｖ）よりも高い電圧（例えば、１Ｖ）としていた部分を、第２又は第３の電源線を電源とするＣＭＯＳ信号論理回路に置換えたものである。

【００６２】

図１１に、本発明に係る第９の実施の形態の半導体集積回路装置の構成図を示す。

この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、高しきい値の待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ２及びＣＭＯＳ信号論理回路２０を含む。

【００６３】

ＣＭＯＳ信号論理回路２０は、高しきい値のトランジスタで構成される。また、第１の電源線Ｐ１に電源線が接続され、接地電位より低い負の電圧ＶＳＳ１を供給する第２の電源線Ｐ２にその接地線が接続される。そして、ＣＭＯＳ信号論理回路２０は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが第２の電源線Ｐ２の電圧ＶＳＳ１（負の電圧）、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力することにより、ＰチャネルＭＯＳトランジスタＭＰ２をオン・オフ制御するようにした。

【００６４】

図１２に、本発明に係る第１０の実施の形態の半導体集積回路装置の構成図を示す。

この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、低しきい値の待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３及びＣＭＯＳ信号論理回路２１を含む。

【００６５】

ＣＭＯＳ信号論理回路２１は、高しきい値のトランジスタで構成される。また、第１の電源線の電圧ＶＤＤより高い電圧ＶＤＤ１である第３の電源線Ｐ３に電源線が接続され、接地線Ｇ１にその接地線が接続される。そして、ＣＭＯＳ信号論理回路２１は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが接地線Ｇ１の接地電位（例えば、０Ｖ）、ハイレベルが第３の電源線Ｐ３の電圧ＶＤＤ１を出力することにより、ＰチャネルＭＯＳトランジスタＭＰ３をオン・オフ制御する。

【００６６】

図１３に、本発明に係る第１１の実施の形態の半導体集積回路装置の構成図を示す。

【００６７】

この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、高しきい値の待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ２及びＣＭＯＳ信号論理回路２２を含む。

【００６８】

ＣＭＯＳ信号論理回路２２は、高しきい値のトランジスタで構成される。また、第１の電源線の電圧ＶＤＤより高い電圧ＶＤＤ１である第３の電源線Ｐ３に電源線が接続され、接地線Ｇ１にその接地線が接続される。そして、ＣＭＯＳ信号論理回路２２は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第３の電源線Ｐ３の電圧ＶＤＤ１を出力し、ロウレベルが接地電位０Ｖを出力することにより、第１のＮチャネルＭＯＳトランジスタＭＮ２をオン・オフ制御する。

【００６９】

図１４に、本発明に係る第１２の実施の形態の半導体集積回路装置の構成図を示す。
この半導体集積回路装置は、低しきい値のトランジスタから構成されるＣＭＯＳ論理回路ＣＭ、低しきい値の待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３及びＣＭＯＳ信号論理回路２３を含む。

【００７０】

ＣＭＯＳ信号論理回路２３は、高しきい値のトランジスタで構成される。また、第１の電源線Ｐ１に電源線が接続され、接地電位より低い負の電圧ＶＳＳ１を供給する第２の電源線Ｐ２にその接地線が接続される。そして、ＣＭＯＳ信号論理回路２３は、制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ハイレベルが第１の電源線Ｐ１と同電位ＶＤＤを出力し、ロウレベルが第２の電源の電圧ＶＳＳ１を出力することにより、ＮチャネルＭＯＳトランジスタＭＮ３をオン・オフ制御する。

（８）ＣＭＯＳ信号論理回路

図１５に、ＣＭＯＳ信号論理回路の構成図の一例を示す。

【００７１】

このＣＭＯＳ信号論理回路は、本発明の第９～第１２の実施の形態において使用することができる。

【００７２】

ＣＭＯＳ信号論理回路は、電源ＶＤＤ及び接地電位より低い第２の電源Ｐ２に接続され、待機電流制御用ＭＯＳトランジスタのゲートに制御電圧を出力する。制御入力端子ＳＩＧにより、第１の電源線Ｐ１の電位ＶＤＤ又は第２の電源線Ｐ２の電圧ＶＳＳ１のいずれかを出力するように構成される。

【００７３】

また、ＣＭＯＳ信号論理回路は、電源ＶＤＤより高い電圧ＶＤＤ１である第３の電源Ｐ３及び接地電位ＧＮＤに接続され、待機電流制御用ＭＯＳトランジスタのゲートに制御電圧を出力することもできる。この場合、制御入力端子ＳＩＧにより、第３の電源線Ｐ３の電位ＶＤＤ１又は接地電位ＧＮＤのいずれかを出力するように構成される。

（９）第１３の実施の形態

図１６に、本発明に係る第１３の実施の形態の半導体集積回路装置の構成図を示す。
この実施の形態は、第２、６及び１０の実施の形態の半導体集積回路装置において、ＰチャネルＭＯＳトランジスタＭＰ３のドレインと第１のノードＮ１との間に第２のＰチャネルＭＯＳトランジスタＭＰ４を加えることによって、ＰチャネルＭＯＳトランジスタＭＰ３のゲート・ドレイン間に信頼性上問題となるような過大な電圧が加わらないようにしたものである。

【００７４】

図１６に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４を含んでいる。

【００７５】

ＣＭＯＳ論理回路ＣＭは、第１のノードＮ１を電源とし、他方は接地線Ｇ１に接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。

【００７６】

待機時電流制御用ＰチャネルＭＯＳトランジスタＭＰ３は、第１の電源線Ｐ１にソースが接続される。ＰチャネルトランジスタＭＰ４は、ＰチャネルＭＯＳトランジスタＭＰ３のドレインにそのソースが接続され、第１のノードＮ１にドレインが接続されている。ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値と同程度に低く設定されている。

【００７７】

また、制御入力端子ＳＩＧからの制御信号が、ＰチャネルＭＯＳトランジスタＭＰ３のゲートに入力される。制御信号は、印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位０Ｖ、ハイレベルが第１の電源線Ｐ１を超過する電圧を出力することにより

、ＰチャネルＭＯＳトランジスタＭＰ３をオン・オフ制御する。
【００７８】
ここで、第１の電源線を超過する電圧とは、ＰチャネルＭＯＳトランジスタＭＰ３のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧ＶＧＳを正の値とするような電圧をいい、ＰチャネルＭＯＳトランジスタＭＰ３のしきい値を低くした分に応じてハイレベルの電圧を高めるようにしたものである。
【００７９】
一方、制御入力端子ＳＩＧ１からの制御信号は、ＰチャネルＭＯＳトランジスタＭＰ４のゲートに入力される。制御信号は、印加される信号レベルのハイ・ロウによって、ロウレベルが接地電位０Ｖ、ハイレベルが第１の電源線の電圧ＶＤＤを出力することにより、第２のＰチャネルＭＯＳトランジスタＭＰ４をオン・オフ制御する。
【００８０】
つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４のしきい値を、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタと同様に、例えば、－０．２Ｖとする。また、電源電圧ＶＤＤを、信頼性が厳しくなる方向で、例えば１Ｖとしてみる。
【００８１】
そして、ＣＭＯＳ論理回路ＣＭの動作時には、ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４のゲートにロウレベル０Ｖを印加する。すると、ＰチャネルＭＯＳトランジスタＭＰ３のソースと接続する電源電圧ＶＤＤは１Ｖ、ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４のゲート・ソース電圧は１Ｖとなり、しきい値が－０．２ＶのＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４を十分オンさせてＣＭＯＳ論理回路ＣＭへの電流の供給を行うことができる。
【００８２】
一方、ＣＭＯＳ論理回路ＣＭの待機時には、ＰチャネルＭＯＳトランジスタＭＰ３のゲートに印加するハイレベルの電圧は電源電圧ＶＤＤである１Ｖよりも高い電圧、例えば１．５Ｖを印加し、また、ＰチャネルＭＯＳトランジスタＭＰ４のゲートに印加するハイレベルの電圧は、電源電圧ＶＤＤに等しい１Ｖを印加する。すると、ＰチャネルＭＯＳトランジスタＭＰ３のゲート・ソース電圧ＶＧＳは、０．５Ｖとなり、ゲート・ソース電圧としきい値との差は０．７Ｖとなり、従来と同様であるので、リーク電流は従来と同程度に抑えられる。
【００８３】
その際、ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４を流れるドレイン電流は等しいことから、ＰチャネルＭＯＳトランジスタＭＰ３及びＭＰ４のゲート・ソース電圧ＶＧＳがほぼ等しくなる電圧にＰチャネルＭＯＳトランジスタＭＰ３のドレインの電位は定まり、０．５Ｖ程度までしか下がることはなく、ＰチャネルＭＯＳトランジスタＭＰ３のゲート・ドレイン間の電圧は最大１Ｖとなる。ここで、第２、６及び１０の実施の形態において、電源電圧ＶＤＤを１Ｖと想定して比較すると、ＰチャネルＭＯＳトランジスタＭＰ３のドレイン電圧は、ほぼ接地線Ｇ１と等しい電圧まで下がることから、ＰチャネルＭＯＳトランジスタＭＰ３のゲート・ドレイン間の電圧は最大１．５Ｖになる。よって、第１３の実施の形態のように構成することは、過大な電圧をどこにも加えないで用いることができるので、信頼性の向上に極めて有効である。本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるＭＯＳトランジスタにおいて、顕著な効果を有する。
【００８４】
なお、上述した第２、１０の実施の形態と同様に、レベル変換回路又はＣＭＯＳ信号論理回路を適宜設けることにより、制御入力端子ＳＩＧへの制御信号を供給することもできる。また、この際、制御入力信号ＳＩＧ１を、このようなレベル変換回路又はＣＭＯＳ信号論理回路の制御入力とすることもできる。

（１０）第１４の実施の形態
図１７に、本発明に係る第１４の実施の形態の半導体集積回路装置の構成図を示す。
この実施の形態は、第４、８及び１２の実施の形態の半導体集積回路装置において、ＮチャネルＭＯＳトランジスタＭＮ３のドレインと第１のノードＮ１との間に第２のＮチャネルＭＯＳトランジスタＭＮ４を加えることによって、ＮチャネルＭＯＳトランジスタＭＮ３のゲート・ドレイン間に信頼性上問題となるような過大な電圧が加わらないようにしたものである。
【００８５】
図１７に示すように、本発明の半導体集積回路装置は、ＣＭＯＳ論理回路ＣＭ、待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４を含んでいる。
【００８６】
ＣＭＯＳ論理回路ＣＭは、第１の電源線Ｐ１を電源とし、他方は第１のノードＮ１に接続されている。ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値は、通常より低く設定されている。
【００８７】
待機時電流制御用ＮチャネルＭＯＳトランジスタＭＮ３は、接地線Ｇ１にソースが接続される。ＮチャネルＭＯＳトランジスタＭＮ４は、ＮチャネルＭＯＳトランジスタＭＮ３のドレインにそのソースが接続され、第１のノードＮ１にドレインが接続されている。ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４のしきい値は、ＣＭＯＳ論理回路ＣＭを構成するトランジスタＭＰ１、ＭＮ１等のしきい値と同程度に低く設定されている。
【００８８】
また、制御入力端子ＳＩＧは、ＮチャネルＭＯＳトランジスタＭＮ３のゲートに接続され、制御信号を印加する。制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが負の電圧、ハイレベルが第１の電源線Ｐ１と同電位を出力することにより、ＮチャネルＭＯＳトランジスタＭＮ３をオン・オフ制御する。
【００８９】
ここで負の電圧とは、ＮチャネルＭＯＳトランジスタＭＮ３のしきい値を低くしたことによってリーク電流が既定値を超えないようにゲート・ソース電圧ＶＧＳを負の値とすることをいい、しきい値を低くした分は負の電圧にする。
【００９０】
一方、制御入力端子ＳＩＧ１は、ＮチャネルＭＯＳトランジスタＭＮ４のゲートに接続され、制御信号を印加する。制御入力端子ＳＩＧに印加される信号レベルのハイ・ロウによって、ロウレベルが０Ｖ、ハイレベルが第１の電源線Ｐ１と同電位を出力することにより、第２のＮチャネルＭＯＳトランジスタＭＮ４をオン・オフ制御する。
【００９１】
つぎに、動作の説明として、一例として、ＣＭＯＳ論理回路ＣＭを、例えばＰチャネルＭＯＳトランジスタＭＰ１のしきい値が－０．２Ｖ、ＮチャネルＭＯＳトランジスタＭＮ１のしきい値が０．２Ｖの各トランジスタで構成したとする。また、待機時リーク電流低減用ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４のしきい値を、ＣＭＯＳ論理回路ＣＭを構成するＭＯＳトランジスタと同様に、例えば、０．２Ｖとする。また、電源電圧ＶＤＤを、信頼性が厳しくなる方向で、例えば１Ｖとしてみる。
【００９２】
そして、ＣＭＯＳ論理回路ＣＭの動作時には、ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４のゲートにハイレベルの１Ｖを印加する。すると、ＮチャネルＭＯＳトランジスタＭＮ３のソースと接続する接地線は０Ｖ、ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４のゲート・ソース電圧は１Ｖとなり、しきい値が０．２ＶのＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４を十分オンさせてＣＭＯＳ論理回路ＣＭへの電流の供給を行うことができる。
【００９３】
一方、ＣＭＯＳ論理回路ＣＭの待機時には、ＮチャネルＭＯＳトランジスタＭＮ３のゲー

トに印加するロウレベルの電圧は接地線Ｇ１の０Ｖよりも低い電圧、例えば－０．５Ｖを印加し、また、ＮチャネルＭＯＳトランジスタＭＮ４のゲートに印加するロウレベルの電圧は、接地線Ｇ１に等しい０Ｖを印加する。すると、ＮチャネルＭＯＳトランジスタＭＮ３のゲート・ソース電圧ＶＧＳは、－０．５Ｖとなり、ゲート・ソース電圧としきい値との差は－０．７Ｖとなり、従来と同様であるので、リーク電流は従来と同程度に抑えられる。

【００９４】

その際、ＮチャネルＭＯＳトランジスタＭＮ３及びＭＮ４を流れるドレイン電流は等しいことから、ＮチャネルＭＯＳトランジスタＭＮ３とＭＮ４のゲート・ソース電圧ＶＧＳがほぼ等しくなる電圧にＮチャネルＭＯＳトランジスタＭＮ３のドレインの電位は定まり、０．５Ｖ程度までしか上がることはなく、ＮチャネルＭＯＳトランジスタＭＮ３のゲート・ドレイン間の電圧は最大１Ｖとなる。ここで、第４、８及び１２の実施の形態において、電源電圧ＶＤＤを１Ｖと想定して比較すると、ＮチャネルＭＯＳトランジスタＭＮ３のドレイン電圧は、ほぼ接地線Ｇ１と等しい電圧まで下がることから、ＮチャネルＭＯＳトランジスタＭＮ３のゲート・ドレイン間の電圧は最大１．５Ｖになる。よって、第１４の実施の形態のように構成することは、過大な電圧をどこにも加えないで用いることができるので、信頼性の向上に極めて有効である。本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるＭＯＳトランジスタにおいて、顕著な効果を有する。

【００９５】

なお、上述した第４、１２の実施の形態と同様に、レベル変換回路又はＣＭＯＳ信号論理回路を適宜設けることにより、制御入力端子ＳＩＧへの制御信号を供給することもできる。また、この際、制御入力信号ＳＩＧ１を、このようなレベル変換回路又はＣＭＯＳ信号論理回路の制御入力とすることもできる。

（１１）レベル変換回路

図１８に、レベル変換回路（３）の回路構成図の一例を示す。このレベル変換回路は、本発明の第１３の実施の形態において使用することができる。

【００９６】

図１８に示す回路は、図６に示した回路と同様に、一般的なチャージポンプ回路であり、複数のＮチャネルＭＯＳトランジスタ及びコンデンサ等から構成される。チャージポンプの段数は、必要に応じて適宜設定することができ、それにより出力信号ＯＵＴを調整することができる。

【００９７】

ＰチャネルＭＯＳトランジスタＭＰ４のゲートには、制御入力信号ＳＩＧに基づき０～ＶＤＤが印加される。また、ＰチャネルＭＯＳトランジスタＭＰ３のゲートには、入力された制御入力信号ＳＩＧに基づきレベル変換回路（３）の出力ＯＵＴ（０～ＶＤＤを超える電圧）が印加される。

【００９８】

本発明の第１４の実施の形態においても、同様に図５に示した回路等によりレベル変換回路を構成して組合わせることができる。

（１２）ＣＭＯＳ信号論理回路

図１９に、ＣＭＯＳ信号論理回路（２）の構成図の一例を示す。

【００９９】

このＣＭＯＳ信号論理回路（２）は、本発明の第１３の実施の形態において使用することができる。

【０１００】

ＣＭＯＳ信号論理回路は、電源ＶＤＤ及び電源ＶＤＤより高い電源ＶＤＤ１に接続され、待機電流制御用ＭＯＳトランジスタＭＰ３及びＭＰ４のゲートに制御電圧ＯＵＴ１及びＯＵＴ２を出力する。制御入力端子ＳＩＧにより、ロウレベルのときは出力ＯＵＴ１及びＯＵＴ２に０Ｖを出力し、ハイレベルのときは出力ＯＵＴ１にＶＤＤ１（＞ＶＤＤ）出力ＯＵＴ２にＶＤＤを出力する。

【０１０１】
本発明の第１４の実施の形態においても、図１５を参照して適宜のＣＭＯＳ信号論理回路を構成して組合わせることができる。
【０１０２】
【発明の効果】
本発明は、以上のように、ＣＭＯＳ論理回路における待機時電流制御用ＭＯＳトランジスタのゲートに対し、従来は０Ｖ～ＶＤＤの信号を印加していたものを、０Ｖ以下もしくはＶＤＤ以上の高い電圧を印加することにより、電源電圧ＶＤＤを低電圧としても待機時電流制御用ＭＯＳトランジスタのオン・オフを確実に行うことができる。
【０１０３】
また、本発明によると、回路を構成するＭＯＳトランジスタのチャネル幅の増大を防ぐことができる。
【０１０４】
また、本発明によると、全て同一の低しきい値のＭＯＳトランジスタで回路を構成することができるので、プロセスが簡素化することができる。
【０１０５】
また、ＣＭＯＳ信号論理回路を用いることにより、別電源論理回路からの信号を用いるのでレベル変換回路が不要となり、回路が簡素化され、面積を削減することができる。
【０１０６】
また、待機時電流制御用ＭＯＳトランジスタを複数直列構成とすることにより、ＣＭＯＳ論理回路及び待機時電流制御用ＭＯＳトランジスタについて、過大な電圧をどこにも加えないで用いることができので、信頼性の向上に極めて有効である。
【０１０７】
さらに、本発明は、半導体集積回路装置の微細化が進み、耐圧が下がる傾向にあるＭＯＳトランジスタを含む半導体集積回路装置において、その実現において顕著な効果を有する。
【０１０８】
さらに、本発明は、低消費電力であるため、例えば、ＰＤＡ、ＰＨＳ、携帯電話等の携帯機器をはじめ、電池で使用する機器等に応用することにより、極めて顕著な効果を奏することができる。
【図面の簡単な説明】
【図１】本発明に係る第１の実施の形態の半導体集積回路装置の構成図。
【図２】本発明に係る第２の実施の形態の半導体集積回路装置の構成図。
【図３】本発明に係る第３の実施の形態の半導体集積回路装置の構成図。
【図４】本発明に係る第４の実施の形態の半導体集積回路装置の構成図。
【図５】レベル変換回路（１）の回路構成図。
【図６】レベル変換回路（２）の回路構成図。
【図７】本発明に係る第５の実施の形態の半導体集積回路装置の構成図。
【図８】本発明に係る第６の実施の形態の半導体集積回路装置の構成図。
【図９】本発明に係る第７の実施の形態の半導体集積回路装置の構成図。
【図１０】本発明に係る第８の実施の形態の半導体集積回路装置の構成図。
【図１１】本発明に係る第９の実施の形態の半導体集積回路装置の構成図。
【図１２】本発明に係る第１０の実施の形態の半導体集積回路装置の構成図。
【図１３】本発明に係る第１１の実施の形態の半導体集積回路装置の構成図。
【図１４】本発明に係る第１２の実施の形態の半導体集積回路装置の構成図。
【図１５】ＣＭＯＳ信号論理回路の構成図。
【図１６】本発明に係る第１３の実施の形態の半導体集積回路装置の構成図。
【図１７】本発明に係る第１４の実施の形態の半導体集積回路装置の構成図。
【図１８】レベル変換回路（３）の回路構成図。
【図１９】ＣＭＯＳ信号論理回路の構成図。

【図２０】従来のＭＴ－ＣＯＭＳ回路の構成図。

【符号の説明】

ＭＰ１、ＭＰ２、ＭＰ３、ＭＰ４　ＰチャネルＭＯＳトランジスタ

ＭＮ１、ＭＮ２、ＭＮ３、ＭＮ４　ＮチャネルＭＯＳトランジスタ

Ｐ１　第１の電源線

Ｐ２　第２の電源線

Ｐ３　第３の電源線

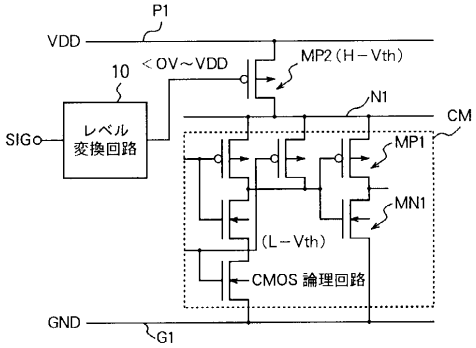
Ｇ１　接地線

ＣＭ　ＣＭＯＳ論理回路

１０～１３　レベル変換回路

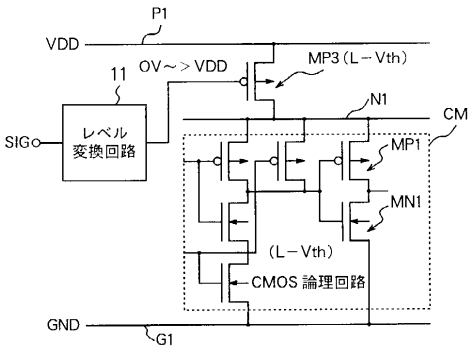
２０～２３　ＣＭＯＳ信号論理回路

【図１】



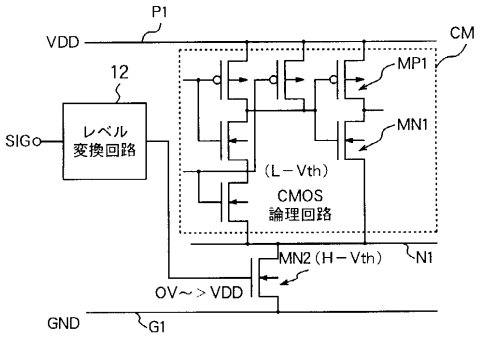
本発明の第１の実施例

【図２】



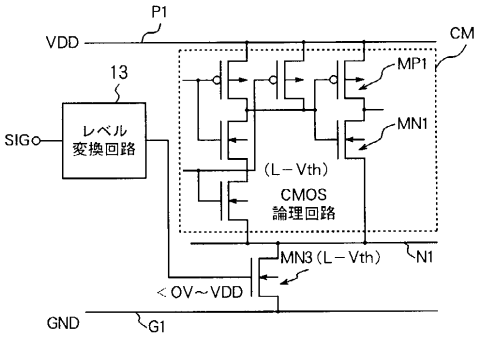
本発明の第２の実施例

【図３】



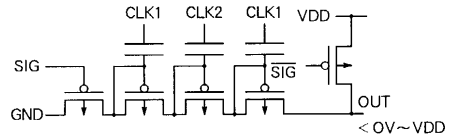
本発明の第３の実施例

【図４】



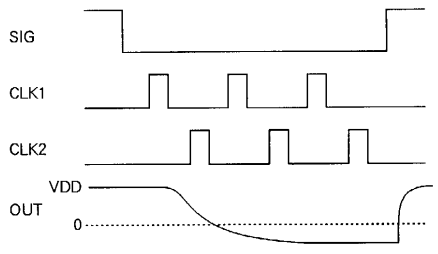
本発明の第４の実施例

【図５】



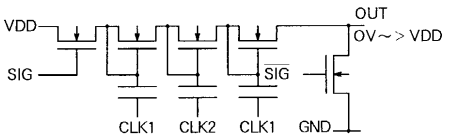
レベル変換回路(1)

(A)



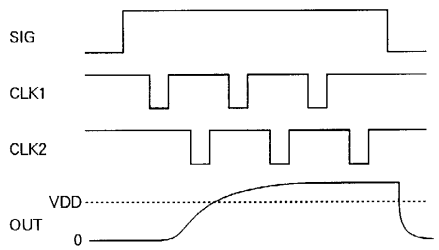
(B)

【図６】



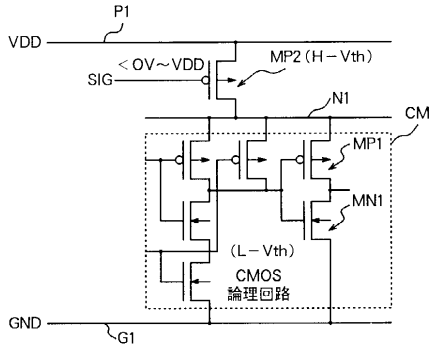
レベル変換回路(2)

(A)



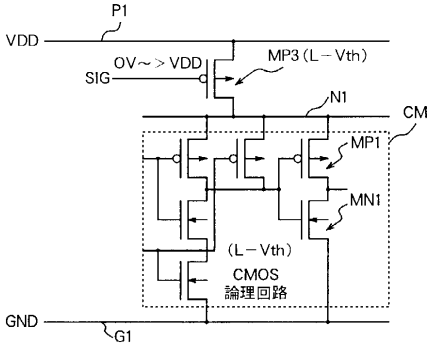
(B)

【図７】



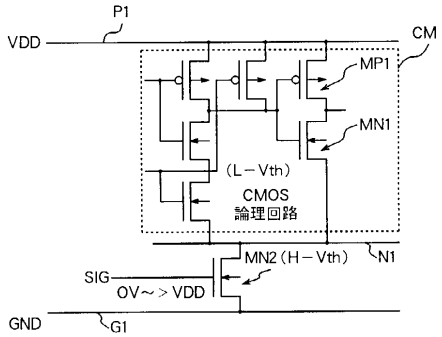
本発明の第５の実施例

【図８】



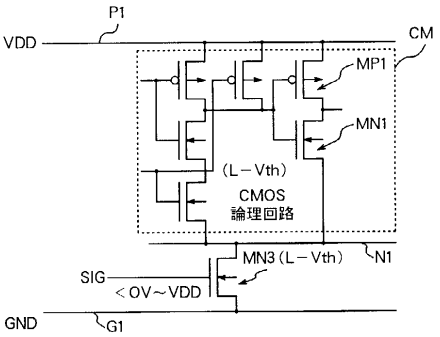
本発明の第６の実施例

【図９】



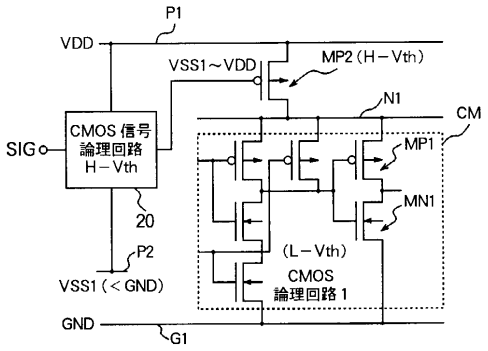
本発明の第７の実施例

【図１０】



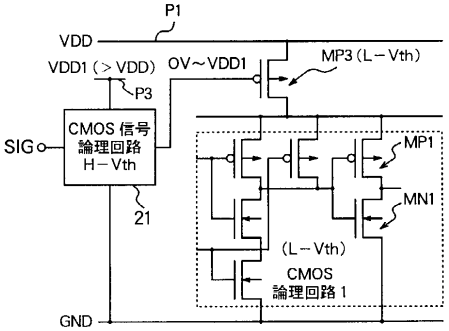
本発明の第８の実施例

【図１１】



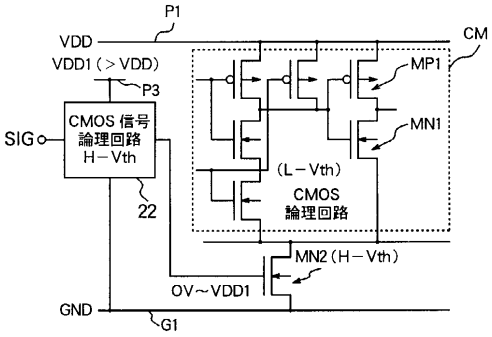
本発明の第 9 の実施例

【図１２】



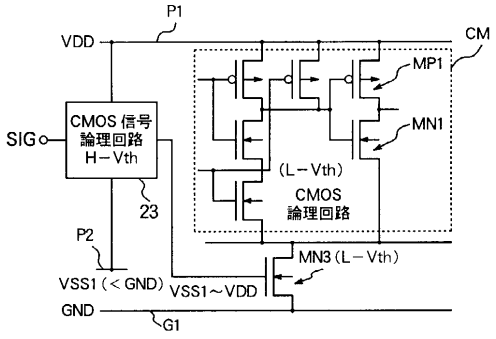
本発明の第 10 の実施例

【図１３】



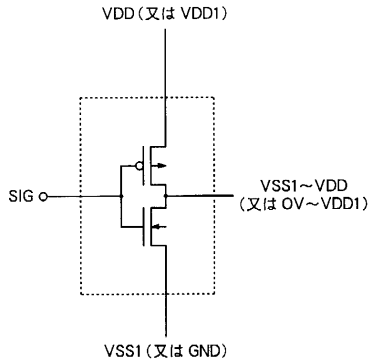
本発明の第 11 の実施例

【図１４】



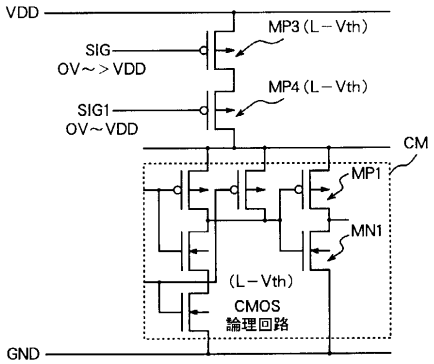
本発明の第 12 の実施例

【図１５】



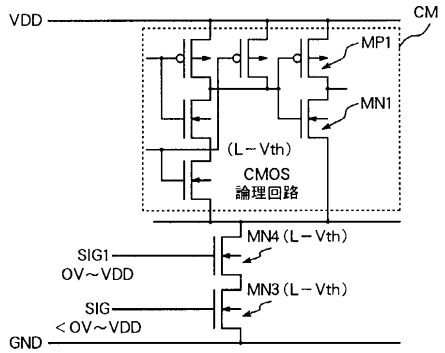
CMOS 信号論理回路

【図１６】



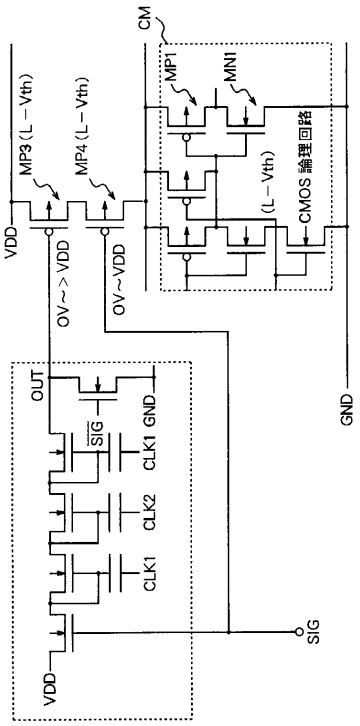
本発明の第 13 の実施例

【図１７】

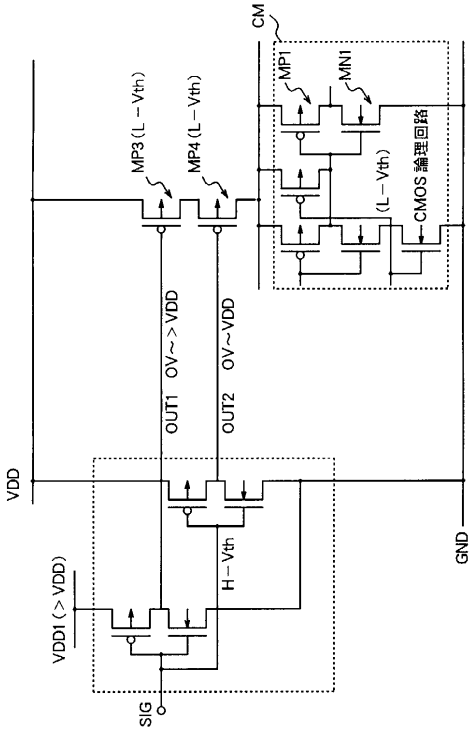


本発明の第 14 の実施例

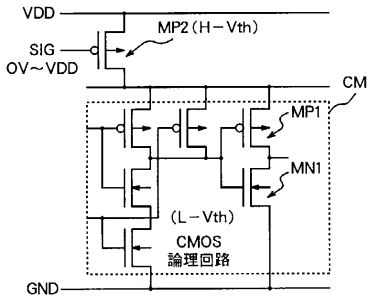
【図１８】



【図１９】



【図２０】



従来例(MT－CMOS 回路)

フロントページの続き

(72)発明者 藤 田 哲 也
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝 半導体システム技術センター内
(72)発明者 黒 田 忠 広
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝 半導体システム技術センター内
(72)発明者 松 原 玄 宗
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝 半導体システム技術センター内
(72)発明者 櫻 井 貴 康
東京都港区六本木七丁目２２番１号 東京大学 生産技術研究所内

審査官 江嶋 清仁

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03K 17/687
H01L 21/8238
H01L 27/092
H03K 19/0948