[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03M 1/00
H03M 1/06

[12] 发明专利说明书

[21] ZL 专利号 97193247.6

[45] 授权公告日 2004 年 1 月 14 日

[11] 授权公告号 CN 1134893C

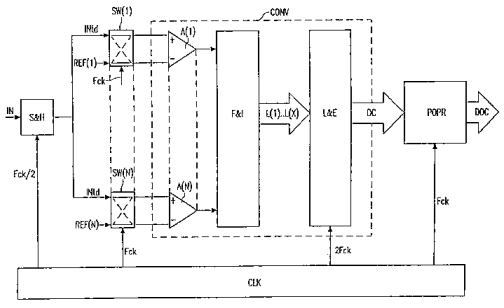
[22] 申请日 1997.10.20 [21] 申请号 97193247.6
[30] 优先权
[32] 1996.11.29 [33] EP [31] 96203374.2
[86] 国际申请 PCT/IB97/01314 1997.10.20
[87] 国际公布 WO98/24187 英 1998.6.4
[85] 进入国家阶段日期 1998.9.22
[71] 专利权人 菲利浦电子有限公司
地址 荷兰艾恩德霍芬
[72] 发明人 R·J·范德普拉斯彻
A·G·W·维内斯
审查员 邓 茜
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 吴增勇 陈景峻

权利要求书 2 页 说明书 9 页 附图 6 页

[54] 发明名称 模数转换器

[57] 摘要

在模数转换中根据输入信号(IN)和至少一个参考电平(REF)之间的各次比较来获得数字码(DC)。为了改善模数转换性能，进行关于起码一次比较(A)的输入信号(IN)和相应的参考电平(REF)之间的交换。 这样处理(POPR)数字码(DC)、以便获得各自的符号和数值起码就平均而言基本上与任何交换无关的数字输出码(DOC)。



ISSN1008-4274

1.一种模数转换装置，它有一个转换电路(CONV)，所述转换电路根据耦合在所述转换电路的输入端上的至少一个参考电平(REF)之间与输入信号(IN)的各次比较来提供数字码(DC)，其特征在于所述模数转换装置包括：

开关装置(SW)，通过该开关装置输入信号（IN）和参考电平（REF）耦合到所述转换电路的输入端，所述开关装置用于进行关于至少一次比较的输入信号(IN)与相应的参考电平(REF)之间在所述输入端的连接的交换；和

后处理装置(POPR)，它和转换电路（CONV）耦合，用于处理数字码(DC)来获得数字输出码(DOC)，后者的各个符号和数值至少从平均的角度看来是与任何交换基本上无关的。

2.权利要求1的模数转换装置，其特征在于：所述后处理装置(POPR)包括确定交换前的数字码(DC(i)+)与交换后的数字码(DC(i)-)之间的差(Δ)从而按照所述差（Δ）的函数提供数字输出码(DOC(i))的装置。

3.权利要求1的模数转换装置，其特征在于：连接所述开关装置(SW)到一个伪随机产生电路（PRG）以便以随机方式进行所述交换，以及所述后处理装置(POPR)包括根据所述交换来把数字码(DC)反相或不反相的反相器(INV)。

4.权利要求1的模数转换装置，其特征在于所述后处理装置(POPR)包括：

误差导出装置(DEL,ALU)，用于从交换前的数字码(DC(0)+)与交换后的数字码(DC(0)-)的和导出错码(c ε)；

用于存储错码(c ε)的存储装置(MEM)；和

修正装置(SUB)，用于利用错码(c ε)修正其后的数字码DC(i)，来获得数字输出码DOC(i)。

5.权利要求1的模数转换装置，其特征在于包括取样和保持装置(S&H)，所述取样和保持装置(S&H)用于把输入信号(IN)以时间离散形式(INtd)送到转换电路(CONV)。

6.权利要求5的模数转换装置，其特征在于：连接所述开关装

置(SW)到时钟电路（CLK），以便以取样和保持装置(S&H)的双倍的取样率进行所述交换。

7.权利要求1的模数转换装置，其特征在于：所述转换电路(CONV)包括内插电路(INT)，输入级阵列（...A（i）A（i+1）...）和锁存器阵列（...L(j)L(j+1)L(j+2)....），由此所述内插电路（INT）连接在执行比较的输入级阵列(..A(i),A(i+1)..)与提供数字码（DC）的锁存器阵列(..L(j)、L(j+1),L(j+2)..)之间。

8.一种模数转换的方法，它包括根据输入信号(IN)与至少一个参考电平(REF)之间的各次比较来获得数字码(DC)的步骤,其特征在于所述方法还包括下面的步骤：

在比较前交换(SW)输入信号和相应的参考电平;

处理(POPR)数字码(DC)来获得数字输出码(DOC),后者各自的符号和数值至少从平均的角度看来是与任何交换基本上无关的。

9.一种信号处理装置,其特征在于包括数字信号处理电路(DSP)和权利要求1的模数转换装置(ADC),后者用于把数字信号(DIN)提供给所述数字信号处理电路。

模数转换器

本发明涉及模数(A/D)转换装置和方法，其中根据各输入信号与起码一个参考电平之间的各次比较来获得数字码。本发明还涉及包括这种模数转换装置的信号处理装置。

US-A 4,831,379(代理人档案 PHA1,137)描述了一种现有技术的模数转换器。所述现有技术模数转换器包括有 64 个输入放大器的阵列。假定 i 是从 0 到 63 的整数,每个放大器 Ai 放大模拟输入电压与对应的参考电压 VRi 之间的差,以便产生放大的输出电压 VAi。放大后的输出电压 VA0-VA63 在折叠阵列和内插电路中处理，以便产生互补信号 VD0/VDN0...VD31/VDN31，输出电路从这些信号导出数字输出码。

本发明的目的是提供一种模数转换器,相对于现有技术，它提供更好的模数转换特性。

根据本发明提供一种模数转换装置，它有根据输入信号(IN)与起码一个参考电平(REF)的各次比较来提供数字码(DC)的转换电路(CONV)，所述模数转换装置包括：开关装置(SW)，用于进行关于起码一次比较的输入信号(IN)与相应的参考电平(REF)之间的交换；以及后处理装置(POPR)，用于处理数字码(DC)来获得数字输出码(DOC)，后者的各个符号和数值起码从平均的角度看来是与任何交换基本上无关的。

安排所述后处理装置(POPR)来提供作为交换前的数字码(DC(i)+)与交换后的数字码(DC(i)-)之间的差(Δ)的函数的数字输出码(DOC(i))。

连接所述开关装置(SW)以便以随机方式进行所述交换，以及所述后处理装置(POPR)包括根据所述交换来把数字码(DC)反相或不反相

的反相器(INV).

所述后处理装置(POPR)包括：误差导出装置(DEL,ALU)，用于从交换前的数字码(DC(0)+)与交换后的数字码(DC(0)-)的和导出错码(c ε)；用于存储错码(c ε)的存储装置(MEM)；以及修正装置(SUB)，用于利用错码(c ε)修正其后的数字码DC(i)，来获得数字输出码DOC(i)。

本发明的模数转换装置包括取样和保持装置(S&H)，后者用于把输入信号(IN)以时间离散形式(INtd)送到转换电路(CONV).

连接所述开关装置(SW)，以便以取样和保持装置(S&H)的双倍的取样率进行所述交换。

所述转换电路(CONV)包括内插电路(INT)，它连接在执行比较的输入级阵列(..A(i),A(i+1)..)与提供数字码（ DC ）的锁存器阵列(..L(j)、L(j+1),L(j+2)..)之间。

本发明提供一种模数转换的方法，它包括根据输入信号(IN)与起码一个参考电平(REF)之间的各次比较来获得数字码(DC)的步骤，所述方法还包括下面的步骤：在比较前交换(SW)输入信号和相应的参考电平；处理(POPR)数字码(DC)来获得数字输出码(DOC)，后者各自的符号和数值起码从平均的角度看来是与任何交换基本上无关的。

本发明提供一种信号处理装置，它包括数字信号处理电路(DSP)和如上所述的模数转换装置(ADC)，后者用于把数字信号(DIN)提供给所述数字信号处理电路。

本发明考虑下面的几个方面。模数转换特性基本上决定于有效地与输入信号比较的一个或多个参考电平。实际上,有效地与输入信号比较的参考电平在或大或小的程度上偏离标称参考电平，而所谓标称参考电平就是如果不存在这种偏离，则利用此标称参考电平会获得最佳模数转换特性。这种偏离的原因是一起执行模数转换的元件受到公差、温度依赖性等等因素的损害。这种损害不但加到一起提供与输入信号比较的参考电平的参考电平元件上，还加到一起执行比较和其他操作、以便获得数字码的转换元件上。

根据本发明，进行关于起码一次比较的输入信号和相应的参考电平之间的交换。如果转换元件是理想的,则对于一定的输入信号电平，交换前和交换后的数字码将只在符号上而不在数值上有差别。可是，因为转换元件受到公差、温度依赖性等等因素的损害，所以，数字码将会由于交换的结果而在数值上有差别。根据本发明，对数字码进行处理来获得数字输出码，这些数字输出码的各自的符号与数值起码在平均上是与任何交换基本上无关的。这显著地减小了公差、温度依赖性等等因素可能对模数转换特性产生的不良影响。作为一个例子，在基于多个标称等距的参考电平的模数转换器中,本发明提供比现有技术好得多的线性。

本发明的其它优点如下。相对于现有技术，使用只需满足不太严厉的在公差、温度依赖性等等因素方面的要求的元件，就能获得满意的模数转换特性。结果，相对于现有技术，本发明还提供更加经济有效的实施方案，例如，只利用 MOS 晶体管的实施方案。另一个结果是，如果以集成电路来实施模数转换，则与现有技术相比，可以使用更小的元件。较小的元件有较小的寄生电容，这对模数转换器的高频特性有好处。此外，较小的元件会给模数转换器电路以外的其它电路留出更多的空间。这样，本发明特别适合于把模数转换与数字信号处理结合在单个信号处理装置的情况，例如以集成电路的形式。

参考下面要描述的附图，将阐述和明白本发明和有利实施本发明的可供选择采用的附加特性。

在附图中，

图 1 以概念图的形式说明本发明的基本原理;

图 2a 以概念图的形式说明获得数字输出码的第一种方式;

图 2b 以方框图的形式表示以图 2a 方式提供数字码的后处理电路的例子;

图 3a 和 3b 一起以概念图的形式说明获得数字输出码的第二种方式;

图 3c 以方框图的形式表示以图 3a-3b 方式提供数字码的后处理电路的例子;

图 4a 以概念图的形式说明获得数字输出码的第三种方式;

图 4b 以方框图的形式表示以图 4a 方式提供数字码的后处理电路的例子;

图 5 以信号图的形式说明有利于实施本发明的可供选择采用的取样和保持操作;

图 6 以概念图的形式说明有利于实施本发明的可供选择采用的交换方式;

图 7 以方框图的形式表示有利于实施本发明的可供选择采用的转换电路的一个例子;

图 8 以方框图的形式表示根据本发明的模数转换装置的例子; 以及

图 9 以方框图的形式表示根据本发明的数字信号处理装置。

在所有附图中,相似的元件以相似的参考符号表示。

图 1 说明本发明的基本原理。转换电路 CONV 根据输入信号 IN 与起码一个参考电平 REF 之间的各次比较提供数字码 DC。进行关于起码一次比较的输入信号 IN 和相应的参考电平 REF 之间的交换。图 1 以一对方向相反的箭头和可以把所述信号加到其上的转换电路的正(+)输入端+和负(-)输入端-来说明这一点。后处理电路 POPR 处理数字码 DC，以便获得数字输出码 DOC，起码从平均的角度看，所述各数字输出码的各自的符号与数值与任何交换基本上无关。

有几种方式可以用来获得数字输出码 DOC。下面将参考图 2a、2b、 3a、 3b、 3c、 4a 和 4b 来讨论三种方式。

图 2a 说明获得所希望的数字输出码 DOC 的第一种方式。提供作为交换前的数字码 DC(i)+和交换后的数字码 DC(i)-的差 Δ 的函数的数字输出码 DOC(i)。形成转换电路 CONV 的一部分的元件的任何公差、温度依赖性等等因素（今后称为转换元件非理想性质）将在基本上相

同的程度上影响数字码DC(i)+和DC(i)-。在图2a,数字码DC(i)+和数字码DC(i)-有例如数值误差+ ε，后者是由于转换元件非理想性质造成的。可是，这些数字码DC(i)+和DC(i)-之间的差与数值误差+ ε无关，结果，只取决于相对于相应的参考电平REF的输入信号IN。这样，图2a的方式使得模数转换特性对转换元件非理想性质基本上不敏感。

图2b表示以图2a方式提供数字输出码DOC的后处理电路的一个例子。图2b的后处理电路包括延迟电路DEL和减法电路SUB。延迟电路DEL把从转换电路CONV接收到的数字码DC(i)+延迟。减法电路SUB把代码DC(i)-减去从延迟电路DEL接收到的代码DC(i)+，或者相反。此外，减法电路SUB可以任选地放大这样获得的数字码DC(i)+和DC(i)-之间的差值Δ，从而获得数字输出码DOC(i)。

图3a和3b一起说明获得所希望的数字输出码DOC的第二种方式。图3a表示一串数字码DC(i),DC(i+1)..DC(i+N),这串数字码是当以随机的方式进行输入信号IN与各自参考电平REF交换时得到的。结果，对每个数字码，有百分之五十的机会(p =50%)取正号,而有百分之五十的机会(p =50%)取负号。在图3a,正号的数字码表示于时间轴t的+侧,而负号的数字码表示于时间轴t的-侧。所有的数字码DC(i),DC(i+1)..DC(i+N)有由于转换元件非理想性质造成的数值误差+ ε。

图3b表示根据以随机的方式进行的交换、通过倒置或不倒置数字码DC(i),DC(i+1)..DC(i+N)而获得的数字输出码DOC(i),DOC(i+1)..DOC(i+N)。结果，数值误差+ ε被有效地转换成白噪声，因为在数字输出码DOC(i),DOC(i+1)..DOC(i+N)中,数值误差的符号随机变化。在图3a和3b方式中，为建立数字输出码只需要一个数字码，而在图2a的方式中，为建立数字输出码需要两个数字码。这样图3a-3b方式提供比图2a方式高的转换速度。

图3c表示以图3a-3b方式提供数字输出码DOC的模数转换装置

的例子．图 3c 的模数转换装置包括开关电路 SW，后者耦合到假随机信号发生器电路 PRG、用于以随机的方式交换输入信号 IN 和相应的参考电平 REF．后处理电路 POPR 包括可控反相器 INV．可控反相器 INV 也耦合到假随机信号发生器电路 PRG，用于根据交换来倒置或不倒置数字码 DC．

图 4a 说明获得所希望的数字输出码 DOC 的第三种方式．图 4a 中已经分别获得交换前和交换后的数字码 DC(i)+和 DC(i)-．这两个数字码都有由于转换元件非理想性质造成的数值误差+ε．数字码 DC(i)+和 DC(i)-的和 Σ基本上等于 2ε．错码 cε从这和 Σ导出,被存储并且随后被用于修正其后的数字码 DC(i)，以便获得数字输出码 DOC(i)．这样，图 4a 方式允许基本上消除每一个数字输出码的数值误差+ε,这也是图 2a 方式中的情况．此外，图 4a 方式提供比图 2a 方式更高的转换速度．

图 4b 表示以图 4a 方式提供数字输出码 DOC 的后处理电路 POPR 的例子．它包括选择器 SEL、延迟电路 DEL、算法电路 ALU、存储器 MEM 和减法电路 SUB．图 4b 的后处理电路 POPR 可工作于校正方式和转换方式．在校正方式中,选择器 SEL 在位置 C，并把数字码 DC(0)+和 DC(0)-送到算法电路 ALU,在那里，延迟电路 DEL 延迟数字码 DC(0)+．算法电路 ALU 计算修正码 cε,并把它存储在存储器 MEM．在转换方式中,选择器 SEL 处在位置 D,并且向减法电路 SUB 提供数字码 DC(i)．存储器 MEM 向减法电路 SUB 提供错码 cε,减法电路 SUB 把错码 cε减去数字码 DC(i)．结果，获得数字输出码 DOC(i)．

下面解释获得数字输出码 DOC 的图 4a 方式．实际上,图 4a 所说明的数值误差+ε可以作为输入信号 IN 数值的函数而变化，尤其是使用多个参考电平时．在这种情况下，对于各种相应的数值，确定并接着存储多个错码 cε(1)，cε(2)，...cε(K)是有好处的．为了修正某些数字码，从多个修正码 cε(1)，cε(2)，...cε(K)中根据最佳数值匹配

来选择错码。也可以任选地选择两个或更多的错码,以便在这些错码之间进行内插。然后，使用这样获得的内插后的错码来修正相关的数字码。这种内插法的好处是,为了足够精确的修正，需要相对小的存储器容量。

有利实施本发明的可供选择的方案是使用取样和保持电路来把输入信号 IN 以时间离散的方式送到转换电路 CONV。将参考图 5 来解释这种方案的好处。图 5 是信号图,其水平轴代表时间(t),而纵轴代表数值(M)。它以虚线表示输入信号 IN，而以实线表示未示出的取样和保持电路所获得的输入信号 IN 的时间离散形式 INtd。

图 5 中，输入信号 IN 被送到转换电路 CONV，并且，在例如 t1 和 t2 之间发生与相应的参考电平 REF 的交换，交换前和交换后所获得的数字码在数值上将不同。这种数值差将不只是由于转换元件的非理想性质造成，也由于输入信号 IN 本身的变化而造成。这会减小后处理电路 POPR 能够抵消转换元件非理想性质的有害影响的程度。可是，如果把输入信号 IN 的时间离散形式 INtd 加到转换电路 CONV，则在性能上的这种降低将不会发生。

除了上述的可供选择的方案外,另一个有利于实施本发明的可供选择的方案是对输入信号 IN 的时间离散形式 INtd 以双倍的取样率进行交换。在图 6 结合图 5 说明了这种可供选择的方案。图 6 有与图 5 的对应的时间轴 t。取样周期 Δt 是 t1 和 t2 之间的差。因此，取样率为 1/Δt。图 6 说明通过+行和-行来进行交换，在这些行中可以放置要比较的电平，即 INtd 和 REF。在时间间隔 Δt/2 后,信号在两行上改变位置，也就是说,交换它们的位置。

再另一个有利实施本发明的可供选择的方案是：图 1 转换电路 CONV 包括内插电路，后者连接在执行比较的输入级阵列与提供数字码 DC 的锁存器阵列之间。将参考图 7 解释这种方案的好处。图 7 表示两个输入级 A(i)和 A(i+1)、内插电路 INT 和三个锁存器 LA(j)、LA(j+1)和 LA(j+2)。输入级 A(i)和 A(i+1)把输入信号 IN 与相应的参考

电平 REF(i)和 REF(i+1)进行比较，从而提供各自的比较信号 C(i)和 C(i+1)。内插电路 INT 对比较信号 C(i)和 C(i+1)作出响应，提供三个锁存器输入信号 L(j)、 L(j+1)和 L(j+2)。

如果图 7 中不存在内插电路 INT，则将要求三个而不是两个输入级来提供三个锁存器输入信号 L(j)、 L(j+1)和 L(j+2)。在这种情况下，将需要在 REF(i)和 REF(i+1)之间的附加的参考电平。结果，内插电路 INT 允许参考电平进一步隔开。如上所述，与输入信号 IN 作有效比较的参考电平偏离标称参考电平某一程度,而这种偏离部分是由于转换元件非理想性质所引起的。这偏离可能是大的，即两相邻的有效参考电平有与对应的标称参考电平的相反的高-低关系。在这种情况下，模数转换特性会是非单调的，这将引起严重的畸变。参考电平隔得越开，在模数转换特性变得非单调之前，偏离会越大。这样，在公差、温度依赖性等等因素方面，内插电路允许对转换元件有较宽松的要求。

图 8 表示根据本发明的包括上述可供选择的特征的模数转换装置。图 8 的模数转换装置包括下面的主要部分：取样保持电路 S&H 、开关电路阵列 SW(1)...SW(N)、转换电路 CONV 、后处理电路 POPR 和时钟电路 CLK 。转换电路 CONV 包括下面的部分：放大器阵列 A(1)...A(N)、折叠和内插电路 F&I 以及锁存和编码电路 L&E 。

图 8 中，取样保持电路 S&H 把输入信号 IN 转换成它的时间离散形式 INtd 。通过开关电路阵列 SW(1)...SW(N)，把时间离散形式 INtd 与相应的参考电平 REF(1)..REF(N)一起分别送到放大器阵列 A(1)...A(N)。放大器阵列 A(1)...A(N)把输入信号 IN 的时间离散形式与相应的参考电平 REF(1)..REF(N)分别进行比较。这些比较结果在折叠和内插电路 F&I 中进行处理，从而提供锁存器输入信号 L(1)...L(X)。锁存和编码电路 L&E 从提供给它的锁存器输入信号 L(1)...L(X)导出数字码 DC 。后处理电路 POPR 处理数字码 DC ，从而提供数字输出码 DOC 。这可以如例如图 2b 所示的那样来实施。时钟电路 CLK 向开关电路阵列 SW(1)...SW(N)和后处理电路 POPR 提供时钟信号 Fck 。它也

分别向取样保持电路 S&H 与锁存和编码电路 L&E 提供时钟信号 Fck/2 和 2Fck，它们的频率分别是时钟信号 Fck 的一半和两倍。

应该指出，国际专利申请 IB96/00834, IB96/00536 和 IB96/00869 (分别为代理人档案 PHN 15, 450; PHN 15, 845 和 PHN 15, 909) 描述了可以有利地用于折叠和内插电路 F&I 的技术。在此引入这些申请与任何相应的申请一起作为本文的参考。

图 9 表示数字信号处理装置，它包括数字信号处理电路 DSP 和根据图 1 的基本原理的模数转换装置 ADC。模数转换装置 ADC 对模拟输入信号 AIN 作出响应，把数字信号 DIN 送到数字信号处理电路 DSP。数字信号处理电路 DSP 处理数字信号 DIN，以获得所希望的数字输出信号 DOUT。

前面的附图及其描述用来说明本发明而不是用来限制本发明。显然，有许多可供选择的办法是处在所附的权利要求书的范围内的。在这方面，作下面结束性的评论。

有几种在各种单元上物理扩展功能或功能元件的方法。在这一方面，附图是非常概略的和只是分别表示本发明的一种可能的实施例。此外，本发明可以用包括几种截然不同的元件的硬件来实施，并且起码部分地用适当编程的计算机来实施。

应该广义地解释取样和保持这一词，以便包括例如跟踪和保持的意思。可以用例如美国专利 No. 5, 298, 801 (代理人档案 PHN 13, 834) 所描述的方法来实施图 8 所示的取样保持电路 S&H。

不应当把圆括号之间的任何参考符号作为对有关的权利要求的限制。

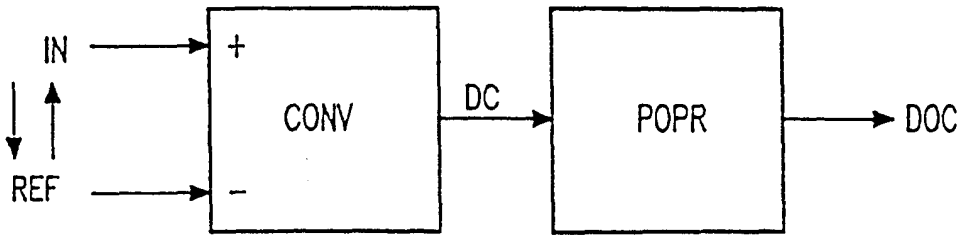

IN
REF
+
−
CONV
DC
POPR
DOC

图 1

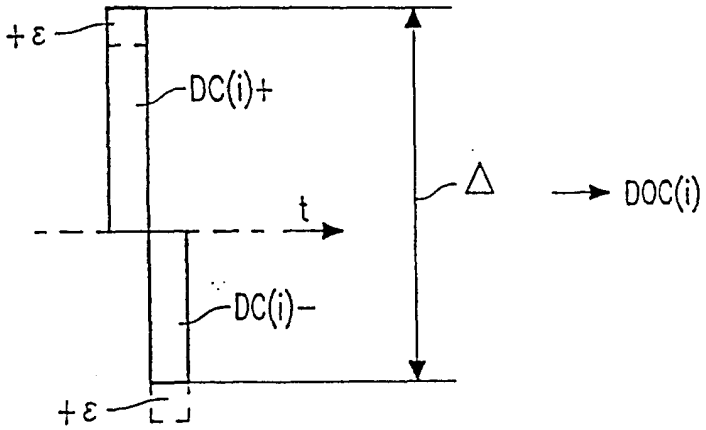

+ε
DC(i)+
t
Δ
DOC(i)
DC(i)−
+ε

图 2a

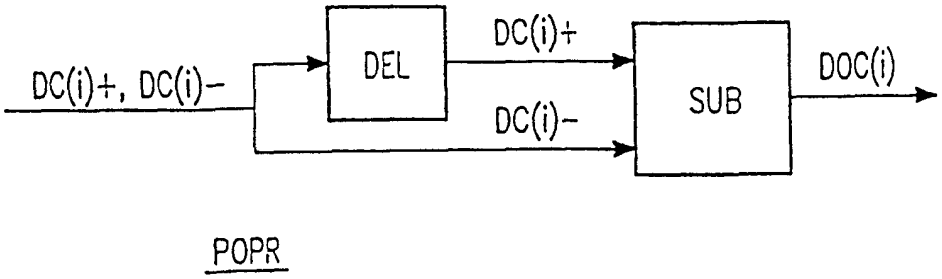

DC(i)+, DC(i)−
DEL
DC(i)+
DC(i)−
SUB
DOC(i)
POPR

图 2b

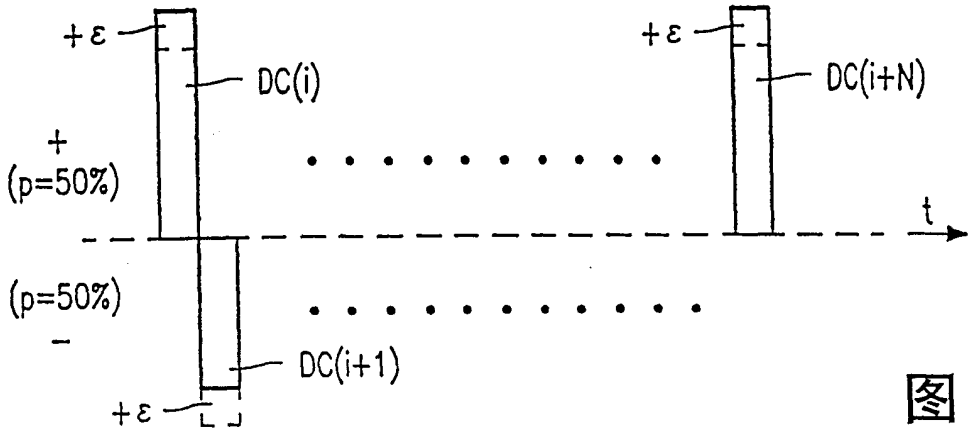

+ε
DC(i)
+
(p=50%)
(p=50%)
−
DC(i+1)
+ε
+ε
DC(i+N)
t

图 3a

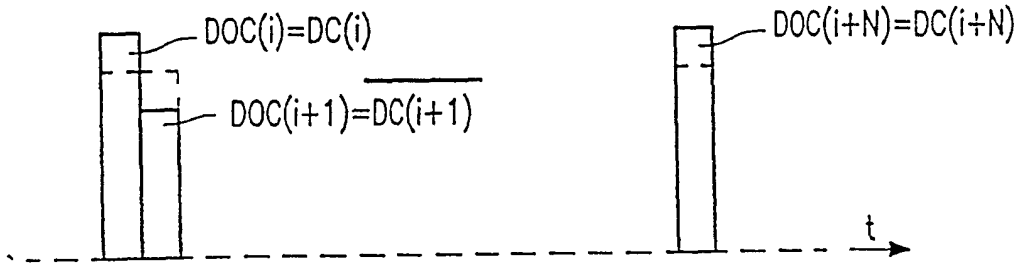

DOC(i)=DC(i)
DOC(i+1)=DC(i+1)
DOC(i+N)=DC(i+N)
t

图 3b

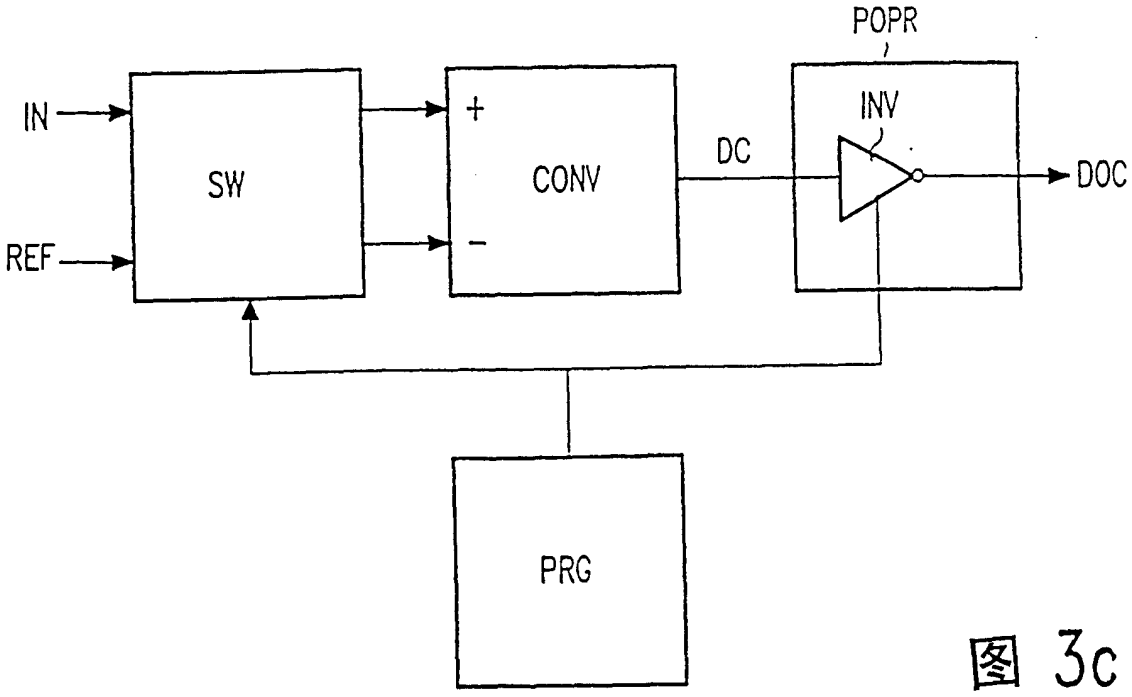

POPR
IN
REF
SW
+
−
CONV
DC
INV
DOC
PRG

图 3c

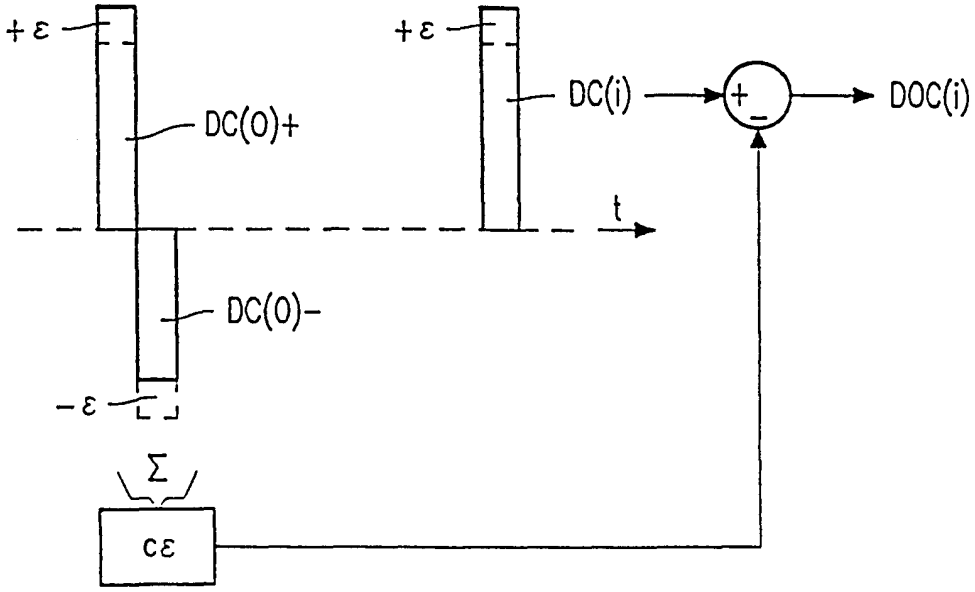

+ε
DC(0)+
+ε
DC(i)
+
−
DOC(i)
t
DC(0)−
−ε
Σ
cε

图 4a

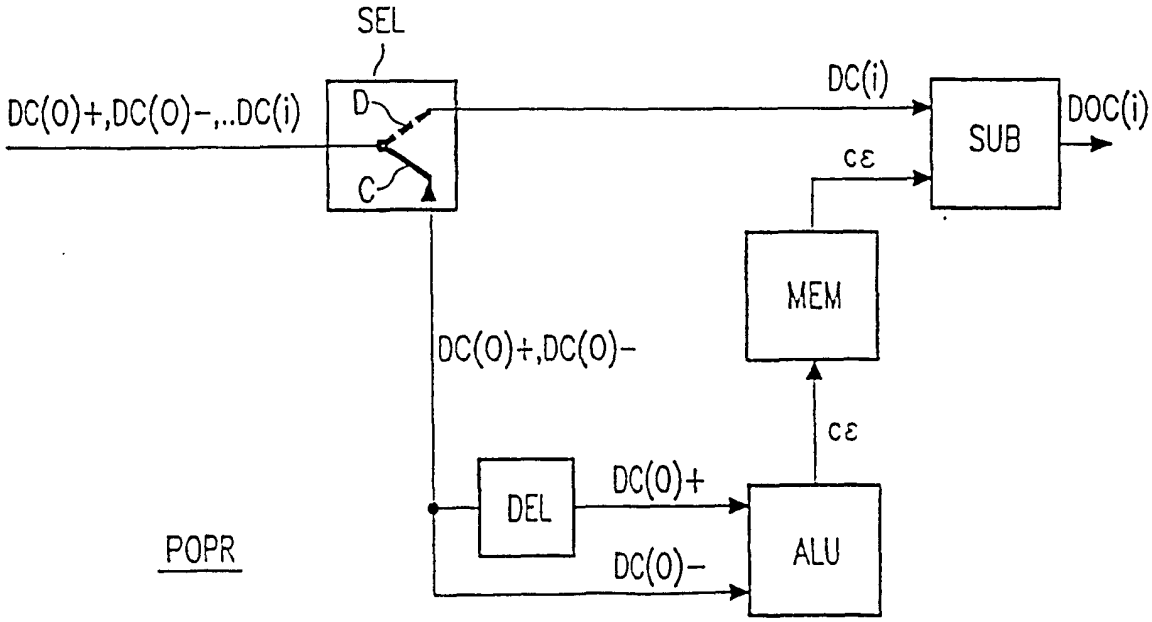

SEL
DC(0)+,DC(0)−,..DC(i)
D
C
DC(i)
SUB
DOC(i)
cε
MEM
DC(0)+,DC(0)−
cε
DEL
DC(0)+
DC(0)−
ALU
POPR

图 4b

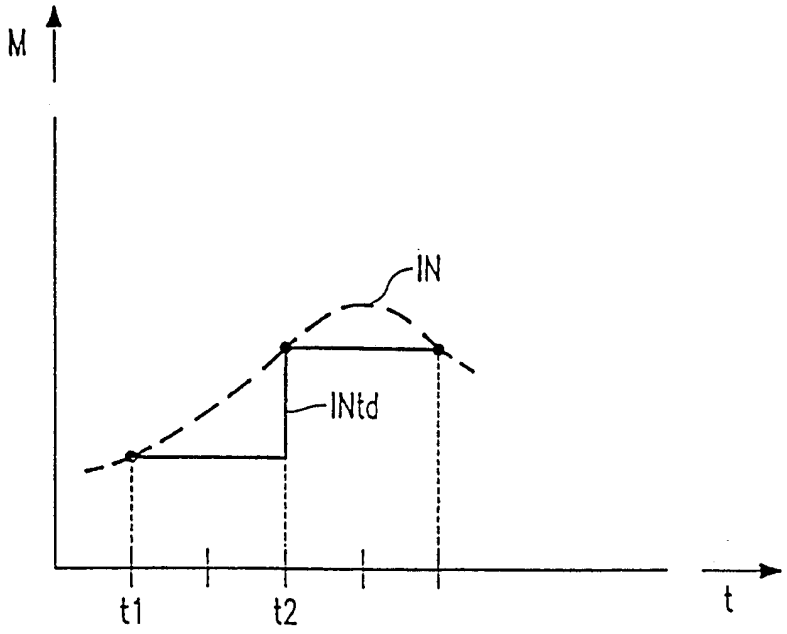


图 5

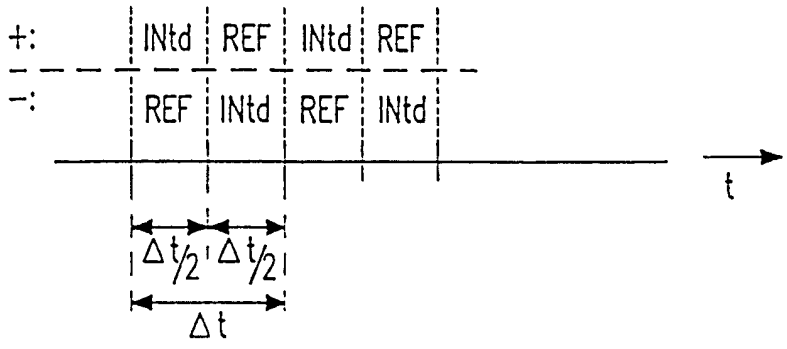


图 6

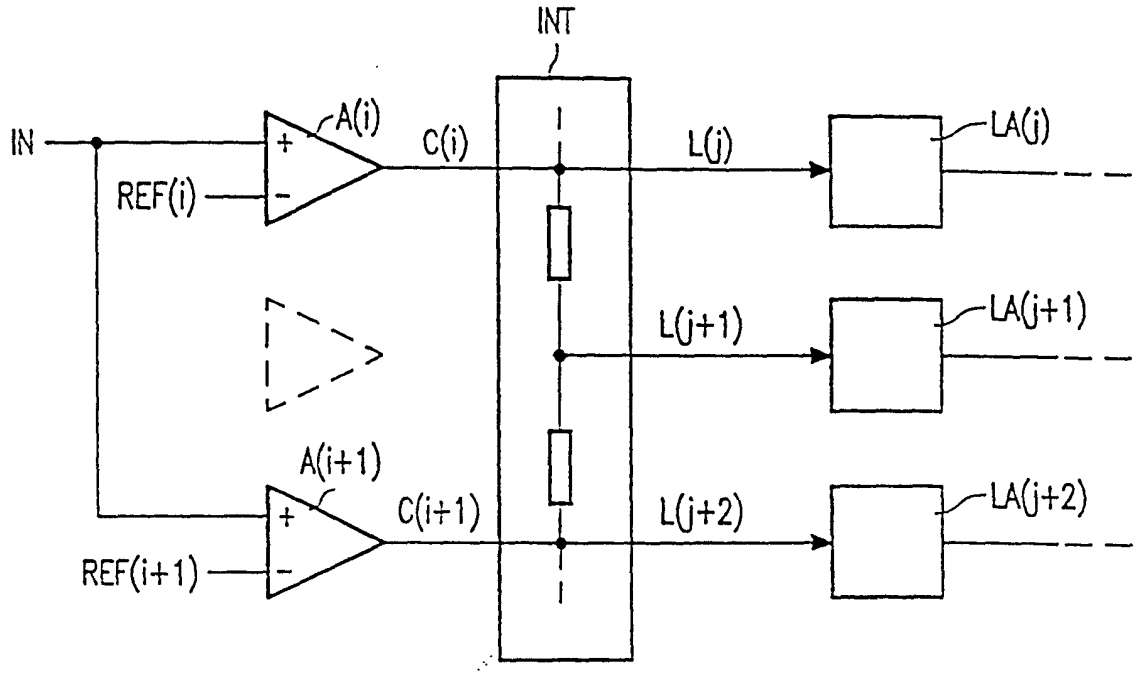
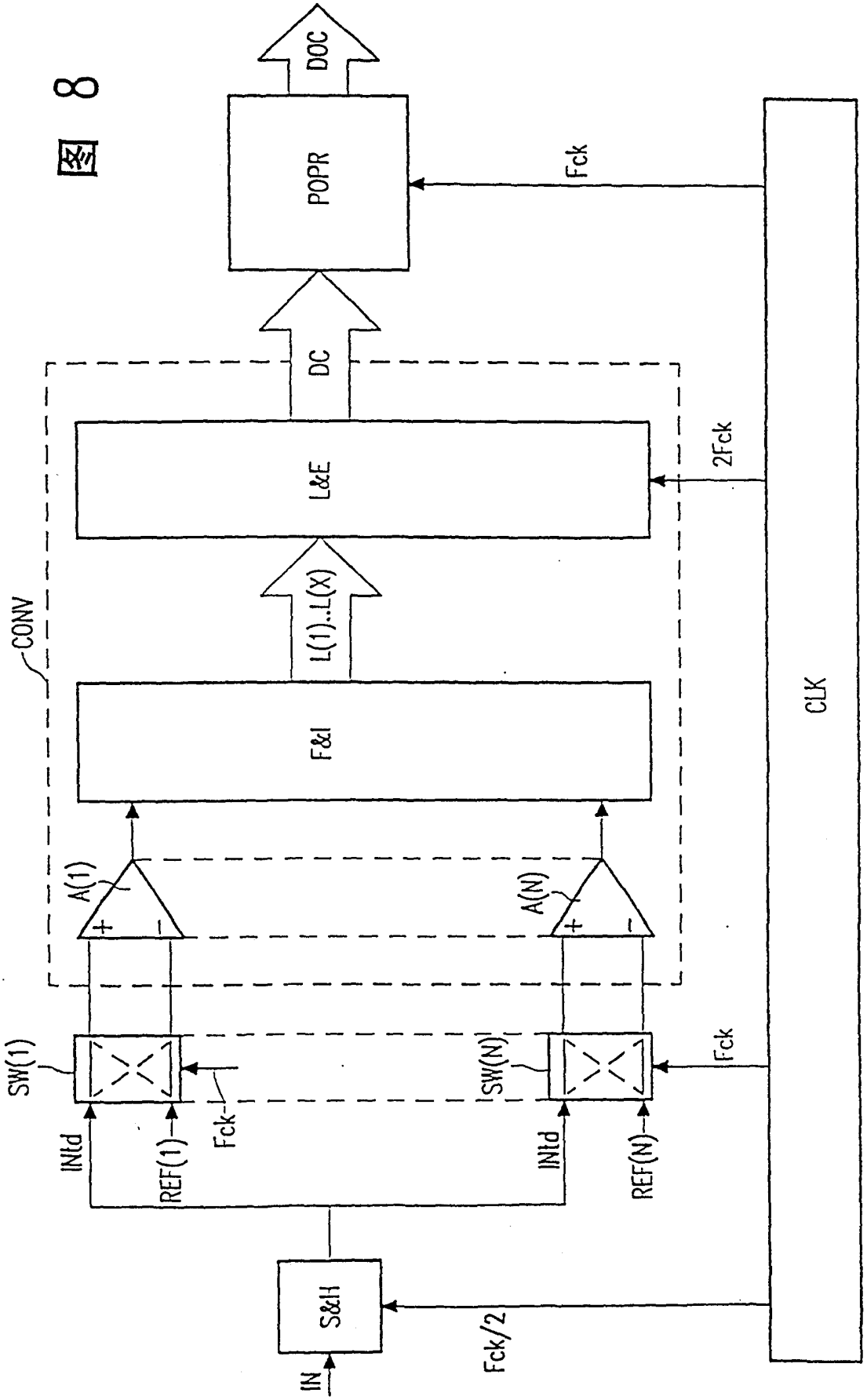

INT
IN
A(i)
C(i)
L(j)
LA(j)
REF(i)
L(j+1)
LA(j+1)
A(i+1)
C(i+1)
L(j+2)
LA(j+2)
REF(i+1)

图 7


AIN
ADC
DIN
DSP
DOUT

图 9

图 8


DOC
POPR
Fck
DC
L&E
2Fck
L(1)..L(X)
CONV
F&I
CLK
A(1)
A(N)
SW(1)
SW(N)
Fck
INtd
REF(1)
Fck
INtd
REF(N)
S&H
Fck/2
IN