

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4809510号  
(P4809510)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl. F I  
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 G  
 HO 1 L 21/316 (2006.01) HO 1 L 21/316 S

請求項の数 26 (全 14 頁)

(21) 出願番号	特願平10-304413	(73) 特許権者	591007686
(22) 出願日	平成10年10月26日(1998.10.26)		エルエスアイ コーポレーション
(65) 公開番号	特開平11-204793		アメリカ合衆国カリフォルニア州95035, ミルピタス, バーバー・レーン 1621
(43) 公開日	平成11年7月30日(1999.7.30)		
審査請求日	平成17年10月24日(2005.10.24)	(74) 代理人	100089705
(31) 優先権主張番号	957692		弁理士 社本 一夫
(32) 優先日	平成9年10月24日(1997.10.24)	(74) 代理人	100071124
(33) 優先権主張国	米国 (US)		弁理士 今井 庄亮
		(74) 代理人	100076691
			弁理士 増井 忠式
		(74) 代理人	100075236
			弁理士 栗田 忠彦
		(74) 代理人	100075270
			弁理士 小林 泰

最終頁に続く

(54) 【発明の名称】 部分的に作製された金属酸化物半導体デバイスのゲート酸化物を硬化させる方法

(57) 【特許請求の範囲】

【請求項 1】

部分的に作製された金属酸化物半導体デバイスのゲート酸化物を硬化させる方法であって、

ゲート酸化物の上に堆積されたポリシリコン層内に窒素イオンを注入する工程と、

アニーリング処理を行って、前記ゲート酸化物と前記ポリシリコン層との界面に第1の窒素濃度ピーク、及び、前記ポリシリコン層内に第2の窒素濃度ピークを形成する工程と、

前記ポリシリコン層の第1の部分除去し、前記ゲート酸化物の上に前記ポリシリコン層の第2の部分を残して、前記ポリシリコン層の第1の部分は前記第2の窒素濃度ピークを含み、前記ポリシリコン層の第2の部分は前記第2の窒素濃度ピークを含まないようにし、これによって、前記ポリシリコン層の第2の部分中の電子的に活性なドーパントの拡散が前記第2の窒素濃度ピークによって阻害されない工程と、

前記ポリシリコン層の前記第2の部分に電子的に活性なドーパントを注入する工程とを備えること、を特徴とする方法。

【請求項 2】

請求項1に記載の方法において、前記ゲート酸化物の厚さは、50 よりも薄いこと、を特徴とする方法。

【請求項 3】

請求項1に記載の方法において、前記電子的に活性なドーパントがホウ素であること、

10

20

を特徴とする方法。

【請求項 4】

請求項 1 に記載の方法において、前記電子的に活性なドーパントがリンであること、を特徴とする方法。

【請求項 5】

請求項 1 に記載の方法において、前記ポリシリコン層の厚さは、2,000 と 4,000 との間であること、を特徴とする方法。

【請求項 6】

請求項 5 に記載の方法において、前記ポリシリコン層の前記第 2 の部分の厚さは、750 と 2,500 との間であること、を特徴とする方法。

10

【請求項 7】

請求項 1 に記載の方法において、前記アニーリング処理は、800 と 1,000 との間の温度で実行されること、を特徴とする方法。

【請求項 8】

請求項 7 に記載の方法において、前記アニーリング処理は、900 で実行されること、を特徴とする方法。

【請求項 9】

請求項 1 に記載の方法において、前記ポリシリコン層の前記第 1 の部分を除去する工程に続き、更に、前記ポリシリコン層の前記第 2 の部分に電子的に活性なドーパントを注入する工程を備え、前記部分的に作製された金属酸化物半導体デバイスは、部分的に作製された NMOS デバイスに変換されること、を特徴とする方法。

20

【請求項 10】

請求項 1 に記載の方法において、前記ポリシリコン層の前記第 1 の部分を除去する工程に続き、更に、前記ポリシリコン層の前記第 2 の部分に電子的に活性なドーパントを注入する工程を備え、前記部分的に作製された金属酸化物半導体デバイスは、部分的に作製された PMOS デバイスに変換されること、を特徴とする方法。

【請求項 11】

請求項 1 に記載の方法において、更に、追加のポリシリコンを前記ポリシリコン層の前記第 2 の部分の上に堆積させて複合ポリシリコン層を形成する工程を備えること、を特徴とする方法。

30

【請求項 12】

請求項 11 に記載の方法において、前記ゲート酸化物の厚さは、50 よりも薄いこと、を特徴とする方法。

【請求項 13】

請求項 11 に記載の方法において、更に、電子的に活性なドーパントを前記複合ポリシリコン層に注入する工程を備えること、を特徴とする方法。

【請求項 14】

請求項 13 に記載の方法において、前記電子的に活性なドーパントは、ホウ素であること、を特徴とする方法。

【請求項 15】

請求項 11 に記載の方法において、前記ポリシリコン層の厚さは、2,000 と 4,000 との間であること、を特徴とする方法。

40

【請求項 16】

請求項 11 に記載の方法において、前記ポリシリコン層の前記第 2 の部分の厚さは、750 と 2,500 との間であること、を特徴とする方法。

【請求項 17】

請求項 11 に記載の方法において、前記追加のポリシリコンの厚さは、1,000 と 2,000 との間であること、を特徴とする方法。

【請求項 18】

請求項 11 に記載の方法において、前記複合ポリシリコン層の厚さは、1,500 と

50

3, 500 との間であること、を特徴とする方法。

【請求項19】

請求項11に記載の方法において、更に、前記複合ポリシリコン層に電子的に活性なドーパントを注入する工程を備え、前記部分的に作製された金属酸化物半導体デバイスは、部分的に作製されたPMOSデバイスに変換されること、を特徴とする方法。

【請求項20】

請求項1に記載の方法において、前記ポリシリコン層の第2の部分には、 $10^{19}$ 原子/cm<sup>3</sup>よりも高い窒素濃度のピークが存在しないように構成されたこと、を特徴とする方法。

【請求項21】

請求項1に記載の方法において、前記ゲート酸化物層の厚さは、20 と35 との間であること、を特徴とする方法。

【請求項22】

請求項1に記載の方法において、前記第1の窒素濃度ピークは、 $10^{20}$ 原子/cm<sup>3</sup>と $10^{21}$ 原子/cm<sup>3</sup>との間であること、を特徴とする方法。

【請求項23】

請求項1に記載の方法において、前記第2の窒素濃度ピークは、 $10^{19}$ 原子/cm<sup>3</sup>と $10^{20}$ 原子/cm<sup>3</sup>との間であること、を特徴とする方法。

【請求項24】

請求項1に記載の方法において、前記ポリシリコン層の前記第2の部分の窒素濃度は、 $10^{19}$ 原子/cm<sup>3</sup>を超えないこと、を特徴とする方法。

【請求項25】

請求項3に記載の方法において、前記ポリシリコン層の前記第2の部分のホウ素濃度は、少なくとも $5 \times 10^{19}$ 原子/cm<sup>3</sup>であること、を特徴とする方法。

【請求項26】

請求項11に記載の方法において、前記複合ポリシリコン層は、前記第1の窒素濃度ピーク及び前記第2の窒素濃度ピークのいずれの窒素濃度の20%よりも高い窒素濃度のピークを含まないこと、を特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイス、並びに、半導体デバイスを構成する方法に関する。より詳細に言えば、本発明は、窒素注入を行うことによって、ポリシリコンにイオン空乏領域を形成することなく、MOS半導体（金属酸化膜半導体）デバイスのゲート酸化物を硬化させる技術に関する。更に詳細に言えば、本発明は、ゲート酸化物の界面に十分な窒素濃度を有する領域を形成し、ポリシリコンのバルクには十分な窒素濃度を有する対応する領域を形成しないようにする方法を提供する。

【0002】

【従来の技術】

ゲート酸化物の硬化作業は、少なくとも3つの理由から必要とされる。第1の理由は、硬度が不十分なゲート酸化物は、通常の動作電圧よりも低い電圧において故障するということである。第2の理由は、硬化されたゲート酸化物は、ダングリング・ボンドを生じさせるホットエレクトロン劣化に抵抗するということである。最後の理由は、硬化されたゲート酸化物は、ポリシリコンゲート電極からのホウ素の拡散を阻止するのに特に効果的であるということである。これは、通常はホウ素がポリシリコンに設けられており、そのようなホウ素がゲート酸化物を通してシリコン基板へ拡散するのを防止し、これにより、敷居電圧の変動を最小限にしなければならない、PMOS（P型金属酸化膜半導体）において特に重要である。

【0003】

現在の半導体デバイスのサイズの減少に対応して、ゲート酸化物の厚さが圧縮されてきて

10

20

30

40

50

いるので、硬化作業は益々重要になってきている。ポリシリコンからシリコン基板へのドーパントの拡散が重要な問題になってきており、その理由は、現代の半導体デバイスにおいては、ゲート酸化物の領域が益々薄くなってきているからである。例えば、幾つかの次世代のデバイスにおいては、チャンネル長が、約  $0.18 \mu\text{m}$  となり、また、ゲート酸化物の厚さが約  $30 \text{ \AA}$  となるであろう。将来の世代のデバイスにおいては、チャンネル長及びゲート酸化物の厚さが共に減少し続けるであろう。従って、予測し得る将来に関して、ゲート酸化物の硬化作業は、現代の半導体デバイスの構造において重要なプロセスになるであろう。

#### 【0004】

一般的に、硬化作業は、形成後のゲート酸化物に窒素を拡散させることによって行われてきた。このプロセスにおいては、ゲート酸化物は、単結晶シリコン基板の上に熱的に成長される。次に、ゲート酸化物は、亜酸化窒素又は酸化窒素を含む約  $900^\circ\text{C}$  の雰囲気暴露され、この雰囲気は、ゲート酸化物/シリコン基板の界面に窒化ケイ素及びオキシナイトライド・シリコンを形成する。ゲート酸化物/シリコン基板の界面における窒素を含む化学種の濃度が高くなると、シリコン基板へのホウ素の拡散及びホットエレクトロンの劣化が防止されると共に、ゲート酸化物の降伏抵抗が改善される。

#### 【0005】

都合の悪いことに、窒素拡散による硬化作業はある種の欠点を有している。第一に、窒素拡散によるゲート酸化物の硬化作業の高温が、それ以前に注入されたドーパント領域の界面におけるシャープな濃度プロファイルを消してしまう。また、窒素拡散によるゲート酸化物の硬化作業は、ゲート酸化物からシリコン基板へのホウ素拡散は阻止するが、ポリシリコンからゲート酸化物へのホウ素拡散を防止することはできない。ゲート酸化物の誘電特性は、ホウ素の如き電子的に活性なドーパントによって悪影響を受ける。

#### 【0006】

窒素イオンをポリシリコンゲート電極に注入する窒素注入プロセスは、ゲート酸化物の窒素拡散硬化プロセスにおける欠陥の幾つかを矯正する (S. Haddad, et al., EKE Electron Device Letter, 8, 58-60, 1987; T. Kuroi, et al., Tech. Dig. of IEDM, 325-328, 1993; S. Nakayama, et al., 1996 Symposium on VLSI Technology, 228-229; A. Chou, et al., International Reliability Physics Symposium, 174-177, 1997)。これら文献は、ここで参照することにより、本明細書に含まれるものとする。

#### 【0007】

図1は、イオン注入されたMOSデバイスの主要な特徴を示している (Chou et al., 1997)。曲線2は、注入後の窒素分布プロファイルを表していて、ポリシリコンのピーク領域5に窒素が集中していることを示している。曲線4は、アニーリング処理の後の窒素分布プロファイルを表していて、シリコン基板/ゲート酸化物の界面(ピーク7)及びゲート酸化物/ポリシリコンの界面(ピーク9)に窒素が集中していることを示している。ゲート酸化物/ポリシリコンの界面に顕著な窒素濃度の領域が存在することにより、ポリシリコンからゲート酸化物へのホウ素拡散が阻止される。

#### 【0008】

しかしながら、図1の曲線4に示されており、また、図2に明瞭に示されているように、アニーリング処理を受けた後のポリシリコンゲート電極のバルクには、十分な窒素濃度を有するピークが存在している。次に、図2を参照すると、曲線12及び14は、窒素注入及び  $850^\circ\text{C}$  でのアニーリング処理の後のポリシリコンのバルクにおける窒素分布プロファイル及びホウ素分布プロファイルをそれぞれ示している。同様に、曲線18及び16は、窒素注入及び  $950^\circ\text{C}$  でのアニーリング処理の後のポリシリコンのバルクにおける窒素分布プロファイル及びホウ素分布プロファイルをそれぞれ示している。

#### 【0009】

10

20

30

40

50

図2を検討すると、ポリシリコンのバルクの窒素ピーク15、17のサイズは、ゲート酸化物の界面の付近のホウ素濃度プロファイルに悪影響を与えることを示している。グラフの左側( $x = 0.00$ )は、ポリシリコンゲートの上面に対応しており、また、右側は、窒素濃度のピークで示されるポリシリコン/ゲート酸化物の界面に対応している。ポリシリコンのバルクの窒素ピークが大きくなればなる程、ポリシリコン/ゲート酸化物の界面付近のポリシリコンのホウ素濃度は低くなる。

【0010】

ポリシリコンのバルクにおけるホウ素拡散の抑制により、デバイスの動作の間にポリシリコンの空乏領域が形成される。ポリシリコンの空乏領域は、ゲート酸化物の厚さを効果的に増大させてデバイスのパフォーマンスを低下させる非導電領域として作用する。

10

【0011】

いずれにしても、デバイスのサイズが小さくなるに従って、ゲート酸化物を硬化させるための改善された技術が必要になることが明らかになっている。そのような改善された技術は、ゲート酸化物/ポリシリコンの界面にポリシリコンの空乏領域を形成することなく、ゲート酸化物を硬化させなければならない。

【0012】

【発明が解決しようとする課題及び課題を解決するための手段】

本発明は、ポリシリコンのゲート酸化物/ポリシリコンの界面にホウ素濃度の低い領域を形成することなく、ゲート酸化物を硬化させる方法を提供する。この方法は、ポリシリコンをゲート酸化物の上に堆積させ、その後、窒素注入及びアニーリング処理を行うプロセスによって達成される。次に、十分な窒素濃度を有する領域を含むポリシリコン層の領域を除去する。ポリシリコンのバルクの窒素濃度のピークが除去されているので、その後の注入により得られるドーパント濃度は、ゲート酸化物/ポリシリコンの界面付近で十分に高く、従って、デバイスの通常の動作の間に、上記領域に空乏領域が容易に形成されることはない。

20

【0013】

別の特徴においては、本発明は、部分的に作製された電子デバイスのゲート酸化物を硬化させる方法を提供する。最初に、ゲート酸化物に堆積された第1のポリシリコン層に窒素イオンを注入する。第二に、アニーリング処理工程を実行して、ゲート酸化物、並びに、ポリシリコンのバルクの箇所には十分な窒素濃度を有する領域を形成する。第三に、上記第1のポリシリコン層の頂部から十分なポリシリコンを除去して、十分な窒素濃度を有するポリシリコンのバルクの領域が除去されている、第2のポリシリコン層を形成する。選択に応じて、この時点において薄くなっている上記第2のポリシリコン層の上に第3のポリシリコン層を堆積させて、上記除去されたポリシリコンと置き換えることができる。

30

【0014】

ゲート酸化物の厚さは、約50 を超えないのが好ましい。一つの実施の形態においては、電子的に活性なドーパントが、第2のポリシリコン層に注入される。より特定の実施の形態においては、上記電子的に活性なドーパントはホウ素である。別の実施の形態においては、上記電子的に活性なドーパントはリンである。

【0015】

第1のポリシリコン層の厚さは、約2,000 と約4,000 との間であるのが好ましい。より特定の実施の形態においては、上記第2のポリシリコン層の厚さは、約750 と約2,500 との間である。上記アニーリング工程は、約800°Cと約1,000°Cとの間の温度で実行されるのが好ましい。上記アニーリング工程は、約900°Cの温度で実行されるのがより好ましい。一つの実施の形態においては、上記部分的に作製された電子デバイスは、部分的に作製されたNMOS(N型金属酸化膜半導体)デバイスである。別の実施の形態においては、上記部分的に作製された電子デバイスは、部分的に作製されたPMOS(P型金属酸化膜半導体)デバイスであり、ホウ素がゲート電極の好ましいドーパントである。

40

【0016】

50

上述のように、第3のポリシリコン層を第2のポリシリコン層の上に堆積させて、複合ポリシリコン層を形成することができる。この複合層においては、その後窒素を注入してはならない。一般的に、電子的に活性なドーパントが、上述のように複合ポリシリコン層に注入される。特定の実施の形態においては、上記電子的に活性なドーパントはホウ素である。

【0017】

この第2の特徴においては、最終的なポリシリコン層（上記複合層）の全厚が新しく成長した何等かのポリシリコンを含むことになるので、上記第1の層は、比較的薄くすることができる。上記第2の層に追加のポリシリコンが全く形成されない別の構造においては、上記第1の層を十分に厚くして、窒素濃度のピークを含むポリシリコンの部分除去した  
10  
後でも、ポリシリコンの全厚がゲート電極として作用するに十分な大きさになるようにしなければならない。この第2の特徴においては、上記第3のポリシリコン層の厚さは、約1,000と約2,000との間であるのが好ましい。従って、上記複合ポリシリコン層の厚さは、約1,500と約3,500との間であるのが好ましい。

【0018】

別の実施の形態においては、本発明は、シリコン基板の上に堆積されたゲート酸化層と、このゲート酸化層の上に堆積されたポリシリコン層と、ゲート酸化物/ポリシリコンの界面と、ゲート酸化物/シリコン基板の界面と、上記ゲート酸化物/ポリシリコンの界面の十分な窒素濃度を有する第1のピークと、上記ゲート酸化物/シリコン基板の界面の十分な窒素濃度を有する第2のピークとを備える、半導体デバイスを提供する。このデバ  
20  
イスにおいては、上記ポリシリコン層には、約 $10^{19}$ 原子/cm<sup>3</sup>よりも高い十分な窒素濃度を有するピークが存在していない。

【0019】

一つの実施の形態においては、上記ゲート酸化層の厚さは、約50を超えない。より好ましい実施の形態においては、上記ゲート酸化層の厚さは、約20と約35との間である。

【0020】

上記十分な窒素濃度を有する第1のピークは、約 $10^{20}$ 原子/cm<sup>3</sup>と約 $10^{21}$ 原子/cm<sup>3</sup>との間であるのが好ましい。別の実施の形態においては、上記十分な窒素濃度を有する第2のピークは、約 $10^{19}$ 原子/cm<sup>3</sup>と約 $10^{20}$ 原子/cm<sup>3</sup>との間である。更に別の  
30  
実施の形態においては、上記ポリシリコン層の窒素濃度は、上記ゲート酸化物との界面の外側において、約 $10^{19}$ 原子/cm<sup>3</sup>を超えない。

【0021】

好ましい実施の形態においては、半導体デバイスはPMOSデバイスである。この場合には、上記ポリシリコン層は、一般的に、ホウ素のドーパントを含んでいる。より特定の実施の形態においては、上記ポリシリコン層のホウ素濃度は、上記ゲート酸化物/ポリシリコンの界面の付近において、少なくとも約 $5 \times 10^{19}$ 原子/cm<sup>3</sup>である。

【0022】

本発明の上記及び他の特徴及び利点は、以下の発明の実施の形態の項において図面を参照して説明される。  
40

【0023】

【発明の実施の形態】

本発明の特定の実施の形態を図3、図4、図7、図5、図8、図6、図9及び図10を参照して以下に説明する。図3は、部分的に作製された半導体デバイスの断面図である。この部分的に作製されたデバイスは、フィールド酸化層領域32と、シリコン基板36の上に形成されたゲート酸化層34とを備えている。現代のデバイスのゲート酸化層34の厚さは、一般的に、約50未満である。より詳細に言えば、ゲート酸化層34の厚さは、開発中の0.18μmのデバイスの技術において、約30と40との間である。  
50

【0024】

図4は、第1のポリシリコン層38をゲート酸化物層34の上に堆積させ、その後窒素注入及びアニーリング処理を行った後の、図3の部分的に作製された半導体デバイスの断面図である。ポリシリコンは、通常の条件を用いて堆積される。一般的に、このデバイスには、通常のイオン注入装置を用いて、約40keVから約80keVの範囲(約60keVであるのが好ましい)のエネルギーにおいて、約 $10^{14}$ イオン/cm<sup>2</sup>から約 $5 \times 10^{15}$ イオン/cm<sup>2</sup>(約 $5 \times 10^{14}$ イオン/cm<sup>2</sup>から約 $2 \times 10^{15}$ イオン/cm<sup>2</sup>)であるのがより好ましい)の範囲の種々のドーズ量で窒素が注入される。新しく堆積されたポリシリコン層38の厚さは、一般的に、約2,000と約3,500との間である。この第1のポリシリコン層の厚さは、約2,500と3,000との間であるのがより好ましい。一般的に、アニーリング処理工程は、約800°Cと約1,000°Cとの間で実行される。このアニーリング処理工程は、約300°Cにおいて実行されるのが好ましい。

10

**【0025】**

図7は、窒素注入及びアニーリング処理を行って図4に示す構造を形成した後の部分的に作製された半導体デバイスの中の窒素濃度の領域を示している。図7における基実線付近の窒素濃度は、約 $10 \times 10^{19}$ 原子/cm<sup>3</sup>である。十分な窒素濃度を有する領域は、ポリシリコン層38のバルク領域のピーク40、ゲート酸化物/ポリシリコンの界面に位置するピーク42、及び、ゲート酸化物/シリコン基板の界面に位置するピーク44に見られる。ピーク40、42及び44の相対的なサイズは、窒素注入の後の注入後のアニーリング処理条件に依存し、従って、絶対値ではなく代表値である。従って、図7は、問題の定性的な理解を行うためではなく、定量的な理解を行うために使用すべきである。

20

**【0026】**

ピーク42、44は、電子的に活性なドーパントのゲート酸化物34及びシリコン基板36への拡散を阻害し、これにより、ゲート酸化物34及び基板36の所望の電子的特性を維持する。しかしながら、ピーク40は、ポリシリコン層38中の電子的に活性なドーパントの拡散を阻害して、ゲート酸化物界面付近のポリシリコンのバルクに空乏領域を生じさせ、これにより、上述のようなデバイスのパフォーマンスを大きく低下させる。

**【0027】**

図5は、ポリシリコン層38の頂部を除去してポリシリコン層46を形成した後の図4の部分的に作製された半導体デバイスの断面図である。ポリシリコン層38の頂部は、化学的/機械的な研磨(CMP)、ドライエッチング、ウェットエッチング、並びに、一般的に周知の方法によって除去することができる。このプロセスにおいては、一般的に、約1,000と約1,300との間の厚さのポリシリコンが除去されて、約750と約2,500との間の厚さを有する第2のポリシリコン層46が形成される。

30

**【0028】**

図8は、上記ポリシリコン層の頂部を除去した後の部分的に作製された半導体デバイスの中の窒素濃度の領域を示している。十分な窒素濃度を有する領域は、ゲート酸化物の界面に位置するピーク42、44に見られる。ポリシリコン層46が十分な窒素濃度を有する領域を含まないことが重要である。従って、ピーク40を含んでいた図4のポリシリコン層38の部分(十分な窒素濃度を有する領域)は、除去されている。

40

**【0029】**

図6は、第3のポリシリコン層48を上記第2のポリシリコン層46の上に堆積させて複合ポリシリコン層50を形成した後の、図5の部分的に作製された半導体デバイスの断面図である。上記第3のポリシリコン層48の厚さは、上記第1及び第2の層の厚さに応じて、約1,000と約2,000との間であるのが好ましい。上記複合ポリシリコン層50の厚さは、約1,500と約3,500との間であるのが好ましい。

**【0030】**

図9は、上記第3のポリシリコン層48を堆積させた後の、部分的に作製された半導体デバイスの中の窒素濃度を示している。十分な窒素濃度を有する領域は、ゲート酸化物の界面に位置するピーク42、44に存在している。複合ポリシリコン層50は、十分な窒素

50

濃度を有する領域を有しておらず、特に上記第3のポリシリコン層48は、窒素注入に暴露されていないので、窒素濃度の高い領域を実質的に有していない。

【0031】

一般的に、ホウ素又はリンの如き電子的に活性なドーパントが、ポリシリコン層50に注入される。ポリシリコン層50は、ドーパントの拡散を阻害する十分な窒素濃度を有する領域を含んでいない。従って、MOSの通常の動作の間にデバイスのパフォーマンスを低下させる空乏領域は、ポリシリコン層50に形成されない。

【0032】

図10は、エッチングの後にホウ素注入を行った後の、部分的に作製された半導体デバイスの断面図である。ホウ素注入は、一般的に、約 $1 \times 10^{15}$ イオン/cm<sup>2</sup>と約 $5 \times 10^{15}$ イオン/cm<sup>2</sup>との間(約 $3 \times 10^{15}$ イオン/cm<sup>2</sup>と約 $5 \times 10^{15}$ イオン/cm<sup>2</sup>との間であるのがより好ましい)のBF<sub>2</sub><sup>+</sup>によって、約25keVと約50keVとの間の範囲(約50keVであるのがより好ましい)のエネルギーで行われる。ポリシリコンゲート電極50及びゲート酸化物34は、スペース52a、52bによって跨がれている。発端のソース54及びドレイン56を形成するためのホウ素注入も、ポリシリコンゲート電極に影響を与える。ここにおいて、窒素濃度を有する領域はポリシリコン層50に存在しないので、ゲート電極の中のホウ素濃度は、注入の後に均一に(従来技術の窒素注入されたデバイスと比較して)改善される。従って、パフォーマンスを低下させる空乏領域は、本発明の方法を用いて作製されたデバイスには形成されない。

【0033】

複合ゲート電極の中のホウ素は、ソース領域54及びドレイン領域56を形成する間に、注入することができる。幾つかの場合においては、上記ソース領域及びドレイン領域は、単一の注入工程で形成される。しかしながら、通常多くの製造方法においては、図10に示すように、上記ソース領域及びドレイン領域は、2つの工程で形成される。そのようなプロセスにおいては、薄くドーパされたドレイン(LDD)の注入が最初に行われる。これにより、図10に示すようにゲート酸化物34の下で伸長するp形のソース/ドレインの先端領域が形成される。ソース/ドレイン領域54、56は、ゲート電極50の付近にスペース52a、52bを形成した後に完成される。これらのスペースは、酸化物のブランケット層をウエーハ表面に堆積させ、その後、異方性エッチングを実行することにより、形成される。上記スペースが形成された後に、第2のp形注入を実行して、図示のように上記スペースを越えて伸長するソース/ドレイン領域54、56の濃くドーパされた部分を形成する。どの程度の量のドーパントがゲートに必要とされるかに応じて、ポリシリコンゲート電極50を上記注入作業の一方又は両方に暴露させることができる。

【0034】

別の実施の形態においては、第3のポリシリコン層48を第2のポリシリコン層46の上に堆積させて図5に示す複合ポリシリコン層を形成する工程を省略することができる。その後、ホウ素又はリンの如き電子的に活性なドーパントを第2のポリシリコン層46に直接注入する。電子的に活性なドーパントの拡散を阻害する恐れのある十分な窒素濃度を有する領域は、ポリシリコン層46には全く存在しない。従って、デバイスのパフォーマンスを低下させる空乏領域が、ポリシリコン層46に形成されない。この実施の形態においては、第2のポリシリコン層46は、図10に示す部分的に作製された半導体デバイスを得るためのプロセス工程を除いて、直接処理することができる。

【0035】

この別の実施の形態においては、窒素濃度のピーク40を最終的なポリシリコンゲート電極の高さの上方まで存在させる厚さまで、第1の層38を堆積させなければならないことに注意する必要がある。従って、第1の層のエッチング又はプレーナ化を行ってピーク40を除去した後に、必要なゲート厚さを得るために追加のポリシリコンを堆積させる必要は全く無い。反対に、層38は、注入された窒素がゲート酸化物に到達してこれを硬化させるのを困難にする程には厚くすべきではない。この実施の形態の好ましい変形例においては、層38は、約2,500と約5,000との間の厚さ、より好ましくは、約3

10

20

30

40

50

、000 と約4,000 との間の厚さ、また、最も好ましくは、約3,000 と約3,500 との間の厚さで形成される。

【0036】

ソース/ドレイン領域が図10に示すように形成された後に、デバイスを以下の手順で完成させることができる。これらの工程は、本発明にとって重要ではなく、当業界で周知の他のプロセス工程で置き換えることができることを理解する必要がある。最初に、ケイ化物（図示せず）をポリシリコン及び基板の上に形成して、抵抗の低い領域を形成することができる。次に、例えば、ホウ素・リン・ケイ酸ガラス（BPSG）のパッシベーション層が構造全体の上に堆積される。このパッシベーション層は、層間誘電体又はILDと呼ばれることがある。この時点において、前方端の処理が完了する。

10

【0037】

一般的な後方端のプロセス工程を次に説明する。最初に、ILDの上に接点マスクを形成して、基板上のデバイス素子に対する接点、並びに、関連するポリシリコンゲート電極に対する接点を画定する。その後、ILDをエッチングする（一般的には、プラズマエッチングによって）ことによって、パッシベーション層を貫通する垂直なコンタクト・ホール（接点開口）をレベル1（下の基板及びポリシリコン）まで形成する。この時点において、窒化チタンの如き物質から成る拡散バリア層（「接着」層と呼ばれることがある）が形成されて、コンタクト・ホールの付近のデバイス素子にその後堆積されるメタライゼーション層の金属原子が侵入しないようにする。幾つかのプロセスにおいては、上記コンタクト・ホールには当業界で周知の方法に従ってタングステンプラグが充填される。タングステンプラグが形成されるか否かに関係無く、第1のメタライゼーション層のブランケット堆積が実行される。第1の（及びその後の総ての）メタライゼーション層は、アルミニウム（Al）、アルミニウム銅（AlCu）又はアルミニウムシリコン銅（AlSiCu）の如き産業的に使用される種々の金属又は合金から形成することができる。そのような層は、当業界で周知のように、通常スパッタリングによって堆積される。

20

【0038】

第1のメタライゼーション層を堆積させた後に、パターンニングを行って種々のデバイス素子を接続する線を形成する。これら線の正確な配置は、特定のIC又はASICの設計によって決定されることになる。上記パターンニングは、最初に、フォトレジストの如きマスクを堆積させ、その後、このマスクを光線に暴露させて、その後のエッチング工程において形成すべき金属線のパターンを画定する。その後、反応イオンエッチング（RIE）の如きプラズマプロセスによって、下の第1のメタライゼーション層のエッチングを行う。

30

【0039】

第1のメタライゼーション層のエッチングを行った後に、上記フォトレジストを除去し、上記第1のメタライゼーション層の上に誘電層を堆積させ、これにより、上記メタライゼーション層を後続するメタライゼーション層（すなわち、第2のメタライゼーション層）から絶縁させる。一般的に、酸化物又はホウ素・リン・ケイ酸ガラスが上記誘電層として使用されるが、窒化物又はポリイミドの膜（スピニングによって設けることができる）の如き他の誘電体を使用することもできる。次に、適宜な技術によって上記誘電層のプレーナ化を行う。上述のように誘電層を形成してそのプレーナ化を行った後に、誘電層の上面にバイアマスクを形成する。このバイアマスクは、第1及び第2のメタライゼーション層の間の相互接続部が形成されることになるバイア又は領域を画定する。その後、別のプラズマ支援エッチングを実行して、誘電層に実際のバイアを形成する。誘電層に上記バイアを形成した後に、次のメタライゼーション層（金属-2）を堆積させ、上述のパターンニングを行う。幾つかの場合においては、1又はそれ以上の追加のメタライゼーション層を形成してそのパターンニングを行い、ICの配線を完成させる必要がある。

40

【0040】

本発明は、ホウ素の濃度プロファイルが窒素濃度の領域によって強く影響を受けるので、PMOSデバイスに最も良く利用される可能性がある。しかしながら、本発明は、リンの分布も顕著な窒素濃度領域によっても影響を受けるので、NMOSデバイスにも利用され

50

る可能性が高い。

【0041】

本発明のデバイスは、図8及び図9に示すような窒素濃度の分布をその特徴とすることができる。これらの分布の重要な特徴は、ゲート電極との界面の外側のポリシリコンゲート電極の中に顕著な窒素集中濃度が存在しないということである。ゲート酸化物の界面に2つの窒素ピークが存在することは、窒素注入によるゲート酸化物の硬化作業の重要な特徴である。

【0042】

上述の事柄から、本発明のデバイスは、(a)ゲート酸化物のシリコン基板とポリシリコンゲート電極との界面に少なくとも約 $3 \times 10^{20}$ 原子/cm<sup>3</sup>(より好ましくは、約 $6 \times 10^{20}$ 原子/cm<sup>3</sup>)の窒素濃度のピークを有し、また、(b)窒素濃度が約 $1 \times 10^{20}$ 原子/cm<sup>3</sup>(より好ましくは、約 $8 \times 10^{19}$ 原子/cm<sup>3</sup>)を超える他の領域がポリシリコンゲート電極に存在しないという特徴を有しているということができる。

10

【0043】

本発明のデバイスは、ゲート酸化物/ポリシリコンの界面での窒素濃度のピークの約50%(より好ましくは、約20%)よりも高い窒素濃度のピークをもたないポリシリコンゲート電極をその特徴とするということができる。上記ゲート電極は、約 $10^{19}$ 原子/cm<sup>3</sup>を超す(ゲート酸化物の界面領域を超える)窒素濃度を有する領域をもたないのがより好ましい。

【0044】

20

結 言

本発明の理解を図るために本発明を幾分詳細に説明したが、請求の範囲の範囲内で幾つかの変形及び変更を行うことができることは理解されよう。例えば、上の説明は、PMOSデバイスに限定したが、NMOSの如き他の半導体デバイスに本発明を応用してポリシリコンのバルクの中に電子的に活性なドーパントを均一に分布させることができない理由は基本的に存在しない。従って、上述の実施の形態は、例示的なものであって、限定的なものとなしはならず、本発明は、上述の細部に限定されることなく、請求の範囲の範囲内で変更することができることができる。

【図面の簡単な説明】

【図1】アニーリング処理の前後のシリコン上のポリシリコン層の中の窒素分布を示すSIMプロフィールである。

30

【図2】アニーリング処理の後のポリシリコン層の中のホウ素分布及び窒素分布を示すSIMプロフィールである。

【図3】部分的に作製されたMOSデバイスを示す断面図である。

【図4】ポリシリコンを堆積させた後に窒素注入及びアニーリング処理を行うことによって部分的に作製されたMOSデバイスを示す断面図である。

【図5】ポリシリコン層の頂部を除去した後の部分的に作製されたMOSデバイスを示す断面図である。

【図6】第3のポリシリコン層を第2のポリシリコン層の上に堆積させて複合ポリシリコン層を形成した後の部分的に作製されたMOSデバイスを示す断面図である。

40

【図7】ポリシリコンの堆積、窒素注入及びアニーリング処理を行った後の部分的に作製されたMOSデバイスの中の窒素濃度の領域を示している。

【図8】ポリシリコン層の頂部を除去した後の部分的に作製されたMOSデバイスの中の窒素濃度の領域を示している。

【図9】第3のポリシリコン層を第2のポリシリコン層の上に堆積させて複合ポリシリコン層を形成した後の部分的に作製されたMOSデバイスの中の窒素濃度の領域を示している。

【図10】ポリシリコン層及びゲート酸化物層のエッチングを行いその後ホウ素注入を行った後の部分的に作製されたMOSデバイスを示す断面図である。

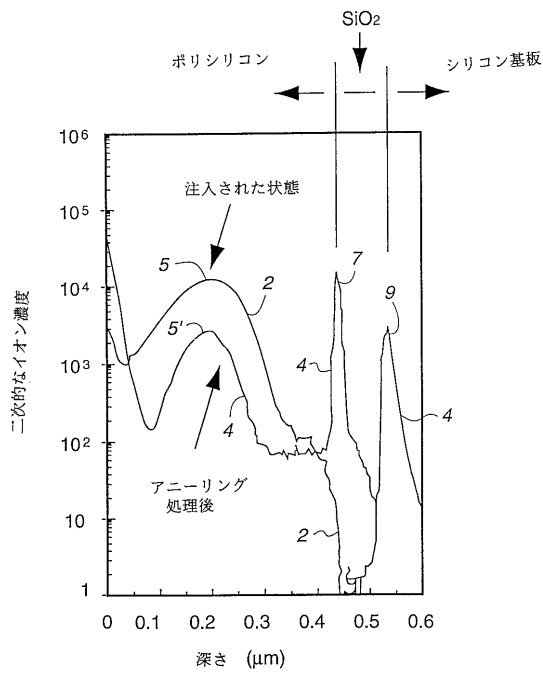
【符号の説明】

50

- 3 4 ゲート酸化物層
- 3 6 シリコン基板
- 3 8 ポリシリコン層
- 4 6 第2のポリシリコン層
- 4 8 第3のポリシリコン層
- 5 0 複合ポリシリコン層

【図1】

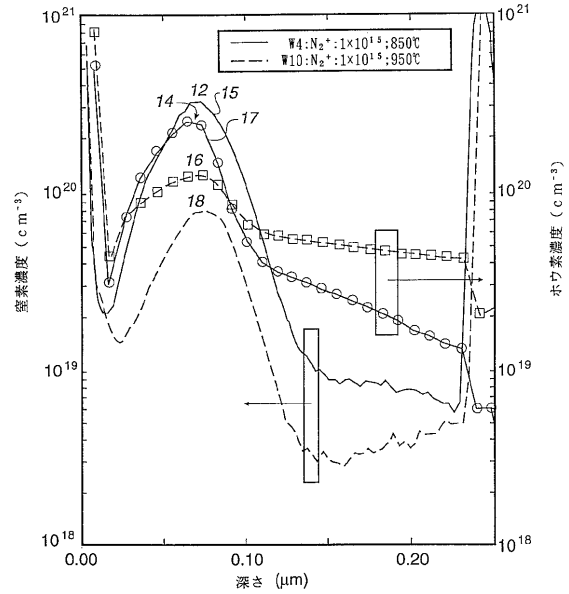
窒素分布プロフィール



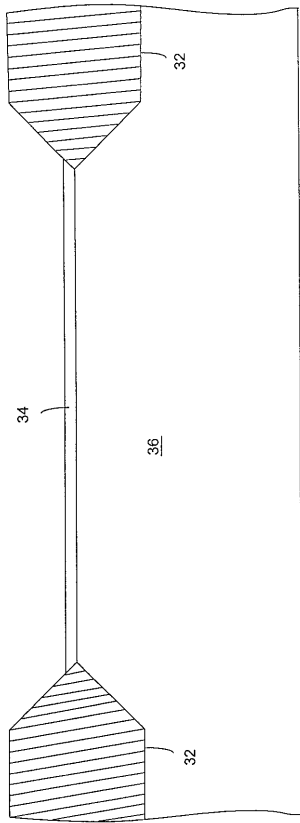
【図2】

ポリシリコンの中のホウ素及び窒素のSIM (二次的なイオン濃度)

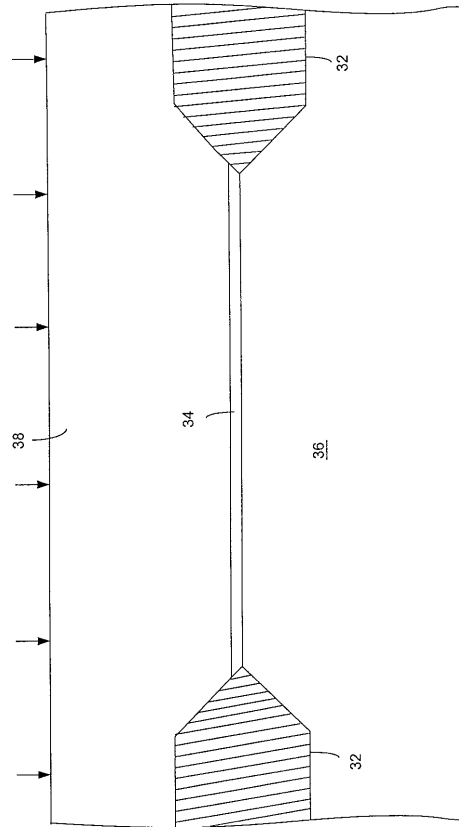
SL2523, 1ロット: S/D、1,000℃で30秒間アニーリング処理



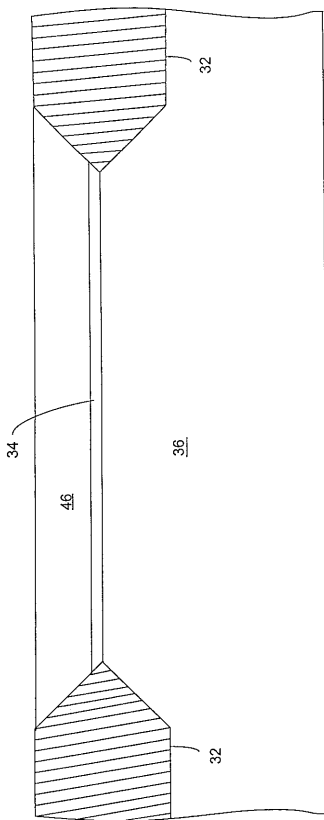
【 図 3 】



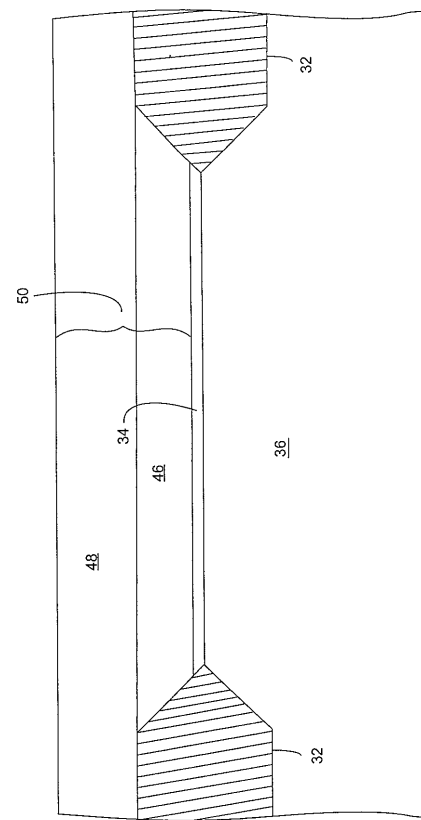
【 図 4 】



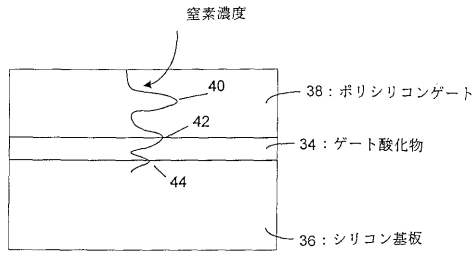
【 図 5 】



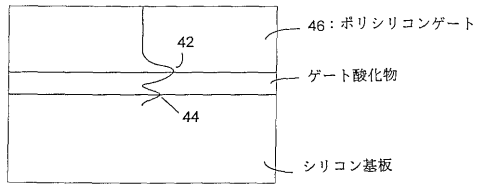
【 図 6 】



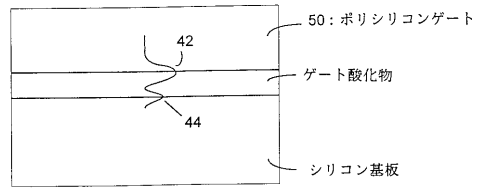
【図7】



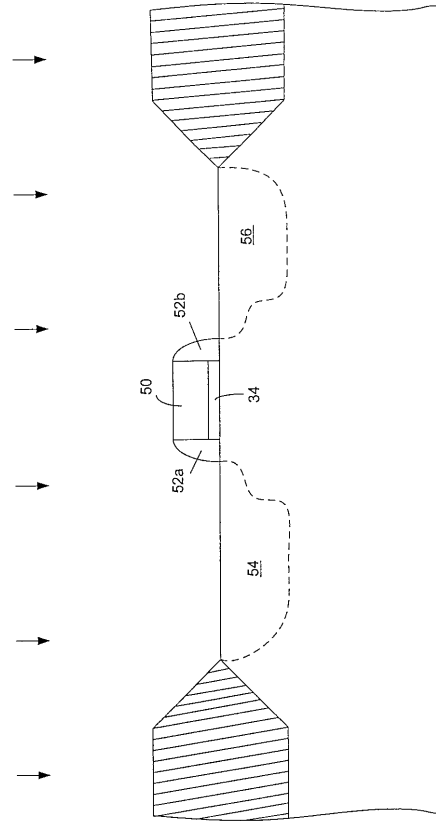
【図8】



【図9】



【図10】



## フロントページの続き

- (74)代理人 100109276  
弁理士 岡本 芳明
- (72)発明者 シュー - リュエン・ワン  
アメリカ合衆国カリフォルニア州 9 5 1 3 1 , サンホセ , デルカ・ドライブ 1 5 5 0
- (72)発明者 チャン - シェン・ヤオ  
アメリカ合衆国カリフォルニア州 9 4 3 0 6 , パロアルト ラモナ・ストリート 3 1 8 9
- (72)発明者 ウェン - チン・イー  
アメリカ合衆国カリフォルニア州 9 4 5 3 9 , フリーモント , ボーニー・ドライブ 4 4 9 0 0

審査官 池淵 立

- (56)参考文献 特開平 0 9 - 2 1 3 9 4 2 ( J P , A )  
特開平 0 8 - 3 3 0 5 8 4 ( J P , A )  
特開平 0 8 - 3 3 0 3 0 2 ( J P , A )  
特開平 0 6 - 0 2 9 3 1 4 ( J P , A )  
特開平 0 4 - 1 5 7 7 6 6 ( J P , A )  
特開平 0 4 - 0 2 8 2 2 8 ( J P , A )  
特開平 0 3 - 1 2 9 7 7 4 ( J P , A )  
特開昭 5 2 - 1 4 6 5 6 7 ( J P , A )  
特開平 0 6 - 0 6 9 4 3 8 ( J P , A )  
特開平 0 6 - 1 5 1 8 2 9 ( J P , A )  
特開平 0 8 - 0 2 3 0 9 5 ( J P , A )  
特開平 0 2 - 2 3 7 0 2 4 ( J P , A )

## (58)調査した分野(Int.Cl. , DB名)

H01L 29/78

H01L 21/336