

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5369431号
(P5369431)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)**G09G 3/20 (2006.01)****G02F 1/133 (2006.01)**

G09G 3/36

G09G 3/20 621F

G09G 3/20 631V

G09G 3/20 612L

G09G 3/20 612R

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2007-316097 (P2007-316097)
 (22) 出願日 平成19年12月6日 (2007.12.6)
 (65) 公開番号 特開2009-139652 (P2009-139652A)
 (43) 公開日 平成21年6月25日 (2009.6.25)
 審査請求日 平成22年8月10日 (2010.8.10)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎
 (74) 代理人 100084618
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 駆動回路、駆動方法及び表示装置

(57) 【特許請求の範囲】

【請求項1】

対向する基板間に液晶が充填され、ノーマリブラックモードに設定されたアクティブマトリクス型の液晶表示パネルにおいて、複数の信号線を駆動する信号線駆動回路に、表示データに基づく駆動信号を供給する駆動回路であって、

前記表示データが複数フレーム期間毎に書き込まれ、書き込まれた前記表示データがフレーム期間毎に読み出されるメモリと、

前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも1つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路と、

前記メモリに対する前記表示データの書き込み及び読み出しを制御するとともに、前記補正回路から前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に前記補正回路に供給する制御回路と、
 を備え、

前記補正回路は、

前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、黒検出信号を出力する黒検出回路と、

前記黒検出回路から前記黒検出信号が出力されていないときは、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給し、前記黒検出回

10

20

路から前記黒検出信号が出力されたときは、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給する、切り替え回路と、
を有し、

前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記平均電圧を印加したときの光透過率が、前記液晶表示パネルに前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、
ことを特徴とする駆動回路。

10

【請求項 2】

前記表示データは複数ビットを有するデジタル信号であり、前記黒表示データは、前記複数ビットの全ビットがゼロの信号であることを特徴とする請求項 1 に記載の駆動回路。

【請求項 3】

前記補正データは、前記複数ビットのうちの少なくとも何れか 1 つのビットを 1 とする信号であることを特徴とする請求項 2 に記載の駆動回路。

【請求項 4】

前記表示データの前記複数ビットが 6 ビットであり、6 4 階調の前記表示データに対応した表示電圧を V 0 乃至 V 6 3、且つ、前記黒表示データに対応した前記黒表示電圧を V 0 とするとき、前記補正データは、V 1 乃至 V 8 のいずれかの表示電圧に対応する信号であることを特徴とする請求項 3 に記載の駆動回路。

20

【請求項 5】

対向する基板間に液晶が充填され、ノーマリブラックモードに設定されたアクティブマトリクス型の液晶表示パネルにおいて、複数の信号線を駆動する信号線駆動回路に、表示データに基づく駆動信号を供給する駆動回路の駆動方法であって、

前記表示データを複数フレーム期間毎にメモリに書き込むステップと、

前記メモリに書き込まれた前記表示データをフレーム期間毎に読み出すステップと、

前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも 1 つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給するステップと、

30

前記駆動回路は、前記特定のフレーム期間において前記補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路を有し、

前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記補正回路に、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に供給するステップと、

前記補正回路において、前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給するステップと、

前記補正回路において、前記補正制御信号が供給されていないとき、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給するステップと、
を含み、

40

前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記平均電圧を印加したときの光透過率が、前記液晶表示パネルに前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、
ことを特徴とする駆動回路の駆動方法。

【請求項 6】

50

対向する基板間に液晶が充填され、ノーマリブラックモードに設定され、複数の走査線及び複数の信号線の各交点に対応して表示画素が配列された液晶表示パネルと、

前記液晶表示パネルの前記複数の走査線を順次選択する走査線駆動回路と、

前記液晶表示パネルの前記複数の信号線に、供給された駆動信号に応じた信号を出力する信号線駆動回路と、

表示データが複数フレーム期間毎に書き込まれ、書き込まれた前記表示データがフレーム期間毎に読み出されるメモリと、

前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも1つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路と、

10

前記メモリに対する前記表示データの書き込み及び読み出しを制御するとともに、前記補正回路から前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に前記補正回路に供給する制御回路と、
を備え、

前記補正回路は、

前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、黒検出信号を出力する黒検出回路と、

前記黒検出回路から前記黒検出信号が出力されていないときは、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給し、前記黒検出回路から前記黒検出信号が出力されたときは、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給する、切り替え回路と、
を有し、

20

前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記平均電圧を印加したときの光透過率が、前記液晶表示パネルに前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、
ことを特徴とする表示装置。

30

【請求項7】

前記表示データは複数ビットを有するデジタル信号であり、前記黒表示データは、前記複数ビットの全ビットがゼロの信号であることを特徴とする請求項6記載の表示装置。

【請求項8】

前記補正データは、前記複数ビットのうちの少なくとも何れか1つのビットを1とする信号であることを特徴とする請求項7に記載の表示装置。

【請求項9】

前記表示データの前記複数ビットが6ビットであり、64階調の前記表示データに対応した表示電圧をV0乃至V63、且つ、前記黒表示データに対応した前記黒表示電圧をV0とすると、前記補正データは、V1乃至V8のいずれかの表示電圧に対応する信号であることを特徴とする請求項8に記載の表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動回路及び駆動方法、並びに、そのような駆動回路を用いた液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、薄型、低消費電力という特徴を生かし、携帯型の情報端末に多く使用されている。そして特に、近年においては、携帯電話機が大いに普及し、表示のカラー化

50

・高画質化が要求されてきて、STN-LCDから TFT-LCDと呼ばれるアクティブマトリクス型液晶表示装置が多く採用されるようになってきている。

【0003】

一方、近年、カメラの搭載や携帯機器向け地上デジタル放送（携帯電話・移動体端末向けの1セグメント部分受信サービス：所謂、ワンセグ放送）の開始等があり、携帯電話機のような携帯型の情報端末においても動画を表示する機会が多くなっている。そのような動画表示において、課題になるのが「液晶表示素子の応答速度の遅さ」であり、動画表示時に、残像が発生し、表示品位を劣化させている。

【0004】

図4（A）は、携帯電話機等の携帯型の情報端末に用いられる従来の液晶表示装置の概略構成図であり、図4（B）は、図4（A）中の階調電圧回路の論理構成図である。

10

【0005】

図4（A）に示すように、液晶表示装置は、液晶表示パネル1と駆動回路2とから構成される。

【0006】

前記液晶表示パネル1は、マトリクス状に配置された画素電極、及び、画素電極に対向して配置された共通電極（対向電極；コモン電圧 V_{com} ）、画素電極と共通電極の間に充填された液晶からなる液晶容量 C_{lc} と、画素電極にソースが接続された薄膜トランジスタ（TFT）（以下、「画素トランジスタITFT」と記す）と、マトリクスの行方向に延伸し、複数の画素トランジスタITFTのゲートに接続された走査線 L_g と、マトリクスの列方向に延伸し、複数の画素トランジスタITFTのドレインに接続された信号線 L_d と、を有して構成され、後述するゲート駆動回路23及びソース駆動回路24により選択される画素電極に信号電圧を印加することにより、液晶の配列を制御して所定の画像情報を表示出力する。ここで、 C_s は、蓄積容量であり、前記液晶容量 C_{lc} 、蓄積容量 C_s 及び画素トランジスタITFTは、液晶画素（表示画素）11を構成する。

20

【0007】

一方、前記駆動回路2は、制御回路21、グラフィックRAM（GRAM）22、ゲート駆動回路23、ソース駆動回路24、階調電圧回路25から構成されている。

【0008】

ここで、前記制御回路21は、該駆動回路2を構成する各部を制御するものであり、CPUから複数の信号を含む制御信号CNTが供給されて、その動作が制御される。また、それら各部に供給する制御信号FRAMEを、該液晶表示装置が適用される情報端末の主制御部である図示しないCPUにも供給するように構成されている。表示素子の駆動において、ある画素に表示データに対応した電圧を印加し、その後、画面をスキャンして、次に同じ画素に電圧印加するまでの時間を1フレーム期間といい、1秒間のフレーム数をフレーム周波数という。前記制御信号FRAMEは、該液晶表示装置におけるフレーム期間の切り替わりタイミングを示す信号であり、1フレーム期間毎にローレベルとなる信号である。これをCPUに供給することで、CPUから該液晶表示装置へ入力される表示データDataの入力タイミングを、表示と同期させることができる。

30

【0009】

前記GRAM22は、前記CPUから入力される表示データDataを記憶するものであり、CPUから表示データDataが入力されるとともに、制御回路21からアドレス指定信号AD、書き込み制御信号WR、読み出し信号RDが供給され、書き込み制御信号WRにより、アドレス指定信号ADによって指定されたGRAM22のアドレスに表示データDataの書き込みが行われ、読み出し信号RDにより、アドレス指定信号ADによって指定されたGRAM22のアドレスのデータの読み出しが行われる。前記ゲート駆動回路23は、図示しない電源回路によって発生した所定電圧の走査信号を、制御回路21から供給される垂直制御信号（図示せず）に基づいて、各走査線 L_g に順次印加して選択状態とし、前記信号線 L_d と交差する位置に配置された画素電極（表示画素11）に対して、前記ソース駆動回路24により信号線 L_d に供給された信号電圧を印加する（書き込

40

50

む) 線順次駆動が行われる。ここで、該ゲート駆動回路 23 は、特に図示はしないが、概略、シフトレジスタとバッファとを有して構成され、シフトレジスタにより一定方向に順次シフトして出力された信号がバッファを介して所定電圧の走査信号として液晶表示パネル 1 の各走査線 Lg に印加されることにより、各画素トランジスタ I T F T がオン状態とされ、前記ソース駆動回路 24 により各信号線 Ld に印加された信号電圧が、画素トランジスタ I T F T を介して、各画素電極に印加される。

【0010】

前記ソース駆動回路 24 は、前記 G R A M 22 に記憶された表示データに対応する信号電圧を生成して、前記制御回路 21 から供給される水平制御信号 (図示せず) に基づいて、信号線 Ld を介して各画素電極に供給する。ここで、該ソース駆動回路 24 は、特に図示しないが、概略、表示データを取り込んで保持するとともに、保持した表示データに対応する信号電圧を出力するサンプルホールド回路と該サンプルホールド回路のサンプルホールド動作を制御するシフトレジスタとを有して構成され、シフトレジスタにより一定方向に順次シフトして出力されたサンプルホールド制御信号が、サンプルホールド回路に順次印加されることにより、供給された表示データを取り込んで保持し、保持した各画像信号に対応した信号電圧が、液晶表示パネル 1 の各信号線 Ld に送出される。

10

【0011】

前記階調電圧回路 25 は、図 4 (B) に示すように、所定の電圧を分圧して各階調に応じた電圧 V0 ~ V63 を発生するものであり、前記ソース駆動回路 24 の図示しないサンプルホールド回路は、該階調電圧回路 25 で発生した階調電圧を用いて、保持した表示データに対応した信号電圧を出力するようになっている。

20

【0012】

図 2 (B) は、このような従来の液晶表示装置のタイミングチャートを示す図である。

【0013】

液晶表示装置の場合、フリッカが生じないようにするために、通常、フレーム周波数は 60 Hz 程度で駆動されている。一方、カメラや地上デジタル放送におけるワンセグ放送等においてはデータの変更頻度は、12 枚/秒 (= 12 Hz) であるので、前記 C P U から G R A M 22 へは 12 Hz 周期で表示データ D a t a が書き込まれる。そこで、駆動回路 2 内に G R A M 22 と呼ばれるメモリを内蔵することで、フレーム周波数 60 Hz で駆動するようにしている。つまり、同じデータを 5 回、G R A M 22 から繰り返し読み出して、液晶表示パネル 1 に電圧印加する。

30

【0014】

ところで、液晶モードとしては種々存在するが、近年、視野角特性が良好であることから “I P S (In Plane Switching: 横電界) モード” や “V A (Vertical Alignment: 垂直配向) モード” と呼ばれる液晶モードが多く採用されている。これらは通常、画素にかかる電圧が大きい程、透過率が上がる (明るくなる) ノーマリブラックモードで駆動される。このようなノーマリブラックモードで駆動される液晶表示装置では、特に黒表示データ (= “0”) から中間調へデータが切り替わった際の応答速度が比較的遅いことが知られている。

【0015】

これに対し、現状は、液晶表示素子のギャップを薄くしたり、液晶材料自体を改善したりすることで、応答速度の改善を図っているが、駆動方法での改善はあまり図られていない。

40

【0016】

大型の液晶表示装置においては、例えば特許文献 1 に開示されているように、画素電極に対応する液晶画素を第 1 の透過率から第 1 の透過率より大きい第 2 の透過率に変化させる場合、画素電極に対して、第 2 の透過率に変化させる第 1 のフレーム期間に第 2 の透過率に対応する第 1 の目標駆動電圧より大きい駆動電圧を印加し、第 2 のフレーム期間から第 1 の目標表示電圧を印加することで、応答速度を改善することが試みられている。

【特許文献 1】特開 2000-231091 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0017】

前述したように、ノーマリブラックモードで駆動される液晶表示装置では、データの変化があまり大きくない場合、特に黒（ノーマリブラックの場合“0”）から中間調へ変化した場合などにおいては、液晶の応答が遅く、“残像”が発生してしまう。

【0018】

前記特許文献1に開示された駆動方法により、この応答性を改善することができるが、携帯電話機等の携帯型の情報端末に搭載するような小型の液晶表示装置に対しては、そのような手法は、回路規模、コストの点から採用することは難しい。

10

【0019】

また、図2（B）に示すように比較的長い期間、例えばCPUのデータ書き込み周期の複数周期にわたって、黒表示データ（“0”）を表示し続けていた場合、つまり、黒表示データに対応した電圧V0が続けて印加されていた場合に、その状態から中間調へ変化した際には、前記特許文献1に開示された駆動方法では十分な応答性が得られない。即ち、このように多数フレーム期間にわたって黒表示データを表示し続けている場合には、長期間一定の電圧（V0）を印加しているので、液晶分子が安定状態にあり、データが切り替わって印加電圧が変化しても安定状態から抜けにくい。そのため、前記特許文献1に開示された駆動方法を適用したとしても、その黒からの変化時の応答が遅くなってしまう。

【0020】

20

このように、例えば黒表示状態が継続している時間が短いときと長いときとで安定状態からの抜け易さが変わるが、前記特許文献1は、そのような点については考慮されていない。

【0021】

本発明は、前記の点に鑑みてなされたもので、黒表示データを表示した状態から中間調データへ変化した場合の応答速度を改善可能な液晶表示装置の駆動回路、駆動方法及び液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

前記課題を解決するため、本発明の駆動回路の一態様は、対向する基板間に液晶が充填され、ノーマリブラックモードに設定されたアクティブマトリクス型の液晶表示パネルにおいて、複数の信号線を駆動する信号線駆動回路に、表示データに基づく駆動信号を供給する駆動回路であって、前記表示データが複数フレーム期間毎に書き込まれ、書き込まれた前記表示データがフレーム期間毎に読み出されるメモリと、前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも1つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路と、前記メモリに対する前記表示データの書き込み及び読み出しを制御するとともに、前記補正回路から前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に前記補正回路に供給する制御回路と、を備え、前記補正回路は、前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、黒検出信号を出力する黒検出回路と、前記黒検出回路から前記黒検出信号が出力されていないときは、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給し、前記黒検出回路から前記黒検出信号が出力されたときは、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給する、切り替え回路と、を有し、前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記

30

40

50

平均電圧を印加したときの光透過率が、前記液晶表示パネルに前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、ことを特徴とする。

【0023】

前記課題を解決するため、本発明の駆動回路の駆動方法の一態様は、対向する基板間に液晶が充填され、ノーマリブラックモードに設定されたアクティブマトリクス型の液晶表示パネルにおいて、複数の信号線を駆動する信号線駆動回路に、表示データに基づく駆動信号を供給する駆動回路の駆動方法であって、前記表示データを複数フレーム期間毎にメモリに書き込むステップと、前記メモリに書き込まれた前記表示データをフレーム期間毎に読み出すステップと、前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも1つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給するステップと、前記駆動回路は、前記特定のフレーム期間において前記補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路を有し、前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記補正回路に、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に供給するステップと、前記補正回路において、前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給するステップと、前記補正回路において、前記補正制御信号が供給されていないとき、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給するステップと、を含み、前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記平均電圧を印加したときの光透過率が、前記液晶表示パネルに前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、ことを特徴とする。

【0024】

前記課題を解決するため、本発明の表示装置の一態様は、対向する基板間に液晶が充填され、ノーマリブラックモードに設定され、複数の走査線及び複数の信号線の各交点に対応して表示画素が配列された液晶表示パネルと、前記液晶表示パネルの前記複数の走査線を順次選択する走査線駆動回路と、前記液晶表示パネルの前記複数の信号線に、供給された駆動信号に応じた信号を出力する信号線駆動回路と、表示データが複数フレーム期間毎に書き込まれ、書き込まれた前記表示データがフレーム期間毎に読み出されるメモリと、前記メモリから読み出された前記表示データが最低階調値を有する黒表示データであるとき、前記複数フレーム期間のうちの少なくとも1つの特定のフレーム期間において、補正データを前記駆動信号として前記信号線駆動回路に供給する補正回路と、前記メモリに対する前記表示データの書き込み及び読み出しを制御するとともに、前記補正回路から前記信号線駆動回路に前記補正データを供給するタイミングを制御する補正制御信号を、前記複数フレーム期間における前記特定のフレーム期間毎に周期的に前記補正回路に供給する制御回路と、を備え、前記補正回路は、前記補正制御信号が供給され、且つ、前記メモリから読み出された前記表示データが前記黒表示データであるときに、黒検出信号を出力する黒検出回路と、前記黒検出回路から前記黒検出信号が出力されていないときは、前記メモリから読み出された前記表示データを前記駆動信号として前記信号線駆動回路に供給し、前記黒検出回路から前記黒検出信号が出力されたときは、前記特定のフレーム期間に前記補正データを前記駆動信号として前記信号線駆動回路に供給する、切り替え回路と、を有し、前記補正データに対応した補正電圧を前記液晶表示パネルに印加する前記特定のフレーム期間と、前記特定のフレーム期間以外であって前記黒表示データに対応した黒表示電圧を前記液晶表示パネルに印加する他のフレーム期間と、からなる前記複数フレーム期間において、前記液晶表示パネルに印加される平均電圧は、前記黒表示電圧よりも高く、前記液晶表示パネルに前記平均電圧を印加したときの光透過率が、前記液晶表示パネルに

10

20

30

40

50

前記黒表示電圧を印加したときの光透過率と実質的に同じとなる電圧値に設定されている、ことを特徴とする。

【発明の効果】

【0037】

本発明によれば、黒表示データに対し周期的に補正データに対応した信号を液晶表示パネルに印加して、液晶分子を安定状態から少しずれた動き易い状態にしておくことで、黒表示データを表示した状態から中間調データへ変化した場合の応答速度を改善することが可能となる。

【発明を実施するための最良の形態】

【0038】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。

【0039】

図1(A)は、本発明の一実施形態に係る液晶表示装置の全体構成を示す概略構成図である。

【0040】

同図に示すように、本一実施形態に係る液晶表示装置は、液晶表示パネル1と駆動回路20とから構成される。

【0041】

ここで、前記液晶表示パネル1は、従来の液晶表示装置のそれと同様のものである、その説明は省略する。

【0042】

一方、本実施形態に係る駆動回路20は、従来の液晶表示装置における駆動回路2と同様の制御回路21、GRAM22、ゲート駆動回路23、ソース駆動回路24、及び階調電圧回路25に加えて、GRAM22とソース駆動回路24との間に、黒検出及びデータ補正回路26を備えている。また、制御回路21から該黒検出及びデータ補正回路26に対し、補正制御信号NHOS E Iが供給されるようになっている。制御回路21は、CPUから複数の信号を含む制御信号CNTが供給されて、その動作が制御され、GRAM22には、CPUから表示データDataが入力されるとともに、制御回路21からアドレス指定信号AD、書き込み制御信号WR、読み出し信号RDが供給され、書き込み制御信号WRにより、アドレス指定信号ADによって指定されたGRAM22のアドレスに表示データDataの書き込みが行われ、読み出し信号RDにより、アドレス指定信号ADによって指定されたGRAM22のアドレスのデータの読み出しが行われる。

【0043】

ここで、制御回路21が特許請求の範囲の記載における制御回路に対応し、ゲート駆動回路23が走査線駆動回路に対応し、ソース駆動回路24と階調電圧回路25が信号線駆動回路に対応し、GRAM22がメモリに対応し、黒検出及びデータ補正回路26が補正回路に対応する。

【0044】

図1(B)は、前記黒検出及びデータ補正回路26の論理構成図である。なお、これは、6ビットで64階調の表示を行う場合の例である。

【0045】

即ち、該黒検出及びデータ補正回路26においては、前記GRAM22から前記ソース駆動回路24への6ビットの表示データData(D0:D5)用の6本の信号線260~265の内、信号線263にORゲート266が挿入されている。該ORゲート266の他方の入力端は、NORゲート267の出力端に接続されている。該NORゲート267の入力端には、前記6本の信号線260~265と、前記制御回路21からの前記補正制御信号NHOS E Iが供給される信号線268とが接続されている。

【0046】

即ち、NORゲート267は、表示データDataの各ビット(D0:D5)が全てローレベルである黒表示データ("0")の検出を行う黒検出回路として機能するものであ

10

20

30

40

50

る。表示データData (D0 : D5) が全てローレベルであり、且つ、前記補正制御信号NHOS E I がローレベルであるとき、NORゲート267によってそれが検出され、NORゲート267の出力がハイレベルとなり、切り替え回路として機能するORゲート266の他方の入力端に供給される。そして、ORゲート266の出力がハイレベルになることにより、補正表示データD3 (“8”) がソース駆動回路24に入力され、液晶表示パネル1に補正表示データD3 (“8”) に対応する補正電圧(V8) が書き込まれる。ここで、前記補正制御信号NHOS E I は、前記NORゲート267を機能させるか否かを選択する信号、つまり特許請求の範囲の記載における補正タイミング信号となる。この補正制御信号NHOS E I は、後述するようにCPUからGRAM22への表示データDataが書き込まれた直後のフレーム期間毎に周期的にローレベルとなる信号であるが、表示データDataの各ビットが全てローレベルではないときには、補正制御信号NHOS E I の信号レベルに関わらず、NORゲート267の出力はローレベルとなり、表示データDataがそのままソース駆動回路24に入力される。

10

【0047】

図2 (A) は、このような一実施形態に係る液晶表示装置のタイミングチャートを示す図である。なお、この図は、CPUからGRAM22へは12Hz周期で表示データDataが書き込まれ、液晶表示パネル1はフレーム周波数60Hzで駆動されて、5フレーム期間毎に表示データDataがGRAM22に書き込まれるとした場合を示している。また、図中、B1、B2、B3はCPUからGRAM22に書き込まれ、ソース駆動回路24に入力される表示データDataを示すものであるが、ここで、B1、B2の表示データDataが“0”である場合を示している。

20

【0048】

前記補正制御信号NHOS E I は、図2 (A) に示すように、CPUからGRAM22への表示データDataが書き込まれた直後のフレーム期間にローレベルとなる。よって、前記黒検出及びデータ補正回路26のNORゲート267は、そのフレーム期間において黒表示データ (“0”) の検出を行う。

【0049】

従って、他のフレーム期間では、黒表示データに対応した電圧V0が印加されるのに対して、表示データDataが書き込まれた直後のフレーム期間ではデータを“0”から“8”の補正データに補正し、その補正された表示データD3 (“8”) に対応した補正電圧V8が印加される。即ち、CPUからGRAM22へ表示データDataとして黒表示データが書き込まれたときは、それに対応する5フレーム期間において、V8→V0→V0→V0→V0と印加される。

30

【0050】

このように、簡単な論理回路によって黒検出及びデータ補正回路26を構成して、黒表示データを周期的に補正データに切り替えてソース駆動回路24に出力し、それによって、周期的に補正データに応じた電圧を印加することができる。

【0051】

なお、CPUからGRAM22へ書き込まれた表示データDataが黒表示データ以外の場合には、このようなデータ補正は行われず、そのデータに応じた電圧が印加される。

40

【0052】

図3は、この一実施形態の液晶表示装置の駆動に係る制御フローを示すフローチャートである。なお、この図においても、上記図2の場合と同様に、5フレーム期間毎に表示データDataがGRAM22に書き込まれる場合を示している。

【0053】

まず、制御信号FRAMEがローレベルであるか否かを判定し、制御信号FRAMEがローレベルになったことが検出されたら (ステップS111)、フレームカウンタnをゼロに設定し、補正制御信号NHOS E I をハイレベルに設定する (ステップ112)。ここで、ステップS111における処理は、制御動作をフレーム期間と同期させるための処理である。次いで、CPUからGRAM22へ表示データDataを書き込ませる。これ

50

は、制御回路21から、制御信号CNTに基づいて、アドレス指定信号AD、書き込み制御信号WRが供給されることによって行われる(ステップS113)。また、この動作と並行して、これ以前にGRAM22に書き込まれていたデータの読み出しが行われ、読み出されたデータがソース駆動回路24へ供給されて、液晶表示パネル1へ書き込まれる(ステップ114)。

【0054】

次いで、制御信号FRAMEがローレベルであるか否かを判定し(ステップS115)、制御信号FRAMEがローレベルになったことが検出されたら、次のフレーム期間になったことになり、フレームカウンタnがn+1にインクリメントされている(ステップS116)。

10

【0055】

次いで、フレームカウンタnが1であるか否かを判定し(ステップS117)、n=1であると判定したとき、すなわちCPUからGRAM22へ表示データDataが書き込まれた直後のフレーム期間であるとき、補正制御信号NHOS EIをローレベルに設定する(ステップ118)。そして、GRAM22に書き込まれていたデータを読み出し、読み出したデータをソース駆動回路24へ供給して、液晶表示パネル1へ書き込む(ステップ119)。次いで、制御信号FRAMEがローレベルであるか否かの判定を行って(ステップ120)、1フレーム期間、液晶表示パネル1を駆動する。そして、ステップS116のフレームカウンタnのインクリメント動作に戻る。

【0056】

20

また、ステップS117において、nが1でないと判定されたとき、次にnが5であるか否かを判定する(ステップS121)。そして、ステップ121でnが5でないと判定したとき、補正制御信号NHOS EIをハイレベルに設定し(ステップ122)、そして、GRAM22に書き込まれていたデータを読み出し、読み出したデータをソース駆動回路24へ供給して、液晶表示パネル1へ書き込む(ステップ123)。次いで、制御信号FRAMEがローレベルであるか否かの判定を行って(ステップ124)、1フレーム期間、液晶表示パネル1を駆動する。そして、ステップS116のフレームカウンタnのインクリメント動作に戻る。ステップS116~S124の動作を、n=4となるまで繰り返す。次いで、ステップ121でn=5であると判定したとき、ステップ112に戻り、フレームカウンタnをゼロに設定し、補正制御信号NHOS EIをハイレベルに設定する。このようにして、CPUから表示データDataが5フレーム期間毎にGRAM22に書き込まれ、CPUからGRAM22への表示データDataが書き込まれた直後のフレーム期間において、信号補正制御信号NHOS EIをローレベルにする制御が行われる。

30

【0057】

以上のように、本一実施形態によれば、表示データDataとして黒表示データ“0”が液晶表示パネル1に書き込まれているときに、周期的に、補正データとして、黒表示データの電圧(V0)よりも高い電圧(例えばV8)を印加することにより、長期間一定の電圧(V0)が印加されて液晶分子が安定状態になってしまうことを無くし、液晶分子が安定状態から少しずれた、動き易い状態にすることができるので、表示データDataが黒表示データから切り替わった場合に、液晶が高速に応答することができるようになる。即ち、周期的に黒表示データの電圧よりも高い補正電圧を印加しておくことにより、表示データDataが黒表示データから切り替わった場合の液晶応答速度を改善することができる。

40

【0058】

なお、本発明は黒表示状態が継続している時間が比較的長いときに特に好適であるが、1回限りの黒表示の場合には、黒表示データの電圧(V0)よりも高い補正電圧(V8)を周期的ではなくて単発印加することになってしまうが、そのような場合であっても、次の黒以外の表示に移行する際に、ある程度、応答速度を改善できることは言うまでもない。

【0059】

50

また、前記電圧V0としては例えば1.0ボルト、補正電圧V8としては1.5Vとした場合、5フレーム期間での印加電圧は、その平均である1.1Vとなる。液晶表示パネルは、書き込まれた電圧に対して1フレーム期間内では十分には応答せず、複数フレーム期間の平均的な電圧に対して応答することになるため、このような補正電圧を印加した場合、液晶の透過率は印加電圧の平均電圧(1.1V)に対応したものとなる。ここで、液晶の電圧-透過率特性は、電圧がある程度の値に達するまでは透過率は殆ど変化せず、ある電圧を超えると急激に透過率が変化する特性を有し、印加電圧が1.0Vと1.1Vとでは透過率は殆ど変わらない。従って、このような補正電圧を印加しても、黒表示の品質に殆ど影響を及ぼさない。なお、本実施形態では、補正表示データをD3(“8”)とし、補正電圧をV8とするものとしたが、これに限定されるものではなく、上述のように、黒表示の品質に影響を及ぼさない範囲で、補正表示データを他の値に設定するものであってもよい。この場合、使用する補正表示データに応じて、前記黒検出及びデータ補正回路26のORゲートを設ける信号線が変更される。

10

【0060】

以上、一実施形態に基づいて本発明を説明したが、本発明は上述した一実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。

【0061】

例えば、前記一実施形態は64階調表示を行う場合を例に説明したが、それに限定されるものではない。使用する階調数に応じて、前記黒検出及びデータ補正回路26のNORゲートの入力端を各信号線に接続すれば良い。

20

【0062】

更に、前記黒検出及びデータ補正回路26は、一実施形態で説明したような論理回路による構成に限定するものではなく、ルックアップテーブル(LUT)等で構成しても良い。

【0063】

また、黒電圧よりも高い電圧を印加する周期も、CPUからGRAM22への表示データDataの書き込み周期と液晶表示装置のフレーム周波数との関係に応じて適宜変更可能である。

【0064】

また、CPUからGRAM22への表示データDataの書き込み直後のフレーム期間で黒電圧よりも高い電圧を印加するものとしたが、どのフレーム期間に行うようにしても構わない。更に、その回数も、CPUからGRAM22への表示データDataの1回の書き込みに対して複数回であっても良いし、逆に、CPUからGRAM22への表示データDataの複数回の書き込みに対して1回であっても良い。但しこのような場合においても、上記と同様に、その回数に応じて、電圧が変わらないように、使用する電圧を適宜選択することが必要である。

30

【図面の簡単な説明】

【0065】

【図1】(A)は本発明の一実施形態に係る液晶表示装置の全体構成を示す概略構成図であり、(B)は(A)中の黒検出及びデータ補正回路の論理構成図である。

40

【図2】(A)は一実施形態に係る液晶表示装置のタイミングチャートを示す図であり、(B)は従来の液晶表示装置のタイミングチャートを示す図である。

【図3】一実施形態に係る液晶表示装置の駆動に係わる制御フローを示すフローチャートである。

【図4】(A)は従来の液晶表示装置の概略構成図であり、(B)は(A)中の階調電圧回路の論理構成図である。

【符号の説明】

【0066】

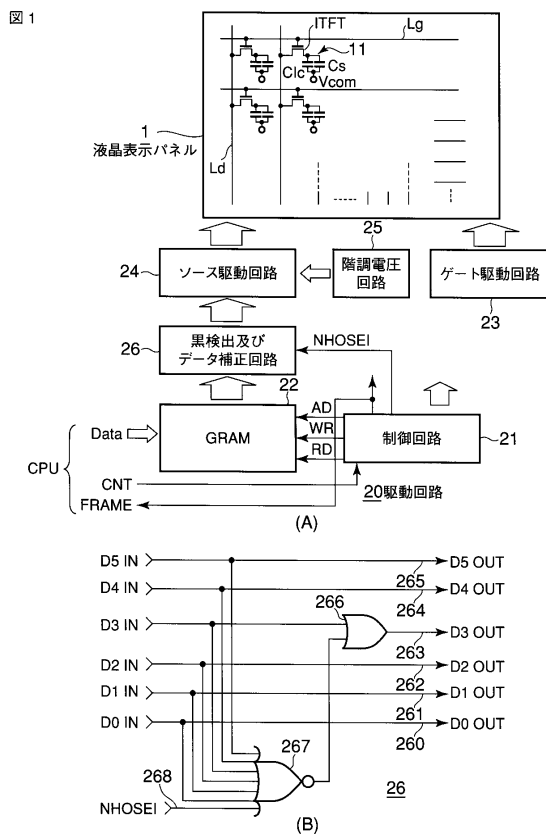
1…液晶表示パネル

50

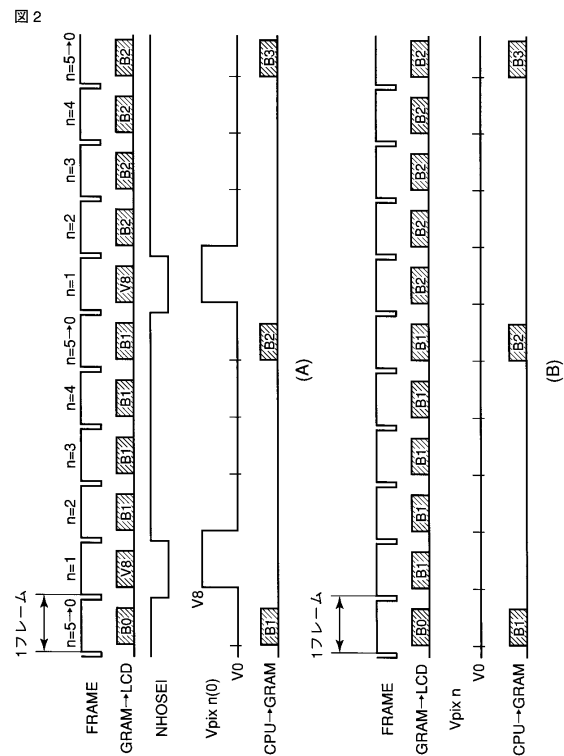
- 1 1 …液晶画素（表示画素）
 2 0 …駆動回路
 2 1 …制御回路
 2 2 …グラフィック R A M（G R A M）
 2 3 …ゲート駆動回路
 2 4 …ソース駆動回路
 2 5 …階調電圧回路
 2 6 …黒検出及びデータ補正回路
 2 6 0 ～ 2 6 5，2 6 8 …信号線
 2 6 6 …O R ゲート
 2 6 7 …N O R ゲート
 C 1 c …液晶容量
 I T F T …画素トランジスタ
 L g …走査線
 L d …信号線
 C s …蓄積容量

10

【図 1】

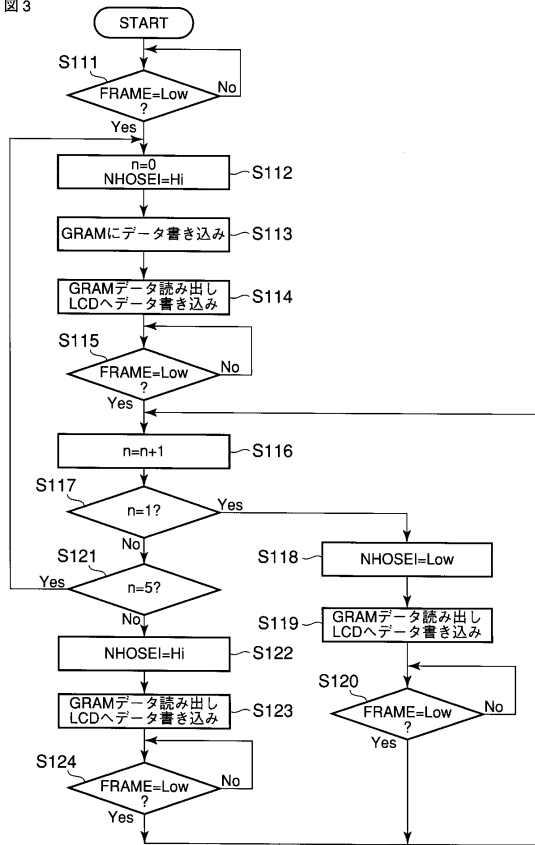


【図 2】



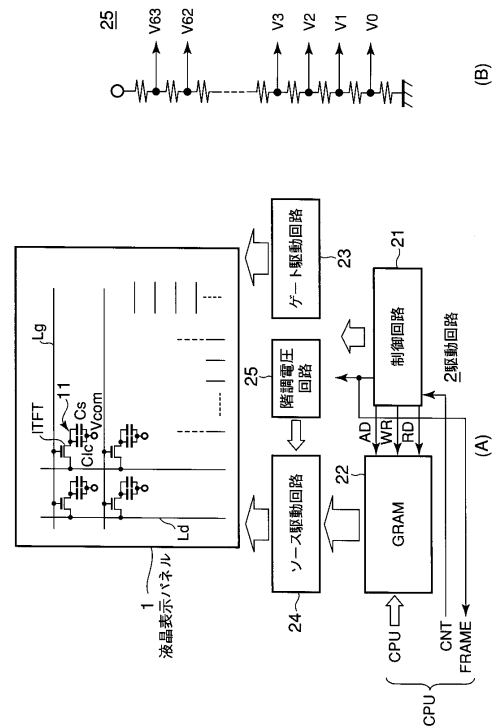
【図 3】

図 3



【図 4】

図 4



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 U
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 3 1 B
	G 0 9 G	3/20	6 6 0 V
	G 0 2 F	1/133	5 0 5
	G 0 2 F	1/133	5 7 0

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100101812
弁理士 勝村 紘

(74)代理人 100092196
弁理士 橋本 良郎

(74)代理人 100100952
弁理士 風間 鉄也

(74)代理人 100070437
弁理士 河井 将次

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(74)代理人 100127144
弁理士 市原 卓三

(74)代理人 100141933
弁理士 山下 元

(72)発明者 臼井 実
東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 西島 篤宏

(56)参考文献 特開2004-233949 (JP, A)
特開2004-271609 (JP, A)
特開2006-267360 (JP, A)
特表2008-516278 (JP, A)
特開2007-233102 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	—	3 / 3 8
G 0 2 F	1 / 1 3 3		