

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 1 日 (01.03.2018)



(10) 国际公布号
WO 2018/035902 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) **H01L 27/12** (2006.01)

(21) 国际申请号: PCT/CN2016/099215

(22) 国际申请日: 2016 年 9 月 18 日 (18.09.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610717847.0 2016 年 8 月 24 日 (24.08.2016) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 郝晓丹 (HAO, Xiaodan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。殷婉婷 (YIN, Wanting); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: METHOD FOR PREPARING LOW-TEMPERATURE POLYCRYSTALLINE SILICON ARRAY SUBSTRATE, ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 低温多晶硅阵列基板的制备方法、阵列基板以及显示面板

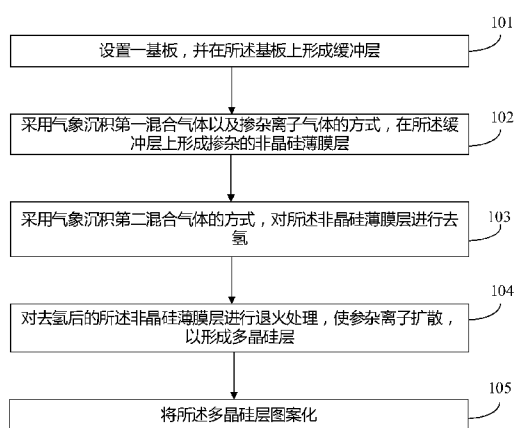


图 1

- 101 Providing a substrate, and forming a buffer layer on the substrate
102 Forming a doped amorphous silicon thin film layer on the buffer layer by means of the vapour deposition of a first mixed gas and an ion-doped gas
103 Dehydrogenizing the amorphous silicon thin film layer by means of the vapour deposition of a second mixed gas
104 Annealing the dehydrogenized amorphous silicon thin film layer so that doped ions are diffused so as to form a polycrystalline silicon layer
105 Patterning the polycrystalline silicon layer

(57) Abstract: Disclosed is a method for preparing a low-temperature polycrystalline silicon array substrate. The method comprises: providing a substrate (200), and forming a buffer layer (202) on the substrate (200); forming a doped amorphous silicon thin film layer on the buffer layer (202) by means of the vapour deposition of a first mixed gas and an ion-doped gas; dehydrogenizing the amorphous silicon thin film layer by means of the vapour deposition of a second mixed gas; annealing the dehydrogenized amorphous silicon thin film layer so that doped ions are diffused so as to form a polycrystalline silicon layer (203); and patterning the polycrystalline silicon layer (203). This preparation method can effectively simplify the process for manufacturing a low-temperature polycrystalline silicon array substrate, reduce the investment in manufacturing equipment and reduce preparation costs. Further disclosed are an array substrate and a display panel.

(57) 摘要: 公开了一种低温多晶硅阵列基板的制备方法, 包括: 设置一基板 (200), 并在基板 (200) 上形成缓冲层 (202); 采用气象沉积第一混合气体以及掺杂离子气体的方式, 在缓冲层 (202) 上形成掺杂的非晶硅薄膜层; 采用气象沉积第二混合气体的方式, 对非晶硅薄膜层进行去氢; 对去氢后的非晶硅薄膜层进行退火处理, 使掺杂离子扩散, 以形成多晶硅层 (203); 将多晶硅层 (203) 图案化。这种制备方法能够有效简化低温多晶硅阵列基板制造的工艺, 减少制造设备的投入, 降低制备成本。还公开了一种阵列基板和一种显示面板。

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

低温多晶硅阵列基板的制备方法、阵列基板以及显示面板

【技术领域】

5 本发明涉及液晶显示领域，特别是涉及一种低温多晶硅阵列基板的制备方法、阵列基板以及显示面板。

【背景技术】

10 伴低温多晶硅技术 LTPS (Low Temperature Poly-silicon) 目前正迅速的发展，它的最大优势在于超薄、重量轻、低耗电，可以提供更艳丽的色彩和更清晰的影像。

在 LTPS 阵列基板的制作过程中，在进行参杂时，一般是先形成多晶硅层，然后再进行通道参杂、N 型参杂以及 P 型参杂，不仅操作过程由于制程多而过于复杂，而且，每进行一次参杂都必须经过一次光罩，提高了整个制作工艺的成本。

15

【发明内容】

本发明主要解决的技术问题是提供一种低温多晶硅阵列基板的制备方法、阵列基板以及显示面板，能够有效降低低温多晶硅阵列基板制造的工艺，较少了制造设备的投入，进一步降低了制备成本。

20 为解决上述技术问题，本发明采用的一个技术方案是：提供一种低温多晶硅阵列基板的制备方法，所述制备方法包括：

设置一基板，并在所述基板上形成缓冲层；

采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层；

25 采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢；

对去氢后的所述非晶硅薄膜层进行退火处理，使参杂离子扩散，以形成多晶硅层；

将所述多晶硅层图案化。

其中，所述采用气象沉积第一混合气体以及掺杂离子气体的方式，在所

述缓冲层上形成掺杂的非晶硅薄膜层的步骤具体包括:

通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢参杂离子气体的方式, 在所述缓冲层上形成掺杂的非晶硅薄膜层。其中,

所述采用气象沉积第二混合气体的方式, 对所述非晶硅薄膜层进行去氢的步骤具体包括:

通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式, 对所述非晶硅薄膜层进行去氢。

其中, 所述对去氢后的所述非晶硅薄膜层进行退火处理, 使参杂离子扩散, 以形成多晶硅层的步骤具体包括:

对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述参杂离子扩散, 以形成多晶硅层。

其中, 所述将所述多晶硅层图案化的步骤具体包括:

在所述多晶硅层上沉积光阻, 通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理;

根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀, 使所述掺磷层图案化;

再次对所述光阻进行曝光以及显影处理, 对位于所述掺磷层下方的掺硼层进行刻蚀, 使所述掺硼层图案化。

其中, 所述设置一基板, 并在所述基板上形成缓冲层的步骤具体包括:

设置所述第一基板, 并在所述第一基板上形成遮光层;

在所述遮光层上沉积 SiN_x 层;

在所述 SiN_x 层上沉积 SiO_x 层, 其中, 所述 SiN_x 层以及所述 SiO_x 层构成所述缓冲层。

其中, 所述将所述多晶硅层图案化的步骤之后还包括:

在图案化后的多晶硅层上沉积栅极绝缘层, 并在所述栅极绝缘层上形成栅极;

在所述栅极以及栅极绝缘层的表面沉积层间绝缘层, 并在所述层间绝缘层上形成以一沟道分隔开的源极和漏极;

在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层, 并在所述平坦层的表面形成电极。

为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板，

基板以及依次形成在所述基板上的缓冲层以及多晶硅层；

其中，所述多晶硅层是在采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层，采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢，以及退火处理使掺杂离子扩散后形成的。

其中，所述非晶硅薄膜层具体通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢掺杂离子气体的方式，在所述缓冲层上形成的。

10 其中，所述非晶硅薄膜层具体通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式，进行去氢。

其中，所述多晶硅层具体由对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子扩散形成。

其中，所述多晶硅层还通过在所述多晶硅层上沉积光阻，通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理；并根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀，使所述掺磷层图案化；再次对所述光阻进行曝光以及显影处理，对位于所述掺磷层下方的掺硼层进行刻蚀，使所述掺硼层图案化，以实现所述多晶硅层的图像化。

20 其中，所述阵列基板还包括在所述基板上形成的遮光层，所述缓冲层具体通过在所述遮光层上沉积 SiN_x 层，并在所述 SiN_x 层上沉积 SiO_x 层，以由所述 SiN_x 层以及所述 SiO_x 层构成的。

其中，所述阵列基板还包括在所述多晶硅层上沉积的栅极绝缘层、在所述栅极绝缘层上形成的栅极、在所述栅极以及栅极绝缘层的表面沉积的层间绝缘层、在所述层间绝缘层上形成的以一沟道分隔开的源极和漏极、在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层、以及在所述平坦层的表面形成的电极。

为解决上述技术问题，本发明采用的再一个技术方案是：提供一种阵列基板显示面板，所述显示面板包括阵列基板，其中，所述阵列基板包括：

30 基板以及依次形成在所述基板上的缓冲层以及多晶硅层；

其中，所述多晶硅层是采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层，采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢，以及退火处理使参杂离子扩散后形成的。

5 其中，所述非晶硅薄膜层具体通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢参杂离子气体的方式，在所述缓冲层上形成的。

其中，所述非晶硅薄膜层具体通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式，进行去氢。

10 其中，所述多晶硅层具体由对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子扩散形成。

其中，所述多晶硅层还通过在所述多晶硅层上沉积光阻，通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理；并根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀，使所述掺磷层图案化；再次对所述光阻进行曝光以及显影处理，对位于所述掺磷层下方的掺硼层进行刻蚀，使所述掺硼层图案化，以实现所述多晶硅层的图像化。

其中，所述阵列基板还包括在所述基板上形成的遮光层，所述缓冲层具体通过在所述遮光层上沉积 SiN_x 层，并在所述 SiN_x 层上沉积 SiO_x 层，以由所述 SiN_x 层以及所述 SiO_x 层构成的。

20 其中，所述阵列基板还包括在所述多晶硅层上沉积的栅极绝缘层、在所述栅极绝缘层上形成的栅极、在所述栅极以及栅极绝缘层的表面沉积的层间绝缘层、在所述层间绝缘层上形成的以一沟道分隔开的源极和漏极、在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层、以及在所述平坦层的表面形成的电极。

25 本发明的有益效果是：区别于现有技术的情况，本实施方式在基板上形成缓冲层，采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层；采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢；对去氢后的所述非晶硅薄膜层进行退火处理，使参杂离子扩散，以形成多晶硅层，并对该多晶硅层图案化。上述方式中，通过将第一混合气体与硼氢或磷氢参杂离子气体同时通入形成掺杂

30

的非晶硅薄膜层的方式不仅能够简化通入气体的程序，节省时间，而且，能够减少光罩次数，而且，也节省了掺杂设备。且通过通入气体的方式进行掺杂，也能够使得掺杂的更加均匀，改善低温多晶硅阵列基板的电性。

5 【附图说明】

图 1 是本发明低温多晶硅阵列基板的制备方法一实施方式的流程图；

图 2A 是图 1 低温多晶硅阵列基板第一具体实施方式的机构示意图；

图 2B 是图 1 低温多晶硅阵列基板第二具体实施方式的机构示意图；

10 图 2C 是图 1 低温多晶硅阵列基板第三具体实施方式的机构示意图；

图 2D 是图 1 低温多晶硅阵列基板第四具体实施方式的机构示意图；

图 2E 是图 1 低温多晶硅阵列基板第五具体实施方式的机构示意图；

图 3 是本发明阵列基板一实施方式的结构示意图；

图 4 是本发明显示面板一实施方式的结构示意图。

15

【具体实施方式】

以下描述中，为了说明而不是为了限定，提出了诸如特定系统结构、接口、技术之类的具体细节，以便透彻理解本申请。然而，本领域的技术人员应当清楚，在没有这些具体细节的其它实施方式中也可以实现本申请。
20 在其它情况中，省略对众所周知的装置、电路以及方法的详细说明，以免不必要的细节妨碍本申请的描述。

参阅图 1，图 1 是本发明低温多晶硅阵列基板的制备方法一实施方式的流程图。同时参阅图 2A~图 2E 对应的低温多晶硅阵列基板的结构示意图，本实施方式的制作方法包括以下步骤：

25 101：设置一基板 200，并在所述基板 200 上形成缓冲层 202。

其中，该基板 200 包括玻璃基板，在其他实施方式中还可以为其他基板如石英基板，在此不做限定。

具体地，首先设置第一基板 200，先在第一基板 200 上形成遮光层 201，然后在该遮光层上沉积 SiN_x 层 2021，再在 SiN_x 层 2021 上沉积 SiO_x 层 2022，

其中，所述 SiN_x 层 2021 以及所述 SiO_x 层 2022 构成所述缓冲层 202。

其中，上述的遮光层 201、 SiN_x 层 2021 以及 SiO_x 层 2022 均可通过化学气相沉积 CVD 或物理气相沉积 PVD 的方式来实现。

102: 采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层 202 上形成掺杂的非晶硅薄膜层。

具体地，采用化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢参杂离子气体的方式，在在缓冲层 202 上形成掺杂的非晶硅薄膜层。

即在沉积第一混合气体形成非晶硅层的同时沉积硼氢或磷氢参杂离子气体，其中，每一种不同的气体均通过不同的通道进行通入后再进行混合，从而在该缓冲层 202 上形成掺杂了硼或磷离子的非晶硅薄膜。在具体的实施方式中，先通入硼氢参杂离子气体或先通入磷氢参杂离子气体的顺序不做限定，本实施方式中以先通入硼氢参杂离子气体再通入磷氢参杂离子气体为例来说明。

15 在具体的实施方式中，通过化学气相沉积的方式形成掺杂的非晶硅薄膜层。在其他实施方式中，也可以通过物理气相沉积的方式形成掺杂的非晶硅薄膜层，在此不做限定。

上述将第一混合气体与硼氢或磷氢参杂离子气体同时通入形成掺杂的非晶硅薄膜层的方式不仅能够简化通入气体的程序，节省时间，而且，能够减少光罩次数，而且，也节省了掺杂设备。且通过通入气体的方式进行掺杂，也能够使得参杂的更加均匀，改善低温多晶硅阵列基板的电性。

103: 采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢。

具体地，在第一混合气体以及掺杂离子气体形成的非晶硅膜层上沉积磷氢或硼氢构成的第二混合气体，对所述非晶硅薄膜层进行去氢。

在具体的实施方式中，通过化学气相沉积的方式通入磷氢或硼氢构成的第二混合气体。在其他实施方式中，也可以通过物理气相沉积的方式来实现，在此不做限定。

104: 对去氢后的所述非晶硅薄膜层进行退火处理，使参杂离子扩散，以形成多晶硅层 203。

具体地，为了使去氢后的非晶硅薄膜层的晶格更加均匀化，还需进一步地对该对去氢后的所述非晶硅薄膜层进行退火处理，使参杂离子扩散，以形成多晶硅层 203。

在具体的实施方式中，对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子即硼离子和磷离子扩散，以形成多晶硅层 203。如图 2A 所示，形成掺硼层 2031 以及掺磷层 2032。

105: 将所述多晶硅层图案化。

具体地，在形成多晶硅层 203 后，在该多晶硅层 203 上通过化学沉积的方式或通过物理沉积的方式沉积光阻，形成光阻层 204，并对该光阻层 204 进行曝光以及显影处理如图 2B 所示，其中，本次曝光过程，只需采用一道光罩，通过使用同时具有掩模和半掩模的特殊掩模板 100 对该光阻进行曝光和显影，使其得到预定的形状如图 2C 所示，其中，如图 2B 所示，掩模板 101 的 1011 部分为完全透光掩模，该部分光能够完全透过，1012 部分为半掩模，该部分只有部分光能透过，1013 部分为掩模，光完全不能透过。其中，该掩模板 100 的具体形状以及各部分所占的面积也可以根据实际需要来设定，在此不做限定。

再根据处理后的光阻形状对该多晶硅层 203 的掺磷层 2032 进行刻蚀，使所述掺磷层 2032 图案化。如图 2D 所示。

再次对光阻层 204 和掺磷层 2032 进一步进行曝光以及显影处理，并再次对掺磷层 2032 以及掺硼层 2031 进行刻蚀，使该掺磷层 2032 以及掺硼层 2031 再次被图案化，如图 2E 所示。

为了制备完整的低温多晶硅阵列基板，在对多晶硅层 204 完成图案化后，进一步地，在图案化后的多晶硅层上沉积栅极绝缘层，并在所述栅极绝缘层上形成栅极。

其中，所述栅极绝缘层包括氮化硅 SiN_x ，非晶氧化硅 SiO_x 中的至少一种，在其他实施方式中，也可以为其他绝缘物质，在此不做限定。

然后再在栅极以及栅极绝缘层的表面沉积层间绝缘层，并在所述层间绝缘层上形成以一沟道分隔开的源极和漏极。

在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层，并在所述平坦层的表面形成电极。

区别于现有技术，本实施方式在基板上形成缓冲层，采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层；采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢。对去氢后的所述非晶硅薄膜层进行退火处理，使掺杂离子扩散，以形成多晶硅层，并对该多晶硅层图案化。上述方式中，通过将第一混合气体与硼氢或磷氢掺杂离子气体同时通入形成掺杂的非晶硅薄膜层的方式不仅能够简化通入气体的程序，节省时间，而且，能够减少光罩次数，而且，也节省了掺杂设备。且通过通入气体的方式进行掺杂，也能够使得掺杂的更加均匀，改善低温多晶硅阵列基板的电性。

参阅图 3，图 3 是本发明阵列基板一实施方式的结构示意图。如图 3 所示，本实施方式的阵列基板包括基板 301 以及依次形成在基板 300 上的缓冲层 302 以及多晶硅层 303。

其中，所述多晶硅层 303 是在采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层 303 上形成掺杂的非晶硅薄膜层，采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢，以及退火处理使掺杂离子扩散后形成的。

其中，该基板 300 包括玻璃基板，在其他实施方式中还可以为其他基板如石英基板，在此不做限定。该基板 300 上形成有遮光层 301。缓冲层 302 形成在该遮光层 301 上。

在具体的实施方式中，该缓冲层 302 是先在所述遮光层上沉积 SiN_x 层 3021，再在 SiN_x 层 3021 上沉积 SiO_x 层 3022 后，由 SiN_x 层 3021 以及 SiO_x 层 3022 所构成的。

其中，上述的遮光层 301、 SiN_x 层 3021 以及 SiO_x 层 3022 均可通过化学气相沉积 CVD 或物理气相沉积 PVD 的方式来实现。

在具体的实施方式中，多晶硅层 303 是通过如下方式形成的：先通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢掺杂离子气体的方式，在缓冲层 302 上形成掺杂的非晶硅薄膜层。即在沉积第一混合气体形成非晶硅层的同时沉积硼氢或磷氢掺杂离子气体，其中，每一种不同的气体均通过不同的通道进行沉积后再进行混合，从而在该缓冲层 302 上形成掺杂了硼或磷离子的非晶硅薄膜。然后再通过化学气相沉积第二混

合气体的方式，对所述非晶硅薄膜层进行去氢。具体地，通过沉积磷氢或硼氢构成的第二混合气体对第一混合气体以及掺杂离子气体形成的非晶硅薄膜层进行去氢。最后再对去氢后的所述非晶硅薄膜层进行退火处理，使掺杂离子扩散，以形成多晶硅层 303。具体地，为了使去氢后的非晶硅薄膜层的晶格更加均匀化，对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子即硼离子和磷离子扩散，以形成多晶硅层 303。

在在形成多晶硅层 303 后，为了形成完整的阵列基板，还需对该多晶硅层图案化，在具体的实施方式中，在该多晶硅层 303 上通过化学沉积的方式或通过物理沉积的方式沉积光阻，形成光阻层，并对该光阻层进行曝光以及显影处理。其中，本次曝光过程，只需采用一道光罩，通过使用同时具有掩模和半掩模的特殊掩模板对该光阻进行曝光和显影。其中，该掩模板的具体形状以及各部分所占的面积也可以根据实际需要来设定，在此不做限定。

再根据处理后的光阻形状对该多晶硅层 303 的掺磷层 3032 进行刻蚀，使所述掺磷层 3032 图案化。再次对光阻层和掺磷层 3032 进一步进行曝光以及显影处理，并再次对掺磷层 3032 以及掺硼层 3031 进行刻蚀，使该掺磷层 3032 以及掺硼层 3031 再次被图案化。

进一步地，如图 3 所示，该阵列基板还包括沉积在该多晶硅层 303 上的栅极绝缘层 304，以及栅极绝缘层 304 上的栅极 305。该阵列基板还包括覆盖在该栅极绝缘层 304 以及栅极 305 上的层间绝缘层 306，该层间绝缘层 306 上还包括以一沟道分隔开的源极 307 和漏极 308。在源极 307、漏极 308 以及层间绝缘层 306 的表面上还覆盖有平坦层 309，且该平坦层 309 的表面还形成有电极 310。

区别于现有技术，本实施方式的阵列基板通过将第一混合气体与硼氢或磷氢掺杂离子气体同时通入形成掺杂的非晶硅薄膜层的方式不仅能够简化通入气体的程序，节省时间，而且，能够减少光罩次数，而且，也节省了掺杂设备。且通过通入气体的方式进行掺杂，也能够使得掺杂的更加均匀，改善低温多晶硅阵列基板的电性。

参阅图 4，图 4 是本发明显示面板一实施方式的结构示意图。本实施方式的显示面板包括相对设置的阵列基板 401、彩膜基板 402，还包括设置在

该阵列基板 401 以及彩膜基板 402 之间的液晶层 403。

阵列基板 401 包括：基板以及依次形成在所述基板上的缓冲层以及多晶硅层。其中，采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层，采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢，以及退火处理使参杂离子扩散后形成的。

其中，该基板包括玻璃基板，在其他实施方式中还可以为其他基板如石英基板，在此不做限定。该基板上形成有遮光层。缓冲层形成在该遮光层上。

在具体的实施方式中，该缓冲层是先在所述遮光层上沉积 SiN_x 层，再在 SiN_x 层上沉积 SiO_x 层后，由 SiN_x 层以及 SiO_x 层所构成的。

其中，上述的遮光层、 SiN_x 层以及 SiO_x 层均可通过化学气相沉积 CVD 或物理气相沉积 PVD 的方式来实现。

在具体的实施方式中，多晶硅层是通过如下方式形成的：先通过化学气相沉积的方式在缓冲层上通入 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢参杂离子气体，形成掺杂的非晶硅薄膜层。即在通入第一混合气体形成非晶硅层的同时通入硼氢或磷氢参杂离子气体，其中，每一种不同的气体均通过不同的通道进行通入后再进行混合，从而在该缓冲层上形成掺杂了硼或磷离子的非晶硅薄膜。然后再通过化学气相沉积的方式在非晶硅膜层上通入第二混合气体，对所述非晶硅薄膜层进行去氢。具体地，在第一混合气体以及掺杂离子气体形成的非晶硅膜层上通入磷氢或硼氢构成的第二混合气体对非晶硅薄膜层进行去氢。最后再对去氢后的所述非晶硅薄膜层进行退火处理，使参杂离子扩散，以形成多晶硅层。具体地，为了使去氢后的非晶硅薄膜层的晶格更加均匀化，对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子即硼离子和磷离子扩散，以形成多晶硅层。

在在形成多晶硅层后，为了形成完整的阵列基板，还需对该多晶硅层图案化，在具体的实施方式中，在该多晶硅层上通过化学沉积的方式或通过物理沉积的方式沉积光阻，形成光阻层，并对该光阻层进行曝光以及显影处理。其中，本次曝光过程，只需采用一道光罩，通过使用同时具有掩

模和半掩模的特殊掩模板对该光阻进行曝光和显影。其中，该掩模板的具体形状以及各部分所占的面积也可以根据实际需要来设定，在此不做限定。

再根据处理后的光阻形状对该多晶硅层的掺磷层进行刻蚀，使所述掺磷层图案化。再次对光阻层和掺磷层进一步进行曝光以及显影处理，并再次对掺磷层以及掺硼层进行刻蚀，使该掺磷层以及掺硼层再次被图案化。

进一步地，该阵列基板还包括沉积在该多晶硅层上的栅极绝缘层，以及栅极绝缘层上的栅极。该阵列基板还包括覆盖在该栅极绝缘层以及栅极上的层间绝缘层，该层间绝缘层上还包括以一沟道分隔开的源极和漏极。在源极、漏极以及层间绝缘层的表面上还覆盖有平坦层，且该平坦层的表面还形成有电极。

区别于现有技术，本实施方式的阵列基板通过将第一混合气体与硼氢或磷氢参杂离子气体同时通入形成掺杂的非晶硅薄膜层的方式不仅能够简化通入气体的程序，节省时间，而且，能够减少光罩次数，而且，也节省了掺杂设备。且通过通入气体的方式进行掺杂，也能够使得参杂的更加均匀，改善低温多晶硅阵列基板的电性。

以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求

1.一种显示面板，所述显示面板包括阵列基板，其中，所述阵列基板包括：

5 基板以及依次形成在所述基板上的缓冲层以及多晶硅层；

其中，所述多晶硅层是通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢参杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层，采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢，以及退火处理使参杂离子扩散后形成的；

10 所述阵列基板还包括在所述多晶硅层上沉积的栅极绝缘层、在所述栅极绝缘层上形成的栅极、在所述栅极以及栅极绝缘层的表面沉积的层间绝缘层、在所述层间绝缘层上形成的以一沟道分隔开的源极和漏极、在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层、以及在所述平坦层的表面形成的电极。

15 2.根据权利要求1所述的显示面板，其中，所述非晶硅薄膜层具体通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式，进行去氢。

3.根据权利要求1所述的显示面板，其中，所述多晶硅层具体由对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子扩散形成。

20 4.根据权利要求1所述的显示面板，其中，所述多晶硅层还通过在所述多晶硅层上沉积光阻，通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理；并根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀，使所述掺磷层图案化；再次对所述光阻进行曝光以及显影处理，对位于所述掺磷层下方的掺硼层进行刻蚀，使所述掺硼层
25 图案化，以实现所述多晶硅层的图像化。

5.根据权利要求1所述的显示面板，其中，所述阵列基板还包括在所述基板上形成的遮光层，所述缓冲层具体通过在所述遮光层上沉积 SiN_x 层，并在所述 SiN_x 层上沉积 SiO_x 层，以由所述 SiN_x 层以及所述 SiO_x 层构成的。

6.一种低温多晶硅阵列基板的制备方法，其中，所述制备方法包括：

30 设置一基板，并在所述基板上形成缓冲层；

采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层；

采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢；

对去氢后的所述非晶硅薄膜层进行退火处理，使掺杂离子扩散，以形成多晶硅层；

将所述多晶硅层图案化。

7.根据权利要求6所述的制备方法，其中，所述采用气象沉积第一混合气体以及掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层的步骤具体包括：

10 通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢掺杂离子气体的方式，在所述缓冲层上形成掺杂的非晶硅薄膜层。

8.根据权利要求7所述的制备方法，其中，所述采用气象沉积第二混合气体的方式，对所述非晶硅薄膜层进行去氢的步骤具体包括：

15 通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式，对所述非晶硅薄膜层进行去氢。

9.根据权利要求6所述的制备方法，其中，所述对去氢后的所述非晶硅薄膜层进行退火处理，使掺杂离子扩散，以形成多晶硅层的步骤具体包括：

对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子扩散，以形成多晶硅层。

20 10.根据权利要求6所述的制备方法，其中，所述将所述多晶硅层图案化的步骤具体包括：

在所述多晶硅层上沉积光阻，通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理；

25 根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀，使所述掺磷层图案化；

再次对所述光阻进行曝光以及显影处理，对位于所述掺磷层下方的掺硼层进行刻蚀，使所述掺硼层图案化。

11.根据权利要求6所述的制备方法，其中，所述设置一基板，并在所述基板上形成缓冲层的步骤具体包括：

30 设置所述第一基板，并在所述第一基板上形成遮光层；

在所述遮光层上沉积 SiN_x 层;

在所述 SiN_x 层上沉积 SiO_x 层, 其中, 所述 SiN_x 层以及所述 SiO_x 层构成所述缓冲层。

12. 根据权利要求 6 所述的制备方法, 其中, 所述将所述多晶硅层图案化的步骤之后还包括:

在图案化后的多晶硅层上沉积栅极绝缘层, 并在所述栅极绝缘层上形成栅极;

在所述栅极以及栅极绝缘层的表面沉积层间绝缘层, 并在所述层间绝缘层上形成以一沟道分隔开的源极和漏极;

10 在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层, 并在所述平坦层的表面形成电极。

13. 一种阵列基板, 其中, 所述阵列基板包括;

基板以及依次形成在所述基板上的缓冲层以及多晶硅层;

15 其中, 所述多晶硅层是在采用气象沉积第一混合气体以及掺杂离子气体的方式, 在所述缓冲层上形成掺杂的非晶硅薄膜层, 采用气象沉积第二混合气体的方式, 对所述非晶硅薄膜层进行去氢, 以及退火处理使掺杂离子扩散后形成的。

14. 根据权利要求 13 所述的阵列基板, 其中, 所述非晶硅薄膜层具体通过化学气相沉积 SiH_4 、 Ar 、 H_2 组成的第一混合气体以及硼氢或磷氢掺杂离子气体的方式, 在所述缓冲层上形成的。

15. 根据权利要求 14 所述的阵列基板, 其中, 所述非晶硅薄膜层具体通过化学气相沉积磷氢或硼氢构成的第二混合气体的方式, 进行去氢。

16. 根据权利要求 13 所述的阵列基板, 其中, 所述多晶硅层具体由对去氢后的所述非晶硅薄膜层使用准分子镭射退火的方式使所述掺杂离子扩散形成。

17. 根据权利要求 13 所述的阵列基板, 其中, 所述多晶硅层还通过在所述多晶硅层上沉积光阻, 通过一道光罩采用同时具有掩膜和半掩膜的掩模板对所述光阻进行曝光以及显影处理; 并根据处理后的光阻形状对所述多晶硅层的掺磷层进行刻蚀, 使所述掺磷层图案化; 再次对所述光阻进行曝光以及显影处理, 对位于所述掺磷层下方的掺硼层进行刻蚀, 使所述掺硼

层图案化，以实现所述多晶硅层的图像化。

18.根据权利要求 13 所述的阵列基板，其中，所述阵列基板还包括在所述基板上形成的遮光层，所述缓冲层具体通过在所述遮光层上沉积 SiN_x 层，并在所述 SiN_x 层上沉积 SiO_x 层，以由所述 SiN_x 层以及所述 SiO_x 层构成的。

5 19.根据权利要求 13 所述的阵列基板，其中，所述阵列基板还包括在所述多晶硅层上沉积的栅极绝缘层、在所述栅极绝缘层上形成的栅极、在所述栅极以及栅极绝缘层的表面沉积的层间绝缘层、在所述层间绝缘层上形成的以一沟道分隔开的源极和漏极、在所述源极、所述漏极以及层间绝缘层的表面覆盖平坦层、以及在所述平坦层的表面形成的电极。

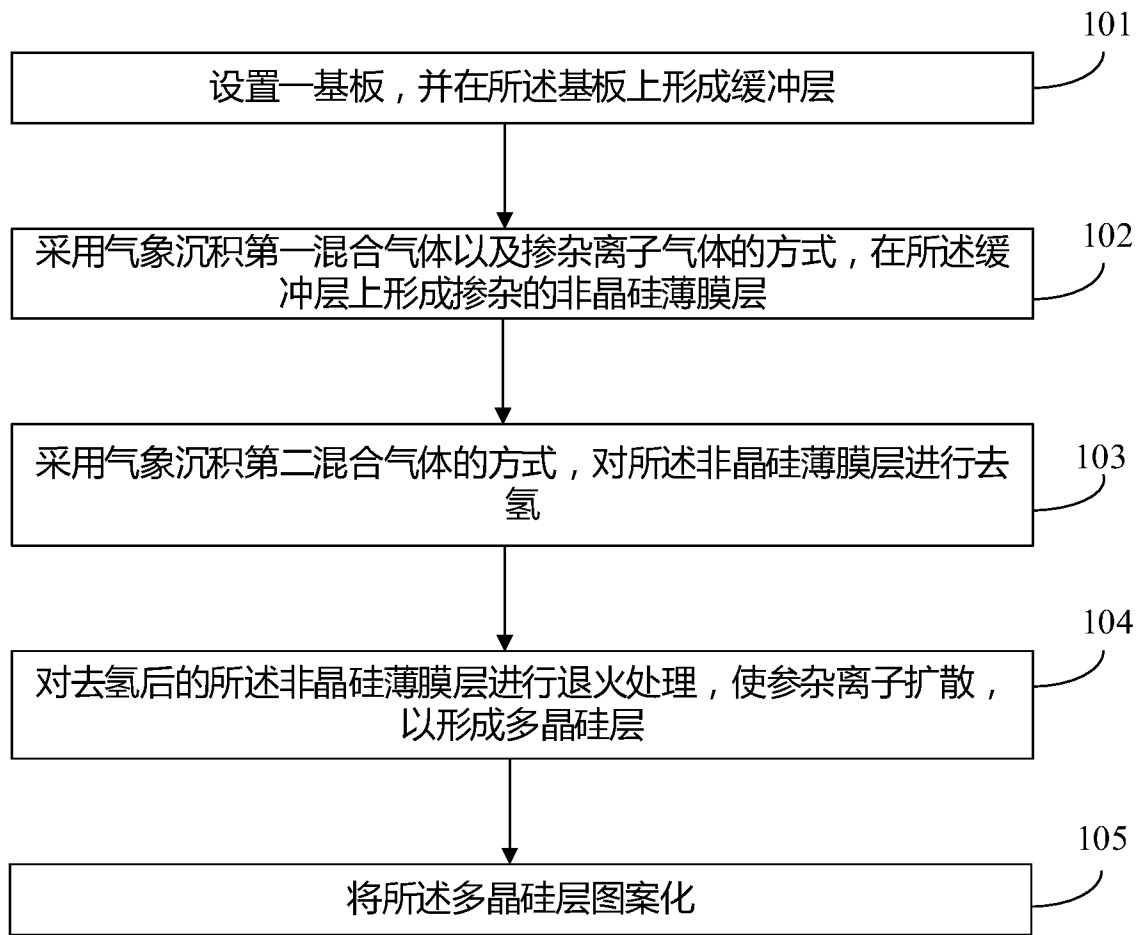


图 1

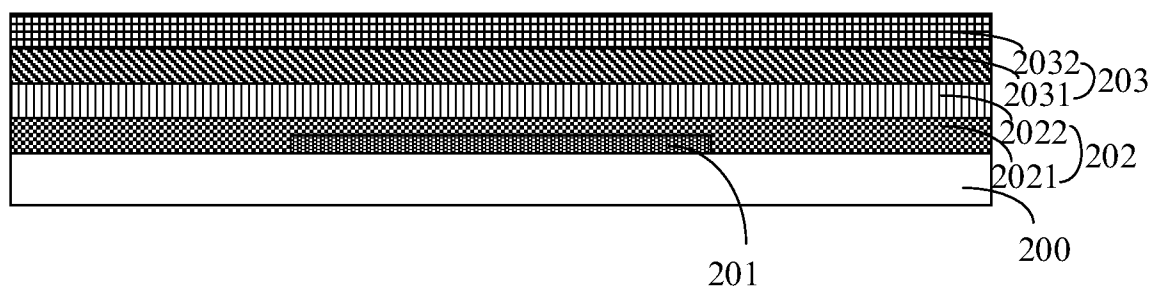


图 2A

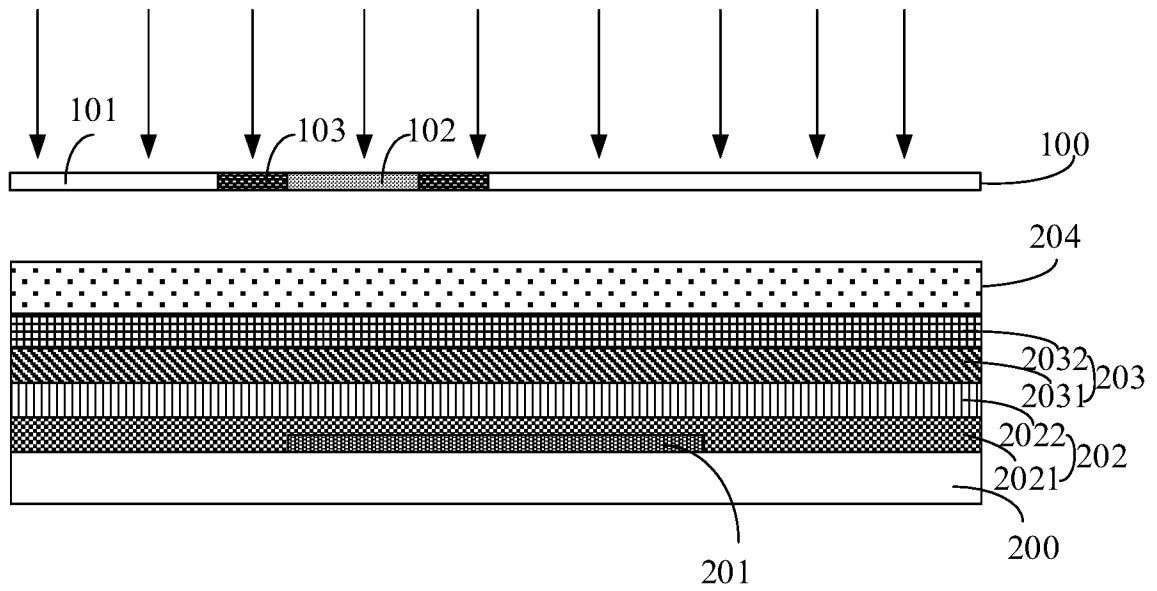


图 2B

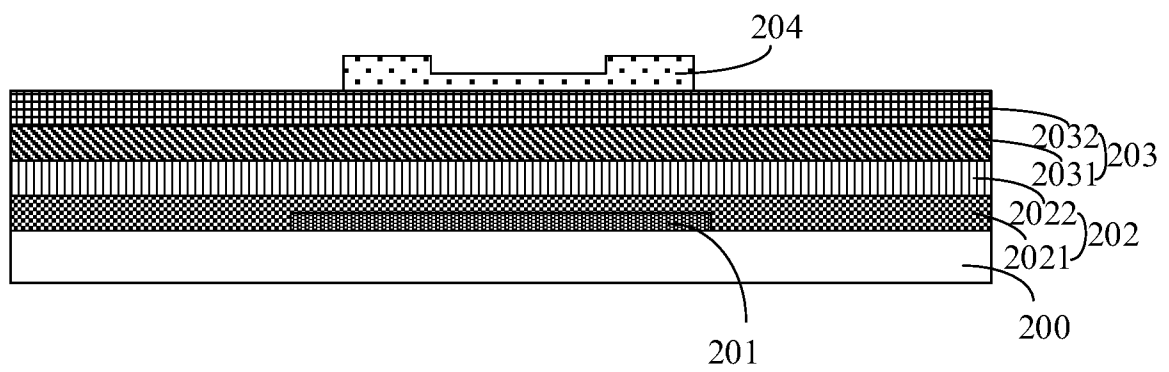


图 2C

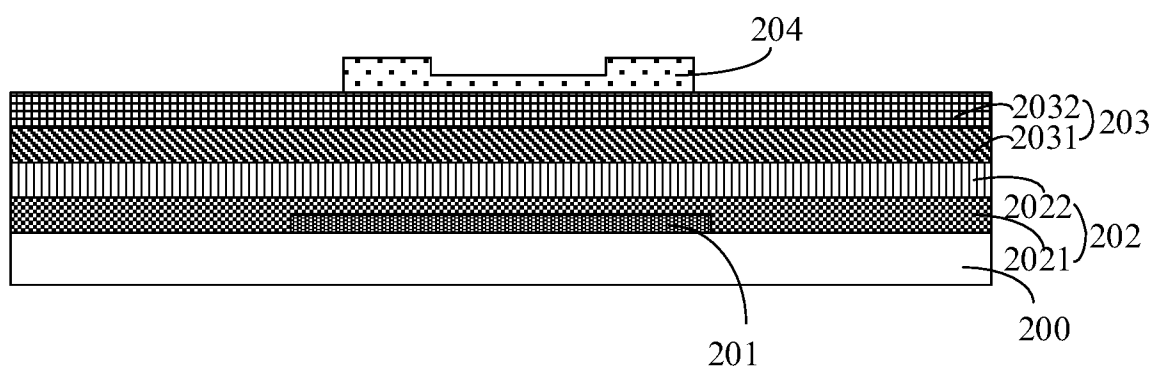


图 2D

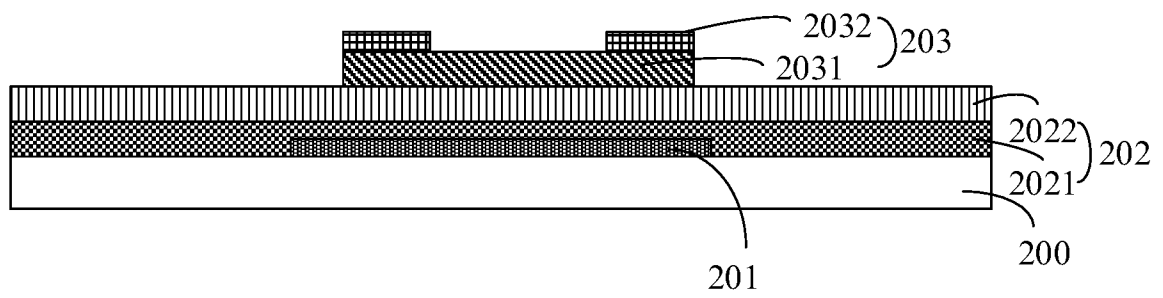


图 2E

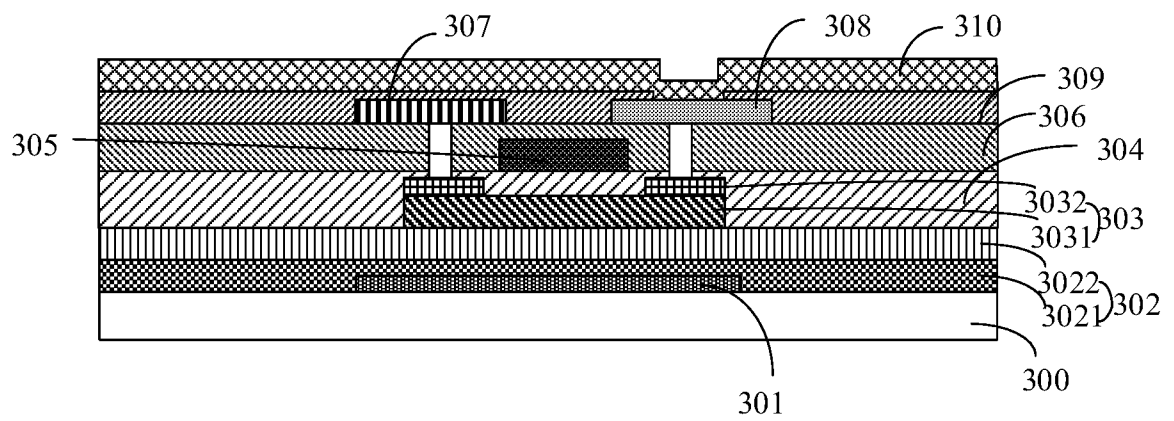


图 3

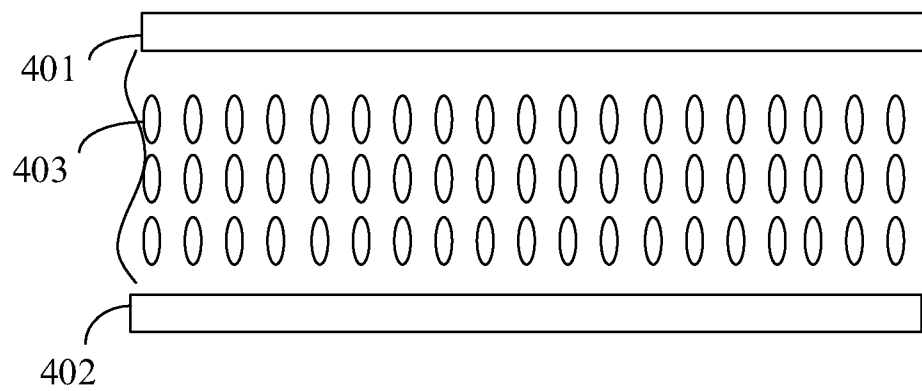


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/099215

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21, H01L 27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 华星, 多晶硅, 非晶硅, 掺杂, 参杂, 气体, 混合, 离子, 去氢, 硼, 磷, poly silicon, si, polycrystalline, dop+, amorphous, ion, mix+, gas

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 104576399 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.), 29 April 2015 (29.04.2015), description, paragraphs [0016]-[0023], [0027] and [0028], claim 7, and figures 3A-3D	1-19
Y	CN 101409232 A (TOKYO ELECTRON LTD.), 15 April 2009 (15.04.2009), description, page 4, line 18 to page 7, line 3, and figure 1	1-19
Y	CN 105304641 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 03 February 2016 (03.02.2016), description, paragraphs [0041]-[0059], and figures 1-3	1-19
Y	CN 105140130 A (TRULY (HUIZHOU) SMART DISPLAY CO., LTD.), 09 December 2015 (09.12.2015), description, paragraphs [0031]-[0082], and figures 1-2	1-19
Y	CN 101183643 A (SONY CORPORATION), 21 May 2008 (21.05.2008), description, page 5, lines 4-29 and page 9, line 26 to page 10, line 11	1-19
A	CN 1540729 A (AU OPTRONICS CORP.), 27 October 2004 (27.10.2004), entire document	1-19

☐ Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 April 2017	Date of mailing of the international search report 03 May 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Fang Telephone No. (86-10) 62085754

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/099215

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104576399 A	29 April 2015	None	
CN 101409232 A	15 April 2009	KR 101196576 B1	01 November 2012
		KR 20090037821 A	16 April 2009
		CN 101409232 B	25 April 2012
		US 2009124077 A1	14 May 2009
		TW 200921766 A	16 May 2009
		US 7923357 B2	12 April 2011
		JP 2009099582 A	07 May 2009
		TW I489524 B	21 June 2015
		JP 5311791 B2	09 October 2013
CN 105304641 A	03 February 2016	None	
CN 105140130 A	09 December 2015	None	
CN 101183643 A	21 May 2008	US 2008119030 A1	22 May 2008
		KR 20080044765 A	21 May 2008
		TW 200834674 A	16 August 2008
		JP 2008124408 A	29 May 2008
CN 1540729 A	27 October 2004	CN 100555587 C	28 October 2009

A. 主题的分类 H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L21, H01L27 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, VEN: 华星, 多晶硅, 非晶硅, 掺杂, 参杂, 气体, 混合, 离子, 去氢, 硼, 磷, poly silicon, si, polycrystalline, dop+, amorphous, ion, mix+, gas																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 104576399 A (昆山国显光电有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书[0016]-[0023]段, [0027]和[0028]段、权利要求7、附图3A-3D</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 101409232 A (东京毅力科创株式会社) 2009年 4月 15日 (2009 - 04 - 15) 说明书第4页第18行至第7页第3行、附图1</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 105304641 A (武汉华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 说明书第[0041]-[0059]段、附图1-3</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 105140130 A (信利惠州智能显示有限公司) 2015年 12月 9日 (2015 - 12 - 09) 说明书第[0031]-[0082]段、附图1-2</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 101183643 A (索尼株式会社) 2008年 5月 21日 (2008 - 05 - 21) 说明书第5页第4-29行, 第9页第26行至第10页第11行</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 1540729 A (友达光电股份有限公司) 2004年 10月 27日 (2004 - 10 - 27) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 104576399 A (昆山国显光电有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书[0016]-[0023]段, [0027]和[0028]段、权利要求7、附图3A-3D	1-19	Y	CN 101409232 A (东京毅力科创株式会社) 2009年 4月 15日 (2009 - 04 - 15) 说明书第4页第18行至第7页第3行、附图1	1-19	Y	CN 105304641 A (武汉华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 说明书第[0041]-[0059]段、附图1-3	1-19	Y	CN 105140130 A (信利惠州智能显示有限公司) 2015年 12月 9日 (2015 - 12 - 09) 说明书第[0031]-[0082]段、附图1-2	1-19	Y	CN 101183643 A (索尼株式会社) 2008年 5月 21日 (2008 - 05 - 21) 说明书第5页第4-29行, 第9页第26行至第10页第11行	1-19	A	CN 1540729 A (友达光电股份有限公司) 2004年 10月 27日 (2004 - 10 - 27) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 104576399 A (昆山国显光电有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书[0016]-[0023]段, [0027]和[0028]段、权利要求7、附图3A-3D	1-19																					
Y	CN 101409232 A (东京毅力科创株式会社) 2009年 4月 15日 (2009 - 04 - 15) 说明书第4页第18行至第7页第3行、附图1	1-19																					
Y	CN 105304641 A (武汉华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 说明书第[0041]-[0059]段、附图1-3	1-19																					
Y	CN 105140130 A (信利惠州智能显示有限公司) 2015年 12月 9日 (2015 - 12 - 09) 说明书第[0031]-[0082]段、附图1-2	1-19																					
Y	CN 101183643 A (索尼株式会社) 2008年 5月 21日 (2008 - 05 - 21) 说明书第5页第4-29行, 第9页第26行至第10页第11行	1-19																					
A	CN 1540729 A (友达光电股份有限公司) 2004年 10月 27日 (2004 - 10 - 27) 全文	1-19																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 4月 21日		国际检索报告邮寄日期 2017年 5月 3日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王方 电话号码 (86-10)62085754																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/099215

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104576399	A	2015年 4月 29日	无			
CN	101409232	A	2009年 4月 15日	KR	101196576	B1	2012年 11月 1日
				KR	20090037821	A	2009年 4月 16日
				CN	101409232	B	2012年 4月 25日
				US	2009124077	A1	2009年 5月 14日
				TW	200921766	A	2009年 5月 16日
				US	7923357	B2	2011年 4月 12日
				JP	2009099582	A	2009年 5月 7日
				TW	I489524	B	2015年 6月 21日
				JP	5311791	B2	2013年 10月 9日
CN	105304641	A	2016年 2月 3日	无			
CN	105140130	A	2015年 12月 9日	无			
CN	101183643	A	2008年 5月 21日	US	2008119030	A1	2008年 5月 22日
				KR	20080044765	A	2008年 5月 21日
				TW	200834674	A	2008年 8月 16日
				JP	2008124408	A	2008年 5月 29日
CN	1540729	A	2004年 10月 27日	CN	100555587	C	2009年 10月 28日

表 PCT/ISA/210 (同族专利附件) (2009年7月)