



(12)发明专利

(10)授权公告号 CN 107946282 B

(45)授权公告日 2020.09.01

(21)申请号 201711203872.8

(22)申请日 2017.11.27

(65)同一申请的已公布的文献号

申请公布号 CN 107946282 A

(43)申请公布日 2018.04.20

(73)专利权人 上海先方半导体有限公司

地址 200000 上海市浦东新区自由贸易试
验区创新西路778号

(72)发明人 陈峰 张文奇

(74)专利代理机构 上海智晟知识产权代理事务
所(特殊普通合伙) 31313

代理人 张东梅

(51)Int.Cl.

H01L 23/535(2006.01)

H01L 21/768(2006.01)

(56)对比文件

US 6258626 B1,2001.07.10

CN 105552065 A,2016.05.04

CN 105405827 A,2016.03.16

审查员 肖瑶

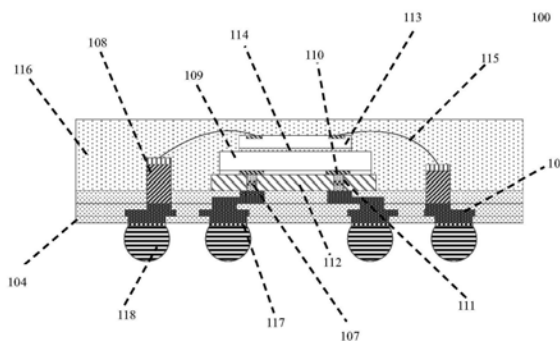
权利要求书2页 说明书8页 附图7页

(54)发明名称

三维扇出型封装结构及其制造方法

(57)摘要

本发明的实施例公开了一种三维扇出型封装结构,包括:第一芯片,所述第一芯片的正面具有电极,所述电极的表面设置有导电柱;第二芯片,所述第二芯片的正面具有电极,所述第二芯片的背面层附连所述第一芯片的背面上;布线结构,所述布线结构包括第一绝缘树脂、嵌入在所述第一绝缘树脂内的导电路路,所述布线结构具有第一面和与第一面相对的第二面;第一金属柱和第二金属柱,所述第一金属柱和第二金属柱形成在所述布线结构的第一面并且与所述导电路路电连接,其中所述第一芯片倒装焊接在所述第一金属柱上,所述第一金属柱同所述导电柱形成电性连接,所述第二金属柱通过键合引线同所述第二芯片的电极形成电连接。



1. 一种三维扇出型封装结构,包括:

第一芯片,所述第一芯片具有正面和与正面相对的背面,所述第一芯片的正面具有电极,所述电极的表面设置有导电柱,所述第一芯片是横向排列的多颗芯片或纵向层叠的多颗芯片;

第二芯片,所述第二芯片具有正面和与正面相对的背面,所述第二芯片的正面具有电极,所述第二芯片的背面层附连所述第一芯片的背面上;

布线结构,所述布线结构包括第一绝缘树脂、嵌入在所述第一绝缘树脂内的导电路路,所述布线结构具有第一面和与第一面相对的第二面;

第一金属柱和第二金属柱,所述第一金属柱和第二金属柱形成在所述布线结构的第一面并且与所述导电路路电连接,其中所述第一芯片倒装焊接在所述第一金属柱上,所述第一金属柱同所述导电柱形成电性连接,所述第二金属柱通过键合引线同所述第二芯片的电极形成电连接。

2. 如权利要求1所述的三维扇出型封装结构,其特征在于,还包括填充在所述第一金属柱与所述导电柱之间的灌封胶。

3. 如权利要求1所述的三维扇出型封装结构,其特征在于,所述第二芯片包括纵向重叠的两个或更多的芯片,其中所述纵向重叠的两个或更多的芯片中最下部芯片的背面通过粘结胶附连到第一芯片的背面,所述纵向重叠的两个或更多的芯片中上部芯片的背面通过粘结胶附连到下部芯片的正面。

4. 如权利要求1所述的三维扇出型封装结构,其特征在于,所述第二芯片包括非重叠的两个或更多芯片。

5. 如权利要求1所述的三维扇出型封装结构,还包括设置在所述布线结构的第二面上的焊盘金属层和焊球。

6. 一种形成三维扇出型封装结构的方法,包括:

在第一芯片正面的电极上形成导电柱;

在载片表面形成临时键合层;

在所述临时键合层上形成阻挡层;

在所述阻挡层上形成布线结构,包括形成第一绝缘树脂,在所述第一绝缘树脂表面形成开口,在所述第一绝缘树脂开口处和表面形成导电路路;

在暴露的导电路路处形成第一金属柱和第二金属柱;

将所述第一芯片倒装焊接到所述第一金属柱,使得所述导电柱与所述第一金属柱形成电连接;

在所述导电柱与所述第一金属柱之间填充灌封胶,所述灌封胶将所述导电柱与所述第一金属柱包裹,并填充所述第一芯片与所述第一绝缘树脂之间的空隙;

将第二芯片的背面键合到所述第一芯片的背面;以及

通过键合引线将所述第二芯片正面的电极电连接到所述第二金属柱。

7. 如权利要求6所述的方法,还包括多次重复形成布线结构的步骤,从而形成多层导电路路和第一绝缘树脂。

8. 如权利要求6所述的方法,还包括对所述第一芯片、第二芯片、第二金属柱结构进行塑封。

9. 如权利要求8所述的方法,还包括:

去除所述载片、临时键合层和阻挡层,露出第一绝缘树脂和部分导电路径;

在露出的导电路径表面形成凸点下金属层;以及

在凸点下金属层表面形成焊球。

三维扇外型封装结构及其制造方法

技术领域

[0001] 本发明涉及封装领域,尤其涉及一种三维高密度扇外型封装结构及其制造方法。

背景技术

[0002] 三维集成电路封装具有很多优点,例如,封装密度高,占用面积小。现有技术中存在多种三维集成电路封装结构及三维集成电路封装方法。

[0003] 图1示出了一种现有技术的PoP(封装上的封装)封装结构的横截面示意图。PoP封装采用两个封装体叠加的方式制作,包括顶部封装体101和底部封装体102,总厚度接近1.4mm。顶部封装体101包含层叠芯片103。顶部封装体101和底部封装体102各包含一个电路板(电路板厚度0.3mm)和一组焊球104(焊球高度0.25mm)。这种PoP封装采用两个封装体叠加的方式制作,上下封装体可能产自不同厂家。每个封装体中电路板产自不同厂家。供应链冗长,供应商管理复杂。

[0004] 图2示出了一种现有技术的扇外型PoP封装结构的横截面示意图。扇外型PoP封装采用两个封装体叠加的方式制作,包括上封装体201和扇出封装体202。上封装体201中包含一个电路板(电路板厚度0.25mm)和一组焊球(焊球高度0.15mm)。上封装体201的高度B1一般为0.55mm,最低为0.5mm;扇出封装体202的高度A2一般为0.25mm;焊球203的高度A1一般为0.15mm最低为0.1mm,扇外型PoP封装的总厚度接近0.95mm,最低为0.85mm。这种扇外型PoP封装采用两个封装体叠加的方式制作,上下封装体可能产自不同厂家,封装体中电路板也产自其他厂家。供应链同样冗长,供应商管理也很复杂。

[0005] 另一种现有的三维集成电路封装技术是3D高密度封装技术,这种技术采用TSV结构,成本大幅度增加,虽然技术产生很多年,但一直没有形成大批量生产。这种3D高密度封装还需考虑上下多层芯片的协同设计与制作,为芯片设计和生产造成了极大难度,需要不同厂家统一设计规格和技术要求,难度极高。

[0006] 中国专利申请CN103681606A公开了一种3D封装结构,如图3所示,封装结构中包含半导体管芯120,半导体管芯120上面还包另一个封装结构110。封装结构110含有另一个半导体管芯112/111以及相应的互联结构118等。通过焊料层形成的各个连接件119,使封装结构110同半导体管芯120可以通过金属线136等结构互联。最终形成三维结构的封装体。该专利申请公开的3D封装结构中封装体内部包含一个小的封装结构110。半导体管芯112/111通过引线113/114同互联结构117相连。互联结构117包含金属线和通孔。封装结构110通过焊料层形成的各个连接件119,同半导体管芯120进行互联。芯片与芯片之间的互联结构复杂。

[0007] 中国专利申请CN106684055A公开了一种扇外型晶圆级封装结构,如图4所示,该扇外型封装结构包含由焊盘31、第一介电层32、金属布线层33和下金属化层34组成的金属布线层3,金属布线层3上面带有凸块保护结构的倒装芯片4和第一凸块5,金属布线层3余倒装芯片4之间包裹塑封层6,金属布线层3下面带有第二凸块7。该专利申请公开的封装结构为平面二维封装结构,而非三维封装结构。

[0008] PCT国际专利申请W02013097582A1公开了另一种芯片上倒装芯片封装,如图5所示

该封装结构为引线框架封装结构,需要先制作引线框架,然后再贴装芯片。在结构中没有多层导电路路和多层绝缘树脂,无法做到高密封装。

[0009] 中国专利申请CN105428260A公开了一种基于载体的扇出封装结构,如图6所示,该专利结构中不存在TSV转接板1,芯片2通过倒装的方式黏贴在TSV转接板1上,形成互联。

[0010] 这些基于现有技术的三维集成电路封装结构和方法大部分需要利用PCB电路板、转接板及TSV通孔,制造成本高,工艺复杂,封装厚度高。因此本领域需要一种新型的三维集成电路封装结构及其制造方法,通过这种新型的三维集成电路封装结构及其制造方法能够至少部分地解决现有三维集成电路封装技术中存在的问题。

发明内容

[0011] 针对现有技术中存在的问题,本发明的一个实施例中提供一种三维扇外型封装结构,包括:第一芯片,所述第一芯片具有正面和与正面相对的背面,所述第一芯片的正面具有电极,所述电极的表面设置有导电柱;第二芯片,所述第二芯片具有正面和与正面相对的背面,所述第二芯片的正面具有电极,所述第二芯片的背面层附连所述第一芯片的背面上;布线结构,所述布线结构包括第一绝缘树脂、嵌入在所述第一绝缘树脂内的导电路路,所述布线结构具有第一面和与第一面相对的第二面;第一金属柱和第二金属柱,所述第一金属柱和第二金属柱形成在所述布线结构的第一面并且与所述导电路路电连接,其中所述第一芯片倒装焊接在所述第一金属柱上,所述第一金属柱同所述导电柱形成电性连接,所述第二金属柱通过键合引线同所述第二芯片的电极形成电连接。

[0012] 在本发明的一个实施例中,所述第一芯片是横向排列的多颗芯片或纵向层叠的多颗芯片。

[0013] 在本发明的一个实施例中,三维扇外型封装结构还包括填充在所述第一金属柱与所述导电柱之间的灌封胶。

[0014] 在本发明的一个实施例中,所述第二芯片包括纵向重叠的两个或更多的芯片,其中最下部芯片的背面通过粘结胶附连到第一芯片的背面,上部芯片的背面通过粘结胶附连到下部芯片的正面。

[0015] 在本发明的一个实施例中,所述第二芯片包括非重叠的两个或更多芯片。

[0016] 在本发明的一个实施例中,三维扇外型封装结构还包括设置在所述布线结构的第二面上的焊盘金属层和焊球。

[0017] 本发明的另一个实施例提供一种形成三维扇外型封装结构的方法,包括:在第一芯片正面的电极上形成导电柱;在载片表面形成临时键合层;在所述临时键合层上形成阻挡层;在所述阻挡层上形成布线结构,包括形成第一绝缘树脂,在所述第一绝缘树脂表面形成开口,在所述第一绝缘树脂开口处和表面形成导电路路;在暴露的导电路路处形成第一金属柱和第二金属柱;将所述第一芯片倒装焊接到所述第一金属柱,使得所述导电柱与所述第一金属柱形成电连接;在所述导电柱与所述第一金属柱之间填充灌封胶,所述灌封胶将所述导电柱与所述第一金属柱包裹,并填充所述第一芯片与所述第一绝缘树脂之间的空隙;将所述第二芯片的背面键合到所述第一芯片的背面;以及通过键合引线将所述第二芯片正面的电极电连接到所述第二金属柱。

[0018] 在本发明的另一个实施例中,该方法还包括多次重复形成布线结构的步骤,从而

形成多层导电路径和第一绝缘树脂。

[0019] 在本发明的一另一个实施例中,该方法还包括对所述第一芯片、第二芯片、第二金属柱结构进行塑封。

[0020] 在本发明的一另一个实施例中,该方法还包括:去除所述载片、临时键合层和阻挡层,露出第一绝缘树脂和部分导电路径;在露出的导电路径表面形成凸点下金属层;以及在凸点下金属层表面形成焊球。

[0021] 由于在该封装结构中不需要电路板,产品三维尺寸大幅度缩小,并可以由一家供应商完成全部封装工艺,降低供应商管理风险。由于没有使用TSV(硅通孔)结构,而是借助金属柱加打线的三维互联技术,制作成本大幅度降低。

附图说明

[0022] 为了进一步阐明本发明的各实施例的以上和其它优点和特征,将参考附图来呈现本发明的各实施例的更具体的描述。可以理解,这些附图只描绘本发明的典型实施例,因此将不被认为是对其范围的限制。在附图中,为了清楚明了,相同或相应的部件将用相同或类似的标记表示。

[0023] 图1示出了一种现有技术的PoP(封装上的封装)封装结构的横截面示意图。

[0024] 图2示出了一种现有技术的扇外型PoP封装结构的横截面示意图。

[0025] 图3示出了一种现有技术的3D封装结构。

[0026] 图4示出了一种现有技术的扇外型晶圆级封装结构。

[0027] 图5示出了一种现有技术的芯片上倒装芯片封装结构。

[0028] 图6示出了一种现有技术的基于载体的扇出封装结构。

[0029] 图7示出根据本发明的一个实施例的三维高密度扇外型封装结构100的横截面示意图。

[0030] 图8A至图8H示出根据本发明的一个实施例形成三维高密度扇外型封装结构的过程的横截面示意图。

[0031] 图9示出根据本发明的一个实施例形成三维高密度扇外型封装结构的流程图。

[0032] 图10示出根据本发明的一个实施例的三维高密度扇外型封装结构1000的横截面示意图。

[0033] 图11示出根据本发明的一个实施例的三维高密度扇外型封装结构1100的横截面示意图。

[0034] 图12示出根据本发明的一个实施例的三维高密度扇外型封装结构1200的横截面示意图。

具体实施方式

[0035] 在以下的描述中,参考各实施例对本发明进行描述。然而,本领域的技术人员将认识到可在没有或一个或多个特定细节的情况下或者与其它替换和/或附加方法、材料或组件一起实施各实施例。在其它情形中,未示出或未详细描述公知的结构、材料或操作以免使本发明的各实施例的诸方面晦涩。类似地,为了解释的目的,阐述了特定数量、材料和配置,以便提供对本发明的实施例的全面理解。然而,本发明可在没有特定细节的情况下实施。此

外,应理解附图中示出的各实施例是说明性表示且不一定按比例绘制。

[0036] 在本说明书中,对“一个实施例”或“该实施例”的引用意味着结合该实施例描述的特定特征、结构或特性被包括在本发明的至少一个实施例中。在本说明书各处中出现的短语“在一个实施例中”并不一定全部指代同一实施例。

[0037] 需要说明的是,本发明的实施例以特定顺序对工艺步骤进行描述,然而这只是为了方便区分各步骤,而并不是限定各步骤的先后顺序,在本发明的不同实施例中,可根据工艺的调节来调整各步骤的先后顺序。

[0038] 本发明的实施例提供一种三维高密度扇外型封装结构及其制造方法,在本发明的实施例公开的封装结构中不需要PCB电路板,产品三维尺寸大幅度缩小,可以由一家供应商完成全部封装工艺,降低供应商管理风险,借助金属柱加键合引线的三维互联技术,制作成本大幅度降低。

[0039] 图7示出根据本发明的一个实施例的三维高密度扇外型封装结构100的横截面示意图。如图7所示,三维高密度扇外型封装结构100可包括第一芯片109。第一芯片109的正面带有电极110。电极110表面设置有导电柱111。

[0040] 在本发明的具体实施例中,第一芯片109可以是中央处理器芯片、图形处理器芯片、应用处理器芯片、控制芯片、逻辑芯片等产品。第一芯片109不局限于单个芯片,也不局限于有源无源器件。第一芯片109可以是横向排列的多颗芯片,也可以是纵向层叠的多颗芯片。

[0041] 导电柱111成分可以为钨、钛、铜、铝、镍、锡、铁、银、金等金属或以上金属的合金。可以通过电镀、化学镀,沉积、印刷等工艺形成。

[0042] 三维高密度扇外型封装结构100还可包括一个或多个第二芯片113,一个或多个第二芯片113层叠在第一芯片109的背面。在图1所示的实施例中,仅示出一个第二芯片113,但本发明的范围不限于此。第二芯片113的背面可通过粘结胶114附连到第一芯片109的背面。第二芯片113的正面具有电极。

[0043] 三维高密度扇外型封装结构100还可包括布线结构,该布线结构包括第一绝缘树脂104,第一绝缘树脂104内嵌有导电路径105。导电路径105一面形成有第一金属柱107和第二金属柱108。

[0044] 第一金属柱107同导电柱111形成电性连接,第一金属柱107同导电柱111之间可填充灌封胶112。第二金属柱108通过键合引线115同第二芯片113的电极形成电性连接。

[0045] 三维高密度扇外型封装结构100还可包括塑封料116,塑封料116将第一绝缘树脂104上面的结构:第一芯片109、第二芯片113、第二金属柱108等结构包裹。

[0046] 在本发明的具体实施例中,导电路径105另一面可形成焊盘金属层117和焊球118。

[0047] 本领域的技术人员应该理解,布线结构不限于图1所示的结构。本领域的技术人员可根据实际需求,设计布线结构的具体布局和尺寸,例如,布线结构可包括更多层的导电路径或绝缘树脂层。

[0048] 下面结合图8A至图8H和图9描述三维高密度扇外型封装结构的制造方法的一个实施例。图8A至图8H示出根据本发明的一个实施例形成三维高密度扇外型封装结构的过程的横截面示意图。图9示出根据本发明的一个实施例形成三维高密度扇外型封装结构的流程图。

[0049] 首先,在步骤910,在第一芯片109上形成导电柱111,如图8A所示。第一芯片109为晶圆厂制作的芯片,第一芯片109表面有电极110。可通过光刻、电镀、刻蚀等工艺在第一芯片109电极处形成导电柱111,导电柱111与芯片电极110形成电互联。将第一芯片109减薄切割为单个芯片。

[0050] 导电柱111材质可以是钨、钛、铜、铝、镍、锡、铁、银、金等金属或合金。可以通过电镀、化学镀,沉积、印刷等工艺形成。

[0051] 第一芯片109可以是中央处理器芯片、图形处理器芯片、应用处理器芯片、控制芯片、逻辑芯片等产品。第一芯片109不局限于单个芯片,也不局限于有源无源器件。第一芯片109可以是横向排列的多颗芯片,也可以是纵向层叠的多颗芯片。

[0052] 在步骤920,在载片101表面形成临时键合层102。在本发明的一个具体实施例中,为了防止解键合工艺对临时键合层102上结构造成损伤,可在临时键合层102的表面上形成阻挡层103,如图8B所示。

[0053] 载片101可以是可经受250℃温度烘烤和无铅回流焊的材质,例如,硅片、玻璃等。载片101的CTE(热膨胀系数)一般可在2ppm~15ppm的范围内。

[0054] 临时键合层102可以通过旋涂、喷涂、层压、电镀、沉积、蒸发等方式形成。

[0055] 阻挡层103的材质可具有导电性,同时可以防止拆键合时对阻挡层103上层结构的破坏。阻挡层103可以为金属材料,或具有导电性的多层结构。

[0056] 在步骤930,在临时键合层102或阻挡层103上形成布线结构。具体而言,如图8C所示,在阻挡层103表面形成第一绝缘树脂104,第一绝缘树脂表面形成开口,露出阻挡层103。在第一绝缘树脂104开口处和表面形成导电路路105。

[0057] 第一绝缘树脂104为感光性介质材料,主要成分包括苯并环丁烯(BCB)、环氧树脂、聚酰亚胺、苯酚等有机材料。

[0058] 导电路路105可以通过电镀、化学镀、沉积、溅射、印刷等工艺形成。导电路路105的材质可以为铜、铝、镍、锡、铁、银、金等材质的金属或合金。

[0059] 在本发明的一个实施例中,可重复图8C所示的工艺,可以形成多层导电路路105和第一绝缘树脂104。顶部第一绝缘树脂104形成开口,露出导电路路105的部分区域,如图8D所示。

[0060] 在步骤940,在第一绝缘树脂104开口处形成第一金属柱107和第二金属柱108。具体而言,如图8E所示,在第一绝缘树脂104表面和开口处形成种子层106,采用图形电镀的方法,在第一绝缘树脂104开口处形成第一金属柱107和第二金属柱108。去除多余的种子层106。

[0061] 种子层106可以是导电性金属材料,所使用的材料可以是钨、钛、铜、铝、镍、锡、铁、银、金等金属或合金。

[0062] 第一金属柱107和第二金属柱108为金属材质,所使用的材料可以是铜、铝、镍、锡、铁、银、金等金属或合金。在本发明的具体实施例中,第一金属柱107和第二金属柱108可通过电镀、化学镀、沉积、印刷等方式形成。第一金属柱107和第二金属柱108可以同时形成,也可以分两步或多步骤形成。第二金属柱108顶部可设置有适合引线键合(Wire Bonding)工艺的金属或合金。

[0063] 在步骤950,安装第一芯片109和第二芯片113。具体而言,如图8F所示,将第一芯片

109采用倒装,即芯片电极朝下的方式使导电柱111与第一金属柱107形成互联。第一芯片109的正面带有电极。电极表面设置有导电柱111。在导电柱111与第一金属柱107之间填充灌封胶112,灌封胶112将导电柱111与第一金属柱107包裹,并填充第一芯片109与第一绝缘树脂104之间的空隙。

[0064] 在第一芯片109背面采用正贴,即芯片电极朝上的方式贴装,第二芯片113。第二芯片的正面具有电极。第二芯片113的背面同第一芯片109的背面可以通过粘结胶114附连在一起。第二芯片113的电极通过键合引线115同第二金属柱108形成电性互联。

[0065] 灌封胶112为有机树脂材料,可以是液态或薄膜状材料(如非导电膏Non-Conductive Paste或非导电薄膜Non-Conductive Film等材料)。

[0066] 第二芯片113可以是记忆体芯片、动态存储器芯片、射频芯片、蓝牙芯片等产品,第二芯片113不局限为单个芯片,下文中将结合图10-图12详细描述第二芯片113多种层叠方式的示例。

[0067] 粘结胶114为有机树脂材料,可以预先贴敷在第二芯片113的背面,或者采用点胶、喷胶、印刷等方式涂覆到第一芯片109的背面。

[0068] 键合引线115为直径不超过50微米的金属线,其材质可以为铜、金、银、钯、锡、镍、铝等一种或多种金属组成。

[0069] 在步骤960,对第一芯片109、第二芯片113、第二金属柱108等结构进行塑封,如图8G所示。具体而言,塑封料116将第一绝缘树脂104上面的结构:第一芯片109、第二芯片113、第二金属柱108等结构包裹。

[0070] 塑封料116为树脂材料,可以添加填料,如二氧化硅、陶瓷粉、氧化钡等材料,改善物理、化学性能或电器性能。

[0071] 塑封料116顶部至少比第二芯片113正面高20微米。

[0072] 在步骤970,去除载片101、临时键合层102和阻挡层103,露出第一绝缘树脂104和部分导电路径105。在露出的导电路径105表面形成凸点下金属层117,在凸点下金属层117表面形成焊球118。

[0073] 凸点下金属117可以采用图形电镀、化学镀、印刷、溅射等工艺制得。凸点下金属117可以是单一金属、多层多种金属或合金。

[0074] 焊球118可以通过电镀、化学镀、印刷、植球等等工艺制得。焊球118可以为易于融化焊接的金属或合金。

[0075] 最后,在步骤980,通过划片、电测等方式形成单个封装体。

[0076] 在本发明的上述实施例中,第二芯片113仅包括一个芯片,第二芯片113的正面具有表面焊盘。第二芯片113的背面可通过粘结胶附连到第一芯片109的背面。第二芯片113正面的表面焊盘通过金属线电连接到第二金属柱108。然而,但本发明的保护范围不限于此。

[0077] 图10示出根据本发明的一个实施例的三维高密度扇出型封装结构1000的横截面示意图。与图1所示的三维高密度扇出型封装结构100的不同之处在于,三维高密度扇出型封装结构1000中的第二芯片包括两个层叠的芯片113-1和113-2。芯片113-1的背面可通过粘结胶附连到第一芯片109的背面。芯片113-1的正面具有电极。另一芯片113-2的背面可通过粘结胶附连到芯片113-1的正面,芯片113-2的正面也具有电极。另一芯片113-2正面的电极通过金属线电连接到芯片113-1正面的电极,芯片113-1正面的电极通过金属线电连接到

第二金属柱108。

[0078] 图11示出根据本发明的一个实施例的三维高密度扇外型封装结构1100的横截面示意图。与图1所示的三维高密度扇外型封装结构100的不同之处在于,三维高密度扇外型封装结构1100中的第二芯片包括两个层叠的芯片113-1和113-2。芯片113-1的背面可通过粘结胶附连到第一芯片109的背面。芯片113-1的正面具有电极。另一芯片113-2的背面可通过粘结胶附连到芯片113-1的正面,芯片113-2的正面也具有电极。另一芯片113-2正面的电极通过金属线电连接到第二金属柱108,芯片113-1正面的电极通过金属线电连接到第二金属柱108。

[0079] 图12示出根据本发明的一个实施例的三维高密度扇外型封装结构1200的横截面示意图。与图1所示的三维高密度扇外型封装结构100的不同之处在于,三维高密度扇外型封装结构1200中的第二芯片113包括两个层叠的芯片113-1和113-2。芯片113-1的背面可通过粘结胶附连到第一芯片109的背面。芯片113-1的正面具有电极。另一芯片113-2的背面可通过粘结胶附连到芯片113-1的正面,芯片113-2的正面也具有电极。另一芯片113-2正面的电极通过金属线电连接到第二金属柱108中的一列,芯片113-1正面的电极通过金属线电连接到第二金属柱108中的另一列。在本发明的具体实施例中,本领域的技术人员可根据实际的互联需求,按照特定规律在第一芯片109的周边设置一排或多排的第二金属柱108。

[0080] 结合具体实施例描述了根据本发明的三维高密度扇外型封装结构。由于在该封装结构中不需要电路板,产品三维尺寸大幅度缩小,并可以由一家供应商完成全部封装工艺,降低供应商管理风险。由于没有使用TSV(硅通孔)结构,而是借助金属柱加键合引线的三维互联技术,制作成本大幅度降低。

[0081] 与传统的PoP封装结构相比,在本发明的封装结构中,没有电路板,同时省略了1组焊球,厚度可降低0.85mm,即厚度可降低61%。而且封装供应商链管理难度大幅度降低,传统PoP封装采用两个封装体叠加的方式制作,上下封装体可能产自不同厂家。每个封装体中电路板产自不同厂家。供应链冗长,供应商管理复杂。本发明的封装结构可以由一家生产厂商完成所有封装工艺的制作。传统PoP封装由于PCB(印刷电路板)工艺技术的瓶颈,导致电路板尺寸和厚度普遍较大。本发明中采用扇外型封装技术,大幅缩减封装产品的尺寸。

[0082] 与现有技术的扇外型封装PoP相比,本发明的封装结构中,不存在上封装体结构,省略了上封装体的电路板和焊球,厚度可降低0.4mm,厚度可降低42%。而且封装供应商链管理难度大幅度降低。扇外型封装PoP技术采用两个封装体叠加的方式制作,上下封装体可能产自不同厂家,封装体中电路板也产自其他厂家。供应链冗长,供应商管理复杂。本发明的封装结构可以由1家生产厂商完成所有封装工艺的制作。现有技术的扇外型封装PoP技术由于上层封装PCB(印刷电路板)工艺技术的瓶颈,导致电路板尺寸和厚度普遍较大。本发明中采用扇外型封装技术,大幅缩减封装产品的尺寸。

[0083] 与传统3D高密度封装技术相比,本发明由于没有TSV结构,采用键合引线 and 金属柱结合的方案,制作成本远远低于TSV技术。此外其他3D高密度封装需考虑上下多层芯片的协同设计与制作,为芯片设计和生产造成了极大难度,需要不同厂家统一设计规格和技术要求,难度极高。而本发明的三维封装结构,无需考虑协同设计的需求。降低了成本、制作难度和技术门槛。

[0084] 尽管上文描述了本发明的各实施例,但是,应该理解,它们只是作为示例来呈现

的,而不作为限制。对于相关领域的技术人员显而易见的是,可以对各个实施例做出各种组合、变型和改变而不背离本发明的精神和范围。因此,此处所公开的本发明的宽度和范围不应被上述所公开的示例性实施例所限制,而应当仅根据所附权利要求书及其等同替换来定义。

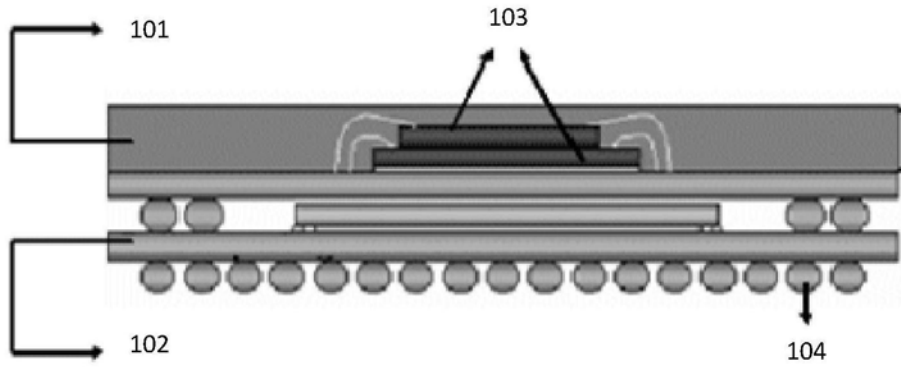


图1

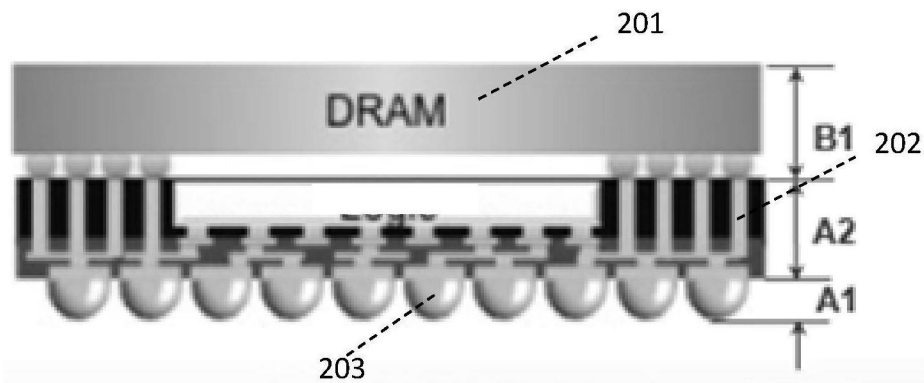


图2

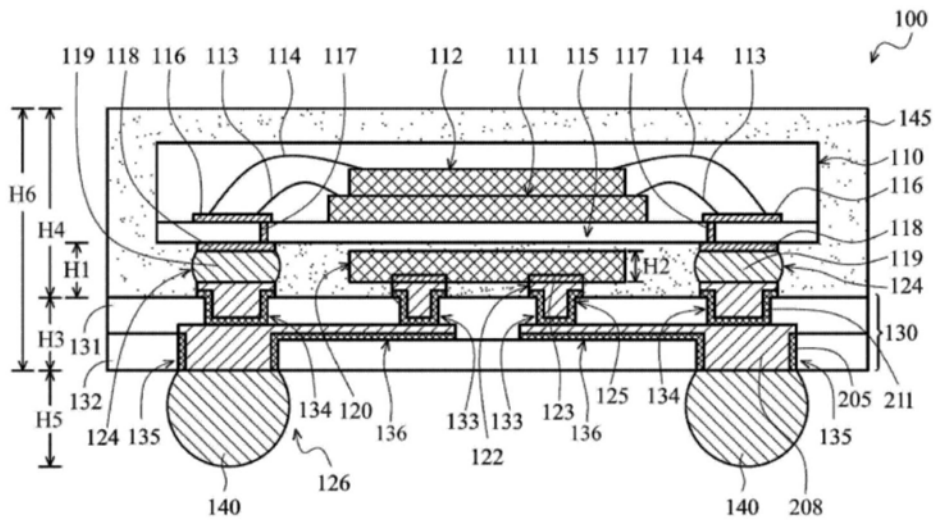


图3

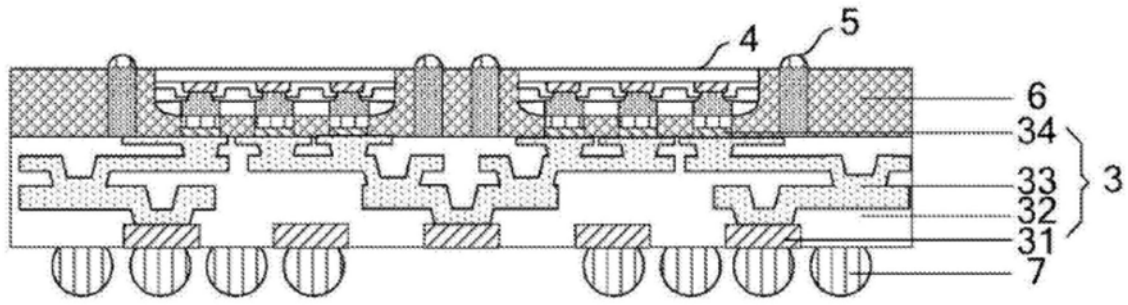


图4

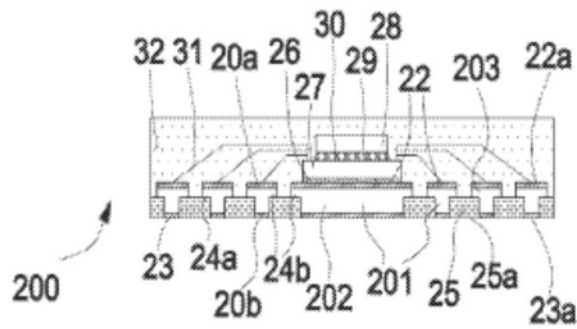


图5

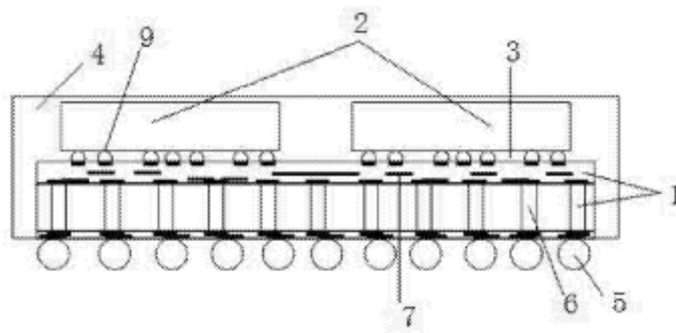


图6

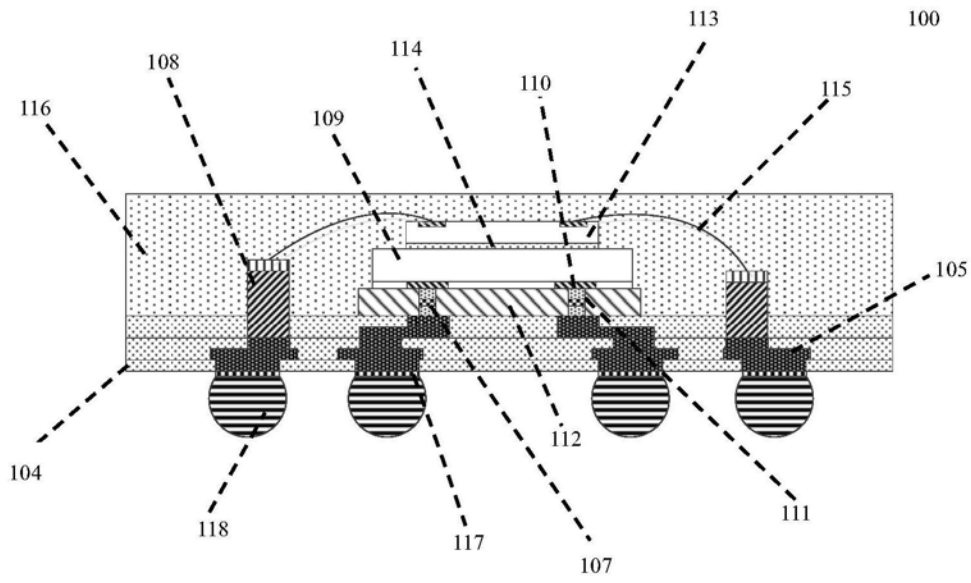


图7

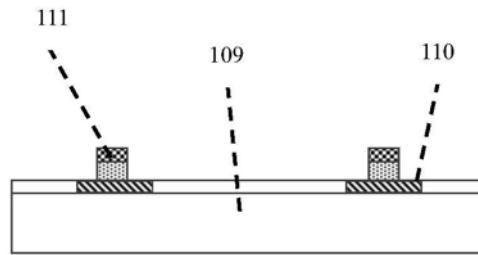


图8A

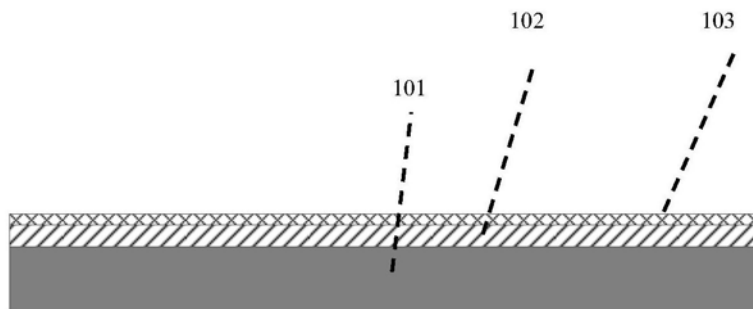


图8B

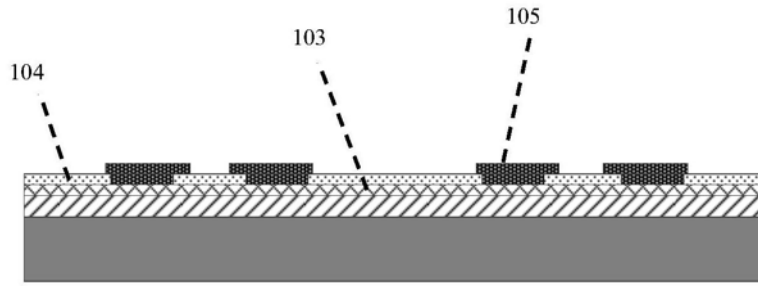


图8C

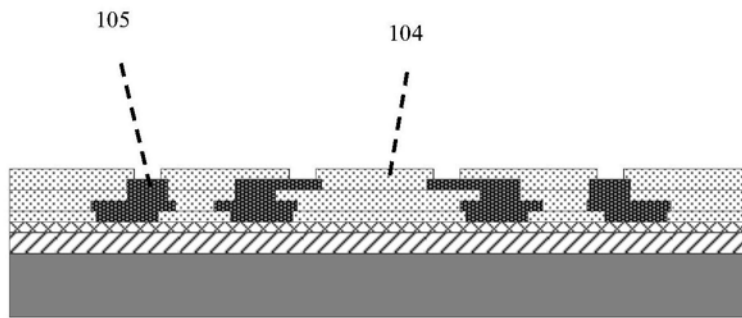


图8D

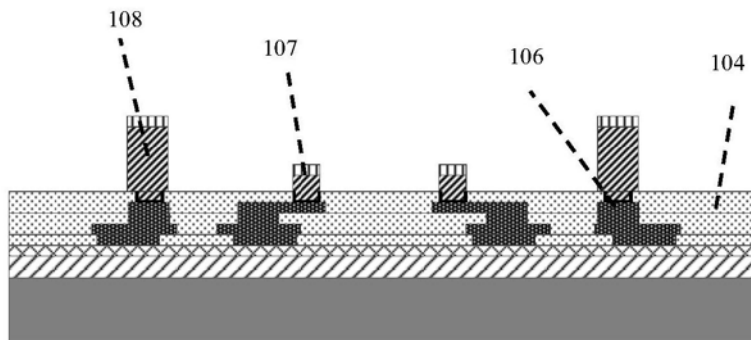


图8E

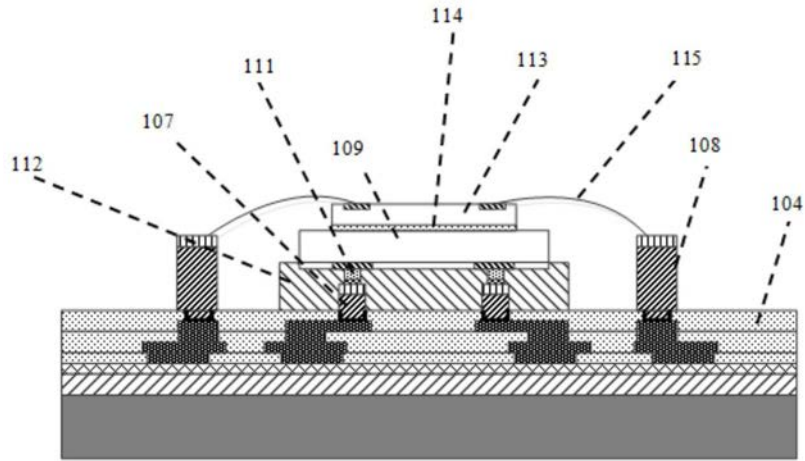


图8F

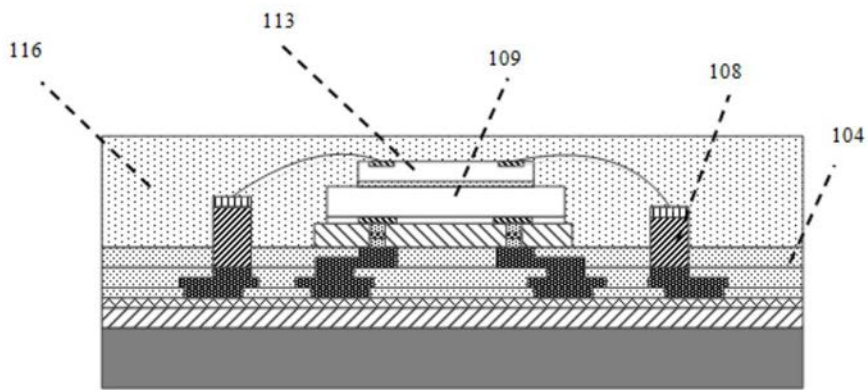


图8G

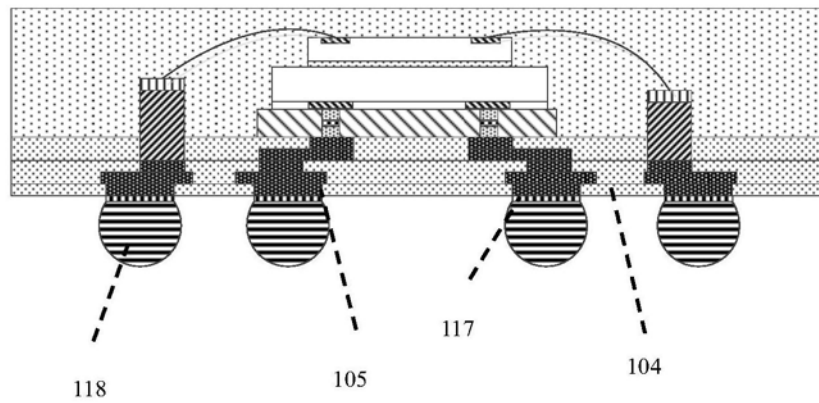


图8H

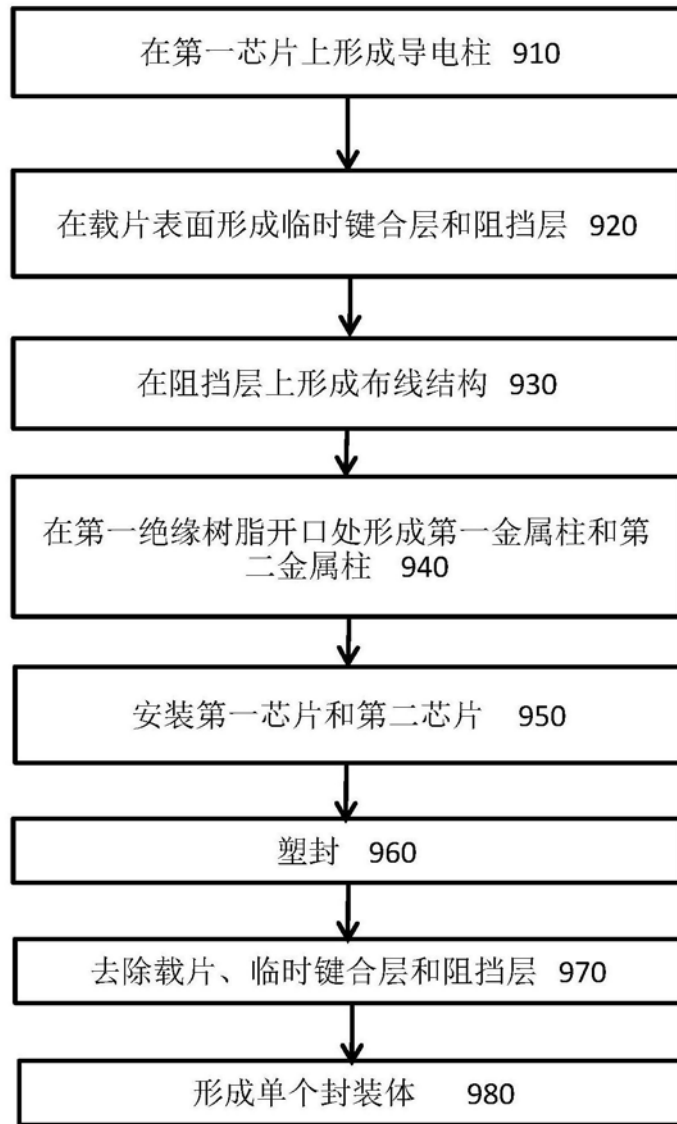


图9

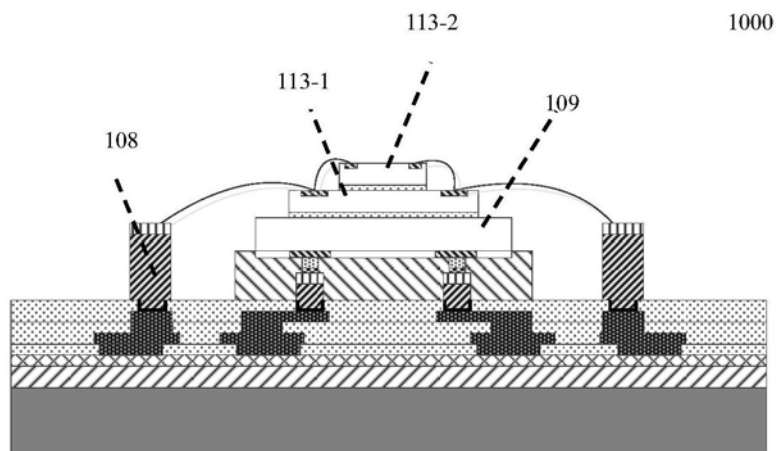


图10

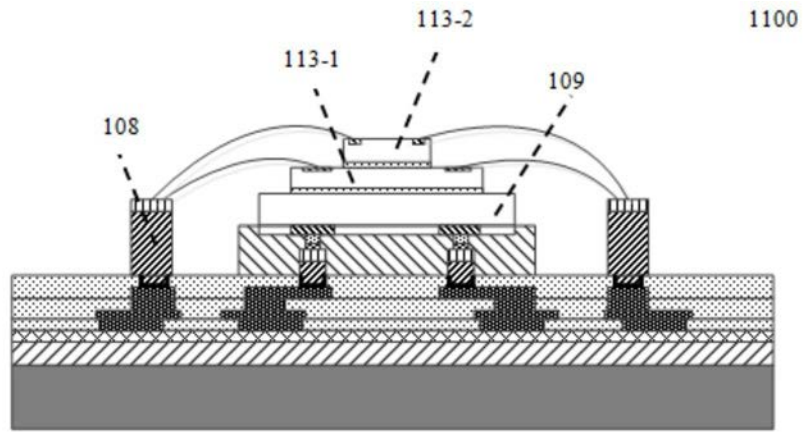


图11

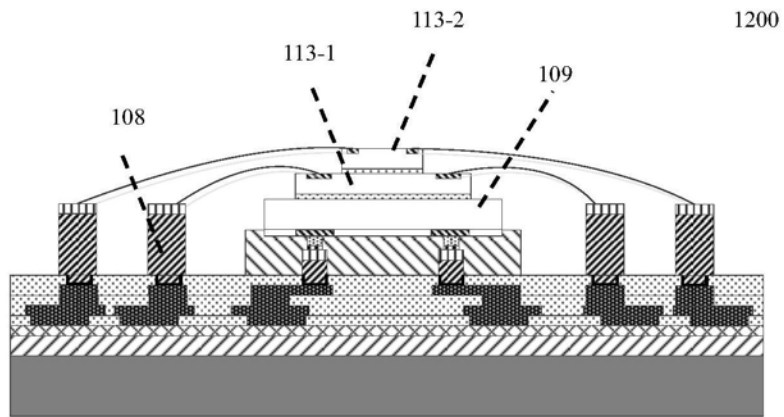


图12