



(12) 发明专利

(10) 授权公告号 CN 102422260 B

(45) 授权公告日 2015.04.01

(21) 申请号 201080019823.9

(22) 申请日 2010.03.03

(30) 优先权数据

12/380,841 2009.03.03 US

(85) PCT国际申请进入国家阶段日

2011.11.03

(86) PCT国际申请的申请数据

PCT/US2010/026023 2010.03.03

(87) PCT国际申请的公布数据

W02010/101985 EN 2010.09.10

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚州

(72) 发明人 M·朗哈默 林以雯 K·斯特瑞彻

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

G06F 7/53(2006.01)

(56) 对比文件

US 2007/0185651 A1, 2007.08.09, 全文.

CN 101101541 A, 2008.01.09, 全文.

US 2008/0133627 A1, 2008.06.05, 全文.

US 4736333 A, 1988.04.05, 全文.

审查员 康凯

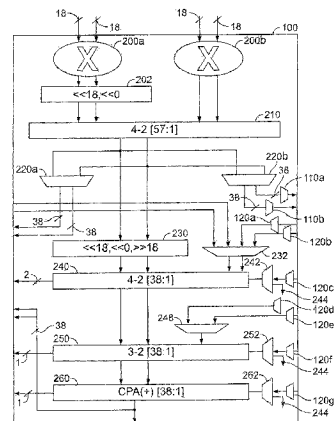
权利要求书2页 说明书15页 附图9页

(54) 发明名称

具有冗余和双向数据通道的数字信号处理电路

(57) 摘要

本发明提供一种数字信号处理 (DSP) 电路模块,其能够更易于一起工作,从而视需要执行更大的(例如更复杂和/或运算精度更高的)DSP运算。这些 DSP 模块也可包括冗余电路,其能促进多个此类电路模块的组合,尽管不能使用有些电路模块(例如由于电路缺陷)电路模块。



1. 一种数字信号处理电路模块即 DSP 电路模块,其包含:

第一和第二 N 位乘法器电路;

第一移位器电路,其用于将所述第一乘法器电路的输出按以下可选方式之一进行移位:(1) 移位零比特位置,和 (2) 朝着更高算术有效位移位 N 个比特位置;

第一压缩器电路,其用于将所述第一移位器电路和所述第二乘法器电路的输出以加法方式组合;

用于选择性地将所述第一压缩器电路的输出路由至所述 DSP 电路模块的第一和第二附加实例的电路,所述第一附加实例位于所述 DSP 电路模块的第一侧上,并且所述第二附加实例位于与所述第一侧相对的所述 DSP 电路模块的第二侧上;

第二移位器电路,其用于将所述第一压缩器电路的输出按以下可选方式之一进行移位:(1) 移位零比特位置,(2) 朝着更高算术有效位移位 N 个比特位置,和 (3) 朝向更低算术有效位移位 N 个比特位置;以及

第二压缩器电路,其用于将所述第二移位器电路的输出和从所述 DSP 电路模块的所述第一和第二附加实例中任一个中的所述第一压缩器电路接收的任何输出以加法方式组合。

2. 根据权利要求 1 所述的 DSP 电路模块,其中所述用于选择性地路由的电路可控地选择所述第一压缩器电路的输出的多个子集中的任何一个子集用于路由。

3. 根据权利要求 2 所述的 DSP 电路模块,其中所述可选择的子集包括:(1) 包括所述第一压缩器电路的最高有效输出比特位置的子集,以及 (2) 包括所述第一压缩器电路的最低有效输出比特位置的子集。

4. 根据权利要求 1 所述的 DSP 电路模块,其中所述第二压缩器电路包括:

溢出输出电路,其用于将所述第二压缩器电路的溢出输出信号施加至所述 DSP 电路模块的所述第一附加实例;以及

溢出输入电路,其用于选择性地接收所述 DSP 电路模块的所述第二附加实例中的所述第二压缩器电路的溢出输出信号。

5. 根据权利要求 1 所述的 DSP 电路模块,其进一步包含:

第三压缩器电路,其用于将所述第二压缩器电路的输出和从所述 DSP 电路模块的所述第二附加实例接收的任何进一步输出以加法方式组合;以及

进一步路由电路,其用于选择性地将所述第三压缩器电路的输出作为进一步输出路由至所述 DSP 电路模块的所述第一附加实例。

6. 根据权利要求 5 所述的 DSP 电路模块,其中所述第三压缩器电路包含:

溢出输出电路,其用于将所述第三压缩器电路的溢出输出信号施加至所述 DSP 电路模块的所述第一附加实例;以及

溢出输入电路,其用于选择性地接收所述 DSP 电路模块的所述第二附加实例中的所述第三压缩器电路的溢出输出信号。

7. 根据权利要求 5 所述的 DSP 电路模块,其中所述进一步路由电路包含:

进位传递加法器 CPA 电路,其用于对所述第三压缩器电路的输出进行运算以产生所述进一步输出。

8. 根据权利要求 7 所述的 DSP 电路模块,其中所述 CPA 电路包含:

进位输出电路,其用于将所述 CPA 电路的进位输出信号施加至所述 DSP 电路模块的所

述第一附加实例；以及

进位输入电路，其用于选择性地接收所述 DSP 电路模块的所述第二附加实例中的所述 CPA 电路的进位输出信号。

9. 根据权利要求 1 所述的 DSP 电路模块，其中每个所述第一和第二 乘法器电路都能够将 N 位被乘数乘以 N 位乘数。

10. 根据权利要求 9 所述的 DSP 电路模块，其中 N 等于 18。

11. 根据权利要求 1 所述的 DSP 电路模块，其进一步包含：

冗余电路，其用于允许所述 DSP 电路模块的所述第一附加实例为以下可选项之一，即 (1) 紧邻所述 DSP 电路模块的另一 DSP 电路模块，以及 (2) 不紧邻所述 DSP 电路模块的又另一 DSP 电路模块。

12. 根据权利要求 11 所述的 DSP 电路模块，其中所述又另一 DSP 电路模块紧邻所述另一 DSP 电路模块。

13. 根据权利要求 11 所述的 DSP 电路模块，其进一步包含：

进一步冗余电路，其用于允许所述 DSP 电路模块的所述第二附加实例为以下可选项之一，即 (1) 紧邻所述 DSP 电路模块的再一 DSP 电路模块，以及 (2) 不紧邻所述 DSP 电路模块的又再一其他 DSP 电路模块。

14. 根据权利要求 13 所述的 DSP 电路模块，其中所述又再一其他 DSP 电路模块紧邻所述再一 DSP 电路模块。

15. 根据权利要求 1 所述的 DSP 电路模块，其中所述第一移位器电路可替换地能够输出全零的数据。

16. 根据权利要求 1 所述的 DSP 电路模块，其中所述第二移位器电路可替换地能够输出全零的数据。

17. 根据权利要求 1 所述的 DSP 电路模块，其中所述用于选择性路由的电路可替换地能够输出全零的数据。

18. 根据权利要求 5 所述的 DSP 电路模块，其中所述进一步路由电路可替换地能够输出全零的数据。

具有冗余和双向数据通道的数字信号处理电路

背景技术

[0001] 本发明涉及数字信号处理 (DSP) 电路, 并且更特别地涉及这样的 DSP 电路组件或电路模块的阵列, 其能够任选地一起工作以执行更复杂和 / 或数学或运算精度更高的 DSP 运算, 并且当需要一起工作时, 其能够适应电路缺陷可使 DSP 模块不能用的可能性。

[0002] 各种情况可能要求用多个 DSP 电路模块或组件的多个实例来制造集成电路。这种集成电路的一个示例是可编程逻辑器件 (PLD) 或现场可编程门阵列 (FPGA)。该器件可具有多行各种类型的电路, 例如相关的通用可编程逻辑。其每行都可包括 DSP 电路模块 (即至少某种程度上被硬接线以执行特殊的 DSP 功能或一组特殊的 DSP 功能的电路)。在该情况下, 可能期望调整 DSP 模块的大小以将其安装在该行中其他电路的 (行) 边界之内。这可能意味着 DSP 模块自身太小而不能执行一些可期望集成电路执行的 DSP 功能。在这些情况下, 可能期望以各种方式促进多个 DSP 模块可任选地“组合在一起”, 以便能够在两个或更多个 DSP 模块中有效地执行更大的 DSP 功能。然而, 可能存在这样的矛盾关系, 即如果与需要被组合在一起的 DSP 模块相关联的任何电路部分都不可用 (例如由于集成电路中的制造缺陷), 则使得组合这些 DSP 模块变得更难或者不可能。这可能很大程度上增加部分有缺陷的集成电路根本不能使用的概率。

发明内容

[0003] 依照本发明的某些可能方面, 提供能够更易于一起工作以根据需要执行更大 (例如更复杂和 / 或运算精度更高) 的 DSP 运算的 DSP 电路模块。例如, 这种 DSP 模块可包括路由电路 (routing circuitry), 其用于任意地或选择性地信号路由至每个模块的任一侧上的其他 DSP 模块。

[0004] 依照本发明的其他可能方面, DSP 模块间路由电路也可包括冗余能力, 其使得向两个其他 DSP 模块中的任一个路由的输出信号能够达到每个 DSP 模块的一侧, 并且使得来自两个 DSP 模块中任一个的输入信号能够达到每个 DSP 模块的一侧。如果期望与其他 DSP 模块组合的一些 DSP 模块不能使用 (例如由于电路缺陷), 该冗余能力允许通过有效地跳过缺陷 DSP 模块来实现 DSP 模块的组合。

[0005] 根据附图和以下详细说明, 本发明的进一步特征、其性质和各种优点将变得更为明显。

附图说明

[0006] 图 1 是依照本发明的典型电路的示例性实施例的简化示意方框图。

[0007] 图 2 是能够在依照本发明图 1 所示的典型电路中使用的电路的示例性实施例的简化示意方框图。

[0008] 图 3 是依照本发明图 1 所示类型的电路的典型部分的示例性实施例的更详细但仍被简化的示意方框图。

[0009] 图 4 示出顺时针旋转 90° 的图 3 所示的电路, 以便于讨论该电路的某些方面。

[0010] 图 5 是示出依照本发明的特殊 DSP 运算的性能的某些方面的简化图。

[0011] 图 6 是示出用于执行依照本发明图 5 所示的运算的 DSP 电路的示例性实施例的简化示意方框图。

[0012] 图 7 是示出依照本发明的另一 DSP 运算的性能的某些方面的简化图。

[0013] 图 8 是示出用于执行依照本发明图 7 所示的运算的 DSP 电路的示例性实施例的简化示意方框图。

[0014] 图 9 是示出依照本发明的又一 DSP 运算的性能的某些方面的简化图。

[0015] 图 10 是示出用于执行依照本发明图 9 所示的运算的 DSP 电路的示例性实施例的简化示意方框图。

具体实施方式

[0016] 图 1 示出依照本发明的集成电路 (“IC”或“器件”)10 的示例性实施例的典型部分。图 1 所示的电路包括电路的几个典型行 R4-R9 的典型部分。这些行中的任一行通常可称为行 RN。

[0017] 每一行 RN 都包括数字信号处理或 DSP 电路 100 的模块。每一行 RN 也都包括在该行中 DSP 模块左侧或右侧的其他电路 20 的区域。该其他电路 20 可包括例如用于路由到达和来自该行的 DSP 模块的信号组件,如逻辑电路和互联引线,其也路由到达、来自该行的逻辑电路和其他电路及其之间的信号,以及在各行之间路由信号。该电路的一些或全部的不同方面可以是可编程的,例如使得通用器件 10 能够用于若干不同用途中的任一种用途。例如,虽然 DSP 模块 100 的电路通常在某种程度上被硬接线以执行某些 DSP 功能,但是该电路在某种程度上也是可编程的,以便所执行的 DSP 运算的某些方面能够由器件的不同用户改变,从而满足每个用户的特殊需要和需求。该编程可为以下技术的结果,即将控制数据存储在集成电路上的存储单元中、熔断集成电路上的熔丝、对集成电路进行掩模编程或者任何其他适当的编程技术或方法。

[0018] 器件 10 可被构造成使得多个行是冗余的。这意味着,例如每行 RN 都与所有的其他行相同或基本相同。另外,器件 10 可被构造成使得如果任何一行 RN 有缺陷,则与其紧接的上一行或下一行能够有效地代替该缺陷行。另外,在代替缺陷行的该行上面或下面的所有其他行都有效地代替其他邻接行。这样,意外制造的带有一些缺陷电路的很多器件 10 仍能够使用,这显著增加了制造工艺的产率。图 1 示出用于在 DSP 模块区域 100 中实现该冗余的典型电路。为每行 RN 的其他部分提供另外的冗余电路,但其未在图 1 中示出,以避免将附图过分复杂化(并且因为行的那些其他部分不是本发明的主要焦点)。将在随后的几幅图中概括地描述 DSP 模块冗余电路。

[0019] 依照本发明,DSP 模块 100 能够通过以下方式扩展其功能性,即将某些信号发送至相邻的 DSP 模块或多个 DSP 模块,和/或从相邻的 DSP 模块或多个 DSP 模块接收某些信号。这些是相邻 DSP 模块 100 之间的相对直接连接。这些 DSP 模块间连接不依赖于器件 10 的其他更一般的互联资源例如形成一部分电路 20 的互联资源。相反,这些 DSP 模块间连接直接从一个 DSP 模块 100 到达另一邻近的 DSP 模块 100,其仅承受这样的可能性,即可使用现在将描述的冗余电路来允许这些 DSP 模块间信号有效地“跳过”由于该行中的一个或更多缺陷导致已停止使用的行。

[0020] 以典型的行 R7 为例, (根据本发明) 需要从行 R7 中的 DSP 模块 100 到达另一 DSP 模块的信号可来源于行 R7 的 DSP 模块中的节点 A。该信号被施加到该 DSP 模块中的多路复用器电路 (mux) 110 的一个可选择输入端, 并且也被施加到行 R7 之上的行 R6 中的 DSP 模块 100 中的类似多路复用器 110 的一个可选择输入端。行 R7 中的多路复用器 110 的输出信号转到行 R6 中 DSP 模块 100 中的目的单元格 (destination)。行 R6 中的多路复用器 110 的输出信号转到行 R5 中 DSP 模块 100 中的目的单元格。如果行 R6 没有缺陷并且因此处于使用中, 则行 R7 中的多路复用器 110 被控制以选择来自节点 A 的信号, 用于施加至行 R6。但是如果 R6 有缺陷并且因此有效地中断器件 10 的电路, 则行 R6 中的多路复用器 110 就被控制以选择来自节点 A 的信号, 用于施加至行 R5。该例子示出如何能够使用冗余多路复用器 110 来将源自任意行中的 DSP 模块 100 的信号施加至紧接的上一行中的 DSP 模块 100, 或者施加至来源行 (source row) 之上两行的 DSP 模块 100。

[0021] 类似地, 冗余多路复用器 120 可以被用于将信号从任一 DSP 模块 100 路由 (route) 到紧邻其下的 DSP 模块 100 或其两行之下的 DSP 模块 100 路由信号。例如, 来源于行 R5 中的 DSP 模块 100 中的节点 B 处的信号被施加至行 R6 或 R7 的每一行中的多路复用器 120 的一个可选择输入。如果行 R6 正在使用, 则行 R6 中的多路复用器 120 被控制以将来源于节点 B 的信号施加至行 R6 的目的单元格。另一方面, 如果 R6 不在使用中, 则行 R7 中的多路复用器 120 被控制以将来源于节点 B 的信号施加至行 R7 中的目的单元格。

[0022] 图 2 示出可以如何控制典型的冗余多路复用器 110 或 120 的示例性实施例。多路复用器 110/120 能够基于其选择控制输入信号 K 的逻辑状态选择其主输入 H 或可选择输入 I 为其输出信号 J。例如, 如果 K 为零, J 可为 H; 而如果 K 为 1, J 可为 I。K 可源自器件 10 上的熔丝 (F) 130、器件上的存储单元 (M) 130 或器件上的任何其他可编程部件 130。该熔丝、存储单元等部件 130 可在其已确定哪一行 (如果有) RN 有缺陷并且因此为了器件的正常使用而必须有效中断器件 10 之后被编程为每个此类元件 130 的适当状态。

[0023] 关于图 1 要注意一点, 即每一行 (相邻行之间) 的宽度 W 对于 (1) 该行内的 DSP 模块 100 和 (2) 该行中的其他电路 20 是大致相同的。这有利于在类似当前背景的背景下有效地使用器件 10 上的区域, 其中每一行都基本与其他行相同, 并且其中任何一行都可以完全停止使用 (如果有缺陷) 并由另一行无缝代替。因此当一行停止使用并由另一行代替时, 原始行的所有功能优选被自动再分配至代替行。器件的使用者不需要关注或甚至了解哪些行在使用, 哪些行不在使用。

[0024] 将每个 DSP 模块 100 的高度制造成与行中的其他电路 20 的高度相同的可能结果是倾向于使得每个 DSP 模块的大小或功能能力都与包括该 DSP 模块的行中的相邻其他电路 20 的大小和能力相称。例如, DSP 模块 100 可能仅能够从包括该 DSP 模块的行中的相邻电路 20 获得某一数目的输入信号。这可能限制该 DSP 模块能够执行的 DSP 运算 (例如乘法) 的数目和 / 或大小。然而, 器件 10 的一些用户可能希望执行比在一个此类受限制的 DSP 模块中能够执行的更大的乘法。因此, 本发明通过例如以下方法提供对一个 DSP 模块 100 的乘法和其他能力的扩展, 即允许大乘法和 / 或其他 DSP 运算的一些部分或方面在另一相邻的 DSP 模块 100 中执行。依照本发明, 这通过在相邻的 DSP 模块之间经图 1 中大致在 110 和 120 处示出的冗余电路基本直接发送信号完成。以该方式使用基本直接 DSP 模块间连接来避免可由改为尝试使用其他电路 20 的更通用互联资源引起的延迟和可能的其他资源耗

竭。在这些 DSP 模块间互连中使用例如 110 和 120 的冗余,以便如果一行必须停止使用,则需要从一个 DSP 模块 100 到达另一 DSP 模块的信号能够绕过该行中已停止使用的无功能 DSP 模块 100。

[0025] 图 3 示出依照本发明的 DSP 模块 100 的示例性实施例。DSP 模块 100 的各种元件将在下文中较早确定。随后将提供关于如何能够使用这些元件的更多细节。图 3 示出与图 1 所示相同方向的典型 DSP 模块 100。然而,由于当需要解释由 DSP 模块的不同组件执行的算法运算时难以在该方向进行讨论,所以在图 4 中以不同方向精确复制了图 3 的内容。特别地,图 4 相对于图 3 顺时针旋转了 90° 。因而图 4 中的“左”或类似表述与图 3 中的“底部”、“向下”、“下面”或类似表述相同;图 4 中的“右”或类似表述与图 3 中的“顶部”、“向上”、“上面”或类似表述相同,等等。图 1 和图 3 清楚地解释了上述相邻 DSP 模块 100 之间的基本直接连接在器件 10 中从行至行。虽然类似图 4 的附图描述了旋转 90° 的典型 DSP 模块 100,但是类似图 4 的附图的以下讨论将仍然涉及此类从一“行”到另一“行”的 DSP 模块间信号,即使该类型的附图可能看起来是左右传播的信号进入电路的另一列而非电路的另一行。

[0026] 现在参考图 3 或图 4 所示的典型 DSP 模块 100 的基础结构,模块 100 包括两个 18 乘 18 (“ 18×18 ”)的乘法器电路 200a 和 200b。每个乘法器 200 都能够将两个 18 位数据字相乘(由来自包括讨论中的 DSP 模块 100 的行中的其他电路 20 的电数据信号表示),并且以冗余格式(例如一个 36 位和数(sum)向量和一个 36 位进位向量(因为乘法器不包括用于产生正常的最终乘积值的最终进位传递加法器(CPA)))产生两个乘积向量(同样由电信号表示)。可控移位器电路 202 可经控制以将乘法器 200a 输出的和数及进位信号向量(1)向左移位 18 位数位(增加数字或算术有效位)或者(2)完全不移位(即不向左移位并且因此数字或算术有效位无变化)。元件 202 的另一种可能输出条件可以是全零的输出数据信号。如图 2 所示的情况,类似 130 的一个或多个熔丝或存储单元可以被编程以控制元件 202 是否如上所述将乘法器 200a 的输出向左移位(或者,作为第三种可能性,如上所述输出 0 数据)。作为另一可能选择,元件 202 可根据其执行的功能进行掩模编程。在本说明书中的所有情况下,“移位”通常意味着向进入下一个下游电路元件的不同电引线组路由信号,而不是向用于将这些信号路由(若未移位)至下一个下游电路元件的电引线组路由信号。比特信号的“算术意义”、“比特位置/数位”、“阶(order)”等通常为信号处于几个电引线中哪一个上的结果。

[0027] 典型 DSP 模块中的下一元件是四至二(4-2)压缩器电路 210。压缩器 210 能够将其从每个移位器 202 和乘法器 200b 接收的两个和数及进位信号向量(即总共四个此类信号向量)向下组合到两个此类信号向量中。由于来自移位器 202 的向量可增加 18 个比特位置的数字有效位,压缩器 210 的“宽度”需要增加至 57 位。因此示出的压缩器 210 具有 57 个比特位置(即 [57:1])。

[0028] 压缩器 210 输出的和数与进位向量(每个向量都可包括多达 57 位)被施加至多路复用器 220a 和 220b,并且也施加至可控制的移位器电路 230。多路复用器电路 220a 能够选择压缩器 210 输出的 57 位信号向量的各种 38 位子集中的任何一个子集,用于如图 4 所示施加至左侧的相邻 DSP 模块。(贯穿该讨论,所有此类 38 位数据值或子集中的数位都是连续数字有效位。例如,它们可以是来自 57 位源的相对低阶位;或者它们可以是来自该源

的相对高阶位。但是在任何一种情况下,它们都具有连续的有效数位。选择该子集通常为选择几组电引线中的哪一组作为被选择子集中的信号的来源的结果。)类似地,多路复用器电路 220b 能够选择压缩器 210 输出的 57 位向量的各种 38 位子集中的任何一个子集,用于如图 4 所示施加至右侧的相邻 DSP 模块。视需要,多路复用器 220a 和 220b 也可具有输出全为零的数据的能力。这是贯穿本公开所示和所述的任何多路复用器(例如 220、232、242、248 等等)以及任何可控制移位器(例如 202、230 等等)可具有的能力。一些多路复用器(例如 242、252 和 262)被描述成具有该明确示出的能力(例如这些多路复用器的一组可选择输入到地线 244 的连接)。对可能包括该电路的所有其他元件(例如 202、220、230、232、248 等等)进行描述时,不再重复描述该电路(从而避免附图过于复杂),也不在所有这些其他元件的讨论中明确地再次提及该能力,但是应理解,所有这些通用类型的元件都可具有该能力。

[0029] 可控制移位器 230 能够将其施加的位数向左移 18 位(因此增加这些位数的数字意义),或者向右移 18 位(因此降低这些位数的数字意义)。作为第三种选择,移位器 230 可以不对向其施加的数据施加移位。所有的元件 220 和 230 都可由类似图 2 中的可编程熔丝或存储电路元件 130(或可为可编程掩模)来控制,从而选择执行其各种可能功能中的哪一种功能。

[0030] 注意,为了退出图 3 和图 4 所示的典型 DSP 模块 100,必须由冗余多路复用器 110a 和 110b(其为图 1 和图 2 中更通常或一般地示出的冗余多路复用器 110 的特殊情况)选择多路复用器 220b 的输出。多路复用器 110a 和 110b 的可替换输入只在图 3 中以点线方式部分示出,而在图 4 中完全未示出(从而避免图 3 和图 4 过于复杂)。但是从图 1 明显看出,这些点线输入来自图 3 的 DSP 模块之下(或图 4 的 DSP 模块左侧)的 DSP 模块 100 中的多路复用器 220b。

[0031] 多路复用器 232 从冗余多路复用器 120a 和 120b 接收 38 位和数及进位向量。同样,冗余多路复用器 120a 和 120b 为图 1 中更普遍和一般地示出的冗余多路复用器类型的特殊情况。通往多路复用器 120a 和 120b 的实线输入来自紧邻图 3 DSP 模块之上(或者紧邻图 4 DSP 模块右侧)的 DSP 模块 100 中的多路复用器 220a。通往多路复用器 120a 和 120b 的可替换点线输入(仅在图 3 中部分示出,而在图 4 中完全未示出,从而避免图 3 和图 4 过于复杂)来自图 3 DSP 模块之上两块(或者图 4 DSP 模块右侧两块)的 DSP 模块 100 中的多路复用器 220a。多路复用器 232 也从来自紧邻图 3 DSP 模块之下(或紧邻图 4 DSP 模块左侧)的 DSP 模块 100 中的冗余多路复用器 110a 和 110b 的引线接收 38 位和数及进位向量。多路复用器 232 能够选择来自多路复用器 120a 和 120b 的向量或者多路复用器 232 接收的其他向量。多路复用器 232 的控制类似于其他可变元件如多路复用器 220 的控制。

[0032] 图 3 和图 4 中示出的典型 DSP 模块 100 中的下一元件为四至二(4-2)压缩器电路 240。虽然大小不同,但是压缩器 240 能够类似于压缩器 210。换句话说,压缩器 240 能够将其接收的四个 38 位和数及进位信号向量组合为两个进一步的 38 位和数及进位信号向量。在执行更大的乘法的情况下,压缩器 240 可能需要与另一相邻 DSP 模块 100 中的类似压缩器 240 进行链式协作。因此,压缩器 240 能够额外接收来自多路复用器 242 的较低阶(即较低数字有效)信号位。在没有来自实低阶源(real lower-order source)的链式输入(chaining-in)的情况下,多路复用器 242 能够从地电位源 244 选择这些低阶位。可替

换地,如果存在该链式输入,则多路复用器 242 从冗余多路复用器 120c 获得其输出。多路复用器 120c 是多路复用器如 120a 和 120b 的另一示例。通往多路复用器 120c 的实线输入是来自紧邻图 3 模块之上(或者紧邻图 4 模块右侧)的 DSP 模块 100 中的压缩器 240 的两个输出。通往多路复用器 120c 的点线输入(仅在图 3 中部分示出,而在图 4 中完全省略,从而避免描述过于复杂)是来自图 3 模块之上两块(或者图 4 模块右侧两块)的 DSP 模块 100 中的压缩器 240 的两个输出。离开压缩器 240 的底部(图 3)或左侧(图 4)的两个输出是压缩器 240 执行的运算所产生的最高有效、最高阶或溢出输出信号位。同样,如果正在执行更大的乘法,则能够通过相邻模块中的多路复用器 120c 和 242 将这些溢出数位链接到该相邻 DSP 模块的压缩器 240 的最低阶输入。在 DSP 模块无链接的情况下,多路复用器 232 被控制以输出 0 数据信号。

[0033] 压缩器 240 输出的 38 位和数及进位向量被施加到三至二 (3-2) 压缩器电路 250。由相邻 DSP 模块 100 输出的最终乘积也可以通过冗余多路复用器 120d 和 120e 以及多路复用器 248 被施加到 3-2 压缩器电路 250。此外,当将执行某些更复杂的 DSP 运算时,能够使用该 DSP 模块间路由部件。多路复用器 120d 和 120e 的布置和使用类似于其他多路复用器如 120a 和 120b 的布置和使用。因此,通往多路复用器 120d 和 120e 的实线输入来自图 3 和图 4 所示模块之上(图 3)或右侧(图 4)的 DSP 模块 100 中的进位传递加法器 (CPA) 的主输出。通往冗余多路复用器 120d 和 120e 的可替换点线输入(同样只在图 3 中部分示出)来自图 3 和图 4 所示模块之上两块(图 3)或右侧两块(图 4)的 DSP 模块 100 中的 CPA 260 的主输出。(在 DSP 模块无链接的情况下,多路复用器 248 被控制以输出 0 数据信号。)3-2 压缩器 250 能够组合来自压缩器 240 的和数及进位信号向量与多路复用器 248 输出的数据,从而产生施加至最终进位传递加法器 (CPA) 260 的进一步和数及进位信号向量。在典型 DSP 模块 100 涉及长于 38 位算术运算的情况下,能够在压缩器 250 的情况下经多路复用器 120f 和 252 并且在 CPA 260 的情况下经多路复用器 120g 和 262 将低阶信号数位施加至相邻 DSP 模块 100 中的压缩器 250 和 CPA 260。类似地,如果为了更长的算术运算而需要链接多个元件 250 和多个元件 260,则能够从元件 250 和 260 向相邻 DSP 模块 100 中的元件 120f/252/250 和 120g/262/260 输出更高阶的信号位。元件 120f、252 和 244 的布置和使用能够类似于元件 120c、242 和 244 的上述布置和使用。对于元件 120g、262 和 244 同样如此。因此,应该不需要对元件 120f/252/244 和 120g/262/244 作进一步解释。

[0034] 除了可基本直接路由回到另一相邻 DSP 模块 100 中的多路复用器 248,CPA 260 输出的最终高达 38 位的信号乘积通常被施加到包括如图 1 所示的典型 DSP 模块 100 的行 RN 中的其他电路 20。

[0035] 我们现在考虑一个或更多个 DSP 模块 100 能够支持的各种运算模式的示例。

[0036] A. 18×18 和 18×18 复数

[0037] 能够在 DSP 模块 100 内完成相对简单的模式如 18×18 乘法和 18×18 复数乘法(例如 $(a+bi) \times (c+di)$)。例如,能够使用任一乘法器 200 形成来自 18×18 乘法的和数及进位信号向量,并且这些向量可通过随后的组件向下传递至 CPA 260,该 CPA 形成乘法的最终乘积。

[0038] B. 四个 18×18 的和

[0039] 可以使用两个相邻 DSP 模块形成四个 18×18 乘法的乘积的和。(如果不存在通过

冗余电路运算而已停用的插入行,则“相邻”意味着直接相邻 / 紧邻 ;或者,可替换地意味着如果没有这种停用的插入行则相邻。)在以下的讨论中,每个字母例如 A、B、C 等都代表或表示 18 位输入,并且每个字母对例如 AB、CD 等都是该对中的字母确定的两个 18 位输入相乘的乘积结果。该字母对可代表该乘积结果的中间和数及进位向量,或者最终乘积。因此,AB+CD+EF+GH 是八个成对的 18 位输入的四乘积的和。

[0040] 可使用第一 DSP 模块 100 中的乘法器 200a 形成 AB。可使用该 DSP 模块中的乘法器 200b 形成 CD。第一 DSP 模块中的压缩器 210 形成 AB+CD。可以使用多路复用器 200b 将 AB+CD 路由至相邻 DSP 模块 100 中的多路复用器 232 和压缩器 240。可以使用相邻 DSP 模块中的乘法器 200a 形成 EF。可以使用该相邻 DSP 模块中的乘法器 200b 形成 GH。该相邻模块中的压缩器 210 形成 EF+GH。该相邻模块中的压缩器 240 形成 AB+CD+EF+GH,其中同一模块中的 CPA 260 以最终乘积的形式输出。注意,形成 AB+CD 的模块可以是在形成 EF+GH 和 AB+CD+EF+GH 的模块的任一侧的模块。

[0041] C. 两个 36×18 的和

[0042] 在以下讨论中,字母如 A、B、C 等具有与上文相同的含义;字母对如 AC、BC 等具有与上文相同的含义;字母对 (A, B) 表示 36 位数据字,其中左侧字母涉及 18 个较高有效位,右侧字母涉及 18 个较低有效位;而字母组合例如 (A, B) \times C 表示 36 位数据字(例如 (A, B))与 18 位数据字(例如 C)相乘的乘积结果。因此,在此讨论的模式的目标是产生 (A, B) \times C+(D, E) \times F。

[0043] 图 5 示出(算术上)如何产生上述结果。图 5 的部分 1 示出将被执行的一个 36×18 乘法(即 (A, B) \times C)。部分 2 示出将被执行的另一个 36×18 乘法(即 (D, E) \times F)。部分 3 示出各部分乘积如何产生并且然后如何垂直排列进行相加以产生 (A, B) \times C+(D, E) \times F。特别地,(A, B) \times C 的两个部分乘积被产生为 AC 和 BC,其中 AC 相对于 BC 被向左移位 18 个比特位置。类似地,(D, E) \times F 的两个部分乘积被产生为 DF 和 EF,其中 DF 相对于 EF 被向左移位 18 个比特位置。然后,如图 5 中的部分 3 所示,将所有的 BC、AC、EF 和 DF 相加。

[0044] 图 6 示出两个相邻 DSP 模块 100 如何能够被配置以执行上述运算。图 6 通过以下方式简化,即省略冗余电路的描述并且假定使用两个直接相邻的 DSP 模块 100a 和 100b。(应理解,实际上在图 6 的电路中存在所有以上描写和描述的冗余电路,并且能够使用该冗余电路来有效地整合被不能使用的插入 DSP 模块互相分离的两个 DSP 模块。)如图 6 所示,DSP 模块 100a 中的乘法器 200a 形成 AC,DSP 模块 100a 中的乘法器 200b 形成 DF,DSP 模块 100b 中的乘法器 200a 形成 BC,DSP 模块 100b 中的乘法器 200b 形成 EF。模块 100a 中的压缩器 210 压缩(累加)AC 和 DF。模块 100b 中的压缩器 210 压缩(相加)BC 和 EF。模块 100a 中的压缩器 210 的输出的 18 个较低有效位通过元件 220b(模块 100a)和 232(模块 100b)被路由至模块 100b 中的压缩器 240。(在图 6 中该路由的路径通过点线 211 突出。)这使模块 100b 能够在图 5 的部分 3 中的点线右侧形成最终和数的一部分。图 5 的部分 3 中的点线左侧的数据保持在模块 100a 中,并且由该模块输出作为最终和数的该部分。

[0045] 更特别地,在模块 100a 中,使用移位器 230 将压缩器 210 输出向右移位 18 个比特位置,以便未被传递至模块 100b 的压缩器 210 的更高有效位输出被移位至模块 100a 中的压缩器 240 的更低有效位部分。在模块 100b 中,移位器 230 将来自压缩器 210 的数据向左移位 18 个比特位置,并且穿过模块 100b 中的多路复用器电路 232 的数据被施加至与该多

路复用器电路 232 相关联的压缩器 240 的更高有效位输入端。因此模块 100b 中的压缩器 240 能够开始完成如图 5 的部分 3 中的点线右侧所示的加法。来自模块 100b 中的压缩器 240 的最高有效位端的任何进位输出或溢出都通过模块 100a 中的多路复用器 242 施加至模块 100a 中的压缩器 240 的最低有效位端。这使两个压缩器 240 能够作为一个更大的压缩器一起有效地运算。

[0046] 每个压缩器 240 输出的数据通过各自关联的压缩器 250 流至各自关联的进位传递加法器 (CPA) 260, 在此产生 $(A, B) \times C + (D, E) \times F$ 的最终和数输出数据。同样, 来自模块 100b 中的 CPA 260 的最高有效位端的任何进位溢出都通过模块 100a 中的多路复用器 262 (作为进位输入) 施加至模块 100a 中的 CPA 260 的最低有效位端。这同样使两个 CPA 260 能够作为一个更大的 CPA 260 一起有效地运算。因此, 模块 100a 输出最终乘积 $(A, B) \times C + (D, E) \times F$ 的 18 个较高有效位, 而模块 100b 输出该最终乘积的 36 个较低有效位。

[0047] D. 使用两个 DSP 模块的 36×36 模式

[0048] 在以下讨论中, 字母对如 (A, B) 同样表示 36 位数据字, 其中左侧字母涉及 18 个较高有效位, 而右侧字母涉及 18 个较低有效位。字母对如 BD 也具有与前述基本相同的含义 (虽然现在该字母对通常涉及两个不同的 36 位数据字的两个 18 位部分的乘积)。因此, 本部分中的讨论工作的目标是产生 (A, B) 和 (C, D) 的乘积, 或 $(A, B) \times (C, D)$ 。

[0049] 图 7 示出如何在算术上产生上述结果。图 7 的部分 1 示出将执行的乘法。部分 2 示出形成的四个部分乘积, 并且示出这四个部分乘积如何相对于彼此从左到右定位以调整其相对算术有效位, 从而能够将其垂直相加。特别地, 最顶端部分乘积 BD 是每个被乘数 (A, B) 和乘数 (C, D) 中的 18 个较低有效位的乘积。随后的部分乘积 AD 是被乘数 (A, B) 中的 18 个较高有效位和乘数 (C, D) 中的 18 个较低有效位的乘积。部分乘积 CB 是被乘数 (A, B) 中的 18 个较低有效位和乘数 (C, D) 中的 18 个较高有效位的乘积。部分乘积 AC 是每个被乘数和乘数中的 18 个较高有效位的乘积。如上所述, 图 7 的部分 2 也示出部分乘积 AD 和 CB 如何相对于部分乘积 BD 被向左移位 18 个比特位置, 以及部分乘积 AC 如何相对于部分乘积 AD 和 CB 被向左再移位 18 个比特位置。在该移位之后, 图 7 的部分 2 中示出的四个部分乘积能够垂直相加以产生 (A, B) 和 (C, D) 的预期最终乘积, 即 $(A, B) \times (C, D)$ 。

[0050] 可以使用两个相邻 DSP 模块 100 来执行图 7 所示的算术功能。(同样, 如果不存在停止使用的插入行, 则“相邻”意味着直接相邻 / 紧邻, 或者邻近该停止使用的插入行的相反侧。) 图 8 示出如何使用两个相邻 DSP 模块 100a 和 100b 完成该运算 (并且再次省略冗余多路复用器和其他冗余连接的描述以避免使附图过于复杂。)

[0051] 如图 8 所示, DSP 模块 100a 中的乘法器 200a 形成部分乘积 AC 。DSP 模块 100a 中的乘法器 200b 形成部分乘积 CB 。DSP 模块 100b 中的乘法器 200a 和 200b 分别形成部分乘积 AD 和 BD 。DSP 模块 100a 中的移位器 202 将部分乘积 AC 相对于部分乘积 CB 向左移位 18 个数位, 并且该 DSP 模块中的压缩器 210 将这两个因此相对于彼此移位的部分乘积相加。DSP 模块 100b 中的移位器 202 将部分乘积 AD 相对于部分乘积 BD 向左移位 18 个数位, 并且该 DSP 模块中的压缩器 210 将这两个因此相对于彼此移位的部分乘积相加。

[0052] DSP 模块 100a 中的压缩器 210 输出的 18 个最低有效位经模块 100a 中的元件 220b 和模块 100b 中的元件 232 路由至模块 100b 中压缩器 240, 在此这些数位被路由至相关压缩器 240 的输入的较高有效位端。(点线 213 突出该路由。) DSP 模块 100b 中的压缩器 210

输出的 18 个最高有效位经模块 100b 中的元件 220a 和模块 100a 中的元件 232 路由至模块 100a 中的压缩器 240, 在此这些数位被路由至相关压缩器输入的较低有效位端。(点线 215 突出该路由。) DSP 模块 100a 中的移位器 230 将该模块中的压缩器 210 输出的数据向右移位 18 位, 以防止已从模块 100a 传递至模块 100b 的较低有效位也被施加至模块 100a 中的压缩器 240。DSP 模块 100b 中的移位器 230 将该模块中的压缩器 210 输出的数据向左移位 18 位, 以防止已从模块 100b 传递至模块 100a 的较高有效位也被施加至模块 100b 中的压缩器 240。

[0053] DSP 模块 100a 和 100b 中的压缩器 240 一起工作, 以将对其施加的部分乘积信息相加(其中模块 100a 中的元件 242 将来自模块 100b 中的压缩器 240 中的最高阶(最高有效)比特位置的任何溢出施加至模块 100a 中的压缩器 240 中的最低阶(最低有效)比特位置)。因此, 模块 100a 中的压缩器 240 开始形成图 7 的部分 2 中垂直点线左侧的数据相加的结果, 而模块 100b 中的压缩器 240 对该点线右侧的数据执行类似计算。

[0054] 每个压缩器 240 输出的数据通过相应的压缩器 250 流至相应的进位传递加法器(CPA) 260。同样, 模块 100a 中的元件 262 将来自模块 100b 中的 CPA 260 的最高有效位端的任何进位输出施加至模块 100a 中的 CPA 260 的最低有效位端。这两个 CPA 260 的最终输出共同包含最终乘积 $(A, B) \times (C, D)$, 其中模块 100a 中的 CPA 260 的输出组成该最终乘积的较高有效位, 并且模块 100b 中的 CPA 260 的输出组成该最终乘积的较低有效位。

[0055] E. 使用四个 DSP 模块的 54×54 模式

[0056] 图 9 和图 10 图示说明能够如何使用依照本发明的 DSP 模块 100 的另一个示例。在本讨论中, 三个一组的字母如 (A, B, C) 涉及 54 位数据字, 其中字母 A 表示 18 个最高有效位, 字母 B 表示 18 个中间算术有效位, 而字母 C 表示 18 个最低有效位。字母对例如 AF 涉及来自一个 54 位数据字的 18 位 A 乘以来自另一 54 位数据字的 18 位 F 的部分乘积。在本部分中讨论的模式的目标是产生两个 54 位数据字的乘积, 即 (A, B, C) 乘以 (E, F, G), 或者 $(A, B, C) \times (D, E, F)$ 。然而假定该乘积不需要 108 位的严格精确度。因此, 最低有效部分乘积 CF 不被计算或不被用于产生最终(近似)乘积。

[0057] 图 9 示出在算术上如何由多个部分乘积产生上述乘积。图 10 示出能够用于如图 9 所示产生乘积的四个 DSP 模块 100a-100d。(同样为了简化, 图 10 假定能够使用四个直接相邻的 DSP 模块 100, 因为在该范围内没有停止使用的 DSP 模块。因此图 10 省略了本说明其他地方示出和描述的冗余电路的描述。但是该冗余电路优选存在并且能够被用于在模块 100a-100d 之一必须停止使用时启用另一相邻 DSP 模块 100 帮助执行结合图 10 描述的功能。) 图 9 的部分 1 示出将要执行的乘法。图 9 的部分 2 示出在两个左侧 DSP 模块 100a 和 100b 中形成并适当组合的部分乘积。图 9 的部分 3 示出在两个右侧 DSP 模块 100c 和 100d 中形成并适当组合的部分乘积。来自图 9 的部分 3 的 36 个更高有效位(即部分 3 中点线左边的数位)被加到来自图 9 的部分 2 的 36 个较低有效位(即部分 2 中点线右边的数位), 这主要在 DSP 模块 100b 的最终级进行。因此由 DSP 模块 100a 和 100b 输出乘积的 72 个更高有效位。可从 DSP 模块 100d 获得乘积的另外 18 个较低有效位。如上所述, 乘积的更低有效位不计算并且不可用。因此该情况下的“乘积”仅为近似值, 但是其近似到非常高的精确度。特别地, 这是因为在图 9 和图 10 的任何地方都不计算和使用最低有效部分乘积 CF。

[0058] 现在更详细地考虑图 9 和图 10, 应注意在 DSP 100a 和 100b 中完成的工作 (如图 9 的部分 2 所示) 最初与图 7 和图 8 所示以及以上结合这些附图描述的内容相同。特别地, 该工作是使用两个 DSP 模块 100a 和 100b 来形成两个 36 位数据字的乘积 (在该情况下为乘积 $(A, B) \times (D, E)$)。因为两个 DSP 模块的该方面功能性已结合图 7 和图 8 充分描述, 所以不需要再次结合图 9 的部分 2 或图 10 中的 DSP 模块 100a 和 100b 详细描述。

[0059] 现在参考图 9 的部分 3 和图 10 中的 DSP 模块 100c 和 100d, 应注意这些 DSP 模块最初与图 5 和图 6 所示以及以上结合这些附图描述的内容大致相似。然而, 图 9 的部分 3 中的点线与图 5 的部分 3 中的点线位置不同, 所以图 10 中的 DSP 模块 100c 和 100d 完成该工作的方式稍微与上述图 6 的流程不同。将在下一段中描述图 10 中使用的该稍微不同的流程。

[0060] DSP 模块 100c 中的乘法器 200a 和 200b 分别形成部分乘积 AF 和 DC。模块 100c 中的压缩器 210 将这两个部分乘积相加在一起。DSP 模块 100d 中的乘法器 200a 和 200b 形成部分乘积 BF 和 EC, 并且该模块中的压缩器 210 将这两个部分乘积相加在一起。模块 100d 中的线路 220a 和模块 100c 中的线路 232 将模块 100d 中的压缩器 210 输出的 18 个较高有效位施加至模块 100c 中的压缩器 240 的较低有效位端。模块 100d 中的移位器 230 将该模块中的压缩器 210 的输出向左移位 18 个比特位置。模块 100c 中的压缩器 240 将对其施加的四个向量压缩至两个向量, 其向下通过该模块中的压缩器 250 流至该模块中的 CPA 260。(这主要是图 9 的部分 3 中点线左侧需要的最终加法工作。) 类似地, 模块 100d 中的压缩器 240 的输出通过该模块中的压缩器 250 流至该模块中的 CPA 260。(这对应于图 9 的部分 3 中点线右侧部分。) 模块 100c 和 100d 中的 CPA 260 一起工作, 从而如图 9 的部分 3 中所示产生工作的最终和数。模块 100b 中的元件 248 被用于将该结果的 38 个较高有效位 (由模块 100c 中的 CPA 260 输出) 路由至模块 100b 中, 用于加到模块 100a 和 100b 完成的工作 (如图 9 的部分 2 所示)。因此最终结果为 (1) 由模块 100a 和 100b 中的 CPA 260 输出的 $(A, B, C) \times (D, E, F)$ 的 72 个较高有效位, 以及 (2) 由模块 100d 中的 CPA 260 输出的该 (近似) 乘积的另外 18 个 (较低有效) 位。

[0061] 概况上文的一些方面, 并且也在一些方面延伸已述内容, 数字信号处理 (DSP) 模块 (例如 100) 可包括第一和第二 N 位 (例如 18 位) 乘法器电路 (例如 200a 和 200b)。DSP 模块可以进一步包括第一移位器电路 (例如 202), 用于将第一乘法器电路的输出按以下可选方式之一移位: (1) 移位零比特位置, 和 (2) 朝着更高算术有效位移位 N 个比特位置。DSP 模块可进一步包括第一压缩器电路 (例如 210), 其用于将第一移位器电路和第二乘法器电路的输出以加法方式组合。DSP 模块可进一步包括用于选择性地将第一压缩器电路的输出路由至 DSP 电路模块的相应相对侧上的第一和第二其他 DSP 电路模块的电路 (例如 220a 和 220b)。DSP 模块可进一步包括第二移位器电路 (例如 230), 其用于将所述第一压缩器电路的输出按以下可选方式之一移位: (1) 移位零比特位置, (2) 朝着更高算术有效位移位 N 个比特位置, 以及 (3) 朝着更低算术有效位移位 N 个比特位置。DSP 模块可进一步包括第二压缩器电路 (例如 240), 其用于将从所述第一和第二其他 DSP 电路模块中任一个中的第一压缩器电路接收的任何输出以加法方式组合。

[0062] 在上述 DSP 电路模块中, 路由电路 (例如 220a 和 / 或 220b) 可被控制以选择路由第一压缩器电路 (例如 210) 的输出的多个子集中的任何一个子集。这些可选择的子集可

包括 (1) 包括第一压缩器电路的最高有效位输出比特位置的子集, 以及 (2) 包括第一压缩器电路的最低有效位输出比特位置的子集。

[0063] 在如上所述的 DSP 电路模块中, 第二压缩器电路 (例如 240) 可包括溢出输出电路 (例如从压缩器 240 的最高有效位端至相邻 DSP 模块的输出引线) 和溢出输入电路 (例如 242), 溢出输出电路用于将第二压缩器电路的溢出输出信号施加至第一其他 DSP 电路模块, 溢出输入电路用于选择性地接收第二其他 DSP 电路模块中的第二压缩器电路的溢出输出信号。

[0064] 如上所述的 DSP 电路模块可进一步包括第三压缩器电路 (例如 250) 和进一步路由电路 (例如 248), 第三压缩器电路用于累加组合第二压缩器电路的输出和从第二其他 DSP 电路模块接收的任何进一步输出, 进一步路由电路用于将第三压缩器电路的输出作为进一步输出选择性地路由至第一其他 DSP 电路模块。在该 DSP 电路模块中, 第三压缩器电路 (例如 250) 可包含溢出输出电路 (例如从压缩器 250 的最高有效位端至相邻 DSP 模块的输出引线) 和溢出输入电路 (例如 252), 溢出输出电路用于将第三压缩器电路的溢出输出信号施加至第一其他 DSP 电路模块, 溢出输入电路用于选择性地接收第二其他 DSP 电路模块中的第三压缩器电路的溢出输出信号。

[0065] 在包括上述进一步路由电路 (例如 248) 的 DSP 电路中, 该进一步路由电路可包括进位传递加法器 (CPA) 电路 (例如 260), 其用于对第三压缩器电路 (例如 250) 的输出进行运算以产生进一步输出。该 CPA 电路可包括进位输出电路 (例如从 CPA 260 的最高有效位端至相邻 DSP 模块的输出引线) 和进位输入电路 (例如 262), 进位输出电路用于将 CPA 电路的进位输出信号施加至第一其他 DSP 电路模块, 进位输入电路用于选择性地接收第二其他 DSP 电路模块中的 CPA 电路的进位输出信号。

[0066] 如上所述的 DSP 电路模块可进一步包括冗余电路 (例如 110 和 / 或 120), 其用于允许第一其他 DSP 电路模块为以下可选项之一, 即 (1) 紧邻该 DSP 电路模块的另一 DSP 电路模块, 以及 (2) 不紧邻该 DSP 电路模块的又另一 DSP 电路模块。例如, 如果 DSP 电路模块为图 1 中的行 R7, 则第一其他 DSP 模块可以在 (1) 行 R8 中或 (2) 行 R9 中。在该布置中, 该又另一 DSP 电路模块 (例如行 R9 中的模块) 紧邻该另一 DSP 电路模块 (例如行 R8 中的模块)。

[0067] 如上所述的 DSP 电路模块也可包括进一步冗余电路 (例如 110 和 / 或 120), 其用于允许第二其他 DSP 电路模块为以下可选项之一, 即 (1) 紧邻该 DSP 电路模块的再一 DSP 电路模块, 以及 (2) 不紧邻该 DSP 电路模块的又再一 DSP 电路模块。例如, 如果 DSP 电路模块在图 1 中的行 R7 中, 则第二其他 DSP 模块可以在 (1) 行 R6 中或 (2) 行 R5 中。在该布置中, 该又再一 DSP 电路模块 (例如行 R5 中的模块) 紧邻该再一 DSP 电路模块 (例如行 R6 中的模块)。

[0068] 依照本发明的其他可能方面, DSP 电路 (例如 10) 可包含多个 DSP 电路模块 (例如 100), 其每个都能够对施加至该电路模块的信号 (例如 A、B、C 等) 执行 DSP 运算 (例如 200、202、210、230、240 等), 每个 DSP 电路模块可包括用于将至少一些 DSP 运算的输出选择性地路由至该 DSP 电路模块的相应相对侧上的第一和第二其他 DSP 电路模块的电路 (例如 220、232、242 等)。在该情况下, 用于选择性路由的电路可包括冗余电路 (例如 110 和 / 或 120), 其用于允许 DSP 电路模块的第一其他 DSP 电路模块为以下可选项之一, 即 (1) 紧邻该

DSP 电路模块的另一 DSP 电路模块,以及 (2) 不紧邻该 DSP 电路模块的又另一 DSP 电路模块。例如,如果 DSP 电路模块在图 1 中的行 R7 中,则第一其他 DSP 模块可以在 (1) 行 R8 中或 (2) 行 R9 中。在该布置中,该另一 DSP 电路模块(例如行 R9 中的模块)紧邻该又另一 DSP 电路模块(例如行 R8 中的模块)。

[0069] 如上所述用于在 DSP 电路中选择性路由的电路可进一步包括进一步冗余电路(例如 110 和 / 或 120),其用于允许 DSP 电路模块的第二其他 DSP 电路模块为以下可选项之一,即 (1) 紧邻该 DSP 电路模块的再一 DSP 电路模块,以及 (2) 不紧邻该 DSP 电路模块的又再一 DSP 电路模块。例如,如果 DSP 电路模块在图 1 中的行 R7 中,则第二其他 DSP 模块可以在 (1) 行 R6 中或 (2) 行 R5 中。在该布置中,该又再一 DSP 电路模块(例如行 R5 中的模块)紧邻该再一 DSP 电路模块(例如行 R6 中的模块)。

[0070] 在如上所述的 DSP 电路中,用于选择性路由每个 DSP 电路模块的电路可以选择性地将输出路由至以下输入端,即在 DSP 电路模块的第一和第二其他模块能够执行的一些但非全部 DSP 运算下游的 DSP 电路模块的第一和第二其他模块的输入端。例如,选择性路由电路 220 能够将一个 DSP 模块中的压缩器 210 的输出路由至另一 DSP 模块中的压缩器 240 的输入端,并且压缩器 240 处于其他 DSP 模块中的一些(非全部)其他 DSP 运算的下游(例如其在运算 200、202、210 和 230 的下游,但是在运算 250 和 260 的上游)。

[0071] 依照本发明的其他可能方面,DSP 电路(例如 10)可包括多个 DSP 电路模块(例如 100),其每个都能够连续地接连执行多个 DSP 运算(例如 200、202、210、230、240 等)。每个 DSP 电路模块可进一步包括用于将该 DSP 电路模块的至少一个 DSP 运算(例如 210)的输出选择性路由至该 DSP 电路模块的相应相对侧上的第一和第二其他电路模块的电路(例如 220)。用于在每个 DSP 电路模块中选择性地路由的电路可以选择性地将至少一些输出路由至第一和第二其他 DSP 电路模块中的 DSP 运算的输入端,所述 DSP 运算处于这些其他 DSP 电路模块中的 DSP 运算顺序的中间。例如,路由电路 220 能够将 DSP 模块的输出路由至另一 DSP 模块中的压缩器 240 的输入端,并且压缩器 240 处于 DSP 运算顺序的中间(即其之前为 DSP 运算例如 200 和 202,并且其之后为 DSP 运算例如 250 和 260)。

[0072] 在如上所述的 DSP 电路中,用于选择性路由的电路从 DSP 电路模块顺序中的一点处接收被选择性路由至该至少一些输入端的输出,与 DSP 电路模块顺序中的该点相比,至少一些输入端是 DSP 模块顺序中的不同点处的 DSP 运算的输入端。例如,路由元件 220 从压缩器 210 获得输出以施加至另一 DSP 模块中的压缩器 240,与压缩器 240 在第二次提到的 DSP 模块中的 DSP 运算顺序中所处的点相比,压缩器 210 处于第一次提到的 DSP 模块中的 DSP 运算顺序中的不同点。

[0073] 在如上所述的 DSP 电路中,每个 DSP 电路模块可进一步包括第二电路(例如从压缩器 240 的最高有效位端到相邻 DSP 模块的引线),其用于将该 DSP 电路模块中的 DSP 运算的第二输出选择性路由至第一其他 DSP 电路模块中的相同 DSP 运算的输入端。例如,刚刚提及的引线和元件 242 允许溢出信号从一个 DSP 模块中的压缩器 240 去到另一 DSP 模块中的压缩器 240。

[0074] 在如上所述的 DSP 电路中,每个 DSP 电路模块可进一步包括第三电路(例如 248),其用于选择性路由该 DSP 电路模块中的最终 DSP 运算(例如 260)的输出至第一其他 DSP 电路中的 DSP 运算(例如 250)的输入端,其中该 DSP 运算处于该其他 DSP 电路模块顺序中

的中间点上。

[0075] 如上所述的 DSP 电路可进一步包括冗余电路（例如 110 和 / 或 120），其允许每个 DSP 电路模块中的第一其他 DSP 电路模块为以下可选项之一，即（1）紧邻该 DSP 电路模块的另一 DSP 电路模块，以及（2）不紧邻该 DSP 电路模块的又另一 DSP 电路模块。例如，如果 DSP 模块 100 处于图 1 中的行 R7 中，该另一 DSP 模块可在行 R8 中，而该又另一 DSP 模块可在行 R9 中。另外，该又另一 DSP 模块（例如行 R9 中的模块）可紧邻该另一 DSP 模块（例如行 R8 中的模块）。

[0076] 如上所述的 DSP 电路也可包括进一步冗余电路（例如 110 和 / 或 120），其用于允许每个 DSP 电路模块中的第二其他 DSP 电路模块为以下可选项之一，即（1）紧邻该 DSP 电路模块的再一 DSP 电路模块，以及（2）不紧邻该 DSP 电路模块的又再一 DSP 电路模块。例如，如果该 DSP 电路模块处于图 1 中的行 R7 中，该再一 DSP 模块可在行 R6 中，而该又再一 DSP 模块可在行 R5 中。该又再一 DSP 电路模块（例如行 R5 中的模块）可紧邻该再一 DSP 电路模块（例如行 R6 中的模块）。

[0077] 本发明的电路允许通过 DSP 电路模块之间的双向转移来执行求和运算。例如，可以将某一数值从第一 DSP 模块移位至第一模块右侧的第二 DSP 模块，并且与第二模块中的另一信号组合（例如压缩）。然后，可以将该组合的结果移回左侧（例如移位至第一模块），并且与第一模块中的其他信号组合。该移回能够（例如）通过以下数据发生，即（1）从压缩器到压缩器（压缩器 240 或压缩器 250）的进位向量，（2）CPA 260 的进位，或者（3）CPA 260 向 3-2 压缩器 250 的输出。

[0078] 本发明的 DSP 电路中使用的任何乘法器都可以是能够选择性地（即可控）输出零（0）数据的类型。这也包括在此使用的任何可控移位器。

[0079] 补充实施例

[0080] 补充实施例 1. 数字信号处理 (DSP) 电路，其包含：多个 DSP 电路模块，其每个都能够对施加在该 DSP 电路模块上的信号执行 DSP 运算，每个 DSP 电路模块包括用于将至少一些 DSP 运算的输出选择性地路由至该 DSP 电路模块的相应相对侧上的第一和第二其他电路模块的电路，其中用于选择性地路由每个 DSP 电路模块的电路包含：冗余电路，其用于允许该 DSP 电路模块的第一其他 DSP 电路模块为以下可选项之一，即（1）紧邻该 DSP 电路模块的另一 DSP 电路模块，以及（2）不紧邻该 DSP 电路模块的又另一 DSP 电路模块。

[0081] 补充实施例 2. 根据补充实施例 1 所述的 DSP 电路，其中所述又另一 DSP 电路模块紧邻所述另一 DSP 电路模块。

[0082] 补充实施例 3. 根据补充实施例 1 所述的 DSP 电路，其中用于选择性地路由每个 DSP 电路模块的电路进一步包含：进一步冗余电路，其用于允许该 DSP 电路模块的第二其他 DSP 电路模块为以下可选项之一，即（1）紧邻该 DSP 电路模块的再一 DSP 电路模块，以及（2）不紧邻该 DSP 电路模块的又再一 DSP 电路模块。

[0083] 补充实施例 4. 根据补充实施例 3 所述的 DSP 电路，其中所述又再一 DSP 电路模块紧邻所述再一 DSP 电路模块。

[0084] 补充实施例 5. 根据补充实施例 1 所述的 DSP 电路，其中用于选择性地路由每个 DSP 电路模块的电路选择性地将所述输出路由至所述第一和第二其他 DSP 电路模块的输入端，其处于所述第一和第二其他 DSP 电路模块能够执行的一些但非全部 DSP 运算的下游。

[0085] 补充实施例 6. 根据补充实施例 1 所述的 DSP 电路,其中每个 DSP 电路模块被布置在多行中也包括其他电路的相应一行中,每一行中的所述其他电路具有在其他相邻行之间的最大宽度 W ,并且每一行中的所述 DSP 电路模块也具有在其他相邻行之间的最大宽度 W 。

[0086] 补充实施例 7. 数字信号处理 (DSP) 电路,其包含:多个 DSP 电路模块,其每个都能够连续地接连执行多个 DSP 运算,每个 DSP 电路模块包括用于将该 DSP 电路模块的至少一个 DSP 运算的输出选择性地路由至该 DSP 电路模块的相应相对侧上的第一和第二其他电路模块,其中用于选择性地路由每个 DSP 电路模块的电路选择性地至少一些所述输出路由至所述第一和第二其他 DSP 电路模块中的 DSP 运算的输入端,其处于这些其他 DSP 电路模块中的 DSP 运算顺序中间。

[0087] 补充实施例 8. 根据补充实施例 7 所述的 DSP 电路,其中用于选择性路由的电路从 DSP 电路模块顺序中的一点处接收被选择性地路由至该至少一些输入端的输出,与 DSP 电路模块顺序中的该点相比,至少一些输入端是其他 DSP 模块顺序中的不同点处的 DSP 运算的输入端。

[0088] 补充实施例 9. 根据补充实施例 8 所述的 DSP 电路,其中每个 DSP 电路模块进一步包含:第二电路,其用于选择性地将该 DSP 电路模块中的 DSP 运算的第二输出路由至第一其他 DSP 电路模块中的相同 DSP 运算的输入端。

[0089] 补充实施例 10. 根据补充实施例 9 所述的 DSP 电路,其中每个 DSP 电路模块进一步包含:第三电路,其用于选择性地将该 DSP 电路模块中的最终 DSP 运算的输出路由至第一其他 DSP 电路模块中的 DSP 运算的输入端,其在该其他 DSP 电路模块顺序中的中间点上。

[0090] 补充实施例 11. 根据补充实施例 7 所述的 DSP 电路,其进一步包含:冗余电路,其用于允许每个 DSP 电路模块中的第一其他 DSP 电路模块为以下可选项之一,即 (1) 紧邻该 DSP 电路模块的另一 DSP 电路模块,以及 (2) 不紧邻该 DSP 电路模块的又另一 DSP 电路模块。

[0091] 补充实施例 12. 根据补充实施例 11 所述的 DSP 电路,其中所述又另一 DSP 电路模块紧邻所述另一 DSP 电路模块。

[0092] 补充实施例 13. 根据补充实施例 11 所述的 DSP 电路,其进一步包含:进一步冗余电路,其用于允许每个 DSP 电路模块的第二其他 DSP 电路模块为以下可选项之一,即 (1) 紧邻该 DSP 电路模块的再一 DSP 电路模块,以及 (2) 不紧邻该 DSP 电路模块的又再一 DSP 电路模块。

[0093] 补充实施例 14. 根据补充实施例 13 所述的 DSP 电路,其中所述又再一 DSP 电路模块紧邻所述再一 DSP 电路模块。

[0094] 补充实施例 15. 数字信号处理 (DSP) 电路,其包含:多个 DSP 电路模块,其每个都能够连续地接连执行多个 DSP 运算,每个 DSP 电路模块包括第一路由电路,其用于允许该模块(此后标识为第一模块)中的第一 DSP 运算的结果被移位至与第一模块相邻的另一 DSP 电路模块(该另一模块此后标识为第二模块)以便与第二模块中的另一信号组合,并且每个 DSP 电路模块进一步包括第二路由电路,其用于允许第二模块中的组合结果被移回第一模块以便与第一模块中的其他信号组合。

[0095] 补充实施例 16. 根据补充实施例 15 所述的 DSP 电路,其中每个 DSP 电路模块包括压缩器电路,并且其中所述第二路由电路将来自所述第二模块中的压缩器电路的进位向量

路由至所述第一模块中的压缩器电路。

[0096] 补充实施例 17. 根据补充实施例 15 所述的 DSP 电路, 其中每个 DSP 电路模块包括进位传递加法器 (CPA) 电路, 并且其中所述第二路由电路将来自所述第二模块中的 CPA 电路的进位路由至所述第一模块中的 CPA 电路。

[0097] 补充实施例 18. 根据补充实施例 15 所述的 DSP 电路, 其中每个 DSP 电路模块包括压缩器电路, 其向进位传递加法器 (CPA) 电路输出, 并且其中所述第二路由电路将所述第二模块中的 CPA 电路的输出信号路由至所述第一模块中的压缩器电路。

[0098] 应理解, 上文仅为本发明的原理的例证, 并且本领域技术人员在不偏离本发明的范围和精神的状况下能够作出各种修改。例如, 18×18 乘法器 200 的使用仅为例证性的, 并且视需要能够使用其他大小的乘法器代替。也应理解, 附图如图 1-4、图 6、图 8 和图 10 示出这样的电子电路, 其中多数或所有电路元件 (例如 200、202、210、220、260 等) 都为独立元件 (通常集成在集成电路上), 其中每个元件都通过运算电输入信号以产生其他的电输出信号而专用于 (例如至少在相当程度上被硬接线) 执行在此对其描述的 (多个) 功能。这些电信号有时可能涉及数据、数位、向量、“1”、“0”、数值、被乘数、乘数、乘积、部分乘积、和数等; 但是在所有的情况下, 它们实际上是代表指定信息的真实电信号。类似地, 在此示出的某些电路元件有时用其执行的运算来指代 (例如“乘法器 200a”), 但是在所有的情况下, 这些元件都是执行这些运算的实际电路 (例如乘法器电路)。对于 DSP 电路、DSP 运算等也是如此。所有此类运算都如上所述通过电路对电信号进行运算而执行。

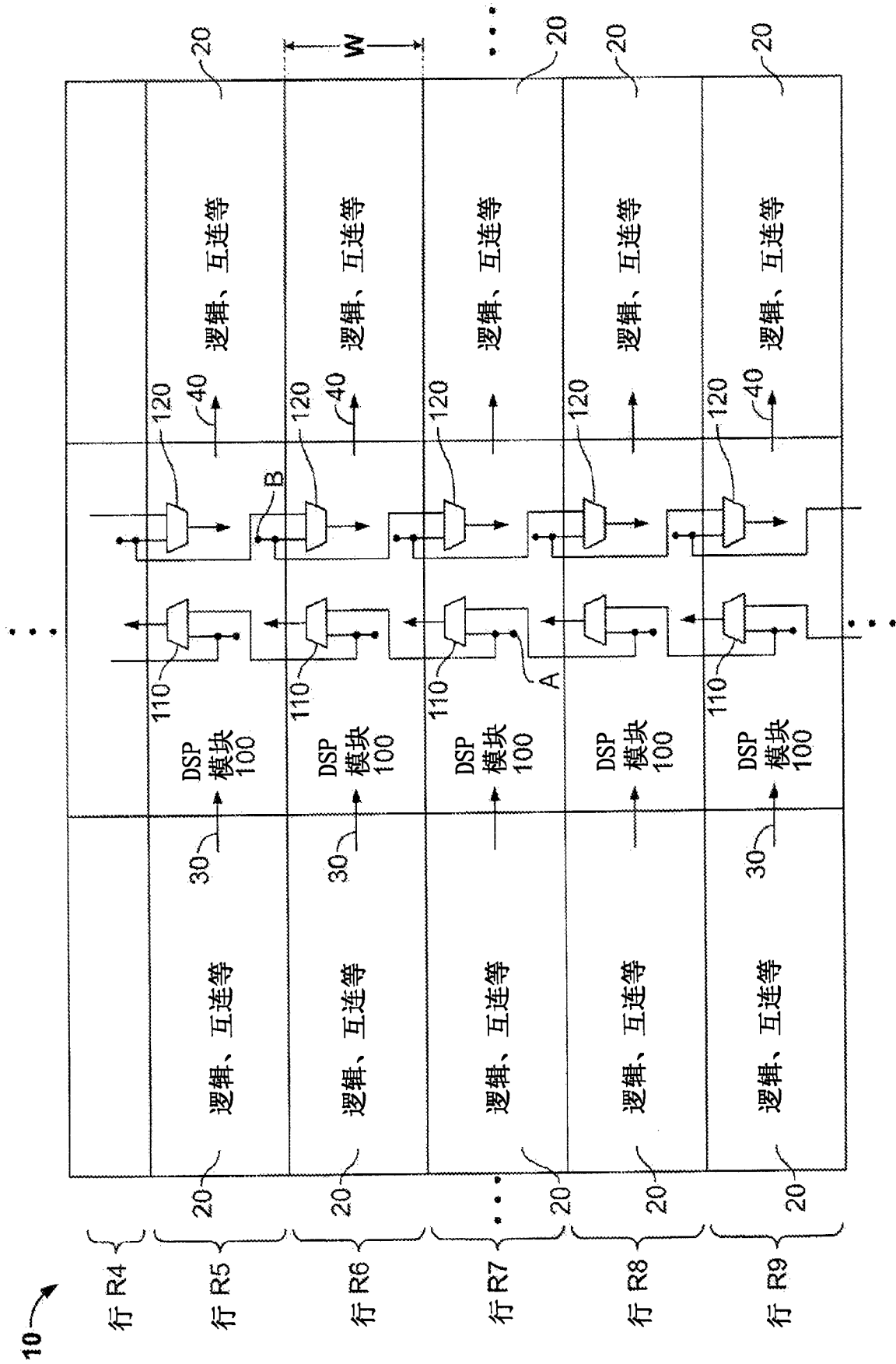


图 1

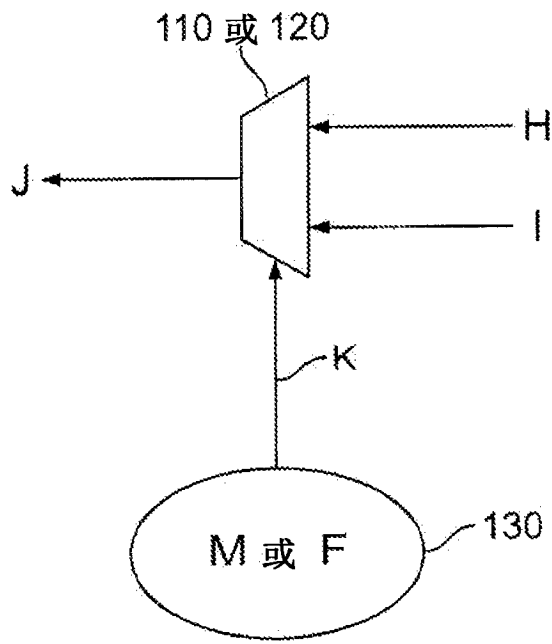


图 2

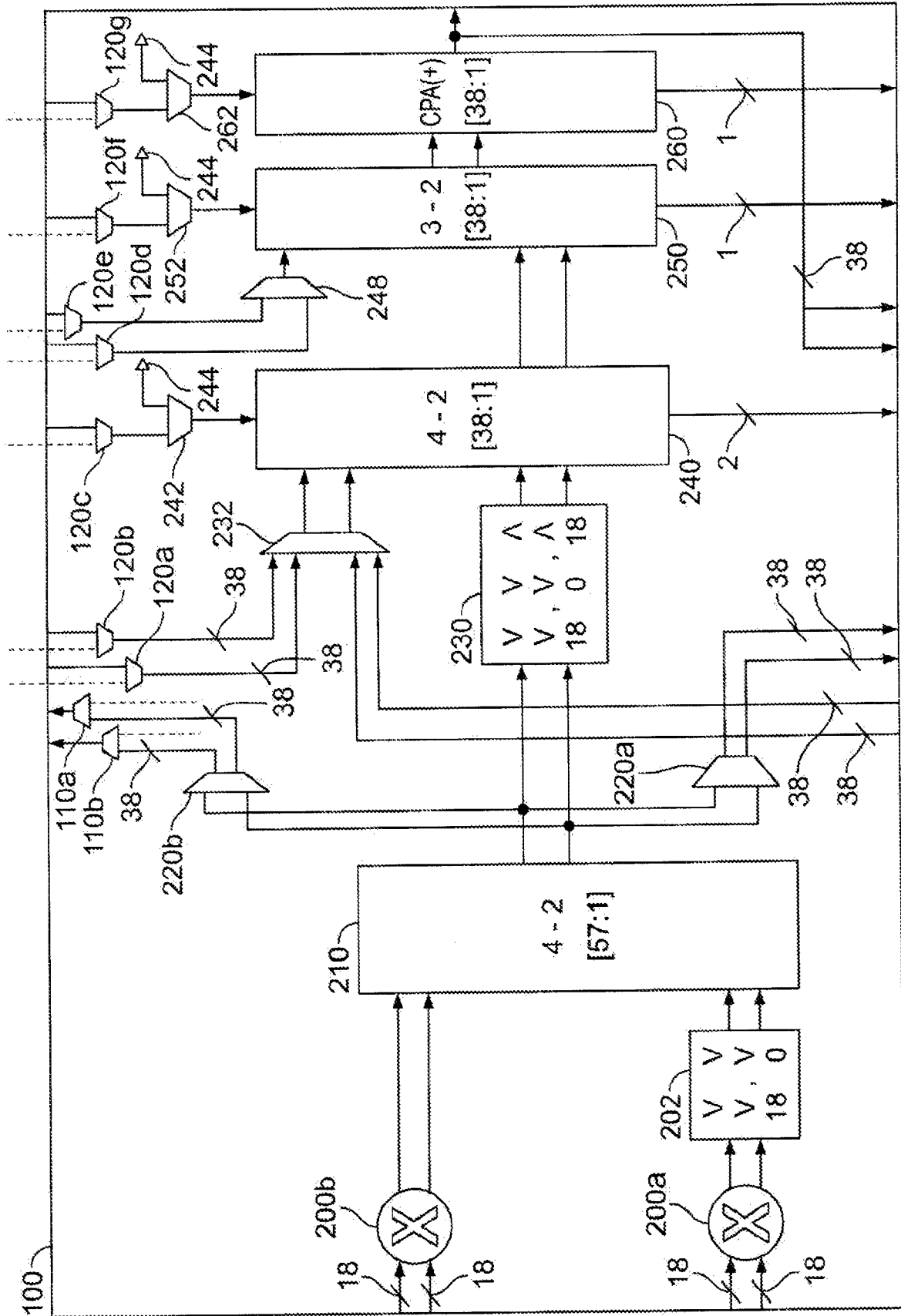


图 3

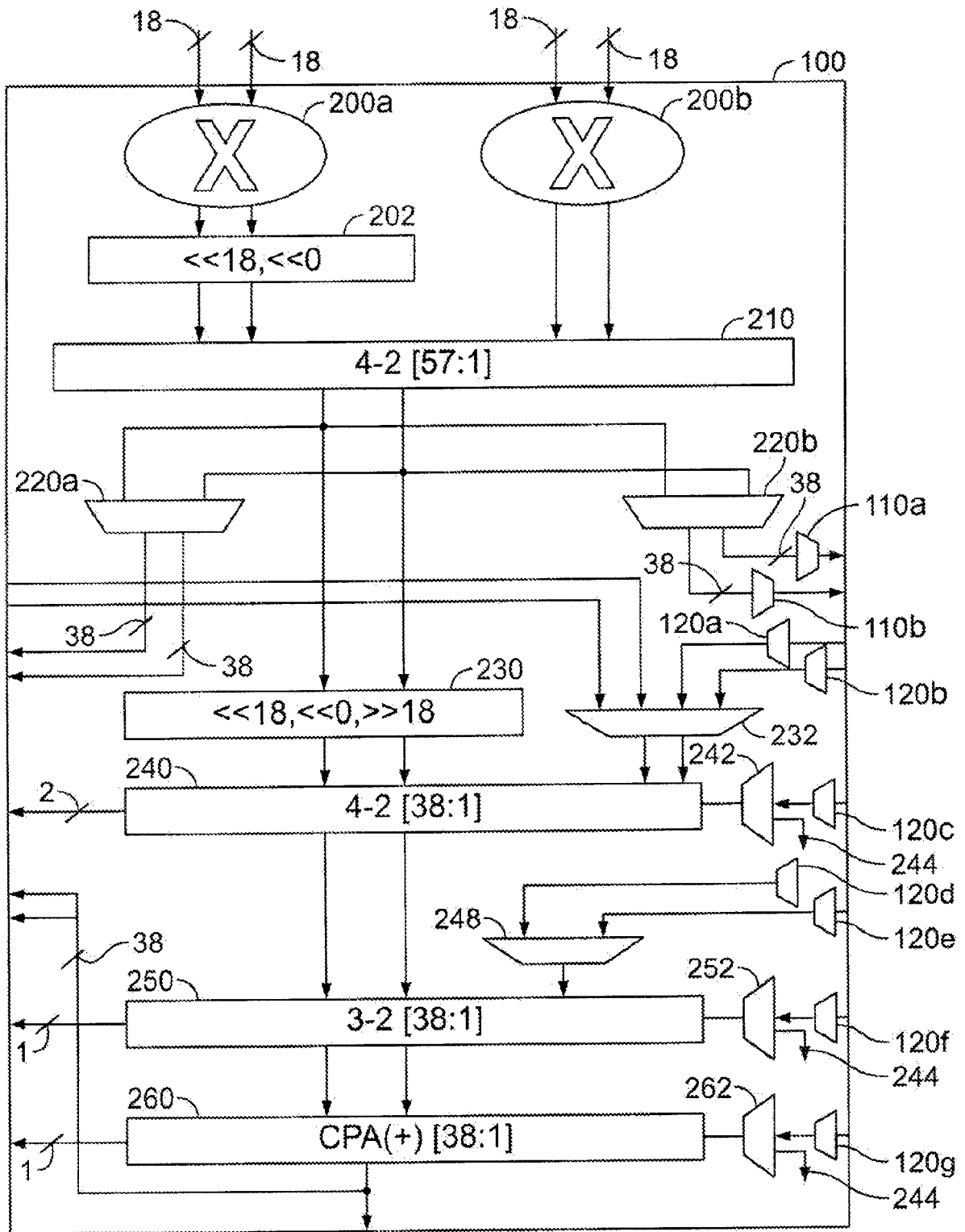


图 4

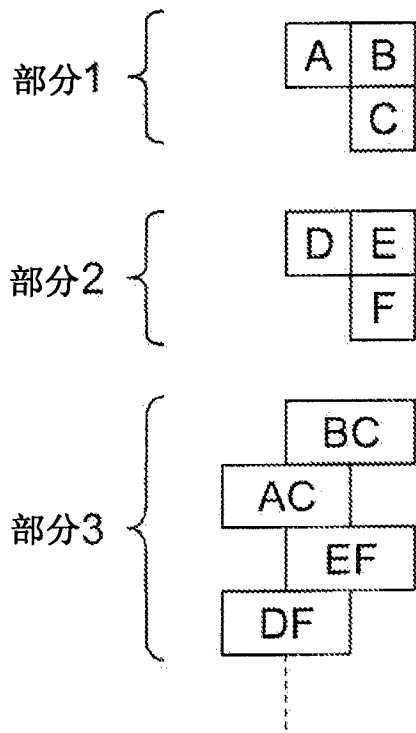


图 5

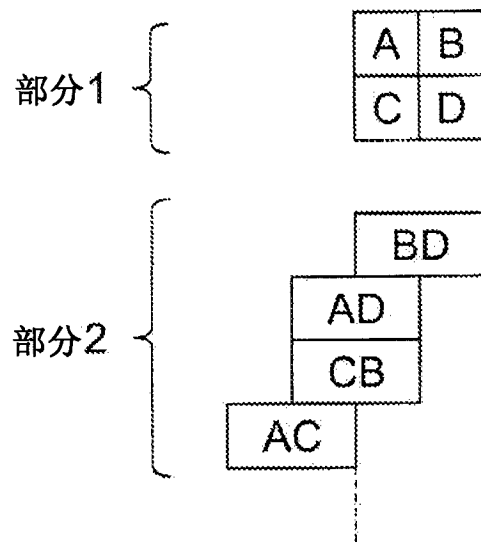


图 7

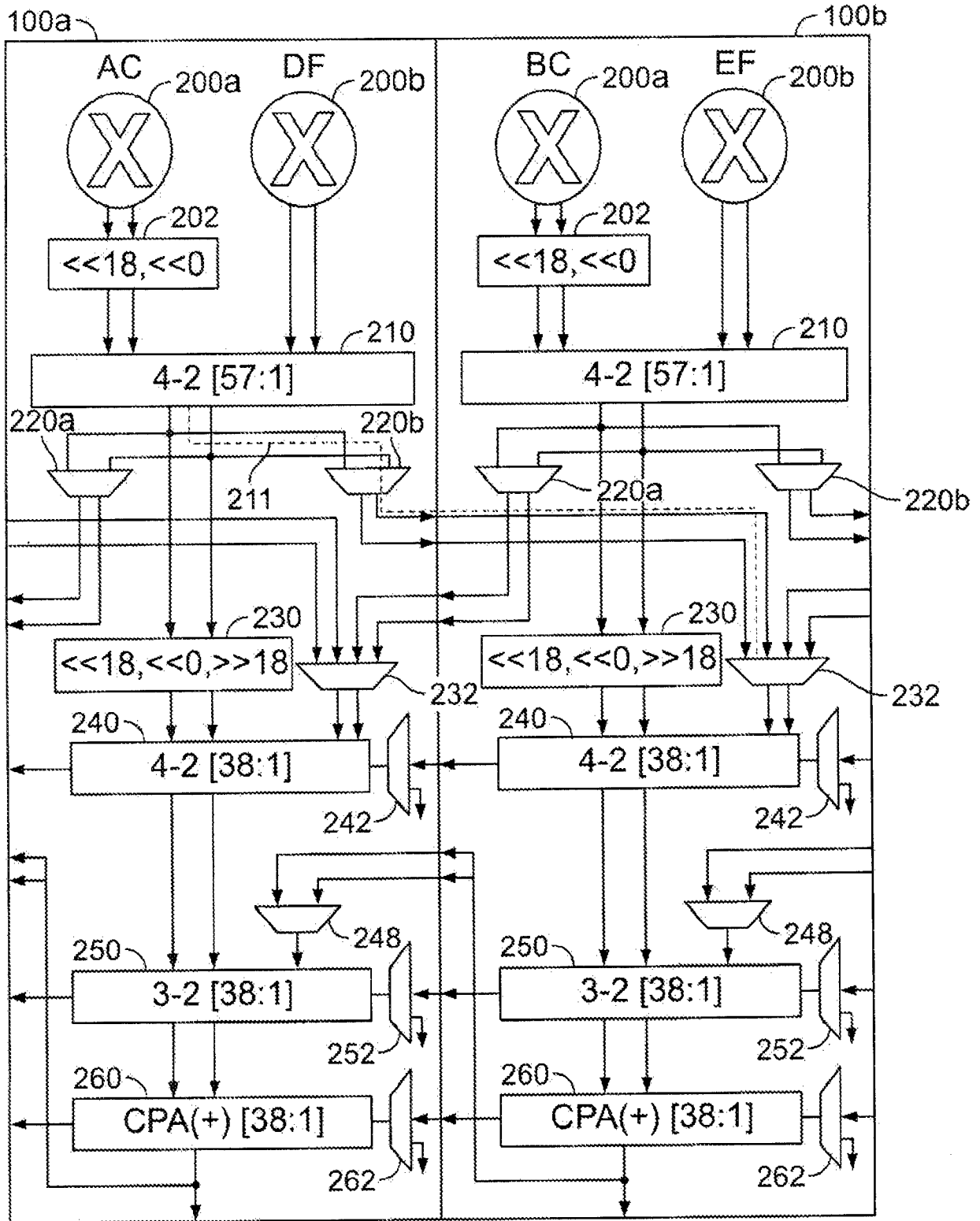


图 6

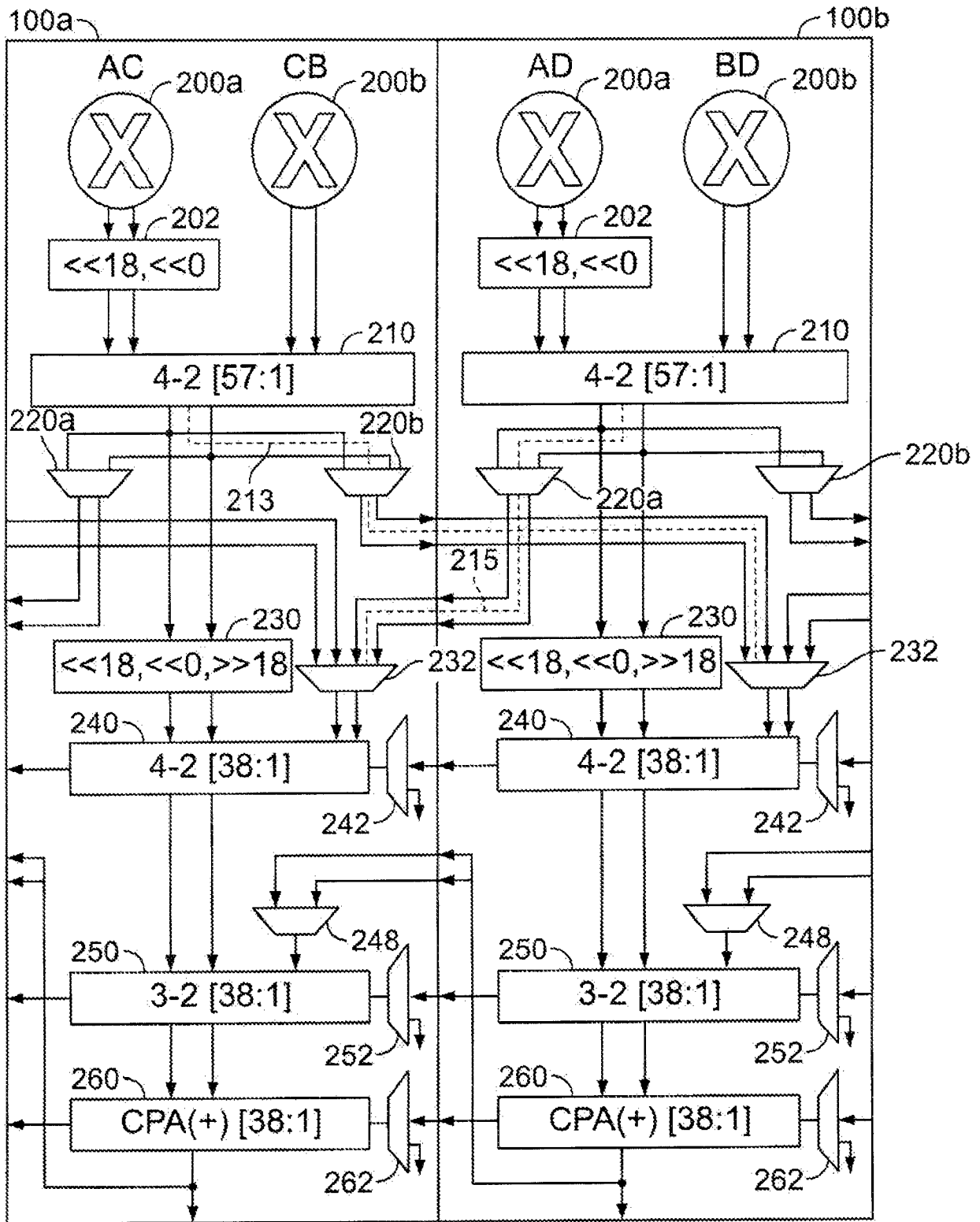


图 8

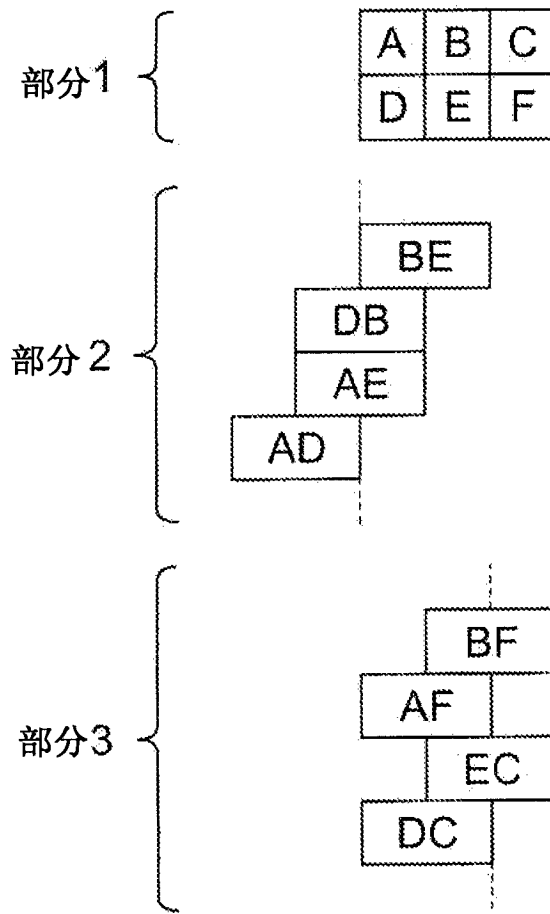


图9

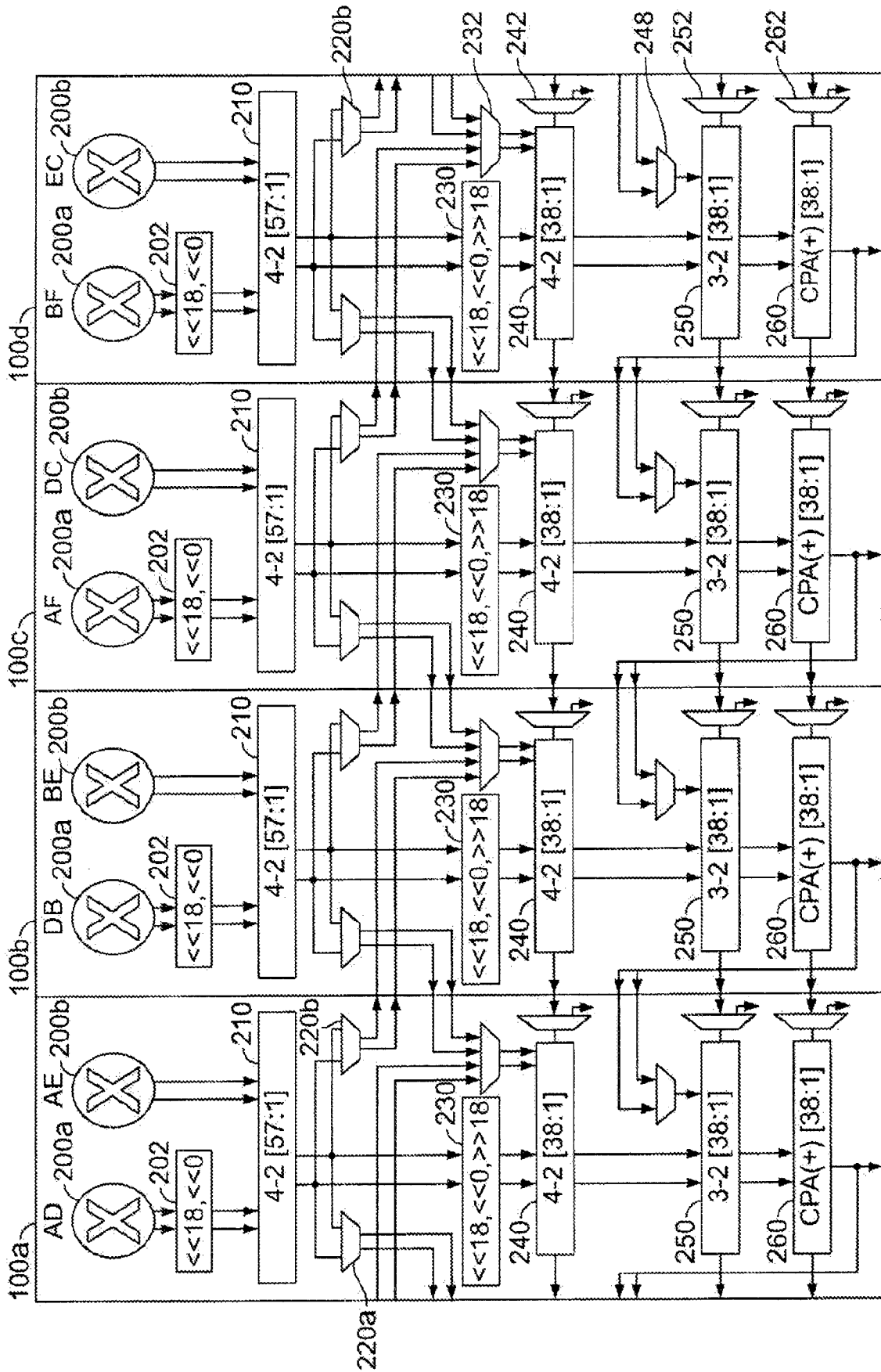


图 10