

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-117814

(P2017-117814A)

(43) 公開日 平成29年6月29日(2017.6.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 33/48 (2010.01)	HO 1 L 33/00 4 0 0	5 F 1 4 2
HO 1 L 33/62 (2010.01)	HO 1 L 33/00 4 4 0	

審査請求 未請求 請求項の数 20 O L (全 22 頁)

(21) 出願番号 特願2015-248132 (P2015-248132)
 (22) 出願日 平成27年12月21日 (2015.12.21)

(71) 出願人 000002303
 スタンレー電気株式会社
 東京都目黒区中目黒2丁目9番13号
 (74) 代理人 100091340
 弁理士 高橋 敬四郎
 (74) 代理人 100141302
 弁理士 鶴飼 伸一
 (72) 発明者 十川 博行
 東京都目黒区中目黒2丁目9番13号 ス
 タンレー電気株式会社内
 (72) 発明者 後藤 明輝
 東京都目黒区中目黒2丁目9番13号 ス
 タンレー電気株式会社内

最終頁に続く

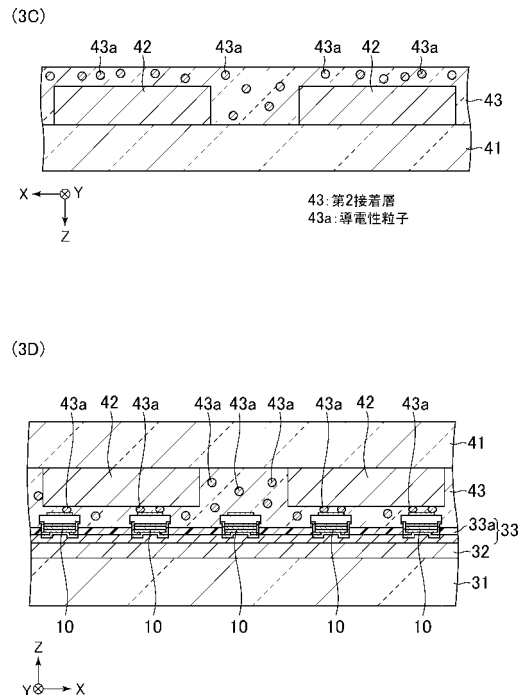
(54) 【発明の名称】 半導体発光装置、及び、半導体発光装置の製造方法

(57) 【要約】 (修正有)

【課題】 高品質の半導体発光装置を提供する。

【解決手段】 半導体発光装置は、第1導電層32を備える第1基材31と、第2導電層42を備える第2基材41と、第1導電側の第1電極、及び、第1導電側とは逆導電側である第2導電側の第2電極を備え、第1基材31と第2基材41の間に配置された複数の半導体発光素子10とを有し、複数の半導体発光素子10の第1電極は、第1基材31の第1導電層32と電氣的に接続され、複数の半導体発光素子10の一部は、第2電極が、第2基材41の第2導電層42と電氣的に接続され、複数の半導体発光素子10の他の一部は、第2電極が、第2基材41の第2導電層42と電氣的に分離され、複数の半導体発光素子10の間の領域には、少なくとも表面が非導電化された導電性材料43が配置される。

【選択図】 図3-2



【特許請求の範囲】

【請求項 1】

第 1 導電層を備える第 1 基材と、
 第 2 導電層を備える第 2 基材と、
 第 1 導電側の第 1 電極、及び、第 1 導電側とは逆導電側である第 2 導電側の第 2 電極を
 備え、前記第 1 基材と前記第 2 基材の間に配置された複数の半導体発光素子と
 を有し、

前記複数の半導体発光素子の前記第 1 電極は、前記第 1 基材の前記第 1 導電層と電氣的
 に接続され、

前記複数の半導体発光素子の一部は、前記第 2 電極が、前記第 2 基材の前記第 2 導電層
 と電氣的に接続され、前記複数の半導体発光素子の他の一部は、前記第 2 電極が、前記第
 2 基材の前記第 2 導電層と電氣的に分離され、

前記複数の半導体発光素子の間の領域には、少なくとも表面が非導電化された導電性材
 料が配置される半導体発光装置。

【請求項 2】

前記複数の半導体発光素子の間の領域には、少なくとも表面が非導電化された、結合
 を有する導電性高分子材料が配置される請求項 1 に記載の半導体発光装置。

【請求項 3】

前記複数の半導体発光素子の間の領域には、少なくとも表面が非導電化された P E D O
 T / P S S、ポリアセチレン、またはポリアニリンが配置される請求項 2 に記載の半導体
 発光装置。

【請求項 4】

前記複数の半導体発光素子の一部は、前記第 2 電極が、前記第 2 基材の前記第 2 導電層
 と、導電性粒子を介して電氣的に接続される請求項 1 ~ 3 のいずれか 1 項に記載の半導体
 発光装置。

【請求項 5】

前記複数の半導体発光素子の間隙、及び、前記複数の半導体発光素子の表面と、前記第
 2 基材との間には、前記導電性粒子を含む非導電性材料が配置される請求項 4 に記載の半
 導体発光装置。

【請求項 6】

前記第 2 基材の前記第 2 導電層の高さは、前記導電性粒子のサイズよりも高い請求項 4
 または 5 に記載の半導体発光装置。

【請求項 7】

前記第 2 基材の前記第 2 導電層の高さは、 $10\ \mu\text{m}$ より高い請求項 4 ~ 6 のいずれか 1
 項に記載の半導体発光装置。

【請求項 8】

前記第 2 基材の前記第 2 導電層は、相互に電氣的に独立した複数の導電層からなる請求
 項 1 ~ 7 のいずれか 1 項に記載の半導体発光装置。

【請求項 9】

発光領域が、前記複数の半導体発光素子の配置領域における、前記第 2 導電層の露出領
 域で規定され、前記第 2 導電層の表面の一部には、絶縁膜が配置されている請求項 1 ~ 8
 のいずれか 1 項に記載の半導体発光装置。

【請求項 10】

発光領域が、前記複数の半導体発光素子の配置領域における、前記第 2 導電層の配設位
 置の高さで規定される請求項 1 ~ 8 のいずれか 1 項に記載の半導体発光装置。

【請求項 11】

前記複数の半導体発光素子の高さは、 $2\ \mu\text{m}$ ~ $10\ \mu\text{m}$ である請求項 1 ~ 10 のいずれ
 か 1 項に記載の半導体発光装置。

【請求項 12】

(a) 第 1 導電層を備える第 1 基材上に、非導電性に改質可能な導電性材料を配置する

10

20

30

40

50

工程と、

(b) 複数の半導体発光素子を、前記導電性材料側から前記第1基材上、または上方に配置し、前記複数の半導体発光素子の第1導電側の第1電極と、前記第1導電層を電氣的に接続する工程と、

(c) 前記複数の半導体発光素子の間の領域において、前記導電性材料の表面を非導電化する工程と、

(d) 第2導電層を備える第2基材を、前記導電性材料側から前記第1基材に対向配置し、前記複数の半導体発光素子の一部の、前記第1導電側とは逆導電側の第2導電側の第2電極と、前記第2基材の前記第2導電層とを電氣的に接続する工程と

を有する半導体発光装置の製造方法。

10

【請求項13】

前記非導電性に改質可能な導電性材料として、結合を有する導電性高分子材料を用いる請求項12に記載の半導体発光装置の製造方法。

【請求項14】

前記非導電性に改質可能な導電性材料として、PEDOT/PSS、ポリアセチレン、またはポリアニリンを用いる請求項13に記載の半導体発光装置の製造方法。

【請求項15】

前記工程(d)において、前記複数の半導体発光素子の一部の前記第2電極と、前記第2基材の前記第2導電層とを、導電性粒子を介して電氣的に接続する請求項12～14のいずれか1項に記載の半導体発光装置の製造方法。

20

【請求項16】

前記第2基材の前記第2導電層の高さは、前記導電性粒子のサイズよりも高い請求項15に記載の半導体発光装置の製造方法。

【請求項17】

前記第2基材の前記第2導電層の高さは、10 μ mより高い請求項15または16に記載の半導体発光装置の製造方法。

【請求項18】

前記第2基材の前記第2導電層は、相互に電氣的に独立した複数の導電層からなる請求項12～17のいずれか1項に記載の半導体発光装置の製造方法。

【請求項19】

前記工程(d)において、前記第2導電層の表面の一部に絶縁膜が配置された前記第2基材を準備し、前記絶縁膜部分を、前記複数の半導体発光素子の配置領域に配置する請求項12～18のいずれか1項に記載の半導体発光装置の製造方法。

30

【請求項20】

前記複数の半導体発光素子の高さは、2 μ m～10 μ mである請求項12～19のいずれか1項に記載の半導体発光装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光装置、及び、半導体発光装置の製造方法に関する。

40

【背景技術】

【0002】

図8A及び図8Bに、LED(light emitting diode)素子に通電する方法の例を示す。

【0003】

図8Aを参照する。半導体積層構造の両側に電極を備える、上下電極タイプのLED素子70の場合は、一方電極側を、たとえば導電性樹脂71でフレーム72にマウントするとともに、他方電極側に配置した電極パッド73に、Auワイヤ74をボンディングすることで通電を行うのが一般的である。

【0004】

図8Bを参照する。半導体積層構造の一方面側にn側電極80n及びp側電極80pを

50

備えるLED素子80の場合は、Auパンプ81によって実装基板82と電氣的に接続する、フリップチップ実装と呼ばれる通電方法がある。図8Bには、n側電極80nが実装基板82の配線83と電氣的に接続され、p側電極80pが実装基板82の配線84と電氣的に接続される例を示した。

【0005】

LED素子をフレキシブルな基板(シート)に実装し、折り曲げ可能な発光装置を作製することが検討されている。たとえば透光性のシートを用いて、発光する樹脂シートを作製することができるため、デザイン性の高い表示装置などへの応用が考えられる。

【0006】

個々のLED素子を、ワイヤボンディングでフレキシブルなシートに実装すると、ワイヤが切断される可能性が高い。フリップチップ実装を行う場合は、シートに、LED素子に対応する配線パターンの形成が必要となることに加え、LED素子を高い位置決め精度で配置する必要があるなど、実装工程が複雑になる。

【0007】

LED素子をフレキシブルシートに実装する技術が知られている(たとえば特許文献1及び2参照)。

【0008】

特許文献1には、導電層を備える2枚のシート間に、図8Aに示すような上下電極タイプのLED素子を挟持し、LED素子の上部電極を、上方のシートの導電層と接触させ、下部電極を、透明導電性接着剤を介して、下方のシートの導電層と導通させる発光装置が記載されている。2枚のシート間の、LED素子配置位置を除く領域には、絶縁ビーズを有する非導電性接着剤が充填される。これにより、2枚のシートの導電層が接触することによるショートが防止される。

【0009】

特許文献2に記載の発光装置においても、導電層を備える2枚の基板間に、たとえばLED素子が挟持される。発光装置は、LED素子と導電性粒子が絶縁性接着剤中に投入された塗布液を、2枚の基板間に配置し、ローラで加圧することで製造される。加圧により、LED素子の上下電極と上下基板の導電層の間に導電性粒子が接触配置されて、通電経路が確保される。導電性粒子は、LED素子が配置されない領域にも存在するが、導電性粒子のサイズは、たとえばLED素子の高さ(厚さ)よりも小さく、かつ、複数の導電性粒子が離散的に存在するため、LED素子が配置されない領域で、上下基板間が導通されることはない。このように上下基板間において、LED素子部のみが選択的に通電され、他の位置では絶縁性が確保される。

【0010】

ウエハ上のLED素子を離間して、フレキシブル基板に転写する方法が知られている(たとえば特許文献3参照)。特許文献3に記載される技術では、圧接ロールにより、フィルム状のシートを素子に押し当てるとともに、レーザ光を照射して、素子部分の接着層を可塑化することで、特定位置の素子をシートに転写する。素子の構造としては、接着層(樹脂)で素子外周を固めて、電極を取りまわした例が開示されている。

【0011】

特許文献1に記載される技術において、微小なLED素子を用いる場合、素子のピックアップが難しく、意図する位置にLED素子を配設することが困難となる場合がある。なお、本明細書においてLED素子等の半導体発光素子が微小であるとは、平面形状における最大の寸法が80 μm 以下、高さが2 μm ~10 μm であることを意味する。たとえば、平面形状における最大の寸法が80 μm 以下であるとき、LED素子の横転を抑止するため、高さは10 μm 以下であることが好ましい。

【0012】

LED素子が微小であると、その高さが、絶縁ビーズのサイズとほぼ等しい、またはそれ以下となることが考えられる。この場合、LED素子の上下電極が、上下シートの導電層に接触しない(通電されない)という不具合が発生しうる。また、非導電性接着剤がL

10

20

30

40

50

LED素子上部に回り込み、通電されない場合も生じうる。更に、非導電性接着剤の塗布厚さが部分的に薄い領域が生じた場合には、その領域において、2枚のシート間でショートが起きる可能性がある。

【0013】

特許文献2に記載される技術においては、LED素子どうしが重なったり、LED素子の向きが不揃いになったりする可能性がある。特許文献2には、複数のLED素子が相互に逆向きに配置されたときに交流駆動するという内容が開示されているが、交流駆動を行うと、逆方向に電圧が印加される素子に通電破壊の可能性が生じる。

【0014】

特許文献2に記載される技術において、微小なLED素子を用いると、たとえばその高さが導電性粒子のサイズとほぼ等しい、またはそれ以下となることが考えられ、素子が配置されない領域で、上下基板間がショートする可能性がある。特許文献2では、導電層を特定の形状に形成し、その形状に沿って発光させることが示されているが、通電経路と、LED素子間の絶縁の双方を確保することは困難な場合があると考えられる。

【0015】

特許文献3に記載の技術において、転写を行うシートは、たとえばUVシート等である。このため、特許文献3に記載の技術を用いて半導体発光装置を製造する場合、転写後に、通電用の構造を形成することになる。素子を移し変える必要が発生し、素子側面の接着層(樹脂)の形成や加工も含め、工程が煩雑となる。

【0016】

特許文献3記載の方法を用い、LED素子を選択的に転写すれば、特定の形状に素子を配置することができると考えられるが、圧接ロールで加圧して転写されるパターンは基本的に線形のみで、複雑な発光パターンの実現は難しい。また、転写するシートはフラットなものが想定されており、転写された素子はすべて並列に通電され、発光パターンの切り替えが困難である。

【先行技術文献】

【特許文献】

【0017】

【特許文献1】特許5162979号公報

【特許文献2】特開2015-32483号公報

【特許文献3】特開2003-45901号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

本発明の目的は、高品質の半導体発光装置を提供することである。

【0019】

また、高品質の半導体発光装置を、簡易に製造する方法を提供することである。

【課題を解決するための手段】

【0020】

本発明の一観点によれば、第1導電層を備える第1基材と、第2導電層を備える第2基材と、第1導電側の第1電極、及び、第1導電側とは逆導電側である第2導電側の第2電極を備え、前記第1基材と前記第2基材の間に配置された複数の半導体発光素子とを有し、前記複数の半導体発光素子の前記第1電極は、前記第1基材の前記第1導電層と電気的に接続され、前記複数の半導体発光素子の一部は、前記第2電極が、前記第2基材の前記第2導電層と電気的に接続され、前記複数の半導体発光素子の他の一部は、前記第2電極が、前記第2基材の前記第2導電層と電気的に分離され、前記複数の半導体発光素子の間の領域には、少なくとも表面が非導電化された導電性材料が配置される半導体発光装置が提供される。

【0021】

また、本発明の他の観点によれば、(a)第1導電層を備える第1基材上に、非導電性

10

20

30

40

50

に改質可能な導電性材料を配置する工程と、(b)複数の半導体発光素子を、前記導電性材料側から前記第1基材上、または上方に配置し、前記複数の半導体発光素子の第1導電側の第1電極と、前記第1導電層を電氣的に接続する工程と、(c)前記複数の半導体発光素子の間の領域において、前記導電性材料の表面を非導電化する工程と、(d)第2導電層を備える第2基材を、前記導電性材料側から前記第1基材に対向配置し、前記複数の半導体発光素子の一部の、前記第1導電側とは逆導電側の第2導電側の第2電極と、前記第2基材の前記第2導電層とを電氣的に接続する工程とを有する半導体発光装置の製造方法が提供される。

【発明の効果】

【0022】

本発明によれば、高品質の半導体発光装置を提供することができる。

【0023】

また、高品質の半導体発光装置を、簡易に製造する方法を提供することができる。

【図面の簡単な説明】

【0024】

【図1-1】図1A~図1Cは、LED素子を準備する工程を示す概略的な断面図である。

【図1-2】図1D~図1Fは、LED素子を準備する工程を示す概略的な断面図である。

【図1-3】図1G及び図1Hは、LED素子を準備する工程を示す概略的な断面図である。

【図1-4】図1I及び図1Jは、LED素子を準備する工程を示す概略的な断面図である。

【図1-5】図1K~図1Mは、LED素子を準備する工程を示す概略的な断面図である。

【図2-1】図2A~図2Dは、LED素子のp側電極と第1基板を電氣的に接続する工程を示す概略的な断面図である。

【図2-2】図2E~図2Gは、LED素子のp側電極と第1基板を電氣的に接続する工程を示す概略図である。

【図3-1】図3A及び図3Bは、LED素子のn側電極と第2基板を電氣的に接続する工程を示す概略図である。

【図3-2】図3C及び図3Dは、LED素子のn側電極と第2基板を電氣的に接続する工程を示す概略的な断面図である。

【図3-3】図3Eは、第1実施例による半導体発光装置を示す概略的な平面図である。

【図4-1】図4Aは、第2実施例による半導体発光装置の第2基板を示す概略的な平面図であり、図4Bは、第2実施例による半導体発光装置を示す概略的な平面図である。

【図4-2】図4Cは、第2実施例による半導体発光装置の第2基板を示す概略的な平面図であり、図4Dは、第2実施例による半導体発光装置を示す概略的な平面図である。

【図5-1】図5Aは、第2実施例の変形例による半導体発光装置の第2基板を示す概略的な平面図であり、図5Bは、第2実施例の変形例による半導体発光装置を示す概略的な平面図である。

【図5-2】図5Cは、第2実施例の変形例による半導体発光装置を示す概略的な断面図である。

【図6】図6A及び図6Bは、変形例による半導体発光装置を示す概略的な断面図である。

【図7】図7は、変形例による半導体発光装置を示す概略的な断面図である。

【図8】図8A及び図8Bは、LED素子に通電する方法の例を示す概略的な断面図である。

【発明を実施するための形態】

【0025】

10

20

30

40

50

図1A～図3Eを参照し、第1実施例による半導体発光装置の製造方法について説明する。

【0026】

まず、図1A～図1Mを参照し、半導体発光素子、実施例においてはLED素子を準備する工程について説明する。

【0027】

図1Aを参照する。成長基板として、たとえば両面が研磨されたc面サファイア基板11を準備し、有機金属化学気相成長(metal organic chemical vapor deposition; MOCVD)法を用いて、サファイア基板11上に、窒化物系半導体からなるデバイス構造層(エピタキシャル層)を形成する。

10

【0028】

具体的には、サファイア基板11をMOCVD装置に投入し、1100℃まで昇温することで、有機物の除去を行う(サーマルクリーニング)。

【0029】

基板温度を560℃に降温し、トリメチルガリウム(trimethylgallium; TMG)、トリメチルアルミニウム(trimethylaluminum; TMA)、及び、アンモニア(NH₃)を供給することで、基板11上に、AlGaN低温バッファ層12を成長する。

【0030】

基板温度を1200℃にし、TMG及びNH₃を供給して、バッファ層12上に、厚さ約500nmのアンドープGaN層(下地層)13を成長する。

20

【0031】

その後、更に、ジシラン(Si₂H₆)を供給し、アンドープ層13上に、厚さ約4µmのSiドープn型GaN層14を成長する。

【0032】

基板温度を850℃に下げ、n型層14上に、たとえばInGaN井戸層とGaN障壁層が交互に積層された多重量子井戸構造を有する発光層(活性層)15を成長する。InGaN井戸層は、TMG、トリメチルインジウム(trimethylindium; TMI)、及び、NH₃の供給により、厚さ約3.5nmに成長する。GaN障壁層は、TMG及びNH₃の供給により、厚さ約6nmに成長する。井戸層と障壁層の成長を交互に、たとえば9回ずつ繰り返し、発光層15を形成する。

30

【0033】

基板温度を1000℃とし、TMG、TMA、NH₃、更にはドーパントガスとしてピス(シクロペンタジエニル)マグネシウム(bis(cyclopentadienyl)magnesium; CP₂Mg)を供給し、発光層15上に、厚さ約15nmのMgドープp型AlGaN層(電子ブロック層)を成長する。

【0034】

また、基板温度を1100℃とし、TMG、NH₃、及び、ドーパントガスとしてCP₂Mgを供給し、Mgドープp型AlGaN層上に、厚さ約100nmのMgドープp型GaN層を成長する。

【0035】

図1Aには、Mgドープp型AlGaN層、及び、Mgドープp型GaN層をp型層16として示した。

40

【0036】

半導体層12～16が形成されたサファイア基板11をMOCVD装置から取り出し、素子化工程に移る。

【0037】

図1Bを参照する。700℃で1分間の熱処理を行うことにより、p型層16を活性化させる(アクティベーション)。

【0038】

p型層16上に、たとえばスパッタにより、厚さ約20nmのITO(indium tin oxid

50

e) 膜 17 を成膜する。

【0039】

図 1 C を参照する。ITO 膜 17 上に、レジスト 18 を塗布、パターニングした後、ITO エッチング液を用いて、ITO 膜 17 をウェットエッチングし、第 1 p 側電極 19 を形成する。

【0040】

図 1 D を参照する。レジスト 18 を残した状態で、たとえばドライエッチング、一例として Cl_2 ガスを用いた反応性イオンエッチング (reactive ion etching; RIE) を行い、エッチング位置の p 型層 16 及び発光層 15 を除去する。エッチングは、電氣的に n 型層 14 が露出する深さまで、たとえば p 型層 16 表面から約 $2 \mu m$ の深さまで行う (ジャンクションカット)。これにより、第 1 p 側電極 19 間 (発光素子間)、本図においては矢印で示す位置に、溝が形成される。

【0041】

図 1 E を参照する。レジスト 18 を除去し、たとえば 450 で 5 分間、酸素アニールを実施する。その後、たとえばスパッタにより、第 1 p 側電極 19 上、及び、第 1 p 側電極 19 間 (発光素子間) の溝内部に、厚さ約 300 nm の SiO_2 保護膜 (絶縁膜) 20 を成膜する。

【0042】

図 1 F を参照する。第 1 p 側電極 19 上の保護膜 20 の一部を開口する。たとえばフォトリソグラフィ法でレジストをパターニングし、バッファードフッ酸 (buffered hydrofluoric acid; BHF) を用いてエッチングする。

【0043】

保護膜 20 上、及び、保護膜 20 に形成された開口内に、たとえばスパッタを用い、第 2 p 側電極 21 となる ITO 膜を、厚さ約 200 nm に形成する。第 2 p 側電極 21 は、保護膜 20 に形成された開口内で、第 1 p 側電極 19 と電氣的に接続する。

【0044】

図 1 G を参照する。図 1 F に示す状態の基板 11 と、たとえばサファイア基板である補強用基板 23 を貼り合わせる。貼り合わせは、たとえば第 2 p 側電極 21 上に、貼り合わせ用接合剤 22 をスピンコートで塗布し、130 で 10 分間、両基板 11、23 間に、250 N の力を加えることにより行う。接合剤 22 として、たとえば BREWER SCIENCE, Inc. の Brewer BOND 220 を用いることができる。

【0045】

図 1 H を参照する。たとえばレーザーリフトオフにより、成長基板 11 を剥離する。半導体層 12 ~ 16 側の剥離面を、RIE で約 $1 \mu m$ エッチングし、n 型層 14 を露出させる。

【0046】

図 1 I を参照する。n 型層 14 上に、たとえばレジストをパターニングした後、Ti / Al / Ti / Pt / Au 膜を成膜し、リフトオフを行って、n 側電極 24 を形成する。

【0047】

図 1 J を参照する。レジストをパターニングし、たとえば Cl_2 ガスを用いた RIE を行う。各素子間領域で、n 型層 14 及び保護膜 20 をエッチングし、各素子を分離する分離溝を形成する。本図には、分離溝の形成位置に矢印を付した。本図に示す工程までで、複数の LED 素子 10 が作製される。

【0048】

図 1 K を参照する。LED 素子 10 の n 側電極 24 側をハンドリング用の UV シート 25 に貼り合わせて固定する。UV シート 25 は、強力な粘着力、及び、UV 光 (紫外光) の照射で粘着力が弱まる性質をもつ粘着シートである。

【0049】

図 1 L を参照する。剥離剤を用いて接合剤 22 をエッチングし、補強用基板 23 を剥離する。剥離剤として、たとえば Brewer Science, Inc. の Wafer

10

20

30

40

50

BOND Remover を使用することができる。

【0050】

図1Mを参照する。LED素子10が形成された領域の一部を残してカバーフィルムで覆い、覆われていない一部（実施例では、平面視において、一辺が約1cmの正方形の領域）を別のUVシート26に転写する。UVシート26をエキスパンドし、LED素子10間の間隔を、約20 μ mまで広げる。

【0051】

なお、カバーフィルムの形状を変えることで、転写する領域を様々に変更することができる。たとえば文字形状や種々の図形状に、LED素子10を転写することが可能である。

10

【0052】

また、エキスパンドは必要に応じて行えばよい。エキスパンドを行う場合、LED素子10間の間隔は、UVシート26がのびる範囲で任意に選択可能である。

【0053】

LED素子10は、窒化物系半導体で形成されたn型層14、発光層15及びp型層16を備える。また、n型層14に電氣的に接続されたn側電極24、及び、p型層16に電氣的に接続されたp側電極19、21を含む。たとえば発光層15とp型層16の縁部、及び、n型層14の縁部の一部には、保護膜（絶縁膜）20が配置されている。少なくとも発光層15の側面を保護膜20で覆い、n型層14とp型層16を非接触とすることにより、ショートが防止される。

20

【0054】

LED素子10は、たとえば一辺が20 μ mの正方形の平面形状と、6 μ mの高さをもつ、上下電極タイプの微小な半導体発光素子である。作製するのが微小なLED素子10であるため、実施例においては、たとえば素子分離にダイシングを用いず、各素子間領域をエッチングして分離溝を形成し（図1J参照）、補強用基板23を除去する（図1L参照）。なお、実施例で作製されたLED素子10においては、平面形状における最大の寸法は、28 μ m（正方形の対角線部分）となる。

【0055】

次に、図2A～図2Gを参照し、LED素子10のp側電極19、21と第1基板を電氣的に接続する工程について説明する。

30

【0056】

図2Aを参照する。たとえばポリエチレンテレフタレート(polyethylene terephthalate; PET)で形成された第1ベース基板31上に、ITOで形成された第1導電層32が配置された第1基板30を準備する。

【0057】

第1ベース基板31は、PETの他、ポリエーテルサルホン(polyethersulfone; PES)、ポリカーボネート(polycarbonate; PC)、ポリアリレート(polyarylate; PAR)などで形成された樹脂シートや、ガラス基板でもよい。第1導電層32を形成する材料には、ITOの他、ZnOやナノAg粒子が分散されたペーストなどを用いることができる。

【0058】

図2Bを参照する。第1導電層32上に、第1接着層33を形成する。第1接着層33は、たとえば透明有機導電膜材料であるPEDOT/PSS(poly(3,4-ethylenedioxythiophene)poly(styrenesulfonate))の1.5%以下の水溶液とプロピレングリコールを、1:1で混合した混合液を、第1導電層32上にスピンコートで塗布し、厚さ約3 μ mに形成することができる。混合比は1:1に限らず、PEDOT/PSSの1.5%以下の水溶液を、たとえば10%以上含む範囲で任意に選択可能である。また、溶媒はプロピレングリコールに限らず、エチレングリコールやその他の多価アルコール、フェノール化合物、ケトン化合物、更に、それらの混合溶液など、水和性があり、粘度を高める効果のあるものを使用することができる。

40

【0059】

50

図 2 C を参照する。LED 素子 10 が配列した UV シート 26 (図 1 M 参照) の、素子 10 側を第 1 接着層 33 に押し当てる。LED 素子 10 は、第 1 接着層 33 内に押し込まれる。80 で 30 分間、軽く保持し、第 1 接着層 33 を乾燥させる。なお、第 1 接着層 33 は導電性を有するため、LED 素子 10 の p 側電極 19、21 は、第 1 導電層 32 と電氣的に接続される。

【 0060 】

図 2 D を参照する。UV シート 26 に UV 光を照射し、UV シート 26 を剥離する。図 2 C 及び図 2 D に示す工程によって、LED 素子 10 が転写され、第 1 基板 30 に付着される。

【 0061 】

図 2 E を参照する。第 1 接着層 33 表面の非導電化処理 (導電性を絶縁性に変える化学的処理) を行う。具体的には、処理液 (導電性を失わせる処理剤) として、たとえば PEDOT / PSS のエッチング液、一例としてヘレウス株式会社の Clevious Etch を用い、第 1 接着層 33 の表面改質を行う。Clevious Etch が接触した第 1 接着層 33 部分は、結合基が変わることで非導電性に変化する。なお、第 1 接着層 33 は、Clevious Etch によりエッチングされるわけではない。

【 0062 】

第 1 接着層 33 の非導電化処理により、第 1 接着層 33 の少なくとも表面に非導電性領域 33 a が形成される。また、Clevious Etch が到達しない領域、たとえば少なくとも LED 素子 10 の直下領域は非導電化されない。このため、LED 素子 10 の p 側電極 19、21 は、第 1 導電層 32 と電氣的に接続されたままである。

【 0063 】

なお、図 2 F に示すように、たとえば LED 素子 10 の直下を除く第 1 接着層 33 が、非導電化されてもかまわない。更に、LED 素子 10 の直下の一部が非導電化されてもよい。少なくとも第 1 接着層 33 の表面が非導電化され、かつ、LED 素子 10 の直下の一部が非導電化されず、LED 素子 10 の p 側電極 19、21 と、第 1 導電層 32 が電氣的に接続されていればよい。

【 0064 】

また、実施例においては、LED 素子 10 の p 側電極 21 は、第 1 導電層 32 と物理的に接触せず、第 1 接着層 33 の導電性領域を介して第 1 導電層 32 と電氣的に接続されるが、たとえば UV シート 26 を第 1 接着層 33 に強く押し当てて、LED 素子 10 の第 1 接着層 33 内への押し込み量を大きくし、p 側電極 21 と第 1 導電層 32 を物理的に接触させてもよい。

【 0065 】

なお、第 1 接着層 33 は、導電性の領域が、LED 素子 10 の n 側領域 (n 型層 14、n 側電極 24) と p 側領域 (p 側電極 21) を電氣的に接続しないように形成する必要がある。

【 0066 】

図 2 G は、LED 素子 10 が配置された第 1 基板 30 の一部を示す概略的な平面図である。第 1 基板 30 上、または上方に、複数の LED 素子 10 が、たとえば X 軸方向、Y 軸方向の双方に等しい間隔 (20 μ m) を隔てて、マトリクス状 (行列状) に配置される。複数の LED 素子 10 の間の領域には、少なくとも表面に非導電性領域 33 a をもつ第 1 接着層 33 が配置される。

【 0067 】

図 3 A ~ 図 3 D を参照し、LED 素子 10 の n 側電極 24 と第 2 基板を電氣的に接続する工程について説明する。

【 0068 】

図 3 A は、第 2 基板 40 の一部を示す概略的な平面図であり、図 3 B は、図 3 A の I I I B - I I I B 線に沿う断面図である。

【 0069 】

10

20

30

40

50

絶縁性材料、たとえばPET等の樹脂で形成された第2ベース基板41上に、相互に電氣的に分離された複数の配線電極(第2導電層)42が配置された第2基板40を準備する。実施例においては、Cuで形成された2つの配線電極42が第2ベース基板41上に配置されている。

【0070】

配線電極42の高さ(厚さ)は、たとえば35 μm である。各配線電極42は、ともに300 μm の配線幅(X軸方向の長さ)をもち、200 μm の間隔を隔てて、Y軸方向に延在する。Y軸方向の一方側の端部には、端子部42aが形成されている。

【0071】

図3Cを参照する。第2基板40上に、第2接着層43を配置する。第2接着層43は、たとえば球状の導電性粒子43aが混入された非導電性材料で構成される。たとえば第2基板40上に、第2接着層43として、Agの微粒子(直径10 μm)が分散されたエポキシ系接着剤を塗布する。

10

【0072】

図3Dを参照する。LED素子10が配置された第1基板30(図2F参照)と第2基板40とを、第2接着層43によって貼り合わせ、略平行に対向配置する。具体的には、第1基板30のLED素子10配置側と、第2基板40の配線電極42配置側(第2接着層43配置側)を押し当てて、140、3MPaで加圧し、10秒間保持することで基板30、40を接合する。

【0073】

加圧により、配線電極42とLED素子10のn側電極24の間で、第2接着層43に含まれる導電性粒子43aが押し潰されて変形する。導電性粒子43aと配線電極42、及び、導電性粒子43aとn側電極24の間の接触面積が大きくなり、十分な通電経路が形成される。

20

【0074】

第2接着層43は、配線電極42とLED素子10のn側電極24との間で、基板30、40の厚さ方向(Z軸方向)に導電性を備えるという意味で、異方導電性樹脂層である。このような異方導電性樹脂層は、一例として、株式会社スリーボンドホールディングスの異方導電性接着剤を使用して形成することができる。なお、第2接着層43は、樹脂状に限らず、シート状のものでもよく、たとえば同様の役割のある異方導電性シートなどを用いて構成することも可能である。

30

【0075】

図3A~図3Dに示す工程により、配線電極42の配置位置にあるLED素子10のn側電極24が、第2基板40(配線電極42)と電氣的に接続される。配線電極42が配置されない位置にあるLED素子10は、第2基板40と電氣的に接続されない。すなわち、複数のLED素子10が第1基板30と第2基板40の間に配置されるとともに、そのうちの一部のLED素子10が、第1基板30(第1導電層32)と第2基板40(配線電極42)の間で導通される。

【0076】

こうして第1実施例による半導体発光装置が製造される。

40

【0077】

なお、第1基板30の第1導電層32が露出した箇所をクリップで挟み、第2基板40の端子部42aに通電プローブを押し当てて、通電確認を行ったところ、100 μm の電流が流れることが確認された。

【0078】

第1実施例による半導体発光装置は、たとえば発光シートであり、相互に対向して配置される第1基板30(第1基材)、第2基板40(第2基材)、及び、両基板30、40間に配置される複数のLED素子10(半導体発光素子)を備える。

【0079】

LED素子10は、n型層14(第1導電型層)、発光層15、及び、p型層16(第

50

2 導電型層)の半導体積層を備える。また、n型層14に電氣的に接続するn側電極24(第1導電側電極)、及び、p型層16に電氣的に接続するp側電極19、21(第2導電側電極)を含む。

【0080】

LED素子10のp側電極19、21は、第1基板30の第1導電層32と電氣的に接続されている。

【0081】

複数のLED素子10のうちの一部は、n側電極24が、配線電極42と電氣的に接続されている。また、複数のLED素子10のうち他の一部は、n側電極24が、配線電極42と電氣的に分離されている。

10

【0082】

更に、第1基板30上方の、LED素子10間領域表面には、非導電性領域33aが配置されている。

【0083】

第1基板30(第1導電層32)と第2基板40(配線電極42)の間に電力を供給すると、両基板30、40間に配置される複数のLED素子10のうちの一部、具体的には、平面視上、第2基板40の配線電極42と重なる位置にあるLED素子10が発光する。

【0084】

なお、第1、第2基板30、40間の通電を行う場合、一例として、配線電極42の端子部42aに、ワイヤボンディングやプローブの接触により電流が供給される。

20

【0085】

図3Eは、第1実施例による半導体発光装置を示す概略的な平面図である。第1実施例による半導体発光装置においては、複数のLED素子10が第1基板30上方に、特定の間隔でマトリクス状に配置される。第2基板40は、相互に電氣的に独立した複数の配線電極42を備える。各配線電極42は、たとえば平面視上、複数のLED素子10の一部にまたがるように配置される。

【0086】

平面視上、配線電極42と重なる位置にあるLED素子10は、n側電極24が、配線電極42と電氣的に接続されている。このため、これらのLED素子10は、両基板30、40間への電力の供給により発光する。一方、配線電極42とまったく重ならない位置にあるLED素子10は、n側電極24が、配線電極42と電氣的に分離されている。このため、これらのLED素子10は、両基板30、40間に電力を供給しても発光しない。このように、実施例による半導体発光装置は、発光するLED素子10と、発光しないLED素子10を含み、あらかじめ意図した、特定位置のLED素子10のみを発光させる。第1実施例による半導体発光装置においては、配線電極42に沿った形状、すなわち左右の2つの矩形領域(発光領域)から発光が行われる。一方の配線電極42と第1基板30の間に電力を供給し、他方の配線電極42と第1基板30の間に電力を供給しないことで、一方の矩形領域のみを発光領域とすることもできる。

30

【0087】

なお、左右の2つの配線電極42間におけるショートを防止するため、配線電極42の高さを導電性粒子43aのサイズ(直径)や、LED素子10の高さよりも高くすることが望ましい。たとえば配線電極42間で、導電性粒子43aが分散して存在する状態となるため、配線電極42間におけるショートが防止される。一例として、微小なLED素子10(高さ2 μ m~10 μ m)を用いる場合は、配線電極42の高さを10 μ mより高くする。

40

【0088】

第1実施例による製造方法においては、たとえば複数のLED素子10を、PEDOT/ PSSを含む導電性の第1接着層33内に押し込んで固定し、LED素子10のp側電極19、21と第1基板30の電氣的接続を実現する。また、第1接着層33表面の非導

50

電化処理を行って、LED素子10間領域表面に非導電性領域33aを配置し、実施例による半導体発光装置における第1、第2基板30、40間のショートを防止する。

【0089】

LED素子10のn側電極24と第2基板40の間の電氣的接続は、たとえば導電性粒子43aを含む非導電性材料で構成された第2接着層43を、第2基板40の配線電極42形成面に配置し、LED素子10のn側電極24側に押し当てて加圧することで実現する。加圧により、LED素子10のn側電極24と配線電極42の間で、導電性粒子43aが押し潰され、十分な通電経路が形成される。

【0090】

第1実施例による半導体発光装置は、LED素子10部における良好な通電経路と、LED素子10間領域における、第1、第2基板30、40間の絶縁性が確保された高品質の半導体発光装置である。

10

【0091】

第1実施例による半導体発光装置の製造方法によれば、簡易に、LED素子10部における良好な通電経路、及び、LED素子10間領域における、第1、第2基板30、40間の絶縁性を確保することができる。

【0092】

微小なLED素子10を用いる場合であっても、高品質の半導体発光装置を、簡易に製造することができる。

【0093】

図4A～図4Dを参照し、第2実施例による半導体発光装置について説明する。

20

【0094】

図4Aに、第2実施例による半導体発光装置の第2基板40の概略的な平面図を示す。第2実施例による半導体発光装置は、第2基板40の配線電極42が第1実施例と異なる。第1実施例においては、Y軸方向に延在する短冊状(矩形状)の配線電極42としたが、第2実施例においては、Cuで形成される配線電極42を、文字形状に対応する形状にパターンニングする。配線電極42の高さ及び配線幅は、たとえば第1実施例のそれらと等しく、それぞれ35 μ m、300 μ mである。

【0095】

また、第2実施例においては、配線電極42の文字形状対応部分と端子部42aの間の引き回し線上に絶縁膜44を配置する。図4Aに示す例においては、引き回し線上、及び、第2ベース基板41上に、X軸方向に沿って絶縁膜44を配置する。絶縁膜44は、配置を意図する位置以外の領域をレジストで覆った後、スパッタでSiO₂膜を成膜し、リフトオフすることで形成することができる。なお、本図より図5Bに至るまで、絶縁膜44の配置領域に斜線を付して示す。第2実施例による半導体発光装置のその他の構造は、第1実施例と同様である。

30

【0096】

図4Bに、第2実施例による半導体発光装置の概略的な平面図を示す。

【0097】

第1実施例と同様に、複数のLED素子10のp側電極19、21は、第1基板30と電氣的に接続されている。第2実施例においては、平面視上、第2基板40の配線電極42と重なる位置にあるLED素子10は、絶縁膜44の配置位置にあるLED素子10を除いて、n側電極24が、配線電極42と電氣的に接続されている。絶縁膜44の配置領域においては、LED素子10のn側電極24と配線電極42の間に、絶縁膜44が存在するため、両者24、42間は導通されない。更に、平面視上、配線電極42と重ならない位置にあるLED素子10は、n側電極24が配線電極42と電氣的に分離されている。このため、第2実施例においては、両基板30、40間に電力を供給したとき、「S」、「T」という文字形状部分が発光領域となり、その他の部分は非発光領域となる。一方の配線電極42と第1基板30の間のみ電力を供給することにより、「S」、「T」のうち的一方のみから発光を行わせることもできる。

40

50

【0098】

実施例による半導体発光装置は、たとえば光で描画ラインを形成する表示装置として使用することができる。描画ラインは、第1、第2基板30、40間で導通されるLED素子10を用い、たとえばLED素子10（発光点）の集合体として、特定の形状（第2実施例においては「S」、「T」の文字形状）に構成される。両基板30、40間で導通されるLED素子10は、たとえば配線基板42の形状や配置位置、更には、配線基板42上に形成される絶縁膜44の位置によって決定することができる。また、たとえば相互に電氣的に分離された複数の配線基板42を用いることで、両基板30、40に電氣的に接続されたLED素子10の一部のみを発光させることも可能である。微小なLED素子10を用いるため、精密な描画を行うことができる。

10

【0099】

一方で、微小なLED素子10を精密に所望の位置にのみ配置することは困難である。第2実施例においては、まず、所望の形状部分（「S」、「T」という文字形状部分）を含む領域に（第2実施例においては正形状領域にマトリクス状に）LED素子10を配置する。その上で、配線電極42を重ね合わせ、発光領域を所望の形状とする。そのため、所望形状の発光領域の周囲には非導通のLED素子10が配置されることになる。

【0100】

なお、実施例においては複数のLED素子10を、第1基板30上にマトリクス状に配置するが、マトリクス状以外の配置態様としたり、LED素子10の配置密度を一様とせず、粗密の分布をもたせたりすることで、たとえばバリエーションに富む描画を行うことが可能である。

20

【0101】

また第2基板40を、たとえば配線電極42形状が異なる、他の第2基板に変更することで、発光デザイン（表示デザイン）を様々に変更することができる。たとえば第2実施例のような文字形状だけでなく、所望の図形状にすることも可能である。なお、その際、実施例では第1、第2基板30、40間で通電されず、発光しないLED素子10も、両基板30、40間で導通され、発光（描画）に用いられる場合がある。

【0102】

また、第2実施例による半導体発光装置においては、図4Cに示すように、絶縁膜44を、引き回し線上にのみ配置し、第2ベース基板41上には配置しない構成とすることもできる。図4Dに、このような構成とした場合の、半導体発光装置の概略的な平面図を示す。図4Bと等しい領域（「S」、「T」の文字形状領域）から発光が行われる半導体発光装置とすることができる。

30

【0103】

図5Aに、第2実施例の変形例による半導体発光装置の第2基板40の概略的な平面図を示す。第2実施例の変形例においては、第2ベース基板41上に、ベタ電極部分を含む配線電極42を配置し、発光を行わせる領域を除くベタ電極部分上に、絶縁膜44を形成する。すなわち、第2実施例においては、文字形状と対応する形状にパターンニングされた配線電極42を用い、文字形状対応部分の配置位置で発光領域を規定する（図4A参照）が、第2実施例の変形例においては、配線電極42のベタ状領域における絶縁膜44不形成領域として、発光領域を規定する。

40

【0104】

図5Bに、第2実施例の変形例による半導体発光装置の概略的な平面図を示す。平面視上、LED素子10配置領域と重なる配線電極42位置をベタ電極で構成し、発光領域とする位置以外のベタ電極上に絶縁膜44を配置する。第2基板40を、このように構成することによっても、第2実施例と等しい領域（図4B及び図4D参照）を発光領域とすることができる。

【0105】

図5Cに、第2実施例の変形例による半導体発光装置の概略的な断面図を示す。絶縁膜44は、導電性粒子43aのサイズよりも薄く形成される。

50

【0106】

以上、実施例及び変形例に沿って本発明を説明したが、本発明はこれらに限定されない。

【0107】

たとえば実施例及び変形例においては、第2基板40の導電部(第2ベース基板41上の凸部となる配線電極42)の高さを一様とし、LED素子10配置領域における導電部の露出領域で発光領域を規定したが、導電部の配設位置の高さで発光領域を規定することもできる。

【0108】

図6A及び図6Bには、第2基板40の導電部が、相互に異なる複数の高さに配置される例を示した。

10

【0109】

図6Aに示す例においては、平板な第2ベース基板上の一部に導電部を配置するのではなく、高さが h_1 の凸部を備える第2ベース基板41上の全面に、たとえば一様の厚さを備えるCu膜である配線電極42を配置し、凸部上のCu膜(配線電極42)部分と、凸部に対向する位置のLED素子10を電氣的に接続する。この場合、凸部の高さ h_1 を、たとえば導電性粒子43aのサイズ(直径)及びLED素子10の厚さ以上とし、凸部間(非発光領域)に配置されるLED素子10の導通(発光)を防止する。

【0110】

図6Bに示す例においては、平板な第2ベース基板41上に、位置によって h_2 だけ高さが異なる配線電極42を配置し、配線電極42の高さの高い領域と、それに対向する位置のLED素子10を電氣的に接続する。高さの差 h_2 を、たとえば導電性粒子43aのサイズ及びLED素子10の厚さ以上とし、高さの低い領域(非発光領域)に配置されるLED素子10の導通を防止する。なお、この高さの差 h_2 を配線電極42の高さとする。

20

【0111】

また、実施例及び変形例においては、導電性粒子43aを含む第2接着層43を用いて第1基板30と第2基板40を接合したが、たとえば導電性粒子を含まない接着剤を使用して接合することもできる。

【0112】

図7に、導電性粒子を介さず、LED素子10のn側電極24と配線電極42を電氣的に接続する半導体発光装置の例を示す。本図に示す例は、第1実施例(図3D参照)に対応する。n側電極24と配線電極42が直接接触し、LED素子10と第2基板40が電氣的に接続される。なお、複数の配線電極42の高さに製造上のむらが生じうる点を考慮すると、導電性粒子43aを介して電氣的接続を行った方が、より高品質の半導体発光装置を実現可能である。

30

【0113】

更に、実施例及び変形例においては、絶縁材料で形成された部材(第1、第2ベース基板31、41)上に導電部(第1導電層32、配線電極42)が配置された第1、第2基材(第1、第2基板30、40)を用いたが、第1、第2基材は、導電性材料(導電部)のみで形成されていてもよい。

40

【0114】

また、実施例及び変形例においては、PEDOT/PSSを含む第1接着層33を形成し、Clevis Etchを使用して表面を非導電化したが、非導電性に改質可能な導電性材料はPEDOT/PSSに限られない。第1接着層33を構成する材料として、PEDOT/PSSの他、たとえば、ポリアセチレン、ポリアニリン等の導電性高分子を使用することができる。これらの材料は、いずれも結合を有しており、ドーパントの追加により電子を組み換えることで導電性を発現するが、適宜、酸性溶液やアルカリ性溶液により不活性化することで、表面が非導電化する。

【0115】

50

なお、実施例及び変形例に示す半導体発光装置は、たとえばLED素子10のp側電極19、21にITO膜(光透過性材料)を用い、n側電極24をTi/Al/Ti/Pt/Au膜(遮光性材料)で形成する。LED素子10の一方の電極を光透過性とし、他方の電極を遮光性とする場合、一方電極側の基板30、40も光透過性の材料で構成することが好ましい。たとえばp側電極19、21を光透過性とする場合には、第1ベース基板31、第1導電層32、更に、第1接着層33も光透過性の材料で構成することが、光の取り出しを損なわない点で望ましい。LED素子10の電極は、双方とも光透過性としてもよく、双方とも遮光性としてもよい。第1、第2基板30、40は、一方のみを光透過性としてもよいし、双方とも光透過性としてもよい。双方とも遮光性とすることもでき、この場合は、基板30、40の側面から光が取り出される。

10

【0116】

実施例及び変形例においては、窒化物系半導体の積層構造をもつLED素子10を用いた。実施例及び変形例におけるLED素子10は、青色発光する半導体素子であるが、たとえば紫色～緑色発光するInGaIn系半導体の積層構造をもつLED素子、黄色～赤色発光するAlGaInP系半導体の積層構造をもつLED素子、赤色発光するAlGaAs系半導体の積層構造をもつLED素子等を使用してもよい。また、たとえば蛍光体層を導入し、発光装置から、LED素子の発光色とは異なる色の光を出射させることもできる。

【0117】

その他にも、種々の変更、改良、組み合わせ等が可能なことは当業者には自明であろう。

20

【産業上の利用可能性】

【0118】

実施例による半導体発光装置は、様々な発光装置、たとえばLED素子をフレキシブル基板に実装した、折り曲げ可能な発光装置、一例として自由曲面上の微細パターンから発光する発光シートに利用可能である。たとえば、デザイン性の高い、車載シグネチャランプに用いることができる。また、携帯電話等のウェアラブル機器、遊戯機器、装飾品、インテリアにおけるデザインの描画を、光によって行う際に利用することが可能である。

【符号の説明】

【0119】

- 10 LED素子
- 11 サファイア基板
- 12 バッファ層
- 13 アンドープ層
- 14 n型層
- 15 発光層
- 16 p型層
- 17 ITO膜
- 18 レジスト
- 19 第1p側電極
- 20 保護膜
- 21 第2p側電極
- 22 接合剤
- 23 補強用基板
- 24 n側電極
- 25 UVシート
- 30 第1基板
- 31 第1ベース基板
- 32 第1導電層
- 33 第1接着層

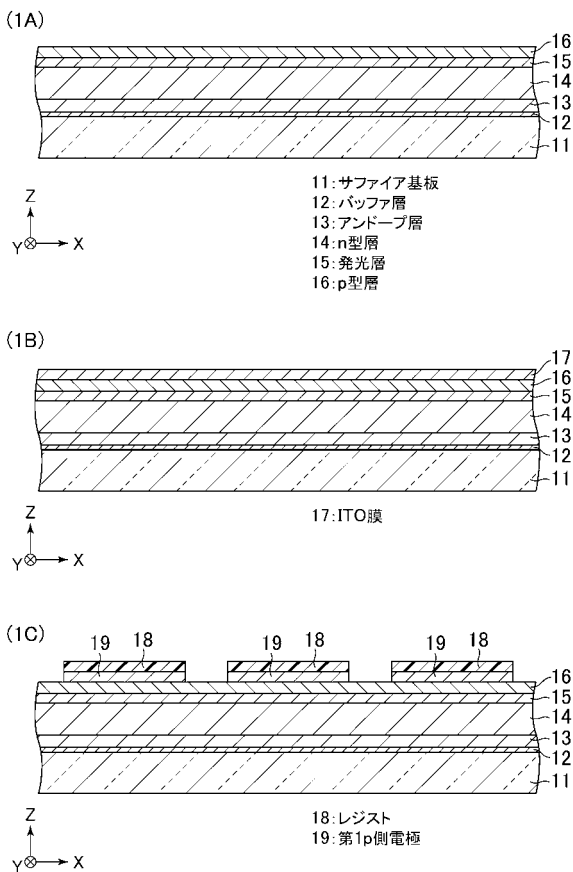
30

40

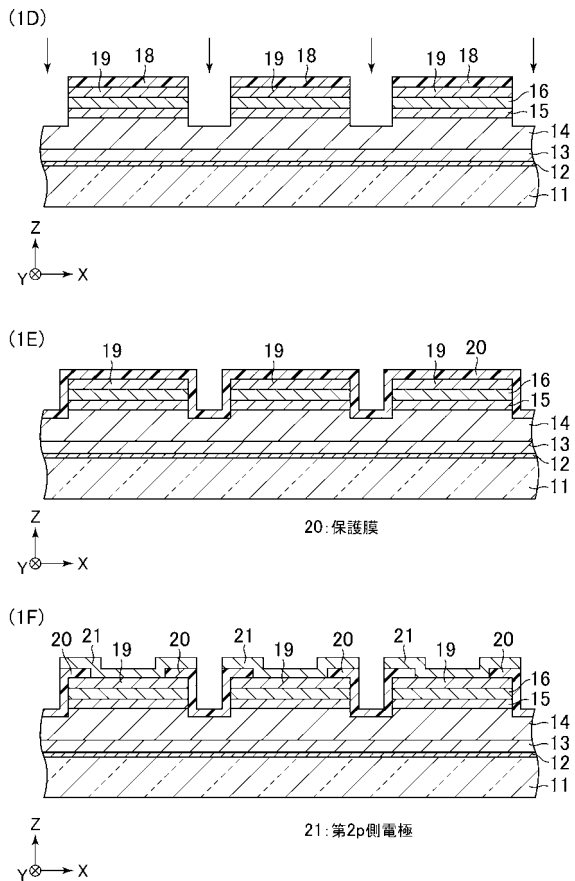
50

- 3 3 a 非導電性領域
- 4 0 第2基板
- 4 1 第2ベース基板
- 4 2 配線電極
- 4 2 a 端子部
- 4 3 第2接着層
- 4 3 a 導電性粒子
- 4 4 絶縁膜
- 7 0 LED素子
- 7 1 導電性樹脂
- 7 2 フレーム
- 7 3 電極パッド
- 7 4 Auワイヤ
- 8 0 LED素子
- 8 0 n n側電極
- 8 0 p p側電極
- 8 1 Auバンプ
- 8 2 実装基板
- 8 3、8 4 配線

【図1-1】

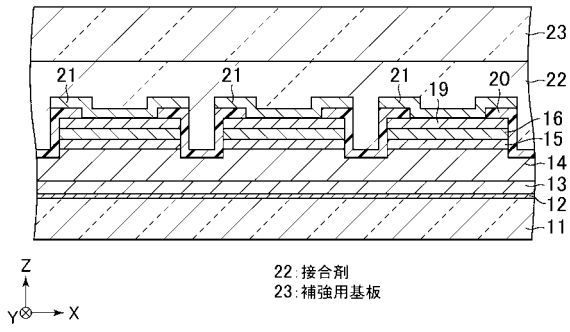


【図1-2】

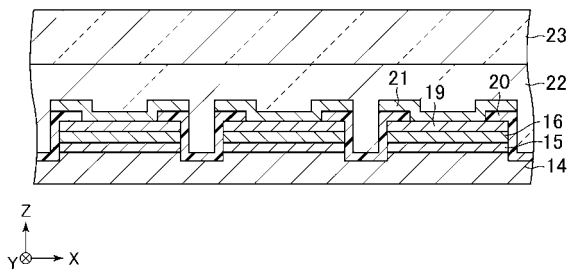


【図 1 - 3】

(1G)

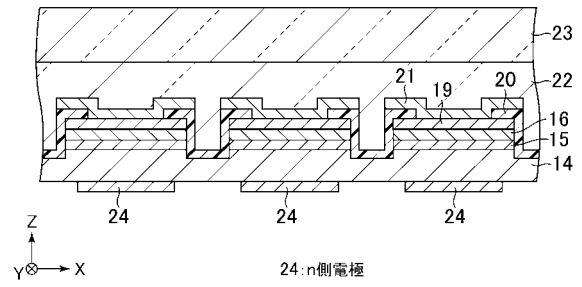


(1H)

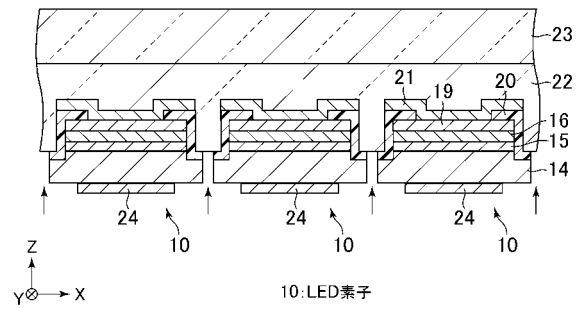


【図 1 - 4】

(1I)

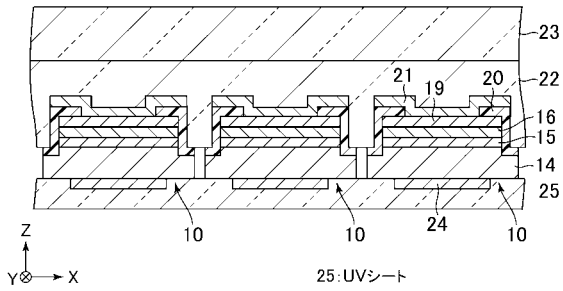


(1J)

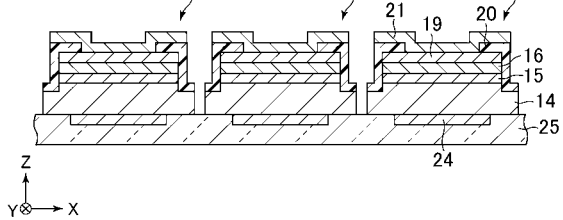


【図 1 - 5】

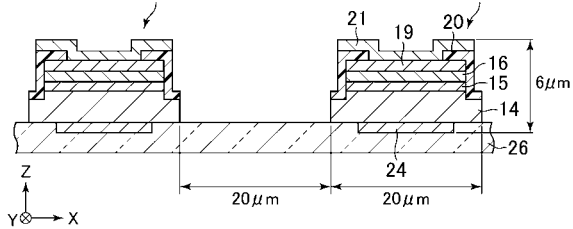
(1K)



(1L)

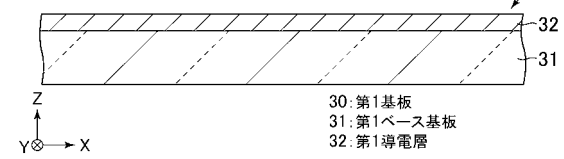


(1M)

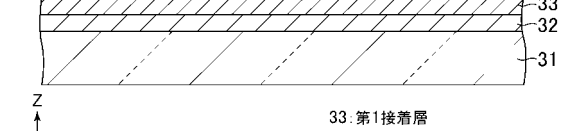


【図 2 - 1】

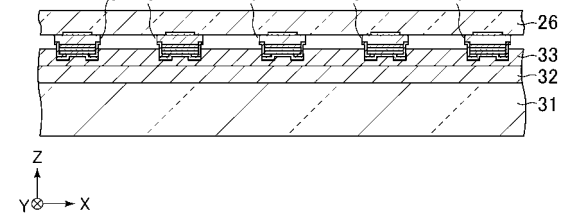
(2A)



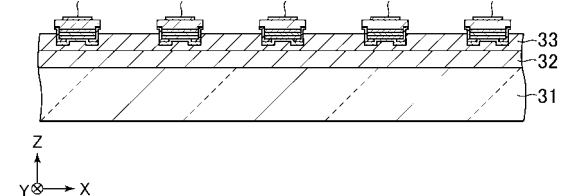
(2B)



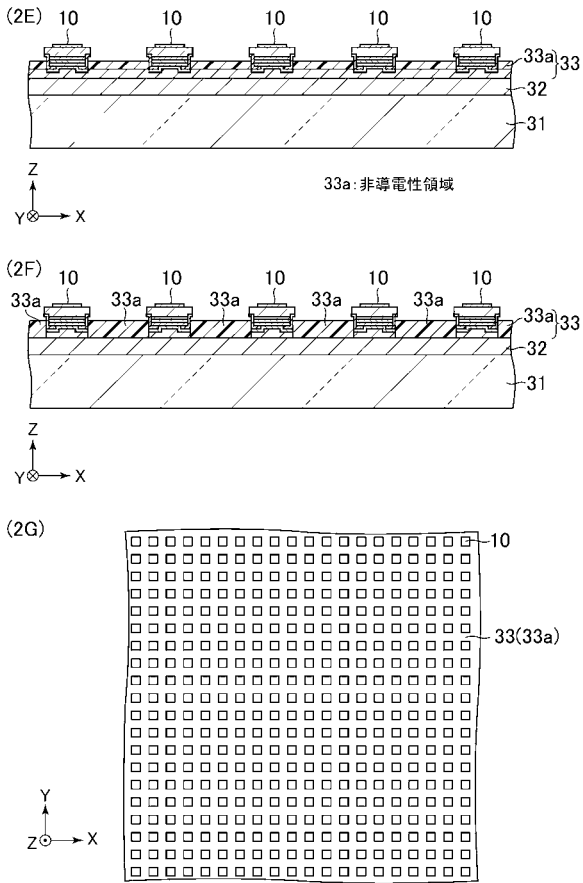
(2C)



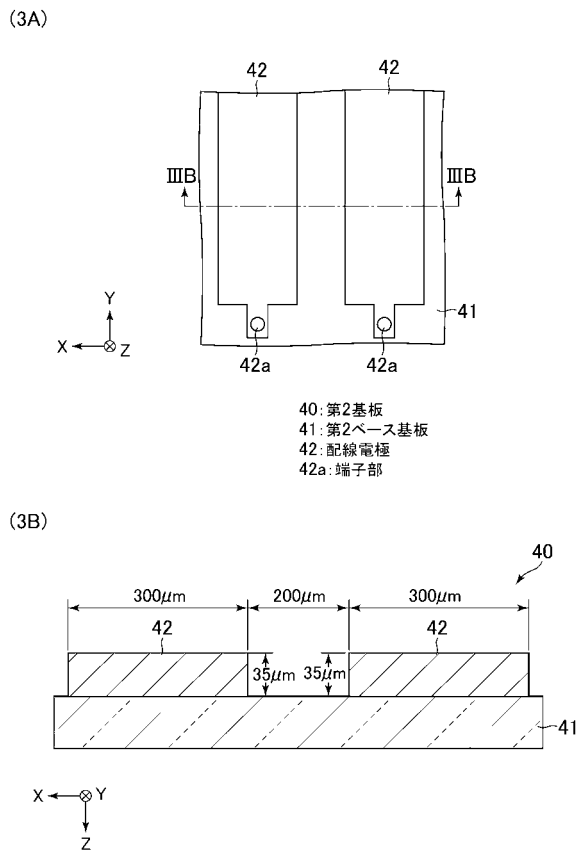
(2D)



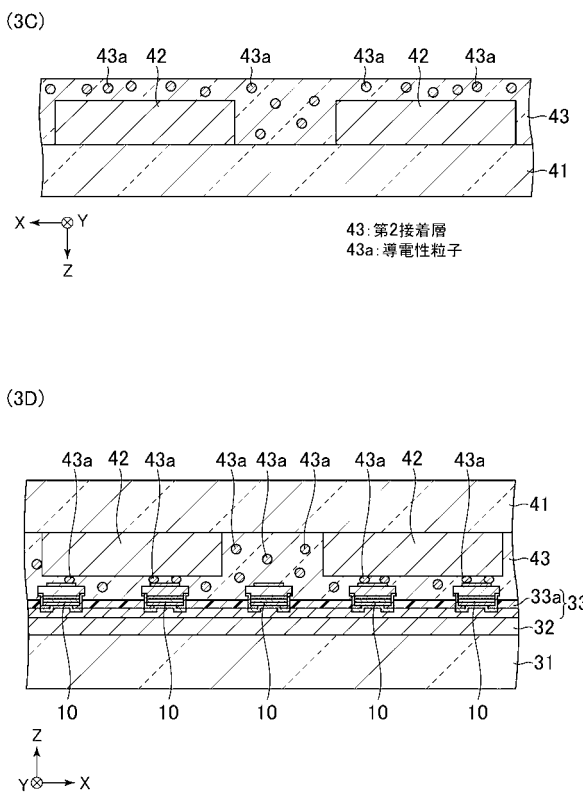
【 図 2 - 2 】



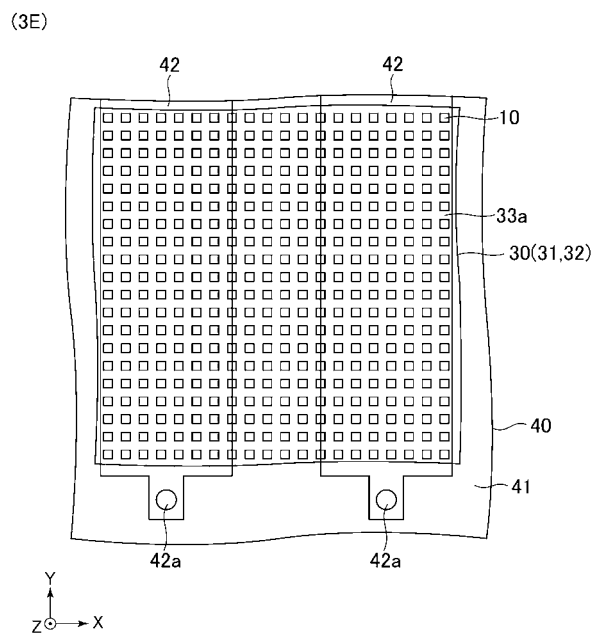
【 図 3 - 1 】



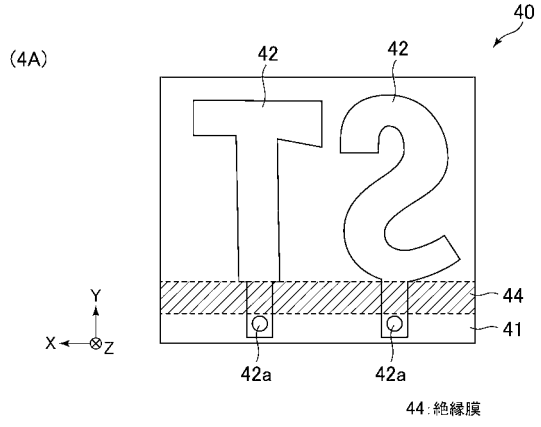
【 図 3 - 2 】



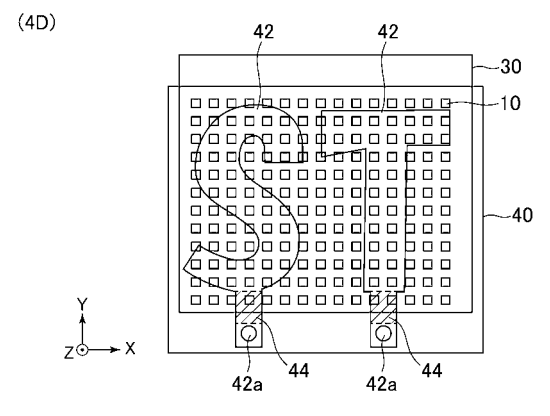
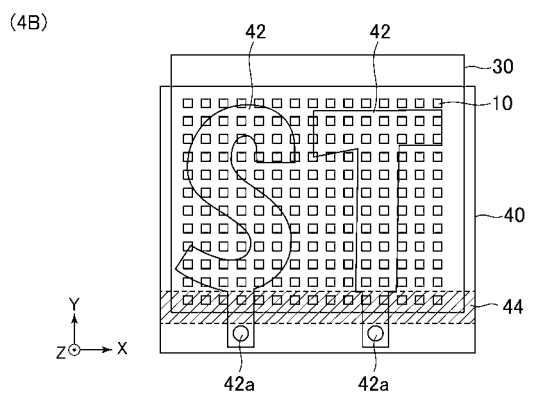
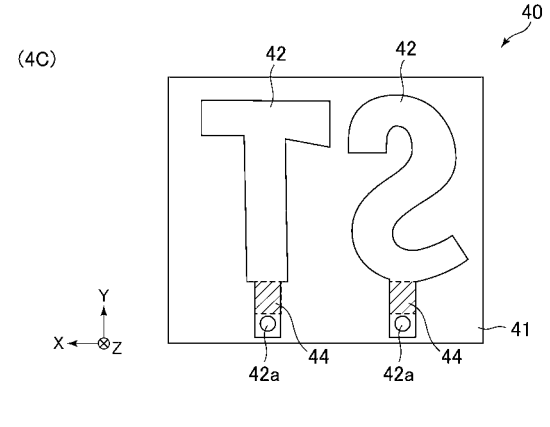
【 図 3 - 3 】



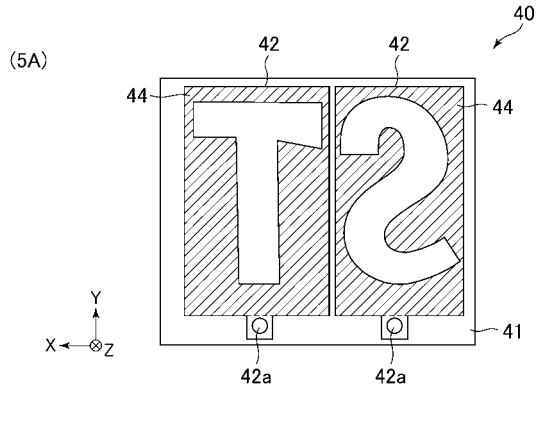
【 図 4 - 1 】



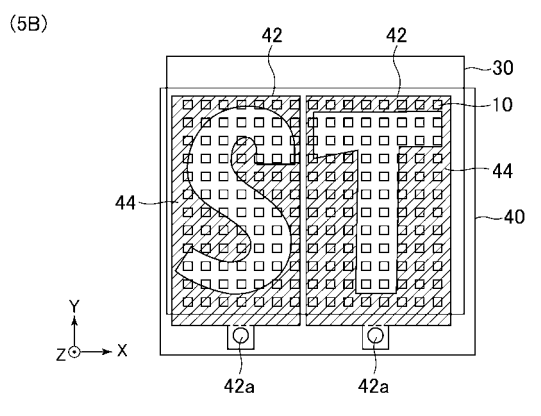
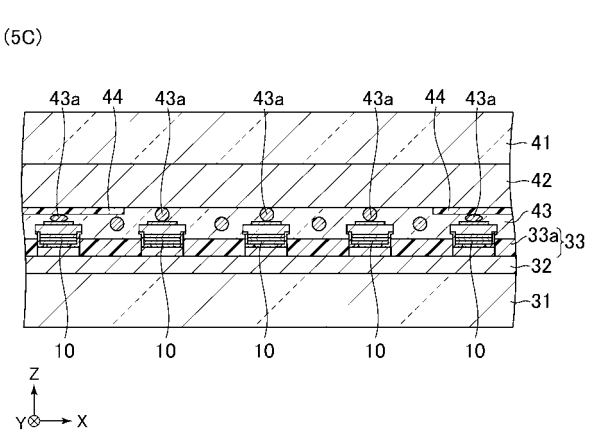
【 図 4 - 2 】



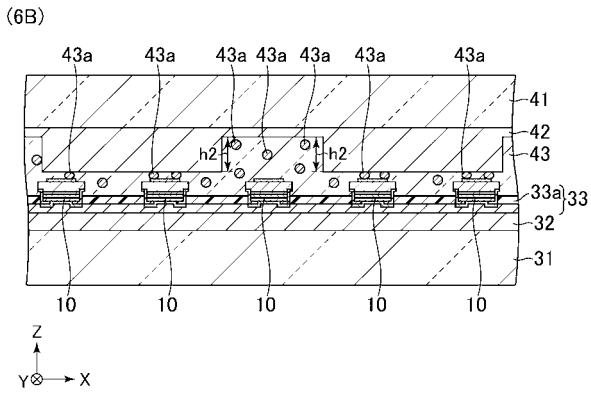
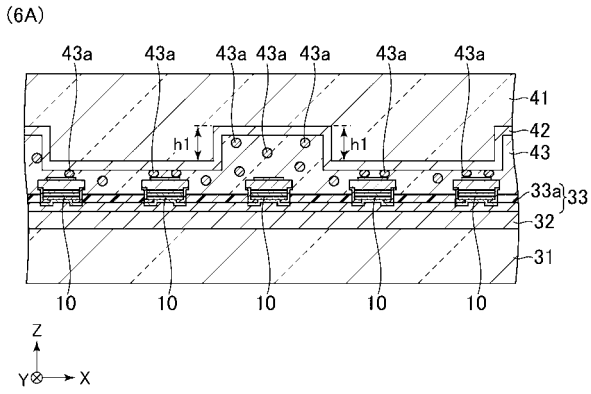
【 図 5 - 1 】



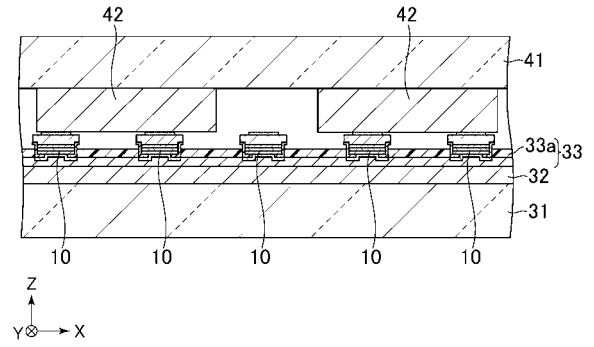
【 図 5 - 2 】



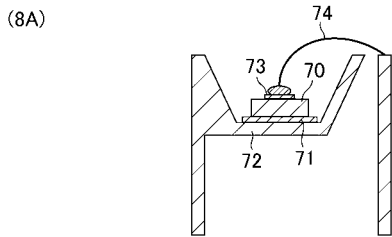
【 図 6 】



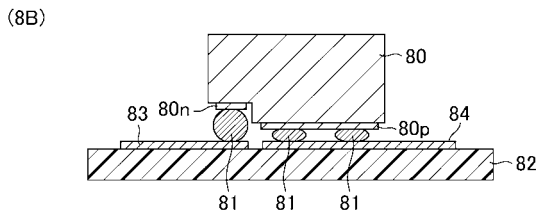
【 図 7 】



【 図 8 】



- 70: LED素子
- 71: 導電性樹脂
- 72: フレーム
- 73: 電極パッド
- 74: Auワイヤ



- 80: LED素子
- 80n: n側電極
- 80p: p側電極
- 81: Auバンプ
- 82: 実装基板
- 83,84: 配線

フロントページの続き

(72)発明者 藤井 優作

東京都目黒区中目黒2丁目9番13号 スタンレー電気株式会社内

Fターム(参考) 5F142 AA81 BA01 BA32 CA11 CA13 CB23 CD02 CD16 CD17 CG03
CG04 CG26 CG42 FA18 FA30 FA32 GA02