(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/56

(45) 공고일자 2000년12월01일
(11) 등록번호 10-0272153
(24) 등록일자 2000년08월23일

(21) 출원번호 10-1997-0014373
(65) 공개번호 특1997-0071831
(22) 출원일자 1997년04월18일
(43) 공개일자 1997년11월07일
(30) 우선권주장 96-098422 1996년04월19일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 다나카 도모하루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터 내
단자와 도루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터 내
(74) 대리인 김윤배, 이범일

심사관 : 김종찬

(54) 3치기억 반도체기억시스템

요약

외부로부터 각각 2^m개(m=1, 2, 3…)의 2진데이터를 함유한 복수의 제1 2진데이터를 병렬입력하는 제1인터페이스와, 상기 제1인터페이스에 입력된 상기 복수의 제1 2진데이터를 3의 k배(k=1,2,3…)개씩 처리하여 4의 k배개의 제3 2진데이터로 변환하고, 제3 2진데이터를 2^n개(n=0,1,2,3…)씩 제2 2진데이터로서 제2인터페이스를 매개로 출력하는 제어회로 및, 상기 제2 2진데이터를 병렬입력하여 상기 메모리셀에 병렬출력하는 제2인터페이스를 구비하는 3치(値)기억 가능한 복수의 메모리셀을 구비한 3치기억 반도체 기억시스템.

대표도

도1

명세서

도면의 간단한 설명

제1도는 실시예에 따른 3치기억 반도체기억시스템의 구성을 나타낸 도면.

제2도는 실시예에 따른 카드제어회로의 구성을 나타낸 도면.

제3도는 실시예에 따른 3치기억 가능한 플래쉬메모리의 구성을 나타낸 도면.

제4도는 실시예에 따른 플래쉬메모리 내의 메모리셀어레이와 비트선 제어회로의 구성을 나타낸 도면.

제5도는 실시예에 따른 플래쉬메모리 내의 비트선 제어회로의 보다 상세한 구성을 나타낸 도면.

제6도는 실시예에 따른 데이터변환의 상태를 나타낸 도면.

제7도는 실시예에 따른 데이터변환의 타이밍을 나타낸 도면.

제8도는 실시예에 따른 데이터변환의 상태를 나타낸 도면.

제9도는 실시예에 따른 데이터변환의 타이밍을 나타낸 도면.

제10도는 실시예에 따른 검사비트 발생의 상태를 나타낸 도면.

제11도는 실시예에 따른 오류데이터를 정정하는 상태를 나타낸 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 복수의 3치(値)기억 반도체기억장치와 그를 제어하는 제어회로를 갖춘 3치기억 반도체기억시

스템에 관한 것이다.

반도체기억장치로서 고집적화의 목적을 위하여, 1개의 메모리셀에 3개의 기억상태를 기억시키는 소위, 3치기억 반도체기억장치가 알려져 있다. 이는 예컨대, 반도체기판 상에 부유게이트(전하축적부)와 제어게이트가 적층형성된 구조를 갖춘 MOS트랜지스터를 메모리셀로 하는 불휘발성 반도체기억장치에서는 3종류의 다른 전하량을 그 전하축적부에 축적하여 3치기억한다.

3치기억 반도체기억장치에서는 1개의 메모리셀에 예컨대, "0", "1", "2"의 3치 데이터를 기억한다. 2개의 메모리셀의 메모리셀의 3치데이터를 이용하면, 9개의 기억상태가 얻어진다. 이 9개의 기억상태중 8개의 기억상태를 3비트분의 정보 2진데이터를 대응시켜 데이터를 기억한다. 결국, 3치기억 반도체기억장치에서는 2개의 메모리셀에 3비트의 정보를 기억한다.

3비트의 정보 2진데이터는 2개의 2비트씩의 기록 2진코드로 변환된다. 이 2비트의 기록 2진데이터는 각 메모리셀에 기억시키는(기록하는) 3치데이터로 된다. 메모리셀로의 3치데이터를 기록하기 위하여, 상기 2비트의 기록 2진데이터에 의해 제어된다. 또한, 각 메모리셀에 기록되어 있는 3치데이터는 독출회로에 의해 2비트의 독출 2진데이터로 변환되고, 2개의 2비트 독출 2진데이터에 의해 3비트분의 정보 2진데이터로 변환된다.

중앙연산장치(CPU)나 플래쉬메모리, DRAM 등의 많은 반도체장치는 8개 또는 16개 등 2^m개(m=1, 2, 3…)의 정보 2진데이터를 병렬입출력하는 데이터 입출력 인터페이스를 갖는다. 이 병렬입출력되는 2^m개의 정보 2진데이터를 3비트씩의 조(組)로 하여 상기의 기록 2진데이터나 독출 2진데이터로 변환하도록 하면, 3비트의 조로 할 수 없는 1비트 또는 2비트의 단수(端數)의 정보 2진데이터가 생긴다.

예컨대, 8비트의 정보 2진데이터를 3비트씩의 조로 하도록 하면, 3비트이 조가 2개, 2비트의 조가 1개로 된다. 2비트이 조는 1비트의 결정된 데이타를 추가하는 것으로 의사적(擬似的)으로 3비트의 조로 된다 이 경우, 8비트이 정보 2진 데이터는 6개의 메모리셀로 기억할 수 있기 때문에, 데이터를 기억하는 메모리의 수는 3/4으로 된다. 이를 데이터 압축률이라 부르면, 이 경우에 있어서의 데이터의 압축률은 3/4이다.

3의 배수개의 2^m개의 정보 2진데이터를 이용하면, 단수는 생기지 않지만, 3의 배수개의 2^m개의 2진데이터를 취입하여 기록 2진데이터로 변환하는 회로나 독출 2진데이터를 3의 배수개의 2^m개의 정보 2진데이터로 변환하는 회로를 각 반도체기억장치가 갖는 것은 칩 크기의 증대를 초래한다.

또한, 기억데이터가 파괴된 경우, 많은 장치에서는 데이터 정정을 행한다. 3치기억 반도체기억장치에서는 1개의 메모리셀이 손상된 경우, 최악 정보 2진데이터로 3비트의 오류를 발생한다. 더욱이, 이 오류가 병렬출력되는 정보 2진 데이터의 2조에 걸치는 경우도 있다.

이와 같이, 종래의 2^m개의 정보 2진데이터를 병렬입출력하는 3치기억 반도체 기억장치에서는 3치기억하는 경우의 데이터 압축률이 악화하는 문제가 있고, 데이터 압축률을 저하시키지 않기 위해서는 복잡한 회로가 필요하다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 데이터의 압축률을 저하시키지 않으면서 3치기억 반도체기억장치에 복잡한 변환회로 등을 요하지 않는 신뢰성이 높은 3치기억 반도체기억시스템을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 3치기억 반도체 기억시스템은 외부로부터 각각 2^m개(m= 1,2,3,…)의 2진데이터를 함유한 복수의 제1 2진데이터를 병렬입력하는 제1인터페이스와, 상기 제1인터페이스에 입력된 상기 복수의 제1 2진데이터를 3의 k배(k=1,2,3,…)개씩 처리하여 4의 k배(倍)개의 제3 2진데이터로 변환하고, 제3 2진데이터를 2^n개(n=0,1,2,3,…)씩 제2 2진데이터로서 제2인터페이스를 매개로 출력하는 제어회로 및, 상기 제2 2진데이터를 병렬입력하여 상기 메모리셀에 병렬출력하는 제2인터페이스를 구비한다.

또한, 본 발명의 3치기억 가능한 복수의 메모리셀을 구비한 3치기억 반도체 기억시스템은 각각 2^n개(n=1,2,3,…)의 2진데이터를 함유한 복수의 제1 2진데이터를 상기 메모리셀로부터 병렬입력하는 제1인터페이스와, 상기 제1인터페이스에 입력된 복수개의 제1 2진데이터를 4의 h배(h=1,2,3,…)개씩 처리하여 3의 h배개의 제3 2진데이터로 변환하고, 상기 제3 2진데이터를 2^m개씩 제2 2진데이터로서 출력하는 제어회로 및, 상기 제2 2진데이터를 병렬입력하여 외부에 병렬출력하는 제2인터페이스를 구비한다.

더욱이, 메모리셀은 전하축적층 상에 제어게이트를 적층한 MOSFET구조의 불휘발성 메모리셀이다.

또한, 본 발명에 따른 3치기억 반도체기억시스템은 3치기억 가능한 메모리셀이 복수개 매트릭스 형상으로 배열되고, 정보신호 및 검사신호를 기억하는 기억부를 구비한 메모리셀어레이와, 상기 메모리셀에 기억되는 복수의 정보 2진데이터로부터 복수의 검사 2진데이터를 발생시켜, 독출된 복수의 정보 2진데이터와 복수의 검사 2진데이터로부터 오류검출·정정을 행하는 오류정정제어회로를 구비하고, 상기 오류정정제어회로는 상기 메모리셀에 기억되는 복수의 정보 2진데이터를 3의 배수개의 비트수 단위의 복수의 심볼로 분해하고, 상기 메모리셀에 기억되는 복수의 검사 2진데이터를 발생시켜, 상기 독출된 복수의 정보 2진데이터와 상기 독출된 검사 2진데이터로부터 상기 심볼 단위로 오류검출·정정을 행한다.

본 발명에 있어서는 복수의 3치기억 반도체기억장치에 대하여, 2개의 인터페이스(제1 및 제2인터페이스) 및 이들간에 데이터의 변환을 행하는 기능을 갖는 제어회로를 설치하고, 본 시스템에 입출력되는 데이터와 3치기억 반도체기억장치에 입출력되는 데이터의 데이터변환을 이 제어회로에서 행한다. 또한, 3의 배

수개의 비트의 심볼 단위로 데이터 오류검출 · 정정을 행한다.

이렇게, 본 발명에 의하면 데이터 압출률을 저하시키지 않으면서 개개의 3치기억 반도체기억장치에 복잡한 회로를 요구하지 않는 신뢰성이 높은 3치기억 반도체기억시스템이 실현된다.

[실시예]

이하 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

제1도는 본 발명의 실시예 1에 따른 3치기억 반도체기억시스템으로서의 플래 쉬메모리카드(6)를 나타내고 있다. 이 플래쉬메모리카드(6)는 2^m개(m=1,2,3,…)의 정보 2진데이터를 병렬전송할 수 있는 2^m비트 데이터버스선(2)을 매개로 중앙 연산장치(CPU:1)와 접속되어 있다. 플래쉬메모리카드(6) 내의 복수의 플래쉬메모리(5)는 1개의 메모리셀에 3치데이터를 기억한다. 또한, 플래쉬메모리(5)는 플래쉬메모리(수)로의 기록 2진데이터 또는 플래쉬메모리(5)로부터의 독출데이터를 2^n개(n=0,1,2,…) 병렬전송할 수 있는 2^n비트 데이터버스선(4)을 매개로 카드제어 회로 (3)와 접속된다.

2^m비트 데이터버스선(2)의 정보 2진데이터와 2^n비트 데이터버스선(4)의 기록/독출 2진데이터는 카드제어회로(3)에서 변환된다. 이에 의해, 정보 2진데이터와 기록/독출 2진데이터를 변환하는 회로를 개개의 플래쉬메모리(5)에 탑재할 필요가 없다.

카드제어회로(3) 및 플래쉬메모리(5)의 구체적인 구성예를 이하에 나타냈다.

제2도는 카드제어회로의 구체적인 구성예이다. 2^m비트 데이터버스선(2)은 카드 입출력인터페이스(7:제1입출력인터페이스)에 접속된다. 이에 의해, 플래쉬메모리카드(6)에 병렬입력되는 2^m개의 정보 2진데이터는 카드 입출력인터페이스(7)에 병렬입력된다. 그 반대로, 플래쉬메모리카드(6)로부터 병렬출력되는 2^m개의 정보 2진데이터는 카드 입출력인터페이스(7)로부터 병렬출력된다.

2^n비트 데이터버스선(4)은 플래쉬메모리 인터페이스(9:제2입출력인터페이스)에 접속된다. 이에 의해, 플래쉬메모리(5)에 병렬입력되는 2^n개의 기록 2진데이터는 플래쉬메모리 인터페이스(9)로부터 병렬출력된다. 또한, 플래쉬메모리(5)로부터 병렬출력되는 2^n개의 독출 2진데이터는 플래쉬메모리 인터페이스(9)에 병렬입력된다.

카드 입출력인터페이스(7)에 병렬입력된 2^m개의 정보 2진데이터는 버스선(11)을 매개로 데이터기억회로(8)에 일시기억된다. 데이터기억회로(8)에 기억된 정보 2진데이터는 기록 2진데이터로 변환되어 버스선(12)을 매개로 플래쉬메모리 인터페이스(9)로 전송된다. 그리고, 플래쉬메모리 인터페이스(9)에서 플래쉬메모리(5)로 2^n개의 기록 2진데이터가 병렬출력된다.

플래쉬메모리 인터페이스(9)에 병렬입력된 2^n개의 독출 2진데이터는 버스선(12)을 매개로 데이터기억회로(8)에 전송된다. 독출 2진데이터는 2^m개의 정보 2진 데이터로 변환되어 데이터기억회로(8)에 일시기억되고, 버스선(11)을 매개로 카드 입출력인터페이스(7)로 전송된다. 그리고, 카드 입출력인터페이스로부터 2^m개의 정보 2진데이터가 병렬출력된다.

카드제어회로(3)는 카드 입출력인터페이스(7), 데이터기억회로(8), 플래쉬메모리 인터페이스(9)를 각각 제어신호선(13,14,15)을 매개로 제어하기 위하여 데이터 변환제어회로(10)를 구비하고 있다. 또한, 카드 제어회로(3)는 도시되지는 않았지만, 입력되는 플래쉬메모리카드(6)의 제어신호를 받아 플래쉬메모리(5)를 제어한다. 그와 더불어, 외부로 정보 2진데이터 이외의 플래쉬메모리카드(6)의 동작상태를 나타낸 신호등을 출력한다. 더욱이, 카드제어회로(3)의 구성회로는 제2도와 같이, 하나로 되는 것이 아니어도 된다.

제3도는 플래쉬메모리(5)의 구성을 나타낸 블록도이다.

플래쉬메모리(5)는 3치기억 가능한 복수의 메모리셀이 어레이형상으로 배치된 메모리셀어레이(20)와, 메모리셀어레이(20)의 비트선을 제어하는 비트선 제어회로(16), 메모리셀어레이의 워드선을 제어하는 워드선 제어회로(21), 데이터 입출력 인터페이스(17:제3인터페이스) 및, 코멘드레지스터(18)를 구비한다.

2^n비트 버스선(4)은 데이터 입출력인터페이스(17)에 접속된다. 플래쉬메모리(5)에 병렬입력되는 2^n개의 기록 2진데이터는 데이터 입출력인터페이스(17)와 버스선(19)을 매개로 비트선 제어회로(16)에 전송된다. 비트선 제어회로(16)는 기록 2진데이터에 따라 비트선을 제어하고, 3치데이터를 메모리셀에 기록한다.

메모리셀에 기록되어 있는 3치데이터는 비트선을 매개로 비트선 제어회로(16)에 의해 독출되고, 독출 2진데이터로 변환된다. 독출 2진데이터는 버스선(19)과 데이터 입출력인터페이스(17)을 매개로 2^n비트 데이터버스선(4)으로 2^n개씩 병렬출력된다. 여기에서는 플래쉬메모리(5)에 대하여 2^n개의 2진데이터가 병렬입 출력하는 것으로 했지만, 이에 한정하지 않고 n≥1의 경우, 예컨대 2^i개(i=0,1,…,n-1)에서도 된다. 그 경우, $2^{(n-i)}$개의 플래쉬메모리로 2^i개의 2진데이터를 병렬입출력하면 된다.

코멘드레지스터(18)는 데이터 입출력인터페이스(17)에 접속된다. 카드제어 회로(3)로부터 출력되는 플래쉬메모리(5)를 제어하기 위한 플래쉬메모리 제어코멘드는 2^n비트 데이터버스선(4)과 데이터 입출력인터페이스(17)를 매개로 코멘드레지스터(18)에 전송된다.

제4도는 제3도에 나타낸 메모리셀어레이(20)와 비트선 제어회로(16)의 보다 상세한 구성을 나타내고 있다. 메모리셀어레이(20)는 워드선(WLp: p=0,1,2,…)과 비트선(BLq: q=0,1,2,3,…)의 교점에 3치기억 가

능한 메모리셀(Mqp)이 배치되어 구성된다. 비트선 제어회로(16)는 각 비트선(BLq)에 접속되는 데이터회로(22-q)를 포함한다.

데이터 입출력인터페이스(17)에 입력된 기록 2진데이터는 데이터회로(22)에 입력되고, 기록 2진데이터에 따라 데이터회로(22)는 비트선(BL)을 제어하여 3치데이터를 메모리셀(M)에 기록한다. 메모리셀(M)에 기록되어 있는 3치데이터는 비트선(BL)을 매개로 데이터회로(22)로 독출된다. 데이터회로(22)에 독출된 메모리셀(M)의 3치데이터는 데이터 입출력인터페이스(17)를 매개로 출력된다.

본 실시예에서는 플래쉬메모리카드를 예로 들어 설명하고 있기 때문에, 메모리셀(M)은 전기적으로 소거기록 가능한 불휘발성 메모리셀이다. 예컨대, DRAM카드를 구성하는 경우는 DRAM셀을 메모리셀로 하면 된다.

제5도는 데이터회로(22)와 버스선(19)의 보다 상세한 구성을 나타내고 있다.

각 데이터회로(22)는 1비트를 기억할 수 있는 데이터래치(23)를 2개 포함한다.

버스선(19)은 여기에서는 4개의 IO선(IO0,IO1,IO2,IO3)으로 구성되어 있지만, 이에 한정하지 않는다. 각 데이터래치(23)는 4개의 IO선중 1개의 IO선에 n채널 MOS트랜지스터 (Q)를 매개로 접속된다.

칼럼선택신호(CSLj: j=0,1,2,…)는 4개의 n채널 MOS트랜지스터(Q)마다 공통이다. 버스선(19)상의 기록 2진데이터는 어떤 칼럼선택신호(CSLj)가 "H" 레벨로 되면, 신호(CSLj)에 대응한 데이터래치(23)에 선택적으로 전송된다. 또한, 데이터래치(23)의 독출 2진데이터는 "H" 레벨로 된 신호(CSLJ)에 대응한 데이터래치(23)에서 IO선으로 선택적으로 출력된다.

2^m비트 데이터버스선(2) 상의 3비트의 정보 2진데이터(INF00,INF01,INF02)와, 2^n비트 데이터버스선(4) 상의 4비트 기록 또는 독출 2진데이터(DATA0,DATA1,DATA2,DATA3), 워드선(WL)을 공유하는 2개의 메모리셀, 예컨대 M00과 M10의 3치데이터(DATAM00,DTAM10)의 관계의 예를 표 1에 나타냈다.

[표 1]

INF00	INF01	INF02	DATA0	DATA1	DATA2	DATA3	DATAM00	DATAM10
0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	1
0	1	0	0	0	1	1	0	2
0	1	1	0	1	0	0	1	0
1	0	0	0	1	0	1	1	1
1	0	1	0	1	1	1	1	2
1	1	0	1	1	0	0	2	0
1	1	1	1	1	0	1	2	1

표 1에 나타낸 바와 같이, 2개의 메모리셀(M)의 조에 3비트의 정보 2진데이터의 조를 기억한다. 개개의 메모리셀의 기록 및 독출 2진데이터는 2비트 필요하기 때문에, 카드제어회로(3)가 「3비트의 정보 2진데이터의 1개의 조」와 「4비트의 기록 및 독출 2진데이터의 1개의 조」의 변환을 제어한다.

표 1에서는 기록 2진데이터와 독출 2진데이터를 동일하게 하도록 했지만, 이들 데이터는 플래쉬메모리카드(6) 내의 신호이기 때문에, 정보 2진데이터와 메모리셀(M)의 3치데이터를 대응하도록 되어 있으면, 다르게 되어 있어도 된다. 또한, 정보 2진데이터, 기록/독출 2진코드, 메모리셀(M)의 3치데이터는 각각 대응되면, 표 1 이외의 조합에서도 된다.

제6도는 카드제어회로(3)에서의 정보 2진데이터와 기록 2진데이터 변환의 상태를 나타내고 있다. 여기에서는 m=n=3으로 했다. 카드 입출력인터페이스(7)에 병렬입력된 8비트의 정보 2진데이터(A0~A7)의 내 3비트의 데이터(A0~A2)는 기록 2진데이터의 4비트, a0~a3으로 변환된다. 또한, A3~A5는 a4~a7로 변환된다. 변환된 8비트의 기록 2진데이터(a0~a7)는 플래쉬메모리 인터페이스(9)로부터 병렬출력된다.

정보 2진데이터의 A6와 A7은 각각 병렬입력되는 8비트의 정보 2진데이터(B0~B7)중 B0와 조로 되어, 기록 2진데이터(b0~b3)로 변환된다. B1-B3은 b4~b7로 변환되고, b0~b7은 병렬출력된다. 이와 같이 하여, B4~B7과 C0, C1은 c0~c7으로 변환되어 병렬출력된다. C2~C7은 d0~d7으로 변환되어 기록 2진데이터로 병렬출력된다.

데이터 기억회로(8)를 이용하여 병렬입력되는 2^m개의 정보 2진데이터를 복수조합시키는 것으로, 3비트의 정보 2진데이터는 4비트 기록 2진데이터로 변환되고, 그 결과 정보 2진데이터는 데이터 압축률을 저하시키지 않고 메모리셀(M)에 3치데이터로 기억된다. 4비트의 기록 2진데이터는 더욱이, 2비트씩 또는 1비트씩 나누어 플래쉬메모리(5)로 병렬출력해도 된다. 또한, m≠n이어도 된다.

예컨대, m=4, n=3의 경우는 병렬입력되는 16비트의 정보 2진데이터를 3비트씩 4비트의 기록 2진데이터로 변환하고, 4비트조의 기록 2진데이터를 2조 병렬로 출력하면 된다. 이와 같이, 임의의 자연수(m)와 임의의 부(負)가 아닌 정수(n)에 대하여 본 발명은 실시가능하다.

제7도는 카드제어회로(3)에서의 정보 2진데이터와 기록 2진데이터의 상태를 나타낸 타이밍도이다. 이 경우도, 제6도와 같이 m=n=3으로 하고 있다. A0~A7이 우선, 카드 입출력인터페이스(7)에 병렬입력된다. 그 후, 차례로 B0~B7, C0~C7, D0~D7, …과 병렬입력된다. 정보 2진데이터(A0-A7)가 입력된 후에, 기록 2

진데이터(a0～a7)가 출력된다. 이어서, 정보 2진데이터(B0～B7)가 입력된 후에, 기록 2진데이터(b0～b7)는 출력된다. 후의 동작은 같기 때문에, 설명을 생략한다.

제7도와 같이, 카드 입출력인터페이스(7)의 데이터 입력사이클시간과 플래쉬 메모리 인터페이스(9)의 데이터 출력사이클시간을 조정함으로써, 모든 정보 2진데이터를 입력하기 위하여 필요한 시간과, 모든 기록 2진데이터를 출력하는 시간을 같게 할 수 있다.

제8도는 카드제어회로(3)에서의 독출 2진데이터와 정보 2진데이터의 변환의 상태를 나타내고 있다. 여기서는 m=n=3으로 했다. 플래쉬메모리 인터페이스(9)에 병렬입력된 비트의 독출 2진데이터(a0～a7)중 a0～a3은 정보 2진데이터의 3비트, A0～A2로 변환된다. 또한, a4～a7은 A3-A5로 변환된다. 각각 병렬입력되는 8비트의 독출 2진데이터(b0-b7)중 b0-b3로부터 정보 2진데이터(A6,A7,B0)가 변환된다.

정보 2진데이터(A0～A7)는 카드 입출력인터페이스(7)로부터 병렬출력된다. B1～B7는 b4～b7으로부터, B4～B6는 c0～c3로부터, B7, C0, C1은 c4-c7으로부터 변환된다. 이와 같이, 8비트씩 플래쉬메모리 인터페이스(9)에 입력되는 독출 2진데이터는 8비트씩 카드 입출력인터페이스(7)로부터 병렬출력되는 정보 2진데이터로 효율적으로 변환된다.

데이터기억회로(8)를 이용하여 2^n개의 독출 2진데이터로부터 변환된 정보 2진데이터를 복수 조합시키는 것으로, 정보 2진데이터를 2^m개씩 출력할 수 있다. 8비트의 독출 2진데이터는 4비트씩 또는 2비트씩 또는 1비트씩 나누어 플래쉬메모리인터페이스(9)로 병렬출력해도 된다. 결국, m≠n이어도 된다. 임의의 자연수(m)와 임의의 부(負)가 아닌 정수(n)에 대하여 본 발명은 실시가능하다.

제9도는 카드제어회로(3)에서의 독출 2진데이터와 정보 2진데이터 변환의 상태를 나타낸 타이밍도이다. 제8도와 같이, m=n=3으로 하고 있다. a0-a7이 우선 플래쉬메모리 인터페이스(9)에 병렬입력된다. 그 후, 차례로 b0～b7, c0-c7, d0～d7, …로 병렬입력된다. 독출 2진데이터(a0～a7)가 입력된 후, 정보 2진데이터(A0～A7)는 출력된다. 독출 2진데이터(c0～c7)가 입력된 후, 정보 2진 데이터(B0～B7)는 출력된다. 후이 동작은 같기 때문에, 설명을 생략한다.

제9도와 같이, 카드 입출력인터페이스(7)의 데이터 출력사이클시간과 플래쉬 메모리 인터페이스(9)의 데이터 입력사이클시간을 조정함으로써, 모든 정보 2진데이터를 출력하기 위하여 필요한 시간과, 모든 독출 2진데이터를 입력하는 시간을 같게 할 수 있다.

제10도는 독출한 정보 2진데이터에 오류가 있었던 경우에, 데이터 정정을 행하기 위한 검사비트 발생의 수단을 나타내고 있다.

검사비트는 정보 2진데이터로부터 카드제어회로(3)에 발생되어지고, 기록 2진데이터로 변환된 후, 정보 2진데이터로부터 변환된 기록 2진데이터와 동시에 플래쉬메모리(5)에 입력되고, 메모리셀어레이(20)에 기억된다. 이 예에서는 정보 2진데이터는 9비트씩 심볼로 되고, 이 심볼을 기초로 검사비트(ECC0～ECCn)가 발생된다.

3치기억의 경우, 1개의 심볼은 3비트의 배수이면, 구제효율이 높다. t개심볼 정정가능 2^SRS(리드·솔로몬(solomon)) 부호에 기초하여 검사비트를 발생하는 경우, 정보 2진데이터에 검사비트를 더한 심볼수의 상한은(2^S-1)이다. 이 때, 검사비트는 심볼수에 2t개이다. t가 27이하, s=9에서는 정보 2진데이터로 4096비트이기 때문에, 4096비트(512바이트)를 1섹터로 하는 하드디스크 호환의 3치기억장치에는 적당하다. 통상, 4096비트로 각종 섹터관리를 위한 정보도 정보 2진데이터에 더해지기 때문에, t는 27보다 적게 된다. 8192비트(1k바이트)를 1섹터로 하는 3치기억장치에는 s=9에서는 적당하지 않기 때문에, s=12로 한다.

제11도는 독출한 정보 2진데이터에 오류가 있었던 경우에, 데이터정정을 행하는 상태를 나타내고 있다. 독출 2진데이터로부터 변환된 정보 2진데이터와 검사 비트로부터 틀린 정보 2진데이터를 정정한다. 이 예에서는 9비트단위의 정보 2진 데이터의 오류가 검출·정정된다. 4개 심볼 정정가능 2^9RS(리드·솔로몬) 부호에 기초하여 검출·정정하는 경우, 4개의 9비트의 심볼을 정정할 수 있다. 3의 배수 비트의 심볼이면, 1개의 메모리셀의 파괴에 의해, 동시에 2심볼이 틀리지 않기 때문에, 구제효율은 좋다.

이와 같이, 본 실시예에 의한 3치기억 반도체기억시스템에 있어서는 카드 제어회로(3)에 의해, 카드 입출력인터페이스(7)에 입력된 복수의 정보 2진데이터를 3개씩 처리하고, 4개의 2진데이터로 변환하고, 그 2진데이터를 8개씩 기록 2진데이터로서 플래쉬메모리 인터페이스(9)를 매개로 출력하고, 한쪽에서는 플래쉬메모리 인터페이스(9)에 입력된 복수의 독출 2진데이터를 4개씩 처리하여 3개의 2진데이터로 변환하며, 그 2진데이터를 8개씩 정보 2진 데이터로서 카드 입출력인터페이스(7)를 매개로 출력한다.

또한, 플래쉬메모리(5)는 기록/독출 2진데이터를 입출력하는 데이터 입출력 인터페이스(17)와, 2개의 기록 2진데이터에 따라 미리 결정된 3상태의 내 1개의 상태를 기억하는 메모리셀이 매트릭스 형상으로 배치된 메모리셀어레이(20) 및, 메모리셀의 기억상태를 검출하여 2개의 독출 2진데이터로 변환하는 독출회로(비트선 제어회로(16)와 워드선 제어회로(21))를 구비한다.

또한, 3치기억 가능한 메모리셀이 복수개 매트릭스 형상으로 배열되고, 정보신호 및 검사신호를 기억하는 기억부를 구비한 메모리셀어레이와, 그 메모리셀에 기억되는 복수의 정보 2진데이터로부터 복수의 검사 2진데이터를 발생시켜, 독출된 복수의 정보 2진데이터와 복수의 검사 2진데이터로부터 오류검출·정정을 행하는 오류정정제어회로(제1도의 예에서는 카드제어회로(3))를 구비하고, 오류정정제어회로는 메모리셀에 기억되는 복수의 정보 2진데이터를 3의 배수개의 비트수 단위의 복수의 심볼로 분해하여 메모리셀에 기억되는 복수의 검사 2진데이터를 발생시켜, 독출된 복수의 정보 2진데이터와 독출된 검사 2진데이터로부터 심볼 단위로 오류검출·정정을 행하도록 하고 있다.

따라서, 본 실시예에 의하면, 데이터 압축률을 저하시키지 않으면서 개개의 3치기억 반도체기억장치에 복잡한 회로를 요구하지 않는 신뢰성이 높은 3치기억 반도체 기억 시스템이 실현된다.

더욱이, 본 발명은 상술한 실시예에 한정되는 것은 아니다. 본 실시예에서는 3치기억 반도체기억장치로 플래쉬메모리를 예로 설명했지만, DRAM이나 SRAM 등의 3치기억 가능한 메모리셀을 갖는 반도체기억장치이어도 마찬가지로 실시할 수 있다.

또한, 실시예에서는 제1입출력인터페이스에 입력된 복수개의 제1 2진데이터를 3개씩 처리하여 4개의 제3 2진데이터로 변환하고, 이들을 8개씩 기록 2진데이터로서 제2입력인터페이스를 매개로 출력했지만, 제1 2진데이터를 3의 k배 (k=1,2,3,…)개씩 처리하고, 4의 k배개의 제3 2진데이터로 변환하며, 이를 2^n개씩 제2 2진데이터로서 제2입출력인터페이스를 매개로 출력하면 된다. 더욱이, 4의 k배=2^n으로 하면 낭비하지 않고 고속으로 처리할 수 있다.

더욱이, 실시예에서는 제2입출력인터페이스에 입력된 복수의 독출 2진데이터를 4개씩 처리하고, 3개의 2진데이터로 변환하며, 이를 8개씩 정보 2진데이터로서 제1입출력인터페이스를 매개로 출력했지만, 제2입출력인터페이스에 입력된 복수의 제2 2진데이터를 4의 h배(h=1,2,3,…)개씩 처리하고, 3의 h배개의 제4 2진데이터로 변환하고, 이를 2^m 개씩 제1 2진데이터로서 제1입력인터페이스를 매개로 출력하면 된다. 더욱이, 4의 n배=2^n으로 하면 낭비없이 고속으로 처리할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 3치기억 반도체기억장치와 CPU 등의 외부회로의 사이에 정보 2진데이터와 기록/독출 2진데이터를 변환하는 제어회로를 설치함으로써, 데이터 압축률을 저하시키지 않으면서 개개의 3치기억 반도체기억장치에 복잡한 회로를 요구하지 않는 신뢰성이 높은 3치기억 반도체기억시스템을 실현하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1

외부로부터 각각 2^m개(m=1,2,3,…)의 2진데이터를 함유한 복수의 제1 2진데이터를 병렬입력하는 제1인터페이스와, 상기 제1인터페이스에 입력된 상기 복수의 제1 2진데이터를 3의 k배(k=1,2,3,…)개씩 처리하여 4의 k배개의 제3 2진데이터로 변환하고, 제3 2진데이터를 2^n개(n=1,2,3,…)씩 제2 2진데이터로서 제2인터페이스를 매개로 출력하는 제어 회로 및, 상기 제2 2진데이터를 병렬입력하여 상기 메모리셀에 병렬출력하는 제2인터페이스를 구비하여 이루어진 것을 특징으로 하는 3치기억 가능한 복수의 메모리셀을 구비한 3치기억 반도체기억시스템.

청구항 2

제1항에 있어서, 상기 3의 k배개의 제1 2진데이터로부터 변환되는 제3 2진데이터의 개수와, 제2인터페이스를 매개로 병렬출력되는 제2인터페이스의 개수는 동일한 (4의 k배=2^n)인 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 3

제1항에 있어서, 상기 제1인터페이스를 매개로 병렬입력되는 제1 2진데이터의 개수와, 상기 제2인터페이스를 매개로 병렬출력되는 제2 2진데이터의 개수는 동수(n=m≠0)인 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 4

제1항에 있어서, 상기 메모리셀은 2개의 상기 제2 2진데이터에 따라 미리 결정된 3상태의 내 1개의 상태를 기억하고, 상기 제2 2진데이터를 입력하는 제3인터페이스와, 상기 메모리셀이 매트릭스 형상으로 배치된 메모리셀어레이 및, 상기 제2 2진데이터에 기초하여 상기 메모리셀에 기억하는 각각의 기억상태로 변환하여 데이터를 기록하는 기록회로를 더 구비하여 이루어진 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 5

제4항에 있어서, 상기 제3인터페이스는 상기 2^n개의 제2 2진데이터를 병렬 입출력하는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 6

제1항에 있어서, 2개의 메모리셀의 조에 3비트의 정보를 기억시키는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 7

제1항에 있어서, 상기 복수의 메모리셀을 갖고, 상기 제1, 제2인터페이스 및 제어회로는 상기 복수 메모리에 있어서 1개 설치되어 있는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 8

각각 2^n개(n=1,2,3,…)의 2진데이터를 함유한 복수의 제1 2진데이터를 상기 메모리셀로부터 병렬입력하는 제1인터페이스와, 상기 제1인터페이스에 입력된 상기 복수개의 제1 2진데이터를 4의 h배(h=1,2,3,…)개씩

처리하여 3의 h배개의 제3 2진데이터로 변환하고, 상기 제3 2진데이터를 2^m개씩 제2 2진데이터로서 출력하는 제어회로 및, 상기 제2 2진데이터를 병렬입력하여 외부로 병렬출력하는 상기 제2인터페이스를 구비하여 이루어진 것을 특징으로 하는 3치기억 가능한 복수의 메모리셀을 구비한 3치기억 반도체기억시스템.

청구항 9

제8항에 있어서, 상기 메모리셀은 2개의 상기 제2 2진데이터에 따라 미리 결정된 3상태의 내 1개의 상태를 기억하고, 상기 메모리셀이 매트릭스 형상으로 배치된 메모리셀어레이와, 상기 메모리셀의 기억상태를 검출하여 2개의 제2 2진데이터로 변환하는 독출 회로 및, 상기 제2 2진데이터를 상기 제1인터페이스로 출력하는 제3인터페이스를 더 구비하여 이루어진 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 10

제8항에 있어서, 상기 3의 h배개의 제3인터페이스로 변환되는 제1 2진데이터의 개수와, 상기 제1인터페이스에 병렬입력되는 제2 2진데이터의 개수는 동수인 (4의 h배=2^n)인 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 11

제8항에 있어서, 상기 제1인터페이스를 매개로 병렬입력되는 제1 2진데이터의 개수와, 상기 제2인터페이스를 매개로 병렬출력되는 제2 2진데이터의 개수는 동수(n=m≠0)인 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 12

제8항에 있어서, 상기 2개의 메모리셀의 조에 3비트의 정보를 기억시키는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 13

제8항에 있어서, 상기 복수의 메모리를 갖고, 상기 제1, 제2인터페이스 및 제어회로는 상기 복수 메모리에 있어서 1개 설치되어 있는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 14

3치기억 가능한 메모리셀이 복수개 매트릭스 형상으로 배열되고, 정보신호 및 검사신호를 기억하는 기억부를 구비한 메모리셀어레이와, 상기 메모리셀에 기억되는 복수의 정보 2진데이터로부터 복수의 검사 2진데이터를 발생시켜, 독출된 복수의 정보 2진데이터와 복수의 검사 2진데이터로부터 오류검출·정정을 행하는 오류정정제어회로를 구비하여 이루어지고, 상기 오류 정정제어회로는 상기 메모리셀에 기억되는 복수의 정보 2진데이터를 3의 배수개의 비트수 단위의 복수의 심볼로 분해하고, 상기 메모리셀에 기억되는 복수의 검사 2진데이터를 발생시켜, 상기 독출된 복수의 정보 2진데이터와 상기 독출된 검사 2진데이터로부터 상기 심볼 단위로 오류검출·정정을 행하는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 15

제14항에 있어서, 상기 오류정정제어회로는 9비트를 1개의 심볼로 취급하는 2^9RS(리드·솔로몬) 부호에 기초하여 상기 검사 2진데이터의 발생, 9비트 심볼 단위의 오류검출 및 정정을 행하는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 16

제15항에 있어서, 상기 정보 2진데이터의 비트길이는 4096비트보다 큰 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 17

제14항에 있어서, 상기 오류정정회로는 12비트를 1개의 심볼로 취급하는 2^{12}RS(리드·솔로몬) 부호에 기초하여 상기 검사 2진데이터의 발생, 12비트 심볼 단위의 오류검출 및 정정을 행하는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 18

제17항에 있어서, 상기 정보 2진데이터의 비트길이는 8192비트보다 큰 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 19

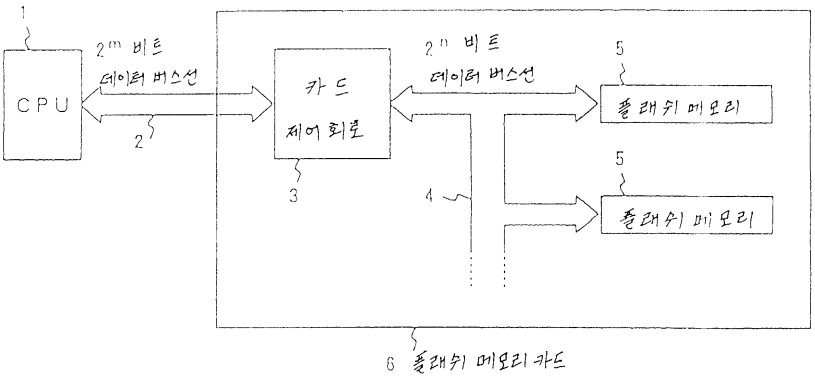
제14항에 있어서, 2개의 메모리셀의 조에 3비트의 정보를 기억시키는 것을 특징으로 하는 3치기억 반도체기억시스템.

청구항 20

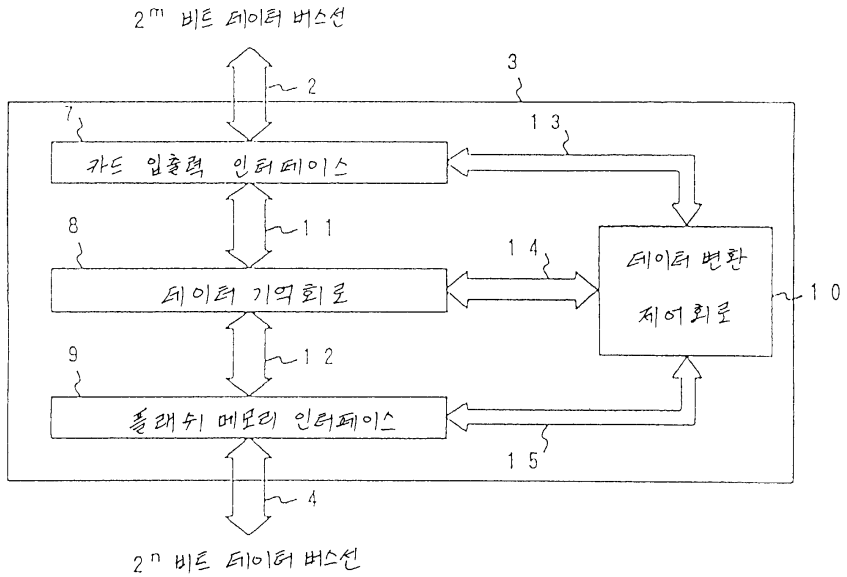
제9항에 있어서, 상기 제3인터페이스는 2^n개의 제2 2진데이터를 병렬 입력하도록 구성된 것을 특징으로 하는 3치기억 반도체기억시스템.

도면

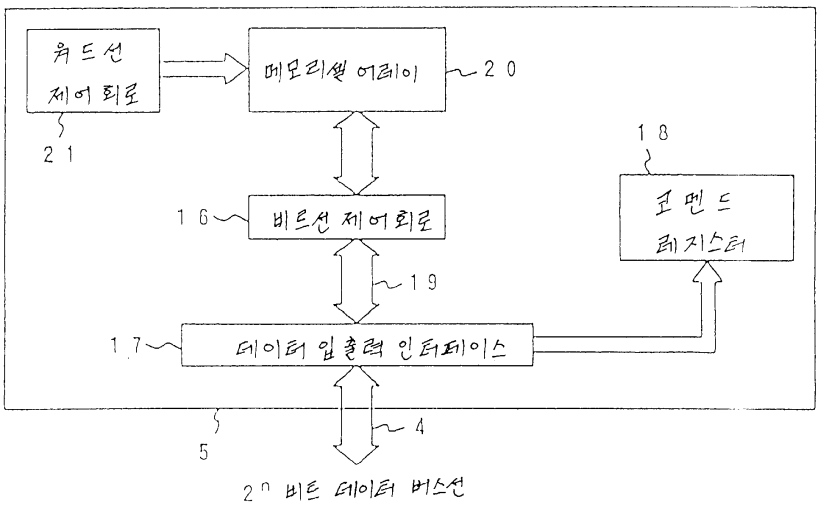
도면1


1
CPU
2^m 비트
데이터 버스선
2
카드
제어 회로
3
2^n 비트
데이터 버스선
4
5
플래쉬 메모리
5
플래쉬 메모리
6 플래쉬 메모리 카드

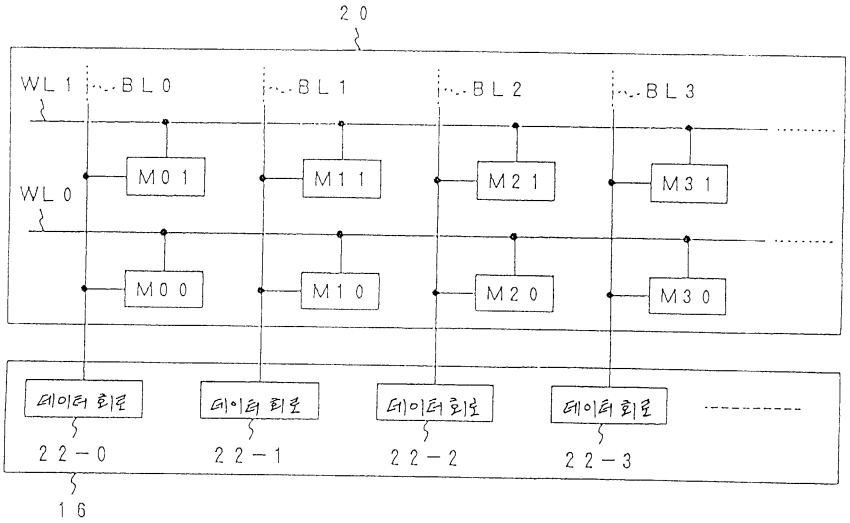
도면2


2^m 비트 데이터 버스선
2
3
7
카드 입출력 인터페이스
13
8
11
데이터 기억 회로
14
데이터 변환
제어 회로
10
9
12
플래쉬 메모리 인터페이스
15
4
2^n 비트 데이터 버스선

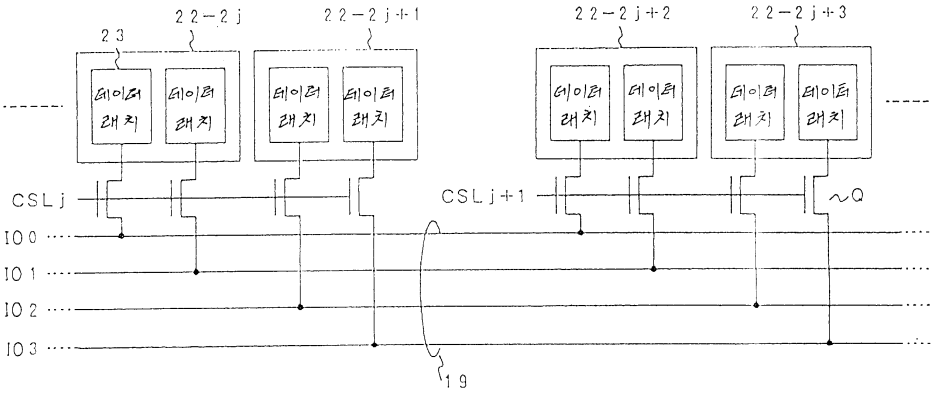
도면3


워드선
제어 회로
21
메모리셀 어레이
20
18
코맨드
레지스터
16
비트선 제어회로
19
17
데이터 입출력 인터페이스
5
4
2^n 비트 데이터 버스선

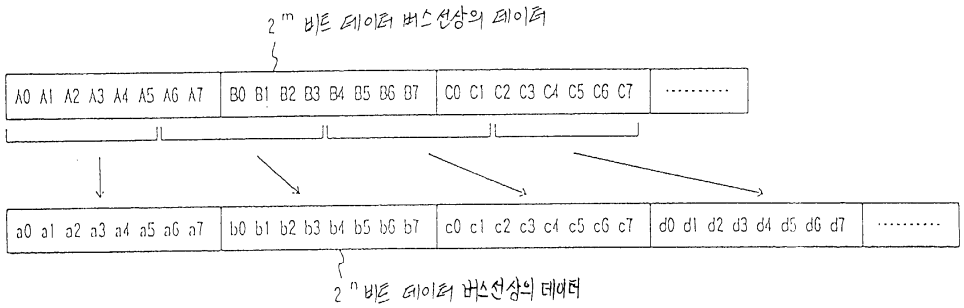
도면4



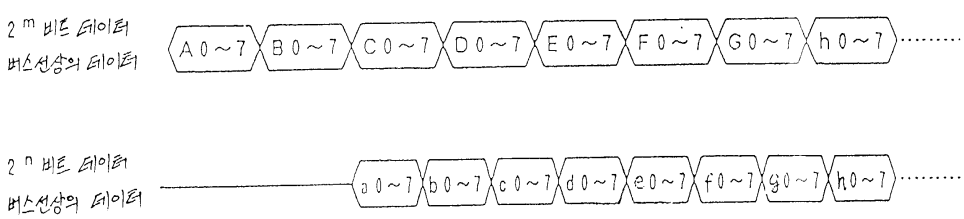
도면5



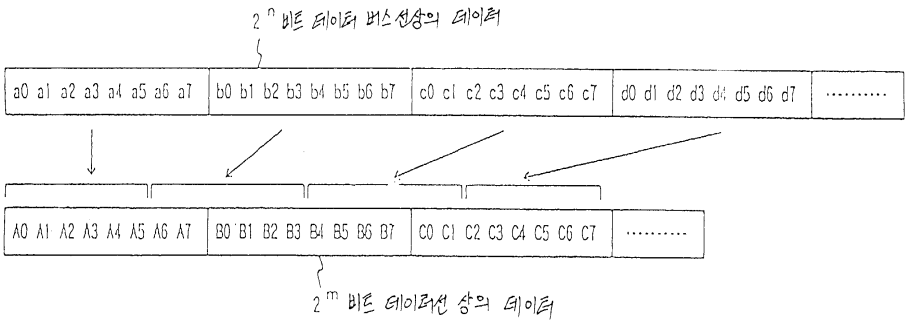
도면6



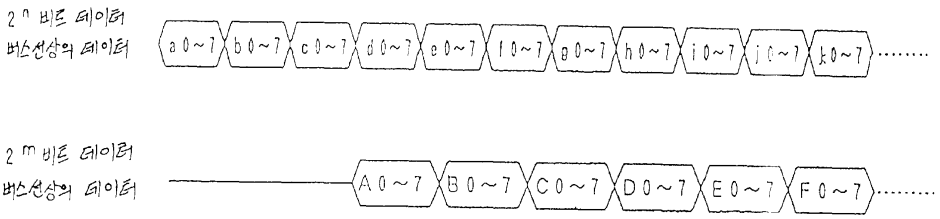
도면7



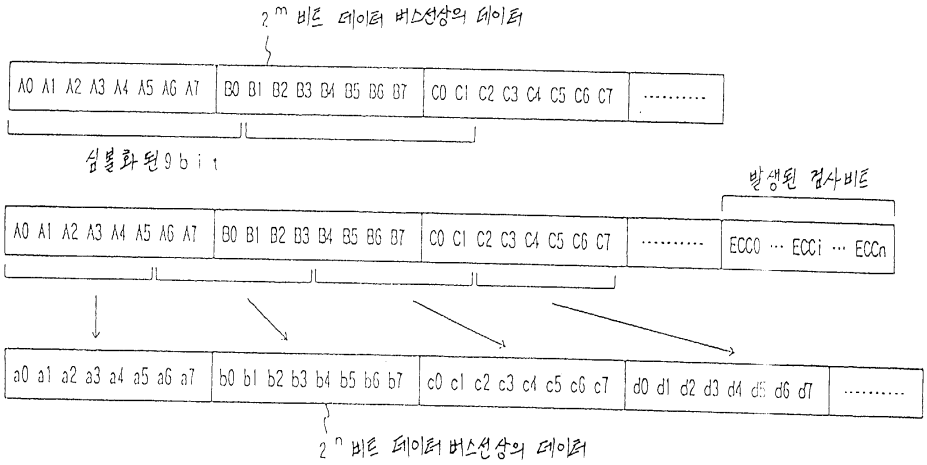
도면8



도면9



도면10



도면11

