(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월16일
(11) 등록번호 10-1979327
(24) 등록일자 2019년05월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 29/786* (2006.01)
H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 29/78606 (2013.01)
(21) 출원번호 10-2018-7033897(분할)
(22) 출원일자(국제) 2010년09월08일
심사청구일자 2018년11월22일
(85) 번역문제출일자 2018년11월22일
(65) 공개번호 10-2018-0128093
(43) 공개일자 2018년11월30일
(62) 원출원 특허 10-2018-7020875
원출원일자(국제) 2010년09월08일
심사청구일자 2018년07월19일
(86) 국제출원번호 PCT/JP2010/065887
(87) 국제공개번호 WO 2011/034068
국제공개일자 2011년03월24일
(30) 우선권주장
JP-P-2009-215053 2009년09월16일 일본(JP)
(56) 선행기술조사문헌
JP2002006293 A
JP2007326259 A
JP2008046635 A
US20050088088 A1

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
에구치 신고
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
오이카와 요시아키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

전체 청구항 수 : 총 12 항 심사관 : 유병철

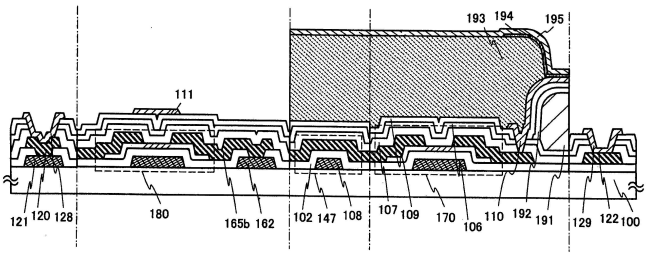
(54) 발명의 명칭 **발광 장치 및 이의 제조 방법**

(57) 요 약

본 발명의 목적은 발광 장치의 신뢰성을 향상시키는 것이다. 본 발명의 다른 목적은 산화물 반도체막을 사용하는 박막 트랜지스터를 갖는 발광 장치에 가요성(flexibility)을 제공하는 것이다. 발광 장치는 구동 회로용 박막 트랜지스터를 포함하는 구동부 및 화소용 박막 트랜지스터를 포함하는 화소부를 동일한 기판 상에서 갖는다. 구동

(뒷면에 계속)

대 표 도



회로용 박막 트랜지스터 및 화소용 박막 트랜지스터는 산화물 절연층의 일부와 접촉하는 산화물 반도체층을 포함하는 인버티드 스태거형(inverted staggered) 박막 트랜지스터이다.

(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 51/5012 (2013.01)

(72) 발명자
오카자키 켄이치
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
마루야마 호타카
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

전자기기로서,

표시 패널, 터치 패널, 제 1 하우징, 및 배선 기판을 포함하고,

상기 표시 패널은 가요성 기판, 및 상기 가요성 기판 위의 표시부를 포함하고,

상기 터치 패널은 상기 표시부와 중첩하고,

상기 제 1 하우징은 상기 표시 패널 위에 있고,

상기 배선 기판은 상기 표시 패널에 전기적으로 접속되고,

상기 표시부는 발광 소자와 트랜지스터를 포함하고,

상기 배선 기판은 상기 표시 패널의 후면 측에 배치되고,

상기 제 1 하우징은 정면 영역과, 상기 제 1 하우징이 만곡되는 제 1 영역을 포함하고,

상기 표시 패널은 상기 정면 영역과 상기 제 1 영역 상에 연속적으로 형성되고,

상기 표시 패널의 표시 영역은 상기 제 1 영역과 중첩하는, 전자기기.

청구항 2

전자기기로서,

표시 패널, 터치 패널, 및 배선 기판을 포함하고,

상기 표시 패널은 가요성 기판, 및 상기 가요성 기판 위의 표시부를 포함하고,

상기 터치 패널은 상기 표시부와 중첩하고,

상기 배선 기판은 상기 표시 패널에 전기적으로 접속되고,

상기 표시부는 발광 소자와 트랜지스터를 포함하고,

상기 배선 기판은 상기 표시 패널의 후면 측에 배치되고,

상기 표시 패널은 상기 표시 패널이 만곡되는 제 1 영역을 포함하고,

상기 제 1 영역은 상기 표시 패널의 정면 영역과 상기 표시 패널의 가장자리 사이에 있고,

상기 표시 패널의 표시 영역은 상기 제 1 영역과 중첩하는, 전자기기.

청구항 3

전자기기로서,

표시 패널, 제 1 하우징, 및 배선 기판을 포함하고,

상기 표시 패널은 가요성 기판, 및 상기 가요성 기판 위의 화소부를 포함하고,

상기 제 1 하우징은 상기 표시 패널 위에 있고,

상기 배선 기판은 상기 표시 패널에 전기적으로 접속되고,

상기 화소부는 발광 소자와 트랜지스터를 포함하고,

상기 트랜지스터는 산화물 반도체 재료를 포함하는 채널 형성 영역을 포함하고,

상기 배선 기판은 상기 표시 패널의 후면 측에 배치되고,

상기 제 1 하우징은 정면 영역과, 상기 제 1 하우징이 만곡되는 제 1 영역을 포함하고,

상기 표시 패널은 상기 정면 영역과 상기 제 1 영역 상에 연속적으로 형성되고,

상기 표시 패널의 표시 영역은 상기 제 1 영역과 중첩하는, 전자기기.

청구항 4

전자기기로서,

표시 패널과 배선 기판을 포함하고,

상기 표시 패널은 가요성 기판, 및 상기 가요성 기판 위의 화소부를 포함하고,

상기 배선 기판은 상기 표시 패널에 전기적으로 접속되고,

상기 화소부는 발광 소자와 트랜지스터를 포함하고,

상기 트랜지스터는 산화물 반도체 재료를 포함하는 채널 형성 영역을 포함하고,

상기 배선 기판은 상기 표시 패널의 후면 측에 배치되고,

상기 표시 패널은 상기 표시 패널이 만곡되는 제 1 영역을 포함하고,

상기 제 1 영역은 상기 표시 패널의 정면 영역과 상기 표시 패널의 가장자리 사이에 있고,

상기 표시 패널의 표시 영역은 상기 제 1 영역과 중첩하는, 전자기기.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 표시 패널과 중첩하는 배터리를 더 포함하는, 전자기기.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 표시 패널은 상기 배선 기판의 표면 전체와 중첩하는, 전자기기.

청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 제 1 하우징과 대향하는 제 2 하우징을 더 포함하고,

상기 제 2 하우징은 후면 영역과, 상기 제 2 하우징이 만곡되는 제 2 영역을 포함하는, 전자기기.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 제 1 하우징의 모서리 부분은 앞쪽에서 볼 때 둥근 모양을 가지는, 전자기기.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 전자기기는 휴대 전화기인, 전자기기.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 가요성 기판은 광투과 특성을 가지는 플라스틱 기판인, 전자기기.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 가요성 기판은 폴리에스테르 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸 메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에테르술폰(PES) 수지, 폴리아미드 수지, 사이클로올레핀 수지, 폴리스티렌 수지, 폴리아미드 이미드 수지 또는 폴리비닐클로라이드 수지를 포함하는, 전자기기.

청구항 12

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 트랜지스터는 절연층 위에 형성되고,

상기 절연층은 산화 규소층, 질화 규소층, 질소를 함유하는 산화 규소층, 및 산소를 함유하는 질화 규소층으로 이루어지는 그룹으로부터 선택된 적어도 하나의 층을 포함하는, 전자기기.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기 화합물을 함유하는 층을 발광층으로서 포함하는 발광 장치 및 이의 제조 방법에 관한 것이다. 가령, 본 발명은 유기 발광 소자를 갖는 발광 표시 장치가 부품으로서 탑재된 전자기기에 관한 것이다.

[0002] 본 명세서에서, 반도체 장치는 반도체 특성을 이용함으로써 동작할 수 있는 모든 장치들을 지칭하며, 발광 장치 등과 같은 전기 광학 장치, 반도체 회로 및 전자기기들이 모두 반도체 장치이다.

배 경 기 술

[0003] 박형, 경량, 고속 응답성, 직류 저전압 구동 등의 특징을 갖는 유기 화합물을 발광체로서 사용한 발광 소자는 차세대 평판 디스플레이 또는 차세대 조명 분야에서 이용될 수 있도록 검토되어 왔다. 특히, 발광 소자들이 매트릭스로 배열된 표시 장치는 종래의 액정 표시 장치와 비해서 넓은 시야각 특성 및 우수한 시인성이라는 장점을 가지고 있다.

[0004] 발광 소자의 발광 메카니즘은 다음과 같다. 한 쌍의 전극 간에 EL 층을 개재시키고 이에 전압을 인가하면, 음극으로부터 주입된 전자 및 양극으로부터 주입된 정공이 EL 층의 발광 중심에서 재결합해서 분자 여기자(molecular excitions)가 형성된다. 이 분자 여기자가 기저 상태로 완화될 때에 에너지가 방출되어서 광이 방사된다. 여기 상태로서는 일중항 여기(singlet excitation) 및 삼중항 여기(triplet excitation)가 알려져 있으며, 발광은 어느 쪽의 여기 상태를 통해서도 확실하게 달성될 수 있다.

[0005] 발광 소자에 포함되는 EL 층은 적어도 발광층을 갖는다. 또한, EL 층은 발광층의 이외에, 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층 등을 포함하는 적층 구조를 갖는다.

[0006] 또한, 반도체 특성을 나타내는 재료로서 금속 산화물이 주목받고 있다. 반도체 특성을 나타내는 금속 산화물로서는 가령 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 이러한 반도체 특성을 나타내는 금속 산화물로서 채널 형성 영역을 형성한 박박 트랜지스터가 이미 알려져 있다(특허문헌 1 및 특허문헌 2 참조).

[0007] 또한, 산화물 반도체를 포함한 전계 효과 트랜지스터는 전계 효과 이동도가 높다. 그 때문에, 표시 장치 등의 구동 회로를 형성하는데 있어서 이러한 전계 효과 트랜지스터가 사용될 수 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본공개특허공보 제2007-123861호

(특허문헌 0002) 일본공개특허공보 제2007-096055호

발명의 내용

해결하려는 과제

[0010] 산화물 반도체막을 사용하는 박막 트랜지스터에서는, 높은 동작 속도, 비교적 용이한 제조 공정 및 충분한 신뢰성이 요구된다.

[0011] 산화물 반도체막을 사용하는 박막 트랜지스터에서 동작 특성 및 신뢰성을 개선하는 것이 본 발명의 목적 중 하나이다.

[0012] 특히, 구동 회로부에서 사용되는 박막 트랜지스터의 동작 속도를 높은 것이 바람직하다.

[0013] 가령, 박막 트랜지스터의 채널 길이 L을 짧게 하고 채널 폭을 넓게 하면 동작 속도가 빨라진다. 그러나, 채널 길이 L을 짧게 하면, 스위칭 특성에서 문제가 발생하는데, 가령, 온/오프 비가 작아지게 된다. 또한, 채널 폭 W을 넓게 하면, 박막 트랜지스터 자체의 용량 부하가 증가한다는 문제점이 있다.

[0014] 따라서, 채널 길이가 짧더라도 안정된 전기적 특성을 갖는 박막 트랜지스터를 포함한 발광 장치를 제공하는 것도 본 발명의 과제 중 하나이다.

[0015] 또한, 절연 표면 상에 복수의 다른 회로를 형성할 경우, 가령, 화소부와 구동 회로부를 동일 기판 상에 형성할 경우에, 화소부에서 사용되는 박막 트랜지스터에서는 뛰어난 스위칭 특성, 가령, 높은 온/오프 비가 요구되고, 구동 회로부에서 사용되는 박막 트랜지스터에서는 높은 동작 속도가 요구된다. 특히, 표시 장치의 해상도가 높은 만큼 표시 화상의 기록 시간이 짧아지기 때문에, 구동 회로부에서 사용되는 박막 트랜지스터의 동작 속도는 빠른 것이 바람직하다.

[0016] 산화물 반도체막을 사용한 박막 트랜지스터의 전기적 특성의 편차를 저감시키는 것도 본 발명의 목적 중 하나이다.

[0017] 산화물 반도체막을 사용한 박막 트랜지스터를 갖는 발광 장치에 가요성(flexibility)을 부여하는 것도 본 발명의 목적 중 하나이다.

과제의 해결 수단

[0018] 발광 소자 및 산화물 반도체층을 포함하는 박막 트랜지스터가 가요성 기판 상에 형성되고, 가요성이 있는 발광 장치가 제조된다.

[0019] 발광 소자 및 산화물 반도체층을 포함하는 박막 트랜지스터가 가요성 기판 상에 직접적으로 형성될 수 있다. 이와 달리, 발광 소자 및 산화물 반도체층을 포함하는 박막 트랜지스터가 제조 기판 상에 형성되고, 그 이후에, 박막 트랜지스터가 박리되어서 가요성 기판으로 전치될 수 있다. 박막 트랜지스터를 제조 기판으로부터 박리하여 가요성 기판으로 전치시키기 위해서, 박리층이 발광 소자 및 산화물 반도체층을 포함하는 박막 트랜지스터와 제조 기판 간에 제공된다.

[0020] 가요성 기판으로서, 가령, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN) 등과 같은 폴리에스테르 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸 메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에테르술폰(PES) 수지, 폴리아미드 수지, 사이클로올레핀 수지, 폴리스틴렌 수지, 폴리아미드 이미드 수지 또는 폴리비닐클로라이드 수지가 사용될 수 있다. 섬유체에 유기 수지가 함침된 구조체(소위, 프리프레그(prepreg))가 또한 가요성 기판으로서 사용될 수 있다.

[0021] 또한, 가요성을 갖도록 충분하게 얇게 된 금속 기판이 사용될 수 있다. 이 금속 기판은 광이 추출되지 않은 측상에 제공된다. 금속 기판을 형성하는 재료는 다음으로 한정되는 것은 아니지만 알루미늄, 구리, 니켈, 알루미늄 합금과 같은 금속 합금, 스테인레스 스틸 등이 사용될 수 있다.

[0022] 본 발명의 일 실시예에 따른 발광 장치는 구동 회로용 박막 트랜지스터를 포함하는 구동 회로부 및 화소용 박막 트랜지스터를 포함하는 화소부를 포함하며, 구동 회로부와 화소부는 동일한 가요성 기판 상에 형성된다. 구동 회로용 박막 트랜지스터 및 화소용 박막 트랜지스터는 각각 게이트 전극층, 게이트 전극층 상의 게이트 절연층, 게이트 절연층 상의 산화물 반도체층, 산화물 반도체층 상의 소스 전극층 및 드레인 전극층, 및 상기 산화물 반도체층, 소스 전극층 및 드레인 전극층 상에 있으면서 산화물 반도체층의 일부분과 접촉하는 산화물 절연층을 포함한다. 화소부에서는, 산화물 절연층 상에 컬러 필터층이 제공되며, 화소용 박막 트랜지스터와 전기적으로 접속하는, 제 1 전극층, EL 층 및 제 2 전극층의 적층이 컬러 필터층 상에 제공된다. 구동 회로용 박막 트랜지스터에서, 게이트 전극층 및 산화물 반도체층과 중첩하는 도전층이 산화물 절연층 상에 제공된다. 게이트 전극

층, 소스 전극층 및 드레인 전극층은 모두 금속 도전막이다.

[0023] 본 발명의 다른 실시예에 따른 발광 장치는 구동 회로용 박막 트랜지스터를 포함하는 구동 회로부 및 화소용 박막 트랜지스터를 포함하는 화소부를 포함하고, 구동 회로부 및 화소부는 동일한 기판 상에 형성된다. 구동 회로용 박막 트랜지스터 및 화소용 박막 트랜지스터는 게이트 전극층과, 게이트 전극층 상의 게이트 절연층과, 게이트 절연층 상의 산화물 반도체층과, 산화물 반도체층 상의 소스 전극층 및 드레인 전극층과, 상기 산화물 반도체층, 소스 전극층 및 드레인 전극층 상에 있으면서 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 포함한다. 화소부에서, 산화물 절연층 상에 컬러 필터층이 형성되고, 접속 전극층을 통해서 화소용 박막 트랜지스터와 전기적으로 접속하는, 제 1 전극층, EL 층 및 제 2 전극층의 적층이 컬러 필터층 상에 제공된다. 구동 회로용 박막 트랜지스터에서, 게이트 전극층 및 산화물 반도체층과 중첩하는 도전층이 산화물 절연층 상에 제공된다. 게이트 전극층, 소스 전극층 및 드레인 전극층은 모두 금속 도전막이다.

[0024] 화소용 박막 트랜지스터 및 구동 회로용 박막 트랜지스터로서는 보텀(bottom) 게이트 구조를 갖는 인버티드 스태거형(inverted staggered) 박막 트랜지스터가 사용된다. 화소용 박막 트랜지스터 및 구동 회로용 박막 트랜지스터 모두는 산화물 절연층이 소스 전극층과 드레인 전극층 간에 노출된 산화물 반도체층과 접촉하는 채널 에칭형 박막 트랜지스터이다.

[0025] 구동 회로용 박막 트랜지스터는 산화물 반도체층이 게이트 전극과 도전층 간에 샌드위치된 구조를 갖는다. 이러한 구조로 해서, 박막 트랜지스터의 임계 전압의 편차가 저감될 수 있으며, 이로써, 안정된 전기적 특성을 갖는 박막 트랜지스터를 포함하는 발광 장치가 제공될 수 있다. 도전층은 게이트 전극층과 동일한 전위를 가지거나 플로팅 전위를 가지거나 접지 전위나 제로 볼트와 같은 고정 전위를 가질 수 있다. 도전층의 전위를 적합한 값으로 설정함으로써, 박막 트랜지스터의 임계 전압이 제어될 수 있다.

[0026] 화소용 박막 트랜지스터와 화소 전극은 서로 직접 접촉할 수 있게 형성되거나 접속 전극층을 통해서 서로 전기적으로 접속될 수 있다. 접속 전극층으로서, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 주성분으로 포함하는 막이 사용되거나 이 막과 이러한 원소들 중 임의의 것으로 된 합금 막의 적층막이 사용될 수 있다.

[0027] 구동 회로용 박막 트랜지스터의 산화물 반도체층 상에 형성된 상기 도전층, 제 1 배선(단자 또는 접속 전극으로도 지칭됨) 및 제 2 배선(단자 또는 접속 전극이라고도 함)은, 화소 전극과 동일한 단계에서 산화 인듐, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금 또는 산화 아연 등의 산화물 도전 재료를 이용해서 형성되거나, 접속 전극층과 동일한 단계에서 Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소를 주성분으로 포함하는 막 또는 이러한 원소들 중 임의의 것으로 된 합금 막과 같은 금속 재료를 사용하여 형성될 수 있다.

[0028] 또한, 복수 종류의 발광 색상의 발광 소자 및 이 발광 소자에 전기적으로 접속하는 화소용 박막 트랜지스터들이 동일한 기판 상에 형성되어서 표시 장치와 같은 발광 장치가 제조될 수 있다.

[0029] 또한, 백색의 발광 색상의 발광 소자를 복수 개로 제공하고, 각각의 발광 소자의 발광 영역과 중첩하도록 광학 필름, 구체적으로 컬러 필터들을 제공하면, 풀 컬러 구현이 가능한 발광 표시 장치가 제조될 수 있다. 본 명세서에서, 컬러 필터는 블랙 매트릭스 및 오버코트(overcoat) 이외에 3 색의 컬러들(적색, 청색 및 녹색)을 갖는 컬러 필터 층들을 포함하는 막 전체를 지칭하는 것이 아니라 단일 색상의 컬러 필터를 지칭한다.

[0030] 이러한 구조를 실현하기 위한 본 발명에 따른 발광 장치의 제조 방법의 일 실시예는, 구동 회로부 및 화소부를 포함하면서 절연 표면을 갖는 가요성 기판 상에 금속 도전막을 사용하여 게이트 전극층을 형성하는 단계와, 게이트 전극층 상에 게이트 절연층을 형성하는 단계와, 게이트 절연층 상에 산화물 반도체층을 형성하는 단계와, 산화물 반도체층을 탈수화 또는 탈수소화한 후 대기에 접촉시키지 않아서 산화물 반도체층 내로 물이나 수소가 재혼입되는 것을 막고 이러한 산화물 반도체층 상에 금속 도전막을 사용해서 소스 전극층 및 드레인 전극층을 형성하는 단계와, 상기 산화물 반도체층, 소스 전극층 및 드레인 전극층 상에 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 형성해서 구동 회로부 상에서는 구동 회로용 박막 트랜지스터를 그리고 화소부 상에서는 화소용 박막 트랜지스터를 형성하는 단계와, 화소부에서, 산화물 절연층 상에 컬러 필터층을 형성하고 컬러 필터층 상에 화소용 박막 트랜지스터와 전기적으로 접속하는 제 1 전극층을 형성하고 상기 제 1 전극층 상에 EL 층을 형성하고 EL 층 상에 제 2 전극층을 형성하는 단계와, 구동 회로부에서, 구동 회로용 박막 트랜지스터의 게이트 전극층 및 산화물 반도체층과 중첩하는 산화물 절연층 상에 상기 제 1 전극층과 동일한 공정에서 도전층을 형성하는 단계를 포함한다.

[0031] 상기 구조를 실현하기 위한 본 발명에 따른 발광 장치의 제조 방법의 다른 실시예는, 구동 회로부 및 화소부를 포함하면서 절연 표면을 갖는 가요성 기판 상에 게이트 전극층을 형성하는 단계와, 금속 도전막을 이용하여 게

이트 전극층 상에 게이트 절연층을 형성하는 단계와, 게이트 절연층 상에 산화물 반도체층을 형성하는 단계와, 산화물 반도체층을 탈수화 또는 탈수소화한 후 대기에 접촉시키지 않아서 산화물 반도체층 내로 물이나 수소가 재혼입되는 것을 막고 이러한 산화물 반도체층 상에 금속 도전막을 사용해서 소스 전극층 및 드레인 전극층을 형성하는 단계와, 상기 산화물 반도체층, 소스 전극층 및 드레인 전극층 상에 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 형성해서 구동 회로부 상에서는 구동 회로용 박막 트랜지스터를 그리고 화소부 상에서는 화소용 박막 트랜지스터를 형성하는 단계와, 화소부에서, 산화물 절연층 상에 컬러 필터층을 형성하고 컬러 필터층 상에 접속 전극층을 통해서 화소용 박막 트랜지스터와 전기적으로 접속하는 제 1 전극층을 형성하고 상기 제 1 전극층 상에 EL 층을 형성하고 EL 층 상에 제 2 전극층을 형성하는 단계와, 구동 회로부에서, 구동 회로용 박막 트랜지스터의 게이트 전극층 및 산화물 반도체층과 중첩하는 산화물 절연층 상에 상기 접속 전극층과 동일한 공정에서 도전층을 형성하는 단계를 포함한다.

[0032] 상기 구조를 실현하기 위한 본 발명에 따른 발광 장치의 제조 방법의 다른 실시예는, 구동 회로부 및 화소부를 포함하며 절연 표면을 갖는 제조 기판 상에 박리층(separation layer)을 형성하는 단계와, 구동 회로부에서, 박리층 상에 산화물 반도체층을 갖는 구동 회로용 박막 트랜지스터를 형성하는 단계와, 화소부에서, 박리층 상에 산화물 반도체층을 갖는 화소용 박막 트랜지스터를 형성하고 화소용 박막 트랜지스터와 전기적으로 접속하는 제 1 전극층을 형성하는 단계와, 구동 회로용 박막 트랜지스터, 화소용 박막 트랜지스터 및 제 1 전극층을 상기 박리층을 이용하여 제조 기판으로부터 지지 기판으로 전치시키는 단계와, 지지 기판으로 전치된 구동 회로용 박막 트랜지스터, 화소용 박막 트랜지스터 및 제 1 전극층을 가요성 기판으로 전치시키는 단계와, 상기 가요성 기판으로 전치된 제 1 전극층 상에 EL 층을 형성하는 단계와, EL 층 상에 제 2 전극층을 형성하는 단계를 포함한다.

[0033] 상기 구조를 실현하기 위한 본 발명에 따른 발광 장치의 제조 방법의 다른 실시예는, 구동 회로부 및 화소부를 포함하며 절연 표면을 갖는 제조 기판 상에 박리층(separation layer)을 형성하는 단계와, 구동 회로부에서, 박리층 상에 산화물 반도체층을 갖는 구동 회로용 박막 트랜지스터를 형성하는 단계와, 화소부에서, 박리층 상에 산화물 반도체층을 갖는 화소용 박막 트랜지스터를 형성하고 화소용 박막 트랜지스터와 전기적으로 접속하는 제 1 전극층을 형성하는 단계와, 구동 회로용 박막 트랜지스터, 화소용 박막 트랜지스터 및 제 1 전극층을 상기 박리층을 이용하여 제조 기판으로부터 지지 기판으로 전치시키는 단계와, 지지 기판으로 전치된 구동 회로용 박막 트랜지스터, 화소용 박막 트랜지스터 및 제 1 전극층을 가요성 기판으로 전치시키는 단계와, 상기 가요성 기판으로 전치된 제 1 전극층 상에 EL 층을 형성하는 단계와, EL 층 상에 제 2 전극층을 형성하는 단계와, 상기 구동 회로부 및 상기 화소부가 가요성 금속 기판으로 봉입되도록 상기 제 2 전극층 상에 가요성 금속 기판을 형성하는 단계를 포함한다.

[0034] 전술한 발광 장치의 제조 공정 중 포토리소그래피 단계에서, 에칭 단계는 다수의 강도를 갖도록 다중 톤 마스크를 광이 투과되는 광 노광 마스크로서 사용하여 형성된 마스크 층을 사용하여 수행될 수 있다.

[0035] 이렇게 다중 톤 마스크를 사용하여 형성된 마스크 층은 복수의 막 두께를 갖고 이 마스크 층에 대하여 에칭을 수행함으로써 그 형상이 더 변경될 수 있기 때문에, 이 마스크 층은 상이한 패턴으로 막을 처리하기 위한 복수의 에칭 단계들에서 사용될 수 있다. 따라서, 적어도 2 종류 또는 그 이상의 상이한 패턴들에 대응하는 마스크 층이 하나의 다중 톤 마스크에 의해 형성될 수 있다. 이로써, 노광 마스크의 개수는 삭감될 수 있으며 그에 대응하는 포토리소그래피 단계의 수도 역시 감소될 수 있어서, 공정이 간략하게 될 수 있다.

[0036] 이와 같은 구조로 해서, 위에서 제시한 문제들 중 적어도 하나는 해결될 수 있다.

[0037] 가령, 본 명세서에 나타나는 산화물 반도체는 $InMO_3(ZnO)_m$(m > 0)로 대표되는 박막 내에 형성되며, 이 박막은 박막 트랜지스터를 제조하는데 사용된다. 여기서, M은 Ga, Fe, Ni, Mn 및 Co로부터 선택된 일 금속 원소 또는 복수의 금속 원소를 나타낸다. 가령, M은 Ga일 수 있거나 Ga 이외에 위의 다른 금속 원소를 포함할 수 있다. 후자의 경우에, 가령, M은 Ga 및 Ni이거나 Ga 및 Fe일 수 있다. 또한, 상기 산화물 반도체에서, 몇몇 경우에, Fe 또는 Ni와 같은 전이 금속 원소 또는 이 전이 금속의 산화물이 M으로서 포함된 금속 원소 이외에 불순물 원소로서 포함될 수 있다. 본 명세서에서, $InMO_3(ZnO)_m$(m > 0)로 표현되는 조성 공식을 가지면서 적어도 Ga가 M으로서 포함되는 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체로 지칭되며, 그 박막 역시 In-Ga-Zn-O계 비단결정막으로 지칭된다.

[0038] 산화물 반도체층에서 사용되는 금속 산화물로서, 상기의 것 이외에도, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물 및 Zn-O

계 금속 산화물이 사용될 수 있다. 또한, 상기 금속 산화물로 이루어지는 산화물 반도체층에 산화 규소를 포함시킬 수 있다.

[0039] 산화물 반도체는 바람직하게는 In을 포함하며 더욱 바람직하게는 In 및 Ga를 포함한다. i 타입 (진성) 산화물 반도체층을 얻기 위해서, 탈수화 또는 탈수소화 공정을 수행하는 것이 효과적이다.

[0040] 질소 또는 희가스(아르곤 또는 헬륨 등)의 불활성 기체 분위기 하에서 가열 처리를 수행했을 경우, 산화물 반도체층은 가열 처리에 의해 산소 결핍형이 되게 된다. 따라서, 저 저항 산화물 반도체층, 즉, n 타입(가령, n^- 타입) 산화물 반도체층이 형성된다. 이어서, 산화물 반도체층에 접촉하는 산화물 절연막을 형성하고 그 이후에 열처리를 행함으로써 산화물 반도체층은 산소 과잉 상태가 된다. 이로써, 고 저항 산화물 반도체층, 즉, i 타입 산화물 반도체층이 형성된다. 이러한 공정은 산화물 반도체층을 과잉 산소 상태로 만드는 고상 산화(solid phase oxidation)로도 지칭될 수 있다. 이로써, 전기적 특성이 양호해서 신뢰성이 좋은 박막 트랜지스터를 갖는 발광 장치가 제공 및 제조될 수 있다.

[0041] 탈수화 또는 탈수소화를 위해서, 질소 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기 하에서 400℃ 내지 750℃에서, 바람직하게는 420℃ 내지 570℃에서 가열 처리를 행하는데, 이로써 산화물 반도체층 내에서의 수분 등의 불순물이 저감된다. 또한, 물(H_2O)이 산화물 반도체층 내에 다시 혼입되는 것을 막을 수 있다.

[0042] 탈수화 또는 탈수소화를 위한 가열 처리는 H_2O의 농도가 20ppm 이하가 되는 질소 분위기에서 행하는 것이 바람직하다. 이와 달리, H_2O의 농도가 20ppm 이하가 되는 초 건조 공기 하에서 수행될 수 있다.

[0043] 탈수화 또는 탈수소화를 받은 후의 산화물 반도체층에 대하여 TDS를 450℃까지 수행했을 때에 2 개의 물(water) 피크가 검출되지 않거나 약 300℃ 부근에서는 적어도 하나의 물 피크도 검출되지 않도록 하는 조건 하에서 산화물 반도체층에 대하여 탈수소화 또는 탈수화 열처리가 수행된다. 따라서, 탈수화 또는 탈수소화를 받은 산화물 반도체층을 포함하는 박막 트랜지스터에 대하여 TDS가 450℃까지 수행되었을 때에, 약 300℃ 부근에서는 적어도 하나의 물 피크도 검출되지 않게 된다.

[0044] 또한, 온도가 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 행하게 되는 가열 온도 T보다 낮을 때에는, 이 탈수화 또는 탈수소화를 수행한 화로를 계속 사용함으로써 그 탈수화 또는 탈수소화를 받은 산화물 반도체층들이 대기에 접촉되지 않게 하는 것이 중요하다. 이로써, 물 또는 수소가 이 산화물 반도체층 내로 혼입되지 않게 된다. 탈수화 또는 탈수소화를 행하여 산화물 반도체층을 저 저항의 산화물 반도체층, 즉 n 타입(n^- 타입)의 산화물 반도체층으로 변화시키고 이어서 이 저 저항의 산화물 반도체층을 i 타입의 산화물 반도체층인 고 저항의 산화물 반도체층으로 변화시킴으로써 획득된 산화물 반도체층을 사용하여 박막 트랜지스터가 형성된다. 이 경우에, 박막 트랜지스터의 임계 전압(Vth)이 양의 값이 되어서 이른바 노멀리-오프 스위칭 소자(normally-off switching element)가 실현될 수 있다. 양의 값이면서 가능한 한 제로 볼트에 근사한 임계 전압을 갖도록 채널이 형성된 반도체 장치(발광 장치)가 바람직하다. 박막 트랜지스터의 임계 전압이 음의 값을 가지면, 박막 트랜지스터는 이른바 노멀리-온(normally-on) 상태, 즉 게이트 전압이 제로 볼트일지라도 소스 전극과 드레인 전극 간에 전류가 흐르게 되는 상태가 되기 쉽다. 액티브 매트릭스 표시 장치에서, 회로 내에 포함된 박막 트랜지스터의 전기적 특성이 중요한데 이는 표시 장치의 성능에 큰 영향을 준다. 박막 트랜지스터의 전기적 특성들 중에서도 특히 임계 전압 값이 중요하다. 전계 효과 이동도가 높을지라도 양의 임계 전압 값이 높거나 임계 전압이 음의 값을 갖는 경우에는, 회로를 제어하는 것이 어려워진다. 또한, 임계 전압의 절대치가 큰 박막 트랜지스터의 경우에는, 저 구동 전압에서는 스위칭 기능이 수행되지 않아서 이 트랜지스터는 부하가 될 수 있다. n 채널 전계 효과 트랜지스터의 경우에, 게이트에 양의 전압을 인가했을 때에만 채널이 형성되어서 드레인 전류가 흐르기 시작하는 것이 바람직하다. 구동 전압을 높이지 않으면 채널이 형성되지 않고 심지어 음의 전압 상태에서도 채널이 형성되어 드레인 전류가 흐르기 시작하는 박막 트랜지스터는 회로에서 사용하기 적합하지 않다.

[0045] 또한, 그 온도가 가열 온도 T로부터 낮아진 가스 분위기는 그 온도가 가열 온도 T까지 상승한 가스 분위기와는 다른 가스 분위기로 바꾸어질 수 있다. 가령, 탈수화 또는 탈수소화를 행한 화로를 대기에 노출시키지 않고 그 화로를 고순도 산소 가스, 고순도 N_2O 가스 또는 초 건조 대기(노점(dew point)이 -40℃ 이하, 바람직하게는 -60℃ 이하임)로 채워서 냉각이 수행된다.

[0046] 탈수화 또는 탈수소화를 위한 가열 처리에 의해 막 내에 함유된 수분을 저감시킨 후, 수분을 포함하지 않는 분위기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하임) 하에서 느리게 냉각된 (냉각될) 산화물 반도체막을 사용하면, 박막 트랜지스터의 전기적 특성을 향상시키는 동시에, 양산성과 고성능 모두를 구비한 박막 트랜지스터를

실현할 수 있다.

[0047] 본 명세서에서, 질소 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기 하에서의 가열 처리는 탈수화 또는 탈수소화를 위한 가열 처리라고 지칭된다. 본 명세서에서, "탈수소화(dehydrogenation)"는 가열 처리에 의해 오직 H_2만을 이탈시키는 것을 말하지 않는다. 편의상, H, OH 등을 제거하는 바가 "탈수소화" 또는 "탈수화"로 지칭된다.

[0048] 질소 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기 하에서의 가열 처리를 수행했을 경우, 산화물 반도체층은 가열 처리에 의해 산소 결핍형이 되어서 저 저항의 산화물 반도체층, 즉 n 타입(n^- 타입)의 산화물 반도체층이 된다.

[0049] 또한, 드레인 전극층과 중첩하는 영역은 산소 결핍 영역인 고 저항 드레인 영역(HRD:High-Resistance Drain 영역이라고도 지칭됨)으로서 형성된다. 또한, 소스 전극층과 중첩하는 영역은 산소 결핍 영역인 고 저항 소스 영역(HRS:High-Resistance Source 영역이라고도 지칭됨)으로서 형성된다.

[0050] 구체적으로는, 고 저항 드레인 영역의 캐리어 농도는 $1*10^{13}/cm^3$ 이상이며 적어도 채널 형성 영역의 캐리어 농도($1*10^{13}/cm^3$ 미만)보다도 높다. 본 명세서에서 캐리어 농도는 실온에서 홀 효과 측정(Hall effect measurement)으로부터 획득된 캐리어 농도 값을 말한다.

[0051] 탈수화 또는 탈수소화를 받은 산화물 반도체층의 적어도 일부를 산소 과잉한 상태로 하여 고 저항의 i 타입 영역이 되게 함으로써 채널 형성 영역이 형성된다. 이렇게 탈수화 또는 탈수소화를 받은 산화물 반도체층의 적어도 일부를 산소 과잉한 상태로 하게 하기 위한 처리는 다음과 같다. 탈수화 또는 탈수소화를 행한 산화물 반도체층에 접촉하는 산화물 절연막을 스퍼터링 방법에 의해 형성하는 처리가 있다. 또는, 산화 절연막을 증착한 후에 가열 처리 또는 산소를 포함하는 분위기에서 가열 처리 또는 불활성 가스 분위기 하에서 가열 처리한 후에 산소 분위기 하에서 냉각 처리 또는 초 건조 공기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)로 냉각하는 처리 등이 있다.

[0052] 또한, 탈수화 또는 탈수소화를 받은 산화물 반도체층의 적어도 일부(게이트 전극층과 중첩하는 부분)를 채널 형성 영역으로 사용하기 위해서, 산화물 반도체층은 선택적으로 산소 과잉 상태로 되어 고 저항의 산화물 반도체층, 즉 i 타입의 산화물 반도체층이 될 수 있다. 채널 형성 영역은 다음과 같은 방식으로 형성될 수 있다. Ti 등의 금속 전극을 사용하여 형성된 소스 전극층이나 드레인 전극층이 탈수화 또는 탈수소화를 한 산화물 반도체층 상에 접촉되게 형성되고, 이 소스 전극층이나 드레인 전극층에 중첩하지 않는 노출 영역을 선택적으로 산소 과잉한 상태로 하여 채널 형성 영역이 형성된다. 노출 영역들이 선택적으로 산소 과잉 상태로 될 때, 소스 전극층에 중첩하는 제 1 고 저항 소스 영역과, 드레인 전극층에 중첩하는 제 2 고 저항 드레인 영역이 형성되고, 제 1 고 저항 소스 영역과 제 2 고 저항 드레인 영역 사이의 영역이 채널 형성 영역으로서 기능한다. 즉, 채널 형성 영역의 채널 길이는 소스 전극층과 드레인 전극층 간에서 자기 정렬 방식으로 이루어진다.

[0053] 이로써, 전기적 특성이 양호해서 신뢰성이 좋은 박막 트랜지스터를 갖는 발광 장치가 제조 및 제공될 수 있다.

[0054] 드레인 전극층과 중첩하는 산화물 반도체층 내에 고 저항 드레인 영역을 형성함으로써, 구동 회로를 형성할 시에 신뢰성이 개선될 수 있다. 구체적으로, 고 저항 드레인 영역을 형성함으로써, 드레인 전극층으로부터 고 저항 드레인 영역 및 채널 형성 영역에 걸쳐 전기 전도도를 단계적으로 변화시킬 수 있게 된다. 따라서, 드레인 전극층을 고 전원 전위 VDD를 공급하는 배선에 접속시켜 박막 트랜지스터를 동작시킬 경우, 게이트 전극층과 드레인 전극층 사이에 고 전계가 인가되어도 고 저항 드레인 영역이 버퍼가 되어 고 전계가 국소적으로 인가되지 않게 되므로, 박막 트랜지스터의 내압이 개선되게 된다.

[0055] 또한, 드레인 전극층 및 소스 전극층과 중첩하는 산화물 반도체층 내에 각기 고 저항 드레인 영역 및 고 저항 소스 영역을 형성함으로써, 구동 회로를 형성했을 때에 채널 형성 영역에서의 리크 전류의 저감을 도모할 수 있다. 구체적으로, 고 저항 드레인 영역을 형성함으로써, 드레인 전극층과 소스 전극층 간에 흐르는 트랜지스터의 리크 전류는 드레인 전극층, 드레인 전극층 측의 고 저항 드레인 영역, 채널 형성 영역, 소스 전극층 측의 고 저항 소스 영역, 소스 전극층의 순으로 흐르게 된다. 이때, 채널 형성 영역에서는, 드레인 전극층 측의 고 저항 드레인 영역에서 채널 형성 영역으로 흐르는 리크 전류는 트랜지스터가 오프될 때에 고 저항이 되는 게이트 절연층과 채널 형성 영역 간의 계면의 근방에 집중될 수 있다. 이로써, 백(back) 채널부(게이트 전극층으로부터 떨어져 있는, 채널 형성 영역의 표면의 일부)에서의 리크 전류는 저감될 수 있다.

[0056] 또한, 소스 전극층과 중첩하는 고 저항 소스 영역과 드레인 전극층과 중첩하는 고 저항 드레인 영역은 게이트 전극층의 폭에 의존할지라도, 그들 간에 게이트 전극층의 일부 및 게이트 절연층을 개재시키면서 서로 중첩하며 드레인 전극층의 단부 근방에서의 전계 강도가 보다 효과적으로 완화될 수 있다.

[0057] 또한, 산화물 반도체층과 소스 전극 간 및 산화물 반도체층과 드레인 전극 간에 산화물 도전층이 형성될 수 있다. 산화물 도전층은 산화 아연을 그 성분으로서 포함하는 것이 바람직하고 산화 인듐을 포함하지 않는 것이 바람직하다. 가령, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 산화 아연 갈륨 등을 사용할 수 있다. 산화물 도전층은 저 저항 드레인 영역(LRD(Low Resistance Drain) 영역)(LRN(Low Resistance N type) 영역이라고도 지칭됨)으로서도 기능한다. 구체적으로는, 저 저항 드레인 영역의 캐리어 농도는 고 저항 드레인 영역(HRD 영역)보다도 크고 가령 $1*10^{20}/cm^3$ 내지 $1*10^{21}/cm^3$인 것이 바람직하다. 이러한 산화물 도전층을 산화물 반도체층과 소스 전극 간 및 산화물 반도체층과 드레인 전극 간에 제공함으로써, 접촉 저항을 저감할 수 있고 트랜지스터의 고속 동작을 실현할 수 있다. 이로써, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.

[0058] 산화물 도전층과 소스 전극 및 드레인 전극을 형성하기 위한 금속층은 연속하여 형성될 수 있다.

[0059] 또한, 전술한 제 1 배선 및 제 2 배선은 LRN 또는 LRD로서 기능하는 산화물 도전층과 동일한 재료와 금속 재료를 적층함으로써 형성된 배선을 사용하여 형성될 수 있다. 이렇게 금속 재료와 산화물 도전층을 적층함으로써, 배선들의 중첩 부분 또는 개구들과 같은 단차(step)에서의 피복성이 개선될 수 있다. 이로써, 배선 저항이 낮아지게 된다. 또한, 마이그레이션(migration) 등에 의해 배선이 국소적으로 고 저항화가 되는 것이 방지되거나 또는 단선(disconnection)도 방지될 수 있다. 이로써, 높은 신뢰성을 갖는 발광 장치가 제공될 수 있다.

[0060] 또한, 전술한 제 1 배선과 제 2 배선 간의 접속에 대해서 말하자면, 산화물 도전층을 제 1 배선과 제 2 배선 사이에 샌드위치시키게 되면, 접속부(콘택트부)의 금속 표면 상에 절연성 산화물이 형성되는 것에 의해 접촉 저항(콘택트 저항)이 증대되는 바를 방지할 수 있다. 이로써, 신뢰성이 높은 발광 장치가 제공될 수 있다.

[0061] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트 라인 또는 소스 라인과 동일한 기판상에 화소부 박막 트랜지스터를 보호하기 위한 보호 회로를 제공하는 것이 바람직하다. 이 보호 회로는 산화물 반도체층을 포함한 비선형 소자를 사용하여 형성하는 것이 바람직하다.

[0062] 본 명세서에서 "제 1" 및 "제 2" 등의 서수적 표현은 편의상 사용한 것이며 단계의 순서 및 층의 적층 순서를 말하는 것이 아니다. 또한, 본 명세서에서 이러한 서수적 표현은 본 발명을 특정하게 한정하는 특정 명칭을 말하는 것도 아니다.

발명의 효과

[0063] 산화물 반도체층을 사용함으로써, 우수한 전기적 특성 및 높은 신뢰성을 갖는 박막 트랜지스터를 포함하는 발광 장치가 실현될 수 있다.

도면의 간단한 설명

[0064] 도 1은 발광 장치를 나타낸다.

도 2(A) 내지 도 2(C)는 발광 장치의 제조 방법을 나타낸다.

도 3(A) 내지 도 3(C)는 발광 장치의 제조 방법을 나타낸다.

도 4(A) 및 도 4(B)는 발광 장치의 제조 방법을 나타낸다.

도 5(A) 및 도 5(B)는 발광 장치의 제조 방법을 나타낸다.

도 6(A) 내지 도 6(D)는 발광 장치의 제조 방법을 나타낸다.

도 7(A) 및 도 7(B)는 발광 장치의 제조 방법을 나타낸다.

도 8(A) 내지 도 8(D)는 발광 장치의 제조 방법을 나타낸다.

도 9(A) 및 도 9(B)는 발광 장치의 제조 방법을 나타낸다.

도 10은 발광 장치를 나타낸다.

도 11(A1), 도 11(A2), 도 11(B1) 및 도 11(B2)는 발광 장치를 나타낸다.

도 12(A) 및 도 12(B)는 발광 장치의 블록도이다.

도 13(A) 및 도 13(B)는 신호 라인 구동 회로의 구성을 나타낸다.

도 14(A) 내지 도 14(D)는 시프트 레지스터의 구성의 회로도이다.

도 15(A)는 시프트 레지스터의 등가 회로도이며 도 15(B)는 이 시프트 레지스터의 동작을 나타내는 타이밍 차트이다.

도 16은 발광 장치를 나타낸다.

도 17(A) 내지 도 17(D)는 발광 장치의 제조 방법을 나타낸다.

도 18(A) 및 도 18(B)는 발광 장치의 제조 방법을 나타낸다.

도 19는 발광 장치의 화소 등가 회로를 나타낸다.

도 20(A) 내지 도 20(C)는 발광 장치를 나타낸다.

도 21(A) 및 도 21(B)는 발광 소자를 나타낸다.

도 22(A) 및 도 22(B)는 발광 장치를 나타낸다.

도 23(A) 내지 도 23(D)는 전자기기를 나타낸다.

도 24는 전자기기를 나타낸다.

도 25(A) 및 도 25(B)는 전자기기를 나타낸다.

도 26은 전자기기들을 나타낸다.

도 27은 발광 장치를 나타낸다.

도 28(A) 및 도 28(B)는 발광 장치의 제조 방법을 나타낸다.

도 29(A) 및 도 29(B)는 발광 장치의 제조 방법을 나타낸다.

도 30은 발광 장치의 제조 방법을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0065] 본 발명의 실시예들이 첨부 도면을 참조하여 설명될 것이다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위를 일탈하지 않으면서 그 모드 및 상세 사항에 대해서 다양한 변경이 가능함은 본 기술 분야의 당업자에게 명백할 것이다. 따라서, 본 발명은 이 실시예들에 대한 다음의 설명 부분으로만 한정되도록 해석되어서는 안 된다. 이하에서 설명되는 구성에 있어서, 동일한 부분들 또는 동일한 기능을 갖는 부분들은 상이한 도면들에서 동일한 참조 부호를 가지며, 그 설명은 반복되지 않을 것이다.

[0067] **실시예 1**

[0068] 박막 트랜지스터를 포함하는 발광 장치 및 이의 제조 방법이 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A) 및 도 4(B), 도 5(A) 및 도 5(B), 도 11(A1), 도 11(A2), 도 11(B1) 및 도 11(B2)를 참조하여 설명될 것이다.

[0069] 도 1은 본 발명의 일 모드인 발광 장치를 나타낸다. 도 1의 발광 장치는 가요성 기판(100) 상에, 발광 소자, 박막 트랜지스터(170) 및 커패시터(147)를 포함하는 화소부와, 박막 트랜지스터(180)를 포함하는 구동 회로부를 포함하고 있다. 또한, 게이트 배선의 단자부에는 제 1 단자(121), 접속 전극(120) 및 접속용 단자 전극(128)이 제공되며, 소스 배선의 단자부에는 제 2 단자(122) 및 접속용 단자 전극(129)이 제공되어 있다. 또한, 박막 트랜지스터(180) 및 박막 트랜지스터(170) 상에는 산화물 절연막(107) 및 보호 절연층(106)이 형성되어 있다.

[0070] 발광 소자는 제 1 전극층(110), EL 층(194) 및 제 2 전극층(195)의 적층에 의해 구성된다. 박막 트랜지스터(170)의 드레인 전극층과 제 1 전극층(110)이 서로 접촉하도록 형성됨으로써, 박막 트랜지스터(170)와 발광 소자가 서로 전기적으로 접속한다. 화소부에서, 보호 절연층(106) 상에 컬러 필터층(191)이 형성된다. 컬러 필터층(191)은 오버코트층(192)으로 피복되며, 보호 절연층(191)이 그 위에 더 형성되어 있다. 제 1 전극층(110)은 보호 절연층(109) 상에 형성된다. 또한, 발광 소자들 간을 분리시키는 격벽(193)이 박막 트랜지스터(170) 상에

형성되어 있다.

[0071] 구동 회로부의 박막 트랜지스터(180)에서, 게이트 전극층 및 반도체층 상에 도전층(111)이 제공되며, 드레인 전극층(165b)은 게이트 전극층과 동일한 단계에서 형성되는 도전층(162)과 전기적으로 접속되어 있다.

[0072] 가요성 기판(100)으로서, 가령, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN) 등과 같은 폴리에스테르 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸 메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에테르술폰(PES) 수지, 폴리아미드 수지, 사이클로올레핀 수지, 폴리스틴렌 수지, 폴리아미드 이미드 수지 또는 폴리비닐클로라이드 수지가 사용될 수 있다. 섬유체에 유기 수지가 함침된 구조체(소위, 프리프레그(prepreg))가 또한 가요성 기판으로서 사용될 수 있다.

[0073] 본 실시예에 따른 발광 장치는 가요성 기판(100) 측으로부터 발광되는 보텀 방사 타입(bottom emission type)이며, 따라서 광투과 특성을 갖는 기판이 가요성 기판(100)으로서 사용된다. 한편, 본 실시예에서 도시된 발광 장치가 가요성 기판(100)과 대향하는 표면을 통해서 발광되는 톱 방사 타입(top emission type)인 경우에는, 가요성을 갖기에 충분하게 얇지만 광투과 특성을 갖지 않은 금속 기판이 가요성 기판(100)으로서 사용될 수 있다. 금속 기판을 구성하는 재료는 특정 재료로 한정되지는 않지만 알루미늄, 구리, 니켈, 알루미늄 합금과 같은 금속 합금 또는 스테인레스 스틸 등을 사용하는 것이 바람직하다.

[0074] 이하에서는, 발광 장치의 제조 방법이 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A) 및 도 4(B), 도 5(A) 및 도 5(B), 도 11(A1), 도 11(A2), 도 11(B1) 및 도 11(B2)를 참조하여 상세하게 설명될 것이다. 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A) 및 도 4(B) 및 도 5(A) 및 도 5(B)는 모두 발광 장치의 단면도에 상당한다.

[0075] 절연 표면을 갖는 기판인 가요성 기판(100)의 전체 표면 상에 도전층을 형성하고, 이어서, 제 1 포토리소그래피 단계를 수행하여 레지스트 마스크를 형성한다. 도전층 중 사용되지 않은 부분을 에칭에 의해 제거해서 배선 및 전극(게이트 전극층(101), 게이트 전극층(161), 도전층(162), 커패시터 배선층(108) 및 제 1 단자(121))을 형성한다. 배선 및 전극의 단부가 도 2(A)에 도시된 바와 같이 테이퍼(taper) 형상을 갖도록 에칭을 행하는 것이 바람직한데, 그 이유는 그 위에 적층되는 막의 피복성이 개선되기 때문이다. 게이트 전극층(101) 및 게이트 전극층(161)은 모두 게이트 배선 내에 포함된다.

[0076] 절연 표면을 갖는 가요성 기판(100)으로서 사용될 수 있는 가요성 기판에 대한 특별한 제한은 없을지라도, 가요성 기판은 적어도 이후에 수행될 열처리를 견딜 수 있는 내열성을 가질 필요가 있다.

[0077] 베이스 막이 되는 절연막이 가요성 기판(100)과 게이트 전극층(101) 간, 가요성 기판(100)과 게이트 전극층(161) 간, 가요성 기판(100)과 도전층 (162) 간, 가요성 기판(100)과 커패시터 배선층(108) 간 및 가요성 기판(100)과 제 1 단자(121) 간에 제공될 수 있다. 이 베이스 막은 가요성 기판(100)으로부터 불순물 원소가 확산되는 것을 방지하는 기능이 가지며, 질화 규소막, 산화 규소막, 질화산화 규소막 또는 산질화(oxynitride) 규소막 중 하나를 사용하여 단일층으로 형성되거나 복수의 막을 사용하여 적층으로 형성될 수 있다.

[0078] 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 커패시터 배선층 (108) 및 제 1 단자(121)는 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오듐, 스칸듐 등의 금속 재료 또는 이들 중 임의의 것들을 주성분으로서 함유하고 있는 합금 재료를 이용하여 단층으로 또는 적층으로 해서 형성될 수 있다.

[0079] 가령, 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 커패시터 배선층(108) 및 제 1 단자(121)를 2 개의 층의 적층 구조로서 할 때에는 다음과 같은 바가 바람직하다. 알루미늄층 상에 몰리브덴층이 적층된 2 층의 적층 구조, 구리층 상에 몰리브덴층이 적층된 2 층의 적층 구조, 구리층 상에 질화 티타늄층 또는 질화 탄탈륨층이 적층된 2 층의 적층 구조, 질화 티타늄층 상에 몰리브덴층이 적층된 2 층의 적층 구조 등이 바람직하다. 적층 구조로서, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 규소의 합금 또는 알루미늄과 티타늄의 합금과, 질화 티타늄 층 또는 티타늄층 간의 적층 구조가 바람직하다.

[0080] 이어서, 게이트 전극층(101), 게이트 전극층(161), 도전층(162), 커패시터 배선층(108) 및 제 1 단자(121) 상에 게이트 절연층(102)이 형성된다(도 2(A) 참조).

[0081] 게이트 절연층(102)은 플라스마 CVD 법 또는 스퍼터링법 등을 사용하여 산화 규소층, 질화 규소층, 산질화(oxynitride) 규소층, 질화산화 규소층 또는 산화 알루미늄층을 단층으로 또는 적층으로 해서 형성될 수 있다. 가령, 산질화 규소층은 플라스마 CVD 법에 의해 막 형성 가스로서 SiH_4, 산소 및 질소를 사용함으로써 형성될 수 있다. 게이트 절연층(102)의 막 두께는 100nm 내지 500nm로 설정될 수 있다. 적층 구조의 경우에, 가령, 막

두께 50nm 내지 200nm의 제 1 게이트 절연층 및 막 두께 5nm 내지 300nm의 제 2 게이트 절연층이 이 순서대로 적층될 수 있다.

[0082] 본 실시예에서는, 게이트 절연층(102)으로서 플라스마 CVD 법에 의해 막 두께 200nm 이하의 산화 규소층이 형성된다.

[0083] 그 다음에, 게이트 절연층(102) 상에, 막 두께 2nm 내지 200nm의 산화물 반도체막(130)이 형성된다(도 2(B) 참조).

[0084] 산화물 반도체막이 스퍼터링법에 의해 형성되기 이전에 아르곤 가스를 도입해서 플라스마를 발생시키는 역스퍼터링을 행함으로써 게이트 절연층(102)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 이 역스퍼터링은 타겟 측에는 전압을 인가하지 않고 아르곤 분위기 하에서 기판 측으로 RF 전원을 사용해서 전압을 인가하여 기판 근방에 플라스마를 형성해서 표면을 개질하는 방법이다. 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기 등이 사용될 수 있다. 이와 달리, 아르곤 분위기에 산소, N_2O 등을 첨가한 분위기를 사용할 수도 있다. 이와 달리, 아르곤 분위기에 Cl_2, CF_4 등을 첨가한 분위기를 사용할 수도 있다.

[0085] 산화물 반도체막(130)은, In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막 또는 Zn-O계 산화물 반도체막 중 임의의 막을 사용하여 형성될 수 있다. 본 실시예에서는, In-Ga-Zn-O계 산화물 반도체 타겟을 이용해서 스퍼터링법에 의해 산화물 반도체막(130)이 형성된다. 이와 달리, 산화물 반도체막(130)은 희가스(통상적으로는, 아르곤) 분위기 하에서 또는 산소 분위기 하에서 또는 희가스(통상적으로는, 아르곤) 및 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 이용할 경우에, SiO_2을 2 중량% 내지 10 중량%만큼 포함하는 타겟을 이용해서 막을 형성하는 것이 바람직하다. 즉, 산화물 반도체막(130) 내에 결정화를 억제하는 $SiO_x(x > 0)$을 포함시켜서 후속 단계에서 행해지는 탈수화 또는 탈수소화를 위한 가열 처리 시간에 산화물 반도체막이 결정화되는 것을 방지하는 것이 바람직하다.

[0086] 여기에서는, In, Ga 및 Zn을 포함하는 산화물 반도체 타겟(In_2O_3:Ga_2O_3:ZnO = 1:1:1 [몰 %], In:Ga:Zn = 1:1:0.5 [원자 %])을 사용하고, 기판과 타겟 간의 거리를 100mm으로 하고, 압력을 0.2Pa로 하고, 직류(DC) 전원은 0.5kW이며, 아르곤 및 산소(아르곤:산소 = 30sccm:20sccm이며, 산소 유량 비율은 40%)를 포함하는 분위기로 하여 막이 형성된다. 펄스는 직류(DC) 전원이 바람직한데, 그 이유는 먼지가 감소되고 막 두께 분포도 균일하게 되기 때문이다. In-Ga-Zn-O계 비단결정막은 막 두께 5nm 내지 200nm로 해서 형성된다. 본 실시예에서, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타겟을 이용해서 스퍼터링법에 의해 막 두께 30nm의 In-Ga-Zn-O계 비단결정막이 형성된다. 또한, In, Ga 및 Zn을 포함하는 산화물 반도체 타겟으로서, In:Ga:Zn = 1:1:1 [원자 %] 또는 In:Ga:Zn = 1:1:2 [원자 %]의 조성비를 갖는 타겟이 이용될 수도 있다.

[0087] 스퍼터링법의 실례들은 스퍼터링용 전원으로서 고주파 전원을 사용하는 RF 스퍼터링법과, 직류 전원을 사용하는 DC 스퍼터링법과, 펄스 방식으로 바이어스가 인가되는 펄스형 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연막을 형성하는 경우에 주로 사용되며, DC 스퍼터링법은 금속막을 형성하는 경우에 주로 사용된다.

[0088] 또한, 상이한 재료로 된 복수의 타겟들이 설정될 수 있는 다중 소스 스퍼터링 장치도 있다. 이 다중 소스 스퍼터링 장치에서는, 상이한 재료로 된 막들이 동일한 챔버 내에서 적층되게 형성되며, 다수의 종류의 재료로 된 막이 동일한 챔버 내에서 동시적으로 전기 방전을 수행함으로써 형성될 수 있다.

[0089] 또한, 챔버 내부에 자석 시스템을 구비하여 마그네톤 스퍼터링을 위해서 사용되는 스퍼터링 장치가 있으며, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 플라스마가 생성되며 ECR 스퍼터링을 위해서 사용되는 스퍼터링 장치도 있다.

[0090] 또한, 스퍼터링법을 사용하여 막을 형성하는 방법으로서, 막을 형성하는 동안에 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜서 화합물 박막을 형성하는 리액티브 스퍼터링법 및 막 형성 동안에 전압이 기판에 인가되는 바이어스 스퍼터링법이 있다.

[0091] 이어서, 제 2 포토리소그래피 단계가 수행된다. 레지스트 마스크(137)를 산화물 반도체막(130) 상에 형성하고, 에칭에 의해 산화물 반도체막(130) 및 게이트 절연층(102)의 불필요한 부분을 제거하여, 게이트 절연층(102) 내에 제 1 단자 (121)에 도달하는 콘택트 홀(119) 및 도전층(162)에 도달하는 콘택트 홀(123)을 형성한다(도 2(C)

참조).

[0092] 이로써, 산화물 반도체막(130)을 게이트 절연층(102) 전면에 적층한 상태에서 게이트 절연층(102) 내에 콘택트 홀을 형성할 때에, 게이트 절연층(102) 표면에는 레지스트 마스크가 직접 접촉되지 않게 된다. 따라서, 게이트 절연층(102)의 표면이 오염되는 것이 방지될 수 있다(가령, 불순물과 같은 것이 게이트 절연층(102)에 부착되는 것이 방지된다). 따라서, 게이트 절연층(102)과 산화물 반도체막(130) 간의 계면 상태가 양호하게 되어서 신뢰성이 향상되게 된다.

[0093] 이와 달리, 게이트 절연층 상에 레지스트 패턴을 직접 형성하여 콘택트 홀을 형성할 수 있다. 이 경우에는, 레지스트를 제거한 후에 가열 처리를 행하여 게이트 절연막 표면을 탈수화 또는 탈수소화시키는 것이 바람직하다. 가령, 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤 등) 하에서 또는 산소 분위기 하에서 가열 처리(400℃ 내지 750℃)를 수행함으로써 게이트 절연층 내에 포함되는 수소 및 물 등의 불순물이 제거될 수 있다.

[0094] 이어서, 레지스트 마스크(137)를 제거한다. 산화물 반도체막(130)을 제 3 포토리소그래피 단계에서 형성한 레지스트 마스크(135a,135b)를 사용해서 에칭하여 섬 형상의(island-shaped) 산화물 반도체층(131, 132)을 형성한다(도 3(A) 참조). 이와 달리, 섬 형상의 산화물 반도체층을 형성하기 위해서 사용되는 레지스트 마스크(135a, 135b)는 잉크젯(ink-jet)법에 의해 형성될 수도 있다. 이렇게 레지스트 마스크를 잉크젯법에 의해 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용이 절감될 수 있다.

[0095] 이어서, 산화물 반도체층(131, 132)이 탈수화 또는 탈수소화를 받아서 탈수화 또는 탈수소화된 산화물 반도체층(133, 134)이 형성된다(도 3(B) 참조). 이 탈수화 또는 탈수소화를 수행하기 위한 제 1 가열 처리 온도는 400℃ 내지 750℃이며 바람직하게는 425℃ 이상이다. 제 1 가열 처리 온도가 425℃ 이상이면, 가열 처리 시간은 1 시간 이하일 수 있으며, 제 1 가열 처리 온도가 425℃ 미만이면, 가열 처리 시간은 1 시간보다 길게 설정된다. 여기에서는, 가열 처리 장치의 하나인 전기로 내에 기판을 도입하고, 산화물 반도체층을 질소 분위기 하에서 가열 처리한다. 산화물 반도체층은 이 산화물 반도체층 내로 물 또는 수소가 다시 혼입되는 것을 막기 위해서 공기와 접촉되지 않는다. 이로써, 산화물 반도체층(133, 134)이 형성된다. 본 실시예에서는, 산화물 반도체층의 탈수화 또는 탈수소화를 수행하기 위한 가열 온도 T에서 다시 물이 혼입되는 것을 방지하기에 충분한 온도까지 서냉(slow cooling)이 수행된다. 구체적으로, 가열 온도 T보다 100℃ 이상만큼 내려간 온도까지 동일한 화로에서 질소 분위기 하에서 서냉된다. 질소 분위기로 한정하지 않고, 헬륨, 네온, 아르곤 등의 희가스 분위기 하에서 탈수화 또는 탈수소화가 수행될 수 있다.

[0096] 산화물 반도체층이 400℃ 내지 700℃의 온도로 가열 처리를 받으면, 산화물 반도체층의 탈수화 또는 탈수소화가 달성될 수 있다. 이로써, 후속 단계들 중에서 물(H_2O)이 산화물 반도체층 내로 다시 혼입되는 것이 방지되게 된다.

[0097] 가열 처리 장치는 전기로로 한정되지 않으며, 가령, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 소듐 램프 또는 고압 수은 램프와 같은 램프로부터 방출되는 광(전자기파)의 복사에 의해 처리될 대상을 가열하는 장치이다. 또한, LRTA 장치에는 램프만 제공될 뿐만 아니라 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 처리될 대상을 가열하는 장치도 제공된다. GRTA는 고온 가스를 사용하여 가열 처리하는 방법이다. 가스로서, 가령, 아르곤 등의 희가스 또는 질소와 같은, 가열 처리를 받을 대상과 반응하지 않는 불활성 가스가 사용된다. 가열 처리는 RTA 법을 사용하여 600℃ 내지 750℃에서 몇 분간 수행될 수 있다.

[0098] 제 1 가열 처리에서, 질소 또는 헬륨, 네온, 아르곤 등의 희가스 내에 물, 수소 등이 포함되지 않는 것이 바람직하다. 특히, 산화물 반도체층에 대하여 400℃ 내지 750℃로 행하여지는 탈수화 또는 탈수소화 가열 처리는 H_2O의 농도가 20ppm이하가 되는 질소 분위기 하에서 행하는 것이 바람직하다. 이와 달리, 가열 처리 장치 내로 도입되는 질소 또는 헬륨, 네온, 아르곤 등의 희가스의 순도가 6N (99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상으로 되는 것이 바람직하다. 즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다.

[0099] 몇몇 경우에, 산화물 반도체층들은 제 1 가열 처리의 조건 또는 산화물 반도체층 재료에 따라서 미세 결정 막 또는 다 결정 막으로 결정화될 수 있다. 가령, 산화물 반도체막은 결정화 정도가 90% 이상 또는 80% 이상인 미세 결정 산화물 반도체막이 될 수도 있다. 또한, 제 1 가열 처리의 조건 또는 산화물 반도체막 재료에 따라서, 산화물 반도체막은 결정 성분(crystalline component)을 포함하지 않는 비정질의 산화물 반도체막이 될 수 있다. 또한, 몇몇 경우에, 산화물 반도체막은 미세 결정부(입경 1nm 내지 20nm(통상적으로는, 2nm 내지 4n

m)임)가 혼재하는 비정질 산화물 막이 될 수 있다. 또한, RTA(GRTA,LRTA)을 사용하여 고온 가열 처리를 수행하면, 산화물 반도체막의 표면 측 상에 세로 방향(막 두께방향)으로 바늘 형상의 결정이 생길 경우도 있다.

[0100] 또한, 산화물 반도체층에 대한 제 1 가열 처리는 섬 형상의 산화물 반도체층(131, 132)으로 가공되기 이전의 산화물 반도체막(130)에 대해서 수행될 수 있다. 이 경우에, 제 1 가열 처리 후에, 가열 장치로부터 기판을 꺼내어서, 포토리소그래피 단계를 행한다.

[0101] 산화물 반도체층에 대한 탈수화 또는 탈수소화 가열 처리는 다음의 같은 타이밍 중 임의의 타이밍에 수행될 수 있다. 이 타이밍은 산화물 반도체층들이 형성된 후의 시간, 소스 전극 및 드레인 전극이 산화물 반도체층 상에 형성된 이후의 시간 또는 패시베이션 막이 소스 전극과 및 드레인 전극 상에 형성된 이후의 시간이다.

[0102] 또한, 도 2(C)에서 볼 수 있는 바와 같이 게이트 절연층(102) 내에 콘택트 홀(123,119)을 형성하는 단계는 산화물 반도체막(130)이 탈수화 또는 탈수소화 처리를 받은 이후에 수행될 수 있다.

[0103] 이러한 산화물 반도체막의 에칭은 습식 에칭에만 한정되지 않고 역시 건식 에칭도 수행될 수 있다.

[0104] 건식 에칭에서 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 가령 염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 사염화탄소(CCl_4) 등)가 사용되는 것이 바람직하다.

[0105] 이와 달리, 불소를 포함하는 가스(카본 테트라플루오라이드(CF_4), 설퍼 플루오라이드(sulfur fluoride, SF_6), 나이트로젠 플루오라이드(nitrogen fuloride, NF_3) 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스), 하이드로젠 브로마이드(HBr), 산소(O_2) 또는 이러한 가스에 헬륨 또는 아르곤과 같은 희가스가 첨가된 가스 등이 사용될 수도 있다.

[0106] 건식 에칭법으로서는, 평행 평판형 RIE(reactive ion etching:반응성 이온 에칭) 법 또는 ICP(inductively coupled plasma:유도 결합형 플라스마) 에칭법을 이용할 수 있다. 소망하는 형상으로 막들을 에칭하기 위해서, 에칭 조건(코일 형상의 전극에 인가되는 전력량, 기판 측 상의 전극에 인가되는 전력량, 기판 측 상의 전극의 온도 등)이 적당히 조절된다.

[0107] 습식 에칭에서 사용되는 에칭액으로서는 인산과 초산과 질산 등을 혼합한 용액 등이 사용될 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC에서 제조됨)이 사용될 수도 있다.

[0108] 습식 에칭에 사용되는 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다.그 제거된 재료 및 에칭액을 포함하는 폐액(waste liquid)을 정제하여 폐액에 함유된 재료를 다시 이용할 수도 있다. 산화물 반도체층에 포함되는 인듐 등의 재료를 에칭 이후에 그 폐액으로부터 회수하여 재사용함으로써 자원이 효율적으로 사용되고 이로써 비용이 절감된다.

[0109] 소망하는 형상으로 재료를 에칭하기 위해서, 에칭 조건(에칭액, 에칭시간, 에칭 온도 등)이 적당하게 조절될 수 있다.

[0110] 이어서, 산화물 반도체층(133, 134) 상에 스퍼터링법 또는 진공 증착법에 의해 금속 재료를 사용하여 금속 도전막이 형성된다.

[0111] 금속 도전막 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소 또는 상술한 원소를 포함하는 합금, 상술한 원소들 중 몇몇이 조합된 합금 등이 있다. 또한, 금속 도전막은 단층 구조 또는 2 층 이상의 적층 구조로 구성될 수 있다. 가령, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄 막 상에 티타늄 막이 적층된 2 층 구조, Ti 막, 알루미늄 막 및 Ti 막이 이 순서대로 적층된 3 층 구조가 될 수 있다. 이와 달리, 알루미늄(Al)에, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오듐(Nd) 및 스칸듐(Sc)으로부터 선택된 원소를 단수로 해서 또는 복수로 해서 조합시킨 막, 합금막 또는 질화막이 사용될 수 있다.

[0112] 금속 도전막 형성 이후에 가열 처리가 수행될 경우에, 금속 도전막은 이 가열 처리를 견딜 수 있는 내열성을 갖는 것이 바람직하다.

[0113] 이어서, 제 4 포토리소그래피 단계가 수행된다. 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)가 형성되고, 금속 도전막 중 불필요한 부분이 에칭에 의해 제거되며, 이로써 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a), 드레인 전극층(165b), 커패시터 전극층(149), 접속 전극(120) 및 제 2 단자(122)가 형성된다(도 3(C) 참조).

[0114] 금속 도전막을 에칭할 시에 산화물 반도체층(133, 134)은 제거되지 않도록 각각의 재료 및 에칭 조건이 적당하게 조절된다.

[0115] 본 실시예에서는, 금속 도전막으로서 Ti 막이 사용되고, 산화물 반도체층 (133, 134)로서는 In-Ga-Zn-O계 산화물이 사용되고, 에칭 용액(etchant)으로서는 암모니아 하이드로젠 퍼옥사이드 용액(ammonia hydrogen peroxide solution)(암모니아, 물 및 과산화수소 용액의 혼합물)이 사용된다.

[0116] 이 제 4 포토리소그래피 단계에서, 소스 전극층(105a, 165a) 및 드레인 전극층(105b, 165b)과 동일한 재료를 사용하여 형성된 접속 전극(120) 및 제 2 단자 (122)가 각각의 단자부에 형성된다. 제 2 단자(122)는 소스 배선(소스 전극층(105a, 165a)을 포함하는 소스 배선)에 전기적으로 접속되어 있다. 접속 전극(120)은 콘택트 홀(119)의 제 1 단자(121)와 접촉하고 제 1 단자(121)와 전기적으로 접속된다.

[0117] 소스 전극층 및 드레인 전극층을 형성하는데 사용된 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)는 잉크젯법에 의해 형성될 수 있다. 이렇게 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크가 사용되지 않기 때문에 제조 비용이 저감될 수 있다.

[0118] 이어서, 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)를 제거하고, 산화물 반도체층(133, 134)과 접촉하는 보호 절연막으로서 기능하는 산화물 절연막(107)을 형성한다.

[0119] 이 스테이지(stage)에서, 산화물 반도체층(133, 134)에는, 산화물 절연막과 접촉하는 영역들이 형성된다. 이 영역들 중, 게이트 전극층이 산화물 절연막(107)과 중첩하되 그들 간에 게이트 절연층이 개재된 영역들이 채널 형성 영역들이 된다.

[0120] 이 산화물 절연막(107)은 적어도 1nm 이상의 막 두께를 갖도록 스퍼터링법 등과 같이 산화물 절연막(107) 내로 물, 수소 등의 불순물을 혼입시키지 않는 적절한 방법을 사용하여 형성될 수 있다. 본 실시예에서는, 산화물 절연막(107)으로서, 막 두께 300nm의 산화 규소막을 스퍼터링법에 의해 형성한다. 막 형성 시의 기판 온도는 실온 내지 300℃이다. 본 실시예에서, 기판 온도는 실온이다. 산화 규소막은 희가스(통상적으로는, 아르곤) 분위기 하에서, 산소 분위기 하에서 또는 희가스(통상적으로는, 아르곤) 및 산소를 포함하는 분위기 하에서 스퍼터링법에 의해 형성될 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 가령, 규소 타겟을 이용하고 산소 및 질소를 포함하는 분위기 하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다. 감소된 저항을 갖는 산화물 반도체층에 접촉되게 형성된 산화물 절연막으로서, 수분, 수소 이온 또는 OH^- 등의 불순물을 포함하지 않고 이러한 불순물들이 외부에서 침입하는 것을 차단하는 무기 절연막이 사용된다. 통상적으로, 산화 규소막, 질화산화 규소막, 산화 알루미늄막 또는 산질화 알루미늄막이 사용된다.

[0121] 이어서, 불활성 가스 분위기 하에서 또는 질소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 내지 400℃, 가령, 250℃ 내지 350℃)가 수행된다. 가령, 질소 분위기 하에서 250℃의 온도에서 1 시간 동안 제 2 가열 처리를 행한다.제 2 가열 처리를 행하면, 산화물 절연막(107)과 중첩하는 산화물 반도체층(133, 134)의 일부가 산화물 절연막(107)과 접촉한 상태로 가열된다.

[0122] 이상의 단계들을 통해서, 막 형성 이후에, 그 저항이 저감되도록 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 위한 가열 처리가 수행되고, 이어서, 산화물 반도체층의 일부가 선택적으로 산소 과잉 상태로 된다.

[0123] 이로써, 산화물 반도체층(133)에서는, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i 타입의 채널 형성 영역이 되고, 소스 전극층(165a)과 중첩하는 고 저항 소스 영역(167a) 및 드레인 전극층(165b)에 중첩하는 고 저항 드레인 영역(167b)이 자기 정렬 방식으로 형성되며, 이로써 산화물 반도체층(163)이 형성된다. 이와 마찬가지로, 산화물 반도체층(134)에서는, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i 타입의 채널 형성 영역이 되고, 소스 전극층 (105a)과 중첩하는 고 저항 소스 영역(117a) 및 드레인 전극층(105b)과 중첩하는 고 저항 드레인 영역(117b)이 자기 정렬 방식으로 형성되며, 이로써 산화물 반도체층(103)이 형성된다.

[0124] 드레인 전극층(105b, 165b)(및 소스 전극층(105a, 165a))과 중첩하는 산화물 반도체층(103, 163)의 고 저항 드레인 영역(117b, 167b)(또는 고 저항 소스 영역 (117a, 167a))을 형성함으로써, 회로를 형성했을 때의 신뢰성이 개선될 수 있다. 구체적으로는, 고 저항 드레인 영역(117b, 167b)을 형성함으로써, 드레인 전극층 (105b, 165b)으로부터 고 저항 드레인 영역(117b, 167b) 및 채널 형성 영역(116, 166)에 걸쳐서 전기 전도도가 단계적으로(stepwise) 변할 수 있다. 이로써, 드레인 전극층(105b, 165b)에 고 전원 전위(VDD)를 공급하는 배선에 접속된 상태에서 트랜지스터가 동작할 경우에, 게이트 전극층(101, 161)과 드레인 전극층(105b, 165b) 사이에 고 전계가 인가될지라도 고 저항 드레인 영역이 버퍼가 되어 고 전계가 국소적으로 인가되지 않아서, 트랜지스터의 내

압(withstand voltage)이 개선될 수 있다.

[0125] 또한, 각기 드레인 전극층(105b, 165b)(및 소스 전극층(105a, 165a))과 중첩하는 산화물 반도체층의 고 저항 드레인 영역(117b, 167b)(또는 고 저항 소스 영역 (117a, 167a))을 형성함으로써, 회로를 형성했을 때에 채널 형성 영역(116, 166)에서 흐를 수 있는 리크 전류가 저감될 수 있다.

[0126] 본 실시예에서, 스퍼터링법에 의해, 산화물 절연막(107)으로서 산화 규소막을 형성한 후에, 250℃ 내지 350℃의 온도에서 가열 처리를 수행하여, 산소가 소스 영역과 드레인 영역 사이의 산화물 반도체층의 노출된 부분(채널 형성 영역)으로부터 산화물 반도체층들 각각으로 들어가서 그 내부에서 확산된다. 스퍼터링법에서 산화 규소막을 형성함으로써, 이 산화 규소막 내에 과잉 산소가 포함될 수 있으며, 이후 가열 처리를 통해서 산소가 산화물 반도체층에 진입하여 그 내부로 확산될 수 있다. 산소는 산화물 반도체층으로 들어가서 그 내부에서 확산되며 이로써 채널 영역은 보다 높은 저항을 가지게 되고, 즉 i 타입의 도전성을 가지게 된다. 이로써, 노멀리-오프(normally-off) 박막 트랜지스터가 획득되게 된다.

[0127] 또한, 산화물 반도체층에서의 고 저항 소스 영역 또는 고 저항 드레인 영역은 산화물 반도체층의 막 두께가 15nm 이하로 되는 경우에는 막 두께 방향 전체에 걸쳐서 형성된다. 산화물 반도체층의 막 두께가 30nm 내지 50nm인 경우에는, 산화물 반도체층의 일부, 즉, 소스 전극층 또는 드레인 전극층과 접촉하는 산화물 반도체층의 영역 및 그 근방에서 저항이 감소된다. 이어서, 고 저항 소스 영역 또는 고 저항 드레인 영역이 형성되고 산화물 반도체층에서 게이트 절연막에 근접한 영역은 i 타입 영역으로 될 수 있다.

[0128] 또한, 열처리는 대기 중에서 1 시간 내지 30 시간 동안 100℃ 내지 200℃에서 수행될 수 있다. 본 실시예에서는, 150℃로 10 시간 가열 처리를 행한다. 이 가열 처리는 고정된 가열 온도에서 수행될 수 있다. 이와 달리, 가열 온도에 있어서 다음과 같은 변경이 반복해서 다수 회로 이루어질 수 있다. 즉, 가열 온도는 실온에서 100℃ 내지 200℃로 증가하고 다시 실온으로 감소한다. 또한, 이러한 가열 처리는 감소된 압력 하에서 산화 절연막의 형성 이전에 수행될 수 있다. 감압 하에서는 가열 처리 시간이 단축될 수 있다. 이러한 가열 처리에 의해, 수소가 산화물 반도체층들로부터 산화 절연층으로 도입되며 이로써 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 이로써, 반도체 장치의 신뢰성이 향상된다.

[0129] 보호 절연층이 산화물 절연막(107) 상에 추가적으로 형성될 수 있다. 가령, 질화규소막이 RF 스퍼터링법을 사용하여 형성된다. 이러한 RF 스퍼터링법은 양산성이 우수하기 때문에, 보호 절연층의 막 형성 방법으로서 사용되는 것이 바람직하다. 보호 절연층으로서, 수분 또는 수소 이온 또는 OH^- 등의 불순물을 포함하지 않고 이러한 불순물들이 외부에서 침입하는 것을 차단할 수 있는 무기 절연막이 사용된다. 구체적으로, 질화 규소막, 질화 알루미늄막, 질화산화 규소막, 산질화 알루미늄 막 등이 사용된다. 본 실시예에서는, 보호 절연층(106)으로서 질화 규소막이 사용된다(도 4(A) 참조).

[0130] 이상의 단계들에 의해, 동일한 기판 상에, 구동 회로부의 박막 트랜지스터(180), 화소부의 박막 트랜지스터(170) 및 커패시터(147)가 제조될 수 있다. 박막 트랜지스터(170, 180)는 고 저항 소스 영역, 고 저항 드레인 영역 및 채널 형성 영역이 형성되어 있는 산화물 반도체층을 포함하는 보텀 게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터(170, 180)에 고 전계가 인가될지라도 고 저항 드레인 영역 또는 고 저항 소스 영역이 버퍼 역할을 하므로 고 전계가 국소적으로 인가되지 않아서, 트랜지스터의 내압이 향상될 수 있다.

[0131] 커패시터(147)는 게이트 절연층(102), 커패시터 배선층(108) 및 커패시터 전극층(149)을 사용하여 형성되며, 이 게이트 절연층(102)은 커패시터부에서 유전체로서 사용된다.

[0132] 동일한 기판 상에 구동 회로 및 화소부를 형성함으로써, 구동 회로와 외부 신호 간의 접속 배선이 단축될 수 있으며, 이로써 발광 장치의 소형화 및 저 비용화가 가능하게 된다.

[0133] 이어서, 보호 절연층(106) 상에 컬러 필터층(191)이 형성된다. 컬러 필터층으로서, 녹색의 컬러 필터층, 청색의 컬러 필터층, 적색의 컬러 필터층 등이 이용될 수 있고, 녹색의 컬러 필터층, 청색의 컬러 필터층 및 적색의 컬러 필터층이 순차적으로 형성된다. 각 컬러 필터층은 인쇄법, 잉크젯법, 포토리소그래피 기술을 사용하는 에칭 방법 등에 의해 형성된다. 컬러 필터층을 제공함으로써, 발광 소자들의 발광 영역과 컬러 필터층의 정렬이 밀봉 기판의 부착 정확성에 의존하지 않고서 이루어질 수 있다. 본 실시예에서, 제 5 포토리소그래피 단계, 제 6 포토리소그래피 단계 및 제 7 포토리소그래피 단계를 행함으로써, 녹색의 컬러 필터층, 청색의 컬러 필터층 및 적색의 컬러 필터층이 각기 형성된다.

[0134] 이어서, 컬러 필터층(녹색의 컬러 필터층, 청색의 컬러 필터층 및 적색의 컬러 필터층)을 피복하는 오버코트층

(192)이 형성된다. 오버코트층(192)은 광투과 수지를 사용하여 형성된다. 본 실시예에서는, 제 8 포토리소그래피 단계를 수행하여 오버코트층(192)을 형성한다.

[0135] 여기에서는, RGB의 3 색을 사용하여 풀 컬러가 표시되는 실례가 도시되었지만, RGBW의 4색을 사용하여 풀 컬러가 표시될 수도 있다.

[0136] 이어서, 오버코트층(192) 및 보호 절연층(106)을 피복하는 보호 절연층(109)이 형성된다(도 4(B) 참조). 이 보호 절연층(109)으로서, 질화 규소막, 질화 알루미늄막, 질화 산화 규소막, 산질화 알루미늄막 등과 같은 무기 절연막이 사용된다. 보호 절연층(109)으로서는 보호 절연층(106)과 동일한 조성을 갖는 절연막을 사용하면 바람직한데, 그 이유는 나중에 콘택트 홀을 형성할 시에 이들이 1 회의 단계에 의해 에칭될 수 있기 때문이다.

[0137] 이어서, 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크가 형성되고, 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109)을 에칭함으로써 드레인 전극층(105b)에 도달하는 콘택트 홀(125)이 형성된다. 이어서, 레지스트 마스크를 제거한다(도 5(A) 참조). 또한, 이러한 에칭에 의해, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)도 형성된다. 이와 달리, 이러한 콘택트 홀을 형성하기 위한 레지스트 마스크가 잉크젯법에 의해 형성될 수도 있다. 이렇게 레지스트 마스크를 잉크젯법에서 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 줄일 수 있다.

[0138] 이어서, 광투과 도전막이 형성된다. 광투과 도전막은 산화 인듐(In_2O_3) 또는 산화 인듐과 산화 주석의 합금(In_2O_3-SnO_2:ITO)과 같은 재료를 사용하여 스퍼터링법 또는 진공 증착법에 의해 형성된다. 이와 달리, 이 광투과 도전막의 재료로서, 질소를 포함시킨 Al-Zn-O계 비단결정막(즉, Al-Zn-O-N계 비단결정막), 질소를 포함시킨 Zn-O계 비단결정막 또는 질소를 포함시킨 Sn-Zn-O계 비단결정막이 사용될 수 있다. Al-Zn-O-N계 비단결정막에서의 아연의 조성비(원자 %)는 47 원자 % 이하이며 이 비단결정막에서의 알루미늄의 조성비(원자 %)보다 크다. 이 비단결정막에서의 알루미늄의 조성비(원자 %)는 이 비단결정막에서의 질소의 조성비(원자 %)보다 크다. 이러한 재료의 에칭 처리는 염산계 용액에 의해 행해진다. 그러나, 특히 ITO를 에칭할 시에는 잔류물이 기판상에 남기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐과 산화 아연의 합금(In_2O_3-ZnO_2)이 사용될 수 있다.

[0139] 광투과 도전막에서의 조성비의 단위는 원자 %이며 이 조성비는 전자 프로브 X-레이 마이크로아날라이저(EPMA)를 사용하는 분석에 의해 평가된다.

[0140] 이어서, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하고 에칭에 의해 상기 광투과 도전막 중 불필요한 부분이 제거된다. 이로써, 제 1 전극층(110), 도전층(111) 및 단자 전극(128, 129)이 형성되고, 이후에 레지스트 마스크를 제거한다.

[0141] 유전체인 게이트 절연층(102), 커패시터 배선층(108) 및 커패시터 전극층 (149)을 포함하는 커패시터(147)가 구동 회로부 및 화소부와 동일한 기판 상에 형성될 수 있다. 발광 장치에 있어서, 커패시터 전극층(149)은 전원 공급선의 일부이며 커패시터 배선층(108)은 구동 TFT의 게이트 전극층의 일부이다.

[0142] 단자부에 형성된 단자 전극(128, 129)은 FPC와 접속된 전극 또는 배선으로서 기능한다. 제 1 단자(121) 상에 접속 전극(120)을 개재시켜서 형성된 단자 전극(128)은 게이트 배선의 입력 단자로서 기능하는 접속용 단자 전극이 된다. 제 2 단자(122) 상에 형성된 단자 전극(129)은 소스 배선의 입력 단자로서 기능하는 접속용 단자 전극이 된다.

[0143] 또한, 도 11(A1) 및 도 11(A2)는 각기 이 스테이지에서의 게이트 배선 단자부의 단면도 및 평면도이다. 도 11(A1)은 도 11(A2)에서 라인 C1-C2를 따라서 취해진 단면을 나타내고 있다. 도 11(A1)에서, 산화물 절연막(107) 상에 형성된 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 11(A1)의 단자부에서, 게이트 배선과 동일한 재료로 형성되는 제 1 단자(151) 및 소스 배선과 동일한 재료로 형성되는 접속 전극(153)이 게이트 절연층(102)을 그들 간에 개재시키면서 서로 중첩하며 서로 전기적으로 접속되어 있다. 또한, 접속 전극(153) 및 도전막(155)이 산화물 절연막(107)에 제공되어진 콘택트 홀을 통해서 서로 직접 접촉하여 서로 도통된다.

[0144] 또한, 도 11(B1) 및 도 11(B2)은 각기 이 스테이지에서의 소스 배선 단자부의 단면도 및 평면도이다. 도 11(B1)은 도 11(B2)의 라인 D1-D2에 따라 취해진 단면을 나타내고 있다. 도 11(B1)에서, 산화물 절연막(107) 상에 형성된 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 11(B1)의 단자부에서, 게이트 배선과 동일한 재료로 형성되는 전극(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150)의 아래에 위치하며 그들 간에 게이트 절연층(102)을 개재시키면서 서로 중첩되어 있다. 전극(156)은 제 2 단자(150)와 전기적으

로 접속하지 않는다. 전극(156)의 전위가 제 2 단자(150)의 전위와 다른 전위, 가령 플로팅 전위, 접지 전위 또는 제로 볼트와 같은 전위 등으로 설정되면, 노이즈 또는 정전기를 방지할 수 있는 커패시터가 형성된다. 제 2 단자(150)는 산화물 절연막(107)을 사이에 개재시키면서 도전막(155)과 전기적으로 접속된다.

[0145] 게이트 배선, 소스 배선 및 커패시터 배선은 화소 밀도에 따라서 복수 개로 제공된다. 단자부에서, 게이트 배선과 동일한 전위에 있는 제 1 단자, 소스 배선과 동일한 전위에 있는 제 2 단자, 커패시터 배선과 동일한 전위에 있는 제 3 단자 등이 각각 복수 개로 배열되어 있다. 각 단자의 수는 임의 개일 수 있으며 단자의 개수는 실시자에 의해 적합하게 결정될 수 있다.

[0146] 박막 트랜지스터 및 저장 커패시터를 각 화소에 대응되게 매트릭스로 배열하면 화소부가 구성되고 이는 액티브 매트릭스 표시 장치를 제조하기 위한 기판들 중 하나로서 사용될 수 있다. 본 명세서에서, 이러한 기판은 편의상 액티브 매트릭스 기판이라고 지칭된다.

[0147] 도전층(111)이 산화물 반도체층의 채널 형성 영역(166)과 중첩하도록 제공된다. 이로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-온도 스트레스 테스트(이하, BT 테스트라고 함)에서, BT 테스트 전후에서의 박막 트랜지스터(180)의 임계 전압의 변화량이 감소될 수 있다. 도전층(111)의 전위는 게이트 전극층(161)의 전위와 동일하거나 상이할 수 있다. 도전층(111)은 제 2 게이트 전극층으로서 기능할 수도 있다. 이와 달리, 도전층(111)의 전위는 접지 또는 제로 볼트일 수 있다. 또는, 도전층(111)은 플로팅 상태에 있을 수 있다.

[0148] 이어서, 제 1 전극층(110)의 주변부를 피복하도록 격벽(193)이 형성된다. 이 격벽(193)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막 또는 무기 절연막 또는 실록산계 수지를 사용하여 형성된다.

[0149] 실록산계 수지는 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 유기기(가령, 아킬기 또는 아릴기) 또는 플루우로기를 치환기로서 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.

[0150] 격벽(193)은 PSG(phosphosilicate glasss), BPSG(borophosphosilicate glasss) 등을 사용하여 형성될 수 있다. 격벽(193)은 이러한 재료들 중 임의의 것을 사용하여 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다.

[0151] 격벽(193)을 형성하는 방법은 특정하게 한정되지 않는다. 격벽(193)은 재료에 따라서 스퍼터링법, SOG 법, 스핀 코팅법, 디핑법, 스프레이 코팅법 또는 액적 토출법(가령, 잉크젯법, 스크린 프린팅법 또는 오프셋 프린팅법)과 같은 방법을 사용하거나 닥터 나이프, 롤 코터(roll coater), 커튼 코터(curtain coater) 또는 나이프 코터와 같은 수단을 사용하여 형성될 수 있다. 또한, 발광 장치에서 사용되는 다른 절연층들은 격벽(193)의 재료 및 형성 방법의 실례에서 나타난 바와 같은 재료 및 형성 방법을 사용하여 형성될 수 있다.

[0152] 격벽(193)은 개구부의 측벽이 연속 곡률을 갖는 경사면으로서 형성되는 개구부를 제 1 전극층(110) 상에 갖도록 광감성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 격벽(193)이 감광성 수지 재료를 이용하여 형성되면, 레지스트 마스크를 형성하기 위한 단계가 생략될 수 있다. 본 실시예에서, 제 11 리소그래피 단계가 수행되어서 격벽(193)이 형성된다.

[0153] 제 1 전극층(110) 상에 EL 층(194)을 형성하고 EL 층(194) 상에 제 2 전극층(195)을 형성해서 발광 소자를 형성한다. 제 2 전극층(195)은 공통 전위 라인과 전기적으로 접속한다. 제 2 전극층(195)은 여러 가지 재료를 이용할 수 있다. 구체적으로, 일함수가 작은 재료, 가령, 구체적으로는, Li 또는 Cs 등의 알칼리 금속, Mg, Ca 또는 Sr과 같은 알칼리 토금속, 이러한 금속들 중 임의의 것을 포함하는 합금(가령, Mg:Ag 또는 Al:Li) 또는 Yb 또는 Er과 같은 희토류 금속 등을 이용하여 제 2 전극층(195)을 형성하는 것이 바람직하다. 본 실시예에서는, 제 2 전극층(195)로서 알루미늄 막을 사용한다.

[0154] 이렇게 11 매의 포토마스크를 사용하여 11 회의 포토리소그래피 단계들을 수행함으로써, 박막 트랜지스터(180)를 갖는 구동 회로부, 박막 트랜지스터(170) 및 발광 소자를 갖는 화소부, 저장 커패시터를 갖는 커패시터(147) 및 외부 취득 단자부를 포함하는 도 1에 도시된 본 실시예의 발광 장치가 제조될 수 있다.

[0155] 또한, 본 실시예에서는, 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109) 내의 콘택트 홀이 1 회의 포토리소그래피 단계에 의해 형성되는 실례가 기술되었다. 그러나, 콘택트 홀은 상이한 마스크들을 사용하여 복수의 포토리소그래피 단계들로 나누어서 형성될 수 있다. 가령, 층간 절연층으로 기능하는 산화물 절연막(107) 및 보호 절연층(106) 내에 먼저 제 5 포토리소그래피 단계에 의해 콘택트 홀을 형성하고, 제 6 포토리소그래피 내지 제 9 포토리소그래피 단계들에 의해, RGB의 컬러 필터층 및 오버코트층을 형성한 후, 나아가 제 10 포토리소그래피 단계에 의해, 보호 절연층(109) 내에 콘택트 홀이 형성될 수 있다. 이 경우, 포토리소그래피 단계

및 포토마스크 수는 1 개씩 증가하고, 발광 장치의 제조는 12 회의 포토리소그래피 단계 및 12 매의 포토마스크를 사용하게 된다.

[0156] 전술한 포토리소그래피 단계에서, 투과한 광이 복수의 강도가 되는 노광 마스크인 다중 톤 마스크에 의해 형성된 마스크 층을 사용해서 에칭 단계가 수행될 수 있다.

[0157] 다중 톤 마스크를 써서 형성한 마스크 층은 복수의 막 두께를 갖고 이 마스크 층에 대하여 에칭을 수행함으로써 그 형상이 변형될 수 있기 때문에, 이 마스크 층은 상이한 패턴으로 처리하기 위한 복수의 에칭 단계에서 사용될 수 있다. 따라서, 하나의 다중 톤 마스크에 의해, 적어도 2 종류 이상의 상이한 패턴들에 대응하는 마스크 층이 형성될 수 있다. 이로써, 노광 마스크 수를 삭감할 수 있고 이에 대응하는 포토리소그래피 단계도 역시 삭감할 수 있기 때문에 공정의 간략화가 가능해 진다.

[0158] 또한, 발광 장치를 제조할 경우, 구동용 TFT의 소스 전극층과 전기적으로 접속하는 전원 공급선이 제공된다. 이 전원 공급선은 게이트 배선 및 소스 배선과 교차하고 게이트 전극층과 동일한 재료 및 동일한 단계로 해서 형성된다.

[0159] 또한, 발광 장치를 제조할 경우, 발광 소자의 일 전극은 구동용 TFT의 드레인 전극층과 전기적으로 접속되며, 발광 소자의 다른 전극과 전기적으로 접속된 공통 전위선이 제공된다. 이 공통 전위선은 게이트 전극층과 동일한 재료 및 동일한 단계로 해서 형성될 수 있다.

[0160] 또한, 발광 장치를 제조할 경우, 1 개의 화소에 복수의 박막 트랜지스터가 제공되며, 일 박막 트랜지스터 게이트 전극층을 다른 박막 트랜지스터의 드레인 전극으로 접속시키는 접속부가 제공된다.

[0161] 박막 트랜지스터에서 산화물 반도체를 사용하게 되면 제조 비용이 절감된다. 특히, 상기 방법에 의하면, 산화물 반도체층에 접촉하게 산화물 절연막을 형성할 수 있다. 이로써, 안정한 전기적 특성을 갖는 박막 트랜지스터가 제조 및 제공될 수 있다. 따라서, 전기적 특성이 양호해서 신뢰성이 양호한 박막 트랜지스터를 갖는 발광 장치를 제공할 수 있다.

[0162] 채널 형성 영역의 반도체층은 고 저항 영역이므로, 박막 트랜지스터의 전기적 특성은 안정화되고, 오프 전류가 증가하는 것이 방지될 수 있다. 따라서, 전기적 특성이 양호해서 신뢰성이 우수한 박막 트랜지스터를 갖는 발광 장치를 제공할 수 있다.

[0163] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 화소부 또는 구동 회로와 동일한 기판 상에 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함한 비선형 소자를 사용하여 구성하는 것이 바람직하다. 가령, 보호 회로는 화소부와 주사선 입력 단자 간에 그리고 화소부와 신호선 입력 단자 간에 제공된다. 본 실시예에서는, 주사선, 신호선 및 커패시터 버스 선에 정전기 등에 의해 서지(surge) 전압이 인가되어도 화소 트랜지스터 등이 파괴되지 않도록 복수의 보호 회로가 설치된다. 그 때문에, 보호 회로는 서지 전압이 보호 회로에 인가되었을 때에 공통 배선으로 전하를 방출하도록 구성된다. 또한, 보호 회로는 주사선에 대하여 병렬로 배치된 비선형 소자들을 포함한다. 비선형 소자는 다이오드와 같은 2 단자 소자 또는 트랜지스터와 같은 3 단자 소자를 포함한다. 가령, 비선형 소자는 화소부의 박막 트랜지스터(170)와 동일한 단계를 통해서 형성될 수 있으며 자신의 게이트 단자와 드레인 단자를 서로 접속함으로써 다이오드와 같은 특성을 가질 수 있다.

[0164] 본 실시예는 다른 실시예들에서 기술되는 구성들과 적합하게 조합되어서 구현될 수 있다.

[0166] **실시예 2**

[0167] 본 실시예에서는, 산화물 도전층들이 실시예 1에서의 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 각기 소스 영역 및 드레인 영역으로서 제공되는 실례가 도 6(A) 내지 도 6(D) 및 도 7(A) 및 도 7(B)를 참조하여 기술될 것이다. 이 실시예의 일부는 실시예 1의 것과 유사하게 수행될 수 있다. 따라서, 실시예 1의 것과 동일한 기능을 갖는 부분 또는 실시예 1의 것과 동일한 부분은 되풀이해서 설명하지 않는다. 또한, 이러한 부분들을 형성하는 단계들도 역시 생략될 것이다. 도 6(A) 내지 도 6(D) 및 도 7(A) 및 도 7(B)는 단계들의 일부가 다른 점을 제외하면 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)와 동일하므로, 동일한 부분들에서는 동일한 참조 부호가 사용되며 이 동일한 부분들에 대한 설명은 생략하기로 한다.

[0168] 먼저, 실시예 1의 도 3(B)의 단계를 포함하여 이 단계까지가 실시예 1에 따라서 수행된다. 도 6(A)는 도 3(B)와

동일한 단계를 나타낸다.

[0169] 탈수화 또는 탈수소화된 산화물 반도체층(133, 134) 상에 산화물 도전막(140)이 형성되고, 이 산화물 도전막(140) 상에 금속 도전 재료를 사용하여 금속 도전막이 적층된다.

[0170] 산화물 도전막(140)의 형성 방법으로서는, 스퍼터링법, 진공증착법(가령, 전자빔 증착법) 또는 아크 방전 이온 도금법 또는 스프레이 법이 사용된다. 산화물 도전막(140)의 재료는 산화 아연을 성분으로서 포함하는 것이 바람직하고 산화 인듐을 포함하지 않는 것이 바람직하다. 이러한 산화물 도전막(140)으로서, 산화 아연, 산화 아연 알루미늄, 산질화(oxynitride) 아연 알루미늄, 산화 아연 갈륨 등이 있다. 이 산화물 도전막의 막 두께는 50nm 내지 300nm 범위 내에서 적당하게 선택된다. 또한, 스퍼터링법을 사용할 경우에, SiO_2을 2 중량% 내지 10 중량%만큼 포함하는 타겟을 이용해서 막을 형성하는 것이 바람직하다. 즉, 산화물 반도체막(130) 내에 결정화를 억제하는 $SiO_x(x > 0)$을 포함시켜서 후속 단계에서 행해지는 탈수화 또는 탈수소화를 위한 가열 처리 시간에 이 막이 결정화되는 것을 방지하는 것이 바람직하다.

[0171] 이어서, 제 4 포토리소그래피 단계가 행해진다. 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)를 형성하고, 에칭에 의해 금속 도전막 중 불필요한 부분이 제거된다. 이로써, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층 (165a), 드레인 전극층(165b), 커패시터 전극층(149), 접속 전극(120) 및 제 2 단자(122)가 형성된다(도 6(B) 참조).

[0172] 금속 도전막을 에칭할 시에, 산화물 도전막(140) 및 산화물 반도체층(133, 134)도 같이 제거되지 않도록 각 재료 및 에칭 조건을 적당하게 조절한다.

[0173] 이어서, 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)를 제거하고, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a) 및 드레인 전극층(165b)을 마스크로 해서, 산화물 도전막(140)을 에칭한다. 이로써, 산화물 도전층(164a, 164b), 산화물 도전층(104a, 104b) 및 커패시터 전극층(185)을 형성한다(도 6(C) 참조). 산화 아연을 성분으로 포함하는 산화물 도전막(140)은 가령 레지스트 박리액과 같은 알칼리성 용액을 사용하여 용이하게 에칭될 수 있다. 또한, 이 단계에서, 각 단자부에도 산화물 도전층(138,139)이 형성된다.

[0174] 산화물 반도체층과 산화물 도전층 간의 에칭 속도 차이를 이용함으로써, 채널 영역을 형성하기 위해서 산화물 도전층을 분할하기 위한 에칭 처리가 수행될 수 있다. 산화물 도전층의 에칭 속도가 산화물 반도체층에 비해서 빠른 점을 이용하여 산화물 반도체층 상의 산화물 도전층을 선택적으로 에칭한다.

[0175] 따라서, 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)의 제거는 에싱 프로세스(ashing process)에 의해 수행되는 것이 바람직하다. 박리액을 사용하여 에칭하는 경우에는, 산화물 도전막(140) 및 산화물 반도체층(133, 134)이 과잉으로 에칭되지 않도록, 에칭 조건(에칭 용액의 종류, 농도, 에칭 시간)이 적절하게 조절된다.

[0176] 본 실시예에서와 같이, 에칭에 의해 섬 형상의 산화물 반도체층을 형성한 후에, 산화물 도전막 및 금속 도전막을 그 상에 적층하고 동일한 마스크를 사용하여 에칭을 수행하여 소스 전극층 및 드레인 전극층을 포함하는 배선 패턴을 형성함으로써, 금속 도전막의 배선 패턴 하에 산화물 도전막이 남을 수 있다.

[0177] 게이트 배선(도전층(162))과 소스 배선(드레인 전극층(165b)) 간의 콘택트부에서, 소스 배선 아래에 산화물 도전층(164b)이 형성되어 있다. 이로써, 산화물 도전층(164b)은 버퍼 역할을 하게 되고, 그 저항은 오직 산화물 도전층의 두께에 의존하는 직렬 저항이며, 산화물 도전층(164b)은 금속과는 절연성의 산화물을 형성하지 않으므로, 이는 바람직하다.

[0178] 이어서, 산화물 반도체층(133, 134)에 접촉하는 보호 절연막으로 기능하는 산화물 절연막(107)을 형성한다. 본 실시예에서는, 산화물 절연막(107)으로서, 막 두께 300nm의 산화 규소막이 스퍼터링법을 사용하여 형성된다.

[0179] 이어서, 불활성 가스 분위기 하에서 또는 질소 가스 분위기 하에서 제 2 가열 처리(바람직하게는, 200℃ 내지 400℃, 가령 250℃ 내지 350℃)를 수행한다. 가령, 질소 분위기 하에서 250℃에서 1 시간의 제 2 가열 처리를 수행한다. 제 2 가열 처리에 의해, 산화물 절연막(107)과 중첩하는 산화물 반도체층(133, 134)의 일부가 산화물 절연막(107)과 접촉한 상태에서 가열된다.

[0180] 이상의 단계들을 통해서, 막 형성 이후에, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행해서 그 저항을 감소시키고, 이어서, 산화물 반도체층의 일부를 선택적으로 산소 과잉 상태가 되게 한다.

[0181] 그 결과, 산화물 반도체층(133)에서, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i 타입의 채널 형

성 영역이 되고, 소스 전극층(165a) 및 산화물 도전층(164a)과 중첩하는 고 저항 소스 영역(167a) 및 드레인 전극층(165b) 및 산화물 도전층(164b)과 중첩하는 고 저항 드레인 영역(167b)이 자기 정렬 방식으로 형성되고, 이로써, 산화물 반도체층(163)이 형성된다. 이와 마찬가지로, 산화물 반도체층(134)에서, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i 타입의 채널 형성 영역이 되고, 소스 전극층(105a) 및 산화물 도전층(104a)과 중첩하는 고 저항 소스 영역(117a) 및 드레인 전극층(105b) 및 산화물 도전층(164b)과 중첩하는 고 저항 드레인 영역(117b)이 자기 정렬 방식으로 형성되어, 산화물 반도체층(103)이 형성된다.

[0182] 산화물 반도체층(163, 103)과 금속 재료를 사용하여 형성된 드레인 전극층 (105b, 165b) 간에 제공된 산화물 도전층(104b, 164b)은 저 저항 드레인(LRD)(또는 LRN으로도 지칭됨) 영역으로서 기능한다. 마찬가지로, 산화물 반도체층(163, 103)과 금속 재료로 형성되는 소스 전극층(105a, 165a) 사이에 제공된 산화물 도전층(104a, 164a)는 저 저항 소스(LRS)(또는, LRN으로도 지칭됨) 영역으로서 기능한다. 산화물 반도체층, 저 저항 드레인 영역 및 금속 재료로 이루어지는 드레인 전극층을 포함하는 구조로 인해서, 트랜지스터의 내압을 향상시킬 수 있다. 구체적으로는, 저 저항 드레인 영역의 캐리어 농도는 고 저항 드레인 영역(HRD 영역)보다도 크고, 가령 $1*10^{20}/cm^3$ 내지 $1*10^{21}/cm^3$의 범위에 있는 것이 바람직하다.

[0183] 이상의 단계들에 의해, 동일한 기판 상에, 구동 회로부의 박막 트랜지스터(181) 및 화소부의 박막 트랜지스터(171)를 제조할 수 있다. 박막 트랜지스터(171,181)는 고 저항 소스 영역, 고 저항 드레인 영역 및 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 보텀 게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터(171,181)에 고 전계가 인가되어도 고 저항 드레인 영역 또는 고 저항 소스 영역이 버퍼가 되므로 고 전계가 국소적으로 인가되지 않아서, 트랜지스터의 내압이 향상된다.

[0184] 또한, 커패시터부에서는, 커패시터 배선층(108), 게이트 절연층(102), 산화물 도전층(104b)과 동일한 단계에서 형성된 커패시터 전극층(185) 및 드레인 전극층(105b)과 동일한 단계에서 형성된 커패시터 전극층(149) 간의 적층에 의해 커패시터(146)가 형성되어 있다.

[0185] 이어서, 산화물 절연막(107) 상에 보호 절연층(106)을 형성하고, 화소부에 서, 보호 절연층(106) 상에 컬러 필터층(191)을 형성한다. 컬러 필터층(191)을 피복하도록 오버코트층(192)을 형성하고, 보호 절연층(106) 및 오버코트층(192)을 피복하도록 보호 절연층(109)을 형성한다.

[0186] 이어서, 실시예 1과 같이, 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하고, 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층(109)을 에칭하여 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 이어서, 레지스트 마스크가 제거된다(도 6(D) 참조). 또한, 이 에칭에 의해, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)도 형성한다.

[0187] 이어서, 광투과 도전막이 형성되고, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하고, 에칭에 의해 광투과 도전막 중 불필요한 부분을 제거해서 제 1 전극층(110), 도전층(111) 및 단자 전극(128, 129)을 형성한다. 이어서, 레지스트 마스크를 제거한다(도 7(A) 참조).

[0188] 실시예 1과 같이, 제 11 포토리소그래피 단계에서 격벽(193)이 형성된다. 제 1 전극층(110) 상에 EL 층(194) 및 제 2 전극층(195)을 적층해서 발광 소자를 갖는 본 실시예의 발광 장치를 제조한다(도 7(B) 참조).

[0189] 소스 영역 및 드레인 영역으로서 산화물 도전층을 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 각기 제공함으로써, 소스 영역 및 드레인 영역의 저 저항화를 도모할 수 있어 트랜지스터가 고속으로 동작할 수 있게 된다. 소스 영역 및 드레인 영역으로서 산화물 도전층을 사용하는 바는 주변 회로(구동 회로)의 주파수 특성을 향상시키는데 있어서 효과적이다. 이는 금속전극(가령, Ti)과 산화물 반도체층 간의 접촉에 비해서, 금속 전극(가령, Ti)과 산화물 도전층 간의 접촉이 접촉 저항을 내릴 수 있기 때문이다.

[0190] 또한, 발광 장치에서 배선 재료(Mo/Al/Mo)의 일부로서 사용되는 몰리브덴(Mo)은 산화물 반도체층과의 접촉 저항이 높아서 문제가 되었다. 이는 티타늄(Ti)에 비해서 몰리브덴(Mo)은 산화되기 어려워서 산화물 반도체층으로부터 산소를 추출하는 작용이 약하고 몰리브덴과 산화물 반도체층 간의 접촉 계면이 n 타입 도전성을 갖도록 변화되지 않기 때문이다. 그러나, 이러한 경우에라도, 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 산화물 도전층을 개재시킴으로써 접촉 저항이 감소될 수 있으며, 따라서, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.

[0191] 박막 트랜지스터의 채널 길이는 산화물 도전층을 에칭할 시에 결정되며, 따라서, 채널 길이는 더 짧아질 수 있다. 가령, 채널 길이 L은 0.1㎛ 내지 2㎛로 설정될 수 있으며, 이로써 동작 속도가 증가할 수 있다.

[0193] **실시예 3**

[0194] 본 실시예에서는, 산화물 도전층들이 실시예 1 또는 실시예 2에서의 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 각기 소스 영역 및 드레인 영역으로서 제공되는 다른 실례가 도 8(A) 내지 도 8(D) 및 도 9(A) 및 도 9(B)를 참조하여 기술될 것이다. 이 실시예의 일부는 실시예 1 또는 실시예 2의 것과 유사하게 수행될 수 있다. 따라서, 실시예 1 또는 실시예 2의 것과 동일한 기능을 갖는 부분 또는 실시예 1 또는 실시예 2의 것과 동일한 부분은 되풀이해서 설명하지 않는다. 또한, 이러한 부분들을 형성하는 단계들도 역시 생략될 것이다. 도 8(A) 내지 도 8(D) 및 도 9(A) 및 도 9(B)는 단계들의 일부가 다른 점을 제외하면 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A), 도 4(B), 도 5(A) 및 도 5(B), 도 6(A) 내지 도 6(D), 도 7(A) 및 도 7(B)와 동일하므로, 동일한 부분들에서는 동일한 참조 부호가 사용되며 이 동일한 부분들에 대한 설명은 생략하기로 한다.

[0195] 먼저, 실시예 1에 따라서, 기판(100) 상에 금속 도전막을 형성하고, 금속 도전막을 제 1 포토리소그래피 단계에서 형성한 레지스트 마스크를 사용하여 에칭하여, 제 1 단자(121), 게이트 전극층(161), 도전층(162), 게이트 전극층(101) 및 커패시터 배선층(108)을 형성한다.

[0196] 그 다음에, 제 1 단자(121), 게이트 전극층(161), 도전층(162), 게이트 전극층(101) 및 커패시터 배선층(108) 상에 게이트 절연층(102)을 형성하고, 산화물 반도체막 및 산화물 도전막을 적층한다. 게이트 절연층, 산화물 반도체막 및 산화물 도전막은 대기에 노출되지 않고 연속적으로 형성될 수 있다.

[0197] 산화물 도전막 상에 제 2 포토리소그래피 단계에서 레지스트 마스크를 형성한다. 레지스트 마스크를 사용하여 게이트 절연층, 산화물 반도체막 및 산화물 도전막을 에칭하여 제 1 단자(121)에 도달하는 콘택트 홀(119) 및 도전층(162)에 도달하는 콘택트 홀(123)을 형성한다.

[0198] 제 2 포토리소그래피 단계에서 형성된 레지스트 마스크를 제거하고, 다음에 산화물 도전막 상에 제 3 포토리소그래피 단계에서 레지스트 마스크를 형성한다. 제 3 포토리소그래피 단계에서 형성된 레지스트 마스크를 사용하여 섬 형상의 산화물 반도체층 및 산화물 도전층을 형성한다.

[0199] 이렇게 산화물 반도체막 및 산화물 도전막을 게이트 절연층 전면에 적층한 상태에서 게이트 절연층 내에 콘택트 홀을 형성하면, 게이트 절연층 표면에 레지스트 마스크가 직접 접촉하지 않기 때문에, 게이트 절연층 표면의 오염(불순물 등의 부착 등)을 막을 수 있다. 따라서, 게이트 절연층과 산화물 반도체막 간의 계면 상태 및 게이트 절연층과 산화물 도전막 간의 계면 상태를 양호하게 할 수 있어서 신뢰성이 개선된다.

[0200] 이어서, 산화물 반도체층 및 산화물 도전층을 적층시킨 상태에서 탈수화 또는 탈수소화의 가열 처리가 수행된다. 400℃ 내지 700℃의 온도로 가열 처리함으로써, 산화물 반도체층의 탈수화 또는 탈수소화가 달성된다. 이로써, 나중의 단계에서 물(H_2O)이 산화물 반도체층 내로 다시 들어가는 것이 방지될 수 있다.

[0201] 산화 규소와 같은 결정화 저해 물질이 산화물 도전층 내에 포함되어 있지 않는 한, 이 가열 처리를 통해서 산화물 도전층은 결정화될 수 있다. 산화물 도전층의 결정(crystal)은 베이스 표면에 대하여 기둥 형상으로 성장한다. 이로써, 소스 전극층 및 드레인 전극층을 형성하기 위해서 산화물 도전층 상에 형성된 금속 도전막을 에칭할 때에, 언더컷(undercut)이 형성되는 것을 막을 수 있다.

[0202] 또한, 산화물 반도체층의 탈수화 또는 탈수소화를 위한 가열 처리에 의해, 산화물 도전층의 도전성을 향상시킬 수 있다. 산화물 도전층만이 산화물 반도체층의 가열 처리 온도보다 낮은 온도에서 가열 처리를 받을 수 있다.

[0203] 또한, 박리층을 형성해서 제조 기판 상에 박막 트랜지스터 및 발광 소자를 형성할 경우는, 탈수화 또는 탈수소화를 위한 가열 처리는 후속 공정에서 박리층의 계면이 제조 기판에서 지지 기판으로 용이하게 박리될 수 있게 한다.

[0204] 또한, 산화물 반도체층 및 산화물 도전층에 대한 제 1 가열 처리는 섬 형상의 산화물 반도체층 및 섬 형상의 산화물 도전층으로 가공되기 이전의 산화물 반도체막 및 산화물 도전막에 대해서 수행될 수도 있다. 이 경우에는, 제 1 가열 처리 후에, 기판이 가열 장치로부터 꺼내져서 포토리소그래피 단계를 수행한다.

[0205] 이상의 단계들을 통해서, 산화물 반도체층(133, 134) 및 산화물 도전층(142,143)을 얻을 수 있다(도 8(A) 참조). 산화물 반도체층(133) 및 산화물 도전층(142)은 동일한 마스크를 사용하여 형성된 섬 형상의 적층이며, 산화물 반도체층(134) 및 산화물 도전층(143)은 동일한 마스크를 사용하여 형성된 섬 형상의 적층이다.

[0206] 이어서, 제 4 포토리소그래피 단계가 수행된다. 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)

를 형성하고 에칭에 의해 금속 도전막의 불필요한 부분을 제거해서, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층 (165a), 드레인 전극층(165b), 커패시터 전극층(149), 접속 전극(120) 및 제 2 단자(122)를 형성한다(도 8(B) 참조).

[0207] 금속 도전막을 에칭할 시에, 산화물 도전층(142,143) 및 산화물 반도체층 (133, 134)도 함께 제거되지 않도록 각 재료 및 에칭 조건이 적절하게 조절된다.

[0208] 그 다음으로, 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)가 제거된다. 이어서, 소스 전극층(105a), 드레인 전극층(105b), 소스 전극층(165a) 및 드레인 전극층(165b)을 마스크로 하여, 산화물 도전층(142,143)을 에칭하여, 산화물 도전층(164a, 164b) 및 산화물 도전층(104a, 104b)을 형성한다(도 8(C) 참조). 산화 아연을 성분으로 포함하는 산화물 도전층(142,143)은 가령 레지스트의 박리액과 같은 알칼리성 용액을 사용하여 용이하게 에칭될 수 있다.

[0209] 따라서, 레지스트 마스크(136a, 136b, 136c, 136d, 136e, 136f, 136g)의 제거는 애싱 공정에 의해 이루어지는 것이 바람직하다. 박리액을 사용하여 에칭한 경우에는, 산화물 도전층(142,143) 및 산화물 반도체층(133, 134)이 과잉으로 에칭되지 않도록 에칭 조건(에칭 용액(etchant)의 종류, 농도 및 에칭 시간)이 적당하게 조절된다.

[0210] 이어서, 산화물 반도체층(133, 134)에 접촉하는 보호 절연막으로 기능하는 산화물 절연막(107)이 형성된다. 본 실시예에서는, 산화물 절연막(107)으로서 막 두께 300nm의 산화 규소막을 스퍼터링법을 사용하여 형성한다.

[0211] 이어서, 불활성 가스 분위기 하에서 또는 질소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 내지 400℃, 가령 250℃ 내지 350℃)가 수행된다. 가령, 질소 분위기 하에서 250℃의 온도에서 1 시간의 제 2 가열 처리를 수행한다. 이렇게 제 2 가열 처리를 행함으로써, 산화물 절연막(107)과 중첩하는 산화물 반도체층(133, 134)의 일부가 산화물 절연막(107)과 접촉한 상태에서 가열된다.

[0212] 이상의 단계들을 통해서, 막 형성 이후에 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 수행하여 산화물 반도체층의 저항을 감소시킨다. 이어서, 산화물 반도체층의 일부가 선택적으로 산소 과잉 상태로 되게 된다.

[0213] 그 결과, 산화물 반도체층(133)에서, 게이트 전극층(161)과 중첩하는 채널 형성 영역(166)은 i 타입의 채널 형성 영역이 되고, 소스 전극층(165a) 및 산화물 도전층(164a)과 중첩하는 고 저항 소스 영역(167a) 및 드레인 전극층(165b) 및 산화물 도전층(164b)과 중첩하는 고 저항 드레인 영역(167b)이 자기 정렬 방식으로 형성되어, 산화물 반도체층(163)이 형성된다. 마찬가지로, 산화물 반도체층(134)에서, 게이트 전극층(101)과 중첩하는 채널 형성 영역(116)은 i 타입의 채널 형성 영역이 되고, 소스 전극층(105a) 및 산화물 도전층(104a)과 중첩하는 고 저항 소스 영역(117a) 및 드레인 전극층(105) 및 산화물 도전층(164b)과 중첩하는 고 저항 드레인 영역(117b)이 자기 정렬 방식으로 형성되어, 산화물 반도체층(103)이 형성된다.

[0214] 산화물 반도체층(163, 103)과 금속 재료를 사용하여 형성된 드레인 전극층(105b, 165b) 간에 제공된 산화물 도전층(104b, 164b)은 저 저항 드레인(LRD) 영역(또한, LRN 영역으로도 지칭됨)으로서 기능한다. 마찬가지로, 산화물 반도체층 (163, 103)과 금속 재료로 형성되는 소스 전극층(105a, 165a) 간에 제공된 산화물 도전층(104a, 164a)은 저 저항 소스(LRS) 영역(또는 LRN 영역으로도 지칭됨)으로서 기능한다. 이렇게 산화물 반도체층, 저 저항 드레인 영역 및 금속 재료로 형성되는 드레인 전극층을 포함하는 구조로 함으로써, 트랜지스터의 내압이 더 증가될 수 있다. 구체적으로는, 저 저항 드레인 영역의 캐리어 농도는 고 저항 드레인 영역(HRD 영역)보다도 높고 바람직하게는 $1*10^{20}/cm^3$ 내지 $1*10^{21}/cm^3$에 있다.

[0215] 이상의 단계들을 통해서, 동일한 기판 상에, 구동 회로부의 박막 트랜지스터(182) 및 화소부의 박막 트랜지스터(172)가 제조될 수 있다. 박막 트랜지스터(172, 182)는 고 저항 소스 영역, 고 저항 드레인 영역 및 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 보텀 게이트형 박막 트랜지스터이다. 따라서, 박막 트랜지스터(172, 182)에 고 전계가 인가되어도 고 저항 드레인 영역 또는 고 저항 소스 영역이 버퍼가 되므로 고 전계가 국소적으로 인가되지 않아서, 트랜지스터의 내압이 향상될 수 있다.

[0216] 또한, 커패시터부에서는, 커패시터 배선층(108), 게이트 절연층(102) 및 드레인 전극층(105b)과 동일한 단계에서 형성되는 커패시터 전극층(149) 간의 적층에 의해 커패시터(147)가 형성된다.

[0217] 이어서, 산화물 절연막(107) 상에 보호 절연층(106)이 형성된다. 화소부에서는 보호 절연층(106) 상에 컬러 필터층(191)이 형성된다. 컬러 필터층(191)을 피복하도록 오버코트층(192)이 형성된다. 이어서, 보호 절연층(106) 및 오버코트층(192)을 피복하도록 보호 절연층(109)이 형성된다.

[0218] 이어서, 실시예 1에서 수행된 바와 유사한 방식으로 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 산화물 절연막(107), 보호 절연층 (106) 및 보호 절연층(109)을 에칭함으로써, 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 이어서, 레지스트 마스크를 제거한다(도 8(D) 참조). 또한, 이 에칭에 의해, 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)도 형성된다.

[0219] 이어서, 광투과 도전막이 형성되고, 제 10 포토리소그래피 단계가 행해진다. 레지스트 마스크를 형성하여 에칭에 의해 광투과 도전막의 불필요한 부분을 제거해서 제 1 전극층(110), 도전층(111) 및 단자 전극(128, 129)을 형성한다. 이어서, 레지스트 마스크가 제거된다(도 9(A) 참조).

[0220] 실시예 1에서와 같이, 제 11 포토리소그래피 단계에서 격벽(193)이 형성된다. 제 1 전극층(110) 상에 EL 층(194) 및 제 2 전극층(195)을 적층해서 발광 소자를 포함하는 본 실시예의 발광 장치를 제조한다(도 9(B) 참조).

[0221] 산화물 도전층들이 소스 영역 및 드레인 영역으로서 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 제공됨으로써, 소스 영역 및 드레인 영역의 저항이 감소하게 되어서 트랜지스터가 고속으로 동작할 수 있게 된다. 소스 영역 및 드레인 영역으로서 산화물 도전층을 사용하는 바는 주변 회로(구동 회로)의 주파수 특성을 향상시키는데 있어서 효과적이다. 이는 금속 전극(Ti)과 산화물 반도체층 간의 접촉에 비해서 금속 전극(Ti)과 산화물 도전층 간의 접촉이 그 접촉 저항이 낮기 때문이다.

[0222] 산화물 반도체층과 소스 전극층 간 및 산화물 반도체층과 드레인 전극층 간에 산화물 도전층을 개재시킴으로써 접촉 저항이 저감될 수 있고, 이로써, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.

[0223] 박막 트랜지스터의 채널 길이는 산화물 도전층을 에칭할 시에 결정되며, 따라서, 채널 길이는 더 짧아질 수 있다. 가령, 채널 길이 L를 0.1㎛ 내지 2㎛로 설정하여 동작 속도를 증가시킬 수 있다.

[0225] **실시예 4**

[0226] 본 실시예에서는, 화소부의 박막 트랜지스터와 발광 소자의 제 1 전극층이 접속 전극층을 통해서 서로 전기적으로 접속되는 실시예 1의 발광 장치의 실례가 도 16, 도 17(A) 내지 도 17(D) 및 도 18(A) 및 도 18(B)를 참조하여 설명될 것이다. 따라서, 이 실시예의 일부는 실시예 1의 것과 유사하게 수행될 수 있다. 따라서, 실시예 1의 것과 동일한 기능을 갖는 부분 또는 실시예 1의 것과 동일한 부분은 되풀이해서 설명하지 않는다. 또한, 이러한 부분들을 형성하는 단계들도 역시 생략될 것이다. 도 16, 도 17(A) 내지 도 17(D) 및 도 18(A) 및 도 18(B)는 단계들의 일부가 다른 점을 제외하면 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)와 동일하므로, 동일한 부분들에서는 동일한 참조 부호가 사용되며 이 동일한 부분들에 대한 설명은 생략하기로 한다.

[0227] 도 16은 본 실시예의 발광 장치를 나타낸다. 화소부의 박막 트랜지스터(170)의 드레인 전극층(105b)은 접속 전극층(196)을 통해서 제 1 전극층(110)과 전기적으로 접속되어 있다. 도 17(A) 내지 도 17(D) 및 도 18(A) 및 도 18(B)를 참조하여 도 16에 도시된 발광 장치를 제조하는 방법이 설명될 것이다.

[0228] 먼저, 실시예 1에 따라서, 실시예 1에서의 도 4(A)의 단계를 포함하여 이 단계까지 수행된다. 도 17(A)은 도 4(A)의 단계와 동일한 단계를 나타낸다.

[0229] 이어서, 제 5 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 산화물 절연막(107) 및 보호 절연층(106)을 에칭함으로써, 드레인 전극층(105b)에 도달하는 콘택트 홀(125), 제 2 단자(122)에 도달하는 콘택트 홀(127) 및 접속 전극(120)에 도달하는 콘택트 홀(126)이 형성된다. 이어서, 레지스트 마스크를 제거한다(도 17(B) 참조).

[0230] 그 다음에, 도전막을 형성하고 제 6 포토리소그래피 단계를 수행한다. 레지스트 마스크를 형성하여 에칭에 의해 이 도전막의 불필요한 부분을 제거해서 접속 전극층(196), 도전층(112) 및 단자 전극(113, 114)을 형성한다. 이어서, 레지스트 마스크가 제거된다(도 17(C) 참조). 이 도전막으로서는 금속 도전막이 사용될 수 있으며, 따라서, 접속 전극층(196), 도전층(112) 및 단자 전극(113, 114)도 역시 금속 도전층으로 형성될 수 있다.

[0231] 접속 전극층(196)으로서, Al, Cr, Cu, Ti, Ta, Mo 및 W로부터 선택된 원소를 주성분으로 포함하는 막 또는 이러한 막과 이들의 합금막을 포함하는 적층막이 사용될 수 있다. 따라서, 본 실시예에서와 같이 도전층(112) 및 단자 전극(113, 114)을 접속 전극층(196)과 동일한 단계에서 형성한 경우, 도전층(112) 및 단자 전극 (113, 114)도 역시 Al, Cr, Cu, Ti, Ta, Mo 및 W로부터 선택된 원소를 주성분으로 포함하는 막 또는 이러한 막과 이들의 합금막을 포함하는 적층막을 사용하여 형성될 수 있다. 도전막은 상술한 원소를 포함하는 단층으로 한정되지 않

고 2 층 이상의 적층으로 구성될 수도 있다. 또한, 도전막을 형성하는 방법으로서, 스퍼터링법, 진공증착법(가령, 전자빔 증착법), 아크 방전 이온 도금법 또는 스프레이 법이 있다.

[0232] 이어서, 제 7 포토리소그래피 단계 내지 제 9 포토리소그래피 단계에서 화소부에서 보호 절연층(106) 상에 컬러 필터층(191)이 형성되고, 제 10 포토리소그래피 단계에서 컬러 필터층(191)을 피복하도록 오버코트층(192)이 형성된다. 접속 전극층(196), 도전층(112), 단자 전극(113, 114), 보호 절연층(106) 및 오버코트층(192)을 피복하도록 보호 절연층(109)이 형성된다(도 17(D) 참조).

[0233] 이어서, 제 11 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 보호 절연층(109)을 에칭함으로써 접속 전극층(196)에 도달하는 콘택트 홀(125)을 형성한다. 이어서, 레지스트 마스크를 제거한다. 또한, 이 에칭에 의해, 단자 전극(113, 114) 상의 보호 절연층(109)도 제거되며, 이로써, 단자 전극 (113, 114)이 노출된다(도 18(A) 참조).

[0234] 그 다음에, 광투과 도전막이 형성된다. 제 12 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 에칭에 의해 이 광투과 도전막 중 불필요한 부분을 제거해서 제 1 전극층(110)을 형성한다. 이어서, 레지스트 마스크를 제거한다.

[0235] 실시예 1에서와 같이, 제 13 포토리소그래피 단계를 통해서 격벽(193)을 형성한다. 제 1 전극층(110) 상에 EL층(194) 및 제 2 전극층(195)을 적층해서 발광 소자를 포함하는 본 실시예의 발광 장치를 제조한다(도 18(B) 참조).

[0236] 접속 전극층(196)을 형성할 경우, 전원 공급선은 이 접속 전극층(196)과 동일한 재료 및 동일한 단계로 해서 형성될 수 있다. 또한, 공통 전위선도 역시 이 접속 전극층(196)과 동일한 재료 및 동일한 단계로 해서 형성될 수 있다.

[0237] 본 실시예는 실시예 1 내지 실시예 3에서 기술된 구성들 중 임의의 것과 적합하게 조합되어서 구현될 수 있다.

[0239] **실시예 5**

[0240] 본 실시예에서, 도 10은 그 제조 공정이 실시예 1의 것과 부분적으로 상이한 박막 트랜지스터의 실례를 나타내고 있다. 도 10은 단계들의 일부가 다른 점을 제외하면 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)와 동일하다. 따라서, 도 1, 도 2(A) 내지 도 2(C), 도 3(A) 내지 도 3(C), 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)과 동일한 부분들에는 동일한 참조 부호가 사용되며 이 동일한 부분들에 대한 설명은 생략하기로 한다.

[0241] 먼저, 실시예 1에 따라서 기판 상에 게이트 전극층 및 게이트 절연층을 형성한다. 이어서, 화소부에서는, 제 2 포토리소그래피 단계에서, 게이트 전극층에 도달하는 콘택트 홀을 형성한다(미도시).

[0242] 이어서, 산화물 반도체막(130)이 형성되고, 산화물 반도체막(130)을 제 3포토리소그래피 단계에서 섬 형상의 산화물 반도체층(131, 132)으로 가공한다.

[0243] 그 다음에, 산화물 반도체층(131, 132)이 탈수화 또는 탈수소화된다. 이 탈수화 또는 탈수소화가 행해지는 제 1 가열 처리의 온도는 400℃ 내지 750℃, 바람직하게는 425℃ 이상이다. 제 1 가열 처리 온도가 425℃ 이상이면 가열 처리 시간은 1 시간 이하일 수 있는 반면에, 제 1 가열 처리 온도가 425℃ 미만이면 가열 처리 시간은 1 시간 이상으로 설정된다. 여기에서는, 가열 처리 장치의 일 실례인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하에서 가열 처리를 행한다. 이어서, 산화물 반도체층을 대기에 노출시키지 않으므로 산화물 반도체층 내로 물 또는 수소의 재혼입을 막을 수 있다. 이러한 방식으로, 산화물 반도체층을 얻는다. 이어서, 동일한 화로 내로 고순도의 산소 가스, 고순도의 N_2O 가스 또는 초 건조 공기(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입해서 냉각을 행한다. 산소 가스 또는 N_2O 가스 내에 물 또는 수소 등이 포함되지 않는 것이 바람직하다. 이와 달리, 가열 처리 장치 내에 도입되는 산소 가스 또는 N_2O 가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상을 갖는다. 즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.

[0244] 가열 처리 장치는 전기로로 한정되지 않으며, 가령, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 소듐 램프 또는 고압 수은 램프와 같은 램프로부터 방출되는 광(전자기파)의 복사에 의해 처리될 대상을 가열하는 장치이다. 또한, LRTA 장치에는

램프만 제공될 뿐만 아니라 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 처리될 대상을 가열하는 장치도 제공된다. GRTA는 고온 가스를 사용하여 가열 처리하는 방법이다. 가스로서, 가령, 아르곤 등의 희가스 또는 질소와 같은 가열 처리를 받을 대상과 반응하지 않는 불활성 가스가 사용된다. 가열 처리는 RTA 법을 사용하여 600℃ 내지 750℃에서 몇 분간 수행될 수 있다.

[0245] 또한, 탈수화 또는 탈수소화를 위한 제 1 가열 처리 후에, 200℃ 내지 400℃, 바람직하게는 200℃ 내지 300℃의 온도에서 산소 가스 또는 N_2O 가스 분위기 하에서 가열 처리가 행해질 수 있다.

[0246] 또한, 산화물 반도체층(131, 132)에 대한 제 1 가열 처리는 섬 형상의 산화물 반도체층으로 가공되기 이전의 산화물 반도체막(130)에 대해서도 수행될 수 있다. 이 경우에는, 제 1 가열 처리 후에, 가열 장치로부터 기판을 꺼내어서 포토리소그래피 단계를 수행한다.

[0247] 이상의 단계들을 통해서, 산화물 반도체막 전체 영역이 산소 과잉 상태로 되게 되고, 이로써, 산화물 반도체막은 보다 높은 저항을 가지게 되어, 전체적으로 진성인(intrinsic) 산화물 반도체층(168,118)이 획득된다.

[0248] 이어서, 제 4 포토리소그래피 단계가 수행된다. 산화물 반도체층(168) 및 산화물 반도체층(118) 상에 레지스트 마스크를 형성하고 이들을 선택적으로 에칭함으로써 소스 전극층 및 드레인 전극층이 형성된다. 스퍼터링법에서 산화물 절연막(107)을 형성한다.

[0249] 이어서, 박막 트랜지스터의 전기적 특성의 편차를 줄이기 위해서, 불활성 가스 분위기 하에서 또는 질소 가스 분위기 하에서 가열 처리(바람직하게는 150℃ 내지 350℃)가 수행될 수 있다. 가령, 질소 분위기 하에서 250℃의 온도에서 1 시간의 가열 처리를 수행한다.

[0250] 그 다음에, 산화물 절연막(107) 상에 보호 절연층(106)을 형성한다. 화소부에서 보호 절연층(106) 상에 컬러 필터층(191)을 형성한다. 컬러 필터층(191)을 피복하도록 오버코트층(192)을 형성하고, 보호 절연층(106) 및 오버코트층(192)을 피복하도록 보호 절연층(109)을 형성한다.

[0251] 이어서, 제 9 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 게이트 절연층(102), 산화물 절연막(107), 보호 절연층(106) 및 보호 절연층 (109)을 에칭함으로써, 제 1 단자(121), 도전층(162), 드레인 전극층(105b) 및 제 2 단자(122)에 도달하는 콘택트 홀들을 형성한다. 광투과 도전막을 형성한 후, 제 10 포토리소그래피 단계가 수행된다. 레지스트 마스크를 형성하여 선택적으로 에칭함으로써 제 1 전극층(110), 단자 전극(128), 단자 전극(129) 및 배선층(145)을 형성한다.

[0252] 본 실시예는 제 1 단자(121) 및 단자 전극(128)이 접속 전극(120) 없이 서로 바로 접속되는 실례이다. 또한, 드레인 전극층(165b)과 도전층(162)은 배선층(145)을 통해서 서로 접속될 수 있다.

[0253] 커패시터부에서, 커패시터 배선층(108), 게이트 절연층(102) 및 소스 전극층 및 드레인 전극층과 동일한 단계에서 형성된 커패시터 전극층(149) 간의 적층에 의해 커패시터(147)가 형성된다.

[0254] 이상의 단계들을 통해서, 동일한 기판 상에, 구동 회로부의 박막 트랜지스터(183) 및 화소부의 박막 트랜지스터(173)를 제조할 수 있다.

[0255] 실시예 1에서와 같이, 격벽(193)을 형성하고, 제 1 전극층(110) 상에 EL 층(194) 및 제 2 전극층(195)을 적층해서 발광 소자를 포함하는 본 실시예의 발광 장치를 제조한다.(도 10 참조).

[0256] 본 실시예는 실시예 1 내지 실시예 4에서 기술된 구성들 중 임의의 것과 함께 적합하게 조합되어서 구현될 수 있다.

[0258] **실시예 6**

[0259] 본 실시예는 박막 트랜지스터를 제조 기판으로부터 박리시키고 박막 트랜지스터를 가요성 기판으로 전치시킴으로써 발광 장치를 제조하는 방법의 일 실례를 나타내고 있다. 본 발명의 일 실시예인 발광 장치가 도 27, 도 28(A) 및 도 28(B), 도 29(A) 및 도 29(B) 및 도 30을 참조하여 기술된다. 도 27은 본 실시예에서 기술되는 발광 장치의 실례를 나타내고 있다. 본 실시예는 공정의 일부를 제외하면 실시예 1과 동일하다. 따라서, 서로 동일한 부분에는 동일한 참조 부호가 부여되며 이 동일한 부분에 대한 상세한 설명은 생략된다.

[0260] 발광 장치(8400)는 화소부(8250), 구동 회로부(8252) 및 단자부(8254,8255)를 갖는다. 화소부(8250) 및 구동 회로부(8252)는 얇으며 경량이며 광투과성인 제 1 기판(8100)과 얇으며 수분 침투성이 낮은 제 2 기판(8144) 사이에 제공된다. 또한, 화소부(8250) 및 구동 회로부(8252)는 제 1 기판(8100)과 접촉하는 수지층 (8141) 및 제

2 기판(8144)과 접촉하는 수지층(8142) 간에서 유지된다.

[0261] 화소부(8250)는 박막 트랜지스터(170)와 제 1 전극층(110), EL 층(194) 및 제 2 전극층(195)을 포함하는 발광 소자를 갖는다. 또한, 박막 트랜지스터(170)의 소스 전극과 드레인 전극 중 하나는 발광 소자의 제 1 전극층(110)에 접속되어 있다. 격벽(193)이 제 1 전극층(110)의 일부를 피복하도록 제공된다. 한편, 화소부(8250)는 커패시터(147)를 갖는다.

[0262] 구동 회로부(8252)는 박막 트랜지스터(180)를 갖는다.

[0263] 본 실시예에서 예시된 발광 장치(8400)의 제조 방법의 개요는 다음과 같다. 먼저, 발광 장치(8400)의 단자부, 박막 트랜지스터(170), 박막 트랜지스터(180), 커패시터(147), 컬러 필터층(191), 오버코트층(192), 산화물 절연막(107), 보호 절연층(106), 보호 절연층(109) 및 발광 소자의 제 1 전극층(110)이 박리될 층(피박리층)으로서 제 1 제조 기판의 박리층 상에 형성된다. 그 다음에, 피박리층을 제 2 제조 기판(지지 기판이라고도 함)에 일시적으로 부착한 후에, 제 1 제조 기판으로부터 피박리층을 박리한다. 이어서, 상기 피박리층이 얇고 경량이면서 광투과성인 제 1 기판(8100)에 부착 및 전치된 후에, 일시적으로 부착된 제 2 제조 기판이 피박리층으로부터 제거된다. 이어서, 피박리층의 표면 상에 노출된 제 1 전극층(110) 상에 발광 소자를 형성한 후, 얇고 수분 침투성이 낮은 제 2 제조 기판(8144)이 발광 소자가 형성된 피박리층의 표면에 부착된다. 이로써, 발광 장치(8400)가 제조된다.

[0264] 발광 장치(8400)의 제조 방법의 일 실례가 도 28(A) 및 도 28(B), 도 29(A) 및 도 29(B), 및 도 30을 참조하여 상세하게 설명된다.

[0265] 박리층(302)이 제 1 제조 기판(300) 상에 형성되고, 제 1 절연층(8104)이 박리층(302) 상에 형성된다. 바람직하게는, 형성된 박리층(302)을 대기에 노출시키지 않고 제 1 절연층(8104)이 연속해서 형성된다. 이렇게 연속해서 형성함으로써 박리층(302)과 절연층(8104) 간에 먼지나 불순물이 혼입되는 것을 막을 수 있다.

[0266] 제 1 제조 기판(300)으로서는, 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 금속 기판 등이 사용될 수 있다. 이와 달리, 본 실시예의 처리 온도를 견디어낼 수 있는 내열성을 갖는 플라스틱 기판을 이용해도 좋다. 반도체 장치의 제조 공정에서, 그 수행되는 공정에 맞게 제조 기판을 적당하게 선택할 수 있다.

[0267] 또한, 나중에 수행될 가열 처리의 온도가 높을 경우에는, 그 변형점이 730℃ 이상인 기판이 유리 기판으로서 사용되는 것이 바람직하다. 유리 기판으로서, 가령 알루미노실리케이트 유리, 알루미노보로실리케이트 유리 또는 바륨 보로실리케이트 유리와 같은 유리 물질이 사용된다. 붕산보다 많은 바륨 산화물(BaO)을 포함함으로써, 보다 실용적인 내열 유리를 얻을 수 있다. 이 때문에, B_2O_3보다 BaO를 더 많이 포함하는 유리 기판을 이용하는 것이 바람직하다. 그 외에도, 결정화 유리 등을 이용할 수 있다.

[0268] 본 공정에서, 박리층(302)이 제 1 제조 기판(300)의 전체 면 상에 형성되지만, 필요에 따라서, 제 1 제조 기판(300)의 전체 면에 박리층(302)을 제공한 후에 상기 박리층(302)을 선택적으로 제거하여 소망하는 영역 상에만 박리층을 형성할 수 있다. 또한, 도 28에서는, 제 1 제조 기판(300)에 접촉하게 박리층(302)을 형성하고 있지만, 필요에 따라서, 절연층이 제 1 제조 기판(300)과 박리층(302) 사이에 산화 규소막, 산질화 규소막, 질화 규소막, 질화산화 규소막 등을 사용하여 형성될 수도 있다.

[0269] 박리층(302)은 텅스텐(W), 몰리브덴((Mo), 티타늄(Ti), 탄탈륨(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 루테니움(Ru), 로듐(Rh), 팔라듐(Pd), 오즈뮴(Os), 이리듐(Ir) 및 규소(Si)로부터 선택된 원소 또는 이들 중 임의의 원소를 주성분으로 포함하는 합금 재료 또는 이들 원소 중 임의의 것을 주성분으로 포함하는 화합물 재료를 포함하는 단층 구조 또는 적층 구조를 가질 수 있다. 규소를 포함하는 층의 결정 구조는 비정질 구조, 미세 결정 구조 또는 다결정 구조 중 임의의 구조일 수 있다.

[0270] 박리층(302)은 스퍼터링법, 플라스마 CVD법, 코팅법, 인쇄법 등에 의해 형성될 수 있다. 코팅법은 스핀 코팅법, 액적토출법 및 디스펜싱법을 포함한다.

[0271] 박리층(302)이 단층 구조인 경우에, 바람직하게는 텅스텐층, 몰리브덴층 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층이 형성된다. 이와 달리, 텅스텐의 산화물 또는 산질화물(oxynitride)을 포함하는 층, 몰리브덴의 산화물 또는 산질화물을 포함하는 층 또는 텅스텐과 몰리브덴의 혼합물의 산화물 또는 산질화물을 포함하는 층이 형성된다. 텅스텐과 몰리브덴의 혼합물은 가령 텅스텐과 몰리브덴의 합금에 상당한다.

[0272] 박리층(302)이 적층 구조인 경우, 바람직하게는, 제 1 층으로서, 텅스텐층, 몰리브덴층 또는 텅스텐과 몰리브덴

의 혼합물을 포함하는 층이 형성된다. 제 2 층으로서, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 질화물, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산질화물, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 질화 산화물 등이 형성되는 것이 바람직하다.

[0273] 박리층(302)을 텅스텐을 포함하는 층과 텅스텐의 산화물을 포함하는 층의 적층 구조로 형성할 경우, 다음과 같이 방식이 사용될 수 있다. 텅스텐을 포함하는 층을 형성하고, 텅스텐을 포함하는 층 상에 산화물을 사용하여 형성된 절연층을 형성한다. 이로써, 텅스텐층과 절연층 간의 계면에 텅스텐의 산화물을 포함하는 층이 형성된다.

[0274] 또한, 박리층이 형성되고 이어서 제조 기판 상에 박막 트랜지스터 및 발광 소자가 형성될 경우에, 산화물 반도체층의 탈수화 또는 탈수소화를 위한 가열 처리에 의해 박리층도 가열된다. 이로써, 나중의 공정에서 제조 기판에서 지지 기판으로의 박리가 행해질 때, 박리층 계면에서의 박리가 용이해진다.

[0275] 또한, 열산화 처리, 산소 플라스마 처리, 오존 물(ozone water) 등의 산화력이 강한 용액으로의 처리를 수행함으로써 텅스텐의 산화물을 포함하는 층을 텅스텐을 포함하는 층의 표면 상에 형성할 수 있다. 플라스마 처리 또는 가열 처리는 산소 분위기, 질소 분위기 또는 1 산화 2 질소 분위기 하에서 단독으로 수행되거나 이들 가스 중 임의의 것과 다른 가스의 혼합 가스의 분위기 하에서 수행될 수 있다. 동일한 바가 텅스텐의 질화물, 산질화물 및 질화 산화물을 포함하는 층을 형성할 경우에도 적용된다. 텅스텐을 포함하는 층을 형성한 후, 그 상에 질화 규소층, 산질화 규소층 또는 질화 산화 규소층이 형성될 수 있다.

[0276] 박리층(302) 상에 피박리층(304)이 형성된다. 피박리층(304)은 제 1 절연층(8104) 상에 형성된 박막 트랜지스터(170), 박막 트랜지스터(180), 커패시터(147), 컬러 필터층(191), 오버코트층(192), 산화물 절연막(107), 보호 절연층(106), 보호 절연층(109) 및 발광 소자의 제 1 전극층(110)을 포함한다.

[0277] 먼저, 제 1 절연층(8104)을 박리층(302) 상에 형성한다. 제 1 절연층(8104)은 질화 규소막, 산질화 규소막, 질화 산화 규소막과 같은 질소와 규소를 포함하는 절연막을 단층 구조 또는 적층 구조로 해서 형성하는 것이 바람직하다.

[0278] 제 1 절연층(8104)은 스퍼터링법이나 플라스마 CVD 법, 코팅법, 인쇄법 등을 이용해서 형성될 수 있다. 가령, 제 1 절연층(8104)은 플라스마 CVD 법에 의해 막 형성 온도를 250℃ 내지 400℃로 하여 형성될 수 있으며, 이로써 치밀하고 수분 침투성이 매우 낮은 막이 획득될 수 있다. 제 1 절연층(8104)의 두께는 바람직하게는 10nm 내지 1000nm, 더 바람직하게는 100nm 내지 700nm이다.

[0279] 제 1 절연층(8104)을 형성함으로써, 나중의 박리 공정에서 제 1 절연층(8104)과 박리층(302) 간의 계면에서의 박리가 용이해진다. 더욱이, 나중의 박리 공정에서 반도체 소자나 배선에 균열이나 데미지(damage)가 발생하는 것이 방지될 수 있다. 또한, 제 1 절연층(8104)은 발광 장치(8400)의 보호층으로서 기능한다.

[0280] 제 1 절연층(8104) 상에 피박리층(304)을 형성한다. 피박리층(304)은 실시예 1에서 설명한 방법을 적용해서 형성할 수 있기 때문에, 여기에서는 상세한 설명을 생략한다.

[0281] 그 다음에, 제거 가능한 접착층(305)을 사용하여 제 2 제조 기판(306)을 일시적으로 피박리층(304)에 부착시킨다. 제 2 제조 기판(306)을 피박리층(304)에 부착함으로써, 피박리층(304)을 박리층(302)으로부터 용이하게 박리할 수 있다. 또한, 박리 공정을 통해서 피박리층(304)에 부가된 응력을 완화시킬 수 있으며 박막 트랜지스터를 보호할 수 있다. 또한, 제거 가능한 접착층(305)이 사용되기 때문에, 제 2 제조 기판(306)이 사용 후에 용이하게 제거될 수 있다.

[0282] 이 제거 가능한 접착층(305)으로서는 가령 수용성 수지가 사용될 수 있다. 이러한 수용성 수지를 도포하게 되면 피박리층(304)의 비평탄성이 줄어들어서 피박리층(304)이 제 2 제조 기판(306)에 용이하게 부착될 수 있다. 또한, 제거 가능한 접착층(305)으로서, 빛 또는 열에 의해 박리 가능한 접착제와 수용성 수지의 적층이 사용될 수도 있다.

[0283] 이어서, 피박리층(304)을 제 1 제조 기판(300)으로부터 박리한다(도 28(B) 참조). 박리 방법으로서는 여러 가지 방법을 사용할 수 있다.

[0284] 가령, 박리층(302)으로서 금속 산화막이 제 1 절연층(8104)과 접촉하는 측에 형성되었을 경우에는, 상기 금속 산화막은 결정화에 의해 취약하게 되어서, 피박리층(304)을 제 1 제조 기판(300)으로부터 박리할 수 있다.

또한, 상기 금속 산화막이 결정화에 의해 취약하게 된 후에, 박리층(302)의 일부가 용액 또는 NF_3, BF_3, CF_3 등의 불화 할로겐 가스에 의한 에칭에 의해 제거되고, 취약하게 된 금속 산화 막을 따라서 박리가 수행될 수 있다.

[0285] 또한, 박리층(302)으로서 질소, 산소, 수소 등을 포함하는 막(가령, 수소를 포함하는 비정질 규소막, 수소 함유 합금막 또는 산소 함유 합금막)이 사용되고 제 1 제조 기판(300)으로서 광투과성을 갖는 기판이 사용되었을 경우에는, 다음과 같은 방식이 사용될 수 있다. 제 1 제조 기판(300)을 통해서 박리층(302)으로 레이저 광을 조사하여 박리층 내에 함유된 질소, 산소 또는 수소를 기화시켜서, 제 1 제조 기판(300)과 박리층(302) 간의 박리가 일어나게 한다.

[0286] 또한, 박리층(302)을 에칭에 의해 제거함으로써, 피박리층(304)을 제 1 제조 기판(300)으로부터 박리해도 좋다.

[0287] 또한, 제 1 제조 기판(300)을 기계적으로 연마해 제거하는 방법 또는 제 1 제조 기판(300)을 NF_3, BF_3, CF_3 등의 불화 할로겐 가스에 의한 에칭에 의해 제거하는 방법 등이 이용될 수 있다. 이 경우에, 박리층(302)은 반드시 사용되지 않을 수 있다.

[0288] 또한, 피박리층(304)은 다음과 같은 방식에 의해 제 1 제조 기판(300)으로부터 박리될 수 있다. 레이저 광의 조사, 가스 또는 용액 등에 의한 에칭 또는 날카로운 나이프나 메스(scalpel) 등을 이용하여 박리층(302)을 노출시키는 그루브(goove)가 형성되고, 이 그루브를 박리 촉발체로 이용하여 박리층(302)과 보호층으로서 기능하는 제 1 절연층(8104) 간의 계면을 따라서 박리가 발생하게 된다.

[0289] 그 박리 방법으로서는, 가령, 기계적인 힘(인간의 손이나 그리퍼(gripper)로 박리하는 처리, 롤러를 회전시켜서 박리하는 처리 등)이 더하여 사용될 수 있다. 이와 달리, 그루브에 액체를 적하하여 박리층(302)과 제 1 절연층(8104) 간의 계면에 액체를 침투시켜서 박리층(302)으로부터 피박리층(304)을 박리시킬 수 있다. 또한, 그루브에 NF_3, BF_3, CF_3 등의 불화 가스를 도입하고 박리층(302)을 불화 가스로 에칭해서 제거함으로써, 절연 표면을 갖는 제 1 제조 기판(300)으로부터 피박리층(304)을 박리시킬 수도 있다. 또한, 물과 같은 액체가 박리 동안에 부어지면서 박리가 수행될 수 있다.

[0290] 그 밖의 박리 방법으로서, 박리층(302)을 텅스텐으로 형성했을 경우에, 암모니아 물과 과산화수소 물의 혼합 용액을 사용하여 박리층을 에칭하면서 박리를 행할 수 있다.

[0291] 이어서, 얇고 경량이면서 광투과성이 있는 제 1 기판(8100)을 수지층(8141)을 사용하여 피박리층(304)에 부착시킨다(도 29(A) 참조).

[0292] 얇고 경량이면서 광투과성이 있는 제 1 기판(8100)으로서, 가용성이 있으면서 가시광에 대해서 투과성이 있는 기판이 사용될 수 있다. 가령, 폴리에틸렌 테레프탈레이트 (PET), 폴리에틸렌 나프탈레이트 (PEN) 등과 같은 폴리에스테르 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸 메타크릴레이트 수지, 폴리카보네이트 (PC) 수지, 폴리에테르술폰 (PES) 수지, 폴리아미드 수지, 사이클로올레핀 수지, 폴리스틴렌 수지, 폴리아미드 이미드 수지 또는 폴리비닐클로라이드 수지가 사용될 수 있다. 또한, 질화 규소막, 산질화 규소막과 같은 질소 및 규소를 포함하는 막 또는 질화 알루미늄막과 같은 질소 및 알루미늄을 포함하는 막과 같이 물이 침투할 가능성이 낮은 보호성 막이 제 1 기판(8100) 상에 미리 형성될 수도 있다. 섬유체에 유기 수지가 함침된 구조체(소위, 프리프레그(prepreg))가 제 1 기판(8100)으로서 사용될 수 있다.

[0293] 제 1 기판(8100)의 재료 중에 섬유체가 포함되어 있을 경우, 섬유체로서 유기 화합물 또는 무기화합물로 된 고강도 섬유가 사용된다. 고강도 섬유는 구체적으로는 인장 탄성율이 높은 섬유 또는 영률(Young's modulus)이 높은 섬유를 말한다. 그 대표적인 예로서는, 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유 또는 탄소 섬유를 들 수 있다. 유리 섬유로서는, E 유리, S 유리, D 유리, Q 유리 등을 이용한 유리 섬유를 들 수 있다. 이러한 섬유들은 직포 상태 또는 부직포 상태로 사용될 수 있으며, 이 섬유체에 유기 수지가 함침되고 유기 수지가 경화되는 구조체가 제 1 기판(8100)으로서 사용될 수 있다. 이 제 1 기판(8100)으로서 섬유체와 유기 수지를 포함하는 구조체를 사용할 경우에, 구부림 또는 국소적 압력으로 인한 파손에 대한 신뢰성이 향상되기 때문에 이는 바람직하다.

[0294] 제 1 기판(8100)이 상술한 바와 같은 섬유체를 포함할 경우, 발광 소자로부터 방출된 광이 외부로 나가는 것을 방해하는 바를 저감시키기 위해서, 상기 섬유체를 100nm 이하의 직경을 갖는 나노 섬유로 하는 것이 바람직하다. 또한, 섬유체의 굴절율과 유기 수지 또는 접착제의 굴절율은 서로 일치하는 것이 바람직하다.

[0295] 수지층(8141)으로서, 자외선(UV) 경화형 접착제와 같은 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제 또는 혐기성 접착제(anaerobic adhesive)와 같은 각종 경화형 접착제가 사용될 수 있다. 이러한 접착제들의 재질로서는, 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지 등이 사용될 수 있다.

[0296] 제 1 기판(8100)으로서 프리프레그(prepreg)가 사용될 경우에, 접착제를 이용하지 않고 피박리층(304)과 제 1 기판(8100)을 서로 압착해서 직접 부착시킬 수 있다. 이때에, 상기 구조체의 유기 수지로서는, 추가 처리에 의해 더 양호하게 경화되는 반응 경화형 수지, 열 경화형 수지, 자외선 경화형 수지 등이 사용되는 것이 바람직하다.

[0297] 제 1 기판(8100)을 형성한 후, 제 2 제조 기판(306) 및 제거 가능한 접착층 (305)을 제거하여, 제 1 전극층(110)을 노출시킨다(도 29(B) 참조).

[0298] 이상의 공정을 통해서, 박막 트랜지스터(170), 박막 트랜지스터(180) 및 발광 소자의 제 1 전극층(110)을 포함하는 피박리층(304)이 제 1 기판(8100) 상에 형성될 수 있다.

[0299] 그 다음에, 제 1 전극층(110)의 일부를 피복하는 격벽(193)이 형성된다. 제 1 전극층 (110) 상에 EL 층(194)이 형성된다. EL 층(194)은 저분자 재료 및 고분자재료 중 어느 하나를 사용하여 형성될 수 있다. EL 층(194)을 형성하는 재료는 유기 화합물 재료만을 포함하는 재료로 한정되는 것이 아니라 무기 화합물 재료를 부분적으로 포함할 수 있다. EL 층(194)은 적어도 발광층을 가져야 하며, 단일 발광 층을 사용하여 형성된 단층 구조 또는 각기 다른 기능을 갖는 층들로 이루어지는 적층 구조가 사용될 수 있다. 가령, 발광층 이외에, 정공 주입층, 정공 수송층, 캐리어 차단층, 전자 수송층 및 전자 주입층와 같은 기능층들이 적절하게 조합될 수 있다. 각 층이 갖는 기능을 2 개 이상 동시에 갖는 층이 포함될 수도 있다.

[0300] EL 층(194)은 증착법, 잉크젯법, 스핀 코팅법, 딥 코팅법, 노즐 프린팅법과 같이 습식 공정 또는 건식 공정 어느 것을 사용하더라도 형성될 수 있다.

[0301] 그 다음에, EL 층(194) 상에 제 2 전극층(195)이 형성된다. 제 2 전극층(195)은 제 1 전극층(110)의 재료와 동일한 재료를 사용해서 형성될 수 있다. 제 1 전극층(110)을 양극으로 했을 경우에는 제 2 전극층(195)이 음극이 되고, 제 1 전극층(110)을 음극으로 했을 경우에는 제 2 전극층(195)이 양극이 된다. 따라서, 제 1 전극층(110) 및 제 2 전극층(195)은 각각의 극성에 대응하는 일함수를 갖는 재료를 선택해서 형성된다.

[0302] 본 실시예에서는, 제 1 전극층(110)을 양극으로 사용하고, EL 층(194)은 제 1 전극층(110) 측으로부터 순서대로 정공 주입층, 정공 수송층, 발광층 및 전자 주입층이 적층된 구조를 갖는다. 발광층으로서 다양한 재료를 이용할 수 있다. 가령, 형광을 발현하는 형광성 화합물이나 인광을 발현하는 인광성 화합물이 사용될 수 있다. 또한, 제 2 전극층(195)으로서는 일 함수가 작은 재료를 이용한다. 제 1 전극층(110) 측을 통해서 광이 방출되기 때문에, 제 2 전극층(195)으로서는 반사율이 높은 재료가 선택된다.

[0303] 이상의 공정을 통해서, 박막 트랜지스터(170) 및 발광 소자를 포함하는 화소부(8250)가 형성된다.

[0304] 또한, 제 2 전극층 (195) 상에 보호막이 형성될 수 있다. 가령, 보호막은 스퍼터링법이나 플라스마 CVD법, 코팅법, 인쇄법 등에 의해 질화 규소, 질화산화 규소, 산질화 규소 등과 같이 질소와 규소를 포함하는 재료 또는 산화 알루미늄 등을 사용해서 단층 또는 다층으로 형성될 수 있다. 이와 달리, 상술한 무기 절연막과 수지막 등의 유기 절연막을 서로 적층시켜서 보호막을 형성할 수 있다. 보호막을 제공함으로써, 수분 및 산소 등의 기체가 소자부에 침입하는 것을 방지할 수 있다. 보호층으로서 기능하는 보호막의 두께는 바람직하게는 10nm 이상 1000nm, 보다 바람직하게는 100nm 내지 700nm이다. 한편, 단자부(8254,8255) 상에 보호막이 형성되지 않도록 단자부(8254,8255)는 쉐도우 마스크(shadow mask) 등을 이용해서 피복된다(도 30 참조).

[0305] 이어서, 화소부(8250) 및 구동 회로부(8252)를 피복하도록 제 2 기판(8144)이 부착된다. 제 2 기판(8144)은 화소부(8250)와 구동 회로부(8252) 상에 수지층(8142)을 사용하여 부착된다.

[0306] 수지층(8142)은 밀착성이 양호한 재료를 이용하는 것이 바람직하다. 가령, 아크릴 수지, 폴리이미드 수지, 멜라민 수지, 폴리에스테르 수지, 폴리카보네이트 수지, 페놀 수지, 에폭시 수지, 폴리아세탈, 폴리에테르, 폴리우레탄, 폴리아미드(나일론), 퓨란 수지 또는 디아릴프탈레이트 수지와 같은 유기 화합물이 사용될 수 있다. 또는, 실리카 유리로 대표되는 실록산 폴리머계 재료를 출발 재료로 사용하여 형성되며 규소, 산소 및 수소를 포함하는 화합물 중에 Si-O-Si 결합을 포함하는 무기 실록산 폴리머가 사용될 수 있다. 또한, 실리콘과 결합한 수소가 알킬실록산 폴리머, 알킬실세스퀴옥산 폴리머, 실세스퀴옥산 하이드라이드(hydride) 폴리머 또는 알킬실세스퀴옥산 하이드라이드 폴리머와 같은 유기기에 의해 치환되는 유기 실록산 폴리머들이 사용될 수 있다.

또한, 섬유체가 이러한 수지 층(8142) 재료 내에 포함될 수 있다.

[0307] 수지층(8142)은 가령 코팅법을 이용해서 조성물을 도포하고 건조 가열해서 형성될 수 있다. 이와 달리, 수지층(8142)으로서, 섬유체에 유기 수지가 함침된 구조체를 사용할 수도 있다.

[0308] 제 2 기판(8144)으로서 얇으면서 투수성이 낮은 기판이 사용된다. 가령, 금속 기판이 사용될 수 있다. 금속 기판을 구성하는 재료는 특정 재료로 한정되지 않지만, 알루미늄, 구리, 니켈이나 알루미늄 합금 또는 스테인리스 스틸과 같은 금속 합금 등이 사용되는 것이 바람직하다. 제 2 기판(8144)을 부착하기 이전에, 이 제 2 기판은 진공 중에서 베이킹 처리나 플라스마 처리를 받는 것이 바람직한데, 이로써, 금속 기판 표면에 부착된 수분이 제거될 수 있다. 제 2 기판(8144) 표면 상에도 수지막을 제공하여 제 2 기판(8144)을 보호할 수 있다.

[0309] 제 2 기판(8144)은 라미네이터(laminator)를 사용하여 부착될 수 있다. 가령, 라미네이터를 사용하여 금속 기판 상에 시트형 접착제를 도포하고, 금속 기판은 화소부(8250) 및 구동 회로부(8252) 상에 라미네이터를 사용해서 부착될 수 있다. 이와 달리, 스크린 인쇄 등으로 해서 제 2 기판(8144) 상에 수지층(8142)을 인쇄하고, 이 제 2 기판(8142)이 발광 소자 상에 라미네이터를 사용하여 발광 소에 부착될 수 있다. 이러한 공정은 저감된 압력 하에서 수행되는 것이 바람직한데, 이로써, 거품이 들어가기 어렵게 된다(도 27 참조).

[0310] 상술한 바와 같이, 본 발명의 일 실시예인 발광 장치가 제조될 수 있다.

[0311] 본 실시예는 피박리층에 박막 트랜지스터 및 발광 소자의 제 1 전극이 형성되는 방법의 실례를 나타내었지만, 본 명세서에서 개시된 본 발명은 이에 한정되는 것은 아니다. 발광 소자가 형성된 후에(즉, 발광 소자의 제 2 전극이 형성된 후에) 박리 및 전치가 수행될 수 있다. 또한, 제 1 절연층과 제 1 전극만을 포함한 피박리층이 제 1 기판으로 박리 및 전치되고, 이 전치 후에 박막 트랜지스터 및 발광 소자가 제조될 수 있다. 또한, 제 1 절연층만이 제조 기판 상에 형성되고 다른 기판으로 박리 및 전치된 후에 박막 트랜지스터 및 발광 소자가 제조될 수 있다.

[0312] 본 실시예의 발광 장치(8400)는 얇고 경량이면서 광투과성을 갖는 제 1 기판(8100)과 얇고 투수성(water permeability)이 낮은 제 2 기판(8144) 간에 형성되며, 이로써, 경량이면서 용이하게 취급되고 가요성을 갖는 발광 장치가 제공될 수 있다. 또한, 투수성이 낮은 제 2 기판(8144)으로서 금속 기판을 사용하여 발광 장치의 지지체로서 사용할 수 있다. 이로써, 발광 소자로의 수분의 침입이 방지되어서 수명이 긴 발광 장치를 제공할 수 있다.

[0313] 본 실시예에 따르면, 내열성이 높은 기판을 이용해서 제조된 박막 트랜지스터가 얇고 경량이면서 광투과성을 갖는 제 1 기판으로 전치될 수 있다. 따라서, 제 1 기판의 내열성에 제약되는 일 없이 신뢰성이 높고 양호한 전기적 특성을 갖는 박막 트랜지스터를 형성할 수 있다. 이러한 박막 트랜지스터가 동일한 기판 상에 형성된 화소부 및 구동 회로부 내에 형성된 발광 장치는 우수한 신뢰성 및 동작 특성을 갖는다.

[0314] 본 실시예에 기술된 구성은 다른 실시예들에서 기술된 임의의 구성들과 적합하게 조합될 수 있다.

[0316] **실시예 7**

[0317] 본 실시예에서는, 실시예 1 내지 실시예 6 중 임의의 실시예에서 기술된 발광 장치에서, 박막 트랜지스터 및 일렉트로루미네슨스를 이용한 발광 소자를 사용하여 액티브 매트릭스 발광 표시 장치를 제조하는 실례가 기술될 것이다.

[0318] 일렉트로루미네슨스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기화합물인지에 따라서 분류된다. 일반적으로, 전자는 유기 EL 소자라 지칭되고, 후자는 무기 EL 소자라 지칭된다.

[0319] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 전자 및 정공이 한 쌍의 전극으로부터 발광 유기 화합물을 포함하는 층으로 개별적으로 주입되어서 전류가 흐르게 된다. 이어서, 캐리어들(전자 및 정공)이 재결합함으로써 발광 유기 화합물이 여기 상태가 된다. 이 발광 유기 화합물이 이 여기 상태에서 기저 상태에 돌아갈 때에 발광이 일어난다. 이러한 메커니즘으로부터, 이러한 발광 소자는 전류 여기형 발광 소자라 지칭된다.

[0320] 무기 EL 소자는 그 소자 구조에 따라서 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자가 바인더(binder) 내에 분산된 발광층을 가지며, 발광 메커니즘은 도너 레벨과 억셉터 레벨을 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL소자는 발광층이 유전체층들 간에 샌드위치된 구조를 가지며, 발광 메커니즘은 금속 이온의 내부 쉘(inner-shell) 전자 전이를 이용한 국소화된 타입의 발광이다. 여기에서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0321] 도 19는 발광 장치의 실례로서 디지털 시간 계조 구동이 적용될 수 있는 화소 구성 및 동작이 기술된다. 여기에서는, 일 화소가 각각이 산화물 반도체층을 채널 형성 영역으로 사용하는 2 개의 n 채널형 트랜지스터를 포함하는 실례가 나타나 있다.

[0322] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 커패시터(6403)를 포함하고 있다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되며, 스위칭용 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)의 게이트는 커패시터(6403)를 통해서 전원선(6407)에 접속된다. 구동용 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속된다. 구동용 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일한 기판 상에 형성된 공통 전위선과 전기적으로 접속된다.

[0323] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저 전원 전위가 설정된다.저 전원 전위는 전원선(6407)으로 설정된 고 전원 전위를 기준으로 해서 (저 전원 전위 < 고 전원 전위)를 충족시키는 전위이다. 저 전원 전위로서는 가령 GND, 0V등이 설정될 수 있다. 이 고 전원 전위와 저 전원 전위 간의 전위차가 발광 소자(6404)에 인가되고, 이로써, 발광 소자(6404)를 통해서 전류가 흐르게 되어서, 발광 소자(6404)가 발광한다. 고 전원 전위와 저 전원 전위 간의 전위차가 발광 소자(6404)의 순방향 임계값 이상이 되도록 각 전위가 설정된다.

[0324] 구동용 트랜지스터(6402)의 게이트 커패시턴스가 커패시터(6403)를 대신해서 사용될 경우에, 커패시터(6403)는 생략될 수 있다. 구동용 트랜지스터(6402)의 게이트 커패시턴스는 채널 영역과 게이트 전극 간에 형성될 수 있다.

[0325] 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 완전하게 온 또는 오프되도록 하는 영상 신호가 입력된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 따라서, 전원선 (6407)의 전압보다도 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 신호선(6405)에는 (전원선 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다.

[0326] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 수행할 경우, 신호 입력을 변경함으로써 도 19과 같은 화소 구성이 사용될 수 있다.

[0327] 아날로그 계조 구동을 수행할 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 (순방향 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압은 소망하는 휘도가 획득되는 전압을 말하며, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 하는 영상 신호를 입력함으로써, 발광 소자(6404)를 통해서 전류가 흐를 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 설정된다.

[0328] 아날로그 영상 신호를 사용함으로써, 발광 소자(6404)를 통해서 상기 영상 신호에 따른 전류가 흐르게 되고, 아날로그 계조 구동이 수행될 수 있다.

[0329] 도 19에 나타난 화소 구성은 이에 한정되지 않는다. 가령, 도 19에 나타난 화소에 스위치, 저항, 커패시터, 트랜지스터 또는 논리 회로 등을 새롭게 추가할 수 있다.

[0330] 이어서, 발광 소자의 구성에 대해서 도 20을 참조하여 설명한다. 여기에서는, n 타입 구동용 TFT를 실례로 들어서 화소의 단면 구조에 대해서 설명한다. 도 20(A), 도 20(B) 및 도 20(C)의 발광 장치에서 사용될 수 있는 구동용 TFT(7001,7011, 7021)는 실시예 1 내지 실시예 5 중 임의의 실시예에서 기술된 박막 트랜지스터와 유사한 방식으로 형성될 수 있으며 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다.

[0331] 발광 소자로부터 방사된 광을 추출하기 위해서, 양극 및 음극 중 적어도 하나는 광을 투과시켜야 한다. 기판 상에 박막 트랜지스터 및 발광 소자가 형성된다. 발광 소자는 기판과 반대되는 측의 면으로부터 광이 추출되는 톱 방사 구조(top emission structure) 또는 기판 측의 면으로부터 광이 추출되는 보텀 방사 구조 또는 기판 측의 면 및 기판과는 반대되는 측의 면으로부터 광이 추출되는 양면 방사 구조를 가질 수 있다. 화소 구성은 이러한 방사 구조들 중 임의의 것을 갖는 발광 소자에 적용될 수 있다.

[0332] 보텀 방사 구조를 갖는 발광 소자에 대해서 도 20(A)를 참조하여 설명한다.

[0333] 도 20(A)는 구동용 TFT(7011)가 n 채널 트랜지스터이며 광이 발광 소자(7012)로부터 제 1 전극(7013) 측으로 방사되는 경우에 화소의 단면을 나타낸다. 도 20(A)에서, 구동용 TFT(7011)과 전기적으로 접속된 광투과 도전막(7017) 상에, 발광 소자(7012)의 제 1 전극층(7013)이 형성되고 있다. 이 제 1 전극층(7013) 상에 EL 층(7014) 및 제 2 전극층(7015)이 순서대로 적층되어 있다. 도전막(7017)은 보호 절연층(7035), 보호 절연층(7032) 및 산화물 절연층(7031) 내에 형성된 콘택트 홀을 통해서 구동용 TFT(7011)의 드레인 전극층과 전기적으로 접속되어 있다.

[0334] 광투과 도전막(7017)으로서는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 광투과 도전막이 사용될 수 있다.

[0335] 또한, 발광 소자의 제 1 전극층(7013)으로서 다양한 재료를 이용할 수 있다. 가령, 제 1 전극층(7013)을 음극으로서 사용할 경우에는, 일함수가 작은 재료, 구체적으로는, 가령, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, Sr 등의 알칼리 토금속, 이들 중 임의의 것들을 포함하는 합금(가령, Mg:Ag, Al:Li), Yb 또는 Er 등의 희토류 금속 등이 바람직하다. 도 20(A)에서, 제 1 전극층(7013)의 막 두께는 광이 투과할 수 있을 정도의 두께(바람직하게는, 대략 5nm 내지 30nm)를 갖는다. 가령, 20nm의 막 두께를 갖는 알루미늄 막을 제 1 전극층(7013)으로서 사용할 수 있다.

[0336] 이와 달리, 광투과 도전막 및 알루미늄 막을 적층하고, 이어서, 이들을 선택적으로 에칭하여, 광투과 도전막(7017) 및 제 1 전극층(7013)을 형성할 수 있다. 이는 동일한 마스크를 사용하여 에칭이 수행될 수 있기 때문에 바람직하다.

[0337] 또한, 제 1 전극층(7013)의 주변부는 격벽(7019)으로 피복된다. 격벽(7019)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산 막을 사용하여 형성된다. 제 1 전극층(7013) 상에 개구부를 형성하고 그 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 격벽(7019)이 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 격벽(7019)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.

[0338] 또한, 제 1 전극층(7013) 및 격벽(7019) 상에 형성된 EL 층(7014)은 적어도 발광층을 포함하며 단층 또는 다수의 층의 적층으로서 해서 형성될 수 있다. EL 층 (7014)이 복수의 층으로 구성되는 경우, 음극으로서 기능하는 제 1 전극층(7013) 상에, 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층이 이 순서대로 적층된다. 이러한 층들 모두를 제공할 필요는 없다.

[0339] 적층 순서는 상기와 같은 적층 순서로 한정되지 않는다. 제 1 전극층(7013)이 양극으로서 기능하는 경우에, 제 1 전극층(7013) 상에 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층이 이 순서대로 적층된다. 소비 전력 측면에서, 제 1 전극층(7013)을 음극으로서 기능시키고 이 제 1 전극층(7013) 상에 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층의 순서대로 적층하는 방식이 구동 회로부의 전압 상승을 억제할 수 있어서 소비 전력을 적게 할 수 있다는 점에서 바람직하다.

[0340] 또한, EL 층(7014) 상에 형성되는 제 2 전극층(7015)으로서 다양한 재료를 이용할 수 있다. 가령, 제 2 전극층(7015)을 양극으로서 사용할 경우, 일함수가 큰 재료, 가령, ZrN, Ti, W, Ni, PT, Cr 등이나 ITO, IZO, ZnO 등의 투명 도전성 재료가 제 2 전극층(7015)의 재료로서 바람직하다. 또한, 제 2 전극층(7015) 상에 차폐 막(7016), 가령 광을 차폐하는 금속, 빛을 반사시키는 금속 등이 형성될 수 있다. 본 실시예에서는, 제 2 전극층(7015)으로서 ITO 막을 사용하고, 차폐막(7016)으로서 Ti 막을 사용하였다.

[0341] 발광층을 포함하는 EL 층(7014)이 제 1 전극층(7013)과 제 2 전극층(7015)에 의해 샌드위치된 영역이 발광 소자(7012)에 상당한다. 도 20(A)에 나타난 소자 구조의 경우, 발광 소자(7012)로부터 발생하는 광은 화살표로 표시된 바와 같이 제 1 전극층(7013) 측으로 향하여 컬러 필터층(7033)을 통과해서 외부로 나간다.

[0342] 컬러 필터층(7033)은 잉크젯법 등의 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 형성된다.

[0343] 컬러 필터층(7033)은 오버코트층(7034)으로 피복되며 나아가 보호 절연층 (7035)에 의해도 피복된다. 도 20(A)에서 오버코트층(7034)은 작은 막 두께를 갖는 것으로 도시되었지만, 오버코트층(7034)은 컬러 필터층(7033)에 의해 기인되는 요철을 평탄화하는 기능을 소유하고 있다.

[0344] 그 다음에, 양면 방사 구조의 발광 소자에 대해서 도 20(B)을 사용하여 설명한다.

[0345] 도 20(B)에서, 구동용 TFT(7021)과 전기적으로 접속된 광투과 도전막(7027) 상에, 발광 소자(7022)의 제 1 전극층(7023)이 형성되고 있다. 이 제 1 전극층(7023) 상에 EL 층(7024) 및 제 2 전극층(7025)이 순서대로 적층되어 있다. 도전막(7027)은 보호 절연층(7045), 보호 절연층(7042) 및 산화물 절연층(7041) 내에 형성된 콘택트 홀을 통해서 구동용 TFT(7021)의 드레인 전극층과 전기적으로 접속되어 있다.

[0346] 광투과 도전막(7027)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 광투과 도전막을 사용할 수 있다.

[0347] 제 1 전극층(7023)으로서 다양한 재료를 이용할 수 있다. 가령, 제 1 전극층(7023)을 음극으로서 사용할 경우에는, 일함수가 작은 재료, 구체적으로는, 가령, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, Sr 등의 알칼리 토금속, 이들 중 임의의 것들을 포함하는 합금(가령, Mg:Ag, Al:Li), Yb 또는 Er 등의 희토류 금속 등이 바람직하다. 본 실시예에서, 제 1 전극층(7023)은 음극으로서 기능하며 광이 투과할 수 있을 정도의 막 두께(바람직하게는, 대략 5nm 내지 30nm)를 갖는다. 가령, 20nm의 막 두께를 갖는 알루미늄 막이 이러한 음극 층으로서 사용될 수 있다.

[0348] 이와 달리, 광투과 도전막 및 알루미늄 막을 적층하고, 이어서, 이들을 선택적으로 에칭하여, 광투과 도전막(7027) 및 제 1 전극층(7023)을 형성할 수 있다. 이는 동일한 마스크를 사용하여 에칭이 수행될 수 있기 때문에 바람직하다.

[0349] 또한, 제 1 전극층(7023)의 주변부는 격벽(7029)으로 피복된다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산 막을 사용하여 형성된다. 제 1 전극층(7023) 상에 개구부를 형성하고 그 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 격벽(7029)이 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 격벽(7029)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.

[0350] 또한, 제 1 전극층(7023) 및 격벽(7029) 상에 형성된 EL 층(7024)은 적어도 발광층을 포함하며 단층으로 해서 또는 다수의 층의 적층으로서 해서 형성될 수 있다. EL 층 (7024)이 복수의 층으로 구성되는 경우, 음극으로서 기능하는 제 1 전극층(7023) 상에, 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층이 이 순서대로 적층된다. 이러한 층들 모두를 제공할 필요는 없다.

[0351] 적층 순서는 상기와 같은 적층 순서로 한정되지 않는다. 제 1 전극층(7023)이 양극으로서 기능하는 경우에, 제 1 전극층(7023) 상에 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층이 이 순서대로 적층된다. 소비 전력 측면에서, 제 1 전극층(7023)을 음극으로서 기능시키고 이 제 1 전극층(7023) 상에 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층의 순서대로 적층하는 방식이 소비 전력을 적게 할 수 있다는 점에서 바람직하다.

[0352] 또한, EL 층(7024) 상에 형성되는 제 2 전극층(7025)으로서 다양한 재료를 이용할 수 있다. 가령, 제 2 전극층(7025)을 양극으로서 사용할 경우, 일함수가 큰 재료, 가령, ITO, IZO, ZnO 등의 투명 도전성 재료가 제 2 전극층(7025)의 재료로서 바람직하다. 본 실시예에서는, 제 2 전극층(7025)이 양극으로서 사용되며, 산화 규소를 포함하는 ITO 막이 사용된다.

[0353] 발광층을 포함하는 EL 층(7024)이 제 1 전극층(7023)과 제 2 전극층(7025)에 의해 샌드위치된 영역이 발광 소자(7022)에 상당한다. 도 20(B)에 나타난 소자 구조의 경우, 발광 소자(7022)로부터 발생하는 광은 화살표로 표시된 바와 같이 제 1 전극층(7023) 측 및 제 2 전극층(7025) 측 양자를 향하여 통과한다.

[0354] 컬러 필터층(7043)은 잉크젯법 등의 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 형성된다.

[0355] 또한, 컬러 필터층(7043)은 오버코트층(7044)으로 피복되며 나아가 보호 절연층(7045)에 의해도 피복된다.

[0356] 양면 방사 구조를 갖는 발광 소자가 사용되어 양 표시면 상에서 풀 컬러 표시가 구현될 때에, 제 2 전극층(7025)으로부의 광은 컬러 필터층(7043)을 통과하지 않으며, 따라서, 다른 컬러 필터층이 제공된 밀봉 기판이 제 2 전극층(7025) 상에 제공되는 것이 바람직하다.

[0357] 다음으로, 톱 방사 구조를 갖는 발광 소자에 대해서 도 20(C)를 참조하여 설명한다.

[0358] 도 20(C)는 구동용 TFT(7001)가 n 채널 트랜지스터이며 광이 발광 소자(7002)로부터 제 2 전극(7005) 측으로

방사되는 경우에 화소의 단면을 나타낸다. 도 20(C)에서, 구동용 TFT(7001)과 전기적으로 접속된 발광 소자(7002)의 제 1 전극층(7003)이 형성되어 있다. 이 제 1 전극층(7003) 상에 EL 층 (7004) 및 제 2 전극층(7005)이 순서대로 적층되어 있다.

[0359] 또한, 제 1 전극층(7003)으로서 다양한 재료가 사용될 수 있다. 가령, 제 1 전극층(7003)이 음극으로서 사용되는 경우에, 일함수가 작은 재료, 구체적으로는, 가령, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, Sr 등의 알칼리 토금속, 이들 중 임의의 것들을 포함하는 합금(가령, Mg:Ag, Al:Li), Yb 또는 Er 등의 희토류 금속 등이 바람직하다.

[0360] 또한, 제 1 전극층(7003)의 주변부는 격벽(7009)으로 피복된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산 막을 사용하여 형성된다. 제 1 전극층(7003) 상에 개구부를 형성하고 그 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 격벽(7009)이 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 격벽(7009)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.

[0361] 또한, 제 1 전극층(7003) 및 격벽(7009) 상에 형성된 EL 층(7004)은 적어도 발광층을 포함하며 단층 또는 다수의 층의 적층으로서 해서 형성될 수 있다. EL 층 (7004)이 복수의 층으로 구성되는 경우, 음극으로서 기능하는 제 1 전극층(7003) 상에, 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층이 이 순서대로 적층된다. 이러한 층들 모두를 제공할 필요는 없다.

[0362] 적층 순서는 상기와 같은 적층 순서로 한정되지 않는다. 제 1 전극층(7003)이 양극으로서 기능하는 경우에, 제 1 전극층(7003) 상에 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층이 이 순서대로 적층된다.

[0363] 도 20(C)에서, Ti 막, 알루미늄 막 및 Ti 막이 이 순서대로 적층된 적층막 상에 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층이 이 순서대로 적층되고, 그 상에, Mg:Ag 합금 박막과 ITO 막의 적층이 형성된다.

[0364] TFT(7001)이 n 타입 트랜지스터일 때에, 제 1 전극층(7003) 상에 전자 주입층, 전자 수송층, 발광층, 정공 수송층 및 정공 주입층이 이 순서대로 적층된 구성이 구동 회로에 있어서의 전압 상승을 억제할 수 있고, 이로써 소비 전력을 적게 할 수 있다는 점에서 바람직하다.

[0365] 제 2 전극층(7005)은 광을 투과하는 광투과 도전성 재료를 이용해서 형성하고, 가령, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 광투과 도전막 재료가 사용될 수 있다.

[0366] 발광층을 포함하는 EL 층(7004)이 제 1 전극층(7003)과 제 2 전극층(7005)에 의해 샌드위치된 영역이 발광 소자(7002)에 상당한다. 도 20(C)에 나타난 소자 구조의 경우, 발광 소자(7002)로부터 발생하는 광은 화살표로 표시된 바와 같이 제 2 전극층(7005) 측으로 향한다.

[0367] 또한, 도 20(C)에서, TFT(7001)의 드레인 전극층은 산화물 절연층(7051), 보호 절연층(7052) 및 보호 절연층(7055) 내에 형성된 콘택트 홀을 통해서 제 1 전극층 (7003)과 전기적으로 접속한다. 평탄화 절연층(7053)은 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시 등과 같은 수지 재료를 사용하여 형성될 수 있다. 상기 수지 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수도 있다. 평탄화 절연층(7053)은 이러한 재료들로 형성되는 절연막을 복수 개로 적층시켜서 형성될 수 있다. 평탄화 절연층(7053)을 형성하기 위한 방법은 특정하게 한정되지 않는다. 평탄화 절연층(7053)은 재료에 따라서 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법 또는 액적 토출법(가령, 잉크젯법, 스크린 프린팅법, 오프셋 프린팅법)과 같은 방법이나 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 수단을 사용하여 형성될 수 있다.

[0368] 또한, 이 제 1 전극층(7003)을 그 이웃하는 화소의 제 1 전극층(7003)과 절연시키기 위해서 격벽(7009)이 형성된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산 막을 사용하여 형성된다. 제 1 전극층(7003) 상에 개구부를 형성하고 그 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 격벽(7009)이 감광성 수지 재료를 이용하여 형성되는 것이 특히 바람직하다. 격벽(7009)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.

[0369] 도 20(C)의 구조에서, 풀 컬러 표시를 수행할 경우, 가령 발광 소자(7002)가 녹색 발광 소자로 이용되며 이웃하

는 발광 소자들 중 하나가 적색 발광 소자로 이용되며, 이웃하는 발광 소자들 중 다른 하나 청색 발광 소자로 이용된다. 이와 달리, 이러한 3 종류의 발광 소자뿐만 아니라 백색 소자를 더 포함하는 4 종류의 발광 소자를 사용하여 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제조될 수 있다.

[0370] 이와 달리, 도 20(C)의 구조에서, 배열된 복수의 발광 소자를 모두 백색 발광 소자로서 하고 이 발광 소자(7002) 상에 컬러 필터 등을 갖는 밀봉 기판을 배치하는 구성으로 해서 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제조될 수 있다. 백색 등의 단색 발광을 구현하는 재료가 형성되어 컬러 필터 또는 컬러 변환 층과 결합되는 구성으로 해서, 풀 컬러 표시가 이루어질 수 있다.

[0371] 도 20(A) 내지 도 20(C)에서는 박막 트랜지스터와 제 1 전극층이 서로 직접 접촉하는 예를 나타내었지만, 실시예 4에서와 같이 박막 트랜지스터의 드레인 전극층이 접속 전극층을 통해서 제 1 전극층과 전기적으로 접속될 수도 있다. 실시예 2, 실시예 3 및 실시예 5 중 임의의 실시예에서 기술된 박막 트랜지스터들이 TFT(7001, 7011, 7021)로서 사용될 수 있다.

[0372] 물론, 단색 발광 표시도 수행될 수 있다. 가령, 백색 발광을 사용하여 조명 장치가 형성될 수 있고, 이와 달리, 단색 발광을 사용하여 에어리어 컬러 타입(area-color type) 발광 장치가 형성될 수 있다.

[0373] 필요하다면, 원형 편광 판(circularly polarizing plate)을 포함하는 편광 필름 등의 광학 필름이 제공될 수 있다.

[0374] 여기에서는, 발광 소자로서 유기 EL 소자에 대해서 기술했지만, 발광 소자로서 무기 EL 소자를 제공하는 것도 가능하다.

[0375] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예가 기술되었지만, 구동용 TFT와 발광 소자 간에 전류 제어용 TFT가 접속되어 있는 구성도 채용될 수 있다.

[0376] 본 실시예는 다른 임의의 실시예들과 적당하게 조합될 수 있다.

[0378] **실시예 8**

[0379] 본 실시예에서는, 실시예 1 내지 실시예 7 중 임의의 실시예에서 기술된 발광 소자의 소자 구성의 실례가 기술될 것이다.

[0380] 도 21(A)에 나타난 소자 구성에서, 한 쌍의 전극(제 1 전극(1001) 및 제 2 전극(1002)) 사이에 발광 영역을 포함하는 EL 층(1003)이 샌드위치되어 있다. 이하의 본 실시예의 설명에서, 예시적으로, 제 1 전극(1001)을 양극으로서 사용하고 제 2 전극(1002)을 음극으로서 사용한다.

[0381] EL 층(1003)은 적어도 발광층을 포함하며 이 발광층 이외에 기능층을 포함하는 적층 구조를 가질 수 있다. 발광층 이외의 기능층으로서는 다음과 같은 물질을 포함하는 층이 사용될 수 있다. 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 바이폴라성 물질(전자 수송성 및 정공 수송성 양자가 높은 물질) 등이 있다. 구체적으로는, 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층 등의 기능층들을 적당하게 조합하여 사용할 수 있다.

[0382] 도 21(A)에 나타난 발광 소자에서는 제 1 전극(1001)과 제 2 전극(1002) 간에서 발생한 전위차에 의해 전류가 흐르고 EL 층(1003)에서 정공과 전자가 재결합하여 발광이 이루어진다. 즉, 발광 영역은 LE 층(1003)에서 형성된다.

[0383] 발광은 제 1 전극(1001) 또는 제 2 전극(1002) 중 어느 한 측을 통해서 외부로 추출되거나 제 1 전극(1001) 및 제 2 전극(1002) 양자를 통해서 외부로 추출될 수 있다. 따라서, 제 1 전극(1001) 및 제 2 전극(1002) 중 어느 하나 또는 모두가 광투과 물질로 형성될 수 있다.

[0384] EL 층은 도 21(B)에서와 같이 제 1 전극(1001)과 제 2 전극(1002) 간에서 복수 개로 적층 구성될 수 있다. n(n은 2 이상의 자연수) 개의 층의 적층 구조를 갖는 경우에, 각 m(m은 자연수이며 1 내지 n-1) 번째의 EL 층과 각 (m+1) 번째의 EL 층 사이에 전하 발생층(1004)을 제공하는 것이 바람직하다.

[0385] 전하 발생층(1004)은 유기 화합물과 금속 산화물의 복합 재료, 금속 산화물, 또는 유기 화합물과 알칼리 금속, 알칼리 토금속 또는 이들의 화합물의 복합 재료를 사용하여 형성될 수 있다. 유기 화합물과 금속 산화물의 복합 재료로서는 가령 유기 화합물과 V_2O_5 또는 MoO_3 또는 WO_3 등의 금속 산화물을 포함한다. 유기 화합물로서는, 방향족 아민 화합물, 카바졸 유도체, 방향족 탄화수소, 고분자 화합물(올리고머, 덴드리머, 폴리머, 등) 등과 같

은 다양한 화합물들이 사용될 수 있다. 유기 화합물로서는, 정공 수송성 유기 화합물이면서 정공 이동도가 $10^{-6}cm^2/Vs$ 이상인 것을 사용하는 것이 바람직하다. 그러나, 전자 수송성보다 정공 수송성이 높은 물질이면, 전술한 재료와 다른 물질들도 역시 사용될 수 있다. 전하 발생층(1004)으로서 사용되는 이러한 재료들은 캐리어 주입성 및 캐리어 수송성에 있어서 뛰어나기 때문에, 발광 소자가 저전류로 구동될 수 있다.

[0386] 전하 발생층(1004)은 유기 화합물과 금속산화물의 복합 재료와 다른 재료를 서로 조합시켜서 형성될 수도 있다. 가령, 유기 화합물과 금속산화물의 복합 재료를 포함하는 층이 전자 공여성(electron-donating property) 물질들로부터 선택된 화합물과 전자 수송성이 높은 화합물을 포함하는 층과 조합될 수 있다. 또한, 유기 화합물과 금속산화물의 복합 재료를 포함하는 층과 투명 도전막이 조합될 수도 있다.

[0387] 이러한 구성을 갖는 발광 소자에서는, 에너지의 이동이나 소진 등의 문제가 일어나기 어렵고, 재료 선택의 폭이 넓어지므로 높은 발광 효율 및 긴 수명을 모두 가질 수 있는 발광 소자가 용이하게 획득될 수 있다. 또한, EL 층들 중 하나로부터는 인광 발광이 이루어지고 EL 층들 중 다른 층으로부터는 형광 발광이 이루어지는 발광 소자도 역시 용이하게 획득될 수 있다.

[0388] 전하 발생층(1004)은, 제 1 전극(1001)과 제 2 전극(1002)에 전압을 인가했을 때에, 전하 발생층(1004)과 접촉해서 형성되는 하나의 EL 층(1003)에 대하여 정공을 주입하는 기능을 갖고 전하 발생층(1004)과 접촉해서 형성된 다른 EL 층(1003)에 대해서 전자를 주입하는 기능을 갖는다.

[0389] 도 21(B)에 나타난 발광 소자는 발광층으로 사용되는 발광 물질의 종류를 변화시킴으로써 다양한 색상의 발광을 제공할 수 있다. 또한, 발광 물질로서 발광 색상이 다른 복수의 발광 물질을 사용함으로써, 브로드(broad)한 스펙트럼을 갖는 발광이나 백색 발광이 구현될 수 있다.

[0390] 도 21(B)에 나타난 발광 소자를 사용하여 백색 발광을 구현할 경우에, 복수의 발광층의 조합으로서, 적색, 청색 및 녹색의 광을 포함하여 백색을 발광하는 구성이 사용될 수 있다. 이러한 구성은, 가령, 청색의 형광 재료를 발광 물질로서 포함하는 제 1 EL 층과 녹색과 적색의 인광 재료를 발광 물질로서 포함하는 제 2 EL 층을 갖는 구성이 될 수 있다. 이와 달리, 이러한 구성은 적색의 발광을 나타내는 제 1 EL 층과 녹색의 발광을 나타내는 제 2 EL 층과 청색의 발광을 나타내는 제 3 EL 층을 갖는 구성이 될 수 있다. 이와 달리, 서로 보색 관계에 있는 광을 방출하는 발광층을 포함하는 구성으로 하여, 백색 발광을 얻을 수 있다. EL 층이 2 개의 층이 적층된 적층형 소자일 경우에 제 1 EL 층으로부터의 발광의 색상과 제 2 EL 층으로부터의 발광의 색상이 서로 보색 관계에 있을 때, 이 서로 보색 관계에 있는 색상 관계로는 청색과 황색, 청록색과 적색 등이 있다.

[0391] 상술한 적층형 소자의 구성에서, 적층된 EL 층들 사이에 전하 발생층을 배치함으로써, 전류 밀도를 낮게 유지한 상태에서 고휘도 영역에서 긴 수명을 갖는 소자를 실현할 수 있다. 또한, 전극 재료의 저항에 의한 전압 강하를 작게 할 수 있으므로, 대면적에서의 균일 발광이 가능해 진다.

[0392] 본 실시예는 실시예 1 내지 실시예 7에서 기술된 구성들 중 임의의 구성과 적합하게 조합하여 구현될 수 있다.

[0394] **실시예 9**

[0395] 본 실시예에서는, 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대해서 도 22(A) 및 도 22(B)를 참조하여 설명한다. 도 22(A)는 제 1 가요성 기판 상에 형성된 박막 트랜지스터 및 발광 소자가 제 1 가요성 기판과 제 2 가요성 기판 간에 실링재(sealant)에 의해 밀봉된 패널의 평면도이다. 도 22(B)는 도 22(A)에서의 라인 H-I을 따라서 취해진 단면도이다.

[0396] 제 1 가요성 기판(4501) 상에 제공된 화소부(4502), 신호선 구동 회로 (4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 실링재(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 상에 제 2 가요성 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 제 1 가요성 기판(4501)과 실링재(4505)와 제 2 가요성 기판(4506)에 의해 충전재(4507)와 함께 밀봉되어 있다. 이렇게 패널이 외기에 노출되지 않도록 기밀성이 높고 탈가스성(degasification)이 적은 보호 필름(본딩 필름(bonding film), 자외선 경화 수지 필름 등) 또는 커버 재료로 패널을 패키징(봉입)하는 것이 바람직하다.

[0397] 제 1 가요성 기판(4501) 상에 제공된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 각각은 박막 트랜지스터를 복수 개로 갖고 있다. 도 22(B)에서는, 화소부(4502)에 포함된 박막 트랜지스터(4510)과 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 예시적으로 도시되어 있다.

[0398] 이러한 박막 트랜지스터(4509, 4510)로서는, 실시예 1 내지 실시예 5에서 기술된 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터들 중 임의의 것이 사용될 수 있다. 구동 회로용 박막 트랜지스터(4509)로서는 실시예 1 내지 실시예 5에서 기술된 박막 트랜지스터들(180, 181, 182) 중 임의의 것이 사용될 수 있다. 화소용 박막 트랜지스터(4510)로서는 실시예 1 내지 실시예 5에서 기술된 박막 트랜지스터들(170, 171, 172) 중 임의의 것이 사용될 수 있다. 본 실시예에서, 박막 트랜지스터(4509, 4510)는 n 채널형 박막 트랜지스터이다.

[0399] 절연층(4544) 상에는 구동 회로용 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하도록 도전층(4540)이 제공되어져 있다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩하도록 제공함으로써, BT 테스트 전후에 있어서의 박막 트랜지스터(4509)의 임계 전압의 변화량을 저감시킬 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 제 2 게이트 전극층으로서도 기능할 수 있다. 또한, 도전층(4540)의 전위는 접지 전위 또는 제로 볼트이거나 도전층(4540)은 플로팅 상태에 있을 수 있다.

[0400] 도시되어 있지 않지만, 산화물 절연층(4542)과 절연층(4544) 간에 실시예 1에서 도시된 바와 같은 보호 절연층(106)과 같은 보호 절연층이 제공될 수 있다.

[0401] 박막 트랜지스터(4510)은 제 1 전극층(4517)과 전기적으로 접속되어 있다.

[0402] 산화물 절연층(4542)은 실시예 1에 나타난 산화물 절연막(107)과 동일한 재료 및 동일한 방법으로 형성될 수 있다.

[0403] 발광 소자(4511)의 발광 영역과 중첩하도록 컬러 필터층(4545)이 산화물 절연층(4542) 상에 형성된다.

[0404] 또한, 컬러 필터층(4545)의 표면 요철을 저감시키기 위해서 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 컬러 필터층(4545)이 피복된다.

[0405] 또한, 이 오버코트층(4543) 상에 절연층(4544)이 형성되어 있다. 이 절연층 (4544)은 실시예 1에서 나타난 보호 절연층(109)과 동일한 재료 및 동일한 방법으로 형성될 수 있다.

[0406] 참조 부호(4511)는 발광 소자를 나타낸다. 발광 소자(4511) 내에 포함되어 있는 화소 전극인 제 1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 발광 소자(4511)는 제 1 전극층 (4517), 전계 발광층(electroluminescent layer)(4512) 및 제 2 전극층(4513)이 적층된 적층 구조이지만, 이 발광 소자(4511)의 구성은 본 실시예에서 기술된 구성으로만 한정되지 않는다. 이 발광 소자(4511)의 구성은 광이 이 발광 소자(4511)로부터 추출되는 방향 등에 따라서 적합하게 변경될 수 있다.

[0407] 격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산 막을 사용하여 형성된다. 제 1 전극층(4517) 상에 개구부를 형성하고 그 개구부의 측벽이 연속한 곡률을 갖는 경사면이 되도록 격벽(4520)을 감광성 재료를 사용하여 형성하는 것이 바람직하다.

[0408] 전계 발광층(4512)은 단층 구조 또는 다수의 층이 적층된 적층 구조로 해서 형성될 수 있다.

[0409] 발광 소자(4511) 내로 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 상에 보호막을 형성할 수 있다. 이러한 보호막으로서는, 질화 규소막, 질화산화 규소막, DLC 막 등을 형성할 수 있다.

[0410] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b) 또는 화소부(4502)에 공급되는 각종 신호 및 전위는 FPC(4518a, 4518b)으로부터 공급된다.

[0411] 접속 단자 전극(4515)이 발광 소자(4511) 내에 포함된 제 1 전극층(4517)과 동일한 도전막으로부터 형성되며, 단자 전극(4516)은 박막 트랜지스터(4509)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.

[0412] 접속 단자 전극(4515)은 FPC(4518a) 내에 포함된 단자에 이방성 도전막(4519)을 통해서 전기적으로 접속되어 있다.

[0413] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 제 2 가요성 기판은 광투과성을 가져야 한다. 이 경우에, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 광투과성 재료가 제 2 가요성 기판의 재료로 사용된다.

[0414] 또한, 충전재(4507)로서, 질소나 아르곤 등의 불활성 가스 이외에 자외선 경화 수지 또는 열경화 수지가 사용될 수 있다. 가령, 폴리비닐 클로라이드(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티

랄(butyral)) 또는 EVA(에틸렌 비닐 아세테이트)가 사용될 수 있다. 가령, 질소가 충진재로서 사용된다.

[0415] 또한, 필요하다면, 편광판, 원형 편광판(타원형 편광판(elliptically polarizing plate)을 포함함), 위상차판(retardation plate)(4 분의 1 파장판 또는 2 분의 1 파장판), 컬러 필터 등의 광학 필름이 발광 소자의 광 방사 면 상에 적합하게 제공될 수 있다. 또한, 편광판 또는 원형 편광판에 반사 방지막이 제공될 수 있다. 가령, 표면의 요철에 의해 반사광을 확산시켜서 글레어(glare)가 저감될 수 있게 하는 방현 처리(anti-glare treatment)가 이루어질 수 있다.

[0416] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 별도로 준비된 가요성 기판 상에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로들로서 실장될 수 있다. 이와 달리, 신호선 구동 회로만 또는 이의 일부만 또는 주사선 구동 회로만 또는 이의 일부만 별도로 형성되어서 실장될 수 있다. 본 실시예는 도 22(A) 및 도 22(B)에 도시된 구조로만 한정되는 것은 아니다.

[0417] 이상의 단계들을 통해서, 반도체 장치로서 신뢰성이 높은 발광 장치(표시 패널)를 제조할 수 있다.

[0419] **실시예 10**

[0420] 본 실시예에서는, 동일한 가요성 기판 상에, 적어도 구동 회로의 일부와 화소부에 제공된 박막 트랜지스터를 형성하는 예에 대해서 이하에서 설명한다.

[0421] 화소부에 제공된 박막 트랜지스터는 실시예 1 내지 실시예 5에 따라서 형성된다. 또한, 실시예 1 내지 실시예 5에 기술된 박막 트랜지스터는 n 채널형 TFT이기 때문에, n 채널형 TFT들을 사용하여 형성될 수 있는 구동 회로의 일부는 화소부의 박막 트랜지스터와 동일한 가요성 기판 상에 형성된다.

[0422] 도 12(A)는 액티브 매트릭스 표시 장치의 예시적인 블록도이다. 이 표시 장치는 가요성 기판(5300) 상에서 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)를 포함하고 있다. 화소부(5301)에서는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장되어서 배열되어 있고, 복수의 주사선이 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연장되어서 배열되어 있다. 주사선과 신호선이 교차 영역에는, 표시 소자를 갖는 화소들이 매트릭스 형태로 배열되어 있다. 또한, 표시 장치의 가요성 기판(5300)은 FPC(flexible printed circuit)와 같은 접속부를 통해서 타이밍 제어 회로(5305)(제어 IC 또는 제어기로도 지칭됨)에 접속되어 있다.

[0423] 도 12(A)에서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는 화소부(5301)와 동일한 가요성 기판(5300) 상에 형성된다. 그 때문에, 외부에서 제공되는 구동 회로 등의 부품의 수가 감소하여 비용이 절감될 수 있다. 또한, 가요성 기판(5300) 외부에 구동 회로를 제공했을 경우, 배선들이 연장될 필요가 있으며 배선 간의 접속 수가 늘어난다. 그러나, 동일한 가요성 기판(5300) 상에 구동 회로를 제공했을 경우, 그 배선 간의 접속 수가 줄어들게 된다. 이로써, 신뢰성 향상 및 수율 향상이 달성될 수 있다.

[0424] 타이밍 제어 회로(5305)는 제 1 주사선 구동 회로(5302)에 대하여 가령 제 1 주사선 구동 회로용 스타트 신호(GSP1) 및 주사선 구동 회로용 클록 신호(GCK1)를 공급한다. 타이밍 제어 회로(5305)는 제 2 주사선 구동 회로(5302)에 대하여 가령 제 2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함) 및 주사선 구동 회로용 클록 신호(GCK2)를 공급한다. 타이밍 제어 회로(5305)는 신호선 구동 회로(5304)에 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 영상 신호용 데이터(DATA)(간단하게, 영상 신호라고도 지칭됨) 및 래치 신호(LAT)를 공급한다. 각 클록 신호는 시프트된 위상을 갖는 복수의 클록 신호이거나 클록 신호를 반전시킴으로써 획득된 반전된 클록 신호(CKB)와 함께 공급될 수 있다. 제 1 주사선 구동 회로(5302)와 제 2 주사선 구동 회로(5303) 중 어느 하나는 생략될 수 있다.

[0425] 도 12(B)에서는, 구동 주파수가 낮은 회로(가령, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303))가 화소부(5301)와 동일한 가요성 기판(5300) 상에 형성되고 신호선 구동 회로(5304)는 화소부(5301)와는 다른 기판 상에 형성되는 구조를 나타내고 있다. 이러한 구조로 인해서, 단결정 반도체를 사용하여 형성된 트랜지스터와 비교해서 전계 효과 이동도가 낮은 박막 트랜지스터를 사용하여 가요성 기판(5300) 상에 형성된 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 비용 절감 또는 수율 향상이 달성될 수 있다.

[0426] 또한, 실시예 1 내지 실시예 5에 기술된 박막 트랜지스터는 n 채널형 TFT이다. 도 13(A) 및 도 13(B)는 n 채널형 TFT들을 사용하여 형성된 신호선 구동 회로의 구성 및 동작을 예시적으로 나타내고 있다.

[0427] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1 내지 5602_N(N은 자연수))를 포함한다. 스위칭 회로(5602_1 내지 5602_N)는 각각 복수의 박막

트랜지스터(5603_1 내지 5603_k(k은 자연수))를 포함한다. 복수의 박막 트랜지스터(5603_1 내지 5603_k)가 n 채널형 TFT인 실례가 기술된다.

[0428] 신호선 구동 회로의 접속 관계에 대해서 스위칭 회로(5602_1)를 예로 들어서 설명한다. 박막 트랜지스터(5603_1 내지 5603_k)의 제 1 단자는 각기 배선(5604_1 내지 5604_k)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 제 2 단자는 각기 신호선(S1 내지 Sk)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 게이트는 배선(5605_1)에 접속된다.

[0429] 시프트 레지스터(5601)는 배선(5605_1 내지 5605_N)에 H 레벨 신호(또한 H 신호 또는 고 전원 전위 레벨로도 지칭됨)들을 순차적으로 출력하고 스위칭 회로 (5602_1 내지 5602_N)를 순차적으로 선택하는 기능을 갖는다.

[0430] 스위칭 회로(5602_1)는 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 간의 도통 상태(제 1 단자와 제 2 단자 간의 도통 상태)를 제어하는 기능, 즉 배선 (5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급할 지의 여부를 제어하는 기능을 갖는다. 이로써, 스위칭 회로(5602_1)는 선택기로서 기능한다. 또한, 박막 트랜지스터(5603_1 내지 5603_k)는 각각 배선(5604_1 내지 5604_k)과 신호선(S1내지 Sk) 간의 도통 상태를 제어하는 기능, 즉 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급하는 기능을 갖는다. 이로써, 박막 트랜지스터(5603_1 내지 5603_k)는 각각 스위치로서 기능한다.

[0431] 배선(5604_1 내지 5604_k) 각각에 영상 신호용 데이터(DTATA)가 입력된다. 영상 신호용 데이터(DATA)는 화상 데이터 또는 화상 신호에 대응하는 아날로그 신호인 경우가 많다.

[0432] 이어서, 도 13(A)의 신호선 구동 회로의 동작에 대해서 도 13(B)의 타이밍 차트를 참조해서 설명한다. 도 13(B)는 신호(Sout_1 내지 Sout_N) 및 신호(Vdata_1 내지 Vdata_k)의 실례를 나타내고 있다. 신호(Sout_1 내지 Sout_N)는 각각 시프트 레지스터(5601)의 출력 신호의 실례이며, 신호(Vdata_1 내지 Vdata_k)는 각각 배선(5604_1 내지 5604_k)에 입력되는 신호의 실례이다. 신호선 구동 회로의 1 동작 기간은 표시 장치에 있어서의 1 게이트 선택 기간에 대응한다. 1 게이트 선택 기간은 가령 기간(T1) 내지 기간(TN)으로 분할된다. 기간(T1) 내지 기간(TN)은 각각 선택된 행에 속하는 화소에 영상 신호용 데이터(DATA)가 기록되는 기간이다.

[0433] 본 실시예의 도면 등에서 나타난 구성들에 있어서, 신호 파형의 왜곡 등은 몇몇 경우에 단순화를 위해서 과장된 것이다. 따라서, 스케일은 도시된 바로만 반드시 한정되는 것은 아니다.

[0434] 기간(T1) 내지 기간(TN)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선 (5605_1 내지 5605_N)에 순차적으로 출력한다. 가령, 기간(T1)에서, 시프트 레지스터(5601)는 하이 레벨(high level)의 신호를 배선(5605_1)에 출력한다. 이어서, 박막 트랜지스터(5603_1 내지 5603_k)는 온(ON) 상태가 되므로, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)이 서로 도통 상태가 된다. 이때에, 배선(5604_1 내지 5604_k)에는 Data(S1) 내지 Data(Sk)가 각기 입력된다. Data(S1) 내지 Data(Sk)은 각기 박막 트랜지스터(5603_1 내지 5603_k)를 통해서 선택된 행에 속하는 화소 중에서 제 1 열 내지 제 k 열의 화소에 기록된다. 이로써, 기간(T1) 내지 기간(TN)에서, 상기 선택된 행에 속하는 화소들에 k 열씩 순차적으로 영상 신호용 데이터(DATA)가 기록된다.

[0435] 이상과 같이, 영상 신호용 데이터(DATA)를 복수의 열씩 화소에 기록함으로써, 영상 신호용 데이터(DATA)의 수 또는 배선의 수를 절감할 수 있다. 따라서, 외부 회로와의 접속 수를 절감할 수 있다. 또한, 영상 신호를 복수의 열씩 화소에 기록함으로써, 기록 시간을 길게 할 수 있고 영상 신호의 기록 부족을 방지할 수 있다.

[0436] 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시예 1 내지 실시예 5 중 임의의 실시예에 기술된 박막 트랜지스터를 포함하는 회로를 사용하는 것이 가능하다. 이 경우, 시프트 레지스터(5601)는 오직 n 채널형 트랜지스터들로만 구성되거나 아니면 오직 p 채널형 트랜지스터들로만 구성될 수 있다.

[0437] 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 경우에 따라서는, 주사선 구동 회로는 레벨 시프터, 버퍼 등을 포함할 수 있다. 주사선 구동 회로에서는, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에서 완충 및 증폭되고 이로써 생성된 신호가 대응하는 주사선에 공급된다. 1 라인 또는 1 선(line) 분의 화소들 내의 트랜지스터들의 게이트 전극이 주사선에 접속되어 있다. 1 라인(line) 분의 화소들 내의 트랜지스터들은 일제히 온 상태로 되어야 하므로, 다량의 전류를 공급할 수 있는 버퍼가 사용된다.

[0438] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부로서 사용되는 시프트 레지스터의 일 실시예에 대해서 도 14(A) 내지 도 14(D) 및 도 15(A) 및 도 15(B)을 참조하여 설명한다.

[0439] 주사선 구동 회로 및/또는 신호선 구동 회로의 시프트 레지스터에 대해서 도 14(A) 내지 도 14(D) 및 도 15(A)

및 도 15(B)을 참조하여 설명한다. 시프트 레지스터는 제 1 펄스 출력 회로 내지 제 N 펄스 출력 회로(10_1 내지 10_N)(N은 3 이상의 자연수)를 포함한다(도 14(A) 참조). 도 14(A)에 나타난 시프트 레지스터의 제 1 펄스 출력 회로 내지 제 N 펄스 출력 회로(10_1 내지 10_N)에는 제 1 배선(11)으로부터의 제 1 클록 신호(CK1), 제 2 배선(12)으로부터의 제 2 클록 신호(CK2), 제 3 배선 (13)으로부터의 제 3 클록 신호(CK3) 및 제 4 배선(14)으로부터의 제 4 클록 신호(CK4)가 공급된다. 또한, 제 1 펄스 출력 회로(10_1)에는 제 5 배선(15)으로부터의 스타트 펄스(SP1)(제 1 스타트 펄스)가 입력된다. 또한, 제 2 단(stage) 및 그 이후부터는, 제 n 펄스 출력 회로(10_n)(n은 2≤n≤N의 자연수)에 이전 단의 펄스 출력 회로(10_n-1)로부터의 신호(전단 신호(OUT(n-1))이라고 지칭됨)가 입력된다. 제 1 펄스 출력 회로(10_1) 이후의 2번째 단인 제 3 펄스 출력 회로(10_3)로부터의 신호가 제 1 펄스 출력 회로(10_1)에 입력된다. 마찬가지로, 제 2 단(stage) 및 그 이후부터는, 제 n 펄스 출력 회로(10-n) 이후의 2번째 단인 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호 OUT(n+2)로 지칭됨)가 제 n 펄스 출력 회로 (10_n)에 입력된다. 따라서, 각 단에서의 펄스 출력 회로는 후단의 펄스 출력 회로 및/또는 전단(preceding stage) 이전의 단의 펄스 출력 회로로 입력되는 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR))을 출력한다. 또한, 각 단에서의 펄스 출력 회로는 다른 배선 등에 전기적으로 접속되는 제 2 출력 신호들(OUT(1) 내지 OUT(N))을 출력한다. 도 14(A)에 도시된 바와 같이, 시프트 레지스터의 최종 2 개의 단에는 후단 신호(OUT(n+2))가 입력되지 않기 때문에, 가령, 제 2 스타트 펄스(SP2) 및 제 3 스타트 펄스(SP3)가 이 시프트 레지스터의 최종 2 개의 단에 개별적으로 입력될 수 있다.

[0440] 클록 신호(CK)는 일정한 간격으로 H 레벨 신호와 L 레벨 신호(또한, L 신호 또는 저 전원 전위 레벨 신호라고 지칭됨) 간에서 반복되는 신호이다. 여기에서, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는 순서대로 1/4 사이클만큼 지연되고 있다. 실시예에서는, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)를 이용함으로써, 펄스 출력 회로의 구동의 제어 등을 수행한다. 클록 신호는 이 신호가 입력되는 구동 회로에 따라서 GCK 또는 SCK로서 지칭되며, 여기에서는 클록 신호로서 CK를 사용하여 설명된다.

[0441] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는 제 1 배선(11) 내지 제 4 배선(14) 중 임의의 배선에 전기적으로 접속된다. 가령, 도 14(A)에서, 제 1 펄스 출력 회로(10_1)의 제 1 입력 단자(21)는 제 1 배선(11)과 전기적으로 접속되고, 이 펄스 출력 회로(10_1)의 제 2 입력 단자(22)는 제 2 배선(12)과 전기적으로 접속되며, 이 펄스 출력 회로(10_1)의 제 3 입력 단자(23)는 제 3 배선(13)과 전기적으로 접속되어 있다. 또한, 제 2 펄스 출력 회로(10_2)의 제 1 입력 단자(21)는 제 2 배선(12)과 전기적으로 접속되고, 이 펄스 출력 회로(10_2)의 제 2 입력 단자(22)는 제 3 배선(13)과 전기적으로 접속되며, 이 펄스 출력 회로(10_2)의 제 3 입력 단자(23)는 제 4 배선(14)과 전기적으로 접속되어 있다.

[0442] 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N) 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 포함한다(도 14(B) 참조). 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)에 제 1 클록 신호(CK1)가 입력되고, 제 2 입력 단자(22)에 제 2 클록 신호(CK2)가 입력되고, 제 3 입력 단자(23)에 제 3 클록 신호(CK3)가 입력되고, 제 4 입력 단자(24)에 스타트 펄스가 입력되고, 제 5 입력 단자(25)에 후단 신호(OUT(3))가 입력되고, 제 1 출력 단자 (26)로부터 제 1 출력 신호(OUT(1)(SR))가 출력되고, 제 2 출력 단자(27)로부터 제 2 출력 신호(OUT(1))가 출력된다.

[0443] 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N) 각각은 3 개의 단자를 갖는 박막 트랜지스터(TFT) 이외에 상기 실시예에서 설명된 4 개의 단자를 갖는 박막 트랜지스터를 사용할 수 있다. 도 14(C)는 상기 실시예에서 설명된 4 개의 단자를 갖는 박막 트랜지스터(28)의 심벌을 나타낸다. 도 14(C)의 박막 트랜지스터(28)는 실시예 1 내지 실시예 5 중 임의의 실시예에서 기술된 4 개의 단자를 갖는 박막 트랜지스터에 대응하며, 심벌들은 이하에서 설명하기 위해서 사용된다. 본 명세서에서, 박막 트랜지스터가 반도체층을 그들 간에 샌드위치시킨 2 개의 게이트 전극들을 가질 때에, 이 반도체층 아래의 게이트 전극은 하부 게이트 전극으로서 지칭되고 반도체 위의 게이트 전극은 상부 게이트 전극으로서 지칭된다. 박막 트랜지스터(28)는 하부 게이트 전극에 입력되는 제 1 제어 신호(G1) 및 상부 게이트 전극에 입력되는 제 2 제어 신호(G2)를 사용하여 IN 단자와 OUT 단자 간의 전기적 제어를 수행할 수 있는 소자이다.

[0444] 산화물 반도체가 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층으로서 사용될 경우에, 제조 공정에 따라서 몇몇 경우에는 임계 전압이 음의 방향 또는 양의 방향으로 시프트된다. 그 때문에, 채널 형성 영역을 포함하는 반도체층으로서 산화물 반도체를 사용한 박막 트랜지스터는 임계 전압이 제어될 수 있는 구조를 갖는 것이 바람직하다. 도 14(C)에 나타난 박막 트랜지스터(28)의 임계 전압은 다음과 같은 방식으로 소망하는 값으로 제어될 수 있다. 박막 트랜지스터(28)의 채널 형성 영역의 상하에 게이트 절연막을 그들 사이에 개재시켜서 게이

트 전극을 제공하고 상부 게이트 전극의 전위 및/또는 하부 게이트 전극의 전위를 제어함으로써 상기 소망하는 값으로 제어될 수 있다.

[0445] 이어서, 펄스 출력 회로의 구체적인 회로 구성의 실례에 대해서 도 14(D)를 참조하여 설명한다.

[0446] 제 1 펄스 출력 회로(10_1)는 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)를 포함하고 있다(도 14(D) 참조). 상술한 제 1 입력 단자(21) 내지 제 5 입력 단자(25) 및 제 1 출력 단자(26) 및 제 2 출력 단자(27) 이외에, 제 1 고 전원 전위VDD가 공급되는 전원선(51), 제 2 고 전원 전위 VCC가 공급되는 전원선(52) 및 저 전원 전위 VSS가 공급되는 전원선(53)으로부터 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)로 신호 또는 전원 전위가 공급된다. 여기서, 도 14(D)의 각 전원선의 전원 전위의 대소 관계는 다음과 같다. 제 1 전원 전위 VDD는 제 2 전원 전위 VCC 이상이며 제 2 전원 전위 VCC는 제 3 전원 전위 VSS 이상이다. 제 1 클록 신호(CK1)내지 제 4 클록 신호(CK4)가 일정한 간격으로 H 레벨과 L 레벨 간에서 반복되는 신호일지라도, 클록 신호가 H 레벨에 있을 때에는 전위는 VDD이며 클록 신호가 L 레벨을 있을 때에는 전위는 VSS이다. 전원선(51)의 전위 VDD를 전원선(52)의 전위 VCC보다 높게 함으로써, 동작에 악영향을 주지 않으면서 트랜지스터의 게이트 전극에 인가되는 전위를 낮게 할 수 있으며, 이로써, 트랜지스터의 임계 전압의 시프트가 저감되고 성능 저하가 억제될 수 있다. 도 14(D)에 도시된 바와 같이, 도 14(C)에 도시된 4 개의 단자를 갖는 박막 트랜지스터(28)가 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43) 중 제 1 트랜지스터(31) 및 제 6 트랜지스터(36) 내지 제 9 트랜지스터(39)로서 사용되는 것이 바람직하다. 제 1 트랜지스터(31) 및 제 6 트랜지스터(36) 내지 제 9 트랜지스터(39)는 소스 또는 드레인이 될 전극들 중 하나에 접속되는 각 노드의 전위를 게이트 전극의 제어 신호에 의해 스위칭하도록 요구된다. 제 1 트랜지스터(31) 및 제 6 트랜지스터(36) 내지 제 9 트랜지스터(39)는 게이트 전극에 입력되는 제어 신호에 대한 신속한 응답(온 전류의 가파른 상승)에 의해 펄스 출력 회로들의 오동작을 더 줄일 수 있다. 따라서, 도 14(C)에 도시된 4 개의 단자를 갖는 박막 트랜지스터(28)가 사용될 때에, 임계 전압이 제어될 수 있으며 펄스 출력 회로들의 오동작이 더 줄어들 수 있다. 도 14(D)에서, 제 1 제어 신호(G1)는 제 2 제어 신호(G2)와 동일한 제어 신호이지만, 이 제 1 제어 신호(G1) 및 제 2 제어 신호(G2)는 서로 상이할 수도 있다.

[0447] 도 14(D)에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터(31)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터(32)의 게이트 전극은 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 4 트랜지스터(34)는 그의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 그의 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 5 트랜지스터(35)는 그의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 그의 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 그의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 6 트랜지스터(36)는 그의 제 1 단자가 전원선(52)에 전기적으로 접속되고, 그의 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 그의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제 5 입력 단자(25)에 전기적으로 접속되어 있다. 제 7 트랜지스터(37)는 그의 제 1 단자가 전원선(52)에 전기적으로 접속되고, 그의 제 2 단자가 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되며, 그의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제 3 입력 단자(23)에 전기적으로 접속되어 있다. 제 8 트랜지스터(38)는 그의 제 1 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 그의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제 2 입력 단자 (22)에 전기적으로 접속되어 있다. 제 9 트랜지스터(39)는 그의 제 1 단자가 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 그의 제 2 단자는 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되며, 그의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 전원선(52)에 전기적으로 접속되어 있다. 제 10 트랜지스터(40)는 그의 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 그의 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되며, 그의 게이트 전극은 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속되어 있다. 제 11 트랜지스터(41)는 그의 제 1 단자가 전원선(53)에 전기적으로 접속되며, 그의 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 그의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제 12 트랜지스터(42)는 그의 제 1 단자가 전원선(53)에 전기적으로 접속되고, 그의 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되며, 그의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트

전극)에 전기적으로 접속되어 있다. 제 13 트랜지스터(43)는 그의 제 1 단자가 전원선(53)에 전기적으로 접속되며, 그의 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되고, 그의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속되어 있다.

[0448] 도 14(D)에서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극 및 제 9 트랜지스터(39)의 제 2 단자 간의 접속 지점은 노드 A로 지칭된다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자 및 제 11 트랜지스터(41)의 게이트 전극 간의 접속 지점은 노드 B로 지칭된다(도 15(A) 참조).

[0449] 박막 트랜지스터는 게이트, 드레인 및 소스를 포함하는 적어도 세 개의 단자를 포함하는 소자이다. 드레인 영역과 소스 영역 사이에 채널 형성 영역이 제공되며, 드레인 영역, 채널 영역 및 소스 영역을 통해서 전류가 흐를 수 있다. 여기에서, 박막 트랜지스터의 소스 및 드레인은 박막 트랜지스터의 구조나 동작 조건 등에 따라서 변하기 때문에, 어느 것이 소스이고 어느 것이 드레인지를 규정하는 것은 어렵다. 따라서, 소스 또는 드레인으로서 기능하는 영역을 소스 또는 드레인이라고 부르지 않을 경우가 있다. 이러한 경우에, 가령, 소스 및 드레인 중 하나가 제 1 단자로 지칭되고 다른 하나가 제 2 단자로서 지칭될 수 있다.

[0450] 도 14(D) 및 도 15(A)에서, 노드 A를 플로팅 상태로 설정함으로써 부트스트랩(bootstrap) 동작을 수행하기 위한 커패시터가 추가적으로 제공될 수 있다. 또한, 노드 B의 전위를 유지하기 위해서, 노드 B에 전기적으로 접속된 하나의 전극을 갖는 커패시터가 추가적으로 제공될 수 있다.

[0451] 도 15(B)는 도 15(A)에 도시된 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 타이밍 차트를 나타낸다. 시프트 레지스터가 주사선 구동 회로일 경우에, 도 15(B)의 기간(61)은 수직 귀선 기간(vertical retrace periode)에 상당하며 도 15(B)의 기간(62)은 게이트 선택 기간에 상당한다.

[0452] 도 15(A)에서 도시된 바와 같이, 제 2 전원 전위 VCC가 제공되는 게이트를 갖는 제 9 트랜지스터(39)로 인해서, 부트스트랩 동작 전후에 아래와 같은 장점들이 달성될 수 있다.

[0453] 제 2 전원 전위 VCC가 제공되는 게이트를 갖는 제 9 트랜지스터(39)가 없다면, 노드 A의 전위가 부트스트랩 동작에 의해 상승할 때에, 제 1 박막 트랜지스터(31)의 제 2 단자인 소스의 전위가 제 1 전원 전위 VDD보다 큰 값으로 증가하게 된다. 그리고, 제 1 트랜지스터(31)의 제 1 단자, 즉 전원선(51) 측 상의 단자가 제 1 트랜지스터(31)의 소스 역할을 하게 된다. 따라서, 제 1 트랜지스터(31)에서, 높은 바이어스 전압이 게이트와 소스 간 및 게이트와 드레인 간에 인가되고 이로써 상당한 스트레스가 걸리게 되어서 트랜지스터의 성능 저하를 일으킨다. 따라서, 제 2 전원 전위 VCC가 제공되는 게이트를 갖는 제 9 트랜지스터(39)가 있다면, 노드 A의 전위는 부트스트랩 동작에 의해 증가하지만 동시에 제 1 트랜지스터(31)의 제 2 단자에서의 전위 증가는 억제될 수 있다. 달리 말하면, 제 9 트랜지스터(39)를 제공함으로써, 제 1 트랜지스터(31)의 게이트 및 소스 간에 인가된 음의 바이어스 전압의 레벨이 낮아질 수 있다. 따라서, 본 실시예의 회로 구성에 따르면, 제 1 트랜지스터(31)의 게이트 및 소스 간에 인가된 음의 바이어스 전압의 레벨이 낮아지고, 이로써, 스트레스로 인한 제 1 트랜지스터(31)의 성능 저하가 억제될 수 있다.

[0454] 제 9 트랜지스터(39)의 제 1 단자 및 제 2 단자가 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트 간에 접속되도록 제 9 트랜지스터(39)가 제공된다. 시프트 레지스터가 본 실시예에 따른 복수의 펄스 출력 회로들을 포함할 경우에, 주사선 구동 회로보다 많은 단(stage)들을 갖는 신호선 구동 회로에서 제 9 트랜지스터(39)가 생략될 수 있으며, 이는 트랜지스터의 개수가 줄어들기 때문에 유리하다.

[0455] 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)의 각 반도체층으로서 산화물 반도체가 사용되는 경우에, 박막 트랜지스터들의 오프 전류량이 저감되고, 온 전류량 및 전계 효과 이동도는 증가되며, 성능 열화 정도는 감소하게 되어서, 회로의 오동작이 줄어들게 된다. 또한, 산화물 반도체를 포함하는 트랜지스터는 비정질 실리콘을 포함하는 트랜지스터에 비해서 게이트 전극에 높은 전위가 인가되는 것으로 인해서 트랜지스터가 열화되는 정도가 줄어들게 된다. 따라서, 제 1 전원 전위 VDD가 제 2 전원 전위 VCC가 공급되는 전원선에 공급될지라도, 동일한 동작이 수행되고 회로들 간에 제공되는 전원선의 수가 감소되며, 이로써 회로가 소형화될 수 있다.

[0456] 제 3 입력 단자(23)를 통해서 제 7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클록 신호가 제 2 입력 단자(22)를 통해서 제 7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클록 신호가 되고, 제 2 입력 단자(22)를 통해서 제 8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클록 신호가 제 3 입력 단자(23)를 통해서 제 8 트랜지

스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 공급되는 클록 신호가 되도록 접속 관계가 변경될 때에도 동일한 효과가 얻어진다. 도 15(A)에 도시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 모두 함께 온 상태에 있고, 이어서, 제 7 트랜지스터(37)가 오프 상태로 되고 제 8 트랜지스터(38)는 온 상태로 유지되고, 이어서, 제 7 트랜지스터(37)는 오프 상태로 유지되고 제 8 트랜지스터(38)가 오프 상태가 됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하됨으로써 발생하게 되는 노드 B의 전위의 저하가 제 7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하로 기인해서 2 회 발생하게 된다. 한편, 도 15(A)에 도시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 모두 함께 온 상태에 있고, 이어서, 제 7 트랜지스터(37)가 온 상태로 유지되고 제 8 트랜지스터(38)가 오프 상태로 되고, 이어서, 제 7 트랜지스터(37)가 오프 상태로 되고 제 8 트랜지스터(38)는 오프 상태로 유지됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하됨으로써 발생하게 되는 노드 B의 전위의 저하가 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하로 기인해서 1 회 발생으로 줄어들 수 있다. 따라서, 제 3 입력 단자(23)를 통해서 제 7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 클록 신호(CK3)가 공급되고, 제 2 입력 단자(22)를 통해서 제 8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 클록 신호(CK2)가 공급되는 접속 관계가 바람직하다. 이는 노드 B의 전위의 변동 회수가 저감되고 노이즈가 저감될 수 있기 때문에 그러하다.

[0457] 이로써, 제 1 출력 단자(26)의 전위 및 제 2 출력 단자(27)의 전위가 L 레벨로 유지되는 기간에, H 레벨 신호가 노드 B에 정기적으로 공급되며, 이로써, 펄스 출력 회로의 오동작이 억제될 수 있다.

[0459] **실시예 11**

[0460] 본 명세서에서 개시된 발광 장치는 다양한 전자기기(오락 기기도 포함함)에 적용될 수 있다. 이러한 전자기기로서, 가령, 텔레비전 장치(텔레비전 또는 텔레비전 수신기로도 지칭됨), 컴퓨터용 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대형 정보 단말, 음향 재생 장치, 파친코 기계(pachinko machine)와 같은 대형 게임기기 등이 있다.

[0461] 본 실시예에서, 상술한 실시예들 중 임의의 실시예에 따라서 형성된 가요성 발광 장치를 사용하는 휴대 전화의 실례가 도 23(A) 내지 도 23(D) 및 도 24를 참조하여 기술된다.

[0462] 도 23(C)는 휴대 전화의 정면도이며, 도 23(D)는 휴대 전화의 측면도이며, 도 23(B)는 휴대 전화의 평면도이다. 휴대 전화의 하우징들은 하우징(1411a) 및 하우징(1411b)이다. 광투과 지지 부재는 적어도 하우징(1411a) 및 하우징(1411b)의 표시 영역이 될 부분이다. 도 23(A)는 하우징(1411a) 및 하우징(1411b)의 내부의 단면도이다. 하우징(1411a)의 정면은 긴 변 및 짧은 변을 갖는 직사각형이며 이 직사각형의 모서리는 둥글게 될 수 있다. 본 실시예에서, 이 정면의 형상인 직사각형의 긴 변에 대해서 평행한 방향이 세로 방향으로 지칭되고 짧은 변에 평행한 방향이 가로 방향으로 지칭된다.

[0463] 하우징(1411a) 및 하우징(1411b)의 측면도 역시 긴 변 및 짧은 변을 갖는 직사각형이며 이 직사각형의 모서리는 둥글게 될 수 있다. 본 실시예에서, 이 측면의 형상인 직사각형의 긴 변에 대하여 평행한 방향이 세로 방향으로 지칭되고, 그 짧은 변에 평행한 방향은 깊이 방향으로 지칭된다.

[0464] 도 23(A) 내지 도 23(D)에 도시된 휴대 전화는 표시 영역(1413), 조작 버튼(1404), 터치 패널(1423) 및 하우징(1411a,1411b)을 포함하며, 이 하우징은 발광 패널(1421) 및 배선 기판(1425)을 포함한다. 필요에 따라서 터치 패널(1423)이 제공될 수 있다.

[0465] 발광 패널(1421)로서, 실시예 1 내지 실시예 10에서 상술된 발광 장치(발광 패널 또는 발광 모듈)가 사용될 수 있다.

[0466] 도 23(B) 및 도 23(C)에서 도시된 바와 같이, 뷰어(viewer) 측 상의 정면 영역뿐만 아니라 톱(top) 영역 및 보텀(bottom) 영역의 일부도 덮도록 발광 패널(1421)이 하우징(1411a)의 형상을 따라서 배치되어 있다. 따라서, 휴대 전화의 세로 방향의 톱 영역에서도 표시 영역(1413)과 연속하도록 표시 영역(1427)이 형성될 수 있다. 즉, 표시 영역(1427)은 휴대 전화의 톱 영역 표면상에도 존재한다. 따라서, 휴대 전화가 가슴 측 포켓에 들어가 있을지라도 휴대 전화를 이 포켓으로부터 꺼낼 필요가 없이 표시 영역(1427)이 보이게 된다.

[0467] 표시 영역(1413,1427) 상에는 입력 메일 또는 호, 일자, 전화 번호, 인명 등이 표시될 수 있다. 또한, 필요에 따라서 표시 영역(1427)만을 표시하고 다른 영역들은 표시하지 않음으로써 에너지가 절감될 수 있다.

[0468] 도 24는 도 23(D)의 단면도이다. 도 24에 도시된 바와 같이, 발광 패널(1421)은 하우징(1411a) 내부의 톱 영역, 정면 및 보텀 영역 상에 연속으로 형성되어 있다. 발광 패널(1421)에 전기적으로 접속된 배터리(1426) 및 배선 기판(1425)은 발광 패널(1421)의 후면 측에 배치되어 있다. 또한, 터치 패널(1423)이 하우징(1411a)의 외측에 (뷰어 측 상에) 배치되어 있다.

[0469] 본 실시예의 이동 전화가 수평으로 있든 수직으로 있든 상관없이 화상 또는 문자가 표시될 수 있다.

[0470] 발광 패널(1421)은 정면 영역 및 톱 영역에 개별적으로 제조되는 것이 아니라 정면 표시 영역(1413) 및 톱 표시 영역(1427) 모두를 덮도록 제조된다. 이로써, 제조 비용 및 시간이 절감된다.

[0471] 터치 패널(1423)은 하우징(1411a) 상에 배치되며, 터치 패널의 버튼들(1414)은 표시 영역(1413) 상에 표시된다. 이 버튼들(1414)을 손 등으로 접촉함으로써, 표시 영역(1413) 상에 표시되는 표시 내용이 조작될 수 있다. 또한, 전화 발신 또는 메일 작성도 역시 손 등으로 표시 영역(1413) 상의 버튼들(1414)을 접촉함으로써 이루어질 수 있다.

[0472] 필요할 때에 터치 패널(1414) 상의 버튼들(1414)이 표시될 수 있으며 버튼들(1414)이 필요 없을 때에는 문자 또는 화상이 전체 표시 영역(1413) 상에 표시될 수 있다.

[0473] 또한, 휴대 전화의 단면에 있어서 상부의 긴 변도 역시 곡률 반경을 가질 수 있다. 그 단면이 상부의 긴 변에서 곡률 반경을 가지도록 휴대 전화가 형성되면, 발광 패널(1421) 및 터치 패널(1423)도 역시 그 단면의 상부의 긴 변에서 곡률 반경을 갖는다. 또한, 하우징(1411a)도 역시 만곡된 형상을 갖는다. 달리 말하면, 정면 표시 영역(1413)은 외측으로 만곡되어 있다.

[0474] 도 25(A) 및 도 25(B)은 상술한 실시예들 중 임의의 실시예에 따라 형성된 가요성 발광 장치를 사용하는 전자 책 리더의 실례를 나타내고 있다. 도 25(A)는 전자 책 리더를 연 상태를 나타내며 도 25(B)는 전자 책 리더를 닫은 상태를 나타낸다. 상술한 실시예들 중 임의의 실시예에 따라 형성된 발광 장치(발광 패널)가 제 1 표시 패널(4311), 제 2 표시 패널(4312) 및 제 3 표시 패널(4313)로서 사용될 수 있다.

[0475] 제 1 하우징(4305)은 제 1 표시부(4301)를 포함하는 제 1 표시 패널(4311)을 가지며, 제 2 하우징(4306)은 조작부(4304) 및 제 2 표시부(4307)를 포함하는 제 2 표시 패널(4312)을 갖는다. 제 3 표시 패널(4313)은 이중 표시 타입 패널이며 제 3 표시부(4302) 및 제 4 표시부(4310)를 갖는다. 제 3 표시 패널(4313)은 제 1 표시 패널(4311)과 제 2 표시 패널(4312) 간에 개재되어 있다. 제 1 하우징(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312) 및 제 2 하우징(4306)은 구동부가 형성된 결합부(4308)에 의해 서로 연결되어 있다. 도 25(A) 및 도 25(B)의 전자 책 리더는 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302) 및 제 4 표시부(4310)의 4 개의 표시 화면을 포함한다.

[0476] 제 1 하우징(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312) 및 제 2 하우징(4306)은 모두가 높은 가요성을 갖는다. 또한, 제 1 하우징(4305) 및 제 2 하우징(4306) 각각으로서 플라스틱 기판이 사용되고 박막이 제 3 표시 패널(4313)로서 사용되면, 얇은 전자 책 리더가 획득된다.

[0477] 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 포함하는 이중 표시 타입 패널이다. 제 3 표시 패널(4313)로서, 이중 방사 타입의 표시 패널이 사용되거나 단일 측 방사 타입의 표시 패널들이 서로 결합될 수 있다.

[0478] 도 26은 상술한 실시예들 중 임의의 실시예에 따라 형성된 발광 장치가 실내 조명 장치(3001)로서 사용된 실례를 나타내고 있다. 상술한 실시예들에서 기술된 발광 장치는 대면적화가 가능하기 때문에, 이 발광 장치는 큰 면적을 갖는 조명 장치로서 사용될 수 있다. 또한, 상술한 실시예들에서 기술된 발광 장치는 탁상 램프(3000)로서 사용될 수도 있다. 조명 기구는 그의 범주로서 천장 고정형 조명 기구, 탁상 조명 기구, 벽걸이형 조명 기구, 차내용 조명, 비상 탈출구 조명 등을 포함한다.

[0479] 상술한 바와 같이, 실시예 1 내지 실시예 10에서 기술된 발광 장치는 상기와 같은 여러 가지 전자기기의 표시 패널 내에 배치될 수 있으며, 이로써, 신뢰성이 높은 전자기기를 제공할 수 있다.

[0480] 본 출원은 2009년 9월 16일자에 일본 특허청에 출원된 일본 특허 출원 제2009-215053호에 기초하고 있으며, 이 일본 특허 출원의 전체 내용은 본 명세서에서 참조로서 인용된다.

부호의 설명

[0481] 10 : 펄스 출력 회로

11 : 배선

12 : 배선

13 : 배선

14 : 배선

15 : 배선

21 : 입력 단자

22 : 입력 단자

23 : 입력 단자

24 : 입력 단자

25 : 입력 단자

26 : 출력 단자

27 : 출력 단자

28 : 박막 트랜지스터

31 : 트랜지스터

32 : 트랜지스터

33 : 트랜지스터

34 : 트랜지스터

35 : 트랜지스터

36 : 트랜지스터

37 : 트랜지스터

38 : 트랜지스터

39 : 트랜지스터

40 : 트랜지스터

41 : 트랜지스터

42 : 트랜지스터

43 : 트랜지스터

51 : 전원선

52 : 전원선

53 : 전원선

61 : 기간

62 : 기간

100 : 가요성 기판

101 : 게이트 전극층

102 : 게이트 절연층

103 : 산화물 반도체층

104a : 산화물 도전층

104b : 산화물 도전층

105a : 소스 전극층

105b : 드레인 전극층

117a : 고 저항 소스 영역

117b : 고 저항 드레인 영역

135a : 레지스트 마스크

136a : 레지스트 마스크

106 : 보호 절연층

107 : 산화물 절연막

108 : 커패시터배선층

109 : 보호 절연층

110 : 전극층

111 : 도전층

112 : 도전층

113 : 단자 전극

116 : 채널 형성 영역

118 : 산화물 반도체층

119 : 콘택트 홀

120 : 접속 전극

121 : 단자

122 : 단자

123 : 콘택트 홀

125 : 콘택트 홀

126 : 콘택트 홀

127 : 콘택트 홀

128 : 단자 전극

129 : 단자 전극

130 : 산화물 반도체막

131 : 산화물 반도체층

133 : 산화물 반도체층

134 : 산화물 반도체층

137 : 레지스트 마스크

138 : 산화물 도전층

140 : 산화물 도전막

142 : 산화물 도전층

143 : 산화물 도전층

145 : 배선층

146 : 커패시터

147 : 커패시터

149 : 커패시터 전극층

150 : 단자

151 : 단자

153 : 접속 전극

155 : 도전막

156 : 전극

161 : 게이트 전극층

162 : 도전층

163 : 산화물 반도체층

164a : 산화물 도전층

164b : 산화물 도전층

165a : 소스 전극층

165b : 드레인 전극층

166 : 채널 형성 영역

167a : 고 저항 소스 영역

167b : 고 저항 드레인 영역

168 : 산화물 반도체층

170 : 박막 트랜지스터

171 : 박막 트랜지스터

172 : 박막 트랜지스터

173 : 박막 트랜지스터

180 : 박막 트랜지스터

181 : 박막 트랜지스터

182 : 박막 트랜지스터

183 : 박막 트랜지스터

185 : 커패시터 전극층

191 : 컬러 필터층

192 : 오버코트층

193 : 격벽

194 : EL 층

195 : 전극층

196 : 접속 전극층

300 : 제조 기판

302 : 박리층

304 : 피박리층

305 : 접착층

306 : 제조 기판

1001 : 전극

1002 : 전극

1003 : EL 층

1004 : 전하 발생층

1404 : 조작 버튼

1413 : 표시 영역

1414 : 버튼

1421 : 발광 패널

1423 : 터치 패널

1425 : 배선 기판

1426 : 배터리

1427 : 표시 영역

3000 : 탁상 조명 기구

3001 : 조명 장치

4301 : 표시부

4302 : 표시부

4304 : 조작부

4305 : 하우징

4306 : 하우징

4307 : 표시부

4308 : 결합부

4310 : 표시부

4311 : 표시 패널

4312 : 표시 패널

4313 : 표시 패널

4501 : 가요성 기판

4502 : 화소부

4505 : 실링재

4506 : 가요성 기판

4507 : 충전재

4509 : 박막 트랜지스터

4510 : 박막 트랜지스터

4511 : 발광 소자

4512 : 전계 발광층

4513 : 전극층

4515 : 접속 단자 전극

4516 : 단자 전극

4517 : 전극층

4519 : 이방성 도전막

4520 : 격벽

4540 : 도전층

4542 : 산화물 절연층

4543 : 오버코트층

4544 : 절연층

4545 : 컬러 필터층

5300 : 가요성 기판

5301 : 화소부

5302 : 주사선 구동 회로

5303 : 주사선 구동 회로

5304 : 신호선 구동 회로

5305 : 타이밍(timing) 제어 회로

5601 : 시프트 레지스터

5602 : 스위칭 회로

5603 : 박막 트랜지스터

5604 : 배선

5605 : 배선

6400 : 화소

6401 : 스위칭용 트랜지스터

6402 : 구동용 트랜지스터

6403 : 커패시터

6404 : 발광 소자

6405 : 신호선

6406 : 주사선

6407 : 전원선

6408 : 공통 전극

7001 : TFT

7002 : 발광 소자

7003 : 전극층

7004 : EL 층

7005 : 전극층

7009 : 격벽

7011 : 구동용 TFT

7012 : 발광 소자

7013 : 전극층

7014 : EL 층

7015 : 전극층

7016 : 차폐막

7017 : 도전막

7019 : 격벽

7021 : 구동용 TFT

7022 : 발광 소자

7023 : 전극층

7024 : EL 층

7025 : 전극층

7027 : 도전막

7029 : 격벽

7031 : 산화물 절연층

7032 : 보호 절연층

7033 : 컬러 필터층

7034 : 오버코트층

7035 : 보호 절연층

7041 : 산화물 절연층

7042 : 보호 절연층

7043 : 컬러 필터층

7044 : 오버코트층

7045 : 보호 절연층

7051 : 산화물 절연층

7052 : 보호 절연층

7053 : 평탄화 절연층

7055 : 보호 절연층

8100 : 기판

8104 : 절연층

8141 : 수지층

8142 : 수지층

8144 : 기판

8250 : 화소부

8252 : 구동 회로부

8254 : 단자부

8400 : 발광 장치

1411a : 하우징

1411b : 하우징

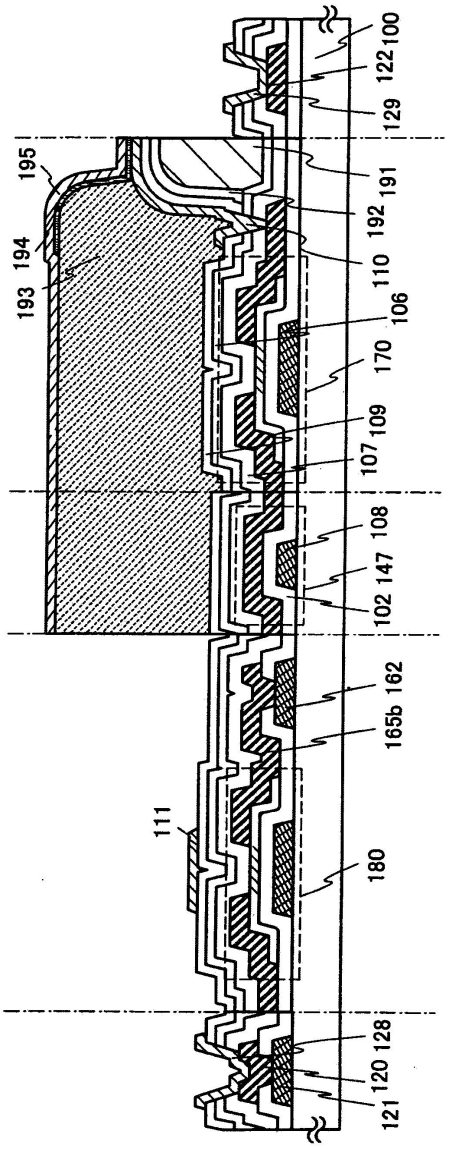
4503a : 신호선 구동 회로

4504a : 주사선 구동 회로

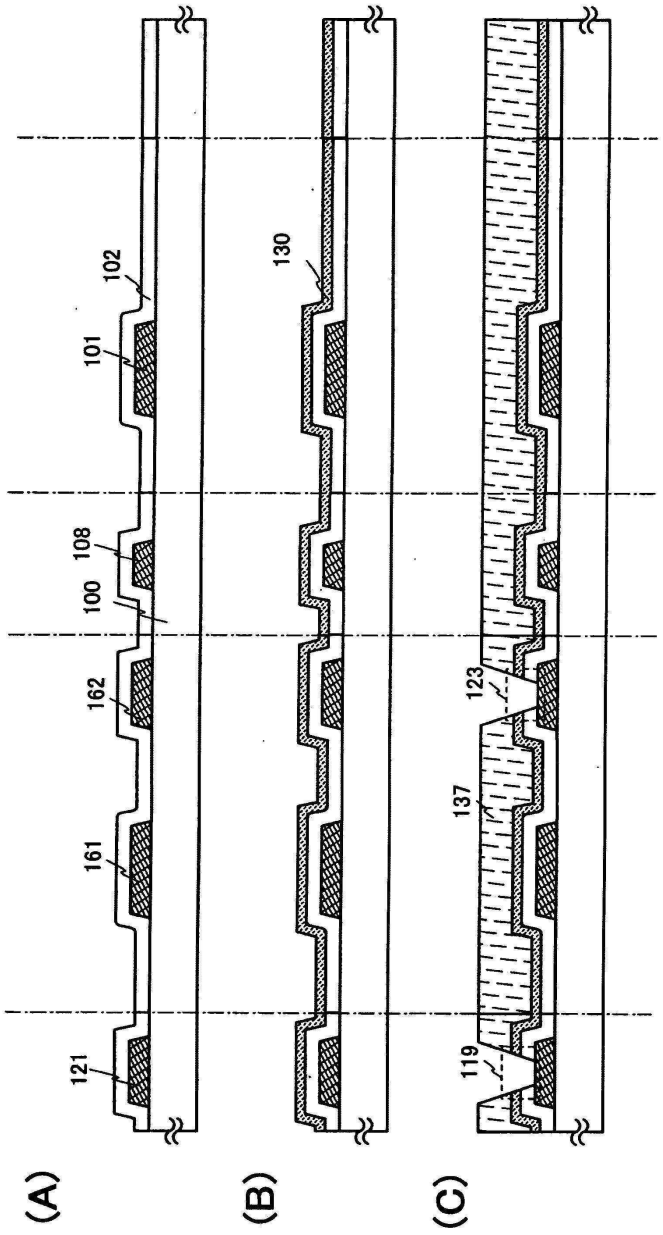
4518a : FPC

도면

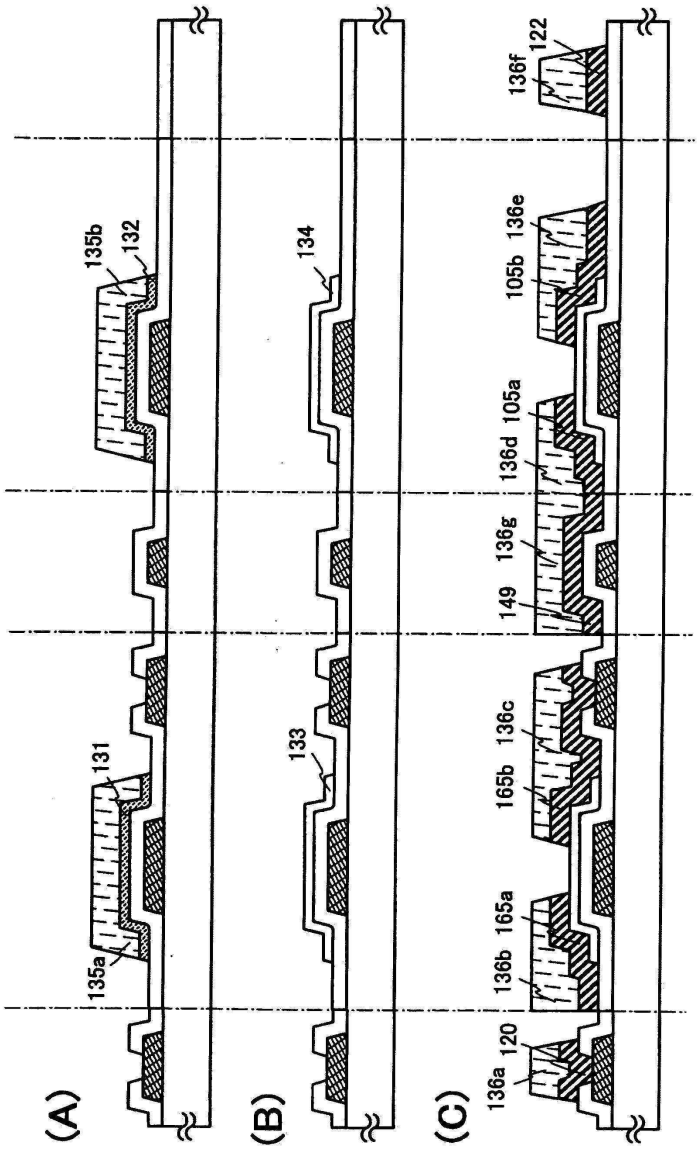
도면1


100
122
129
195
191
192
194
110
193
106
170
109
107
108
147
102
162
165b
111
180
128
120
121

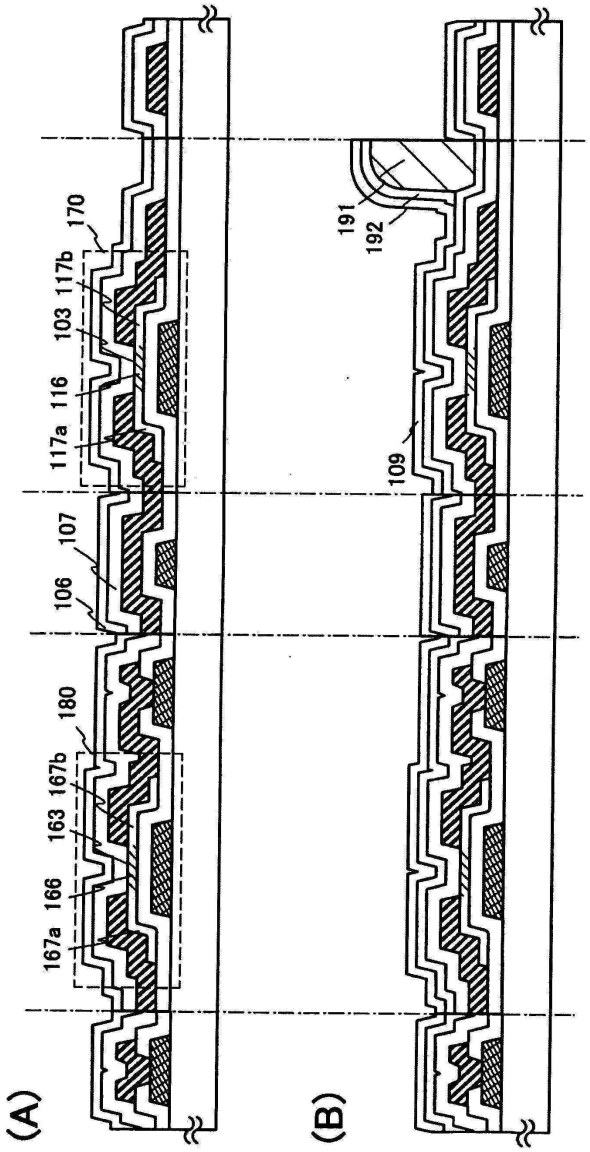
도면2



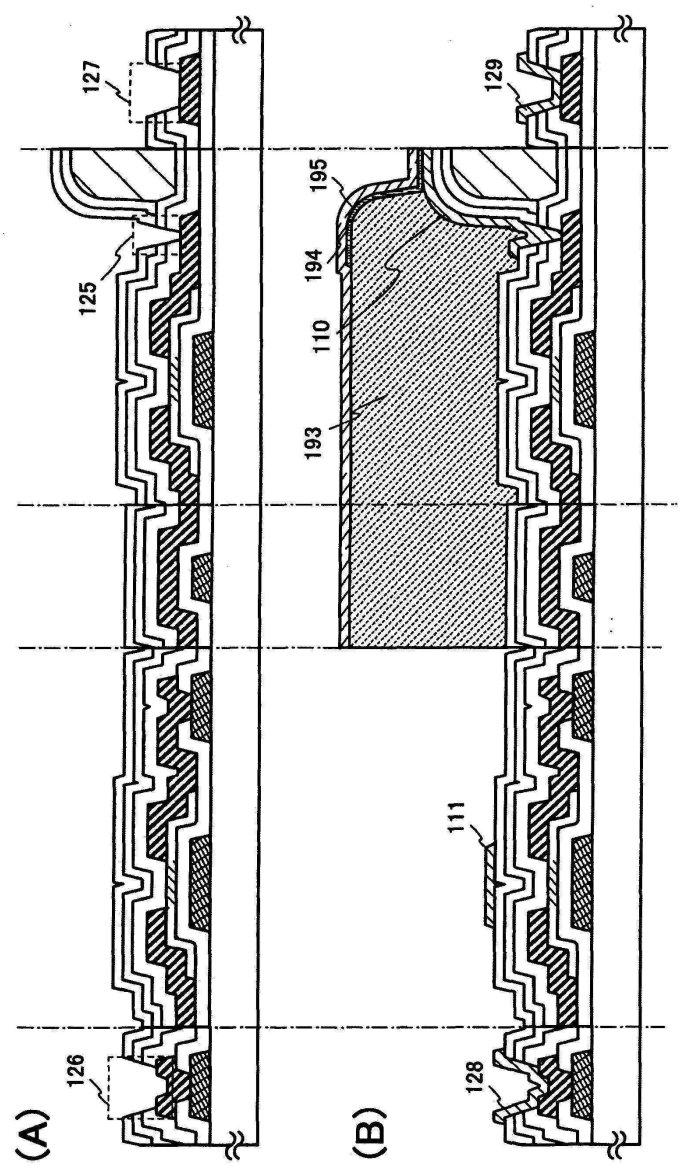
도면3


(A)
(B)
(C)
135a
131
135b
132
133
134
136a
120
136b
165a
165b
136c
149
136g
136d
105a
105b
136e
136f
122

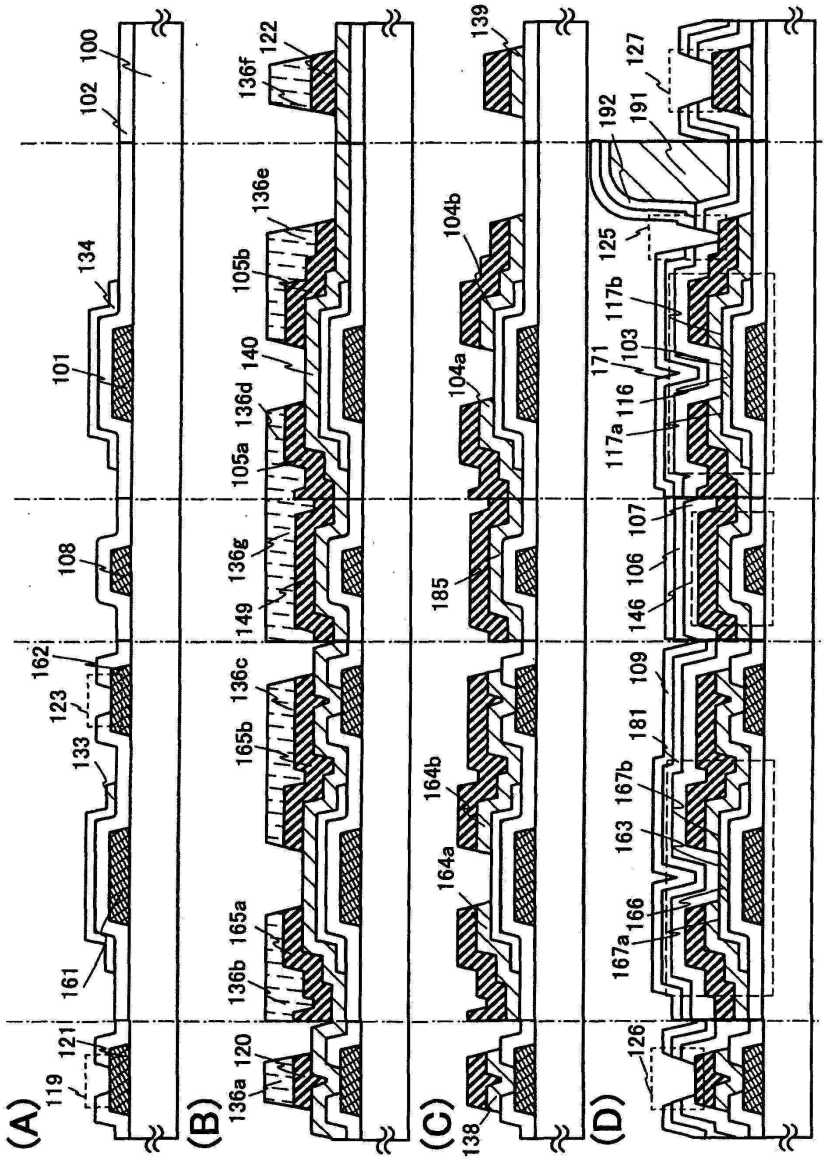
도면4


(A)
(B)
170
117b
103
116
117a
107
106
180
167b
163
166
167a
191
192
109

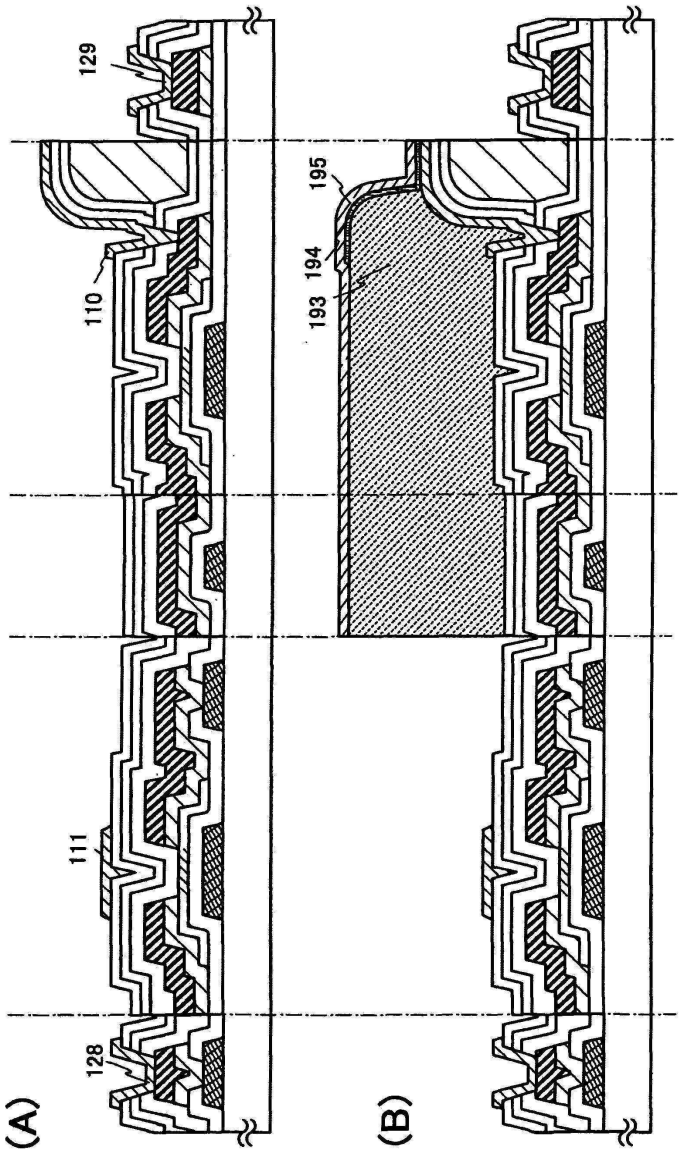
도면5



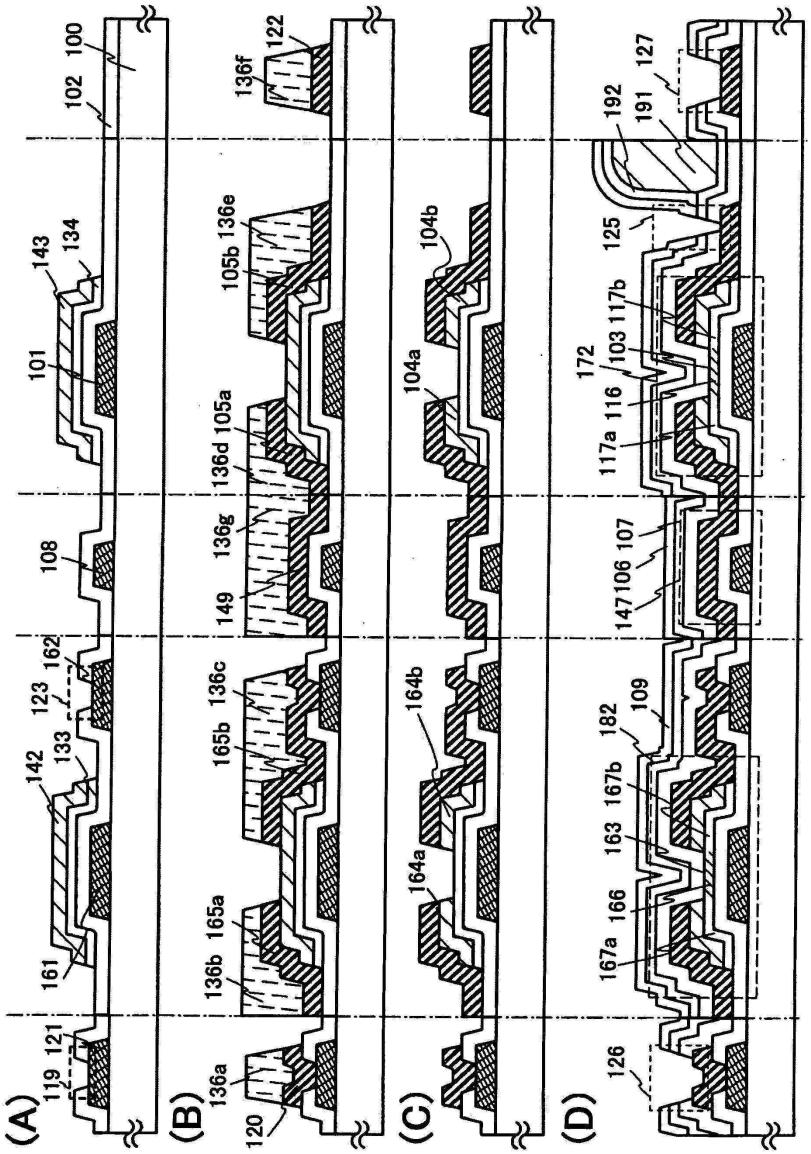
도면6


(A)
(B)
(C)
(D)
100
102
134
101
108
162
123
133
161
121
119
122
136f
136e
105b
140
136d
105a
136g
149
136c
165b
165a
136b
120
136a
139
104b
104a
185
164b
164a
138
192
191
127
125
117b
103
171
116
117a
107
106
146
109
181
167b
163
166
167a
126

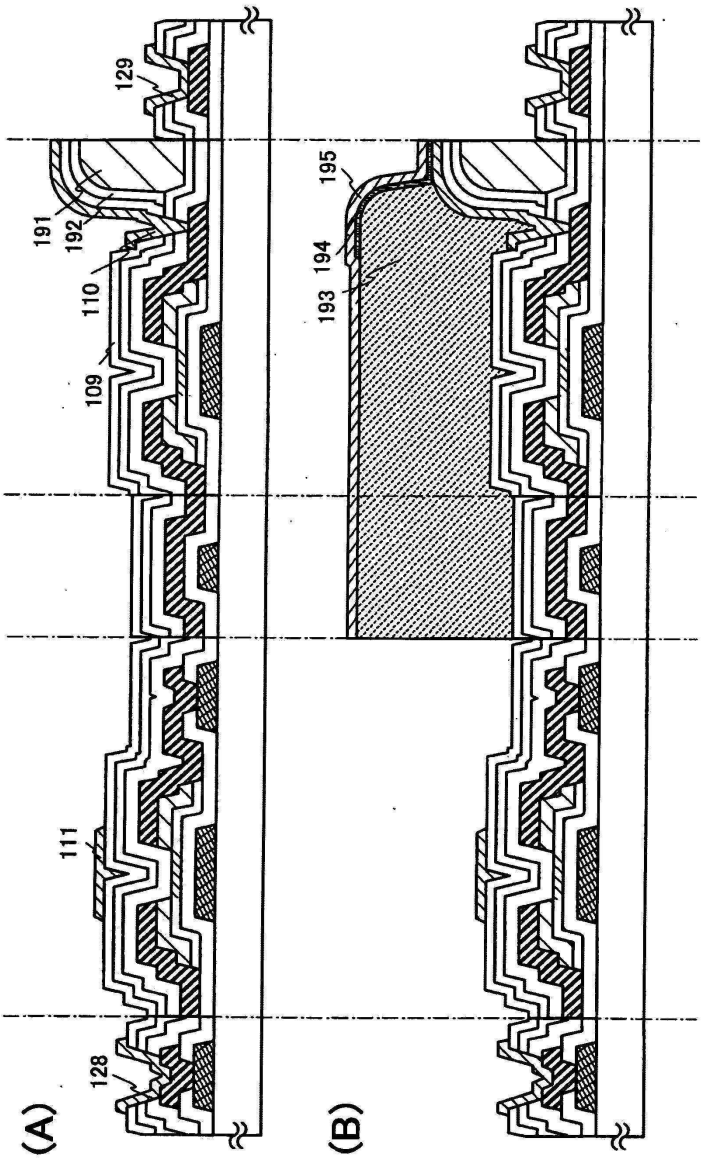
도면7



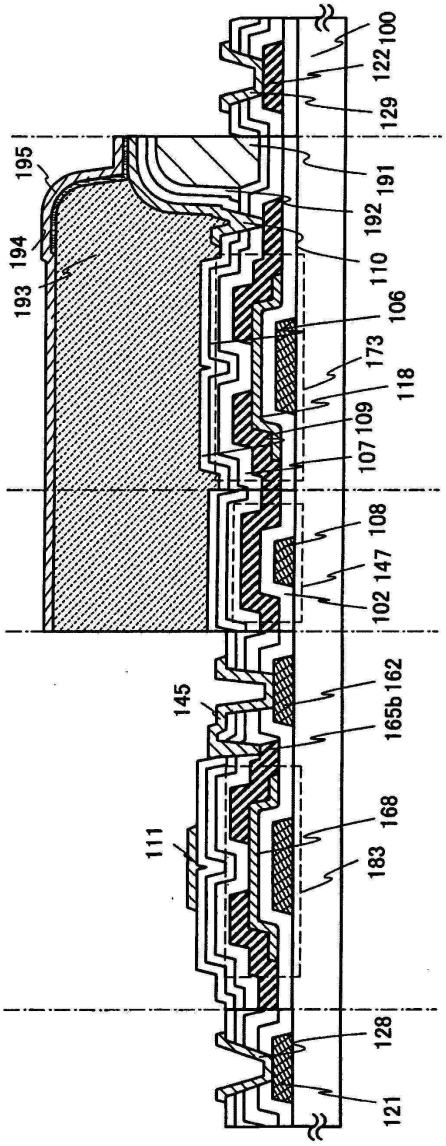
도면8


(A)
(B)
(C)
(D)
100
102
101
143
134
108
162
123
133
142
161
121
119
122
136f
105b
136e
105a
136d
136g
149
136c
165b
165a
136b
136a
120
104b
104a
164b
164a
125
192
191
127
172
103
117b
116
117a
107
106
147
109
182
167b
163
166
167a
126

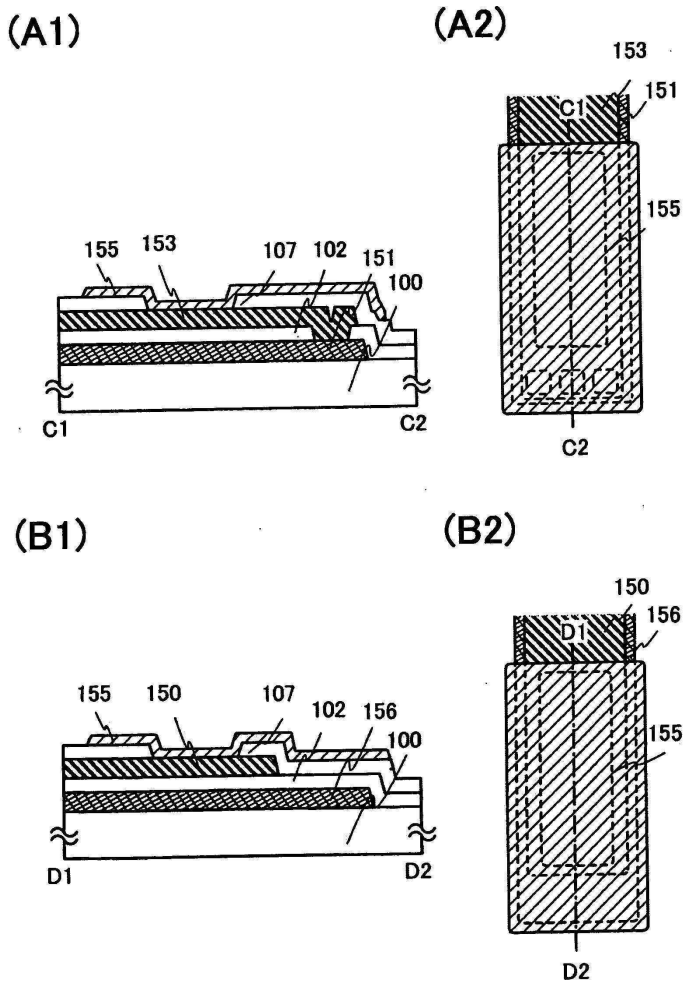
도면9



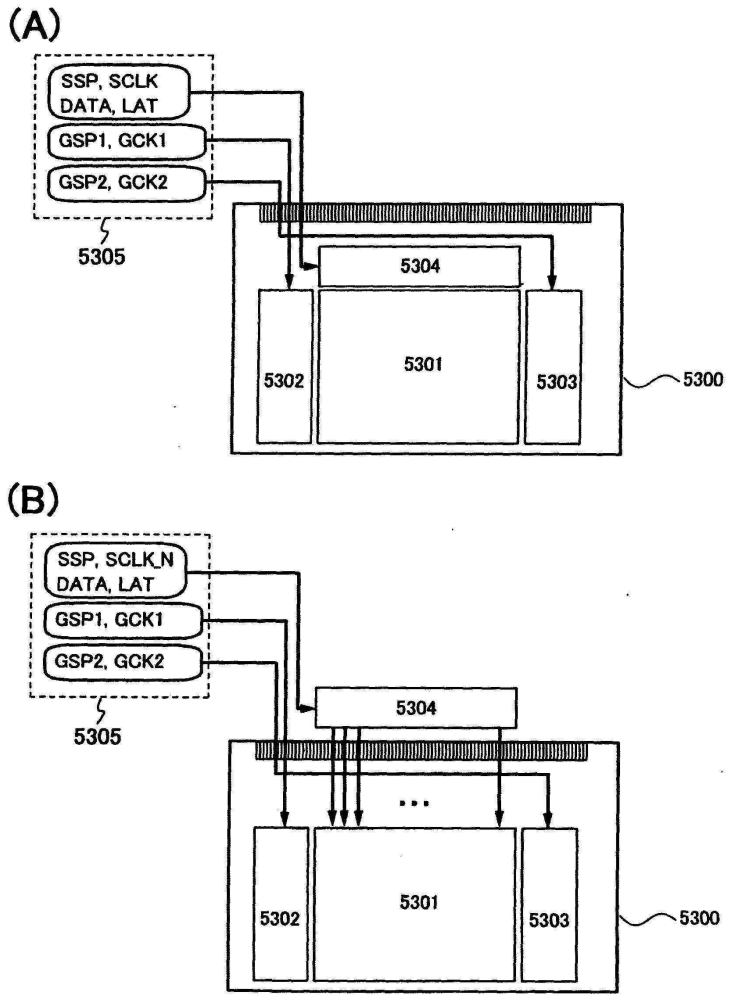
도면10


100
122
129
191
192
110
106
173
118
109
107
108
147
102
162
165b
145
168
183
111
128
121
195
194
193

도면11

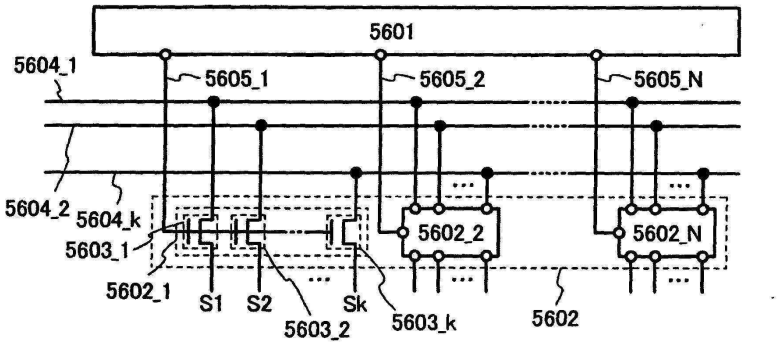

(A1)
155
153
107
102
151
100
C1
C2
(A2)
153
151
C1
155
C2
(B1)
155
150
107
102
156
100
D1
D2
(B2)
150
156
D1
155
D2

도면12

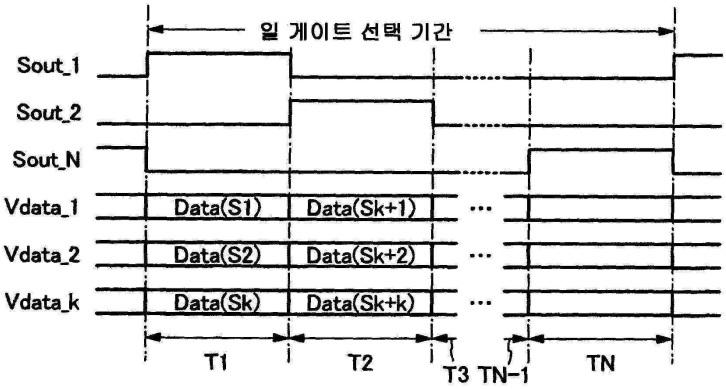

(A)
SSP, SCLK
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300
(B)
SSP, SCLK_N
DATA, LAT
GSP1, GCK1
GSP2, GCK2
5305
5304
5302
5301
5303
5300

도면13

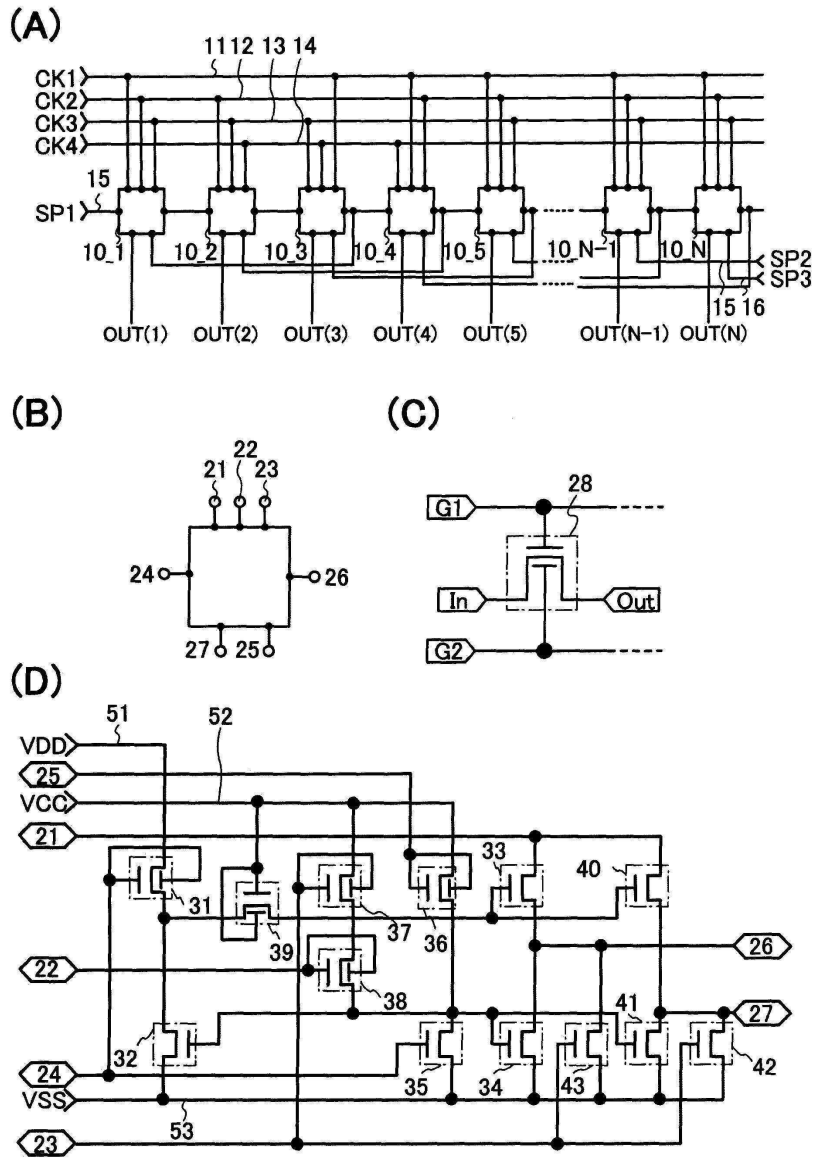
(A)


5601
5604_1
5605_1
5605_2
5605_N
5604_2
5604_k
5603_1
5602_2
5602_N
5602_1
S1
S2
Sk
5603_2
5603_k
5602

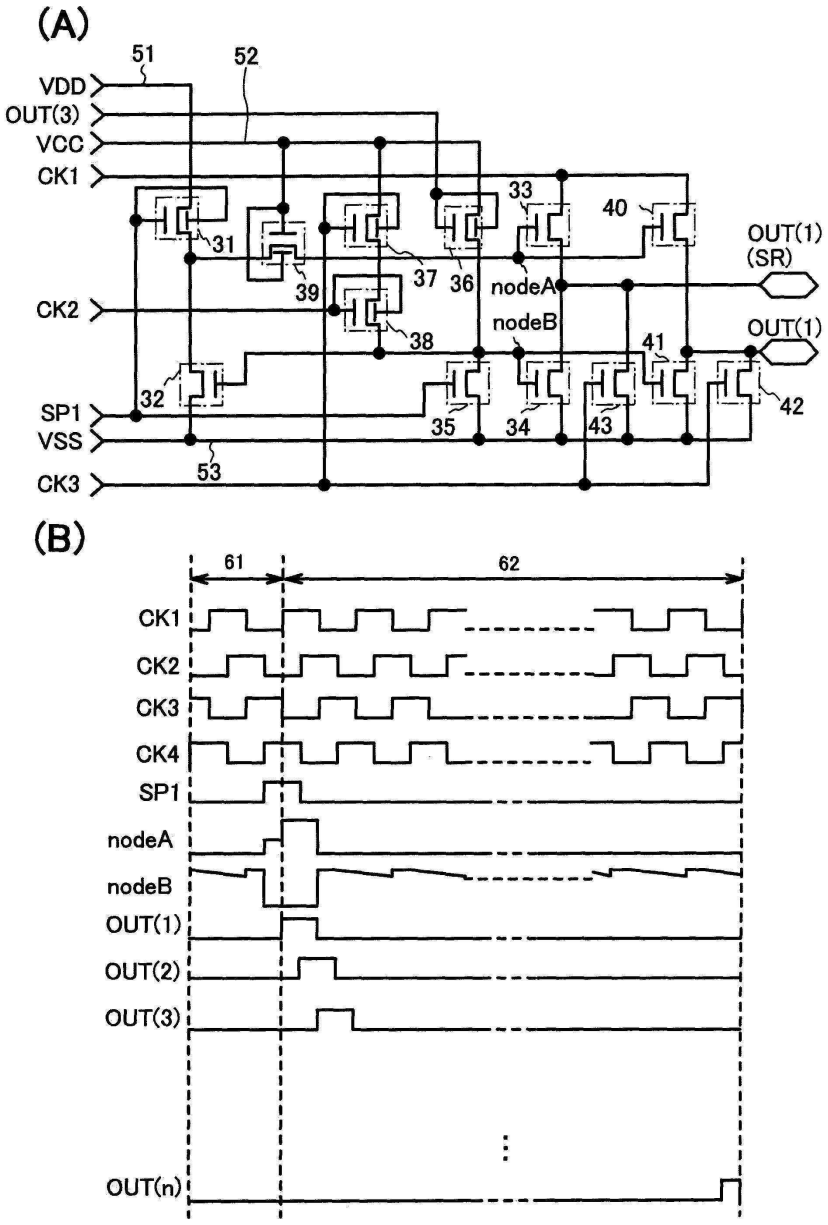
(B)


일 게이트 선택 기간
Sout_1
Sout_2
Sout_N
Vdata_1
Vdata_2
Vdata_k
Data(S1)
Data(Sk+1)
Data(S2)
Data(Sk+2)
Data(Sk)
Data(Sk+k)
T1
T2
T3
TN-1
TN

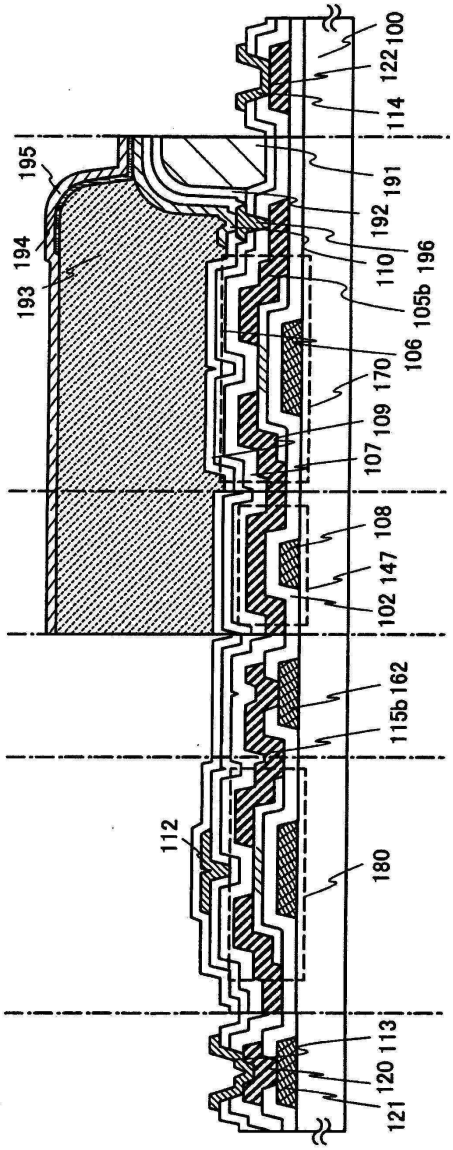
도면14


(A)
11 12 13 14
CK1
CK2
CK3
CK4
15
SP1
10_1
10_2
10_3
10_4
10_5
10_N-1
10_N
SP2
SP3
15 16
OUT(1)
OUT(2)
OUT(3)
OUT(4)
OUT(5)
OUT(N-1)
OUT(N)
(B)
22
21
23
24
26
27
25
(C)
28
G1
In
Out
G2
(D)
51
52
VDD
25
VCC
21
33
40
31
37
36
39
26
22
38
41
27
32
35
34
43
42
24
VSS
53
23

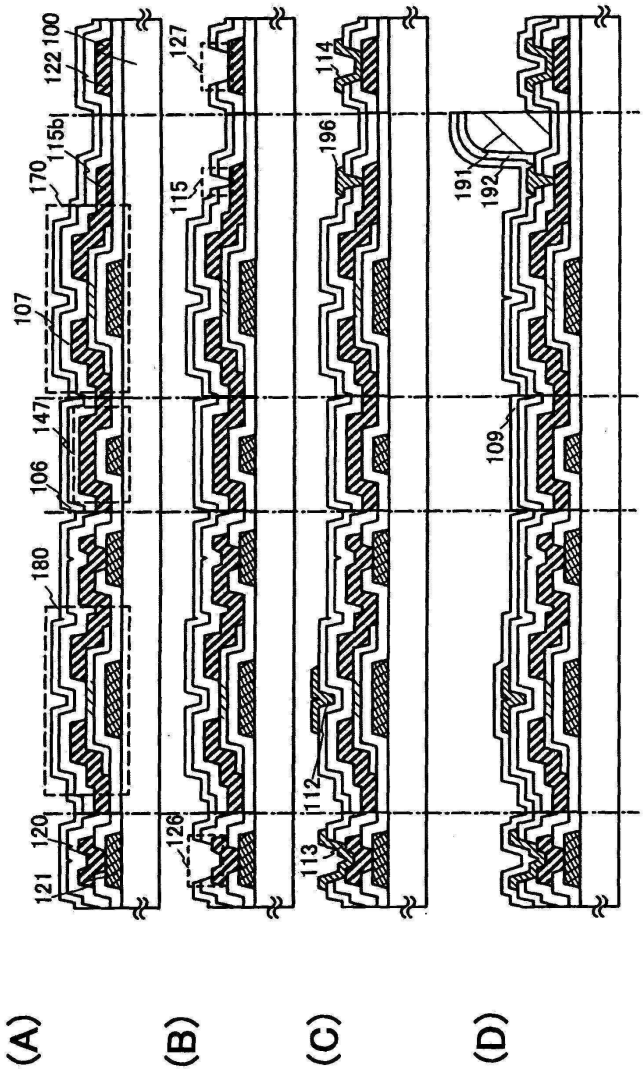
도면15


(A)
51
52
VDD
OUT(3)
VCC
CK1
CK2
SP1
VSS
CK3
31
32
33
34
35
36
37
38
39
40
41
42
43
53
nodeA
nodeB
OUT(1)
(SR)
OUT(1)
(B)
61
62
CK1
CK2
CK3
CK4
SP1
nodeA
nodeB
OUT(1)
OUT(2)
OUT(3)
OUT(n)

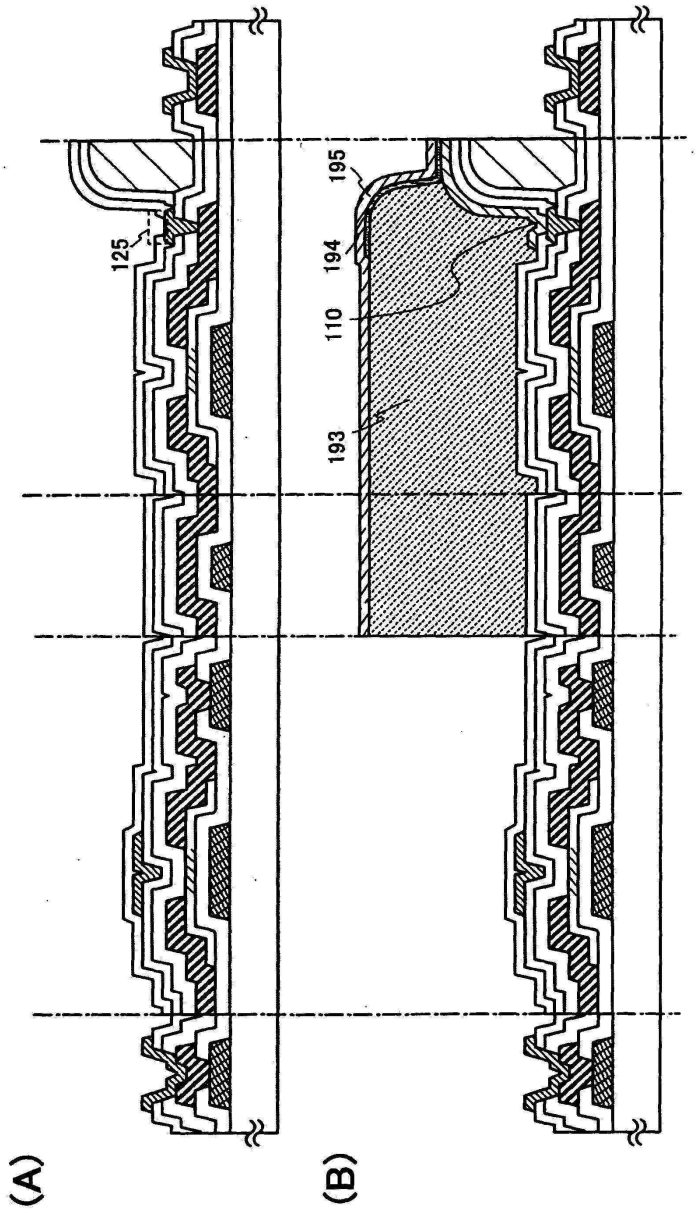
도면16


100
122
114
191
192
110
196
105b
106
170
109
107
108
147
102
162
115b
112
180
113
120
121
195
194
193

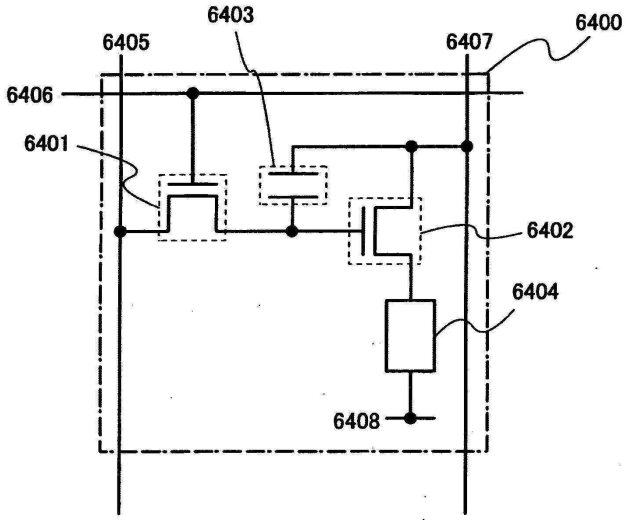
도면17


100
122
127
114
115b
196
170
115
191
192
107
147
109
106
180
112
120
126
113
121
(A)
(B)
(C)
(D)

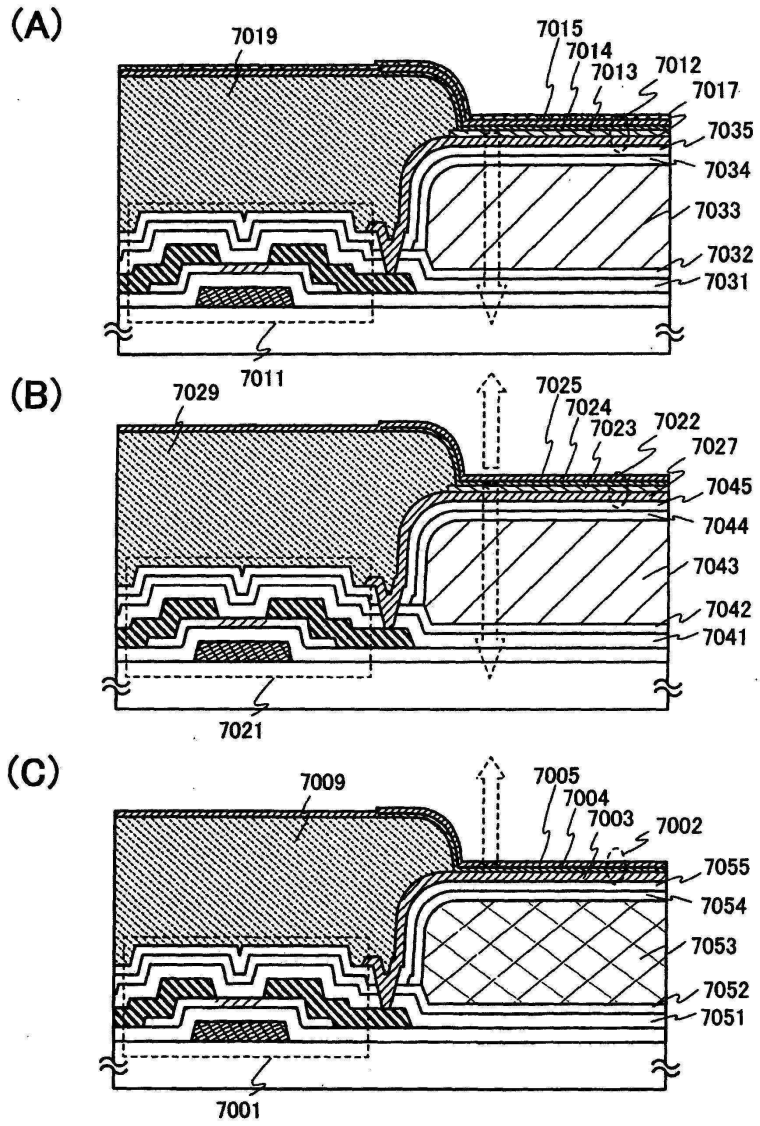
도면18



도면19

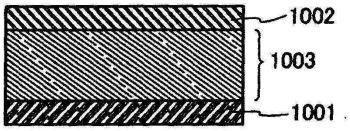


도면20

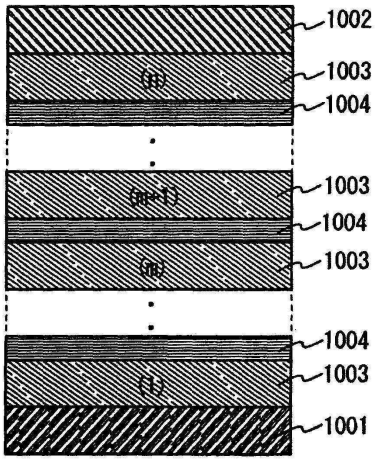

(A)
7019
7015
7014
7013
7012
7017
7035
7034
7033
7032
7031
7011
(B)
7029
7025
7024
7023
7022
7027
7045
7044
7043
7042
7041
7021
(C)
7009
7005
7004
7003
7002
7055
7054
7053
7052
7051
7001

도면21

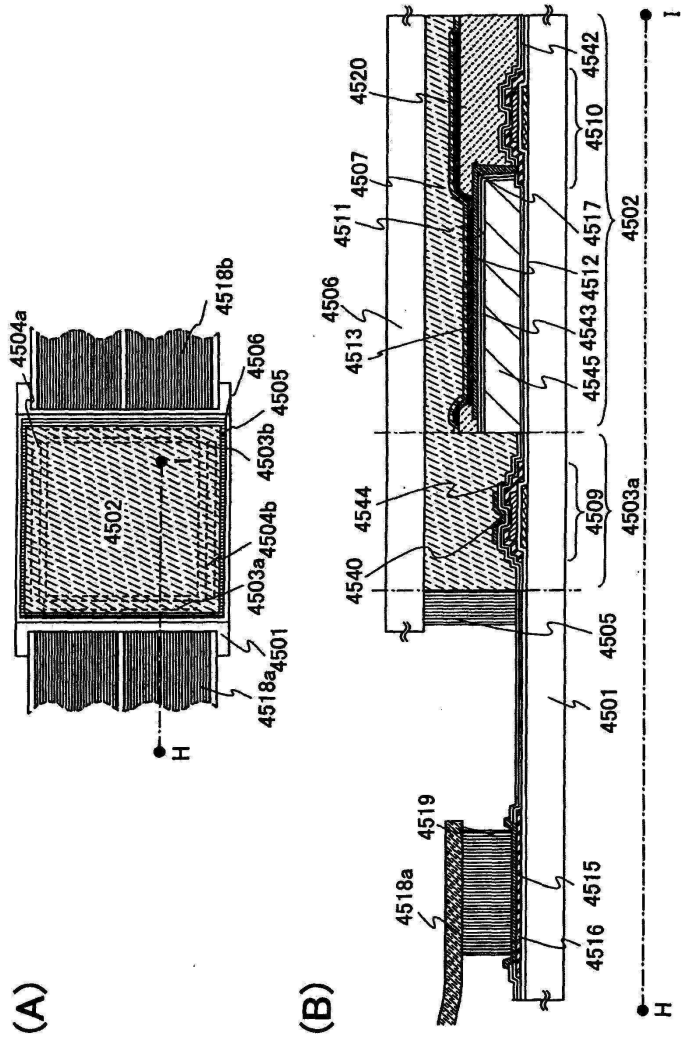
(A)


1002
1003
1001

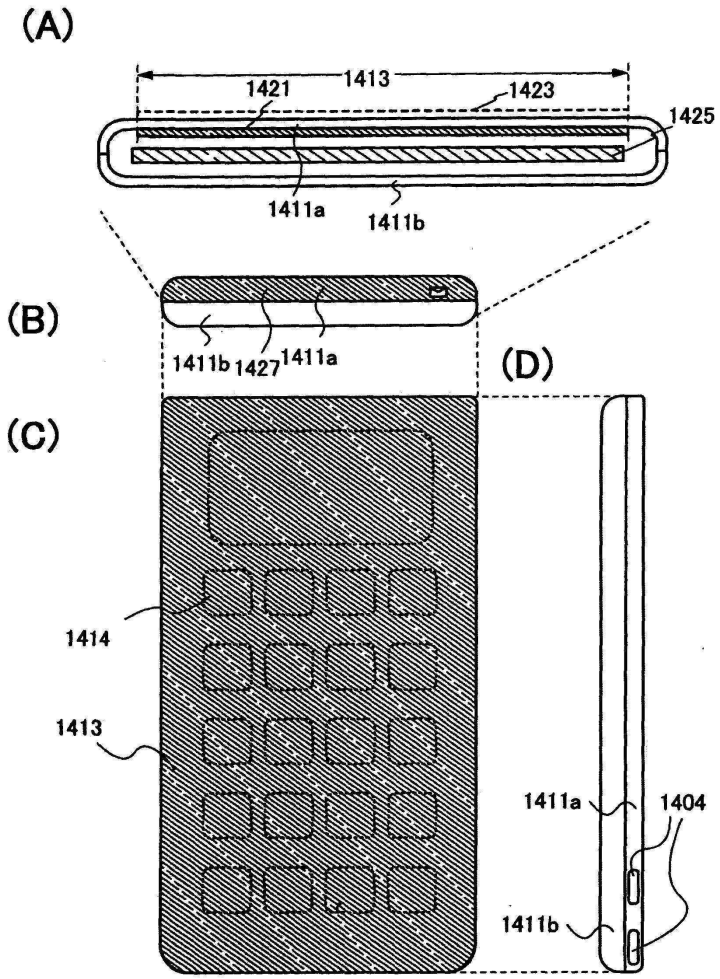
(B)


1002
(n)
1003
1004
(n+1)
1003
1004
(m)
1003
1004
(1)
1003
1001

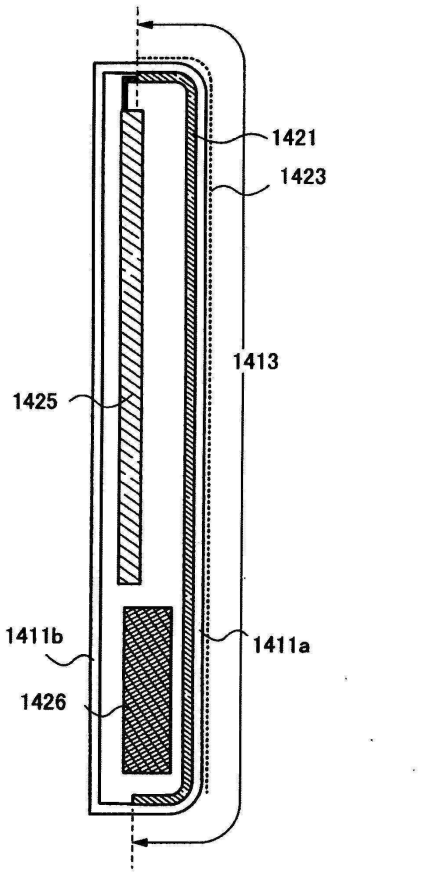
도면22


(A)
4504a
4518b
4506
4505
4503b
4502
4504b
4503a
4501
4518a
H
(B)
4520
4542
4507
4510
4511
4517
4502
4506
4512
4513
4543
4545
4544
4509
4503a
4540
4505
4501
4519
4518a
4515
4516
I
H

도면23

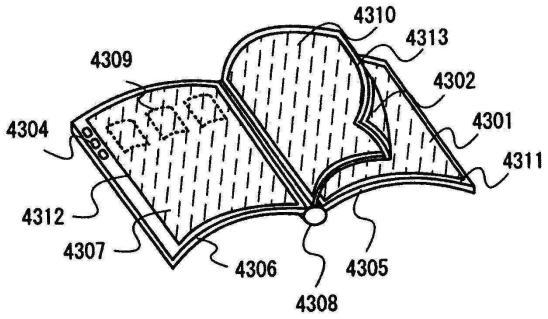

(A)
1421
1413
1423
1425
1411a
1411b
(B)
1411b
1427
1411a
(C)
(D)
1414
1413
1411a
1404
1411b

도면24

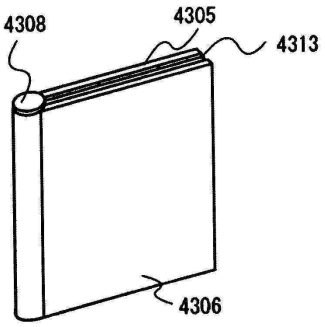


도면25

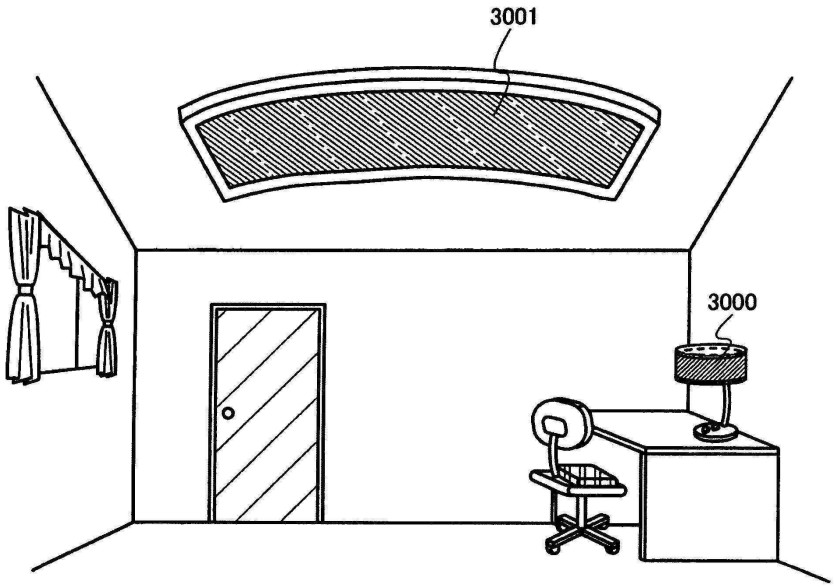
(A)


4310
4313
4309
4302
4304
4301
4311
4312
4307
4306
4305
4308

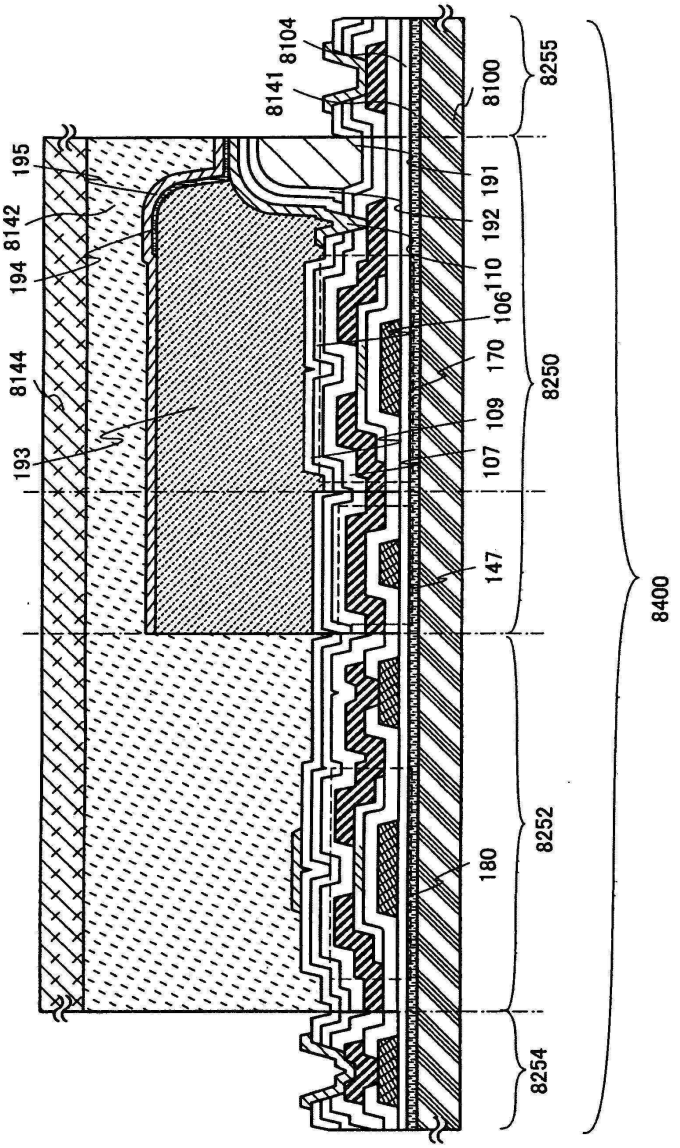
(B)


4308
4305
4313
4306

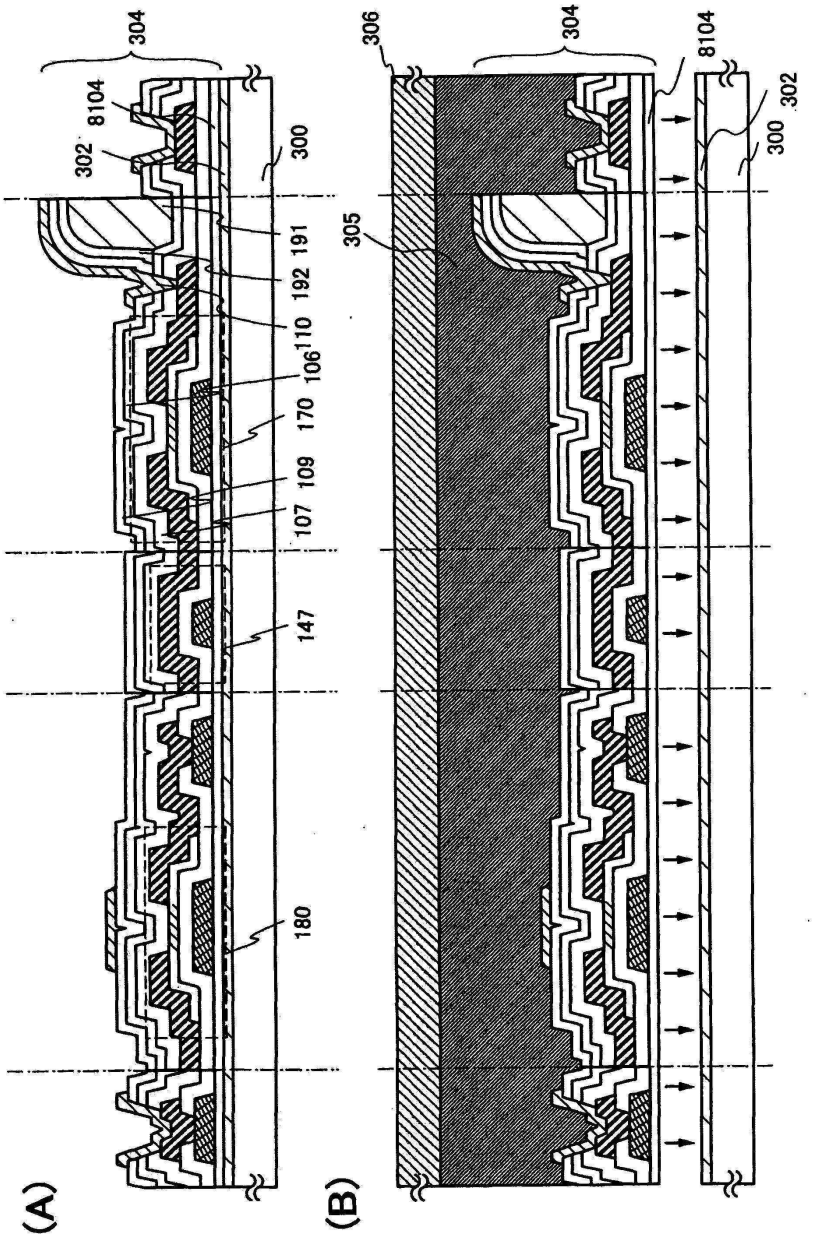
도면26


3001
3000

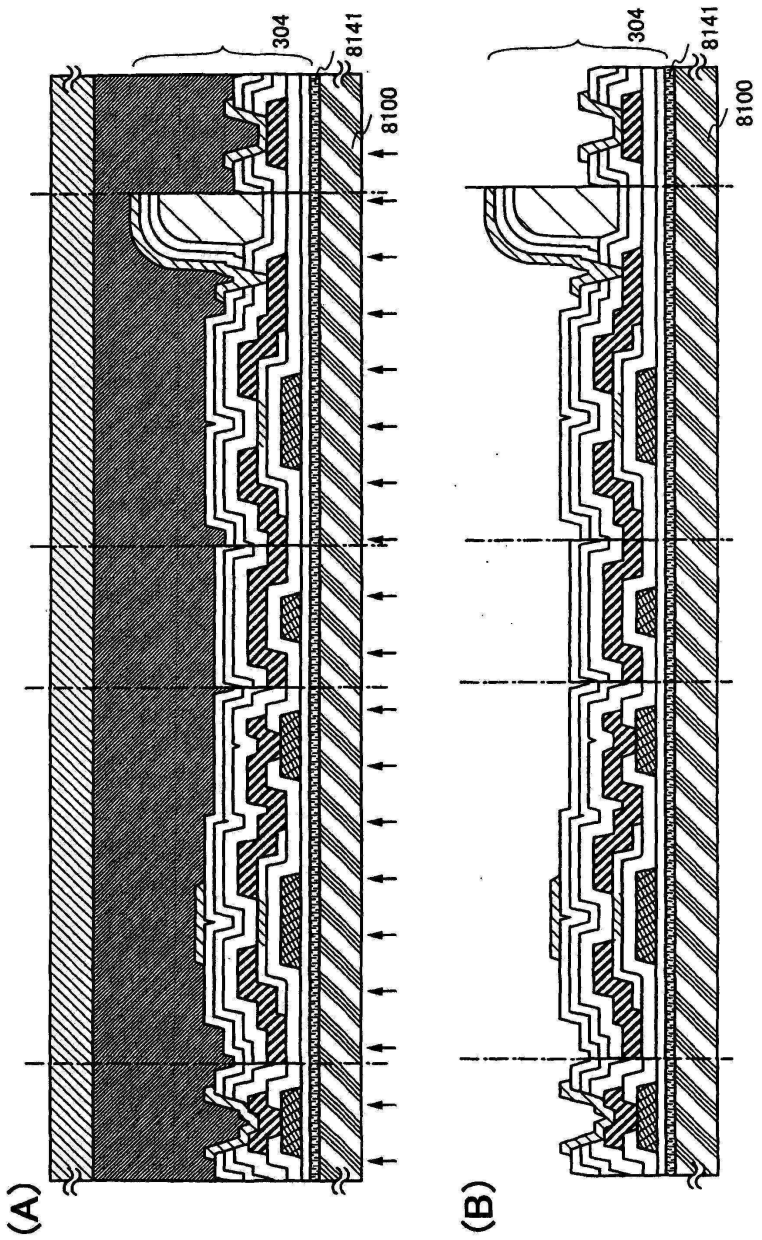
도면27


8104
8141
8255
8100
195
191
8142
192
194
110
106
170
8144
8250
109
193
107
147
8400
180
8252
8254

도면28


304
8104
302
300
191
192
110
106
170
109
107
147
180
(A)
306
304
8104
302
300
305
(B)

도면29



도면30

