

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5933300号
(P5933300)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	6 1 8 C
HO1L 21/8247	(2006.01)	HO1L 27/10	4 3 4
HO1L 27/115	(2006.01)	HO1L 27/10	4 4 1
HO1L 27/105	(2006.01)	HO1L 27/10	3 2 1
HO1L 21/8242	(2006.01)	HO1L 27/10	3 8 1

請求項の数 7 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2012-54185 (P2012-54185)
 (22) 出願日 平成24年3月12日 (2012.3.12)
 (65) 公開番号 特開2012-209547 (P2012-209547A)
 (43) 公開日 平成24年10月25日 (2012.10.25)
 審査請求日 平成27年3月9日 (2015.3.9)
 (31) 優先権主張番号 特願2011-58341 (P2011-58341)
 (32) 優先日 平成23年3月16日 (2011.3.16)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 磯部 敦生
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトレンチ及び第2のトレンチが設けられた第1の絶縁層と、
 前記第1のトレンチの底面及び内壁面と接する領域を有する酸化物半導体層と、
 前記第2のトレンチの底面及び内壁面と接する領域を有する第2の絶縁層と、
 前記第2の絶縁層と接する領域を有し、且つ前記第2のトレンチ内を充填するように設けられた第3の絶縁層と、

前記酸化物半導体層上のゲート絶縁層と、
 前記ゲート絶縁層上に設けられ、且つ前記第1のトレンチ内を充填するように設けられたゲート電極と、

前記ゲート電極と接する領域を有するサイドウォール絶縁層と、
 前記サイドウォール絶縁層及び前記酸化物半導体層と接する領域を有するソース電極又はドレイン電極と、を有することを特徴とする半導体装置。

【請求項 2】

請求項1において、
 前記ソース電極又は前記ドレイン電極は、前記第3の絶縁層と重畳する領域を有することを特徴とする半導体装置。

【請求項 3】

トランジスタと、容量素子とを含む複数のメモリセルを有し、
 前記トランジスタは、

第 1 のトレンチ及び第 2 のトレンチが設けられた第 1 の絶縁層と、
 前記第 1 のトレンチの底面及び内壁面と接する領域を有する酸化物半導体層と、
 前記第 2 のトレンチの底面及び内壁面と接する領域を有する第 2 の絶縁層と、
 前記第 2 の絶縁層と接する領域を有し、且つ前記第 2 のトレンチ内を充填するように設けられた第 3 の絶縁層と、

前記酸化物半導体層上のゲート絶縁層と、
 前記ゲート絶縁層上に設けられ、且つ前記第 1 のトレンチ内を充填するように設けられたゲート電極と、
 前記ゲート電極と接する領域を有するサイドウォール絶縁層と、
 前記サイドウォール絶縁層及び前記酸化物半導体層と接する領域を有するソース電極と

前記サイドウォール絶縁層及び前記酸化物半導体層と接する領域を有するドレイン電極と、を有し、
 前記ソース電極又は前記ドレイン電極の一方は、前記容量素子の一方の電極と電気的に接続されることを特徴とする半導体装置。

【請求項 4】

請求項 3において、
 前記ソース電極及び前記ドレイン電極はそれぞれ、前記第 3 の絶縁層と重畳する領域を有することを特徴とする半導体装置。

【請求項 5】

第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を含む複数のメモリセルを有し、

前記第 1 のトランジスタは、
 第 1 のチャネル形成領域と、
 前記第 1 のチャネル形成領域上の第 1 のゲート絶縁層と、
 前記第 1 のチャネル形成領域と重畳する領域を有し、且つ前記第 1 のゲート絶縁層上に設けられた第 1 のゲート電極と、を含み、

前記第 2 のトランジスタは、
 第 1 のトレンチ及び第 2 のトレンチが設けられた第 1 の絶縁層と、
 前記第 1 のトレンチの底面及び内壁面と接する領域を有し、且つ少なくも第 2 のチャネル形成領域を含む酸化物半導体層と、
 前記第 2 のトレンチの底面及び内壁面と接する領域を有する第 2 の絶縁層と、
 前記第 2 の絶縁層と接する領域を有し、且つ前記第 2 のトレンチ内を充填するように設けられた第 3 の絶縁層と、

前記酸化物半導体層上の第 2 のゲート絶縁層と、
 前記第 2 のゲート絶縁層上に設けられ、且つ前記第 1 のトレンチ内を充填するように設けられた第 2 のゲート電極と、
 前記第 2 のゲート電極と接する領域を有するサイドウォール絶縁層と、
 前記サイドウォール絶縁層及び前記酸化物半導体層と接する領域を有する第 2 のソース電極と、

前記サイドウォール絶縁層及び前記酸化物半導体層と接する領域を有する第 2 のドレイン電極と、を有し、
 前記第 2 のチャネル形成領域は、前記第 1 のチャネル形成領域よりも広いエネルギーギヤップを有し、
 前記第 1 のゲート電極と、前記第 2 のソース電極と、前記容量素子の一方の電極と、は電気的に接続され、
 前記第 1 のトランジスタと、前記第 2 のトランジスタと、は少なくとも一部が重畳して配置されることを特徴とする半導体装置。

【請求項 6】

請求項 5において、

10

20

30

40

50

前記第2のソース電極及び前記第2のドレイン電極はそれぞれ、前記第3の絶縁層と少なくとも一部と重畠することを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれか一において、

前記第2の絶縁層は、酸化シリコン膜と酸化アルミニウム膜の積層を有し、

前記酸化シリコン膜は、前記酸化物半導体層と接する領域を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本明細書で開示する発明は、半導体素子を利用した半導体装置に関する。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMの中核部を構成するメモリセルは書き込み及び読み出し用のトランジスタとキャパシタによって構成されている。

20

【0004】

DRAMは、他の半導体集積回路と同様にスケーリング則に従って回路パターンの微細化が進められてきたが、トランジスタのチャネル長が 100 nm 以下となると、短チャネル効果によりパンチスルーポートが流れやすくなり、トランジスタがスイッチング素子として機能しなくなることが問題視されている。パンチスルーポートを防ぐためには、シリコン基板に高濃度の不純物をドーピングする方法があるが、この方法を用いるとソースと基板間又はドレインと基板間に接合リード電流が流れやすくなるため、結局はメモリの保持特性を低下させてしまう原因となってしまう。従って、この問題の解決策としては適切ではない。

【0005】

30

このような問題に対して、メモリセルを構成するトランジスタを 3 次元に形成し、一つのメモリセルが占める面積を縮小しつつ、トランジスタの実効的なチャネル長を短チャネル効果が生じない程度に維持する方法が考えられている。例えば、トランジスタのチャネル部が形成される領域に U 字状の縦長溝を形成し、その溝の壁面に沿ってゲート絶縁膜を形成し、さらにその溝にゲート電極を埋め込んだ構造が開示されている（非特許文献 1 参照）。

【0006】

このような構造をチャネル部に有するトランジスタは、ソース領域とドレイン領域の間を流れる電流が溝部分を回り込む形で流れるため実効的なチャネル長が長くなっている。このため、メモリセルに占めるトランジスタの占有面積を縮小しつつ、短チャネル効果を抑制できるといった利点を有している。

40

【0007】

しかしながら、従来のDRAMは、データを保持するために数十ミリ秒間隔でリフレッシュをしなければならず、消費電力の増大を招いている。また、頻繁にトランジスタのオン状態とオフ状態が切り換わるのでトランジスタの劣化が問題となっている。この問題は、メモリ容量が増大し、トランジスタの微細化が進むにつれて顕著なものとなっていた。

【0008】

また、不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期

50

間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0009】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0010】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込みまたは消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開昭57-105889号公報

【非特許文献】

【0012】

【非特許文献1】Kinam Kim, 「Technology for sub-50 nm DRAM and NAND Flash Manufacturing」、Electron Devices Meeting, 2005. IEDM Technical Digest, 2005年12月、p. 333 - 336

【発明の概要】

【発明が解決しようとする課題】

【0013】

そこで本発明の一態様は、記憶内容に対する保持特性の改善を図ることが可能な半導体装置を提供することを目的の一とする。また、本発明の一態様は、半導体装置における消費電力の低減を図ることを目的の一とする。また、本発明の一態様では、書き込み回数に制限のない新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0014】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができるワイドギャップ半導体材料（例えば、酸化物半導体材料）を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能となる。

【0015】

本発明の一態様は、第1のトレンチ及び第2のトレンチが設けられた第1の絶縁層と、第1のトレンチの底面及び内壁面に接して設けられた酸化物半導体層と、第2のトレンチの底面及び内壁面に接して設けられた第2の絶縁層と、第2の絶縁層に接して設けられ、第2のトレンチ内を充填する第3の絶縁層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、第1のトレンチ内を充填するゲート電極と、ゲート電極に接して設けられたサイドウォール絶縁層と、サイドウォール絶縁層及び酸化物半導体層に接して設けられたソース電極及びドレイン電極と、を有する半導体装置である。

【0016】

また、本発明の他の一態様は、トランジスタと、容量素子とを含む複数のメモリセルを有し、トランジスタは、第1のトレンチ及び第2のトレンチが設けられた第1の絶縁層と、第1のトレンチの底面及び内壁面に接して設けられた酸化物半導体層と、第2のトレンチの底面及び内壁面に接して設けられた第2の絶縁層と、第2の絶縁層に接して設けられ、

10

20

30

40

50

第2のトレンチ内を充填する第3の絶縁層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、第1のトレンチ内を充填するゲート電極と、ゲート電極に接して設けられたサイドウォール絶縁層と、サイドウォール絶縁層及び酸化物半導体層に接して設けられたソース電極及びドレイン電極と、を有し、ソース電極又はドレイン電極の一方と、容量素子の一方の電極と、は、電気的に接続される半導体装置である。

【0017】

上記の半導体装置のいずれか一において、ソース電極及びドレイン電極はそれぞれ、第3の絶縁層と少なくとも一部と重畳するのが好ましい。

【0018】

また、本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、容量素子と、を含む複数のメモリセルを有し、第1のトランジスタは、第1のチャネル形成領域と、第1のチャネル形成領域上に設けられた第1のゲート絶縁層と、第1のチャネル形成領域と重畳して、第1のゲート絶縁層上に設けられた第1のゲート電極と、を含み、第2のトランジスタは、第1のトレンチ及び第2のトレンチが設けられた第1の絶縁層と、第1のトレンチの底面及び内壁面に接して設けられ、少なくも第2のチャネル形成領域を含む酸化物半導体層と、第2のトレンチの底面及び内壁面に接して設けられた第2の絶縁層と、第2の絶縁層に接して設けられ、第2のトレンチ内を充填する第3の絶縁層と、酸化物半導体層上に設けられた第2のゲート絶縁層と、第2のゲート絶縁層上に設けられ、第1のトレンチ内を充填する第2のゲート電極と、第2のゲート電極に接して設けられたサイドウォール絶縁層と、サイドウォール絶縁層及び酸化物半導体層に接して設けられた第2のソース電極及び第2のドレイン電極と、を有し、第2のチャネル形成領域は、第1のチャネル形成領域よりも広いエネルギー・ギャップを有し、第1のゲート電極と、第2のソース電極と、容量素子の一方の電極と、は、電気的に接続され、第1のトランジスタと、第2のトランジスタと、は少なくとも一部が重畳して配置される半導体装置である。

【0019】

また、上記の半導体装置において、第2のソース電極及び第2のドレイン電極はそれぞれ、第3の絶縁層と少なくとも一部と重畳するのが好ましい。

【0020】

また、上記の半導体装置のいずれか一において、第2の絶縁層として、酸化シリコン膜と酸化アルミニウム膜の積層が設けられ、酸化シリコン膜において、酸化物半導体層と接するのが好ましい。

【0021】

なお、本明細書等において「上」の用語は、構成要素の位置関係が「直上」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「下」の用語についても同様である。

【0022】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0024】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

10

20

30

40

50

【0025】

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0026】

ワイドギャップ半導体（例えば、酸化物半導体）を用いたトランジスタはオフ電流が極めて小さいため、これを半導体記憶装置に用いることにより極めて長期にわたり記憶内容を保持することが可能となる。つまり、半導体記憶装置のリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

10

【0027】

また、本明細書で開示するトレンチ構造のトランジスタは、ソース電極とドレイン電極との距離を狭くしても第1のトレンチの深さを適宜設定することで、短チャネル効果の発現を抑制することができる。

【図面の簡単な説明】

【0028】

【図1】本発明の一態様の半導体装置を示す断面図及び平面図。

【図2】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

20

【図3】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図4】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図5】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図6】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図7】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図8】本発明の一態様の半導体装置の作製工程を示す断面図及び平面図。

【図9】本発明の一態様の半導体装置を示す断面図、平面図及び回路図。

【図10】本発明の一態様の半導体装置を示す回路図及び斜視図。

【図11】本発明の一態様の半導体装置を示す断面図及び平面図。

【図12】本発明の一態様の半導体装置を示す回路図。

30

【図13】本発明の一態様の半導体装置を示すブロック図。

【図14】本発明の一態様の半導体装置を示すブロック図。

【図15】本発明の一態様の半導体装置を示すブロック図。

【発明を実施するための形態】

【0029】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0030】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

40

【0031】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0032】

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置及びその作製方法について、図1乃至図8を用いて説明する。

【0033】

50

図1(A1)に本実施の形態のトランジスタ162の平面図の一例を示す。また、図1(A2)に図1(A1)中の鎖線A1-A2及びB1-B2における断面図を示す。

【0034】

本実施の形態で示すトランジスタ162は、第1のトレンチ131及び第2のトレンチ133が設けられた絶縁層130と、第1のトレンチ131の底面及び内壁面に接して設けられた酸化物半導体層144と、第2のトレンチ133の底面及び内壁面に接して設けられた絶縁層132と、絶縁層132に接して設けられ、第2のトレンチ133内を充填する絶縁層134と、酸化物半導体層144上に設けられたゲート絶縁層146と、ゲート絶縁層146上に設けられ、第1のトレンチ131内を充填するゲート電極148と、ゲート電極148に接して設けられたサイドウォール絶縁層136a及びサイドウォール絶縁層136bと、サイドウォール絶縁層136a及び酸化物半導体層144に接して設けられたソース電極(またはドレイン電極)142aと、サイドウォール絶縁層136b及び酸化物半導体層144に接して設けられたドレイン電極(またはソース電極)142bと、を有する。

【0035】

図1に示すトランジスタ162は、第1のトレンチ131の底面及び内壁面に接するよう酸化物半導体層144が設けられている。酸化物半導体層144のチャネル長方向(キャリアが流れる方向)の断面形状は、第1のトレンチ131の断面形状に沿って湾曲した形状、即ちI字形状となっており、第1のトレンチ131の深さが深くなればなるほどトランジスタ162の実効的なチャネル長を長くすることができる。

【0036】

従って、ソース電極142aとドレイン電極142bとの距離を狭くしても第1のトレンチ131の深さを適宜設定することで実効的なチャネル長を維持することができるため、トランジスタサイズの縮小を達成しつつ短チャネル効果を抑制することが可能である。なお、第1のトレンチ131の上面形状は、トランジスタ162のチャネル幅方向(キャリアが流れる方向と直交する方向)に延在するストライプ形状であるのが好ましい。

【0037】

本実施の形態では、ワイドギャップ半導体層として、酸化物半導体層144を用いる例を示す。酸化物半導体としては、少なくともシリコンの1.1eVよりも大きいエネルギーギャップを持つ酸化物半導体を適用することができ、例えば、エネルギーギャップが3.15eVであるIn-Ga-Zn-O系酸化物半導体、エネルギーギャップが約3.0eVである酸化インジウム、エネルギーギャップが約3.0eVであるインジウム錫酸化物、エネルギーギャップが約3.3eVであるインジウムガリウム酸化物、エネルギーギャップが約2.7eVであるインジウム亜鉛酸化物、エネルギーギャップが約3.3eVである酸化錫、エネルギーギャップが約3.37eVである酸化亜鉛などを好ましく用いることができる。ただし、本発明の一態様の半導体装置に適用可能なワイドギャップ半導体は、上述の酸化物半導体に限られず、窒化ガリウム、酸化窒化ガリウム、酸化窒化ガリウム亜鉛等を用いてもよい。このような材料を用いることにより、トランジスタ162のオフ電流を極めて低く保つことが可能である。

【0038】

ここで、トランジスタ162に含まれる酸化物半導体層144は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は 5×10^{19} atoms/cm³以下、望ましくは 5×10^{18} atoms/cm³以下、より望ましくは 5×10^{17} atoms/cm³以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。

【0039】

このように、水素濃度が十分に低減され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減されて高純度化された酸化物半導体層144では、

10

20

30

40

50

キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅($1 \mu\text{m}$)あたりの値)は 100 zA (1 zA (ゼットアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは 10 zA 以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0040】

以下、図2乃至図8を用いて、図1に示すトランジスタ162の作製工程の一例を示す。なお、図2乃至図8において、(A1)はトランジスタ162の作製工程における平面図を示し、(A2)は(A1)の鎖線A1-A2及びB1-B2における断面図を示す。同様に、(B1)はトランジスタ162の作製工程における平面図を示し、(B2)は(B1)の鎖線A1-A2及びB1-B2における断面図を示す。

10

【0041】

まず、半導体材料を含む基板(図示しない)上に、絶縁層130を形成する(図2(A1)及び(A2)参照。)

【0042】

半導体材料を含む基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができ、当該基板に半導体素子が形成されていてもよい。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

20

【0043】

絶縁層130としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を形成することができる。

【0044】

次いで、絶縁層130に第1のトレンチ131(溝とも呼ぶ)を形成する(図2(B1)及び(B2)参照)。トレンチの形成方法は公知の技術を用いればよく、例えば、一回のエッチングまたは複数回のエッチングによって形成することができる。

30

【0045】

次いで、絶縁層130に設けられた第1のトレンチ131の底面及び内壁面に接するよう、酸化物半導体層144を形成する(図3(A1)及び(A2)参照)。酸化物半導体層144の膜厚は、 1 nm 以上 100 nm 以下とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体層144は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

40

【0046】

酸化物半導体層144の材料としては、少なくともシリコンよりも大きいエネルギー・ギャップを持つ酸化物半導体を用いる。シリコンよりも大きいエネルギー・ギャップを持つ酸化物半導体としては、例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属の酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系の

50

材料、一元系金属の酸化物である $In - O$ 系酸化物半導体、 $Sn - O$ 系酸化物半導体、 $Zn - O$ 系酸化物半導体などを用いることができる。本実施の形態では、 $In - Ga - Zn - O$ 系酸化物半導体を用いる。

【0047】

なお、例えば、 $In - Ga - Zn - O$ 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物半導体、という意味であり、その組成比は問わない。

【0048】

また、酸化物半導体層 144 は、化学式 $InM O_3 (ZnO)_m (m > 0)$ で表記される薄膜を用いることができる。ここで、Mは、Zn、Ga、Al、Mn 及びCo から選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

10

【0049】

また、酸化物半導体として $In - Zn - O$ 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

20

【0050】

成膜の雰囲気は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層 144 への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0051】

また、基板温度が 200 以上 500 以下、好ましくは 300 以上 500 以下、より好ましくは 350 以上 450 以下となるように、基板を加熱してもよい。

【0052】

酸化物半導体層 144 成膜後、酸化物半導体層 144 に対して、熱処理 (第 1 の熱処理) を行ってもよい。熱処理を行うことによって、酸化物半導体層 144 中に含まれる水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上 700 以下、好ましくは 450 以上 600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス (ヘリウム、ネオン、アルゴン等) を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上 (すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下) とする。

30

【0053】

なお、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工した後、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

【0054】

次いで、酸化物半導体層 144 に接して、第 1 のトレチ 131 の底面及び内壁面等に絶縁層 246 を形成する (図 3 (B1) 及び (B2) 参照)。

【0055】

絶縁層 246 の膜厚は、1 nm 以上 100 nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法、塗布法、印刷法等を適宜用いることができる

50

。また、絶縁層 246 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【0056】

絶縁層 246 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を用いて形成することができる。

【0057】

次いで、第1のトレンチ 131 を充填するように、絶縁層 246 上に絶縁層 234 を成膜する。絶縁層 246 の形成方法に特に限定はないが、微細な間隙である第1のトレンチ 131 を効率よく充填するためには、プラズマ CVD 法等の CVD 法を用いるのが好ましい。

10

【0058】

絶縁層 234 の材料としては、絶縁層 246 と同様の材料を用いることができる。なお、絶縁層 234 の成膜前に、絶縁層 246 を形成しておくことで、絶縁層 234 によって充填する領域を小さくし、絶縁層 234 による充填をスムーズに行うことができる。絶縁層 234 を成膜した後に、CMP (化学的機械研磨) 処理やエッティング処理を行うことにより、絶縁層 234 を平坦化する (図 4 (A1) 及び (A2) 参照) 。

【0059】

次いで、素子分離用の第2のトレンチ 133 を形成する (図 4 (B1) 及び (B2) 参照) 。第2のトレンチ 133 は、チャネル長方向 (キャリアが流れる方向) の素子分離用のトレンチと、チャネル幅方向の素子分離用のトレンチ素子分離用のトレンチを含んで形成される。なお、第2のトレンチの上面形状は、チャネル長方向の素子分離用のトレンチとチャネル幅方向の素子分離用のトレンチとが繋がった格子状の上面形状としてもよいし、それぞれが独立したストライプ状の上面形状としてもよい。

20

【0060】

本実施の形態では、格子状の上面形状を有する第2のトレンチ 133 を形成する。第2のトレンチ 133 を形成することで、酸化物半導体層 144 の上面形状は島状に加工される。なお、第2のトレンチ 133 の形成のタイミングは、特に限定されない。また、第2のトレンチ 133 の深さは、素子分離が十分行えるのであれば、第1のトレンチ 131 と同じ底面の水平位置となる深さに限定されない。第1のトレンチ 131 よりも第2のトレンチ 133 の底面の水平位置を深くすることで、確実に素子分離を行うため好ましい。

30

【0061】

次いで、第2のトレンチ 133 の底面及び内壁面に接する絶縁層 132 を成膜する (図 5 (A1) 及び (A2) 参照) 。絶縁層 132 は、酸素を含む無機絶縁膜であり、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ガリウム、酸化アルミニウムガリウム等の無機絶縁材料を用いて成膜することができる。

【0062】

なお、絶縁層 132 は、第2のトレンチ 133 の内壁面において酸化物半導体層 144 の側面と接するため、酸素を十分に含んでいることが好ましく、膜中 (パルク中) に少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。例えば、絶縁層 132 として酸化シリコン膜を用いる場合には、該酸化シリコン膜の組成比を SiO_{2+} (但し、 $\text{SiO}_{2+} > 0$) とするのが好ましい。

40

【0063】

絶縁層 132 が酸素を十分に含むことで、酸化物半導体層 144 が酸素欠損を有する場合であっても、酸化物半導体層 144 へ酸素を供給して該酸素欠損を補填することが可能となる。よって、酸化物半導体層 144 の酸素欠損に起因するしきい値電圧のばらつき又はしきい値電圧のシフトを低減することができるため、トランジスタ 162 の特性を良好にすることが可能となる。

【0064】

50

また、絶縁層 132 の形成方法に特に限定はないが、酸化物半導体層 144 と接することを考慮すれば、水素等の不純物が十分に除去されていることが好ましい。よって、絶縁層 132 は、水素等の不純物が含まれにくいスパッタリング法を用いて形成することが好ましい。なお、絶縁層 132 は、単層構造としてもよいし、積層構造としてもよい。例えば、絶縁層 132 を、酸化物半導体層 144 と接する側から酸化シリコン膜及び酸化アルミニウム膜の積層構造とすることができます。なお、酸化アルミニウム膜は、水を透過させにくいという特性を有しているため、当該膜を用いることは、酸化物半導体層 144 への水の侵入防止という点においても好ましい。

【0065】

次いで、第 2 のトレンチ 133 を充填するように、絶縁層 132 上に絶縁層 134 を成膜する。絶縁層 134 の形成方法に特に限定はないが、微細な間隙である第 2 のトレンチ 133 を効率よく充填するためには、プラズマ CVD 法等の CVD 法を用いるのが好ましい。

【0066】

絶縁層 134 の材料としては、絶縁層 246 と同様の材料を用いることができる。なお、絶縁層 134 の成膜前に、絶縁層 132 を形成しておくことで、絶縁層 134 によって充填する領域を小さくし、絶縁層 134 による充填をスムーズに行うことができる。絶縁層 134 を成膜した後に、CMP (化学的機械研磨) 処理やエッチング処理を行うことにより、絶縁層 134 を平坦化する (図 5 (B1) 及び (B2) 参照) 。

【0067】

なお、絶縁層 132 を水素等の不純物の低減が可能なスパッタ法を用いて形成し、絶縁層 134 を被覆性の良好なプラズマ CVD 法を用いて形成する場合、トランジスタ 162 において、絶縁層 132 に含まれる水素濃度は、絶縁層 134 に含まれる水素濃度よりも低くなる。また、絶縁層 132 と絶縁層 134 の材料及び成膜方法が同じ場合等において、トランジスタ 162 において、絶縁層 132 と絶縁層 134 との境界の判別が極めて困難な場合もある。

【0068】

絶縁層 134 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下とするのが好ましく、250 以上 350 以下とするのがより好ましい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、酸化物半導体層 144 と接する絶縁層が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型 (真性半導体) または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0069】

なお、本実施の形態では、絶縁層 134 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、絶縁層 132 を形成した後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良い。

【0070】

上述のように、第 1 の熱処理及び第 2 の熱処理を適用することで、酸化物半導体層 144 を高純度化することができる。

【0071】

次いで、絶縁層 246 、絶縁層 234 、絶縁層 132 及び絶縁層 134 にエッチバック処理または CMP 処理を施して、酸化物半導体層 144 の一部を露出させる (図 6 (A1) 及び (A2) 参照) 。または、CMP 処理とエッチバック処理を組み合わせて用いてよい。酸化物半導体層 144 において、エッチバック処理または CMP 処理により、絶縁層 130 の上面に接して設けられた領域 (第 1 のトレンチ 131 の底面または内壁面に接する領域以外の領域) が露出する。

【0072】

その後、フォトリソグラフィ工程によって、露出した酸化物半導体層 144 上にレジスト

10

20

30

40

50

マスク 300 を形成する（図 6（B1）及び（B2）参照）。なお、レジストマスク 300 をインクジェット法で形成してもよい。レジストマスク 300 をインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0073】

次いで、レジストマスク 300 を用いて、第1のトレンチ 131 に設けられた絶縁層 246 及び絶縁層 234 をエッティングにより選択的に除去して、第1のトレンチ 131 の底面及び内壁面に接して設けられた酸化物半導体層 144 を露出させる。その後、レジストマスク 300 を除去する（図 7（A1）及び（A2）参照）。

【0074】

絶縁層 246 及び絶縁層 234 のエッティングは、ドライエッティング、ウェットエッティングのいずれを用いて行ってもよい。なお、ドライエッティングを用いることにより、第1のトレンチ 131 の幅が微細なパターンであっても絶縁層 246 及び絶縁層 234 をエッティングすることが可能であるため、好ましい。

【0075】

次いで、露出した酸化物半導体層 144 上にゲート絶縁層 146 を形成し、第1のトレンチ 131 内を充填するように、ゲート絶縁層 146 上にゲート電極 148 を形成する（図 7（B1）及び（B2）参照）。

【0076】

ゲート絶縁層 146 の膜厚は、1 nm 以上 100 nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法、塗布法、印刷法等を適宜用いることができる。なお、酸化物半導体層 144 と接することを考慮すれば、水素等の不純物が十分に除去されていることが好ましいため、ゲート絶縁層 146 は、水素等の不純物が含まれにくいスパッタリング法を用いて形成することが好ましい。

【0077】

ゲート絶縁層 146 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を用いて形成することができる。さらに、ゲート絶縁層 146 は、作製するトランジスタのサイズやゲート絶縁層 146 の段差被覆性を考慮して形成することが好ましい。

【0078】

本実施の形態では、ゲート絶縁層 146 として、 SiO_{2+x} （ただし、 $x > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層 146 として用いることで、In-Ga-Zn-O 系酸化物半導体に酸素を供給することができ、特性を良好にすることができる。

【0079】

また、ゲート絶縁層 146 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_{x,y}$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート（ $\text{HfSiO}_{x,y}$ ($x > 0$ 、 $y > 0$))、ハフニウムアルミニネート（ $\text{HfAl}_{x,y}$ ($x > 0$ 、 $y > 0$))、などの high-k 材料を用いることで、実質的な（例えば、酸化シリコン換算の）ゲート絶縁層の膜厚を変えないまま、物理的に厚膜化することができるため、ゲートリーア電流を低減できる。さらに、ゲート絶縁層 146 は、単層構造としても良いし、積層構造としても良い。

【0080】

ゲート電極 148 の材料は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。ゲート電極 148 は、単層構造としてもよいし、積層構造としてもよい。

【0081】

ゲート絶縁層 146 と接するゲート電極 148 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn-O 膜、窒素を含む In-Sn-O 膜、窒素を含

10

20

30

40

50

む In - Ga - O 膜、窒素を含む In - Zn - O 膜、窒素を含む Sn - O 膜、窒素を含む In - O 膜、金属窒化膜 (InN、SiNなど) を用いるのが好ましい。これらの膜は 5 eV、好ましくは 5.5 eV 以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できるためである。

【0082】

次いで、ゲート電極 148 を覆う絶縁層を成膜し、該絶縁層を加工して、サイドウォール絶縁層 136a 及びサイドウォール絶縁層 136b を形成する。サイドウォール絶縁層 136a 及び 136b を形成するための絶縁層は、CVD 法やスパッタリング法等を用いて形成することができる。また、該絶縁層は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウムなどを含むように形成するのが好適である。なお、該絶縁層は、10 単層構造としても良いし、積層構造としても良い。

【0083】

サイドウォール絶縁層 136a 及びサイドウォール絶縁層 136b は、サイドウォール絶縁層 136a 及びサイドウォール絶縁層 136b を形成するための絶縁層に異方性の高いエッチャリング処理を行うことで、自己整合的に形成することができる。ここで、異方性の高いエッチャリングとしては、ドライエッチャリングが好ましい。

【0084】

次に、サイドウォール絶縁層 136a 及びサイドウォール絶縁層 136b をマスクとしてゲート絶縁層 136 を選択的にエッチャリングする (図 8 (A1) 及び (A2) 参照)。このエッチャリング工程によって、島状の酸化物半導体層 144 の一部が露出する。20

【0085】

なお、ゲート電極 148 上に絶縁層を形成する前に、ゲート電極 148 をマスクとして不純物を導入して、酸化物半導体層 144 に不純物領域を形成しても良い。

【0086】

次いで、サイドウォール絶縁層 136a 及びサイドウォール絶縁層 136b 上に、酸化物半導体層 144 の露出した領域と接する導電層を形成し、該導電層を加工してソース電極 142a 及びドレイン電極 142b を形成することで、図 1 に示す本実施の形態のトランジスタ 162 を作製することができる。

【0087】

ソース電極 142a 及びドレイン電極 142b は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。30

【0088】

なお、図 1 (A1) 及び (A2) に示すように、ソース電極 142a 及びドレイン電極 142b はそれぞれ、絶縁層 134 と少なくとも一部と重畳する構成とするのが好ましい。このような構成とすることで、ソース電極 142a またはドレイン電極 142b 上に、これらの電極と電気的に接続する配線を形成する際のアライメントマージンを拡大することができる。

【0089】

以上によって、本実施の形態のトランジスタ 162 を作製することができる。本実施の形態で示すトランジスタ 162 は、酸化物半導体層 144 が第 1 のトレンチ 131 の底面及び内壁面に接して設けられていることで、ソース電極 142a 及びドレイン電極 142b 間の距離 (トランジスタ 162 の見かけ上のチャネル長) よりも、トランジスタ 162 の実効的なチャネル長を長くすることが可能である。よって、トランジスタサイズの縮小を図りつつ、短チャネル効果を抑制することが可能である。40

【0090】

また、トランジスタ 162 のチャネル形成領域に、エネルギー・ギヤップが広いワイドギヤップ半導体を用いることで、トランジスタ 162 のオフ電流を低減することができる。本実施の形態においては、チャネル形成領域に高純度化され、真性化された酸化物半導体層

144を用いることで、トランジスタ162のオフ電流をより低減することが可能となる。このようなトランジスタを半導体記憶装置に適用することで、極めて長期にわたり記憶内容を保持することが可能な半導体装置とすることができる。

【0091】

また、トランジスタ162は、素子分離用の第2のトレンチ133の底面及び内壁面に接する酸素を含む絶縁層132を有する。絶縁層132は、島状に加工された酸化物半導体層144の側面と接する膜であるため、当該絶縁層132が酸素を含んで構成されることで、酸化物半導体層144からの酸素の脱離を防止し、また、酸化物半導体層144が酸素欠損を有している場合にも当該欠損を補填することが可能である。よって、本実施の形態のトランジスタ162は、しきい値電圧のばらつきも制御することができる。

10

【0092】

また、トランジスタ162は、サイドウォール絶縁層136a及びサイドウォール絶縁層136bを有することで、ソース電極142a、ドレイン電極142bとゲート電極の距離がサイドウォール絶縁層の幅で自己整合的に決まる。このため、マスクの合わせ精度分のスペースを設けてソース電極やドレイン電極を形成する場合と比較して、トランジスタサイズを縮小することが出来る。

【0093】

また、トランジスタ162は、サイドウォール絶縁層136a及びサイドウォール絶縁層136bを有することで、ソース電極142a、ドレイン電極142bの直上に接続される配線電極とコンタクトをとる際に、コンタクトの位置とゲート電極の距離がサイドウォールの幅で自己整合的に決まる。このため、マスクの合わせ精度分のスペースを設けてコンタクトを形成する場合と比較して、レイアウト面積を縮小することが出来る。

20

【0094】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0095】

(実施の形態2)

本実施の形態では、実施の形態1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

30

【0096】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0097】

図9は、半導体装置の構成の一例である。図9(A)に、半導体装置の断面図を、図9(B)に半導体装置の平面図を、図9(C)に半導体装置の回路図をそれぞれ示す。ここで、図9(A)は、図9(B)のC1-C2、D1-D2、及びE1-E2における断面に相当する。

40

【0098】

図9(A)及び図9(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。トランジスタ162は、実施の形態1で示した構成と同一であるため、図9(A)、(B)において図1と同じ箇所は、同じ符号を用いて説明する。

【0099】

ここで、第1の半導体材料と第2の半導体材料は異なるエネルギーギャップを持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用い

50

たトランジスタは、その特性により長時間の電荷保持を可能とする。

【0100】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのではない。また、開示する発明の技術的な本質は、情報を保持するためにワイドギャップ半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0101】

図9(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。

10

【0102】

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。なお、高集積化を実現するためには、図9(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

20

【0103】

図9(A)に示すようにトランジスタ162は、ワイドギャップ半導体を有するトレンチ構造のトランジスタである。本実施の形態では、ワイドギャップ半導体として、酸化物半導体層144を有する。ここで、酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

【0104】

トランジスタ162上には、絶縁層152が単層または積層で設けられている。また、絶縁層152を介して、トランジスタ162のソース電極142aと重畳する領域には、導電層153が設けられており、ソース電極142aと、絶縁層152と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162のソース電極142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタの162の上方に設けてもよい。例えば、トレンチ型のキャパシタやスタック型の容量素子を別途、トランジスタの162の上方、或いは、トランジスタ160の下方に形成し、3次元的に積み重ねることでより高集積化を図ってもよい。

30

【0105】

トランジスタ162および容量素子164の上には絶縁層152が設けられている。そして、絶縁層152上にはトランジスタ162と、他のトランジスタを接続するための配線156が設けられている。配線156は、絶縁層150及び絶縁層152などに形成された開口に形成された電極154を介してドレイン電極142bと電気的に接続されている。ここで、電極154は、少なくともトランジスタ162の酸化物半導体層144の一部と重畳するように設けられることが好ましい。

40

【0106】

図9(A)及び図9(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畳するように設けられているのが好ま

50

しい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層153は、トランジスタ160のゲート電極128と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるために、高集積化を図ることができる。

【0107】

なお、図9(A)では電極126及び電極154を用いて、金属化合物領域124、ドレイン電極142b及び配線156を接続しているが、開示する発明はこれに限定されない。例えば、ドレイン電極142bを直接、金属化合物領域124に接触させても良い。または、配線156を直接、ドレイン電極142bに接触させても良い。

10

【0108】

次に、図9(A)及び図9(B)に対応する回路構成の一例を図9(C)に示す。

【0109】

図9(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方は、容量素子164の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電気的に接続されている。

20

【0110】

図9(C)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0111】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

30

【0112】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0113】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th-H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th-L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th-H} と V_{th-L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th-H}$)となれば、トランジ

40

50

ンジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0114】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。10

【0115】

本実施の形態に示す半導体装置では、チャネル形成領域にワイドギャップ半導体（例えば酸化物半導体）を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0116】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。20

【0117】

また、トランジスタ162にトレンチ構造を採用することで、トランジスタ162の平面面積を縮小できるため、高集積化が可能である。30

【0118】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0119】

（実施の形態3）

本実施の形態においては、実施の形態1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2に示した構成と異なる構成について、図10及び図11を用いて説明を行う。

【0120】

図10(A)は、半導体装置の回路構成の一例を示し、図10(B)は半導体装置の一例を示す概念図である。まず、図10(A)に示す半導体装置について説明を行い、続けて図10(B)に示す半導体装置について、以下説明を行う。

【0121】

図10(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電気的に接続され、ワード線WLとトランジスタ162のゲート電極とは電気的に接続され、トランジスタ162のソース電極又はドレイン電極と容量素子254の第1の端子とは電気的に接続されている。

【0122】

ワイドギャップ半導体として酸化物半導体を用いたトランジスタ162は、オフ電流が極40

50

めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位（あるいは、容量素子254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。また、ワイドギャップ半導体として酸化物半導体を用いたトランジスタ162では、短チャネル効果が現れにくいというメリットもある。

【0123】

次に、図10（A）に示す半導体装置（メモリセル250）に、情報の書き込みおよび保持を行う場合について説明する。

【0124】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される（保持）。 10

【0125】

トランジスタ162のオフ電流は極めて小さいから、容量素子254の第1の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【0126】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間に電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位（あるいは容量素子254に蓄積された電荷）によって、異なる値をとる。 20

【0127】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0（V1 > V0）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（= $CB \times VB0 + C \times V1$ ）/（CB + C）は、電位V0を保持している場合のビット線BLの電位（= $CB \times VB0 + C \times V0$ ）/（CB + C）よりも高くなることがわかる。 30

【0128】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0129】

このように、図10（A）に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。 40

【0130】

次に、図10（B）に示す半導体装置について、説明を行う。

【0131】

図10（B）に示す半導体装置は、上部に記憶回路として図10（A）に示したメモリセル250を複数有するメモリセルアレイ251a及び251bを有し、下部に、メモリセルアレイ251（メモリセルアレイ251a及び251b）を動作させるために必要な周辺回路253を有する。なお、周辺回路253は、メモリセルアレイ251と電気的に接続されている。 50

【0132】

図10(B)に示した構成とすることにより、周辺回路253をメモリセルアレイ251(メモリセルアレイ251a及び251b)の直下に設けることができるため半導体装置の小型化を図ることができる。

【0133】

周辺回路253に設けられるトランジスタは、トランジスタ162とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することができる。10

【0134】

なお、図10(B)に示した半導体装置では、2つのメモリセルアレイ251(メモリセルアレイ251aと、メモリセルアレイ251b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0135】

次に、図10(A)に示したメモリセル250の具体的な構成について図11を用いて説明を行う。20

【0136】

図11は、メモリセル250の構成の一例である。図11(A)に、メモリセル250の断面図を、図11(B)にメモリセル250の平面図をそれぞれ示す。ここで、図11(A)は、図11(B)のF1-F2、G1-G2、及びH1-H2における断面に相当する。

【0137】

図11(A)及び図11(B)に示すトランジスタ162は、実施の形態1で示した構成と同一であるため、図11(A)、(B)において図1と同じ箇所は、同じ符号を用いて説明する。

【0138】

トランジスタ162上には、絶縁層256が単層または積層で設けられている。また、絶縁層256を介して、トランジスタ162のソース電極142aと重畳する領域には、導電層262が設けられており、ソース電極142aと、絶縁層256と、導電層262とによって、容量素子254が構成される。すなわち、トランジスタ162のソース電極142aは、容量素子254の一方の電極として機能し、導電層262は、容量素子254の他方の電極として機能する。30

【0139】

トランジスタ162および容量素子254の上には絶縁層258が設けられている。そして、絶縁層258上にはメモリセル250と、隣接するメモリセル250を接続するための配線260が設けられている。配線260は、絶縁層256及び絶縁層258などに形成された開口を介してトランジスタ162のドレイン電極142bと電気的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線260とドレイン電極142bとを電気的に接続してもよい。なお、配線260は、図10(A)の回路図におけるピット線BLに相当する。40

【0140】

図11(A)及び図11(B)において、トランジスタ162のドレイン電極142bは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能している。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0141】

10

20

30

40

50

以上のように、上部に多層に形成された複数のメモリセルは、ワイドギャップ半導体層として酸化物半導体を用いたトランジスタにより形成されている。ワイドギャップ半導体層として酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0142】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。10

【0143】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0144】

（実施の形態4）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図12乃至図15を用いて説明する。

【0145】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMは使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合以下の特徴がある。20

【0146】

通常のSRAMは、図12(A)に示すように1つのメモリセルがトランジスタ801～806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常100～150F²である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。30

【0147】

それに対して、DRAMはメモリセルが図12(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常10F²以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【0148】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、10F²前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。40

【0149】

図13に携帯機器のブロック図を示す。図13に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプ50

リケーションプロセッサ 906 は C P U 907、D S P 908、インターフェイス 909 (I F 909) を有している。一般にメモリ回路 912 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0150】

図 14 に、ディスプレイのメモリ回路 950 に先の実施の形態で説明した半導体装置を使用した例を示す。図 14 に示すメモリ回路 950 は、メモリ 952、メモリ 953、スイッチ 954、スイッチ 955 およびメモリコントローラ 951 により構成されている。また、メモリ回路は、画像データ (入力画像データ) からの信号線、メモリ 952、及びメモリ 953 に記憶されたデータ (記憶画像データ) を読み出し、及び制御を行うディスプレイコントローラ 956 と、ディスプレイコントローラ 956 からの信号により表示するディスプレイ 957 が接続されている。

【0151】

まず、ある画像データがアプリケーションプロセッサ (図示しない) によって、形成される (入力画像データ A)。入力画像データ A は、スイッチ 954 を介してメモリ 952 に記憶される。そしてメモリ 952 に記憶された画像データ (記憶画像データ A) は、スイッチ 955、及びディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

【0152】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 30 ~ 60 Hz 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 から読み出される。

【0153】

次に、例えばユーザーが画面を書き換える操作をしたとき (すなわち、入力画像データ A に変更が有る場合)、アプリケーションプロセッサは新たな画像データ (入力画像データ B) を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶される。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ (記憶画像データ B) が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しあはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0154】

このようにメモリ 952 及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 及びメモリ 953 はそれぞれ別のメモリには限定されず、1 つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0155】

図 15 に電子書籍のブロック図を示す。図 15 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0156】

ここでは、図 15 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキ

10

20

30

40

50

ング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0157】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

10

【0158】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【0159】

100 基板

106 素子分離絶縁層

108 ゲート絶縁層

110 ゲート電極

116 チャネル形成領域

20

120 不純物領域

124 金属化合物領域

126 電極

128 ゲート電極

130 絶縁層

131 トレンチ

132 絶縁層

133 トレンチ

134 絶縁層

136 ゲート絶縁層

30

144 酸化物半導体層

146 ゲート絶縁層

148 ゲート電極

150 絶縁層

152 絶縁層

153 導電層

154 電極

156 配線

160 パンジスタ

40

162 パンジスタ

164 容量素子

234 絶縁層

246 絶縁層

250 メモリセル

251 メモリセルアレイ

253 周辺回路

254 容量素子

256 絶縁層

258 絶縁層

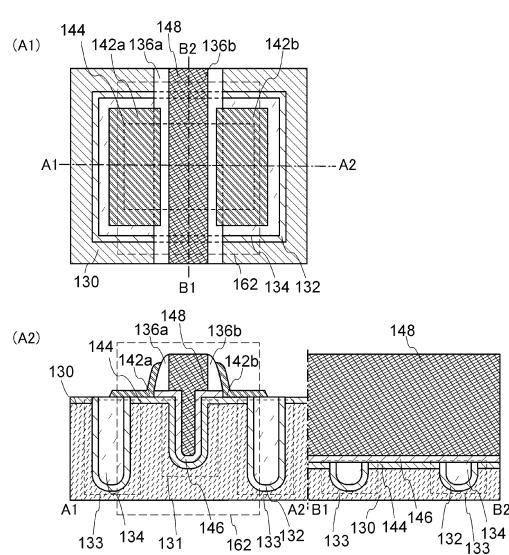
260 配線

50

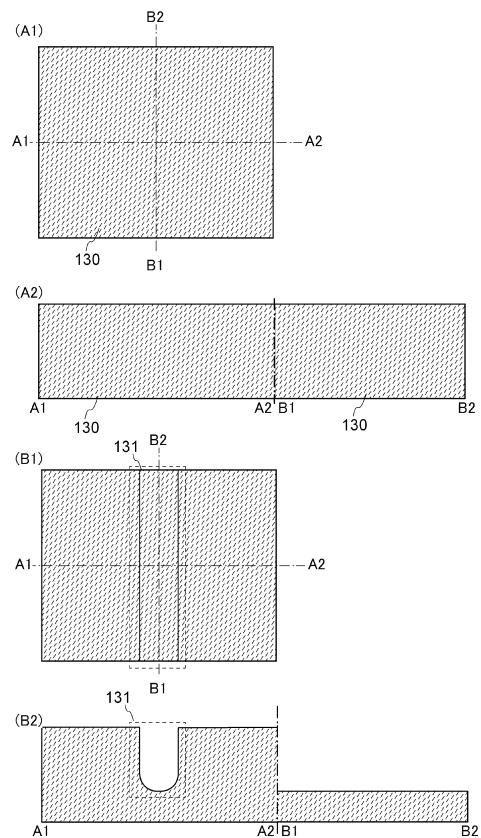
2 6 2	導電層	
3 0 0	レジストマスク	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	X デコーダー	
8 0 8	Y デコーダー	
8 1 1	トランジスタ	10
8 1 2	保持容量	
8 1 3	X デコーダー	
8 1 4	Y デコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	20
9 0 8	D S P	
9 0 9	インターフェイス	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	30
9 1 8	キー ボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	40
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キー ボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	50

- 1 3 6 a サイドウォール絶縁層
 1 3 6 b サイドウォール絶縁層
 1 4 2 a ソース電極
 1 4 2 b ドレイン電極
 2 5 1 a メモリセルアレイ
 2 5 1 b メモリセルアレイ

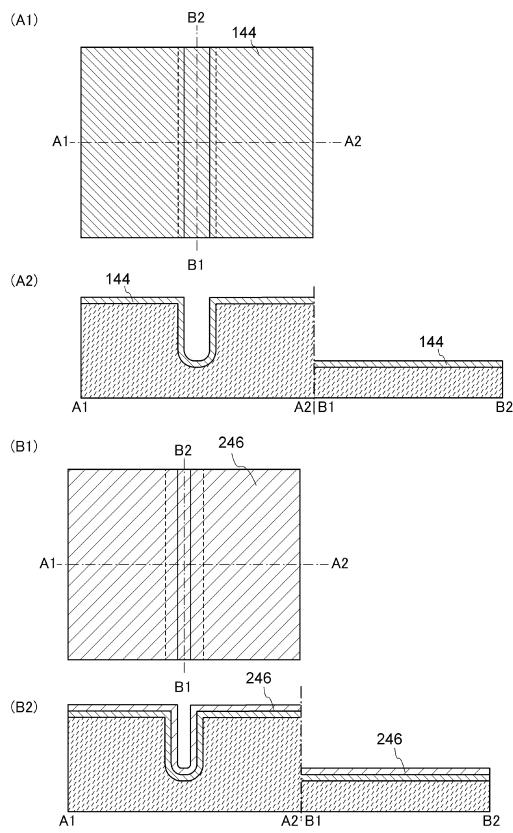
【図1】



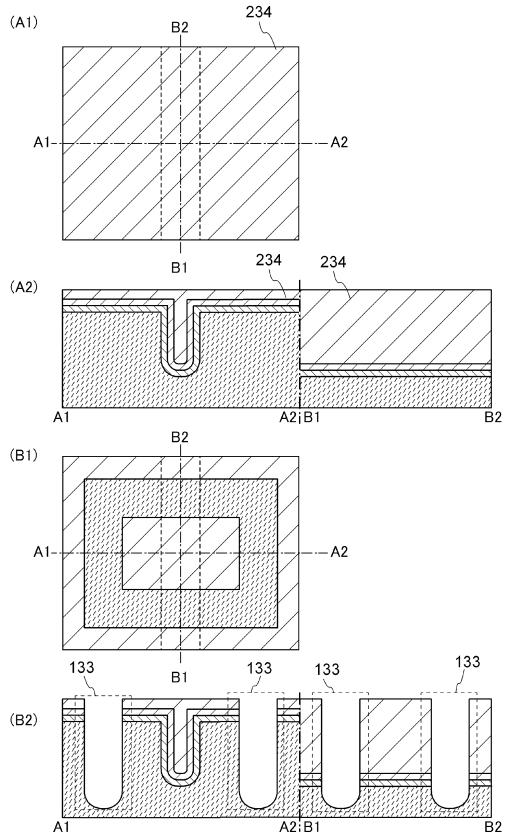
【図2】



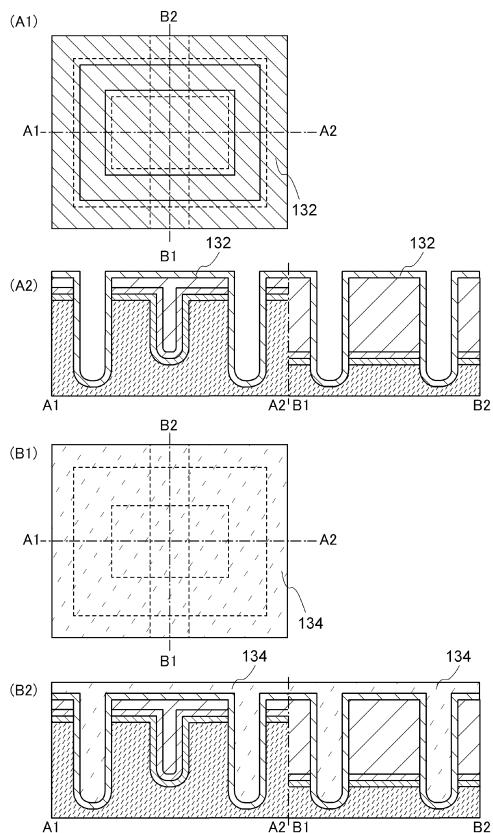
【図3】



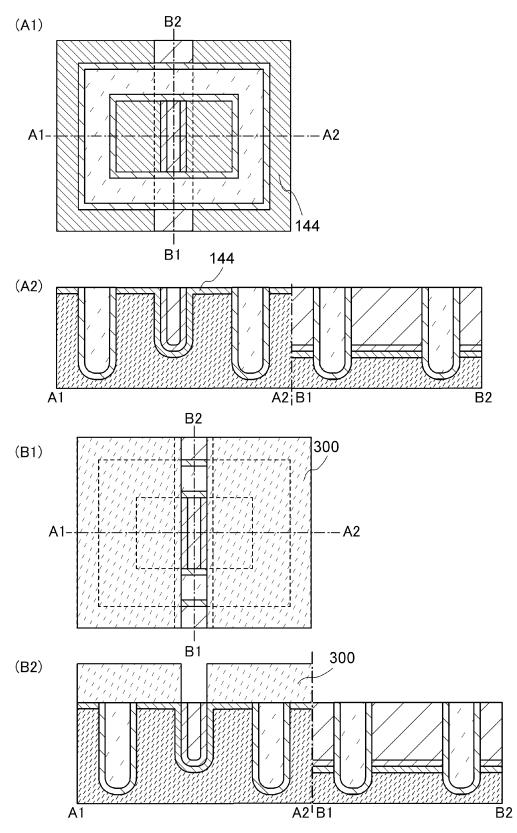
【図4】



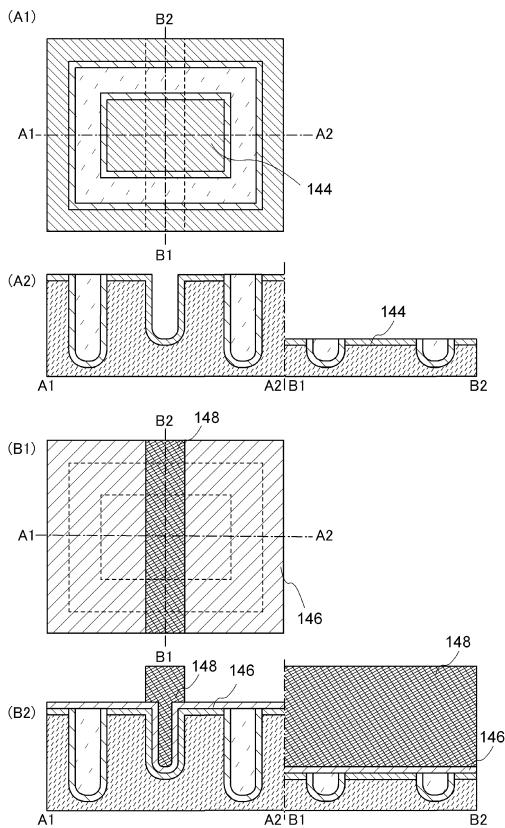
【図5】



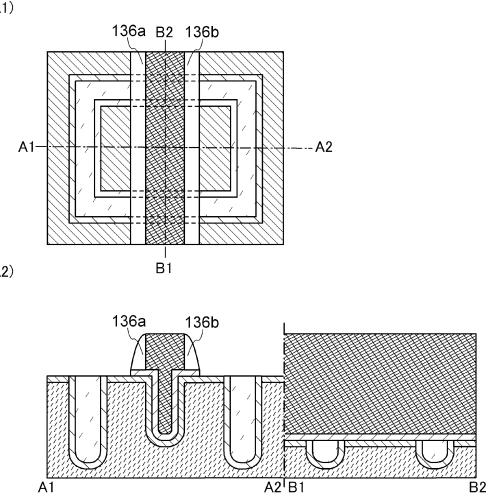
【図6】



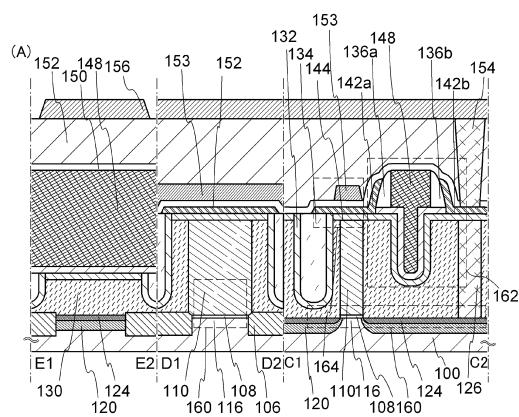
【図7】



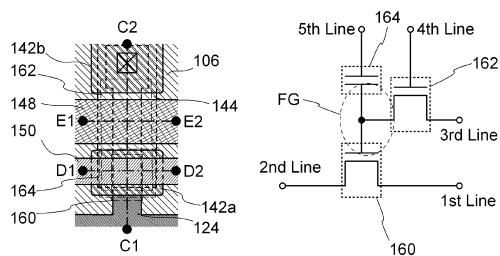
【 四 8 】



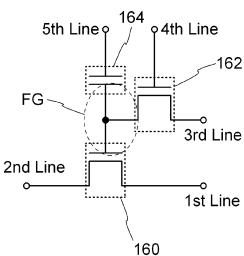
【 図 9 】



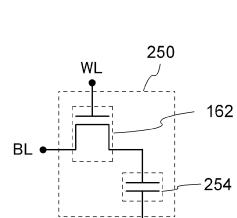
(B)



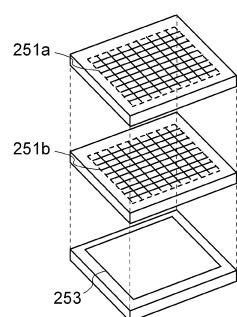
(c)



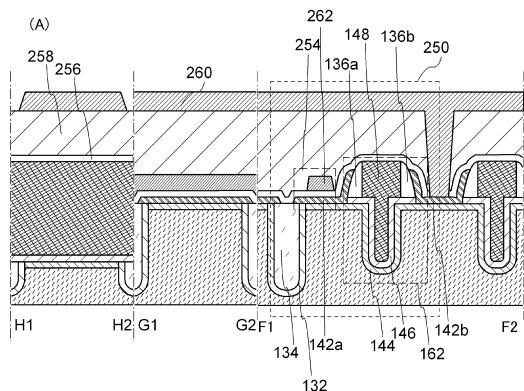
【 四 10 】



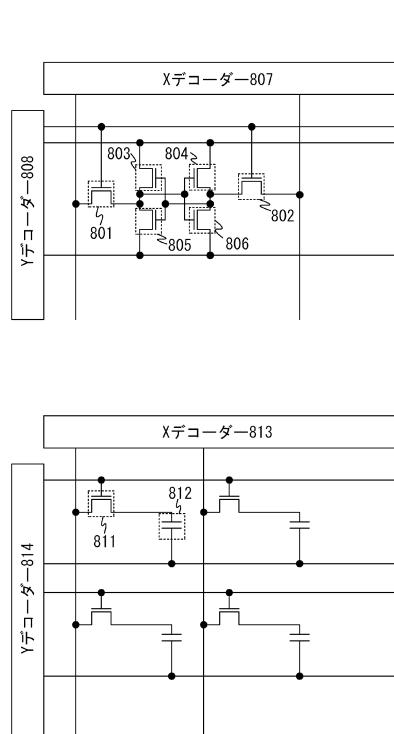
(B)



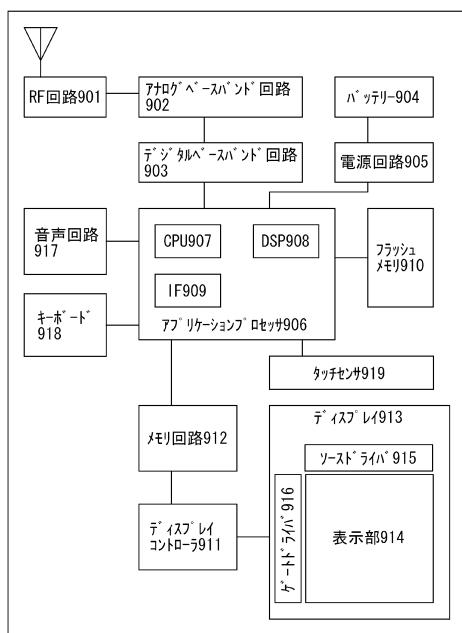
【図11】



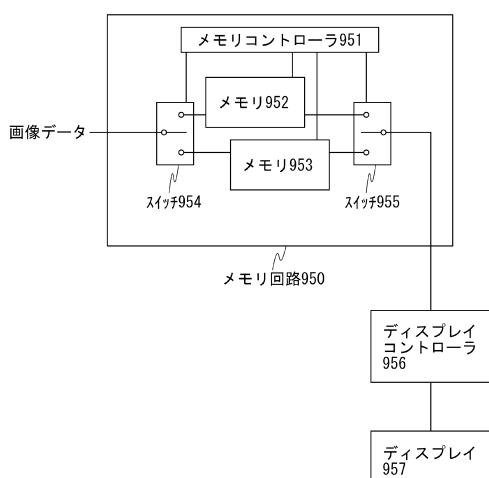
【図12】



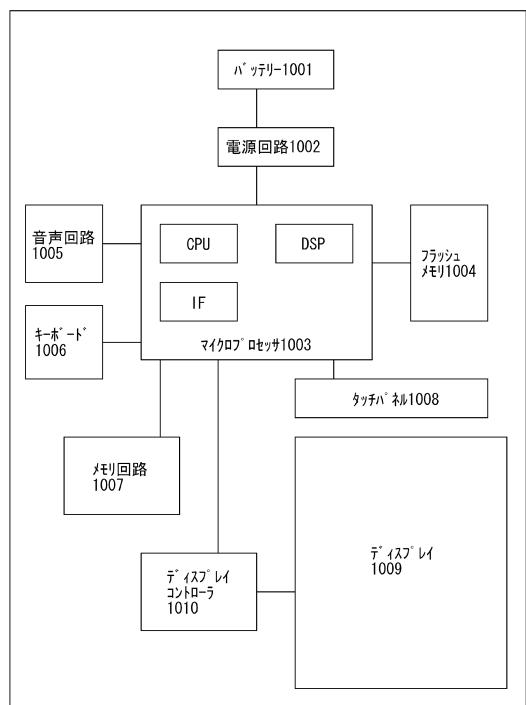
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.		F I
H 01 L	27/108 (2006.01)	H 01 L 27/10 6 1 5
H 01 L	21/8244 (2006.01)	H 01 L 27/10 6 7 1 C
H 01 L	27/11 (2006.01)	H 01 L 27/10 6 7 1 Z
H 01 L	29/417 (2006.01)	H 01 L 29/50 M
H 01 L	29/423 (2006.01)	H 01 L 29/58 G
H 01 L	29/49 (2006.01)	H 01 L 21/28 3 0 1 B
H 01 L	21/28 (2006.01)	H 01 L 27/10 4 6 1
H 01 L	27/10 (2006.01)	H 01 L 27/10 4 9 5
H 01 L	21/336 (2006.01)	H 01 L 27/10 4 8 1
H 01 L	29/788 (2006.01)	H 01 L 29/78 3 7 1
H 01 L	29/792 (2006.01)	H 01 L 29/78 6 1 3 B
		H 01 L 29/78 6 1 8 B
		H 01 L 29/78 6 1 7 K
		H 01 L 29/78 6 2 6 C

(56)参考文献 特開2009-021309 (JP, A)
 特開2007-019513 (JP, A)
 特開2011-029611 (JP, A)
 特開2000-150900 (JP, A)
 特開2010-141230 (JP, A)
 特開2007-250863 (JP, A)
 特表2004-529509 (JP, A)
 米国特許出願公開第2007/0007571 (US, A1)
 特開2009-016368 (JP, A)
 特開2009-266938 (JP, A)
 特開2008-034760 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336、21/8229、
 21/8234-21/8247、21/8249、
 27/06-27/08、27/088-27/092、
 27/10-27/115、27/28、29/786、
 51/05