



(19) DANMARK



(12) FREMLÆGGELSESSKRIFT (11) 147310 B

DIREKTORATET FOR  
PATENT- OG VAREMÆRKEVÆSENET

(21) Patentansøgning nr.: 0552/79

(51) Int.Cl.<sup>3</sup>: H 04 N 9/62

(22) Indleveringsdag: 09 feb 1979

(41) Alm. tilgængelig: 11 aug 1979

(44) Fremlagt: 12 jun 1984

(86) International ansøgning nr.: -

(30) Prioritet: 10 feb 1978 DE 2805691

(71) Ansøger: \*SIEMENS AKTIENGESELLSCHAFT; Berlin und Muenchen, 8 Muenchen 2, DE.

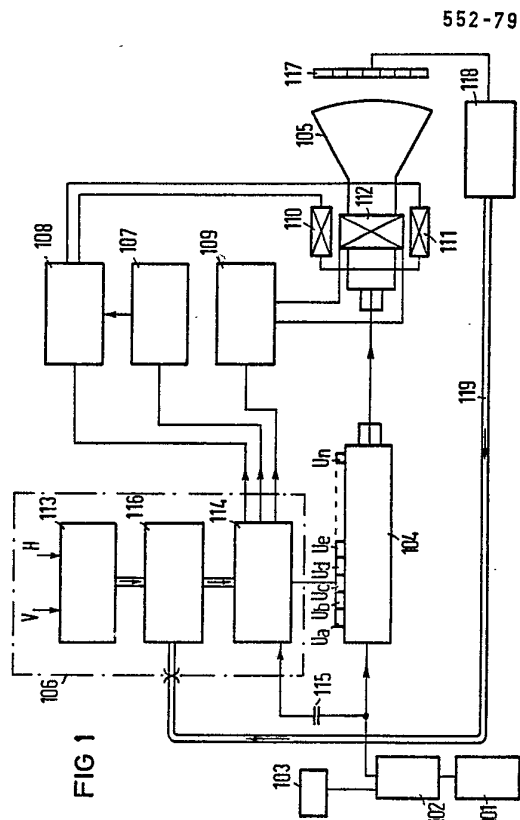
(72) Opfinder: Rainer \*Dangschat; DE, Alfred \*Jeschke; DE, Helmut \*Leichti; DE, Wolfgang \*Winkler; DE.

(74) Fuldmægtig: Internationalt Patent-Bureau

(54) Digital styreenhed til en farvefjernsynsmodtager

(57) Sammen drag:

I en farvefjernsynsmodtager med automatisk balanceringsystem har modtageren en digital styreenhed (106) til vertikalafbøjnings- og horisontalafbøjningsudgangstrinnene. Den digitale styreenhed indeholder en linietæller (106), et programmerbart fastværdilager (116) og en logisk kobling (114), som styrer modtagerens udgangstrin. Til automatisk balancerings tjener et sensorsystem (117), som er anbragt foran billedrøret (105), og som ved hjælp af en balanceringsregneenhed (118) overfører ønskestørrelserne til det programmerbare fastværdilager (116). Balanceringsystemet kan anvendes i farvefjernsynsmodtagere, der skal kunne balanceres automatisk.



DK 147310 B

Opfindelsen angår en digital styreenhed til en farvefjernsynsmodtager til styring af horisontalafbøjnings- og vertikalafbøjningsudgangstrinnet, hvor den digitale styreenhed har en linietæller, et programmerbart fastlager og en logisk kreds.

I kendte farvefjernsynsmodtagere styres impulstrinnene til rasterkorrektion, horisontal- og vertikalafbøjning på analog måde. Disse styretrin er dels integrerede, dels bestykket med separate komponenter.

Til styring af horisontalafbøjningsudgangstrinnet frembringer en oscillator liniefrekvente svingninger. Disse sammenlignes med sendesidens liniesynkroniseringsimpuls og modtagesidens linietilbageføringsimpuls i fasesammenligningskoblinger (f.eks. phase locked loop). De ved faseforskelle frembragte reguleringsspændinger tjener til synkronisering af oscillatoren (VCO). Som justeringspositioner benyttes almindeligvis oscillatorens fasebeliggenhed og grundfrekvens.

Til styring af vertikalafbøjningsudgangstrinnet synkroniseres en savtakgenerator (f.eks. en blokeringsoscillator kobling) direkte ved hjælp af vertikalsynkroniseringsimpulsen, og den styrer over en drivkobling vertikalafbøjningsudgangstrinnet. Den som følge af afbøjningsspolens opvarmning forårsagede strømreduktion kompenseres over en modkobling. Indstillingsstørrelser er her sædvanligvis frekvensen, billedhøjden og lineariteten.

På billedskærmen falder elektronstrålernes afbøjningsmidtpunkt ikke sammen med billedskærmens krumningsmidtpunkt. Derfor er et på billedskærmen afbildet kvadrat med sine vertikale linier forvrænget pudeformet konkavt. Forvrængningen af de horisontale linier er i moderne inline-farvebilledrør som regel allerede kompenseret ved hjælp af afbøjningsfeltet. Til korrektion af den såkaldte øst/vest-pudeforvrængning anvendes eksempelvis den kendte diodemodulatorkobling, der modulerer spændingen over horisontalafbøjningsspølen således, at linieafbøjningsstrømmen er kraftigere i billedmidten

end ved billedbegyndelsen og billedafslutningen og som funktion af billedfrekvensen har et tøndeformet forløb. Indstillingsstørrelser for den såkaldte diodemodulator-kobling er modulationsgraden som funktion af billed-  
5 frekvensen, symmetrien (såkaldt trapezkorrektion) og billedbredden.

Over de analoge signaltrin til videokoblingen og PAL-dekoderen justeres f.eks. størrelserne for hvidværdien, gråbalancen og strålestrømbegrænsningen.

10 På positionerne for de størrelser, der skal justeres, og som er anført i det foranstående ved de enkelte impuls- henholdsvis signaltrin, anvendes der potentiometre, der under eller efter apparatmontagen indstilles manuelt efter visuel bedømmelse af et test-  
15 billede eller efter måling af en elektrisk størrelse. Disse indstillinger er derfor oftest subjektive og desuden omkostningskrævende.

Opfindelsens formål er at angive en digital styreenhed til en farvefjernsynsmodtager med automatisk justeringssystem, hvor  
20 bør-værdierne for øst/vest-rasterkorrektionen og vertikalfabøjningen kan indlæses automatisk.

Denne opgave løses ifølge opfindelsen med de i krav 1's kendetegnende del angivne træk.

Hensigtsmæssige udførelsesformer for opfindelses-  
25 tanken er indeholdt i underkravene.

Det skal nævnes, at det fra USA-patentskrift nr. 3 943 279 er kendt at benytte en digital styreenhed i et system, hvor der med to eller flere projektorer projiceres to eller flere billeder på en skærm, og hvor  
30 den digitale styreenhed tjener til at opretholde nøjagtig flugtning mellem de enkelte billeder, der kan være primærfarve-delbilleder, dvs. røde, grønne og blå delbilleder, som tilsammen skal danne et farvebillede. Denne kendte digitale styreenhed er dog hverken egnet  
35 eller beregnet til styring af horisontal- og vertikalafbøjningsudgangstrinnet i en farvefjernsynsmodtager.

Fordele ved en farvefjernsynsmodtager med en styreenhed ifølge opfindelsen forklares i det følgende nærmere på grundlag af nogle udførelseseksempler. På den tilhørende tegning viser

- 5           fig. 1 et blokdiagram over en farvefjernsynsmodtager ifølge opfindelsen,  
          fig. 2 et principdiagram over en digital synkroniseringskobling,  
          fig. 3 en skematisk fremstilling af synkroniseringsprocessen,  
10           fig. 4 et principdiagram over den logiske kobling til aktivering af vertikalafbøjnings-udgangstrinnet,  
          fig. 5 vertikaltrinnets funktion,  
          fig. 6 et principdiagram over det logiske trin til  
15           aktivering af rasterkorrektions-udgangstrinnet,  
          fig. 7 en fremstilling af begyndelsesværdidannelsen i den i fig. 6 viste logiske kobling,  
          fig. 8 øst/vest-korrektionens funktion, og  
          fig. 9 et principdiagram over den automatiske  
20           balancering.

Fig. 1 viser et blokdiagram over en farvefjernsynsmodtager ifølge opfindelsen. Det fra senderen modtagne signal når over et højfrekvenstrin (tuner) 101, over et mellemfrekvenstrin og videodemulator 102  
25           frem til videosignaldelen og PAL-dekoderen 104 og derfra til billedrøret 105. Da overføringen fra senderen til modtageren sker i analogteknik, arbejder de nævnte trin i analogteknik, idet en dobbelt omsætning af de analogt sendte nyttesignaler (billedrøret skal aktiveres analogt) ville medføre et kvalitetstab og også  
30           økonomisk forekommer uhensigtsmæssigt.

Fra mellemfrekvenstrinnet 102 afledes lydudgangstrinnet 103.

Farvefjernsynsmodtageren indeholder en digital  
35           styreenhed 106, som aktiverer rasterkorrektions-udgangstrinnet 107 samt horisontalafbøjnings-udgangstrinnet 108 og vertikalafbøjnings-udgangstrinnet 109.

Horisontalafbøjnings-udgangstrinnet 108 aktiverer spolerne 110 og 111, mens vertikalafbøjnings-udgangstrinnet 109 styrer de tilsvarende spoler til vertikalafbøjning (i figuren er kun den øverste spole 5 112 synlig).

Den digitale styreenhed 106 indeholder en linietæller 113, som forsynes med impulser med vertikalfrekvensen  $V$  henholdsvis horisontalfrekvensen  $H$ . Impulserne leveres af en digital synkroniseringskobling, 10 som er indeholdt i den logiske kobling 114. Den logiske kobling 114 modtager et videosignal over koblingskondensatoren 115 fra videodemodulatoren 102.

Den logiske kobling 114 indeholder foruden synkroniseringskoblingen koblinger til aktivering af rasterkorrektions-, horisontalafbøjnings- og vertikalafbøjnings-udgangstrinnene 107, 108 og 109. 15

I den digitale styreenhed 106 er der endvidere indeholdt et programmerbart fastværdilager 116, der eksempelvis er udført som PROM, EPROM, EAROM eller som 20 batteripufferstyret RAM med fortrinsvis 156 x 8 bitlagerpladser.

Det programmerbare fastværdilager 116 indeholder de informationer, der er nødvendige til drift af den digitale styreenhed i farvefjernsynsmodtageren.

25 Endvidere leverer den digitale styreenhed 106 indstillingsspændinger  $U_a, U_b, U_c, U_d, U_e, \dots, U_n$ , der i stedet for potentiometre over video-sigaldelen og PAL-dekoderen 104 automatisk justerer de størrelser såsom hvidværdi, gråbalance, strålestrømbegrænsning, der dér skal justeres. 30

Endvidere findes i fig. 1 et sensorsystem 117 foran billedrøret 105. Dette sensorsystem 117 tjener til automatisk justering ved hjælp af en justeringsregneenhed 118 og en ekstern dataoverførings- 35 ledning 119. I justeringsregneenheden 118 bliver de i det foranstående angivne størrelser, der skal justeres, sammenlignet med en bør-værdi og mellemop-

lagret. Hvis bør-værdi og er-værdi stemmer overens, bliver fastværdilageret 116 programmeret med regneenhed-mellemlagerets indhold.

Fig. 2 viser et principdiagram over den digitale synkroniseringskobling til aktivering af linieudgangstrinnet. Den indeholder et separator kredsløb 201, som arbejder analogt og modtager et videosignal fra den i figuren ikke viste videodemodulator. Endvidere findes der en senderidentifikator 202 og en port 203 til støj-  
10 undertrykkelse. Porten 203, der er udført som portkobling, frakobler, når der ikke modtages nogen synkroniseringsimpuls. Endvidere indeholder den digitale synkroniseringskoblingen en svingningskrystal 204, som aktiverer en styrbar frekvensdeler 205. Endvidere  
15 findes der en fasesammenligningsindretning 206, en koincidensdetektor 207, en kobling til begrænsning af reguleringsstejlheden 208 og en yderligere portkobling 209. Porten 209 afgiver en udgangsimpuls  $U_1$ , som fasesammenlignes med linieudgangstrinnets linie til-  
20 bageløbsimpuls i et kredsløb 210. Over et integrationsled med en modstand 211 og en kondensator 212 leveres reguleringsinformation til et analogt faseforskydningsled 213, som med en passende forsinkelse leverer impulsen  $U_2$  til det analoge ud-  
25 gangstrin 214 i horisontalafbøjningsudgangstrinnet.

De i figuren angivne cifre 1-7 refererer til fig. 3 og forklares under henvisning til denne figur.

Den i fig. 2 viste digitale synkroniseringskobling arbejder efter princippet for en styrbar frekvensdeler. Fra en krystalstabiliseret taktfrekvens 204, som  
30 ikke skal andrage et heltalsmultiplum af liniefrekvensen (eksempelvis den dobbelte farvehjælpebærebølgefrekvens 8,86 MHz), bliver der i fritløbende, ikke-synkroniseret tilstand, dvs. når der af koblingen ikke modtages  
35 nogen synkroniseringsimpuls, ved deling i frekvensdeleren 205 afledet en frekvens, der såvidt muligt skal være identisk med den ønskede liniefrekvens på 15,625 kHz. Denne frekvens udgør den horisontale fri-

løbsfrekvens for synkroniseringskoblingen og dermed for det tilsluttede linieudgangstrin. Som følge af sin høje stabilitet kan den anvendes direkte som referencefrekvens til gengivelse af en i et billedlager lagret information, f.eks. teletekst eller viewdata.

I tilfælde af en modtaget synkroniseringsimpuls, som står til rådighed på separator kredsløbet 201's udgang, aktiveres ved hjælp af senderidentifikatoren 202 fasekomparatoren 206, som efter en afgørelse af, om den første erkendte synkroniseringsimpuls falder i den første eller den anden liniehalvdel, bevirker synkronisme mellem synkroniseringsimpulsen og udgangsimpulsen fra den styrbare frekvensdeler 205.

Hvis den første erkendte synkroniseringsimpuls befinder sig i den første linehalvdel (forudløbende tilfælde), bliver deleren 205's tælling kortvarigt blokeret over delerens frigive-indgang FE, hvorved slutttilstanden opnås senere, end den ville være opnået i fritløbende tilstand. Den på denne måde aftagende tidsmæssige afstand mellem deler- og synkroniseringsimpuls indvirker på deleren 205's deleforhold, indtil en indsvinget tilstand er opnået.

Hvis den første erkendte synkroniseringsimpuls befinder sig i den anden liniehalvdel (efterløbende tilfælde), bliver deleren 205 før opnåelse af det fastlagte deleforhold tilbagestillet over tilbagestillingsindgangen RE. Denne frekvensforøgelse formindsker igen den tidsmæssige afstand mellem synkroniseringsimpulsen og delerimpulsen, indtil de to forflanker er identiske.

Principielt kunne synkronismen opnås indenfor en linieperiode. Da imidlertid afvigelser på mere end 10% fra den ønskede frekvens kunne ødelægge det halvlederbestykkede linieudgangstrin, begrænses frekvensændringen under reguleringsprocessen ved hjælp af portkoblingen 208 til et tilladeligt omfang.

I det forudløbende tilfælde forbliver der i den indsvingede tilstand en tidsmæssig afvigelse mellem

delerimpulsens forflanke og synkroniseringsimpulsens forflanke, hvilken afvigelse er betinget af den endelige reguleringsforstærkning. Denne afvigelse elimineres, idet linieudgangstrinnet ved opnåelse af den indsvingede tilstand trigges direkte med synkroniseringsimpulsen. Den indsvingede tilstand er opnået, når synkroniseringsimpulsens forflanke tidsmæssigt ligger indenfor den af delerimpulsen dannede port 209. Således bliver delerimpulsen kun i fritløbende tilstand og under synkroniseringsprocessen anvendt til trigning af linieudgangstrinnet. I synkroniseret tilstand har delerimpulsen funktion som en hjælpeoscillator, der ved et pludseligt udfald af synkroniseringsimpulsen (f.eks. omkobling til en anden programtype) står til rådighed med en kort tidsmæssig afstand. Støjimpulsbefrielsen ved denne kvasidirekte synkronisering er som følge af digitalt dannede og dermed tidsmæssigt eksakt definerede porte 209 samt 203 på fasesammenligningsindretningen 206's indgang i høj grad sikret for synkroniseringsimpulsen. En koincidensdetektor 207 sørger ved udfald af synkroniseringen for en omgående undertrykkelse af porten 203 med henblik på at sikre en hurtig genindfangning.

Omkoblingen fra delerimpuls til synkroniseringsimpuls i indsvinget tilstand muliggør anvendelse af en delertaktfrekvens, som er mindre end 10 MHz, da dermed den i digitalteknikken optrædende kvantiseringsfejl omgås.

Det hidtil beskrevne systems udgangsimpuls  $U_1$  (deler- eller synkroniseringsimpuls) tilføres en digital fasediskriminator 210, som bestemmer den ved linieudgangstrinnets forsinkelse betingede tidsmæssige afstand mellem linietilbageløbsimpuls og udgangsimpuls  $U_1$ . Den over integrationsleddet 211, 212 integrerede reguleringsinformation bevirker i den analogt arbejdende faseforskydningskæde 213 den tidsmæssige koincidens af de to impulser. Anvendelsen af den analoge faseforskydningskæde 213 er nødvendig med henblik på

undgåelse af et digitalt faseforskydningsleds kvantiseringsfejl.

Udgangsimpulsen  $U_2$  fra faseforskydningskæden bliver i et tælletrin 214 normeret på en af linieudgangstrinnets koblingstype afhængig impulsbredde og over en udgangsforstærker tilført linieudgangstrinnet.

Den digitale synkroniseringskobling efter en styrbar frekvensdelers princip har i sammenligning med de konventionelle PLL-koblinger med VC-oscillatorer en række fordele. Som følge af den krystalstabiliserede delertaktfrekvens bortfalder justeringen af friløbsfrekvensen, der ved VC-oscillatorer afhænger af perifere forhold. Endvidere er en høj støjimpulsbefrielse mulig som følge af de digitalt frembragte og dermed tidsmæssigt eksakt definerede portintervaller. Desuden muliggør synkroniseringskoblingen er hurtig synkronisering uden det ved PLL-koblinger optrædende høje tab af støjimpulsbefrielse. Frekvensændringen pr. linie er kun afhængig af den for linieudgangstrinnet tilladelige værdi.

Fig. 3 viser skematisk synkroniseringsprocessen. I figuren vises øverst ved henvisningen 1 taktfrekvensen på 8,86 MHz fra krystaloscillatoren 204 i fig. 2. Den styrbare frekvensdeler 205 i fig. 2 afgiver en delerimpuls for hver 64  $\mu$ s. I fig. 3 vises i den anden kurve fra oven den fritløbende delerimpuls (uden synkroniseringsimpuls). De næste fire kurver 2, 3, 4, 5 viser synkroniseringsprocessen i det forudløbende tilfælde, medens kurverne 2, 3, 6, 7 betegner synkroniseringsprocessen i det efterløbende tilfælde.  $\Delta\phi$  betegner her faseforskellen mellem delerimpulsen og synkroniseringsimpulsen i det forudløbende tilfælde henholdsvis mellem synkroniseringsimpulsen og delerimpulsen i det efterløbende tilfælde.

Fig. 4 viser et principdiagram over den logiske kobling til styring af vertikalafbøjningsudgangstrinnet. Et lager 401 med organisationen 156 x 5 bit, som er en del af det programmerbare fastværdilager i den digitale styreenhed i fig. 1, har otte indgange  $A_0$ - $A_7$  til

adresserne for en i figuren ikke vist linietæller og fire programmeringsindgange  $I_1-I_4$ . Fire udgange  $O_1-O_4$  er dels forbundet med en fordeler til begyndelsesværdidannelse (multiplekser 402), dels forbundet med en komponent til middelværdidannelse 403. Multiplekseren 402 indeholder porte, der hver især styres af to RS-flip-flops, hvorhos styringen er adresseafhængig.

Fra multiplekseren 402 går der ni ledninger til indgangene  $A_1-A_9$  på en 9-bit-additionsindretning 404, der er dannet af en række porte. Additionsindretningen 404 har ni udgange  $\Sigma_1-\Sigma_9$ , der dels fører til indgangene  $A_1-A_9$  på en 9-bit-differenstæller 405, eksempelvis dannet af ni flip-flops, dels fører til et 9-bit-mellemlager 406 (9 D-flip-flops) med indgange  $D_1-D_9$ . 9-bit-differenstælleren 405 har desuden indgange for taktfrekvensen  $T$  (8,86 MHz) og  $\bar{S}$  for horisontalfrekvensen  $f_H$ . Differenstælleren 405's udgang fører dels til vertikalafbøjningsudgangstrinnet 407 dels til frigiveindgangen FE. Mellemlageret 406 har foruden indgangene  $D_1-D_9$  indgange  $T$  for horisontalfrekvensen  $f_H$  og for en tilbagestillingsimpuls  $\bar{R}$ .

Fra lageret 401 fører en udgang  $O_5$  til en styrebitbearbejdningsindretning 408, som er dannet af porte. Fra styrebitbearbejdningsindretningen 408 aktiveres en 2-komplementdanner 409, hvis tre udgange  $\Sigma_1-\Sigma_3$  fører til multiplekseren 402. Komponenten til middelværdidannelse 403 indeholder en 3-bit-komparator 410, der er opbygget af porte og over to ELLER-led 411, 412 og to OG-led 413, 414 samt et NAND-led 415 er knyttet til en af porte dannet 3-bit-additionsindretning 416. Endvidere indeholder middelværdidanneren 403 en 3-bit-latch 417 (3 D-flip-flops), som over et ELLER-led 418 modtager horisontalfrekvensen  $f_H$  henholdsvis adressen  $2^0$  over indgangen  $T$ . Den nævnte 3-bit-latch 417 har indgange  $D_1-D_3$  og udgange  $Q_1-Q_3$ . 3-bit-komparatoren 410 har indgange  $A_1-A_3$  fra 3-bit-latchen 417 og indgange  $B_1-B_3$  fra lageret 401. Endvidere har 3-bit-komparatoren 410 tre

udgange for  $A=B$ ,  $A > B$  og  $A < B$ . 3-bit-additionsindretningen 416 har tre indgange  $B_1-B_3$  fra lageret 401 og en indgang  $A_1$  fra 3-bit-komparatoren 410. Medens 9-bit-additionsindretningen 404, 9-bit-differenstælleren 405 og 9-bit-mellemlageret 406 styrer den øverste billedhalvdel af vertikalafbøjningsudgangstrinnet 407, bliver den nederste billedhalvdel styret af 9-bit-additionsindretningen 420, 9-bit-differenstælleren 421, 9-bit-mellemlageret 422. Foran 9-bit-additionsindretningen 420 er der indkoblet en data-spærring 424, som aktiveres af styrebitbearbejdningsindretningen 408.

Det analoge vertikalafbøjningsudgangstrin 407 omfatter en npn-transistor 425, hvis basissignal afledes fra udgangen på tælleren 405. Endvidere ligger transistoren 425's emitter på stel. Transistoren 425's kollektor er over en diode 427, en drosselspole 428 og en vikling 429 (på linietransformatoren) forbundet med vertikalafbøjningsspolerne 430, 431. Den anden ende af spolen 431 ligger ligeledes på stel. Den mod viklingen 429 vendende ende af spolen 430 er over en integrationskondensator 432 forbundet med stel.

Desuden har vertikalafbøjningsudgangstrinnet 407 en pnp-transistor 433, hvis basissignal afledes fra udgangen på tælleren 421. Transistoren 433's emitter ligger på stel. Endvidere er transistoren 433's kollektor over en diode 435, en drosselspole 436 og en vikling 437 (på linietransformatoren) forbundet med spolerne 430, 431.

Med transistoren 425 styres den øverste billedhalvdel, og med transistoren 433 styres den nederste billedhalvdel.

Vertikalafbøjningsudgangstrinnet 407 arbejder i modtakt-D-drift og fødes med fremløbsspændingen fra linieudgangstrinnet. Til aktiveringen af dette vertikaludgangstrin kræves der to liniefrekvente firkantimpulser med henholdsvis tiltagende og aftagende impulsbredder. Impulsbreddens tiltagen henholdsvis aftagen fra li-

nie til linie inden for et halvbillede bestemmes af den logiske kobling i fig. 4.

En titrins binærtæller, der er opbygget af 10-flip-flops (ikke vist i figuren) og kan være udført som a-  
5 synkron eller synkron tæller, aktiveres over sin taktindgang med impulser med den dobbelte liniefrekvens. Over de otte cifferpladser med højeste værdi på denne tæller kan der aftages 8-bit-adresser, hvorhos en adresse svarer til to linier af et halvbillede. Disse 8-bit-  
10 adresser tilføres adresseindgangene  $A_0-A_7$  på lageret 401. Lageret kan som allerede beskrevet være udført som PROM, EPROM, EAROM eller som batteripufferstyret RAM.

Til frembringelse af de forannævnte firkantimpulser i en D/A-omsætter kræves der pr. linie ved den nødvendige opløsning et 9-bit-ord. Med henblik på at spare lagerpladser lagres ikke 9-bit-ordene for hver linie, men ændringen af disse 9-bit-ord fra adresse til adresse (en adresse svarer til to linier af et halvbillede) lagres. Derved reduceres lagerpladsbehovet fra  $312 \times 9$  bit  
20 til  $156 \times 5$  bit. Disse 5-bit-ord bliver i den i fig. 4 viste logiske kobling bearbejdet til de til D/A-omsætteren nødvendige 9-bit-ord. Til dannelsen af firkantimpulsen med tiltagende impulsbredde bliver der til  
25 9-bit-ordet for den forudgående linie adderet en bestemt værdi fra lageret, som tilsvarende subtraheres ved firkantimpulsen med aftagende impulsbredde (en større impulsbredde svarer til en højere værdi af 9-bit-ordet).

Til firkantimpulserne med aftagende impulsbredde  
30 skal der ved billedbegyndelsen dannes en såkaldt begyndelsesværdi, hvorfra da de tilsvarende fra lageret 401 udlæste værdier subtraheres. Denne begyndelsesværdi er et 9-bit-ord og ligeledes lagret i lageret 401. 9-bit-ordet kan ikke lagres direkte i det 5-bit organiserede  
35 lager. Derfor bliver den 9. bit med højeste værdi fast forbundet, og de fire bit med høj værdi lagres under adressen 0, og de fire bit med lavere værdi lagres

under adressen 1. Disse 4-bit-ord sammensættes med den i det følgende omtalte kobling til 9-bit-begyndelsesværdien.

Udgangene  $O_1-O_4$  på lageret 401 bliver under adressen 0 over multiplekseren 402 koblet til indgangene  $A_5-A_8$  på 9-bit-fuldadditionsindretningen 404. Additionsindretningen 404's indgang  $A_9$  ligger på logisk 1. De øvrige A-indgange på additionsindretningen 404 ligger samtidigt på logisk 0. Indgangene  $B_1-B_9$  er sammenkoblet med udgangene  $Q_1-Q_9$  på mellemlageret 406 (udført som flankestyrede D-flip-flops).

Mellemlageret 406 bliver ved billedbegyndelsen sat på logisk 0 med en billedfrekvent impuls. På additionsindretningen 404's B-indgange ligger der dermed under adressen 0 ligeledes logisk 0. På additionsudgangene  $\Sigma_5 - \Sigma_8$  fremkommer dermed det på indgangene  $A_5-A_8$  optrædende 4-bit-ord, og på additionsudgangen  $\Sigma_9$  logisk 1. De øvrige  $\Sigma$ -udgange fører logisk 0.

Udgangene  $\Sigma_1-\Sigma_9$  er forbundet med forvalgeindgangene  $A_1-A_9$  på den nitrits binære synkrontæller 405. Desuden er additionsindretningen 404's udgange forbundet med dataindgangene  $D_1-D_9$  på mellemlageret 406.

Ca. 2  $\mu s$  efter at dataene optræder på synkrontællerens forvalgeindgange og på mellemlageret 406's indgange, ligger der på synkrontælleren 405's indstillingsindgang  $\bar{S}$  og på mellemlageret 406's taktindgang T en impuls, og dataene overtages i mellemlageret 406 og synkrontælleren 405. Synkrontælleren 405's udgang er forbundet med frigiveindgangen FE.

På tælleren 405's taktindgang ligger den dobbelte farvejælpebærebølgefrequens (8,86 MHz) eller en anden krystalstabiliseret frekvens med lignende periodevarighed.

Med impulsen på  $\bar{S}$ -indgangen overtages forvalgeindgangens data, og tælleren 405 begynder nu at tælle fra disse dataværdier. En talletakt svarer til ca. 100 ns. Når tælleren har nået den stilling, at dens ud-

gang er logisk 1 (svarer til decimalt 511), standses den over sin frigiveindgang FE. Det tidspunkt, på hvilket tællerstillingen 511 nås, er derved direkte afhængigt af dataværdien på forvælgeindgangen.

- 5 Under tælleprocessen ligger der på tællerens udgang et logisk 0, og fra tælleprocessens afslutning indtil den næste impuls (i den efterfølgende linie) på indstillingsindgangen  $\bar{S}$  et logisk 1. Der opstår således på tælleren 405's udgang en liniefrekvent firkantimpuls, hvis impulsbredde er afhængig af dataværdien
- 10 på forvælgeindgangene. Denne firkantimpuls tjener til styring af vertikalafbøjningsudgangstrinnet 407.

- Ved adressen 1 bliver de fire bit med lav værdi af begyndelsesværdien udlæst af lageret 401.
- 15 Multiplekseren 402 har i mellemtiden lagt lagerudgangene  $O_1-O_4$  på additionsindretningen 404's indgange  $A_1-A_4$ . Dataene fra adresse 1 ligger dermed på additionsindgangene. På additionsindgangene B ligger cifferkorrekt de fem bit med høj værdi af begyndelsesværdien, som befinder sig i mellemlageret 406. På additionsindretningen 404's udgang står nu 9-bit-begyndelsesværdien til rådighed. Ved indstillingsimpulsen bliver denne værdi igen overtaget i synkrontælleren 405 og mellemlageret 406. Bearbejdningen i synkrontælleren 405 sker som allerede beskrevet under adressen 0
- 20 og bestemmer firkantimpulsbredden for linierne 3 og 4.

- Fra adressen 2 til adressen 155 er differensværdierne lagret som 4-bit-ord. Den femte bit er en styrebit. Disse data skal bearbejdes, inden de afgives til additionstrinnene.
- 30

- Det under hver adresse lagrede 4-bit-ord skal fordeles på de til den pågældende adresse hørende to linier. Denne opgave overtager koblingen til middelværdidannelse
- 35 403. Multiplekseren 402 på lageret 401's udgang kobler derfor fra adresse 2 til adresse 155 lagerudgangene  $O_1-O_4$  på middelværdidanneren 403's indgange. De tre bit med højeste værdi når frem til data-

indgangene  $D_1-D_3$  på 3-bit-mellemlageret 417, til indgangene  $B_1-B_3$  på komparatoren 410 og til indgangene  $B_1-B_3$  på 3-bit-fuldadditionsindretningen 416. På additionsindretningen 416's udgang  $\Sigma_1-\Sigma_3$  står den med to dividerede dataværdi (forskudt en plads til højre) til rådighed. Hvis den på middelværdidannerens indgang optrædende værdi ( $O_1-O_4$ ) er et lige tal, står på udgangen direkte den med to dividerede værdi ( $O_2-O_4$ ) til rådighed, hvilken værdi kan viderebearbejdes for disse to linier. Hvis  $O_1-O_4$  derimod er et ulige tal, opstår der ved divisionen en rest (ciffreret  $O_1$  med laveste værdi svarer til logisk 1), som der skal tages hensyn til. Afgørelsen af, om denne rest skal adderes ved den pågældende addresses første eller anden linie, træffes af 3-bit-komparatoren 410. Den sammenligner den halverede værdi for den forudgående adresse (mellem-lagres i 3-bit-latchen 417) med den halverede værdi af den optrædende adresse. Hvis dataværdien for den først-nævnte adresse er større end eller lig med den sidst-nævnte, adderes resten til den første linie og ellers til den anden linie. Additionen af resten sker i 3-bit-fuldadditionsindretningen 416.

På middelværdidanneren 403's udgang står dermed differensværdierne fra linie til linie til rådighed. Til frembringelse af firkantimpulserne med aftagende impulsbredde (øverste billedhalvdel, der begyndes ved den øverste billedrand) skal disse differensværdier subtraheres fra den forannævnte begyndelsesværdi, og til firkantimpulserne med tiltagende impulsbredde adderes fra 0. Til additionen (nederste billedhalvdel med begyndelse i billedmidten) kan differensværdierne over dataspærringen 424 leveres til indgangen på 9-bit-fuldadditionsindretningen 420, og firkantimpulserne frembringes som beskrevet i det foranstående med synkrontælleren 421.

Til subtraktionen skal der først af differensværdierne dannes en 2-komplement (komplementdannelse og addere logisk 1), som derefter skal leveres til additionsindretningen 404's indgange. Frembringelsen af

firkantimpulserne i synkrontælleren 405 sker som beskrevet i det foranstående.

Det ønskes nu at begynde med additionen ikke allerede ved billedbegyndelsen eller først i billed-  
 5 midten, men i løbet af den første billedhalvdel, og subtraktionen skal kunne standses ikke i billedmidten, men først i løbet af den anden billedhalvdel (overlapning). Dette opnås med den styrebit, som står til rådighed på lageret 401's udgang  $O_5$  ved hver adres-  
 10 se. Mellem middelværdidannerens udgang og indgangen på 9-bit-additionsindretningen 420 findes dataspærringen 424 bestående af tre OG-led med hver to indgange. På hver sin indgang ligger differensværdierne, og de andre tre indgange er forbundet med styrebitledningen. En  
 15 addition af differensværdierne i den første billedhalvdel kan kun finde sted, hvis styrebitledningen fører logisk 1, idet der ellers på alle dataspærringens udgange fremkommer logisk 0 (ingen addition).

To-komplementdanneren 409, hvis udgange fører  
 20 til 9-bit-additionsindretningen 404 til subtraktionen, har en styreindgang SE, hvormed komplementdannerens udgange kan lægges på logisk 0. Denne styreindgang er forbundet med styrebitledningen. Dermed kan subtraktionen blokeres i den anden billedhalvdel ved hjælp af sty-  
 25 rebitten.

Fig. 5 viser vertikalafbøjningsstrømmen  $I_V$  som funktion af linien. For kurven 501 svarer den venstre billedrand til den 1. henholdsvis den 313. linie og den højre billedrand til den 312. henholdsvis 625. linie.

30 I den anden del af fig. 5 vises styreimpulserne T for npn-trinnet i vertikalafbøjningen (første halvbillede linie 1-312) og i den nederste del af fig. 5 styreimpulserne T for pnp-trinnet i vertikalafbøjningen (andet halvbillede linie 313- linie 625). End-  
 35 videre vises i fig. 5 overlappingsområdet i billedmidten.

For et udgangstrin, der ikke arbejder i modtakt-drift eller af andre grunde ikke behøver nogen strøm-

overlapning i billedmidten, kan de dataværdier, der skal subtraheres fra begyndelsesværdien, allerede lagres som toerkomplement, således at funktionerne til styrebit-bearbejdning 408, til toerkomplementdannelse 409, 5 til 9-bit-mellemlagring 422, til 9-bit-differenstælling 421, til 9-bit-addition 420 og til dataspørring 424 i dette tilfælde kan bortfalde.

Fig. 6 viser et principdiagram over det logiske trin til aktivering af rasterkorrektionsudgangstrinnet.

10 En vertikal-synkroniseringsimpuls bliver over vertikalimpuls-bearbejdningsindretningen 601 og over ELLER-leddet 602 tilført linietælleren 603. 9-bit-linietælleren 603 består eksempelvis af 9-flip-flops, og den har en tilbagestillingsindgang R og en tælleind-

15 gang A for frekvensen  $2 f_H$ . De otte udgange på linietælleren 603 er forbundet med otte indgange  $A_0-A_7$  på lageret 604. Lageret 604 er udformet som et 156 x4-bit-lager og kan være forenet med lageret 401 i figur 4 til det programmerbare fastværdilager 116 i fig. 1.

20 Endvidere har den logiske kobling til styring af rasterkorrektions-udgangstrinnet på samme måde som den logiske kobling til styring af vertikalafbøjningsudgangstrinnet (se fig. 4) en multiplekser 605, en additionsindretning 606, en differenstæller 607 og

25 et mellemlager 608. Fra differenstælleren 607 ledes impulserne til rasterkorrektions-udgangstrinnet 609. Rasterkorrektions-udgangstrinnet 609 omfatter en npn-transistor 610, hvis basis aktiveres af tælleren 607, og hvis emitter ligger på stel. Transistoren

30 610's kollektor er over en vikling 611 og kondensatoren 612 forbundet med stel; på den anden side fører der fra kollektoren over viklingen 611 en tilslutning til horisontalafbøjningsudgangstrinnet. NAND-ledet 613 leverer en tilbagestillingsimpuls  $\bar{R}$ .

35 Fig. 7 viser et forstørret deludsnit af fig. 6 med fremstillingen af begyndelsesværdidannelsen. I multiplekseren 605 er omskifterstillingen for linie 1 vist punkteret, og omskifterstillingen for alle øvrige linier

er vist fuldt optrukket. Omskifterstillingen foranlediges af en omskifterindstillers 701. Endvidere ses i fig. 7 additionstrinnet 606, 9-bit-mellemlageret 608 samt en del af differenstagleren 607.

- 5 Den i fig. 6 viste kobling tjener til eliminering af øst/vest-rasterforvrængningen, der har et konkavt-parabelformet forløb, hyppigst med fejlmaksimum i den horisontale billedmidterlinie. Dertil skal længderne af de enkelte linier være variable i afhængighed af deres
- 10 øjeblikkelige vertikale afbøjning. Den viste kobling styrer eksempelvis et diodemodulator-udgangstrin til D-drift, hvis strømgennemgang bestemmes af styresignalet's impulsbredde.

- Den binære linieimpulstæller 603, der eksempel-
- 15 vis er opbygget af 9-flip-flops, danner lageradresser for de enkelte linier. I lageret 604 bliver der da under hver adresse nedlagt en for den tilhørende linie typisk binærværdi, som bestemmer dens længde. Denne linielængdeinformation når nu linie for linie frem til dataind-
- 20 gangene på synkrontælleren 607, som desuden får tilført en taktfrekvens, der er meget større end liniefrekvensen. Ved liniebegyndelsen begynder tælleren 603 at tælle opefter fra den indgivne dataværdi indtil et ved trådføringen fastlagt tal. Medens den tæller, har
- 25 dens udgang tilstanden 0, ellers 1. Lageret 604's binære dataværdier omsættes altså til impulsbredder, med hvilke udgangstrinnet kan aktiveres.

- Det har nu vist sig, at en adressering af hver fire linier (dvs. hver anden linie i et halvbillede) gi-
- 30 ver en tilstrækkelig korrektionsopløsning. Lageret behøver altså kun at have 156 i stedet for 312 adresser. Til opnåelse af en ensartet lagerorganisation bliver der som beskrevet i det foranstående også til vertikal-afbøjningen kun dannet 156 adresser. De manglende mellemværdier for de ikke-programmerede linier udvindes da
- 35 ved hjælp af den i forbindelse med fig. 4 beskrevne interpolationslogik (middelværdidanner 403).

Adressetælleren 603 og lageret 604 kan således være ens til rasterkorrektionen og vertikalafbøjningen.

Den fulde linielængde er fastlagt i en 9-bit-information. Da kun en forholdsvis lille andel skal være variabel til rasterkorrektions-modulation og billedbreddeindstilling, og resten forbliver konstant, er det hensigtsmæssigt at lagre konstantværdien én gang ved begyndelsen af en vertikal afbøjningsperiode og på de følgende adresser kun at fastlægge differencen i forhold til den forudgående adresse.

Denne konstante begyndelsesværdi er defineret med et 8-bit-udtryk, hvis fire bit med højeste værdi er deponeret i adresse 0, mens resten er deponeret i adresse 1. Under de følgende adresser er kun lagret differencen mellem den aktuelle og den forudgående adresse.

Til frembringelse af begyndelsesværdien bliver ved adresse 0 dataudgangene  $O_1-O_4$  (høj værdi) over en omskifter i multiplekseren 605 lagt på additionsindretningen 606's A-indgange 5-8. Da der over additionsindretningen 606's B-indgange ikke foreligger nogen information, optræder på  $\Sigma$ -udgangene 5-8 ordet  $O_1-O_4$  med adressen 0. Alle udgange på additionsindretningen 606 er både forbundet med dataindgangene på synkrontælleren 607 og med D-indgangene på mellemlageret 608. Mellemlageret 608's udgange overtager indgangsinformationerne med en taktimpuls, der optræder ved hver liniebegyndelse.

Mellemlageret 608's udgange er ført til B-indgangene på additionstrinnet 606 ( $A+B = \Sigma$ ).

Med henblik på at undgå en fordobling af begyndelsesværdien over kredsløbet additionsindretning 606, mellemlager 608, additionsindretning 606 bliver mellemlageret 608's taktimpuls for linie 2 undertrykket, og multiplekseren 605's omskifter omkobles før begyndelsen af linie 2 (stadig adresse 0). De fire bit med høj værdi optræder nu på de fire additionsindgange  $A_1-A_4$  med "lav værdi". Det vil sige, at linie

1 dannes af de fire højværdibit på adresse 0 og  
 linie 2 af summen af de fire højværdibit på additions-  
 indgangene  $A_1-A_4$  og  $B_5-B_8$ , fordi taktimpulsen for  
 linie 1 på additionsudgangene  $\Sigma_5-\Sigma_8$  forinden over  
 5 mellemlageret 608 lå på additionsindretningen 606's  
 B-indgange 5-8.

For adresse 1 lægges additionsindgangene  $A_4-A_8$   
 på 0 og indgangene  $B_4-B_8$  på  $O_1-O_4$  for adresse 0. På  
 $A_1-A_4$  optræder de fire lavværdibit for begyndelsesvær-  
 10 dien, således at summen af  $(O_1-O_4)$  Adr. 1 +  $(O_1-O_4)$  Adr. 0,  
 som svarer til begyndelsesværdien, når frem til diffe-  
 renstælleren. En fordobling af de fire lavværdibit over  
 kredsløbet undgås ved undertrykkelse af taktimpulsen i  
 linie 4.

15 De følgende adresser leverer til A-indgangene kun  
 forskellene til de forudgående adresser, hvis indhold  
 over mellemlageret 608 samtidigt optræder på additions-  
 indretningen 606's B-indgange. Det gælder således, at  
 $\Sigma_m = D_m + \Sigma_{m-1}$ ,  $m = 2, 3, 4, \dots, 155$ , hvorhos indholdet  
 20  $D_m$  altid står for 2 nabolinier i halvbilledet.

Ved ekstremværdierne af fejlamplituden (normalt  
 kun én i billedmidten) ændrer korrektionsværdierne deres  
 fortegn. Lageret indeholder for subtraktionsfaserne alle-  
 rede korrektionsværdiens toerkomplement.

25 Ved additionen af toerkomplementet skal de ledige  
 pladser i 9-bit-ordet, hvoraf pr. adresse kun den vari-  
 able del leveres, fyldes op med 1. Derfor har infor-  
 mationen på lagerudgangen  $O_4$  under subtraktionsfasen  
 værdien 1 (ellers 0), og den lægges af multiplekseren  
 30 605's omskifter (undtagen under begyndelsesværdidannel-  
 sen) på additionsindgangene  $A_5-A_9$ .

Ved afslutningen af hver vertikalafbøjningsperio-  
 de tilbagesættes mellemlageret 608's D-flip-flops.

9-bit-differenstælleren 607 tæller som i akti-  
 35 veringskoblingen for vertikalafbøjningen fra den på  
 dataindgangene stående værdi med en takt på 8,86 MHz  
 til 511 og standses derefter. Ved begyndelsen af hver  
 linieperiode overtager den nye data fra additionsind-

retningen 606. Dens udgang ligger under tællingen på 0 og ellers indtil linieperiodens afslutning på 1.

Der opstår således en impulsrække med variable tastforhold, der er afhængig af korrektionsdataene ,  
5 til styring af strømmen i det analogt arbejdende udgangstrin.

Fig. 8 viser funktionen af øst/vest-korrektionen for linieperioden T. Øverst og nederst tælles med en lille dataværdi, mens dataværdien er stor for midten.

10 Fig. 9 viser et principdiagram over den automatiske justering af de analoge signaltrin i et farvefjernsynsapparat med digital styreenhed. Billedrøret 901 aftastes med et sensorsystem 902, som er tilsluttet en justeringsregneenhed 903. Justeringsregneenheden 903 er forbundet med en billedmønstergenerator 904, som for sit vedkommende er forbundet med de analoge signaltrin 905. På den anden side er  
15 justeringsregneenheden 903 over en dataoverføringsledning 906 forbundet med en kobling 907 i den digitale styreenhed, der tjener til justering af analogtrinnene. I justeringsdelen 907 findes det programmerbare fastværdilager 908, som over D-flipflops 909, 910, 911 er forbundet med såkaldte  
2 R-R-modstandsnetværk, der virker som indstillingsled,  
25 og som omsætter de binære dataværdier til strømstørrelser. Disse bliver da over en operationsforstærker 912, med hvilken der er parallelkoblet en modstand 913, tilført de analoge signaltrin 905 som justerings-spænding. De analoge signaltrin 905 aktiveres af høj-  
30 frekvens- henholdsvis mellemfrekvenstrinnene 914.

Endvidere ses i fig. 9 en adressetæller og taktgiver 916, som er nødvendig til indkoblings- eller tilbageløbsfasen.

35 Justeringsdelen 907 forsynes med en referencespænding fra en jævnspændingskilde.

Sensorsystemet 902 konstaterer under justeringen på grundlag af et af billedmønstergeneratoren 904 på billedskærmen 901 fremstillet forlag eller ved

måling af elektriske størrelser i koblingen er-værdierne og overfører dem til justeringsregneenheden 903. Disse er-værdier varieres ved hjælp af regneenheden 903 og en intern styreenhed, indtil de har nået deres bør-værdier. Disse mellemoplægges da i justeringsregneenhedens RAM og overføres senere til fastværdilageret 908.

Sammenligningsstørrelserne kan være oplagret i justeringsregneenheden 903 eller være givet ved positionen af sensorer foran billedskærmen.

10

#### Justering af hvidværdien

Hvis der hos betragteren af et farvefjernsynsbillede skal opstå et hvid-indtryk, skal intensiteterne af de tre grundfarver rød, grøn og blå stå i et ganske bestemt forhold til hinanden ( $0,3 R + 0,59 G + 0,11 B$ ). Dette indstilles over forstærkningen af de tre farveudgangstrin, som aktiverer billedrørselektroderne. Disse kendte bør-værdier lagres fast i justeringsregneenheden 903 og sammenlignes med de af sensorsystemet 902 leverede virkelige værdier.

Regneenheden 903 ændrer nu over den eksterne dataoverføringsledning 906 og justeringsdelen 907 farvetrinnes forstærkning, indtil forskellen mellem bør-værdi og er-værdi er 0.

Sensorsystemet 902 er anbragt foran billedskærmen og kan eksempelvis bestå af tre fotodioder, som hver især over en filterindretning kun modtager lyset med én af de tre farvearter.

Udgangsværdierne bliver som binærværdier først fastholdt i regneenheden 903's flygtige lager (RAM) og efter afslutning af justeringen overført til fastværdilageret 908, der ved fjernsynsanvendelse leverer driftsdataene i stedet for justeringsregneenheden.

Dataene styrer de i stedet for de nuværende potentiometre indførte digitale indstillingsled og skal til stadighed være til rådighed, når apparatet er tilkoblet.

Således kan eksempelvis en tællerkobling ved hver tilkobling af apparatet opkalde de pågældende adresser i fastværdilageret 908 og dermed tilføre dettes indhold til mellemlagre (f.eks. D-flip-flops, skifteregistre eller ladningslagre, såkaldte CCD), på hvis udgang de optræder under hele tilkoblingsvarigheden.

Endvidere er der mulighed for at gentage påkaldelsen af adresserne periodisk under elektronstrålens ikke synlige tilbageløbsfaser.

10 Som indstillingsled benyttes ifølge fig. 9 de såkaldte 2 R-R- eller  $R 2^n$ -modstandsnetværk, som omsætter de binære dataværdier til strømstørrelser.

På samme måde kan yderligere positioner af de analoge signaltrin, f.eks. gråbalance, strålestrømsbe-  
15 grænsning og billedrørsarbejds punkt, justeres. Uafhængigt af lageret 908's ordbredde kan dataene ved udlæsningen ved hjælp af multipleksere tilføres til vilkårligt mange mellemlagre.

Justeringen af positioner, der erfaringsmæssigt  
20 skal efterindstilles i løbet af apparatets levetid, kan ske således, at potentiometrene bibeholdes, men justeres ved hjælp af et motordrevet justeringsværktøj, hvis drift styres af sensoren over justeringsregneenheden.

Lageret 908 er hensigtsmæssigt udlagt således,  
25 at det har de nødvendige lagerpladser både for de digitale impulstrin og for de analoge signaltrin. Ved eksempelvis 10 justeringspositioner for de analoge signaltrin med ialt 64 bit forøges lageret fra 156 x 8 bit til 164 x 8 bit.

30 Justering af øst/vest-rasterkorrektionen og vertikal-afbøjningen.

En øst/vest-rasterkorrektionskobling har den opgave at rette de som følge af billedrørsgeometrien pudeformet indefter hvælvede vertikale rasterlinier. Dertil  
35 skal linieafbøjningsstrømmene forøges i retning mod billedmidten.

Afbøjningsvinklen er proportional med afbøjningsstrømmen og bestemmes ved størrelsen af et i fastværdi-

lageret 908 under den pågældende adresse aflagt binærtal.

Ved automatisk justering frembringes der af billedmønstergeneratoren 904 en vertikal lys linie på billedskærmen 901. Dens afstand fra billedskærm- midten er et mål for linielængden. Som sensorsystem 902 tjener eksempelvis en fotodiode, der ved hjælp af en motor kan bevæges op og ned med en fastlagt hastighed på en skinne ved eksempelvis den venstre billedrand. Da der kun tilknytttes adresse og data til hver anden linie i et halvbillede, dvs. hver fjerde linie i et helbillede, skal det bevægede sensorsystem 902's hastighed være en sådan, at det ved hvert billedgennemløb af elektronstrålen endnu befinder sig i den liniegruppe, der skal adresseres. Som alternativ til den bevægede fotodiode kunne der også forefindes et sensorsystem 902 i form af en liste med et til de 156 adresser svarende antal dioder. Retnings- og reaktionsfølsomheden for de som sensor tjenende fotodioder kan forbedres med optiske midler som f.eks. linser og blænder.

Justeringsregneenheden 908 forøger ved begyndelsen af justeringen dataværdien for den første linie (hvorved denne bliver tilsvarende bredere), indtil det forannævnte billedmønster når sensorstedet og dermed udløser en information til regneenheden 903. Den første linie har nu den ønskede længde, og dens dataværdi bliver på grundlag af sensormeldingen ikke mere forøget, men mellemlagret som 8-bit-begyndelsesværdi under adresserne 0 og 1 i regneenheden 903's RAM. Processen gentages nu for hver fjerde linie, hvorhos kun dataændringen i forhold til den forudgående adresse fastholdes, dvs. for linierne lagres forskellene  $\Delta D_n = D_n - D_{n-4}$ , hvor  $D_0$  pr. definition svarer til begyndelsesværdien, og  $n$  kan være 4, 8, 12.....

Den maksimale korrektionsværdi falder normalt sammen med billedskærmens horisontale midterlinie. De derpå følgende  $D$ -værdier er altså negative og lagres i justeringsregneenheden som toer-komplement, således

at der ved den senere bearbejdning i det digitale styresystems additionstrin sker en subtraktion.

Adresseringen af mellemlageret og afbøjningen af billedrøret 901's elektronstråle synkroniseres af  
5 billedmønstergeneratoren 904. Mellemlagerindholdet bliver efter afsluttet apparatjustering overført til den digitale styreenheds fastværdilager 908, som leverer driftsdataene til farvefjernsynsmodtageren.

Denne metode har den fordel, at den leverer en  
10 nøjagtig korrektion uafhængigt af indstillingsleddenes eller billedrørenes og afbøjningssystemernes karakteristika.

På lignende måde sker justeringen af vertikaltrinnene.

15 Med henblik på først overhovedet at frembringe et billedmønster er det hensigtsmæssigt at have et empirisk program i justeringsregneenheden 908's fastværdilager. Den i det foranstående beskrevne fremgangsmåde, anvendelse af en fotodiode, der eksempelvis med en skridtmotor bevæges trinvist oppefra og nedefter foran billedskærmen, eller anvendelsen af den nævnte diodeliste, indskrives da de eksakte data i justeringsregneenheden  
20 903's RAM. Også her dannes der først en begyndelsesværdi. For hver fire yderligere linier bestemmes og  
25 lagres da også kun forskellen til den forudgående adresse.

I den øverste billedhalvdel aftager dataværdierne mod billedmidten, dvs.  $\Delta D$  er negative. Mellem billedmidten og den nederste billedrand er de positive. Ved  
30 en yderligere styrebit, som er indeholdt i hver data-værdi, bestemmes i den digitale styreenhed billedmidtestrømmen (overlapning) i udgangstrinkoblingen.

Den digitale styreenhed ifølge opfindelsen omfatter eksempelvis en hurtig logisk kobling indtil ca.  
35 9 MHz (f.eks.  $I^2L$ ), en langsom logisk kobling (f.eks. MOS-teknologi) og det programmerbare fastværdilager med 156 x8 bit. Den beskrevne fuldautomatiske justering kan ske  $\mu C$ -styret.

## P A T E N T K R A V

1. Digital styreenhed (106) til en farvefjernsynsmodtager til styring af horisontalafbøjnings- (108) og vertikalafbøjningsudgangstrinnet (109), hvor den digitale styreenhed (106) har en linietæller (113), et  
5 programmerbart fastlager (116, 908) og en logisk kreds (114), k e n d e t e g n e t ved, at der i det programmerbare fastlager (116, 908) lagres bør-værdier for øst/vest-rasterkorrektionen og vertikalafbøjningen, hvor-  
hos disse bør-værdier opnås ved, at der, ved en automa-  
10 tisk indstilling, ved hjælp af en billedmønstergenerator (904) frembringes et testbillede på billedskærmen (105, 904), hvilket testbillede aftastes linievist ved hjælp af et sensorsystem (117, 902), og at er-værdierne ved hjælp af en justeringsregneenhed (118, 903) varieres,  
15 indtil de stemmer overens med reference-bør-værdier, der er lagret i justeringsregneenheden (118, 903), hvorefter de korrigerede er-værdier ved hjælp af en dataoverføringsledning (119, 906) lagres linievist i det programmerbare fastlager (116, 908) som bør-værdier, og at den  
20 logiske kreds (114) ved farvefjernsynsmodtagerens drift ud fra de i det programmerbare fastlager (116, 908) linievist lagrede bør-værdier danner styreimpulserne til udgangstrinnene (107, 108, 109).

25 2. Styreenhed ifølge krav 1, k e n d e t e g n e t ved, at fastlageret (116) kun indeholder bør-værdierne for den første linie og for bør-værdierne for de øvrige linier indeholder forskellen til bør-værdien for den første linie.

30 3. Styreenhed ifølge krav 1 eller 2, k e n d e t e g n e t ved, at kun bør-værdierne for hver anden linie i et halvbillede er indeholdt i fastlageret (116).

4. Styreenhed ifølge krav 3, k e n d e t e g n e t ved, at den har et programmerbart fastlager (116)  
35 med 156 x 8 bit lagerpladser.

5. Styreenhed ifølge et eller flere af kravene 1-4, k e n d e t e g n e t ved, at den logiske kreds

til styring af vertikalafbøjningsudgangstrinnet (407) indeholder et lager (401), i hvilket begyndelses-bør-værdien for billedbegyndelsen samt ændringerne fra denne begyndelses-bør-værdi for hver anden billedlinie er lagret, at den indeholder en middelværdidanner (403), som foretager fordelingen på de til en adresse hørende to linier, at den indeholder en første tæller (405), som frembringer firkantimpulsen til styring af vertikalafbøjningsudgangstrinnet (407) for den øverste billedhalvdel ved bearbejdning af de i lageret (401) indeholdte værdier ved hjælp af et additionsled (404), et mellemlager (406) og en toerkomplementdanner (409), og at den indeholder en anden tæller (421), som frembringer firkantimpulsen til styring af vertikalafbøjningsudgangstrinnet (407) for den nederste billedhalvdel ved bearbejdning af de i lageret (401) indeholdte værdier ved hjælp af en dataspærring (424), et andet additionsled (420) og et andet mellemlager (422).

6. Styreenhed ifølge krav 5, k e n d e t e g n e t ved, at middelværdidanneren (403) indeholder en 3-bit-komparator (410), en 3-bit-latch (417) og et 3-bit-additionsled (416).

7. Styreenhed ifølge et eller flere af kravene 1-6, k e n d e t e g n e t ved, at den logiske kredsløb til styring af øst/vest-rasterkorrektionen indeholder et lager (604), i hvilket bør-værdierne for de enkelte linier er lagret, og at den indeholder en tæller (607), som frembringer impulserne til styring af horisontalafbøjningsudgangstrinnet (609) ved hjælp af et additionsled (606) og et mellemlager (608) ud fra de i nævnte lager (604) lagrede værdier.

Fremdragne publikationer:

US patenter nr. 3943279, 3962722.

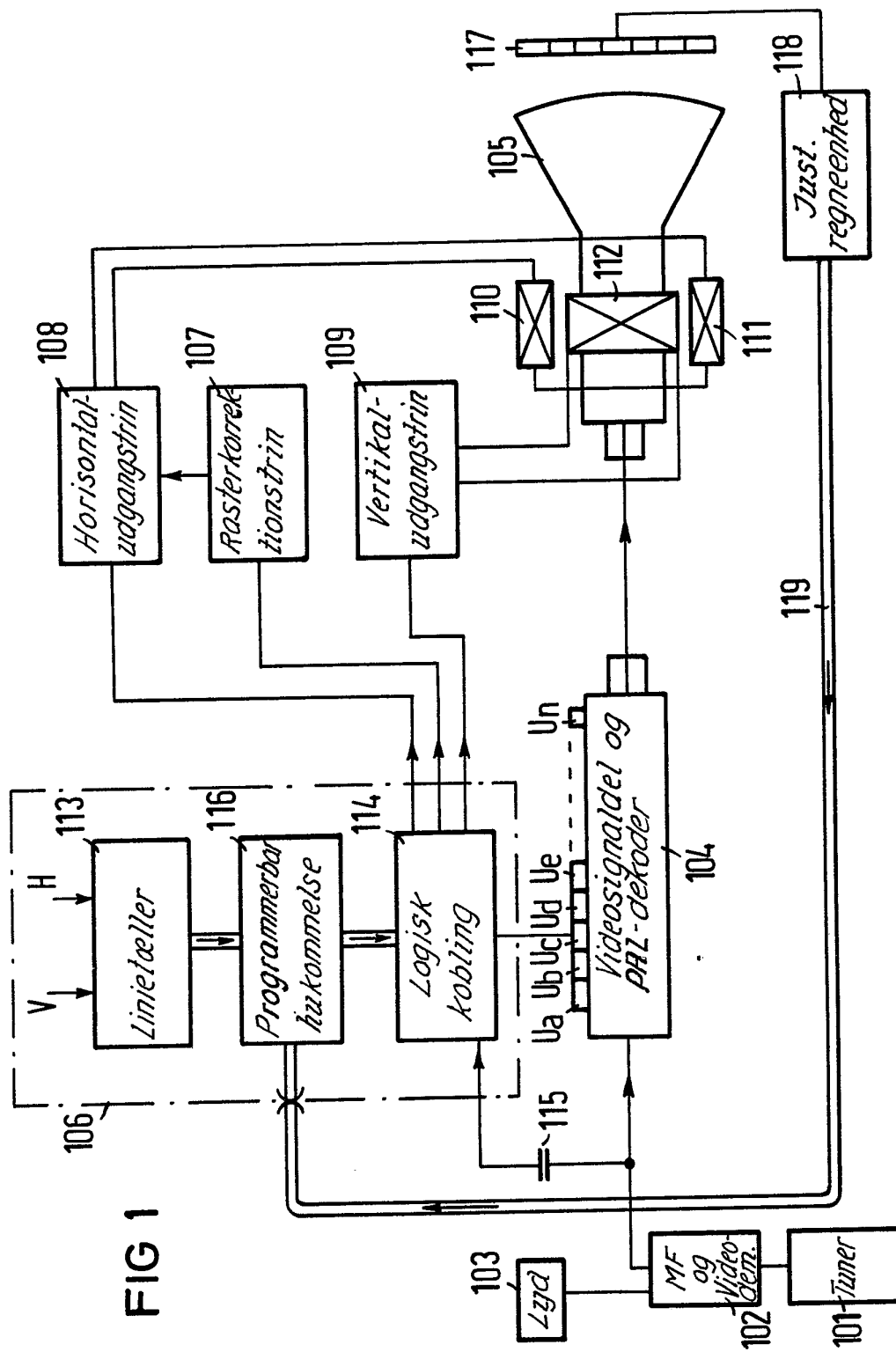


FIG 2

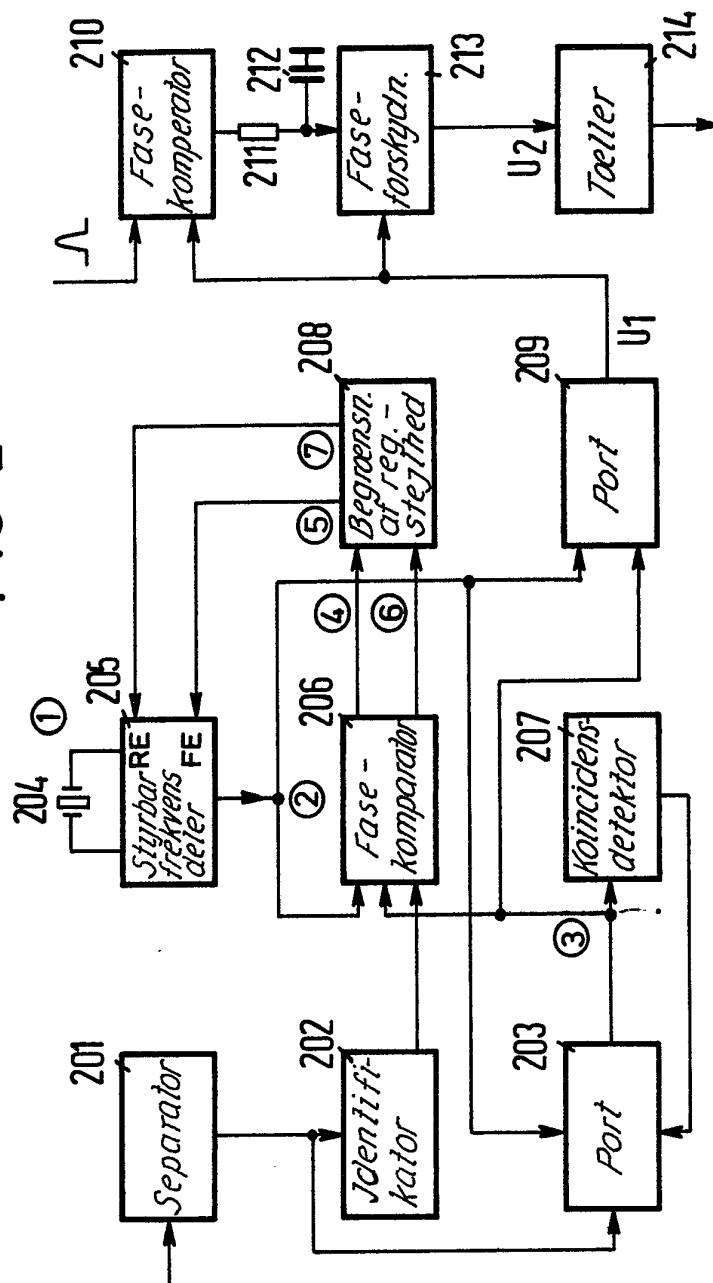


FIG 3

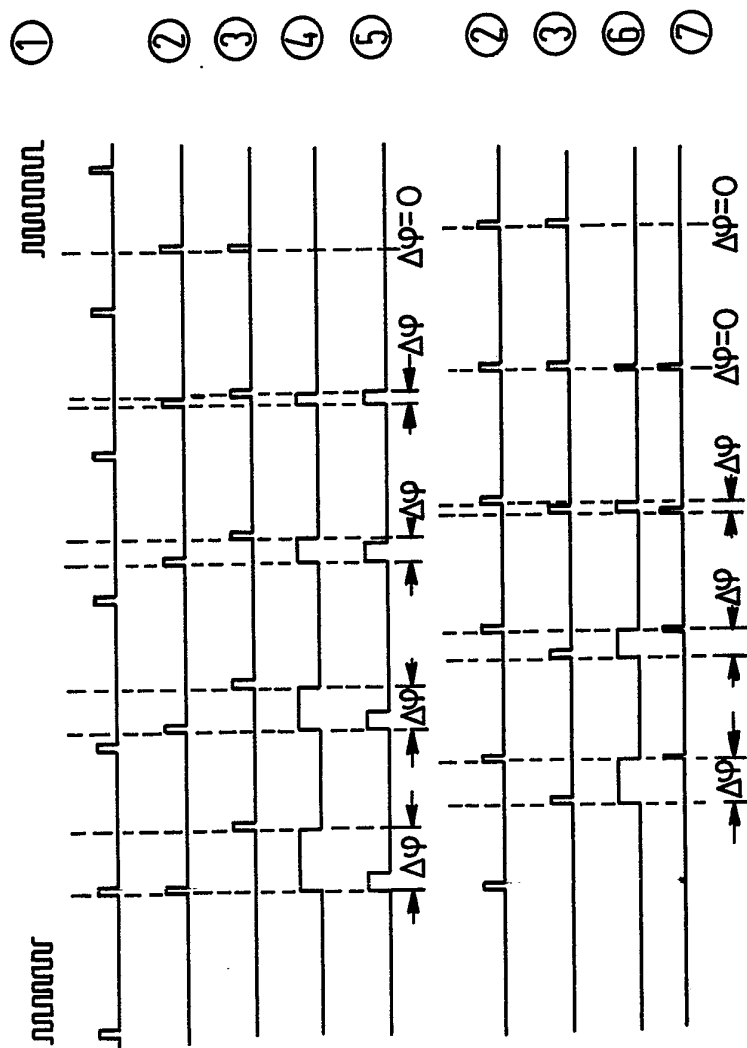


FIG 4

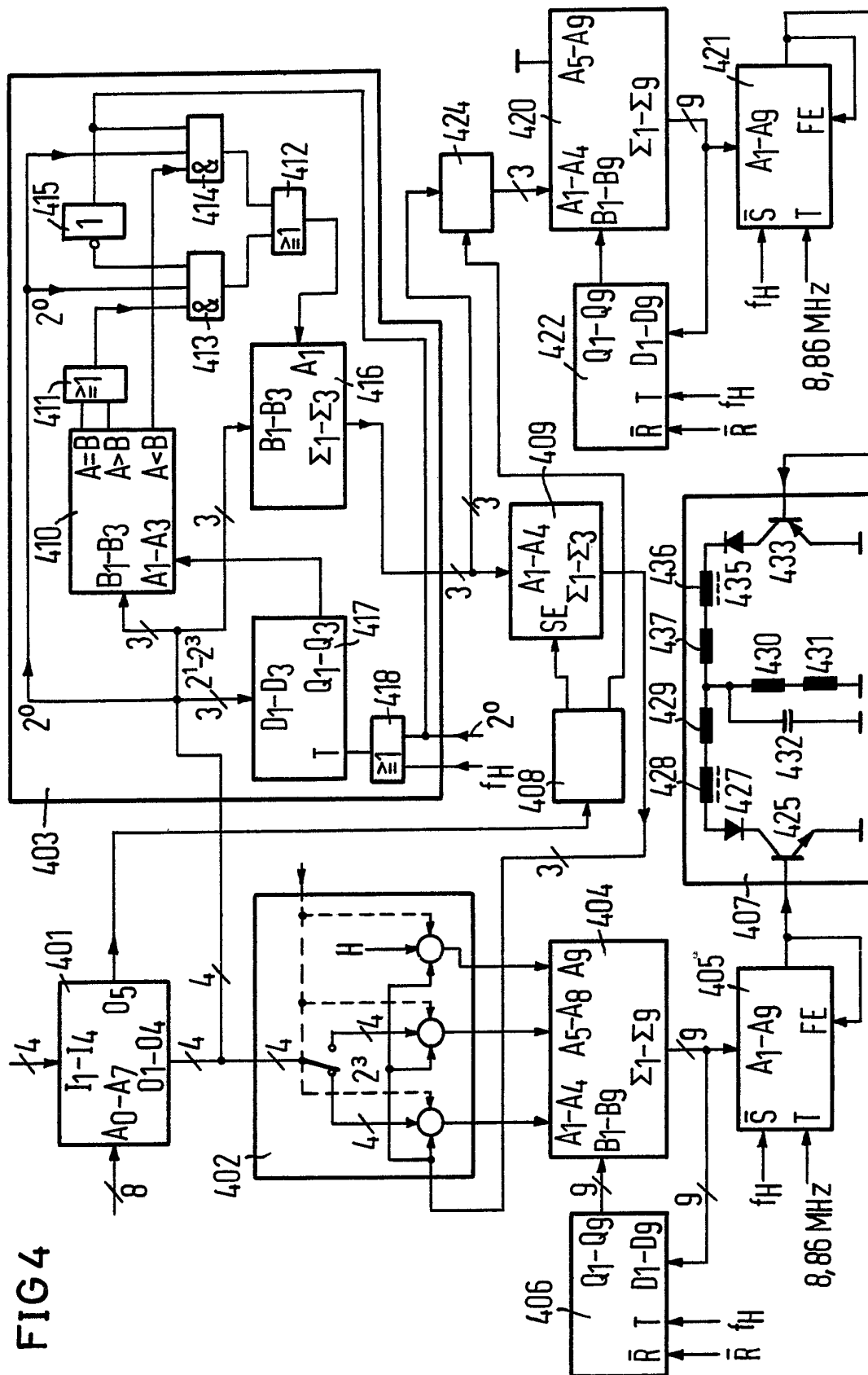






FIG 9

