



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월02일  
(11) 등록번호 10-1903785  
(24) 등록일자 2018년09월21일

(51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2015.01) G11C 5/14 (2006.01)  
H01L 29/786 (2006.01)  
(21) 출원번호 10-2011-0085242  
(22) 출원일자 2011년08월25일  
심사청구일자 2016년05월19일  
(65) 공개번호 10-2012-0041113  
(43) 공개일자 2012년04월30일  
(30) 우선권주장  
JP-P-2010-189587 2010년08월26일 일본(JP)  
JP-P-2011-005766 2011년01월14일 일본(JP)  
(56) 선행기술조사문헌  
JP62057245 A\*  
JP2000113683 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
이노우에 히로끼  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
가토 기요시  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
장수길, 박충범, 이중희

전체 청구항 수 : 총 5 항

심사관 : 손윤식

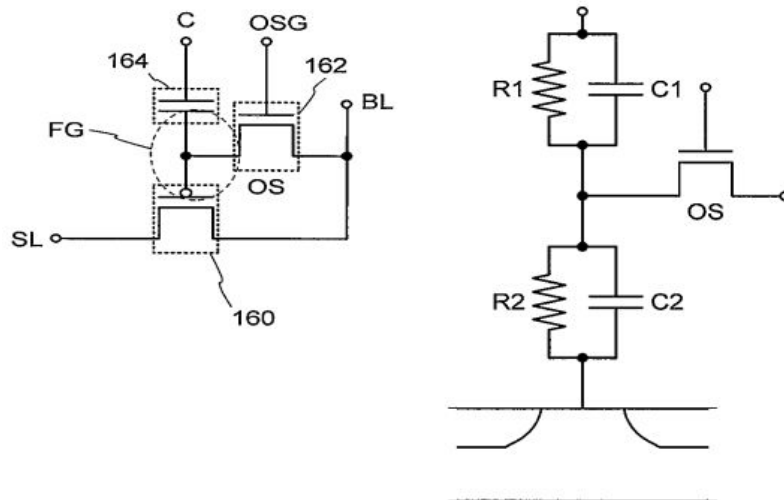
(54) 발명의 명칭 반도체 장치의 구동 방법

(57) 요약

본 발명은 새로운 구조의 반도체 장치 및 그의 구동 방법을 제공하는 것을 목적의 하나로 한다.

본 발명은 산화물 반도체를 사용한 기입용 트랜지스터, 상기 트랜지스터와 상이한 반도체 재료를 사용한 판독용의 p 채널형 트랜지스터 및 용량 소자를 포함하는 불휘발성의 메모리 셀을 갖는 반도체 장치를 제공한다. 메모리 셀에의 기입은, 기입용 트랜지스터를 온 상태로 하여, 기입용 트랜지스터의 소스 전극과, 용량 소자의 전극의 한쪽과, 판독용 트랜지스터의 게이트 전극이 전기적으로 접속된 노드에 전위를 공급한 후, 기입용 트랜지스터를 오프 상태로 하여, 노드에 소정량의 전하를 유지시킴으로써 행한다. 또한, 유지 기간에 있어서, 메모리 셀을 선택 상태로 하고, 또한 판독용 트랜지스터의 소스 전극 및 드레인 전극을 동일 전위로 함으로써, 노드에 축적된 전하를 유지한다.

대표도



(72) 발명자

**마쯔자끼 다카노리**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**나가즈카 슈헤이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

---

## 명세서

### 청구범위

#### 청구항 1

제1 트랜지스터, 제2 트랜지스터 및 용량 소자를 포함하고, 비트선에 상기 제1 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속되고, 기입 워드선에 상기 제2 트랜지스터의 게이트가 전기적으로 접속되고, 소스선에 상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽이 전기적으로 접속되고, 기입 및 판독 워드선에 상기 용량 소자의 한쪽 전극이 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트와, 상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽과, 상기 용량 소자의 다른 쪽 전극이 전기적으로 서로 접속되어, 전하가 유지되는 노드를 형성하는 반도체 장치의 구동 방법으로서,

기입 기간에서, 상기 기입 워드선에 상기 제2 트랜지스터가 온 상태로 되는 제1 전위를 공급하고, 상기 제1 전위가 상기 기입 워드선에 공급된 후 상기 비트선에 데이터에 대응하는 제2 전위를 공급하고, 상기 소스선에 접지 전위를 공급하여, 상기 노드에 전하를 축적하는 단계와,

상기 기입 기간 후의 유지 기간에서, 상기 기입 워드선과, 상기 기입 및 판독 워드선에 접지 전위를 공급하고, 상기 소스선과, 상기 비트선에 동일 전위를 공급하여, 상기 노드에 상기 전하를 유지하는 단계를 포함하는, 반도체 장치의 구동 방법.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

메모리 셀들을 포함하고, 상기 메모리 셀들 각각은 제1 트랜지스터, 제2 트랜지스터 및 용량 소자를 포함하고, 비트선에 상기 제1 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속되고, 기입 워드선에 상기 제2 트랜지스터의 게이트가 전기적으로 접속되고, 소스선에 상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽이 전기적으로 접속되고, 기입 및 판독 워드선에 상기 용량 소자의 한쪽 전극이 전기적으로 접속되고, 상기 제1 트랜지스터의 게이트와, 상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽과, 상기 용량 소자의 다른 쪽 전극이 전기적으로 서로 접속되어, 전하가 유지되는 노드를 형성하는 반도체 장치의 구동 방법으로서,

기입 기간에서, 상기 기입 워드선에 상기 제2 트랜지스터가 온 상태로 되는 제1 전위를 공급하고, 상기 제1 전위가 상기 기입 워드선에 공급된 후 상기 비트선에 데이터에 대응하는 제2 전위를 공급하고, 상기 소스선에 접지 전위를 공급하여, 상기 노드에 전하를 축적하는 단계와,

상기 기입 기간 후의 유지 기간에서, 상기 기입 워드선과, 상기 기입 및 판독 워드선에 접지 전위를 공급하고, 상기 소스선과, 상기 비트선에 동일 전위를 공급하여, 상기 노드에 상기 전하를 유지하는 단계와,

판독 기간에서, 비선택 상태의 상기 메모리 셀들 중 하나에 접속된 상기 기입 및 판독 워드선에 전원 전위를 공급하고, 선택 상태의 상기 메모리 셀들 중 다른 하나에 접속된 상기 기입 및 판독 워드선에 접지 전위를 공급하여, 상기 선택 상태의 상기 메모리 셀들 중 상기 다른 하나의 상기 노드에 유지된 상기 전하를 판독하는 단계를 포함하는, 반도체 장치의 구동 방법.

#### 청구항 6

제1항 또는 제5항에 있어서, 상기 유지 기간에서, 상기 소스선과 상기 비트선에 접지 전위를 공급하는, 반도체

장치의 구동 방법.

## 청구항 7

제1항 또는 제5항에 있어서, 상기 제2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치의 구동 방법.

## 청구항 8

제1항 또는 제5항에 있어서, 상기 제1 트랜지스터는 p 채널형 트랜지스터인, 반도체 장치의 구동 방법.

## 발명의 설명

### 기술 분야

[0001] 개시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 당해 반도체 장치의 구동 방법에 관한 것이다.

### 배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용이 상실되는 휘발성의 것과, 전력의 공급이 없어져도 기억 내용은 유지되는 불휘발성의 것으로 크게 구별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는 DRAM(Dynamic Random Access Memory)이 있다. DRAM은, 기억 소자를 구성하는 트랜지스터를 선택하여 캐패시터에 전하를 축적함으로써 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는 정보를 판독하면 캐패시터의 전하는 상실되기 때문에, 정보의 판독시마다 다시 기입 동작이 필요하게 된다. 또한, 기억 소자를 구성하는 트랜지스터에 있어서는 오프 상태에서의 소스와 드레인간의 누설 전류(오프 전류) 등에 의해, 트랜지스터가 선택되지 않은 상황에서도 전하가 유출 또는 유입되기 때문에 데이터의 유지 기간이 짧다. 이로 인해, 소정 주기로 다시 기입 동작(리프레시 동작)이 필요하여, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 상실되기 때문에, 장기간의 기억의 유지에는 자성 재료나 광학 재료를 이용한 별도의 기억 장치가 필요하게 된다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은, 플립플롭 등의 회로를 이용하여 기억 내용을 유지하기 때문에 리프레시 동작이 불필요하고, 이 점에 있어서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 이용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용이 상실되는 점에 대해서는 DRAM과 다를 바 없다.

[0006] 불휘발성 기억 장치의 대표예로는 플래시 메모리가 있다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 갖고, 당해 플로팅 게이트에 전하를 유지시킴으로써 기억을 행하기 때문에, 데이터의 유지 기간이 극히 길어(반영구적), 휘발성 기억 장치에서 필요한 리프레시 동작이 불필요하다는 이점을 갖고 있다(예를 들어, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 발생하는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화되기 때문에, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않게 된다는 문제가 발생한다. 이 문제의 영향을 완화하기 위해, 예를 들어 각 기억 소자의 기입 횟수를 균일화하는 방법이 채용되지만, 이를 실현하기 위해서는 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용하더라도 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는 정보의 재기입 빈도가 높은 용도에는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 주입시키기 위해서나 또는 그 전하를 제거하기 위해서는 높은 전압이 필요하며, 또한 그를 위한 회로도 필요하다. 또한, 전하의 주입 또는 제거를 위해서는 비교적 오랜 시간을 필요로 하여, 기입 또는 소거의 고속화가 용이하지 않다는 문제도 있다.

### 선행기술문헌

#### 특허문헌

[0009] (특허문헌 0001) 일본 특허 공개 소57-105889호 공보

## 발명의 내용

### 해결하려는 과제

[0010] 상술한 문제를 감안하여, 개시하는 발명의 일 형태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

### 과제의 해결 수단

[0011] 개시하는 발명에서는, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들어 와이드 갭 반도체인 산화물 반도체 재료를 사용하여 반도체 장치를 구성한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 사용함으로써, 장기간에 걸쳐 정보를 유지하는 것이 가능하다.

[0012] 또한, 개시하는 발명에서는, 산화물 반도체를 사용한 기입용 트랜지스터, 상기 기입용 트랜지스터와 상이한 반도체 재료를 사용한 판독용 트랜지스터 및 용량 소자를 포함하는 불휘발성의 메모리 셀을 갖는 반도체 장치를 제공한다. 상기 메모리 셀에의 정보의 기입 및 재기입은, 기입용 트랜지스터를 온 상태로 함으로써, 기입용 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽과, 판독용 트랜지스터의 게이트 전극이 전기적으로 접속된 노드에 전위를 공급하고, 그 후, 기입용 트랜지스터를 오프 상태로 함으로써, 노드에 소정량의 전하를 유지시킴으로써 행한다. 또한, 유지 기간에 있어서, 메모리 셀을 선택 상태로 하고, 또한 판독용 트랜지스터의 소스 전극 및 드레인 전극을 동일 전위로 함으로써, 노드에 축적된 전하를 유지한다. 또한, 판독용 트랜지스터로서 p 채널형 트랜지스터를 사용함으로써, 부전위를 사용하지 않고 판독을 행한다.

[0013] 보다 구체적으로는, 예를 들어 다음과 같은 구성을 채용할 수 있다.

[0014] 본 발명의 일 형태는, 비트선에 제1 트랜지스터의 소스 전극과 제2 트랜지스터의 소스 전극이 전기적으로 접속되고, 기입 워드선에 제2 트랜지스터의 게이트 전극이 전기적으로 접속되고, 소스선에 제1 트랜지스터의 드레인 전극이 전기적으로 접속되고, 기입 및 판독 워드선에 용량 소자의 한쪽 전극이 전기적으로 접속되고, 제1 트랜지스터의 게이트 전극과, 제2 트랜지스터의 드레인 전극과, 용량 소자의 다른 쪽 전극이 전기적으로 접속되고, 전하가 유지되는 노드가 구성되어 있고, 기입 기간에 있어서, 기입 워드선에 제2 트랜지스터가 온 상태로 되는 전위를 공급하고, 소스선에 접지 전위를 공급하여 노드에 전하를 축적하고, 기입 기간에 계속되는 유지 기간에 있어서, 기입 워드선과, 기입 및 판독 워드선에 접지 전위를 공급하고, 또한 소스선과 비트선에 동일 전위를 공급하여, 노드에 축적된 전하를 유지하는 반도체 장치의 구동 방법이다.

[0015] 또한, 본 발명의 일 형태는, 비트선과, 소스선과, 복수의 기입 워드선과, 복수의 기입 및 판독 워드선과, 복수의 메모리 셀을 포함하는 메모리 셀 어레이를 갖고, 메모리 셀 하나에 있어서, 비트선에 제1 트랜지스터의 소스 전극과 제2 트랜지스터의 소스 전극이 전기적으로 접속되고, 기입 워드선에 제2 트랜지스터의 게이트 전극이 전기적으로 접속되고, 소스선에 제1 트랜지스터의 드레인 전극이 전기적으로 접속되고, 기입 및 판독 워드선에 용량 소자의 한쪽 전극이 전기적으로 접속되고, 제1 트랜지스터의 게이트 전극과, 제2 트랜지스터의 드레인 전극과, 용량 소자의 다른 쪽 전극이 전기적으로 접속되고, 전하가 유지되는 노드가 구성되어 있고, 기입 기간에 있어서, 복수의 기입 워드선에, 복수의 메모리 셀에 각각 포함되는 제2 트랜지스터가 온 상태가 되는 전위를 공급하고, 소스선에 접지 전위를 공급하여, 복수의 메모리 셀에 각각 포함되는 노드에 전하를 축적하고, 기입 기간에 계속되는 유지 기간에 있어서, 복수의 기입 워드선과 복수의 기입 및 판독 워드선의 각각에 접지 전위를 공급하고, 비트선과 소스선에 동일 전위를 공급하여, 복수의 메모리 셀에 각각 포함되는 노드에 축적된 전하를 유지하고, 판독 기간에 있어서, 비선택으로 하는 메모리 셀 하나와 접속된 기입 및 판독 워드선 하나에 전원 전위를 공급하여, 선택하는 메모리 셀 하나와 접속된 기입 및 판독 워드선 하나에 접지 전위를 공급하여, 선택하는 메모리 셀 하나에 포함되는 노드에 유지된 전하를 판독하는 반도체 장치의 구동 방법이다.

[0016] 또한, 상기 반도체 장치의 구동 방법에 있어서, 유지 기간에 있어서, 소스선과 비트선에 접지 전위를 공급할 수 있다.

[0017] 또한, 본 발명의 일 형태는, 복수의 비트선과, 소스선과, 복수의 기입 워드선과, 복수의 기입 및 판독 워드선과, 복수의 메모리 셀을 포함하는 메모리 셀 어레이를 갖고, 메모리 셀 하나에 있어서, 비트선에 제1 트랜지스터의 소스 전극과 제2 트랜지스터의 소스 전극이 전기적으로 접속되고, 기입 워드선에 제2 트랜지스터의 게이트 전극이 전기적으로 접속되고, 소스선에 제1 트랜지스터의 드레인 전극이 전기적으로 접속되고, 기입 및

판독 워드선에 용량 소자의 한쪽 전극이 전기적으로 접속되고, 제1 트랜지스터의 게이트 전극과, 제2 트랜지스터의 드레인 전극과, 용량 소자의 다른 쪽 전극이 전기적으로 접속되고, 전하가 유지되는 노드가 구성되어 있고, 기입 기간에 있어서, 복수의 기입 워드선에, 복수의 메모리 셀에 각각 포함되는 제2 트랜지스터가 온 상태로 되는 전위를 공급하고, 소스선에 접지 전위를 공급하여, 복수의 메모리 셀에 각각 포함되는 노드에 전하를 축적하고, 기입 기간에 계속되는 유지 기간에 있어서, 복수의 기입 워드선과 복수의 기입 및 판독 워드선의 각각에 접지 전위를 공급하고, 복수의 비트선과 소스선에 동일 전위를 공급하여, 복수의 메모리 셀에 각각 포함되는 노드에 축적된 전하를 유지하고, 판독 기간에 있어서, 비선택으로 하는 메모리 셀 하나와 접속된 기입 및 판독 워드선 하나에 전원 전위를 공급하고, 선택하는 메모리 셀 하나와 접속된 기입 및 판독 워드선 하나에 접지 전위를 공급하여, 선택하는 메모리 셀 하나에 포함되는 노드에 유지된 전하를 판독하는 반도체 장치의 구동 방법이다.

- [0018] 또한, 상기 반도체 장치의 구동 방법에 있어서, 유지 기간에 있어서, 소스선과 복수의 비트선에 접지 전위를 공급할 수 있다.
- [0019] 또한, 상기 반도체 장치의 구동 방법에 있어서, 제2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하여 이루어지는 것이 바람직하다.
- [0020] 또한, 본 명세서 등에 있어서 「상」이나 「하」란 용어는, 구성 요소의 위치 관계가 「바로 위」 또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들어, 「게이트 절연층 상의 게이트 전극」이란 표현이면, 게이트 절연층과 게이트 전극과의 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0021] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」이란 용어는, 이들의 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, 「전극」은 「배선」의 일부로서 사용되는 경우가 있고, 그의 반대도 또한 마찬가지이다. 또한, 「전극」이나 「배선」이는 용어는, 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0022] 또한, 「소스」나 「드레인」의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 교체될 수 있다. 이로 인해, 본 명세서에 있어서는 「소스」나 「드레인」이라는 용어는 교체하여 사용할 수 있는 것으로 한다.
- [0023] 또한, 본 명세서 등에 있어서, 「전기적으로 접속」이란 표현에는 「어떠한 전기적 작용을 갖는 것」을 통해 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 갖는 것」은 접속 대상 간에서의 전기 신호의 수수를 가능하게 하는 것이면 특별히 제한을 받지 않는다.
- [0024] 예를 들어, 「어떠한 전기적 작용을 갖는 것」에는, 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 캐패시터, 그 밖의 각종 기능을 갖는 소자 등이 포함된다.

### 발명의 효과

- [0025] 산화물 반도체를 사용한 트랜지스터는 오프 전류가 극히 작기 때문에, 이를 사용함으로써 극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나 또는 리프레시 동작의 빈도를 극히 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직함)이더라도 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0026] 또한, 개시하는 발명에 따른 반도체 장치에서는 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나 플로팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제가 되고 있는 재기입 가능 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다는 장점도 있다.
- [0027] 또한, 판독용 트랜지스터에는 산화물 반도체 이외의 재료를 적용한 충분한 고속 동작이 가능한 트랜지스터를 사용하고, 기입용 트랜지스터의 산화물 반도체를 사용한 트랜지스터와 조합함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적절히 실현하는 것이 가능하다.

[0028] 이와 같이, 산화물 반도체 이외의 재료를 사용하여 충분히 고속 동작이 가능한 트랜지스터와, 산화물 반도체를 사용한 트랜지스터(보다 넓은 의미로는 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다.

### 도면의 간단한 설명

[0029] 도 1a 및 도 1b는 반도체 장치의 회로도.  
 도 2a 및 도 2b는 반도체 장치의 회로도.  
 도 3은 타이밍 차트도.  
 도 4는 반도체 장치의 회로도.  
 도 5a 내지 도 5d는 반도체 장치의 회로도.  
 도 6a 및 도 6b는 반도체 장치의 단면도 및 평면도.  
 도 7은 반도체 장치의 제작 공정에 관한 단면도.  
 도 8a 내지 도 8e는 반도체 장치의 제작 공정에 관한 단면도.  
 도 9a 내지 도 9d는 반도체 장치의 제작 공정에 관한 단면도.  
 도 10a 내지 도 10d는 반도체 장치의 제작 공정에 관한 단면도.  
 도 11a 내지 도 11c는 반도체 장치의 제작 공정에 관한 단면도.  
 도 12a 내지 도 12f는 반도체 장치를 이용한 전자 기기를 설명하기 위한 도면.  
 도 13a 및 도 13b는 반도체 장치의 단면도.  
 도 14a 내지 도 14c는 반도체 장치의 제작 공정에 관한 단면도.  
 도 15는 비트선 BL에 있어서의 전위의 시간 변화의 측정 결과.  
 도 16은 메모리 셀의 임계값 윈도우의 측정 결과.  
 도 17은 비트선 BL에 있어서의 전위의 시간 변화의 측정 결과.

### 발명을 실시하기 위한 구체적인 내용

[0030] 본 발명의 실시 형태의 일례에 대하여 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그의 범위로부터 이탈하지 않고 그의 형태 및 상세한 내용을 다양하게 변경할 수 있음은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0031] 또한, 도면 등에 있어서 나타내는 각 구성의 위치, 크기, 범위 등은 이해의 간단함을 위해 실제의 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 이로 인해, 개시하는 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등으로 한정되는 것은 아니다.

[0032] 또한, 본 명세서 등에 있어서의 「제1」, 「제2」, 「제3」 등의 서수사는 구성 요소의 혼동을 피하기 위해 붙이는 것으로서, 수적으로 한정하는 것은 아님을 부기한다.

[0033] (실시 형태 1)

[0034] 본 실시 형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 기본적인 회로 구성 및 그의 동작에 대하여 도 1a 및 도 1b 및 도 2a 및 도 2b를 참조하여 설명한다. 또한, 회로도에 있어서는, 산화물 반도체를 사용한 트랜지스터임을 나타내기 위해 OS의 부호를 아울러 붙이는 경우가 있다.

[0035] <기본 회로 1>

[0036] 처음에, 가장 기본적인 회로 구성 및 그의 동작에 대하여 도 1a 및 도 1b를 참조하여 설명한다. 도 1a에 나타내는 반도체 장치에 있어서, 비트선 BL과 트랜지스터(160)의 소스 전극(또는 드레인 전극)과, 트랜지스터(162)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되고, 소스선 SL과 트랜지스터(160)의 드레인 전극(또는 소

스 전극)은 전기적으로 접속되어 있다. 또한, 기입 워드선 OSG와, 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은 용량 소자(164)의 전극의 한쪽과 전기적으로 접속되고, 기입 및 판독 워드선 C와, 용량 소자(164)의 전극의 다른 쪽은 전기적으로 접속되어 있다. 또한, 트랜지스터(160)의 소스 전극(또는 드레인 전극)과, 트랜지스터(162)의 소스 전극(또는 드레인 전극)을 전기적으로 접속시키지 않고, 각각이 다른 배선과 전기적으로 접속하는 구성으로 할 수도 있다.

[0037] 여기서, 트랜지스터(162)에는, 예를 들어 산화물 반도체를 사용한 트랜지스터가 적용된다. 산화물 반도체를 사용한 트랜지스터는 오프 전류가 극히 작다는 특징을 갖고 있다. 이로 인해, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 극히 장시간에 걸쳐 유지하는 것이 가능하다. 그리고, 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하의 유지가 용이해지고, 또한 유지된 정보의 판독이 용이해진다.

[0038] 또한, 트랜지스터(160)의 반도체 재료에 대해서는 특별히 한정되지 않는다. 정보의 판독 속도를 향상시키는 측면에서는, 예를 들어 단결정 실리콘을 사용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다. 단, 트랜지스터(160)로서는 p 채널형의 트랜지스터를 사용하는 것으로 한다.

[0039] 도 1a에 도시한 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위가 유지 가능하다는 특징을 살림으로써, 다음과 같이 정보의 기입, 유지, 판독이 가능하다.

[0040] 처음에, 정보의 기입 및 유지에 대하여 설명한다. 우선, 기입 워드선 OSG의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하여, 트랜지스터(162)를 온 상태로 한다. 이에 따라, 비트선 BL의 전위가, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과, 트랜지스터(160)의 게이트 전극과, 용량 소자(164)의 한쪽 전극이 전기적으로 접속된 노드(노드 FG라고도 표기함)에 부여된다. 즉, 노드 FG에는 소정의 전하가 부여된다(기입). 여기에서는 상이한 2개의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하  $Q_L$ , 고전위를 부여하는 전하를 전하  $Q_H$ 라 함) 중 어느 하나가 부여되는 것으로 한다. 또한, 상이한 3개 또는 그 이상의 전위를 부여하는 전하를 적용하여 기억 용량을 향상시킬 수 있다. 그 후, 기입 워드선 OSG의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG에 부여된 전하가 유지된다(유지).

[0041] 트랜지스터(162)의 오프 전류는 극히 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

[0042] 이어서, 정보의 판독에 대하여 설명한다. 소스선 SL에 소정의 전위(정전위)를 부여한 상태에서, 기입 및 판독 워드선 C에 적절한 전위(판독 전위)를 부여하면, 노드 FG에 유지된 전하량에 따라 비트선 BL은 상이한 전위를 취한다. 즉, 트랜지스터(160)의 컨덕턴스는 트랜지스터(160)의 게이트 전극(노드 FG라고도 할 수 있음)에 유지되는 전하에 의해 제어된다.

[0043] 일반적으로, 트랜지스터(160)를 p 채널형으로 하면, 트랜지스터(160)의 게이트 전극에  $Q_H$ 가 부여되어 있는 경우의 걸보기 임계값  $V_{th-H}$ 은 트랜지스터(160)의 게이트 전극에  $Q_L$ 이 부여되어 있는 경우의 걸보기 임계값  $V_{th-L}$ 보다 낮아진다. 예를 들어, 기입에 있어서  $Q_L$ 이 부여된 경우에는, 기입 및 판독 워드선 C의 전위가  $V_0(V_{th-H}$ 와  $V_{th-L}$ 의 중간 전위)이 되면, 트랜지스터(160)는 「온 상태」가 된다.  $Q_H$ 가 부여된 경우에는, 기입 및 판독 워드선 C의 전위가  $V_0$ 이 되더라도 트랜지스터(160)는 「오프 상태」인 채이다. 이로 인해, 비트선 BL의 전위를 판별함으로써, 유지되어 있는 정보를 판독할 수 있다.

[0044] 이어서, 정보의 재기입에 대하여 설명한다. 정보의 재기입은 상기 정보의 기입 및 유지와 마찬가지로 행해진다. 즉, 기입 워드선 OSG의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이에 따라, 비트선 BL의 전위(새로운 정보에 따른 전위)가 노드 FG에 부여된다. 그 후, 기입 워드선 OSG를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG는 새로운 정보에 따른 전하가 부여된 상태가 된다.

[0045] 이와 같이, 개시하는 발명에 따른 반도체 장치는, 재차의 정보의 기입에 의해 직접적으로 정보를 재기입하는 것이 가능하다. 이로 인해 플래시 메모리 등에 있어서 필요하게 되는 고전압을 이용한 플로팅 게이트로부터의 전하의 추출이 불필요하여, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

- [0046] 이하에, 일례로서, 노드 FG에 전원 전위 VDD 또는 접지 전위 GND 중 어느 하나를 부여한 경우의 기입, 유지, 판독의 방법에 대하여 구체적으로 설명한다. 이하에서는 노드 FG에 전원 전위 VDD를 부여한 경우에 유지되는 데이터를 데이터 "1", 노드 FG에 접지 전위 GND를 부여한 경우에 유지되는 데이터를 데이터 "0"으로 한다. 또한, 노드 FG에 부여하는 전위의 관계는 여기에 한정되는 것은 아니다.
- [0047] 정보를 기입하는 경우(기입 기간)에는, 소스선 SL을 GND로 하고, 기입 및 판독 워드선 C를 GND로 하고, 기입 워드선 OSG를 VDD로 하여, 트랜지스터(162)를 온 상태로 한다. 그리고, 노드 FG에 데이터 "0"을 기입하는 경우에는 비트선 BL에는 GND를 부여한다. 또한, 노드 FG에 데이터 "1"을 기입하는 경우에는, 트랜지스터(162)의 임계값 전압( $V_{th-OS}$ )만큼 전압 강하하지 않도록, 비트선 BL의 전위를 VDD로 하고, 기입 워드선 OSG의 전위를  $VDD+V_{th-OS}$ 로 하는 것이 바람직하다.
- [0048] 정보를 유지하는 경우(유지 기간) 또는 메모리 셀을 스텐바이 상태로 하는 경우(스텐바이 기간)에는 기입 워드선 OSG를 GND로 하여 트랜지스터(162)를 오프 상태로 한다. 또한, 트랜지스터(162)의 드레인과 소스 간의 전압(이하,  $V_{ds-OS}$ 로 함)을 저감하기 위해 기입 및 판독 워드선 C를 GND로 한다. 또한, 기입 및 판독 워드선 C를 GND로 함으로써, p 채널형 트랜지스터인 트랜지스터(160)를 통해 비트선 BL과 소스선 SL에 전류가 발생할 수 있다. 따라서, 비트선 BL과 소스선 SL을 동일 전위로 함으로써, 트랜지스터(160)의 드레인과 소스 간의 전압(이하,  $V_{ds-p}$ 로 함)을 0V로 하여 비트선 BL과 소스선 SL 간의 전류를 억제한다.
- [0049] 또한, 상기에 있어서, 「동일 전위」에는 「대략 동일 전위」도 포함되는 것으로 한다. 즉, 상기에 있어서는, 비트선 BL과 소스선 SL 사이의 전압을 충분히 저감하여, 비트선과 소스선 SL 사이에 발생하는 전류를 억제하는 것을 목적으로 하고 있기 때문에, 소스선 SL의 전위를 GND 등으로 고정한 경우와 비교하여 소비 전력을 충분히(예를 들어, 100분의 1 이하로) 저감할 수 있는 전위 등, 「대략 동일 전위」로 한 전위가 포함되는 것이다. 또한, 예를 들어 배선 저항 등에 기인하는 전위 편차 정도의 차이는 충분히 허용된다.
- [0050] 또한, 트랜지스터(162)에의 전압 스트레스를 억제하기 위해서는, 유지 기간 및 스텐바이 기간에 있어서 비트선 BL 및 소스선 SL을 GND로 하는 것이 보다 바람직하다.
- [0051] 유지 기간 및 스텐바이 기간에 있어서, 기입 및 판독 워드선 C를 GND로 함으로써,  $V_{ds-OS}$ 를 저감할 수 있다. 예를 들어, 기입 기간에 있어서, 노드 FG에 데이터 "1"(즉 VDD)을 기입하고, 유지 기간에 있어서 기입 및 판독 워드선 C를 VDD로 했을 경우에는, 노드 FG는 용량 결합에 의해 VDD 증가하여 2 VDD가 된다. 이 경우에 있어서, 비트선 BL이 GND이면,  $V_{ds-OS}$ 는 2 VDD(=2 VDD-GND)가 된다. 한편, 동일한 조건으로 유지 기간에 있어서 기입 및 판독 워드선 C를 GND로 했을 경우에는, 노드 FG는 VDD가 되고, 비트선 BL이 GND이면,  $V_{ds-OS}$ 는 VDD(=VDD-GND)가 되기 때문에, 기입 및 판독 워드선 C를 VDD로 한 경우보다  $V_{ds-OS}$ 를 저감할 수 있다.  $V_{ds-OS}$ 를 저감함으로써, 트랜지스터(162)의 오프 전류를 더욱 저감시킬 수 있기 때문에, 메모리 셀의 유지 특성을 보다 향상시키는 것이 가능해진다.
- [0052] 정보를 판독하는 경우(판독 기간)에는, 기입 워드선 OSG를 GND로 하고, 기입 및 판독 워드선 C를 GND로 하고, 소스선 SL을 VDD 혹은 VDD보다 어느 정도 낮은 전위(이하 VR이라 표기함)로 한다. 여기서, 노드 FG에 데이터 "1"이 기입되어 있는 경우에는, p 채널형 트랜지스터인 트랜지스터(160)는 오프 상태가 되고, 비트선 BL의 전위는 판독 개시시의 전위가 유지되거나 또는 하강한다. 또한, 비트선 BL의 전위의 유지 또는 하강은 비트선 BL에 접속되는 판독 회로에 의존한다. 또한, 노드 FG에 데이터 "0"이 기입되어 있는 경우에는, 트랜지스터(160)가 온 상태가 되고, 비트선 BL의 전위는 소스선 SL의 전위와 동일 전위의 VDD 혹은 VR이 된다. 따라서, 비트선 BL의 전위를 판별함으로써, 노드 FG에 유지된 데이터 "1" 또는 데이터 "0"을 판독할 수 있다.
- [0053] 또한, 노드 FG에 전위 VDD가 유지되어 있는(즉, 데이터 "1"이 기입되어 있음) 경우, 판독시에 소스선 SL의 전위를 VDD로 하면, 트랜지스터(160)의 게이트와 소스 간의 전압(이하,  $V_{gs-p}$ 라 표기함)은 0V(=VDD-VDD)가 되고,  $V_{gs-p}$ 가 트랜지스터(160)의 임계값 전압(이하,  $V_{th-p}$ 로 함)보다 커지기 때문에, p 채널형 트랜지스터인 트랜지스터(160)는 오프 상태가 된다. 여기서, 노드 FG에 기입된 전위가 VDD에 미치지 못한 등에서, 노드 FG에 유지된 전위가 VDD보다 작은 경우라도, 노드 FG의 전위가  $VDD-|V_{th-p}|$  이상이면,  $V_{gs-p}=(VDD-|V_{th-p}|)-VDD=-|V_{th-p}|=V_{th-p}$ 가 되어 트랜지스터(160)가 오프 상태가 되기 때문에, 정상적으로 데이터 "1"을 판독할 수 있다. 그러나, 노드 FG의 전위가  $VDD-|V_{th-p}|$ 보다 작은 경우에는,  $V_{gs-p}$ 가  $V_{th-p}$ 보다 작아지기 때문에, 트랜지스터(160)는 온 상태가

되어, 데이터 "1"이 아닌 데이터 "0"이 판독되어 오판독이 된다. 즉, 데이터 "1"을 기입한 경우, 판독이 가능한 전위의 하한값은 소스선 SL의 전위 VDD보다  $|V_{th_p}|$ 만큼 낮은  $VDD - |V_{th_p}|$ 가 된다. 한편, 판독시에 소스선 SL의 전위를 VR로 하면, 상술한 바와 같이 데이터 "1"의 판독이 가능한 전위의 하한값은 소스선 SL의 전위 VR보다  $|V_{th_p}|$ 만큼 낮은  $VR - |V_{th_p}|$ 가 된다. 여기서, VR은 VDD보다 낮은 전위이기 때문에,  $VR - |V_{th_p}|$ 는  $VDD - |V_{th_p}|$ 보다 작아진다. 즉, 소스선 SL의 전위를 VR로 하는 편이, 판독이 가능한 전위의 하한값은 낮아진다. 따라서, 소스선 SL의 전위는 VDD로 하기보다 VR로 하는 편이 데이터 "1"의 판독이 가능한 전위의 폭을 넓게 할 수 있기 때문에 바람직하다. 또한, 상한값에 대해서는, 소스선 SL의 전위를 VR로 한 경우, 노드 FG에 VDD가 기입되어 있는 경우의  $V_{gs_p}$ 는  $VDD - VR > V_{th_p}$  ( $\because VDD > VR$ )가 되어 문제없이 트랜지스터(160)를 오프 상태로 할 수 있다.

[0054] 여기서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과, 트랜지스터(160)의 게이트 전극과, 용량 소자(164)의 한쪽 전극이 전기적으로 접속된 노드(노드 FG)는 불휘발성 메모리 소자로서 사용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 발휘한다. 트랜지스터(162)가 오프인 경우, 당해 노드 FG는 절연체 내에 매설되었다고 볼 수 있고, 노드 FG에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는 실리콘 반도체 등으로 형성되는 트랜지스터의 10만분의 1 이하이기 때문에, 트랜지스터(162)의 누설에 의한, 노드 FG에 축적된 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의해, 전력의 공급이 없어도 정보의 유지가 가능한 불휘발성의 기억 장치를 실현하는 것이 가능하다.

[0055] 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10zA(1zA(zeptoampere)는  $1 \times 10^{-21}$  A) 이하이고, 용량 소자(164)의 용량값이 10fF 정도인 경우에는 적어도 10초 이상의 데이터 유지가 가능하다. 또한, 당해 유지 시간이 트랜지스터 특성이나 용량값에 따라 변동하는 것은 말할 필요도 없다.

[0056] 또한, 개시하는 발명의 반도체 장치에 있어서는, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적되고 있는 게이트 절연막(터널 절연막)의 열화라는 문제가 존재하지 않는다. 즉, 종래에 문제가 되었던, 전자를 플로팅 게이트에 주입할 때의 게이트 절연막의 열화라는 문제를 해소할 수 있다. 이것은 원리적인 기입 횟수의 제한이 존재하지 않음을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기입이나 소거시에 필요하던 고전압도 불필요하다.

[0057] 도 1a에 도시한 반도체 장치는, 당해 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 및 용량을 포함하는 것으로서, 도 1b와 같이 생각하는 것이 가능하다. 즉, 도 1b에서는 트랜지스터(160) 및 용량 소자(164)가 각각 저항 및 용량을 포함하여 구성된다고 생각하게 된다. R1 및 C1은 각각 용량 소자(164)의 저항값 및 용량값이며, 저항값 R1은 용량 소자(164)를 구성하는 절연층에 의한 저항값에 상당한다. 또한, R2 및 C2는 각각 트랜지스터(160)의 저항값 및 용량값이며, 저항값 R2는 트랜지스터(160)가 온 상태일 때의 게이트 절연층에 의한 저항값에 상당하고, 용량값 C2는 소위 게이트 용량(게이트 전극과, 소스 전극 또는 드레인 전극과의 사이에 형성되는 용량, 및 게이트 전극과 채널 형성 영역과의 사이에 형성되는 용량)의 용량값에 상당한다.

[0058] 트랜지스터(162)가 오프 상태에 있는 경우의 소스 전극과 드레인 전극 사이의 저항값(실효 저항이라고도 칭함)을 ROS로 하면, 트랜지스터(162)의 게이트 누설 전류가 충분히 작은 조건에 있어서, R1 및 R2가  $R1 \geq ROS$ ,  $R2 \geq ROS$ 를 만족시키는 경우에는, 전하의 유지 기간(정보의 유지 기간이라 할 수도 있음)은 주로 트랜지스터(162)의 오프 전류에 의해 결정되게 된다.

[0059] 반대로, 당해 조건을 만족시키지 않는 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작더라도 유지 기간을 충분히 확보하는 것이 곤란해진다. 트랜지스터(162)의 오프 전류 이외의 누설 전류(예를 들어, 소스 전극과 게이트 전극 사이에 있어서 발생하는 누설 전류 등)가 크기 때문이다. 이 점에서, 본 실시 형태에 있어서 개시하는 반도체 장치는  $R1 \geq ROS$  및  $R2 \geq ROS$ 의 관계를 만족시키는 것인 것이 바람직하다고 할 수 있다.

[0060] 한편, C1과 C2는  $C1 \geq C2$ 의 관계를 만족시키는 것이 바람직하다. C1을 크게 함으로써, 기입 및 판독 워드선 C에 의해 노드 FG의 전위를 제어할 때에 기입 및 판독 워드선 C의 전위를 효율적으로 노드 FG에 부여할 수 있게 되고, 기입 및 판독 워드선 C에 부여하는 전위 간(예를 들어, 판독의 전위와 비판독의 전위)의 전위차를 낮게 억제할 수 있기 때문이다.

[0061] 이와 같이, 상술한 관계를 만족시킴으로써, 보다 적합한 반도체 장치를 실현하는 것이 가능하다. 또한, R1 및 R2는 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의해 제어된다. C1 및 C2에 대해서도

마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하여 상술한 관계를 만족시키도록 하는 것이 바람직하다.

- [0062] 본 실시 형태에서 나타내는 반도체 장치에 있어서는, 노드 FG가 플래시 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 하지만, 본 실시 형태의 노드 FG는 플래시 메모리 등의 플로팅 게이트와 본질적으로 상이한 특징을 갖고 있다.
- [0063] 플래시 메모리에서는 컨트롤 게이트에 인가되는 전위가 높기 때문에, 그의 전위가, 인접하는 셀의 플로팅 게이트에 영향을 주지 않도록 셀과 셀과의 간격을 어느 정도 유지할 필요가 발생한다. 이것은 반도체 장치의 고집적화를 저해하는 요인의 하나이다. 그리고, 당해 요인은 고전계를 걸어 터널 전류를 발생시키는 플래시 메모리의 근본적인 원리에 기인하는 것이다.
- [0064] 한편, 본 실시 형태에 따른 반도체 장치는, 산화물 반도체를 사용한 트랜지스터의 스위칭에 의해 동작하고, 상술한 바와 같은 터널 전류에 의한 전하 주입의 원리를 이용하지 않는다. 즉, 플래시 메모리와 같은, 전하를 주입하기 위한 고전계가 불필요하다. 이에 따라, 인접 셀에 대한, 컨트롤 게이트에 의한 고전계의 영향을 고려할 필요가 없기 때문에, 고집적화가 용이해진다.
- [0065] 또한, 고전계가 불필요하고, 대형의 주변 회로(승압 회로 등)가 불필요한 점도 플래시 메모리에 대한 우위점이다. 예를 들어, 본 실시 형태에 따른 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대의 것과 최소의 것의 차이)의 최대값은 2 단계(1 비트)의 정보를 기입하는 경우, 하나의 메모리 셀에 있어서 5V 이하, 바람직하게는 3V 이하로 할 수 있다.
- [0066] 또한, 용량 소자(164)를 구성하는 절연층의 비유전율  $\epsilon r1$ 과, 트랜지스터(160)를 구성하는 절연층의 비유전율  $\epsilon r2$ 를 상이하게 하는 경우에는, 용량 소자(164)를 구성하는 절연층의 면적  $S1$ 과, 트랜지스터(160)에 있어서 게이트 용량을 구성하는 절연층의 면적  $S2$ 가  $2 \cdot S2 \geq S1$ (바람직하게는  $S2 \geq S1$ )을 만족시키면서  $C1 \geq C2$ 를 실현하는 것이 용이하다. 즉, 용량 소자(164)를 구성하는 절연층의 면적을 작게 하면서  $C1 \geq C2$ 를 실현하는 것이 용이하다. 구체적으로는, 예를 들어 용량 소자(164)를 구성하는 절연층에 있어서는, 산화하프늄 등의 high-k 재료로 이루어지는 막, 또는 산화하프늄 등의 high-k 재료로 이루어지는 막과 산화물 반도체로 이루어지는 막과의 적층 구조를 채용하여  $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 하고, 트랜지스터(160)의 게이트 용량을 구성하는 절연층에 있어서는 산화실리콘을 채용하여  $\epsilon r2=3$  내지 4로 할 수 있다.
- [0067] 이와 같은 구성을 아울러 이용함으로써, 개시하는 발명에 따른 반도체 장치의 보다 한층의 고집적화가 가능하다.
- [0068] <기본 회로 2>
- [0069] 도 2a 및 도 2b는 도 1a에 도시한 메모리 셀을 2행×2열의 매트릭스 형상으로 배치한 메모리 셀 어레이의 회로도이다. 도 2a 및 도 2b에 있어서의 메모리 셀(170)의 구성은 도 1a와 마찬가지이다. 단, 도 2a에 있어서는, 소스선 SL이 2열인 메모리 셀에 있어서 공통화된 구조를 갖고 있다. 또한, 도 2b에 있어서는 소스선 SL이 2행인 메모리 셀에 있어서 공통화된 구조를 갖고 있다.
- [0070] 도 2a 및 도 2b에 도시한 바와 같이, 소스선 SL을 2열 혹은 2행으로 공통화된 구조로 함으로써, 메모리 셀(170)에 접속하는 신호선의 개수를 공통화하지 않는 경우의 4개로부터 3.5개(3개+1/2개)로 삭감할 수 있다.
- [0071] 또한, 소스선 SL을 공통화시키는 열수(또는 행수)는 2열(2행)로 한정되는 것은 아니며, 3열(또는 3행) 이상의 복수열(또는 복수행)의 메모리 셀에 있어서 공통된 구조로 할 수 있다. 공통화시키는 소스선 SL의 열수(또는 행수)는 공통화에 의한 기생 저항 및 기생 용량을 고려하여 적합한 값을 적절히 선택하면 좋다. 또한, 공통화시키는 열수(또는 행수)가 많을수록 메모리 셀(170)에 접속되는 신호선의 개수를 삭감할 수 있기 때문에 바람직하다.
- [0072] 도 2a 및 도 2b에 있어서, 소스선 SL은 소스선 전환 회로(194)와 접속되어 있다. 여기서, 소스선 전환 회로(194)는 소스선 SL 이외에, 소스선 전환 신호선 SLC와 접속되어 있다.
- [0073] 도 2a 및 도 2b에 도시한 반도체 장치에 있어서, 데이터의 기입, 유지 및 판독은 도 1a 및 도 1b의 경우와 마찬가지이며, 상술한 기재를 참작할 수 있다. 또한, 예를 들어 노드 FG에 전원 전위 VDD 또는 접지 전위 GND 중 어느 하나를 부여하는 경우로서, 노드 FG에 전원 전위 VDD를 부여한 경우에 유지되는 데이터를 데이터 "1", 노드 FG에 접지 전위 GND를 부여한 경우에 유지되는 데이터를 데이터 "0"으로 하는 경우에 있어서, 구체적인 기입의 동작은 다음과 같다. 우선, 메모리 셀(170)에 접속되는 기입 및 판독 워드선 C의 전위를 GND로 하고, 기입

워드선 OSG를 VDD로 하여 메모리 셀(170)을 선택한다. 이에 따라, 비트선 BL의 전위가, 선택된 메모리 셀(170)의 노드 FG에 공급된다.

- [0074] 여기서, 노드 FG에 접지 전위 GND가 부여되는 경우(즉, 데이터 "0"이 유지되는 경우)에는, p 채널형 트랜지스터인 트랜지스터(160)의 게이트 전극에 온 상태가 되는 전위가 부여되게 된다. 그 경우에 있어서, 비트선 BL과 소스선 SL에 전류가 발생하여 노드 FG에 기입하는 전위가 상승하는 것을 억제하기 위해, 소스선 SL의 전위를 접지 전위 GND로 할 필요가 있다.
- [0075] 따라서, 소스선 전환 신호선 SLC의 신호에 의해 소스선 전환 회로(194)의 신호 경로를 전환함으로써, 소스선 SL에 접지 전위 GND를 공급한다.
- [0076] 당해 동작의 특징은, 기입 기간에 있어서, 소스선 SL의 전위를 접지 전위 GND로 하는 점에 있다. 이에 따라, 노드 FG에 트랜지스터(160)가 온 상태가 되는 전위가 부여되는 경우에도, 비트선 BL과 소스선 SL에 전류가 발생하는 것을 억제할 수 있다.
- [0077] 또한, 도 2a 및 도 2b에 도시한 바와 같이, 메모리 셀(170)을 어레이 형상으로 배치하여 사용하는 경우에는, 판독 기간에 원하는 메모리 셀(170)의 정보만을 판독할 수 있는 것이 필요하게 된다. 이와 같이, 소정의 메모리 셀(170)의 정보를 판독하고, 그 이외의 메모리 셀(170)의 정보를 판독하지 않기 위해서는, 판독하지 않는 메모리 셀(170)을 비선택 상태로 할 필요가 있다.
- [0078] 예를 들어, 기본 회로(1)에서 도시한 바와 같이, 노드 FG에 전원 전위 VDD 또는 접지 전위 GND 중 어느 하나를 부여하는 경우로서, 노드 FG에 전원 전위 VDD를 부여한 경우에 유지되는 데이터를 데이터 "1", 노드 FG에 접지 전위 GND를 부여한 경우에 유지되는 데이터를 데이터 "0"으로 하는 경우에 있어서는, 소스선 SL을 GND로 하고, 기입 및 판독 워드선 C를 VDD로 하고, 기입 워드선 OSG를 GND로 함으로써 메모리 셀(170)을 비선택 상태로 할 수 있다.
- [0079] 기입 및 판독 워드선 C를 VDD로 함으로써, 노드 FG의 전위는 용량 소자(164)와의 용량 결합에 의해 VDD 만큼 상승한다. 데이터 "1"인 VDD가 노드 FG에 기입되어 있는 경우에는, VDD 만큼 상승하여  $VDD+VDD=2 \text{ VDD}$ 가 되고,  $V_{gs-p}$ 가  $V_{th-p}$ 보다 커지기 때문에, p 채널형 트랜지스터인 트랜지스터(160)는 오프 상태가 된다. 한편, 데이터 "0"인 GND가 노드 FG에 기입되어 있는 경우에는, VDD 만큼 상승하여  $GND+VDD=VDD$ 가 되고,  $V_{gs-p}$ 가  $V_{th-p}$ 보다 커지기 때문에, p 채널형 트랜지스터인 트랜지스터(160)는 오프 상태가 된다. 즉, 기입 및 판독 워드선 C를 VDD로 함으로써, 노드 FG에 유지된 데이터에 의하지 않고, 트랜지스터(160)를 오프 상태, 즉 메모리 셀(170)을 비선택 상태로 할 수 있다.
- [0080] 또한, 가령 판독용의 트랜지스터(160)에 n 채널형 트랜지스터를 사용한다고 하면, 기입 및 판독 워드선 C를 0V로 하더라도, n 채널형 트랜지스터의 게이트 전극의 전위가 상기 트랜지스터의 임계값보다 높아진 경우에, 모든 메모리 셀을 오프 상태로 할 수 있다고는 할 수 없다. 따라서, 메모리 셀을 비선택 상태로 하기 위해 비선택행의 기입 및 판독 워드선 C에 부전위를 공급할 필요가 있다. 그러나, 본 실시 형태에 나타내는 반도체 장치에서는 판독용 트랜지스터에 p 채널형 트랜지스터를 사용하고 있기 때문에, 비선택행의 기입 및 판독 워드선 C를 정전위로 함으로써 메모리 셀을 오프 상태로 하는 것이 가능하다. 따라서, 메모리 셀에 있어서 부전위를 생성하는 회로를 설치하는 필요가 없어지기 때문에, 소비 전력을 삭감하면서 반도체 장치를 소형화할 수 있다.
- [0081] 또한, 상술한 바와 같이 본 실시 형태에 나타내는 반도체 장치에서는, 유지 기간 및 스텔바이 기간에 있어서, 기입 및 판독 워드선 C를 GND로 하고, 또한 비트선 BL과 소스선 SL을 동일 전위, 바람직하게는 함께 GND로 한다. 기입 및 판독 워드선 C를 GND로 함으로써, 당해 기입 및 판독 워드선 C에 접속된 모든 메모리 셀이 선택 상태가 되지만, 비트선 BL과 소스선 SL이 동일 전위이기 때문에,  $V_{ds-p}$ 는 0V가 되어, 비트선 BL과 소스선 SL 간의 전류를 억제할 수 있다. 이와 같이 유지 기간에 있어서, 기입 및 판독 워드선 C를 GND로 함으로써,  $V_{ds-os}$ 를 저감하고, 트랜지스터(162)의 오프 전류를 더욱 저감시킬 수 있기 때문에, 메모리 셀의 유지 특성을 보다 향상시키는 것이 가능해진다.
- [0082] 도 3에, 도 2a 및 도 2b에 따른 반도체 장치의 기입, 유지 및 판독 동작에 따른 타이밍 차트의 예를 나타낸다. 타이밍 차트 중의 OSG, C 등의 명칭은 타이밍 차트에 도시한 전위가 부여되는 배선을 나타내고 있고, 유사한 기능을 갖는 배선이 복수 있는 경우에는 배선의 명칭 말미에  $\_1$ ,  $\_m$ ,  $\_n$  등을 붙임으로써 구별하고 있다. 또한, 개시하는 발명은 이하에 나타내는 배열로 한정되지 않는다.
- [0083] 도 3은  $(m \times n)$ 개(단, m 및 n은 각각 2 이상의 정수)의 메모리 셀을 갖고, 1행 1열째의 메모리 셀에 데이터 "1",

1행 n열째의 메모리 셀에 데이터 "0", m행 1열의 메모리 셀에 데이터 "0", m행 n열째의 메모리 셀에 데이터 "1"을 각각 기입하고, 유지 기간을 거쳐, 기입된 전체 데이터를 판독하는 경우의 각 배선 간의 전위의 관계를 나타내는 것이다.

- [0084] 스탠바이 기간에 있어서, 기입 워드선 OSG를 GND로 하고, 기입 및 판독 워드선 C를 GND로 한다. 또한, 모든 비트선 BL과 소스선 SL을 동일 전위로 한다. 도 3에 있어서는 비트선 BL 및 소스선 SL을 GND로 한다.
- [0085] 기입 기간에 있어서, 우선 선택행의 기입 워드선 OSG를 전원 전위 VDD보다 높은 전위(고전위: VH)로 하고, 기입 및 판독 워드선 C를 GND로 하고, 비선택행의 기입 워드선 OSG를 GND로 하고, 기입 및 판독 워드선 C를 VDD로 함으로써, 기입하는 행을 선택한다.
- [0086] 또한, 메모리 셀(170)의 노드 FG에 기입하는 전위를, 트랜지스터(162)의 임계값 전압( $V_{th-OS}$ )만큼 강하시키지 않도록 하기 위해서는, 기입 워드선 OSG의 전위를 비트선 BL의 전위+ $V_{th-OS}$ 보다 높게 할 필요가 있다. 따라서, 예를 들어 노드 FG에 VDD를 기입하는(즉 데이터 "1"을 기입하는) 경우에는, VH를  $VDD+V_{th-OS}$  이상으로 한다. 단, 노드 FG에 기입되는 전위가  $V_{th-OS}$ 만큼 강하하더라도 문제가 없는 경우에는, 선택행의 기입 워드선 OSG의 전위를 VDD로 할 수도 있다.
- [0087] 계속해서, 기입행 선택의 타이밍보다 늦춰서 비트선 BL로부터 메모리 셀에 데이터를 입력한다. 예를 들어, 데이터 "1"을 기입하는 경우이면, 비트선 BL에 VDD를 공급하고, 데이터 "0"을 기입하는 경우이면, 비트선 BL에 GND를 입력한다.
- [0088] 본 실시 형태에서 나타내는 반도체 장치는, 유지 기간 및 스탠바이 기간에 있어서, 메모리 셀에 접속된 기입 및 판독 워드선 C가 모두 선택 상태의 GND이므로, 비트선 BL로부터 메모리 셀에의 데이터 입력이 기입행 선택의 타이밍보다 빠른 타이밍으로 행해진 경우, 트랜지스터(160)를 통해 비트선 BL과 소스선 SL 간에 전류가 흐르는 경우가 있다. 예를 들어, 노드 FG에 데이터 "0"이 유지된 메모리 셀에, 데이터 "1"을 덮어쓰는 경우, 유지 기간에 있어서 기입 및 판독 워드선 C는 GND이기 때문에, 노드 FG는 GND가 된다. 여기서, 기입행 선택보다 빠른 타이밍으로 비트선 BL이 VDD가 되면,  $V_{gs-p}$ 는  $-VDD$ 가 되기 때문에, p 채널형 트랜지스터인 트랜지스터(160)가 온 상태가 된다. 또한, 소스선 SL은 GND이기 때문에,  $V_{ds-p}$ 는 VDD가 되고, 트랜지스터(160)의 드레인과 소스 간(비트선 BL과 소스선 SL 간)에 전류가 흐르게 된다. 따라서, 비트선 BL로부터 메모리 셀에의 데이터 입력의 타이밍(비트선 BL이 VDD로 상승하는 타이밍)을 기입행 선택의 타이밍(기입 워드선 OSG가 VH로 상승하는 타이밍)보다 늦춤으로써, 비트선 BL과 소스선 SL 간의 전류의 흐름을 억제할 수 있다.
- [0089] 계속해서, 기입 워드선 OSG를 GND로 하고, 기입 워드선 OSG를 GND로 하는 타이밍보다 늦춰 비트선 BL을 GND로 한다. 비트선 BL을 GND로 하는 타이밍이 빠르면, 메모리 셀에의 데이터의 오기입이 발생하는 경우가 있기 때문이다.
- [0090] 마지막으로, 비트선 BL을 GND로 하는 타이밍보다 늦춰서 모든 행의 기입 및 판독 워드선 C를 GND로 하여 모든 메모리 셀을 선택 상태로 한다. 비트선 BL을 GND로 하는 타이밍보다 기입 및 판독 워드선 C를 GND로 하는 타이밍이 빠르면, 상술한 바와 같이 트랜지스터(160)의 드레인과 소스 간에 전류가 흐르는 경우가 있기 때문이다.
- [0091] 또한, 기입 기간에 있어서, 노드 FG에 접지 전위 GND가 부여되는 경우에 있어서, 비트선 BL과 소스선 SL에 전류가 발생하는 것을 억제하기 위해 소스선 SL의 전위를 접지 전위 GND로 한다. 당해 구동은 소스선 전환 신호선 SLC의 신호에 의해 소스선 전환 회로(194)의 신호 경로를 전환함으로써 행해진다.
- [0092] 유지 기간에 있어서는, 모든 배선에 있어서 스탠바이 기간과 동일한 전위로 한다.
- [0093] 판독 기간에 있어서, 우선 선택행의 기입 및 판독 워드선 C를 GND로 하고, 비선택행의 기입 및 판독 워드선 C를 VDD로 함으로써 판독하는 행을 선택한다. 기입 워드선 OSG는 선택 또는 비선택에 상관없이 GND로 한다.
- [0094] 계속해서, 판독행 선택의 타이밍보다 늦춰서 소스선 SL을 VDD 또는 VR로 한다. 상술한 바와 같이, 본 실시 형태에서 나타내는 반도체 장치는, 유지 기간 및 스탠바이 기간에 있어서, 메모리 셀에 접속된 기입 및 판독 워드선 C가 모두 선택 상태의 GND이므로, 소스선 SL의 VDD 또는 VR에의 상승이 판독행 선택의 타이밍보다 빠른 타이밍으로 행해졌을 경우, 트랜지스터(160)를 통해 비트선 BL과 소스선 SL 간에 전류가 흐르는 경우가 있다. 예를 들어, 노드 FG에 데이터 "0"이 유지되어 있는 경우, 유지 기간에 있어서 기입 및 판독 워드선 C는 GND이기 때문

에, 노드 FG는 GND가 된다. 여기서, 판독행 선택보다 빠른 타이밍으로 소스선 SL이 VDD가 되면,  $V_{gs-p}$ 는 -VDD가 되기 때문에, p 채널형 트랜지스터인 트랜지스터(160)가 온 상태가 된다. 또한, 비트선 BL은 GND이기 때문에,  $V_{ds-p}$ 는 VDD가 되고, 트랜지스터(160)의 드레인과 소스 간(비트선 BL과 소스선 SL 간)에 전류가 흐르게 된다. 따라서, 소스선 SL이 VDD 또는 VR로 상승하는 타이밍을 판독행 선택의 타이밍보다 늦춤으로써, 비트선 BL과 소스선 SL 간의 전류의 흐름을 억제할 수 있다.

[0095] 마지막으로, 소스선 SL을 GND로 하는 타이밍보다 늦춰서 기입 및 판독 워드선 C를 GND로 한다. 소스선 SL을 GND로 하는 타이밍보다 기입 및 판독 워드선 C를 GND로 하는 타이밍이 빠르면, 상술한 바와 같이 트랜지스터(160)의 드레인과 소스 간에 전류가 흐르기 때문이다.

[0096] 이상 나타낸 바와 같이, 도 2a 및 도 2b에 도시한 회로 구성의 반도체 장치에서는, 소스선 SL을 복수열(또는 복수행)로 공통화함으로써, 메모리 셀 어레이의 면적의 축소를 도모할 수 있기 때문에, 다이 크기의 축소를 실현할 수 있다. 또한, 다이 크기의 축소에 의해, 반도체 장치 제작 비용을 저감할 수 있거나 또는 수율을 향상시킬 수 있다.

[0097] 또한, 본 실시 형태에서 나타내는 반도체 장치의 구동 방법을 이용함으로써, 스태바이 기간 및 유지 기간에 있어서, 트랜지스터(162)의 드레인과 소스간의 전압을 작게 하는 것이 가능하다. 따라서, 트랜지스터(162)의 누설 전류(오프 전류)를 보다 작감할 수 있기 때문에, 유지 특성의 향상을 도모할 수 있다. 또한, 스태바이 기간 및 유지 기간의 트랜지스터(162)의 드레인과 소스 간의 전압을 작게 함으로써, 트랜지스터(162)의 전압 스트레스를 경감하는 것이 가능해지기 때문에, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0098] <응용예 1>

[0099] 이어서, 도 1a 및 도 1b에 도시한 회로를 응용하는 보다 구체적인 회로 구성에 대하여 도 4 및 도 5a 내지 도 5d를 참조하여 설명한다. 또한, 이하의 설명에 있어서는, 기입용 트랜지스터(트랜지스터(162))에 n 채널형 트랜지스터를 이용하고, 판독용 트랜지스터(트랜지스터(160))에 p 채널형 트랜지스터를 이용하는 경우를 예로 들어 설명한다. 또한, 도 4의 회로도에 있어서, 사선을 갖는 배선은 복수의 신호선을 포함하는 배선이다.

[0100] 도 4는  $(m \times n)$ 개의 메모리 셀(170)을 갖는 반도체 장치의 회로도의 일례이다. 도 4 중의 메모리 셀(170)의 구성은 도 1a와 마찬가지로이다.

[0101] 도 4에 도시한 반도체 장치는 m개(m은 2 이상의 정수)의 기입 워드선 OSG와, m개의 기입 및 판독 워드선 C와, n개(n은 2 이상의 정수)의 비트선 BL과, 소스선 SL과, 메모리 셀(170)이 세로 m개(행)  $\times$  가로 n개(열)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, 승압 회로(180)와, 어드레스 디코더를 포함하는 제1 구동 회로(182)와, 로우 드라이버를 포함하는 제2 구동 회로(192)와, 페이지 버퍼를 포함하는 제3 구동 회로(190)와, 컨트롤러를 포함하는 제4 구동 회로(184)와, 입출력 제어 회로를 포함하는 제5 구동 회로(186)와, 소스선 전환 회로(194)를 갖는다. 또한, 구동 회로의 수는 도 4로 한정되는 것은 아니며, 각 기능을 갖는 구동 회로를 조합하여 사용할 수 있거나 또는 각 구동 회로에 포함되는 기능을 분할하여 사용할 수 있다.

[0102] 도 4에 도시한 반도체 장치에 있어서, 제1 구동 회로(182)는 어드레스 디코더를 포함한다. 어드레스 디코더는 어드레스 선택 신호선 A를 디코딩하고, 디코딩한 어드레스 선택 신호를, 행 선택 신호선 RADR과, 페이지 버퍼 어드레스 선택 신호선 PBADR에 출력하는 회로이다. 어드레스 선택 신호선 A는 메모리 셀(170)의 행 방향의 어드레스 선택 신호와, 페이지 버퍼의 어드레스 선택 신호가 입력되는 단자이며, 메모리 셀(170)의 행수, 열수 또는 페이지 버퍼의 구성에 따라 1개 내지 복수개가 된다. 행 선택 신호선 RADR은 메모리 셀의 행 방향의 어드레스를 지정하는 신호선이다. 페이지 버퍼 어드레스 선택 신호선 PBADR은 페이지 버퍼의 어드레스를 지정하는 신호선이다.

[0103] 제2 구동 회로(192)는 로우 드라이버를 포함한다. 로우 드라이버는 제1 구동 회로(182)에 포함되는 어드레스 디코더로부터 출력되는 행 선택 신호선 RADR로부터의 신호를 바탕으로, 메모리 셀(170)의 행 방향의 선택 신호, 기입 워드선 OSG에의 신호, 기입 및 판독 워드선 C에의 신호를 출력한다.

[0104] 승압 회로(180)는 배선 VH-L에 의해 제2 구동 회로(192)와 접속되고, 승압 회로(180)에 입력되는 일정 전위(예를 들어, 전원 전위 VDD)를 승압하여, 제2 구동 회로(192)에 상기 일정 전위보다 높은 전위(VH)를 출력한다. 메모리 셀(170)의 노드 FG에 기입하는 전위를, 기입용 트랜지스터인 트랜지스터(162)의 임계값 전압( $V_{th-0s}$ )만큼 강하시키지 않도록 하기 위해서는, 기입 워드선 OSG의 전위를 비트선 BL의 전위+ $V_{th-0s}$ 보다 높게 할 필요가

있다. 따라서, 예를 들어 노드 FG에 전원 전위 VDD를 기입하는 경우에는, VH를  $VDD+V_{th_{OS}}$  이상으로 한다. 단, 노드 FG에 기입되는 전위가  $V_{th_{OS}}$ 만큼 강하하더라도 문제가 없는 경우에는, 승압 회로(180)를 설치하지 않아도 된다.

[0105] 제3 구동 회로(190)는 페이지 버퍼를 포함한다. 페이지 버퍼는 데이터 래치와 감지 증폭기의 기능을 갖고 있다. 데이터 래치로서의 기능은, 내부 데이터 입출력 신호선 INTDIO, 혹은 비트선 BL로부터 출력되는 데이터를 일시적으로 보존하고, 그 보존한 데이터를 내부 데이터 입출력 신호선 INTDIO, 혹은 비트선 BL에 출력한다. 감지 증폭기로서의 기능은 판독시에 메모리 셀로부터 출력되는 비트선 BL을 센싱하는 것이다.

[0106] 제4 구동 회로(184)는 컨트롤러를 포함하고, 칩 이네이블 바 신호선 CEB, 라이트 이네이블 바 신호선 WEB 또는 리드 이네이블 바 신호선 REB로부터의 신호에 의해, 제1 구동 회로(182), 제2 구동 회로(192), 제3 구동 회로(190), 제5 구동 회로(186), 소스선 전환 회로(194), 승압 회로(180)를 제어하는 신호를 생성하는 회로이다.

[0107] 칩 이네이블 바 신호선 CEB는 회로 전체의 선택 신호를 출력하는 신호선으로서, 액티브시에만 입력 신호의 입력 접수 및 출력 신호의 출력을 행한다. 또한, 라이트 이네이블 바 신호선 WEB는 제3 구동 회로(190) 내의 페이지 버퍼의 래치 데이터를, 메모리 셀 어레이에 기입을 행하는 것을 허가하는 신호를 출력하는 신호선이다. 또한, 리드 이네이블 바 신호선 REB는 메모리 셀 어레이의 데이터의 판독을 허가하는 신호를 출력하는 신호선이다. 또한, 제4 구동 회로(184)는 승압 회로 제어 신호선 BCC에 의해 승압 회로(180)와 접속되어 있다. 승압 회로 제어 신호선 BCC는 제4 구동 회로(184) 내의 컨트롤러로부터 출력시키는 승압 회로의 제어 신호를 전달하는 배선으로서, 회로 구성에 따라 0개 내지 복수개가 된다. 또한, 제4 구동 회로(184)는 페이지 버퍼 제어 신호선 PBC에 의해 제3 구동 회로(190)와 접속되어 있다. 페이지 버퍼 제어 신호선 PBC는 제4 구동 회로(184) 내의 컨트롤러로부터 출력시키는 페이지 버퍼의 제어 신호를 전달하는 배선으로서, 회로 구성에 따라 0개 내지 복수개가 된다. 또한, 제4 구동 회로(184)는 로우 드라이버 제어 신호선 RDRVC에 의해 제2 구동 회로(192)와 접속되어 있다. 또한, 제4 구동 회로(184)는 소스선 전환 신호선 SLC에 의해 소스선 전환 회로(194)와 접속되어 있다.

[0108] 또한, 제4 구동 회로(184) 내에는 지연 회로를 설치하고, 상기 지연 회로를 페이지 버퍼 제어 신호선 PBC, 로우 드라이버 제어 신호선 RDRVC, 소스선 전환 신호선 SLC와 접속하는 것이 바람직하다. 예를 들어, 지연 회로와 페이지 버퍼 제어 신호선 PBC를 접속하고, 페이지 버퍼 제어 신호선 PBC에 지연 신호를 공급함으로써, 비트선 BL의 전위의 변화를 늦출 수 있다. 또한, 지연 회로와 로우 드라이버 제어 신호선 RDRVC를 접속하고, 로우 드라이버 제어 신호선 RDRVC에 지연 신호를 공급함으로써, 기입 및 판독 워드선 C의 전위의 변화를 늦출 수 있다. 또한, 지연 회로와 소스선 전환 신호선 SLC를 접속하고, 소스선 전환 신호선 SLC에 지연 신호를 공급함으로써, 소스선 SL의 전위의 변화를 늦출 수 있다. 이들에 의해 메모리 셀(170)에의 오기입을 억제할 수 있다.

[0109] 소스선 전환 회로(194)는 제4 구동 회로(184) 내의 컨트롤러로부터의 소스선 전환 신호를 기초로 소스선 SL의 전위를 전환하는 회로이다. 소스선 전환 회로(194)는 소스선 SL의 전위를 전환하는 기능을 갖고 있으면 되고, 멀티플렉서, 인버터 등을 이용할 수 있다. 소스선 전환 신호선 SLC는 제4 구동 회로(184) 내의 컨트롤러로부터 출력되는 소스선 SL의 전위를 전환하는 신호를 전달하는 배선이다. 회로 구성에 따라 신호선 개수는 1개 내지 복수개가 된다.

[0110] 제5 구동 회로(186)는 입출력 제어 회로를 포함한다. 입출력 제어 회로는, 데이터 입출력 신호선 DIO로부터의 입력 신호를 내부 데이터 입출력 신호선 INTDIO에 출력하거나, 내부 데이터 입출력 신호선 INTDIO로부터의 입력 신호를 데이터 입출력 신호선 DIO에 출력하기 위한 회로이다. 데이터 입출력 신호선 DIO 단자는 외부로부터의 데이터가 입력되거나, 외부에 메모리 데이터가 출력되는 단자이다. 회로 구성에 따라 신호선 개수는 1개 내지 복수개가 된다. 내부 데이터 입출력 신호선 INTDIO는 입출력 제어 회로의 출력 신호를 페이지 버퍼에 입력하거나, 페이지 버퍼의 출력 신호를 입출력 제어 회로에 입력하는 신호선이다. 회로 구성에 따라 신호선 개수는 1개 내지 복수개가 된다. 또한, 데이터 입출력 신호선 DIO는 데이터 입력용 신호선과 데이터 출력용 신호선으로 나눌 수 있다.

[0111] 또한, 제4 구동 회로(184) 내에 설치되는 지연 회로로서, 도 5a에 도시한 바와 같은 짝수개의 인버터를 직렬로 접속한 회로를 사용할 수 있다. 또한, 도 5b에 도시한 바와 같이, 직렬로 접속한 짝수개의 인버터에 용량 소자를 부가한 구성이나, 도 5c에 도시한 바와 같이, 직렬로 접속한 짝수개의 인버터에 저항을 부가한 구성으로 할 수 있다. 또한, 도 5d에 도시한 바와 같이, 직렬로 접속한 짝수개의 인버터 회로에, 저항 및 용량 소자를 부가한 구성으로 할 수도 있다. 또한, 지연 회로의 구성은 이들로 한정되는 것은 아니다.

- [0112] 이상과 같이, 도 4에 도시한 회로 구성의 반도체 장치에서는 소스선 SL을 복수열로 공통화함으로써, 메모리 셀 어레이의 면적의 축소를 도모할 수 있기 때문에 다이 크기의 축소를 실현할 수 있다. 또한, 다이 크기의 축소에 의해, 반도체 장치 제작 비용을 저감할 수 있거나 또는 수율을 향상시킬 수 있다.
- [0113] 또한, 개시하는 발명의 반도체 장치에 관한 동작 방법, 동작 전압 등에 대해서는 상술한 구성에 한정되지 않고, 반도체 장치의 동작이 실현되는 형태에 있어서 적절히 변경하는 것이 가능하다.
- [0114] 이상, 본 실시 형태에 나타내는 구성, 방법 등은 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0115] (실시 형태 2)
- [0116] 본 실시 형태에서는 개시하는 발명의 일 형태에 따른 반도체 장치의 구성 및 그의 제작 방법에 대하여 도 6a 내지 도 11c를 참조하여 설명한다.
- [0117] <반도체 장치의 단면 구성 및 평면 구성>
- [0118] 도 6a 및 도 6b는 반도체 장치의 구성의 일례이다. 도 6a에는 반도체 장치의 단면을, 도 6b에는 반도체 장치의 평면을 각각 나타내었다. 여기서, 도 6a는 도 6b의 A1-A2 및 B1-B2에 있어서의 단면에 상당한다. 도 6a 및 도 6b에 도시한 반도체 장치는, 하부에 제1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부에 제2 반도체 재료를 사용한 트랜지스터(162)를 갖는다. 여기서, 제1 반도체 재료와 제2 반도체 재료는 상이한 재료로 하는 것이 바람직하다. 예를 들어, 제1 반도체 재료를 산화물 반도체 이외의 반도체 재료로 하고, 제2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들어 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘 또는 갈륨 비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 이외에, 유기 반도체 재료 등을 사용할 수 있다. 이러한 반도체 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 그의 특성으로 인해 장시간의 전하 유지를 가능하게 한다. 도 6a 및 도 6b에 도시한 반도체 장치는 메모리 셀로서 사용할 수 있다.
- [0119] 또한, 개시하는 발명의 기술적인 본질은, 정보를 유지하기 위해 산화물 반도체와 같은 오프 전류를 충분히 저감하는 것이 가능한 반도체 재료를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에서 나타내는 것으로 한정할 필요는 없다.
- [0120] 도 6a 및 도 6b에 있어서의 트랜지스터(160)는, 반도체 기판(500) 상의 반도체층 중에 설치된 채널 형성 영역(134)과, 채널 형성 영역(134)을 끼우도록 설치된 불순물 영역(132)(소스 영역 및 드레인 영역이라고도 기재함)과, 채널 형성 영역(134) 상에 설치된 게이트 절연층(122a)과, 게이트 절연층(122a) 상에 채널 형성 영역(134)과 중첩하도록 설치된 게이트 전극(128a)을 갖는다. 또한, 도면에 있어서, 명시적으로는 소스 전극이나 드레인 전극을 갖지 않는 경우가 있지만, 편의상 이러한 상태를 포함하여 트랜지스터라 칭하는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해, 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극이라 표현하는 경우가 있다. 즉, 본 명세서에 있어서, 소스 전극이란 기재에는 소스 영역이 포함될 수 있다.
- [0121] 또한, 반도체 기판(500) 상의 반도체층 중에 설치된 불순물 영역(126)에는 도전층(128b)이 접속되어 있다. 여기서, 도전층(128b)은 트랜지스터(160)의 소스 전극이나 드레인 전극으로서도 기능한다. 또한, 불순물 영역(132)과 불순물 영역(126)과의 사이에는 불순물 영역(130)이 설치되어 있다. 또한, 트랜지스터(160)를 덮도록 절연층(136), 절연층(138) 및 절연층(140)이 설치되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 6a 및 도 6b에 도시한 바와 같이 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 중시하는 경우에는, 게이트 전극(128a)의 측면에 사이드 월 절연층을 설치하고, 불순물 농도가 상이한 영역을 포함하는 불순물 영역(132)을 설치할 수 있다.
- [0122] 도 6a 및 도 6b에 있어서의 트랜지스터(162)는, 절연층(140) 등 위에 설치된 산화물 반도체층(144)과, 산화물 반도체층(144)과 전기적으로 접속되어 있는 소스 전극(또는 드레인 전극)(142a) 및 드레인 전극(또는 소스 전극)(142b)과, 산화물 반도체층(144), 소스 전극(142a) 및 드레인 전극(142b)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 상에 산화물 반도체층(144)과 중첩하도록 설치된 게이트 전극(148a)을 갖는다.
- [0123] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거되어, 충분한 산소가 공급됨으로써, 고순도화된 것인 것이 바람직하다. 구체적으로는, 예를 들어 산화물 반도체층(144)의 수소 농도는  $5 \times 10^{19} \text{ atoms/cm}^3$  이

하, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는, 캐리어 농도가  $1 \times 10^{12}$ /cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{11}$ /cm<sup>3</sup> 미만, 보다 바람직하게는  $1.45 \times 10^{10}$ /cm<sup>3</sup> 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는 단위 채널 폭(1μm)당의 값)는 100zA(1zA(zepto암페어)는  $1 \times 10^{-21}$ A) 이하, 바람직하게는 10zA 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 극히 우수한 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다.

[0124] 또한, 산화물 반도체층(144)은 알칼리 금속 및 알칼리 토금속 등의 불순물이 충분히 제거된 것인 것이 바람직하다. 예를 들어, 산화물 반도체층(144)의 나트륨 농도는  $5 \times 10^{16}$  cm<sup>-3</sup> 이하, 바람직하게는  $1 \times 10^{16}$  cm<sup>-3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{15}$  cm<sup>-3</sup> 이하이고, 리튬 농도는  $5 \times 10^{15}$  cm<sup>-3</sup> 이하, 바람직하게는  $1 \times 10^{15}$  cm<sup>-3</sup> 이하이고, 칼륨 농도는  $5 \times 10^{15}$  cm<sup>-3</sup> 이하, 바람직하게는  $1 \times 10^{15}$  cm<sup>-3</sup> 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 나트륨 농도, 리튬 농도 및 칼륨 농도는 각각 2차 이온 질량 분석법(SIMS)으로 측정되는 것이다.

[0125] 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 있어서는 악성의 불순물로서, 적은 편이 좋다. 특히 알칼리 금속 중 Na는, 산화물 반도체층에 접하는 절연층이 산화물이었을 경우, 그 안에 확산되어 Na<sup>+</sup>이 된다. 또한, 산화물 반도체층 내에 있어서 금속과 산소의 결합을 분단하거나 혹은 결합 중에 끼어든다. 그 결과, 트랜지스터 특성의 열화(예를 들어, 노멀리 온화(임계값의 부에의 시프트), 이동도의 저하 등)를 초래한다. 게다가, 특성의 편차의 원인이 되기도 한다. 이러한 문제는 특히 산화물 반도체층 중의 수소의 농도가 충분히 낮은 경우에 있어서 현저해진다. 따라서, 산화물 반도체층 중의 수소의 농도가  $5 \times 10^{19}$  cm<sup>-3</sup> 이하, 특히  $5 \times 10^{18}$  cm<sup>-3</sup> 이하인 경우에는, 알칼리 금속의 농도를 상기의 값으로 하는 것이 강하게 요구된다.

[0126] 또한, 도 6a 및 도 6b의 트랜지스터(162)에서는 미세화에 기인하여 소자 간에 발생하는 누설을 억제하기 위해, 섬 형상으로 가공된 산화물 반도체층(144)을 사용하고 있지만, 섬 형상으로 가공되지 않은 구성을 채용할 수도 있다. 산화물 반도체층을 섬 형상으로 가공하지 않은 경우에는, 가공시의 에칭에 의한 산화물 반도체층(144)의 오염을 방지할 수 있다.

[0127] 도 6a 및 도 6b에 있어서의 용량 소자(164)는, 드레인 전극(142b), 게이트 절연층(146) 및 도전층(148b)으로 구성된다. 즉, 드레인 전극(142b)은 용량 소자(164)의 한쪽의 전극으로서 기능하고, 도전층(148b)은 용량 소자(164)의 다른 쪽 전극으로서 기능하게 된다. 이러한 구성으로 함으로써, 충분한 용량을 확보할 수 있다. 또한, 산화물 반도체층(144)과 게이트 절연층(146)을 적층시키는 경우에는, 드레인 전극(142b)과 도전층(148b)과의 절연성을 충분히 확보할 수 있다. 또한, 용량이 불필요한 경우에는, 용량 소자(164)를 설치하지 않는 구성으로 할 수도 있다.

[0128] 본 실시 형태에서는 트랜지스터(162) 및 용량 소자(164)가 트랜지스터(160)와 적어도 일부가 중첩하도록 설치되어 있다. 이러한 평면 레이아웃을 채용함으로써, 고집적화를 도모할 수 있다. 예를 들어, 최소 가공 치수를 F로 하여, 메모리 셀이 차지하는 면적을  $15F^2$  내지  $25F^2$ 로 하는 것이 가능하다.

[0129] 트랜지스터(162) 및 용량 소자(164) 상에는 절연층(150)이 설치되어 있다. 그리고, 게이트 절연층(146) 및 절연층(150)에 형성된 개구에는 배선(154)이 설치되어 있다. 배선(154)은 메모리 셀 하나와 다른 메모리 셀을 접속하는 배선으로서, 도 2a 및 도 2b의 회로도에 있어서의 비트선 BL에 상당한다. 배선(154)은 소스 전극(142a) 및 도전층(128b)을 통해 불순물 영역(126)에 접속되어 있다. 이에 따라, 트랜지스터(160)에 있어서의 소스 영역 또는 드레인 영역과, 트랜지스터(162)에 있어서의 소스 전극(142a)을 각각 상이한 배선에 접속하는 경우와 비교하여 배선의 수를 삭감할 수 있기 때문에, 반도체 장치의 집적도를 향상시킬 수 있다.

[0130] 또한, 도전층(128b)을 설치함으로써, 불순물 영역(126)과 소스 전극(142a)이 접속하는 위치와, 소스 전극(142a)과 배선(154)이 접속하는 위치를 중첩하여 설치할 수 있다. 이러한 평면 레이아웃을 채용함으로써, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다. 즉, 반도체 장치의 집적도를 높일 수 있다.

[0131] <SOI 기판의 제작 방법>

- [0132] 이어서, 상기 반도체 장치의 제작에 사용되는 SOI 기판의 제작 방법의 일례에 대하여 도 7을 참조하여 설명한다.
- [0133] 우선, 베이스 기판으로서 반도체 기판(500)을 준비한다(도 7의 (a) 참조). 반도체 기판(500)으로서는, 단결정 실리콘 기판, 단결정 게르마늄 기판 등의 반도체 기판을 사용할 수 있다. 또한, 반도체 기판으로서, 태양 전지급 실리콘(SOG-Si: Solar Grade Silicon) 기판 등을 사용할 수 있다. 또한, 다결정 반도체 기판을 사용할 수도 있다. 태양 전지급 실리콘이나 다결정 반도체 기판 등을 사용하는 경우에는, 단결정 실리콘 기판 등을 사용하는 경우와 비교하여 제조 비용을 억제할 수 있다.
- [0134] 또한, 반도체 기판(500) 대신에 알루미늄실리케이트 유리, 알루미늄붕규산 유리, 바륨붕규산 유리와 같은 전자공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판을 들 수 있다. 또한, 질화실리콘과 산화알루미늄을 주성분으로 한 열팽창 계수가 실리콘에 가까운 세라믹 기판을 사용할 수 있다.
- [0135] 반도체 기판(500)은 그의 표면을 미리 세정해 두는 것이 바람직하다. 구체적으로는, 반도체 기판(500)에 대하여 염산 과산화수소수 혼합 용액(HPM), 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 묽은 불산(DHF) 등을 사용하여 세정을 행하는 것이 바람직하다.
- [0136] 이어서, 본드 기판을 준비한다. 여기에서는 본드 기판으로서 단결정 반도체 기판(510)을 사용한다(도 7의 (b) 참조). 또한, 여기에서는 본드 기판으로서 단결정의 것을 사용하지만, 본드 기판의 결정성을 단결정으로 한정할 필요는 없다.
- [0137] 단결정 반도체 기판(510)으로서는, 예를 들어 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘 게르마늄 기판 등, 제14족 원소로 이루어지는 단결정 반도체 기판을 사용할 수 있다. 또한, 갈륨 비소나 인듐 등의 화합물 반도체 기판을 사용할 수도 있다. 시판되는 실리콘 기판으로서는, 직경 5 인치(125mm), 직경 6 인치(150mm), 직경 8 인치(200mm), 직경 12 인치(300mm), 직경 16 인치(400mm) 크기의 원형의 것이 대표적이다. 또한, 단결정 반도체 기판(510)의 형상은 원형으로 한정되지 않고, 예를 들어 직사각형 등으로 가공한 것일 수도 있다. 또한, 단결정 반도체 기판(510)은 CZ(초크랄스키)법이나 FZ(플로팅 존)법을 이용하여 제작할 수 있다.
- [0138] 단결정 반도체 기판(510)의 표면에는 산화막(512)을 형성한다(도 7의 (c) 참조). 또한, 오염물 제거 측면에서, 산화막(512) 형성 전에, 염산 과산화수소수 혼합 용액(HPM), 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 묽은 불산(DHF), FPM(불산, 과산화수소수, 순수의 혼합액) 등을 사용하여 단결정 반도체 기판(510)의 표면을 세정해 두는 것이 바람직하다. 묽은 불산과 오존수를 교대로 토출하여 세정할 수 있다.
- [0139] 산화막(512)은, 예를 들어 산화실리콘막, 산화질화실리콘막 등을 단층으로 또는 적층시켜 형성할 수 있다. 상기 산화막(512)의 제작 방법으로서, 열산화법, CVD법, 스퍼터링법 등이 있다. 또한, CVD법을 이용하여 산화막(512)을 형성하는 경우, 양호한 접합을 실현하기 위해서는, 테트라에톡시실란(약칭; TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) 등의 유기 실란을 사용하여 산화실리콘막을 형성하는 것이 바람직하다.
- [0140] 본 실시 형태에서는 단결정 반도체 기판(510)에 열산화 처리를 행함으로써 산화막(512)(여기에서는  $\text{SiO}_x$  막)을 형성한다. 열산화 처리는 산화성 분위기 중에 할로젠을 첨가하여 행하는 것이 바람직하다.
- [0141] 예를 들어, 염소( $\text{Cl}$ )가 첨가된 산화성 분위기 중에서 단결정 반도체 기판(510)에 열산화 처리를 행함으로써, 염소 산화된 산화막(512)을 형성할 수 있다. 이 경우, 산화막(512)은 염소 원자를 함유하는 막이 된다. 이러한 염소 산화에 의해, 외인성의 불순물인 중금속(예를 들어, Fe, Cr, Ni, Mo 등)을 포집하여 금속의 염화물을 형성하고, 이를 외측으로 제거하여 단결정 반도체 기판(510)의 오염을 저감시킬 수 있다.
- [0142] 또한, 산화막(512)에 함유시키는 할로젠 원자는 염소 원자로 한정되지 않는다. 산화막(512)에는 불소 원자를 함유시킬 수 있다. 단결정 반도체 기판(510) 표면을 불소 산화하는 방법으로서, HF 용액에 침지시킨 후에 산화성 분위기 중에서 열산화 처리를 행하는 방법이나,  $\text{NF}_3$ 을 산화성 분위기에 첨가하여 열산화 처리를 행하는 방법 등이 있다.
- [0143] 이어서, 이온을 전계로 가속시켜 단결정 반도체 기판(510)에 조사하고, 첨가함으로써, 단결정 반도체 기판(510)의 소정의 깊이에 결정 구조가 손상된 취화 영역(514)을 형성한다(도 7의 (d) 참조).
- [0144] 취화 영역(514)이 형성되는 영역의 깊이는 이온의 운동 에너지, 이온의 질량과 전하, 이온의 입사각 등에 의해

조절할 수 있다. 또한, 취화 영역(514)은 이온의 평균 침입 깊이와 거의 동일한 깊이의 영역에 형성된다. 이로 인해, 이온을 첨가하는 깊이로, 단결정 반도체 기판(510)으로부터 분리되는 단결정 반도체층의 두께를 조절할 수 있다. 예를 들어, 단결정 반도체층의 두께가 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하 정도가 되도록 평균 침입 깊이를 조절할 수 있다.

[0145] 당해 이온의 조사 처리는 이온 도핑 장치나 이온 주입 장치를 이용하여 행할 수 있다. 이온 도핑 장치의 대표 예로서는, 프로세스 가스를 플라즈마 여기하여 생성된 모든 이온종을 피처리체에 조사하는 비질량 분리형의 장치가 있다. 당해 장치에서는 플라즈마 중의 이온종을 질량 분리하지 않고 피처리체에 조사하게 된다. 이에 반해, 이온 주입 장치는 질량 분리형의 장치이다. 이온 주입 장치에서는 플라즈마 중의 이온종을 질량 분리하여, 어느 특정 질량의 이온종을 피처리체에 조사한다.

[0146] 본 실시 형태에서는 이온 도핑 장치를 이용하여 수소를 단결정 반도체 기판(510)에 첨가하는 예에 대하여 설명한다. 수소 가스로서는 수소를 포함하는 가스를 사용한다. 조사하는 이온에 대해서는  $H_3^+$ 의 비율을 높게 하면 좋다. 구체적으로는,  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 의 총량에 대하여  $H_3^+$ 의 비율이 50% 이상(보다 바람직하게는 80% 이상)이 되도록 한다.  $H_3^+$ 의 비율을 높임으로써, 이온 조사의 효율을 향상시킬 수 있다.

[0147] 또한, 첨가하는 이온은 수소로 한정되지 않는다. 헬륨 등의 이온을 첨가할 수도 있다. 또한, 첨가하는 이온은 1종류에 한정되지 않고, 복수 종류의 이온을 첨가할 수 있다. 예를 들어, 이온 도핑 장치를 이용하여 수소와 헬륨을 동시에 조사하는 경우에는, 상이한 공정으로 조사하는 경우와 비교하여 공정수를 저감할 수 있음과 함께, 나중의 단결정 반도체층의 표면 거칠음을 억제하는 것이 가능하다.

[0148] 또한, 이온 도핑 장치를 이용하여 취화 영역(514)을 형성하는 경우에는, 중금속도 동시에 첨가될 우려가 있지만, 할로젠 원자를 함유하는 산화막(512)을 통해 이온의 조사를 행함으로써, 이들 중금속에 의한 단결정 반도체 기판(510)의 오염을 방지할 수 있다.

[0149] 이어서, 반도체 기판(500)과 단결정 반도체 기판(510)을 대향시키고, 산화막(512)을 통해 밀착시킨다. 이에 따라, 반도체 기판(500)과 단결정 반도체 기판(510)이 접합된다(도 7의 (e) 참조). 또한, 단결정 반도체 기판(510)과 접합하는 반도체 기판(500)의 표면에 산화막 또는 질화막을 성막할 수 있다.

[0150] 접합 시에는 반도체 기판(500) 또는 단결정 반도체 기판(510)의 1개소에  $0.001N/cm^2$  이상  $100N/cm^2$  이하, 예를 들어  $1N/cm^2$  이상  $20N/cm^2$  이하의 압력을 가하는 것이 바람직하다. 압력을 가하여 접합면을 접근, 밀착시키면, 밀착시킨 부분에 있어서 반도체 기판(500)과 산화막(512)의 접합이 발생하고, 당해 부분을 시점으로 하여 자발적인 접합이 거의 전체면에 미친다. 이 접합에는 반데르발스 힘이나 수소 결합이 작용하고 있어, 상온에서 행할 수 있다.

[0151] 또한, 단결정 반도체 기판(510)과 반도체 기판(500)을 접합하기 전에는 접합에 따른 표면에 대하여 표면 처리를 행하는 것이 바람직하다. 표면 처리를 행함으로써, 단결정 반도체 기판(510)과 반도체 기판(500)과의 계면에서의 접합 강도를 향상시킬 수 있다.

[0152] 표면 처리로서는, 웨트 처리, 드라이 처리, 또는 웨트 처리와 드라이 처리의 조합을 이용할 수 있다. 또한, 상이한 웨트 처리끼리를 조합하여 이용할 수 있고, 상이한 드라이 처리끼리를 조합하여 이용할 수도 있다.

[0153] 또한, 접합 후에는 접합 강도를 증가시키기 위한 열처리를 행할 수 있다. 이 열처리의 온도는, 취화 영역(514)에 있어서의 분리가 발생하지 않는 온도(예를 들어, 실온 이상  $400^\circ C$  미만)로 한다. 또한, 이 온도 범위에서 가열하면서 반도체 기판(500)과 산화막(512)을 접합시킬 수 있다. 상기 열처리에는 확산 로, 저항 가열로 등의 가열로, RTA(순간 열 어닐링, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 또한, 상기 온도 조건은 어디까지나 일례에 불과하며, 개시하는 발명의 일 형태가 여기에 한정하여 해석되는 것은 아니다.

[0154] 이어서, 열처리를 행함으로써, 단결정 반도체 기판(510)을 취화 영역에 있어서 분리하여, 반도체 기판(500) 상에 산화막(512)을 통해 단결정 반도체층(516)을 형성한다(도 7의 (f) 참조).

[0155] 또한, 상기 분리시의 열 처리 온도는 가능한 한 낮은 것이 바람직하다. 분리시의 온도가 낮을수록 단결정 반도체층(516)의 표면 거칠음을 억제할 수 있기 때문이다. 구체적으로는, 예를 들어 상기 분리시의 열 처리 온

도는 300℃ 이상 600℃ 이하로 할 수 있고, 400℃ 이상 500℃ 이하로 하면, 보다 효과적이다.

- [0156] 또한, 단결정 반도체 기판(510)을 분리한 후에는 단결정 반도체층(516)에 대하여 500℃ 이상의 온도에서 열처리를 행하고, 단결정 반도체층(516) 중에 잔존하는 수소의 농도를 저감시킬 수 있다.
- [0157] 이어서, 단결정 반도체층(516)의 표면에 레이저광을 조사함으로써, 표면의 평탄성을 향상시키면서 결함을 저감시킨 단결정 반도체층(518)을 형성한다(도 7의 (g) 참조).
- [0158] 또한, 레이저광의 조사 처리 대신에 열처리를 행할 수 있다.
- [0159] 또한, 본 실시 형태에 있어서는, 단결정 반도체층(516)의 분리에 따른 열처리 직후에 레이저광의 조사 처리를 행하고 있지만, 본 발명의 일 형태는 여기에 한정하여 해석되지 않는다. 단결정 반도체층(516)의 분리에 따른 열처리 후에 에칭 처리를 실시하여, 단결정 반도체층(516) 표면의 결함이 많은 영역을 제거하고 나서 레이저광의 조사 처리를 행할 수도 있고, 단결정 반도체층(516) 표면의 평탄성을 향상시키고 나서 레이저광의 조사 처리를 행할 수도 있다. 또한, 상기 에칭 처리로서는, 습식 에칭, 건식 에칭 중 어느 하나를 사용할 수 있다. 또한, 본 실시 형태에 있어서는, 상술한 바와 같이 레이저광을 조사한 후, 단결정 반도체층(516)의 막 두께를 작게 하는 박막화 공정을 행할 수도 있다. 단결정 반도체층(516)의 박막화에는 건식 에칭 또는 습식 에칭 중 한 쪽 또는 양쪽을 사용할 수 있다.
- [0160] 이상의 공정에 의해, 양호한 특성의 단결정 반도체층(518)을 갖는 SOI 기판을 얻을 수 있다(도 7의 (g) 참조).
- [0161] <반도체 장치의 제작 방법>
- [0162] 이어서, 상기 SOI 기판을 사용한 반도체 장치의 제작 방법에 대하여 도 8a 내지 도 11c를 참조하여 설명한다.
- [0163] <하부의 트랜지스터의 제작 방법>
- [0164] 처음에 하부의 트랜지스터(160)의 제작 방법에 대하여 도 8a 내지 도 9d를 참조하여 설명한다. 또한, 도 8a 내지 도 9d는 도 7에 도시한 방법으로 제조한 SOI 기판의 일부이며, 도 6a에 도시한 하부의 트랜지스터에 상당하는 단면 공정도이다.
- [0165] 우선, 단결정 반도체층(518)을 섬 형상으로 가공하여 반도체층(120)을 형성한다(도 8a 참조). 또한, 이 공정 전후에 있어서, 트랜지스터의 임계값 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 반도체층에 첨가할 수 있다. 반도체가 실리콘인 경우, n형의 도전성을 부여하는 불순물 원소로서는, 예를 들어 인이나 비소 등을 사용할 수 있다. 또한, p형의 도전성을 부여하는 불순물 원소로서는, 예를 들어 붕소, 알루미늄, 갈륨 등을 사용할 수 있다.
- [0166] 이어서, 반도체층(120)을 덮도록 절연층(122)을 형성한다(도 8b 참조). 절연층(122)은 나중에 게이트 절연층이 되는 것이다. 절연층(122)은, 예를 들어 반도체층(120) 표면의 열처리(열산화 처리나 열질화 처리 등)에 의해 형성할 수 있다. 열처리 대신에 고밀도 플라즈마 처리를 적용할 수도 있다. 고밀도 플라즈마 처리는, 예를 들어 He, Ar, Kr, Xe 등의 희가스, 산소, 산화질소, 암모니아, 질소, 수소 등 중 어느 하나의 혼합 가스를 사용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 이용하여 절연층을 형성할 수도 있다. 당해 절연층(122)은, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈, 산화이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$  ( $x>0$ ,  $y>0$ )), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$  ( $x>0$ ,  $y>0$ )), 질소가 첨가된 하프늄 알루미늄에이트( $\text{HfAl}_x\text{O}_y$  ( $x>0$ ,  $y>0$ )) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층(122)의 두께는, 예를 들어 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다. 여기에서는 플라즈마 CVD법을 이용하여, 산화실리콘을 포함하는 절연층을 단층으로 형성하는 것으로 한다.
- [0167] 이어서, 절연층(122) 상에 마스크(124)를 형성하고, 일도전성을 부여하는 불순물 원소를 반도체층(120)에 첨가하여 불순물 영역(126)을 형성한다(도 8c 참조). 또한, 여기에서는 불순물 원소를 첨가한 후, 마스크(124)는 제거한다.
- [0168] 이어서, 절연층(122) 상에 마스크를 형성하고, 절연층(122)이 불순물 영역(126)과 중첩하는 영역의 일부를 제거함으로써, 게이트 절연층(122a)을 형성한다(도 8d 참조). 절연층(122)의 제거 방법으로서 습식 에칭 또는 건식 에칭 등의 에칭 처리를 이용할 수 있다.
- [0169] 이어서, 게이트 절연층(122a) 상에 게이트 전극(이와 동일한 층으로 형성되는 배선을 포함함)을 형성하기 위한

도전층을 형성하고, 당해 도전층을 가공하여 게이트 전극(128a) 및 도전층(128b)을 형성한다(도 8e 참조).

[0170] 게이트 전극(128a) 및 도전층(128b)에 사용하는 도전층으로서는, 알루미늄이나 구리, 티타늄, 탄탈, 텅스텐 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 사용하여 도전층을 형성할 수 있다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 이용할 수 있다. 또한, 도전층의 가공은 레지스트 마스크를 사용한 에칭에 의해 행할 수 있다.

[0171] 이어서, 게이트 전극(128a) 및 도전층(128b)을 마스크로 하여, 일도전형을 부여하는 불순물 원소를 반도체층에 첨가하여, 채널 형성 영역(134), 불순물 영역(132) 및 불순물 영역(130)을 형성한다(도 9a 참조). 여기에서는 p형 트랜지스터를 형성하기 위해 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가한다. 여기서, 첨가되는 불순물 원소의 농도는 적절히 설정할 수 있다. 또한, 불순물 원소를 첨가한 후에는 활성화를 위한 열처리를 행한다. 여기서, 불순물 영역의 농도는 불순물 영역(126), 불순물 영역(132), 불순물 영역(130) 순으로 높아진다.

[0172] 이어서, 게이트 절연층(122a), 게이트 전극(128a), 도전층(128b)을 덮도록 절연층(136), 절연층(138) 및 절연층(140)을 형성한다(도 9b 참조).

[0173] 절연층(136), 절연층(138), 절연층(140)은 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 특히 절연층(136), 절연층(138), 절연층(140)에 유전율이 낮은(low-k) 재료를 사용함으로써, 각종 전극이나 배선의 중첩에 기인하는 용량을 충분히 저감하는 것이 가능해지기 때문에 바람직하다. 또한, 절연층(136), 절연층(138), 절연층(140)에는 이들 재료를 사용한 다공성의 절연층을 적용할 수 있다. 다공성의 절연층에서는 밀도가 높은 절연층과 비교하여 유전율이 저하되기 때문에, 전극이나 배선에 기인하는 용량을 더욱 저감하는 것이 가능하다. 또한, 절연층(136)이나 절연층(138), 절연층(140)은 폴리이미드, 아크릴 등의 유기 절연 재료를 사용하여 형성하는 것도 가능하다. 본 실시 형태에서는 절연층(136)으로서 산화질화실리콘, 절연층(138)으로서 질화산화실리콘, 절연층(140)으로서 산화실리콘을 사용하는 경우에 대하여 설명한다. 또한, 여기에서는 절연층(136), 절연층(138) 및 절연층(140)의 적층 구조로 하고 있지만, 개시하는 발명의 일 형태는 여기에 한정되지 않는다. 1층 또는 2층으로 할 수도 있고, 4층 이상의 적층 구조로 할 수도 있다.

[0174] 이어서, 절연층(138) 및 절연층(140)에 CMP(화학적 기계 연마) 처리나 에칭 처리를 행함으로써, 절연층(138) 및 절연층(140)을 평탄화한다(도 9c 참조). 여기에서는 절연층(138)이 일부 노출될 때까지 CMP 처리를 행한다. 절연층(138)에 질화산화실리콘을 사용하고, 절연층(140)에 산화실리콘을 사용한 경우, 절연층(138)은 에칭 스톱퍼로서 기능한다.

[0175] 이어서, 절연층(138) 및 절연층(140)에 CMP 처리나 에칭 처리를 행함으로써, 게이트 전극(128a) 및 도전층(128b)의 상면을 노출시킨다(도 9d 참조). 여기에서는 게이트 전극(128a) 및 도전층(128b)이 일부 노출될 때까지 에칭 처리를 행한다. 당해 에칭 처리는 건식 에칭을 사용하는 것이 적합하지만, 습식 에칭을 사용할 수도 있다. 게이트 전극(128a) 및 도전층(128b)의 일부를 노출시키는 공정에 있어서, 나중에 형성되는 트랜지스터(162)의 특성을 향상시키기 위해 절연층(136), 절연층(138), 절연층(140)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다.

[0176] 이상의 공정에 의해 하부의 트랜지스터(160)를 형성할 수 있다(도 9d 참조).

[0177] 또한, 상기 각 공정 전후에는 추가로 전극이나 배선, 반도체층, 절연층 등을 형성하는 공정을 포함할 수 있다. 예를 들어, 배선의 구조로서, 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용하여, 고도로 집적화한 반도체 장치를 실현하는 것도 가능하다.

[0178] <상부의 트랜지스터의 제작 방법>

[0179] 이어서, 상부의 트랜지스터(162)의 제작 방법에 대하여 도 10a 내지 도 11c를 참조하여 설명한다.

[0180] 우선, 게이트 전극(128a), 도전층(128b), 절연층(136), 절연층(138), 절연층(140) 등 위에 산화물 반도체층을 형성하고, 당해 산화물 반도체층을 가공하여 산화물 반도체층(144)을 형성한다(도 10a 참조). 또한, 산화물 반도체층을 형성하기 전에 절연층(136), 절연층(138), 절연층(140) 상에 바탕으로서 기능하는 절연층을 설치할 수 있다. 당해 절연층은 스퍼터링법을 비롯한 PVD법이나 플라즈마 CVD법 등의 CVD법 등을 이용하여 형성할 수 있다.

[0181] 산화물 반도체층에 사용하는 재료로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계의 재료나, 3원계 금속 산화물인

In-Ga-Zn-O계의 재료, In-Sn-Zn-O계의 재료, In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, 2원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료, In-Ga-O계의 재료나, In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등을 사용할 수 있다. 또한, 상기 재료에 SiO<sub>2</sub>를 포함시킬 수 있다. 여기서, 예를 들어 In-Ga-Zn-O계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그의 조성비는 특별히 상관 없다. 또한, In과 Ga와 Zn 이외의 원소를 포함할 수 있다.

[0182] 또한, 산화물 반도체층은 화학식  $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 재료를 사용한 박막으로 할 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등을 사용할 수 있다.

[0183] 또한, 산화물 반도체층의 두께는 3nm 이상 30nm 이하로 하는 것이 바람직하다. 산화물 반도체층을 너무 두껍게 하면(예를 들어, 막 두께를 50nm 이상), 트랜지스터가 노멀리 온이 될 우려가 있기 때문이다.

[0184] 산화물 반도체층은 수소, 물, 수산기 또는 수소화물 등의 불순물이 혼입되기 어려운 방법으로 제작하는 것이 바람직하다. 예를 들어, 스퍼터링법 등을 이용하여 제작할 수 있다.

[0185] 본 실시 형태에서는 산화물 반도체층을, In-Ga-Zn-O계의 산화물 타깃을 사용한 스퍼터링법에 의해 형성한다.

[0186] In-Ga-Zn-O계의 산화물 타깃으로서, 예를 들어 조성비로서  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [몰수비]의 산화물 타깃을 사용할 수 있다. 또한, 타깃의 재료 및 조성을 상술한 것으로 한정할 필요는 없다. 예를 들어,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [몰수비]의 조성비의 산화물 타깃을 사용할 수도 있다.

[0187] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성비는 원자수비로 In:Zn=50:1 내지 1:2(몰수비로 환산하면  $\text{In}_2\text{O}_3:\text{ZnO}=25:1$  내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면  $\text{In}_2\text{O}_3:\text{ZnO}=10:1$  내지 1:2), 더욱 바람직하게는 In:Zn=15:1 내지 1.5:1(몰수비로 환산하면  $\text{In}_2\text{O}_3:\text{ZnO}=15:2$  내지 3:4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타깃은 원자수비가 In:Zn:O=X:Y:Z일 때,  $Z>1.5X+Y$ 로 한다.

[0188] 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하로 한다. 충전율이 높은 금속 산화물 타깃을 사용함으로써, 성막한 산화물 반도체층을 치밀한 막으로 할 수 있기 때문이다.

[0189] 성막 분위기는 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스와 산소의 혼합 분위기 하 등으로 할 수 있다. 또한, 산화물 반도체층에의 수소, 물, 수산기, 수소화물 등의 혼입을 방지하기 위해, 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 사용한 분위기로 하는 것이 바람직하다.

[0190] 예를 들어, 산화물 반도체층은 다음과 같이 형성할 수 있다.

[0191] 우선, 감압 상태로 유지된 성막실 내에 기판을 유지하고, 기판 온도가 200℃ 초과 500℃ 이하, 바람직하게는 300℃ 초과 500℃ 이하, 보다 바람직하게는 350℃ 이상 450℃ 이하가 되도록 가열한다.

[0192] 이어서, 성막실 내의 잔류 수분을 제거하면서 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 도입하고, 상기 타깃을 사용하여 기판 상에 산화물 반도체층을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 배기 수단으로서 저온 펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등의 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단은 터보 펌프에 콜드 트랩을 부가한 것일 수 있다. 저온 펌프를 이용하여 배기한 성막실은, 예를 들어 수소, 물, 수산기 또는 수소화물 등의 불순물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 제거되어 있기 때문에, 당해 성막실에서 성막한 산화물 반도체층에 포함되는 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 저감할 수 있다.

[0193] 성막 중의 기판 온도가 저온(예를 들어, 100℃ 이하)인 경우, 산화물 반도체에 수소 원자를 포함하는 물질이 혼입될 우려가 있기 때문에, 기판을 상술한 온도에서 가열하는 것이 바람직하다. 기판을 상술한 온도에서 가열하여 산화물 반도체층의 성막을 행함으로써, 기판 온도는 고온이 되기 때문에, 수소 결합은 열에 의해 절단되어, 수소 원자를 포함하는 물질이 산화물 반도체층에 도입되기 어렵다. 따라서, 기판이 상술한 온도에서 가열된 상태에서 산화물 반도체층의 성막을 행함으로써, 산화물 반도체층에 포함되는 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 충분히 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다.

- [0194] 성막 조건의 일례로서, 기관과 타깃 간의 거리를 60mm, 압력을 0.4Pa, 직류(DC) 전원을 0.5kW, 기관 온도를 400℃, 성막 분위기를 산소(산소 유량 비율 100%) 분위기로 한다. 또한, 펄스 직류 전원을 사용하면, 성막 시에 발생하는 가루형 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다.
- [0195] 또한, 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 산화물 반도체층의 피형성 표면에 부착되어 있는 가루형 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 역스퍼터링이란, 기관에 전압을 인가하고, 기관 근방에 플라즈마를 형성하여 기관측의 표면을 개질하는 방법이다. 또한, 아르곤 대신에 질소, 헬륨, 산소 등의 가스를 사용할 수 있다.
- [0196] 산화물 반도체층의 가공은 원하는 형상의 마스크를 산화물 반도체층 상에 형성한 후, 당해 산화물 반도체층을 에칭함으로써 행할 수 있다. 상술한 마스크는 포토리소그래피 등의 방법을 이용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 이용하여 마스크를 형성할 수 있다. 또한, 산화물 반도체층의 에칭은 건식 에칭이든 습식 에칭이든 좋다. 물론, 이들을 조합하여 사용할 수도 있다.
- [0197] 그 후, 산화물 반도체층(144)에 대하여 열처리(제1 열처리)를 행할 수 있다. 열처리를 행함으로써, 산화물 반도체층(144) 중에 포함되는 수소 원자를 포함하는 물질을 추가로 제거하고, 산화물 반도체층(144)의 구조를 정돈하고, 에너지 갭 중의 결함 준위를 저감할 수 있다. 열처리 온도는, 불활성 가스 분위기 하에서 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하 또는 기관의 왜곡점 미만으로 한다. 불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기로서, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.
- [0198] 열처리는, 예를 들어 저항 발열체 등을 사용한 전기로에 피처리물을 도입하고, 질소 분위기 하에 450℃에서 1시간의 조건으로 행할 수 있다. 그동안 산화물 반도체층(144)은 대기에 접촉시키지 않고, 물이나 수소의 혼입이 발생하지 않도록 한다.
- [0199] 그런데, 상술한 열처리에는 수소나 물 등을 제거하는 효과가 있기 때문에, 당해 열처리를 탈수화 처리나 탈수산화 처리 등이라 칭할 수도 있다. 당해 열처리는, 예를 들어 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연막의 형성 후 등의 타이밍에 있어서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수산화 처리는 1회에 한정되지 않고 복수회 행할 수 있다.
- [0200] 이어서, 산화물 반도체층(144) 등 상에 소스 전극 및 드레인 전극(이와 동일한 층으로 형성되는 배선을 포함)을 형성하기 위한 도전층을 형성하고, 당해 도전층을 가공하여 소스 전극(142a), 드레인 전극(142b)을 형성한다(도 10b 참조).
- [0201] 도전층은 PVD법이나 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나 또는 이들을 복수 조합한 재료를 사용할 수 있다.
- [0202] 도전층은 단층 구조일 수도 있고, 2층 이상의 적층 구조로 할 수도 있다. 예를 들어, 티타늄막이나 질화티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막이 적층된 2층 구조, 질화티타늄막 상에 티타늄막이 적층된 2층 구조, 티타늄막과 알루미늄막과 티타늄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을 티타늄막이나 질화티타늄막의 단층 구조로 하는 경우에는, 테이퍼 형상을 갖는 소스 전극(142a) 및 드레인 전극(142b)에의 가공이 용이하다는 장점이 있다.
- [0203] 또한, 도전층은 도전성의 금속 산화물을 사용하여 형성할 수 있다. 도전성의 금속 산화물로서는, 산화인듐( $\text{In}_2\text{O}_3$ ), 산화주석( $\text{SnO}_2$ ), 산화아연( $\text{ZnO}$ ), 산화인듐 산화주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO라 약기하는 경우가 있음), 산화인듐 산화아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ ) 또는 이들의 금속 산화물 재료에 실리콘 혹은 산화실리콘을 함유시킨 것을 사용할 수 있다.
- [0204] 도전층의 에칭은, 형성되는 소스 전극(142a) 및 드레인 전극(142b)의 단부가 테이퍼 형상이 되도록 행하는 것이 바람직하다. 여기서, 테이퍼각은, 예를 들어 30° 이상 60° 이하인 것이 바람직하다. 소스 전극(142a), 드레인 전극(142b)의 단부를 테이퍼 형상이 되도록 에칭함으로써, 나중에 형성되는 게이트 절연층(146)의 피복성을

향상시키고, 단절을 방지할 수 있다.

- [0205] 상부의 트랜지스터의 채널 길이(L)는 소스 전극(142a) 및 드레인 전극(142b)의 하단부의 간격에 의해 결정된다. 또한, 채널 길이(L)가 25nm 미만인 트랜지스터를 형성하는 경우에 사용하는 마스크 형성의 노광을 행할 때에는, 수nm 내지 수십 nm로 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하는 것이 바람직하다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm(1 $\mu$ m) 이하로 하는 것도 가능하고, 회로의 동작 속도를 높이는 것이 가능하다. 또한, 미세화에 의해 반도체 장치의 소비 전력을 저감하는 것도 가능하다.
- [0206] 이어서, 소스 전극(142a), 드레인 전극(142b)을 덮으면서 산화물 반도체층(144)의 일부와 접하도록 게이트 절연층(146)을 형성한다(도 10c 참조).
- [0207] 게이트 절연층(146)은 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 산화실리콘, 질화실리콘, 산질화실리콘, 산화갈륨, 산화알루미늄, 산화탄탈, 산화하프늄, 산화이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0$ ,  $y>0$ )), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0$ ,  $y>0$ ))), 질소가 첨가된 하프늄 알루미늄네이트( $\text{HfAl}_x\text{O}_y$ ( $x>0$ ,  $y>0$ ))) 등을 포함하도록 형성하는 것이 적합하다. 게이트 절연층(146)은 단층 구조로 할 수도 있고, 상기 재료를 조합하여 적층 구조로 할 수도 있다. 또한, 그의 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위해 얇게 하는 것이 바람직하다. 예를 들어, 산화실리콘을 사용하는 경우에는 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0208] 상술한 바와 같이, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 누설이 문제가 된다. 게이트 누설의 문제를 해소하기 위해서는, 게이트 절연층(146)에, 산화하프늄, 산화탄탈, 산화이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0$ ,  $y>0$ ))), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0$ ,  $y>0$ ))), 질소가 첨가된 하프늄 알루미늄네이트( $\text{HfAl}_x\text{O}_y$ ( $x>0$ ,  $y>0$ ))) 등의 고유전율(high-k) 재료를 사용하면 좋다. high-k 재료를 게이트 절연층(146)에 사용함으로써, 전기적 특성을 확보하면서 게이트 누설을 억제하기 위해 막 두께를 크게 하는 것이 가능해진다. 또한, high-k 재료를 포함하는 막과, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄 등 중 어느 하나를 포함하는 막과의 적층 구조로 할 수도 있다.
- [0209] 또한, 산화물 반도체층(144)에 접하는 절연층(본 실시 형태에 있어서는 게이트 절연층(146))은 제13족 원소 및 산소를 포함하는 절연 재료로 할 수 있다. 산화물 반도체 재료에는 제13족 원소를 포함하는 것이 많아, 제13족 원소를 포함하는 절연 재료는 산화물 반도체와의 상성이 좋고, 이것을 산화물 반도체층에 접하는 절연층에 사용함으로써, 산화물 반도체층과의 계면의 상태를 양호하게 유지할 수 있다.
- [0210] 여기서, 제13족 원소를 포함하는 절연 재료란, 절연 재료에 하나 또는 복수의 제13족 원소를 포함하는 것을 의미한다. 제13족 원소를 포함하는 절연 재료로서는, 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄 갈륨, 산화갈륨 알루미늄 등이 있다. 여기서, 산화알루미늄 갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨 알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다.
- [0211] 예를 들어, 갈륨을 함유하는 산화물 반도체층에 접하여 게이트 절연층을 형성하는 경우에, 게이트 절연층에 산화갈륨을 포함하는 재료를 사용함으로써 산화물 반도체층과 게이트 절연층의 계면 특성을 양호하게 유지할 수 있다. 또한, 산화물 반도체층과 산화갈륨을 포함하는 절연층을 접하여 설치함으로써, 산화물 반도체층과 절연층의 계면에 있어서의 수소의 파일업을 저감할 수 있다. 또한, 절연층에 산화물 반도체의 성분 원소와 동일한 족의 원소를 사용하는 경우에는 동일한 효과를 얻는 것이 가능하다. 예를 들어, 산화알루미늄을 포함하는 재료를 사용하여 절연층을 형성하는 것도 유효하다. 또한, 산화알루미늄은 물을 투과시키기 어렵다는 특성을 갖고 있기 때문에, 당해 재료를 사용하는 것은 산화물 반도체층에의 물의 침입 방지라는 점에 있어서도 바람직하다.
- [0212] 또한, 산화물 반도체층(144)에 접하는 절연층은 산소 분위기 하에 의한 열처리나 산소 도핑 등에 의해 절연 재료를 화학양론적 조성비보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도핑이란, 산소를 벌크에 첨가하는 것을 말한다. 또한, 당해 벌크란 용어는, 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확히 하는 취지로 사용하고 있다. 또한, 산소 도핑에는 플라즈마화한 산소를 벌크에 첨가하는 산소 플라즈마 도핑이 포함된다. 또한, 산소 도핑은 이온 주입법 또는 이온 도핑법을 이용하여 행할 수 있다.
- [0213] 예를 들어, 산화물 반도체층(144)에 접하는 절연층으로서 산화갈륨을 사용한 경우, 산소 분위기 하에 의한 열처

리나 산소 도핑을 행함으로써, 산화갈륨의 조성을  $Ga_2O_x$  ( $x=3+\alpha$ ,  $0<\alpha<1$ )로 할 수 있다. 또한, 산화물 반도체층(144)에 접하는 절연층으로서 산화알루미늄을 사용한 경우, 산소 분위기 하에 의한 열처리나 산소 도핑을 행함으로써, 산화알루미늄의 조성을  $Al_2O_x$  ( $x=3+\alpha$ ,  $0<\alpha<1$ )로 할 수 있다. 또는, 산화물 반도체층(144)에 접하는 절연층으로서 산화갈륨 알루미늄(산화알루미늄 갈륨)을 사용한 경우, 산소 분위기 하에 의한 열처리나 산소 도핑을 행함으로써, 산화갈륨 알루미늄(산화알루미늄 갈륨)의 조성을  $Ga_xAl_{2-x}O_{3+\alpha}$  ( $0<x<2$ ,  $0<\alpha<1$ )로 할 수 있다.

[0214] 산소 도핑 처리 등을 행함으로써, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연층을 형성할 수 있다. 이러한 영역을 구비하는 절연층과 산화물 반도체층이 접함으로써, 절연층 중의 과잉의 산소가 산화물 반도체층에 공급되어, 산화물 반도체층 중, 또는 산화물 반도체층과 절연층의 계면에 있어서의 산소 부족 결함을 저감할 수 있다.

[0215] 또한, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연층은, 게이트 절연층(146) 대신에 산화물 반도체층(144)의 바탕막으로서 형성하는 절연층에 적용할 수 있고, 게이트 절연층(146) 및 하지 절연층의 양쪽에 적용할 수도 있다.

[0216] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하 또는 산소 분위기 하에서 제2 열처리를 행하는 것이 바람직하다. 열처리의 온도는  $200^{\circ}\text{C}$  이상  $450^{\circ}\text{C}$  이하, 바람직하게는  $250^{\circ}\text{C}$  이상  $350^{\circ}\text{C}$  이하이다. 예를 들어, 질소 분위기 하에  $250^{\circ}\text{C}$ 에서 1시간의 열처리를 행할 수 있다. 제2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 탈수화 또는 탈수소화 처리 후의 산화물 반도체층(144)에 산소를 공급하고, 상기 산화물 반도체층(144)의 산소 결손을 보충하여, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체층을 형성할 수도 있다.

[0217] 또한, 본 실시 형태에서는 게이트 절연층(146)의 형성 후에 제2 열처리를 행하고 있지만, 제2 열처리의 타이밍은 여기에 한정되지 않는다. 예를 들어, 게이트 전극의 형성 후에 제2 열처리를 행할 수 있다.

[0218] 상술한 바와 같이, 제1 열처리 및 제2 열처리를 적용함으로써, 산화물 반도체층(144)을, 그의 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화할 수 있다.

[0219] 이어서, 게이트 전극(이와 동일한 층으로 형성되는 배선을 포함함)을 형성하기 위한 도전층을 형성하고, 당해 도전층을 가공하여 게이트 전극(148a) 및 도전층(148b)을 형성한다(도 10d 참조).

[0220] 게이트 전극(148a) 및 도전층(148b)은, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극(148a) 및 도전층(148b)은 단층 구조로 할 수도 있고, 적층 구조로 할 수도 있다.

[0221] 이어서, 게이트 절연층(146), 게이트 전극(148a) 및 도전층(148b) 상에 절연층(150)을 형성한다(도 11a 참조). 절연층(150)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 산질화실리콘, 질화실리콘, 산화하프늄, 산화갈륨, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 또한, 절연층(150)에는 유전율이 낮은 재료나 유전율이 낮은 구조(다공성의 구조 등)를 이용하는 것이 바람직하다. 절연층(150)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 발생하는 용량을 저감하고, 동작의 고속화를 도모할 수 있기 때문이다. 또한, 본 실시 형태에서는 절연층(150)의 단층 구조로 하고 있지만, 개시하는 발명의 일 형태는 여기에 한정되지 않고, 2층 이상의 적층 구조로 할 수도 있다.

[0222] 이어서, 게이트 절연층(146), 절연층(150)에, 소스 전극(142a)에까지 도달하는 개구를 형성한다. 그 후, 절연층(150) 상에 소스 전극(142a)과 접하는 배선(154)을 형성한다(도 11b 참조). 또한, 당해 개구의 형성은 마스크 등을 사용한 선택적인 에칭에 의해 행해진다.

[0223] 배선(154)은, PVD법이나 CVD법을 이용하여 도전층을 형성한 후, 당해 도전층을 패터닝함으로써 형성된다. 또한, 도전층이 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나 또는 이들을 복수 조합한 재료를 사용할 수 있다.

[0224] 보다 구체적으로는, 예를 들어 절연층(150)의 개구를 포함하는 영역에 PVD법에 의해 티타늄막을 얇게(5nm 정도) 형성한 후에, 개구에 매립되도록 알루미늄막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티타늄막은, 피형성면의 산화막(자연 산화막 등)을 환원하고, 하부 전극 등(여기에서는 소스 전극(142a))과

의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 알루미늄막의 힐록을 방지할 수 있다. 또한, 티타늄이나 질화티타늄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성할 수 있다.

- [0225] 절연층(150)에 형성하는 개구는 도전층(128b)과 중첩하는 영역에 형성하는 것이 바람직하다. 이러한 영역에 개구를 형성함으로써, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다.
- [0226] 여기서, 도전층(128b)을 사용하지 않고, 불순물 영역(126)과 소스 전극(142a)과의 접속과, 소스 전극(142a)과 배선(154)과의 접속을 중첩시키는 경우에 대하여 설명한다. 이 경우, 불순물 영역(126) 상에 형성된 절연층(136), 절연층(138) 및 절연층(140)에 개구(하부의 콘택트라 칭함)를 형성하고, 하부의 콘택트에 소스 전극(142a)을 형성한 후, 게이트 절연층(146) 및 절연층(150)에 있어서, 하부의 콘택트와 중첩하는 영역에 개구(상부의 콘택트라 칭함)를 형성하고, 배선(154)을 형성하게 된다. 하부의 콘택트와 중첩하는 영역에 상부의 콘택트를 형성할 때에, 에칭에 의해 하부의 콘택트에 형성된 소스 전극(142a)이 단선될 우려가 있다. 이를 피하기 위해, 하부의 콘택트와 상부의 콘택트가 중첩하지 않도록 형성함으로써, 소자 면적이 증대한다는 문제가 일어난다.
- [0227] 본 실시 형태에 나타난 바와 같이, 도전층(128b)을 사용함으로써, 소스 전극(142a)을 단선시키지 않고, 상부의 콘택트의 형성이 가능해진다. 이에 따라, 하부의 콘택트와 상부의 콘택트를 중첩시켜 설치할 수 있기 때문에, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다. 즉, 반도체 장치의 집적도를 높일 수 있다.
- [0228] 이어서, 배선(154)을 덮도록 절연층(156)을 형성한다(도 11c 참조).
- [0229] 이상에 의해, 고순도화된 산화물 반도체층(144)을 사용한 트랜지스터(162) 및 용량 소자(164)가 완성된다(도 11c 참조).
- [0230] 또한, 트랜지스터(162)에 있어서, 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b)과의 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 설치할 수 있다. 도 6a의 트랜지스터(162)에 산화물 도전층을 설치한 트랜지스터(162A, 162B)를 도 13a, 도 13b에 도시하였다.
- [0231] 도 13a, 도 13b의 트랜지스터(162A, 162B)는 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b)과의 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(404a, 404b)이 형성되어 있다. 도 13a, 도 13b의 트랜지스터(162A, 162B)는 제작 공정에 따라 산화물 도전층(404a, 404b)의 형상이 상이한 예이다.
- [0232] 도 13a의 트랜지스터(162A)에서는, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막과의 적층을 동일한 포토리소그래피 공정에 의해 형상을 가공하여 섬 형상의 산화물 반도체층(144)과 산화물 도전막을 형성한다. 산화물 반도체층 및 산화물 도전막 상에 소스 전극(142a), 드레인 전극(142b)을 형성한 후, 소스 전극(142a), 드레인 전극(142b)을 마스크로 하여, 섬 형상의 산화물 도전막을 에칭하여, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b)을 형성한다.
- [0233] 도 13b의 트랜지스터(162B)에서는 산화물 반도체층(144) 상에 산화물 도전막을 형성하고, 그 위에 금속 도전막을 형성하고, 산화물 도전막 및 금속 도전막을 동일한 포토리소그래피 공정에 의해 가공하여, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b), 소스 전극(142a), 드레인 전극(142b)을 형성한다.
- [0234] 또한, 산화물 도전층의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 과잉으로 에칭되지 않도록 에칭 조건(에칭제의 종류, 농도, 에칭 시간 등)을 적절히 조정한다.
- [0235] 산화물 도전층(404a, 404b)의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등), 아크방전 이온 플레이팅법, 스프레이법을 이용한다. 산화물 도전층의 재료로서는, 산화아연, 산화실리콘과 인듐 주석 산화물의 화합물, 산화아연 알루미늄, 산질화아연 알루미늄, 산화아연 갈륨 등을 적용할 수 있다. 또한, 상기 재료에 산화 규소를 포함시킬 수 있다.
- [0236] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b)과의 사이에 설치함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터(162A, 162B)가 고속 동작을 할 수 있다.
- [0237] 또한, 산화물 반도체층(144), 산화물 도전층(404a, 404b), 소스 전극(142a), 드레인 전극(142b)의 구성으로 함으로써, 트랜지스터(162A, 162B)의 내압을 향상시킬 수 있다.
- [0238] 본 실시 형태에 있어서 나타내는 트랜지스터(162)에서는, 산화물 반도체층(144)이 고순도화되어 있기 때문에, 그의 수소 농도는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 보다 바람직하게는  $5 \times$

$10^{17} \text{ atoms/cm}^3$  이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는 일반적인 실리콘 웨이퍼에 있어서의 캐리어 밀도( $1 \times 10^{14} / \text{cm}^3$  정도)와 비교하여 충분히 작은 값(예를 들어,  $1 \times 10^{12} / \text{cm}^3$  미만, 보다 바람직하게는  $1.45 \times 10^{10} / \text{cm}^3$  미만)을 취한다. 그리고, 오프 전류도 충분히 작아진다. 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류(여기서는 단위 채널 폭( $1 \mu\text{m}$ )당의 값)는  $100 \text{ zA}$ ( $1 \text{ zA}$ (zeptoampere)는  $1 \times 10^{-21} \text{ A}$ ) 이하, 바람직하게는  $10 \text{ zA}$  이하가 된다.

- [0239] 이와 같이 고순도화되고, 진성화된 산화물 반도체층(144)을 사용함으로써, 트랜지스터의 오프 전류를 충분히 저감하는 것이 용이해진다. 그리고, 이러한 트랜지스터를 사용함으로써, 극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능한 반도체 장치가 얻어진다.
- [0240] 또한, 본 실시 형태에 있어서 나타내는 반도체 장치에서는 배선을 공통화하는 것도 가능하여, 집적도가 충분히 높아진 반도체 장치를 실현할 수 있다.
- [0241] 이상, 본 실시 형태에 나타내는 구성, 방법 등은 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0242] (실시 형태 3)
- [0243] 본 실시 형태에서는, 상기 실시 형태 2에 있어서, 트랜지스터(162)의 반도체층에 사용할 수 있는 산화물 반도체층의 일 형태를 도 14a 내지 도 14c를 이용하여 설명한다.
- [0244] 본 실시 형태의 산화물 반도체층은, 제1 결정성 산화물 반도체층 상에 제1 결정성 산화물 반도체층보다 두꺼운 제2 결정성 산화물 반도체층을 갖는 적층 구조이다.
- [0245] 절연층(400) 상에 절연층(437)을 형성한다. 또한, 도 14a 내지 도 14c에 있어서의 절연층(437)은 상기 실시 형태 2에 있어서의 절연층(140)에 상당한다. 본 실시 형태에서는, 절연층(437)으로서, PCVD법 또는 스퍼터링법을 이용하여  $50 \text{ nm}$  이상  $600 \text{ nm}$  이하의 막 두께의 산화물 절연층을 형성한다. 예를 들어, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화실리콘막, 산화질화알루미늄막 또는 질화산화실리콘막으로부터 선택된 1층 또는 이들의 적층을 사용할 수 있다.
- [0246] 이어서, 절연층(437) 상에 막 두께  $1 \text{ nm}$  이상  $10 \text{ nm}$  이하의 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막의 형성은 스퍼터링법을 이용하고, 그 스퍼터링법에 의한 성막시에 있어서의 기판 온도는  $200^\circ\text{C}$  이상  $400^\circ\text{C}$  이하로 한다.
- [0247] 본 실시 형태에서는, 산화물 반도체용 타겟( $\text{In-Ga-Zn-O}$ 계 산화물 반도체용 타겟( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [몰수비]))을 사용하여, 기판과 타겟 간의 거리를  $170 \text{ mm}$ , 기판 온도  $250^\circ\text{C}$ , 압력  $0.4 \text{ Pa}$ , 직류(DC) 전원  $0.5 \text{ kW}$ , 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께  $5 \text{ nm}$ 의 제1 산화물 반도체막을 성막한다.
- [0248] 계속해서, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 하여 제1 가열 처리를 행한다. 제1 가열 처리의 온도는  $400^\circ\text{C}$  이상  $750^\circ\text{C}$  이하로 한다. 제1 가열 처리에 의해 제1 결정성 산화물 반도체층(450a)을 형성한다(도 14a 참조).
- [0249] 제1 가열 처리의 온도에도 의하지만, 제1 가열 처리에 의해 막 표면으로부터 결정화가 일어나고, 막의 표면으로부터 내부를 향해 결정 성장하여, c축 배향한 결정이 얻어진다. 제1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모여, 상부 평면이 육각형을 이루는 아연과 산소로 이루어지는 그래펜 타입의 이차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 중첩되어 적층이 된다. 가열 처리의 온도를 올리면 표면으로부터 내부, 그리고 내부로부터 저부와 결정 성장이 진행된다.
- [0250] 제1 가열 처리에 의해, 산화물 절연층인 절연층(437) 중의 산소를 제1 결정성 산화물 반도체층(450a)과의 계면 또는 그 근방(계면으로부터 플러스 마이너스  $5 \text{ nm}$ )에 확산시켜서 제1 결정성 산화물 반도체층의 산소 결손을 저감한다. 따라서, 하지 절연층으로서 사용되는 절연층(437)은 막 내(벌크 내), 제1 결정성 산화물 반도체층(450a)과 절연층(437)의 계면 중 어느 하나에는 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.
- [0251] 계속해서, 제1 결정성 산화물 반도체층(450a) 상에  $10 \text{ nm}$ 보다 두꺼운 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 형성은 스퍼터링법을 이용하고, 그 성막 시에 있어서의 기판 온도는  $200^\circ\text{C}$  이상  $400^\circ\text{C}$  이하로 한다. 성막시에 있어서의 기판 온도를  $200^\circ\text{C}$  이상  $400^\circ\text{C}$  이하로 함으로써, 제1 결정성 산화물 반도체층의 표면

상에 접하여 성막하는 산화물 반도체층에 전구체의 정렬이 일어나, 소위 질서성을 갖게 할 수 있다.

- [0252] 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn-O계 산화물 반도체용 타깃( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [몰수비]))을 사용하여, 기판과 타깃 간의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 25nm의 제2 산화물 반도체막을 성막한다.
- [0253] 계속해서, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 하여 제2 가열 처리를 행한다. 제2 가열 처리 온도는 400℃ 이상 750℃ 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체층(450b)을 형성한다(도 14b 참조). 제2 가열 처리는 질소 분위기 하, 산소 분위기 하, 혹은 질소와 산소의 혼합 분위기 하에서 행함으로써, 제2 결정성 산화물 반도체층의 고밀도화 및 결함수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체층(450a)을 핵으로 하여 막 두께 방향, 즉 저부로부터 내부에 결정 성장이 진행되어 제2 결정성 산화물 반도체층(450b)이 형성된다.
- [0254] 또한, 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정을 대기에 접촉시키지 않고 연속적으로 행하는 것이 바람직하다. 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정은 수소 및 수분을 대부분 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에 제어하는 것이 바람직하고, 예를 들어 수분에 대해서는 노점 -40℃ 이하, 바람직하게는 노점 -50℃ 이하의 건조 질소 분위기로 한다.
- [0255] 계속해서, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)으로 이루어지는 산화물 반도체 적층을 가공하여 섬 형상의 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을 형성한다(도 14c 참조). 도면에서는, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)의 계면을 점선으로 나타내고, 산화물 반도체 적층이라 설명하고 있지만, 명확한 계면이 존재하는 것이 아니라, 어디까지나 이해하기 쉽게 설명하기 위해 도시하고 있다.
- [0256] 산화물 반도체 적층의 가공은 원하는 형상의 마스크를 산화물 반도체 적층 상에 형성한 후, 당해 산화물 반도체 적층을 에칭함으로써 행할 수 있다. 상술한 마스크는 포토리소그래피 등의 방법을 이용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 이용하여 마스크를 형성할 수 있다.
- [0257] 또한, 산화물 반도체 적층의 에칭은 건식 에칭이든 습식 에칭이든 좋다. 물론, 이들을 조합하여 사용할 수 있다.
- [0258] 또한, 상기 제작 방법에 의해, 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 c축 배향을 갖고 있는 것을 특징의 하나로 하고 있다. 단, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 단결정 구조가 아니고, 비정질 구조도 아닌 구조이며, c축 배향을 갖는 결정(C Axis Aligned Crystal; CAAC라고도 칭함)을 포함하는 산화물을 갖는다. 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 일부에 결정립계를 갖고 있다.
- [0259] 또한, 제1 및 제2 결정성 산화물 반도체층은 적어도 Zn을 갖는 산화물 재료이며, 4원계 금속 산화물인 In-Al-Ga-Zn-O계의 재료나, In-Sn-Ga-Zn-O계의 재료나, 3원계 금속 산화물인 In-Ga-Zn-O계의 재료, In-Al-Zn-O계의 재료, In-Sn-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, 2원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료나, Zn-O계의 재료 등이 있다. 또한, In-Si-Ga-Zn-O계의 재료나, In-Ga-B-Zn-O계의 재료나, In-B-Zn-O계의 재료를 사용할 수 있다. 또한, 상기 재료에  $\text{SiO}_2$ 를 포함시킬 수 있다. 여기서, 예를 들어 In-Ga-Zn-O계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그의 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 포함할 수도 있다.
- [0260] 또한, 제1 결정성 산화물 반도체층 상에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층의 형성 후에 제3 결정성 산화물 반도체층을 형성하기 위한 성막과 가열 처리의 프로세스를 반복 수행하여 3층 이상의 적층 구조로 할 수도 있다.
- [0261] 상기 제작 방법으로 형성된 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(162)에 적절히 사용할 수 있다.
- [0262] 또한, 산화물 반도체층으로서 본 실시 형태의 산화물 반도체 적층을 사용한 트랜지스터에 있어서는, 산화물 반도체층의 한쪽 면으로부터 다른 쪽 면에 전계가 인가되는 일은 없고, 또한 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른 쪽 면으로 흐르는 방향, 구체적으로 도 6a에서는 상하 방향)으로 흐르는 구조는 아니다. 전류는 주로 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가

행해지거나 또는 BT 스트레스가 부여되더라도 트랜지스터 특성의 열화는 억제되거나 또는 저감된다.

- [0263] 본 실시 형태에서 나타내는 산화물 반도체층(453)과 같은 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 트랜지스터에 사용함으로써, 안정된 전기적 특성을 가지면서 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0264] 본 실시 형태는 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0265] (실시 형태 4)
- [0266] 본 실시 형태에서는 상술한 실시 형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대하여 도 12a 내지 도 12f를 이용하여 설명한다. 본 실시 형태에서는 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대 정보 단말기(휴대형 게임기, 음향 재생 장치 등도 포함함), 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함) 등의 전자 기기에 상술한 반도체 장치를 적용하는 경우에 대하여 설명한다.
- [0267] 도 12a는 노트북형의 퍼스널 컴퓨터로서, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등에 의해 구성되어 있다. 하우징(701)과 하우징(702) 중 적어도 하나에는 상기 실시 형태에 나타내는 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 노트북형의 퍼스널 컴퓨터가 실현된다.
- [0268] 도 12b는 휴대 정보 단말기(PDA)이며, 본체(711)에는 표시부(713)와, 외부 인터페이스(715)와, 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 정보 단말기를 조작하는 스타일러스(712) 등을 구비하고 있다. 본체(711) 내에는 상기 실시 형태에 나타내는 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 정보 단말기가 실현된다.
- [0269] 도 12c는 전자 페이퍼를 실장한 전자 서적(720)으로서, 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는 각각 표시부(725) 및 표시부(727)가 설치되어 있다. 하우징(721)과 하우징(723)은 측부(737)에 의해 접속되어 있고, 상기 측부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(721)은 전원(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721), 하우징(723) 중 적어도 하나에는 상기 실시 형태에 나타내는 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0270] 도 12d는 휴대 전화기로서, 하우징(740)과 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)과 하우징(741)은 슬라이드하여, 도 12d와 같이 전개되어 있는 상태에서부터 중첩된 상태로 할 수 있어, 휴대에 적합한 소형화가 가능하다. 또한, 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 또한, 하우징(740)은 휴대 전화기의 충전을 행하는 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 또한, 안테나는 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741) 중 적어도 하나에는 상기 실시 형태에 나타내는 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0271] 도 12e는 디지털 카메라로서, 본체(761), 표시부(767), 집안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등에 의해 구성되어 있다. 본체(761) 내에는 상기 실시 형태에 나타내는 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0272] 도 12f는 텔레비전 장치(770)로서, 하우징(771), 표시부(773), 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)의 조작은 하우징(771)이 구비하는 스위치나 리모콘 조작기(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘 조작기(780)에는 상기 실시 형태에 나타내는 반도체 장치가 탑재되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0273] 이상과 같이, 본 실시 형태에 나타내는 전자 기기에는 상기 실시 형태에 따른 반도체 장치가 탑재되어 있다. 이로 인해, 소비 전력을 저감한 전자 기기가 실현된다.
- [0274] (실시 형태 5)

- [0275] 본 실시 형태에서는 도 1a에 도시한 회로 구성을 갖는 반도체 장치에 있어서, 정보의 기입과 판독에 필요로 하는 시간에 대하여 설명한다.
- [0276] 우선, 도 1a에 도시한 회로 구성을 갖는 반도체 장치에 있어서, 기입시에 비트선 BL에 전원 전위 VDD 또는 접지 전위 GND를 부여했을 때의, 비트선 BL의 전위의 시간 변화를 측정하였다. 도 15에, 측정에 의해 얻어진, 비트선 BL에 있어서의 전위의 시간 변화를 나타내었다.
- [0277] 또한, 전원 전위 VDD는 메모리 셀에 데이터 "1"을 기입하는 경우에 비트선에 부여되는 전위이다. 또한, 접지 전위 GND는 메모리 셀에 데이터 "0"을 기입하는 경우에 비트선에 부여되는 전위이다.
- [0278] 도 15에서는 데이터 "1"의 기입시에 있어서의 비트선 BL의 파형으로서, 접지 전위 GND에 유지되어 있던 비트선 BL에, 3V의 전원 전위 VDD를, 측정 개시부터 약 80nsec 후에 부여한 경우의, 비트선 BL의 전위의 시간 변화를 실선(600)으로 나타내고 있다. 또한, 도 15에서는 데이터 "0"의 기입시에 있어서의 비트선 BL의 파형으로서, 비트선 BL에 접지 전위 GND를 부여하고 있는 경우의, 비트선 BL의 전위의 시간 변화를 실선(601)으로 나타내고 있다.
- [0279] 도 15의 실선(601)에 나타난 바와 같이, 데이터 "0"을 기입하는 경우, 비트선 BL의 전위는 약 0V를 유지하고 있다. 한편, 도 15의 실선(600)에 나타난 바와 같이, 데이터 "1"을 기입하는 경우, 비트선 BL에의 전원 전위 VDD의 공급이 개시되고 나서 약 40nsec 후에는 비트선 BL의 전위는 약 2.4V까지 상승하고 있음이 확인되었다.
- [0280] 따라서, 비트선 BL에의 전원 전위 VDD의 공급에 필요로 하는 시간은 40nsec 정도임을 알 수 있었다.
- [0281] 계속해서, 도 1a에 도시한 회로 구성을 갖는 반도체 장치에 있어서, 트랜지스터(162)가 갖는 게이트 전극에 전위 VH가 공급되고 있는 시간(기입 시간: Write Time)을 변화시킨 경우의, 메모리 셀의 임계값 윈도우를 측정하였다. 도 16에, 측정에 의해 얻어진, 기입 시간과 메모리 셀의 임계값 윈도우의 관계를 나타내었다.
- [0282] 또한, 측정은 데이터 "0"을 기입하는 경우에 비트선 BL에 접지 전위 GND를 부여하고, 데이터 "1"을 기입하는 경우에 비트선 BL에 전원 전위 VDD를 부여해 갔다. 그리고, 전위 VH는 4.5V, 전원 전위 VDD는 3V로 하였다.
- [0283] 또한, 메모리 셀의 임계값 윈도우란, 데이터 "0"을 기입했을 때에 있어서의 메모리 셀의 임계값 전압과, 데이터 "1"을 기입했을 때에 있어서의 메모리 셀의 임계값 전압에 의해 구성된다. 또한, 메모리 셀의 임계값 전압이란, 트랜지스터(160)를 온의 상태로 하는 데 필요한, 기입 및 판독 워드선 C의 전위를 의미한다.
- [0284] 도 16에서는 데이터 "1"을 기입한 경우의, 기입 시간과 메모리 셀의 임계값 전압의 관계를 실선(602)으로 나타내었다. 또한, 도 16에서는 데이터 "0"을 기입한 경우의, 기입 시간과 메모리 셀의 임계값 전압의 관계를 실선(603)으로 나타내었다.
- [0285] 도 16의 실선(602)에 나타난 바와 같이, 비트선 BL에 전원 전위 VDD가 부여되어 있는 경우, 기입 시간이 10msec 일 때에, 메모리 셀의 임계값 전압은 약 -2V였다. 또한, 도 16의 실선(603)에 나타난 바와 같이, 비트선 BL에 접지 전위 GND가 부여되어 있는 경우, 기입 시간이 10msec일 때에, 메모리 셀의 임계값 전압은 약 3V였다. 그리고, 어느 경우이든 기입 시간을 10nsec까지 짧게 하더라도 메모리 셀의 임계값 전압에 큰 변화는 보이지 않았다.
- [0286] 따라서, 10nsec 정도의 기입 시간으로 메모리 셀에의 정보의 기입이 가능함을 알 수 있었다.
- [0287] 계속해서, 도 1a에 도시한 회로 구성을 갖는 반도체 장치에 있어서, 데이터의 판독시에 있어서, 소스선 SL에 전위 VR을 공급하고, 기입 및 판독 워드선 C에 전원 전위 VDD를 공급했을 때의, 비트선 BL의 전위의 시간 변화를 측정하였다. 도 17에, 측정에 의해 얻어진, 비트선 BL에 있어서의 전위의 시간 변화를 나타내었다.
- [0288] 또한, 비트선 BL은 미리 접지 전위 GND를 부여함으로써 프리차지해 둔다. 또한, 소스선 SL에 부여하는 전위 VR은 2V로 하고, 전원 전위 VDD는 3V로 하였다.
- [0289] 또한, 도 17에서는 데이터의 기입시에 데이터 "1"이 기입된 메모리 셀에서, 판독시의 비트선 BL의 전위의 시간 변화를 실선(604)으로 나타내었다. 그리고, 데이터의 기입시에 데이터 "0"이 기입된 메모리 셀에서, 판독시의 비트선 BL의 전위의 시간 변화를 실선(605)으로 나타내었다.
- [0290] 도 17의 실선(604) 및 실선(605)에 나타난 바와 같이, 프리차지가 종료하면 비트선 BL의 전위가 상승하기 시작하고, 프리차지 종료로부터 약 150nsec 후에, 데이터 "0"에 대응하는 비트선 BL과, 데이터 "1"에 대응하는 비트선 BL의 전위차가 약 0.2V로 되어 있는 것이 확인되었다. 또한, 데이터 "0"에 대응하는 비트선 BL의 전위는 프

리차지 종료로부터 약 70nsec 후에 약 0.2V까지 상승하고 있는 점에서, 100nsec 이하의 판독 동작의 가능성이 있다고 생각된다.

[0291] 따라서, 본 발명의 일 형태에 따른 반도체 장치는 고속 동작을 실현할 수 있다.

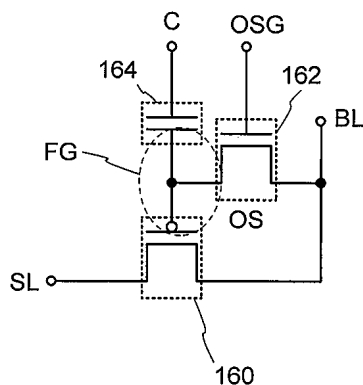
[0292] 또한, 휴대 전화, 스마트 폰, 전자 서적 등의 휴대용 전자 기기에서는 화상 데이터를 일시적으로 기억하는 경우 등에 SRAM 또는 DRAM이 사용되고 있다. SRAM 또는 DRAM이 휴대용 전자 기기에 있어서 사용되는 이유로서, 플래시 메모리 등에 비하여 기입이나 판독 등의 동작이 빠르고, 화상 데이터의 처리를 행할 때에 사용하는 데도 적합하기 때문이다. 그러나, SRAM은 동작이 빠르다는 이점이 있으나, 1개의 메모리 셀이 6개의 트랜지스터로 구성되어 있기 때문에, 메모리 셀의 면적이 크다는 결점이 있다. 디자인 룰의 최소 치수를 F로 했을 때에, SRAM의 메모리 셀의 면적은 통상  $100F^2$  내지  $150F^2$ 이다. 이 때문에 SRAM은 비트당의 단가가 각종 반도체 메모리 중에서 가장 높다. 그에 반해, DRAM은 메모리 셀이 1개의 트랜지스터와 1개의 용량 소자로 구성되어 있다. 따라서, DRAM의 메모리 셀의 면적은 통상  $10F^2$  이하로 작다. 그러나, DRAM은 항상 리프레시가 필요하여, 재기입을 행하지 않는 경우라도 소비 전력이 발생한다. 본 발명의 일 형태에 따른 반도체 장치는 메모리 셀의 면적이  $10F^2$  전후이며, 또한 빈번한 리프레시는 불필요하다. 따라서, 상기 반도체 장치는 일반적인 SRAM이나 DRAM과는 달리 메모리 셀의 면적 축소화와 소비 전력 저감이라는 휴대용 전자 기기에 적합한 2개의 장점을 겸비하고 있다고 할 수 있다.

### 부호의 설명

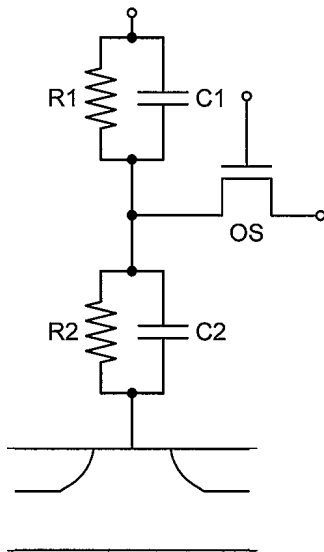
- [0293]
- 160: 트랜지스터
  - 162: 트랜지스터
  - 164: 용량 소자
  - 170: 메모리 셀
  - 180: 승압 회로
  - 182: 제1 구동 회로
  - 184: 제4 구동 회로
  - 186: 제5 구동 회로
  - 190: 제3 구동 회로
  - 192: 제2 구동 회로
  - 194: 소스선 전환 회로

### 도면

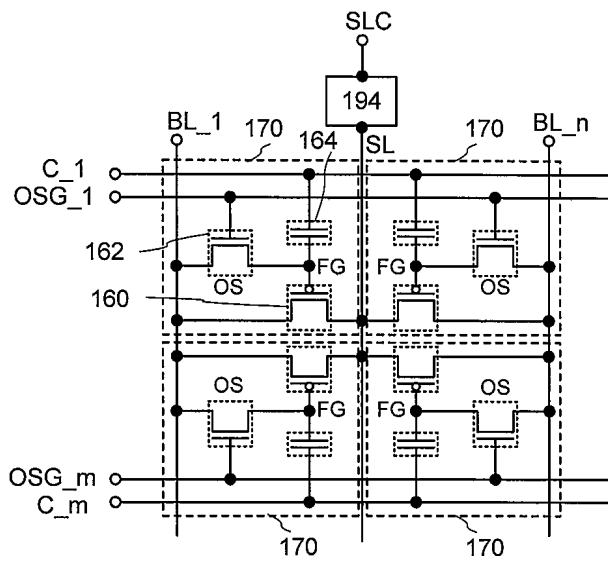
#### 도면1a



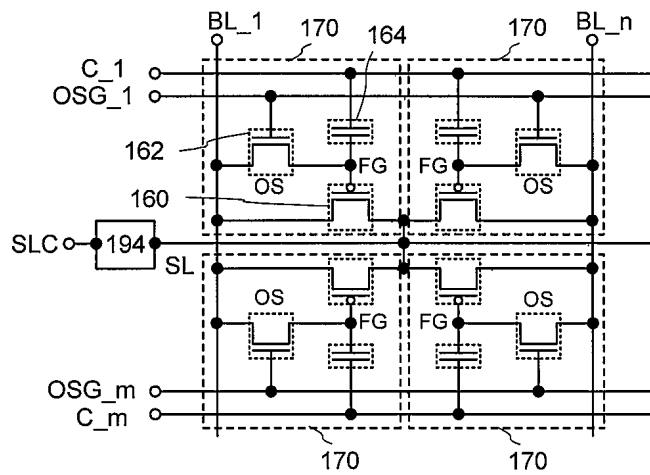
도면1b



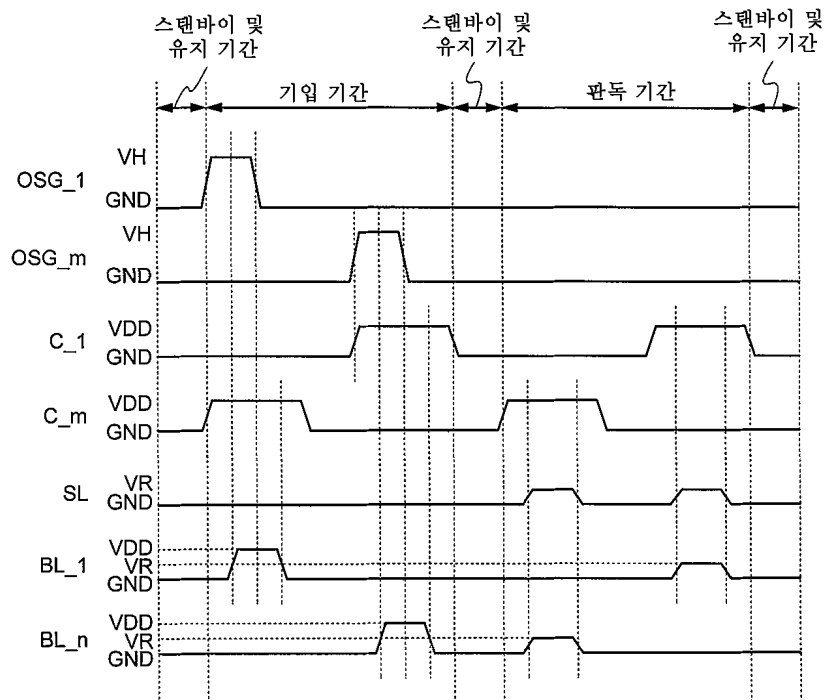
도면2a



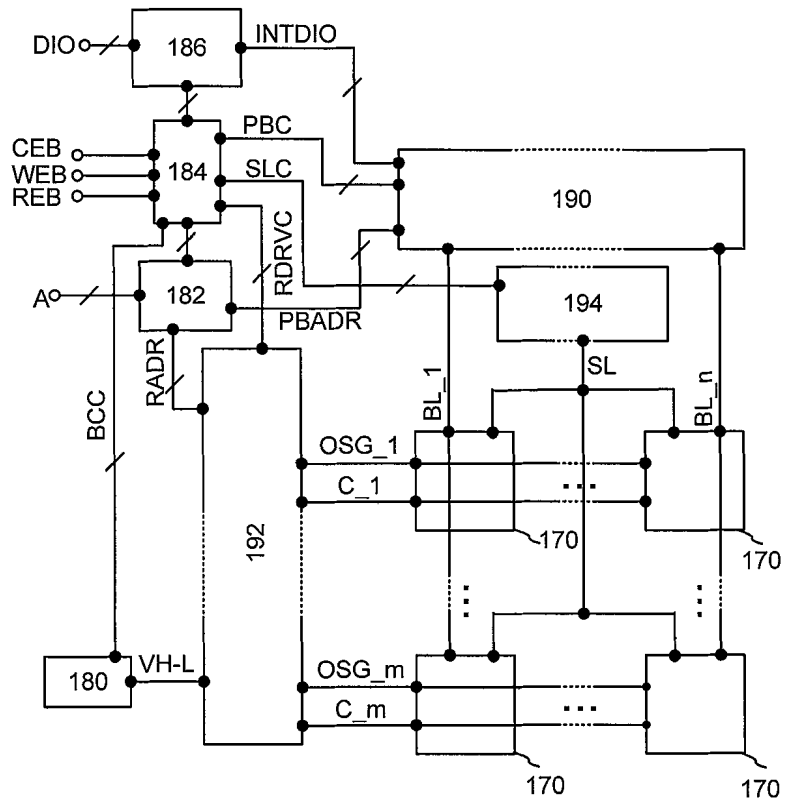
도면2b



도면3



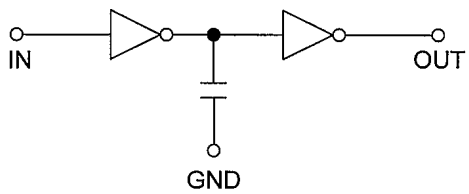
도면4



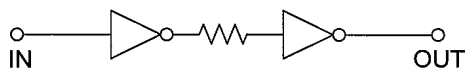
도면5a



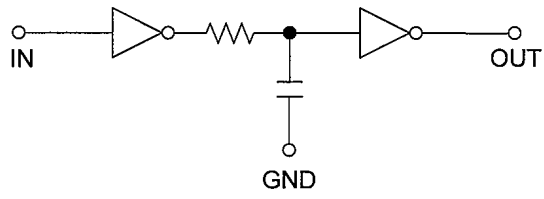
도면5b



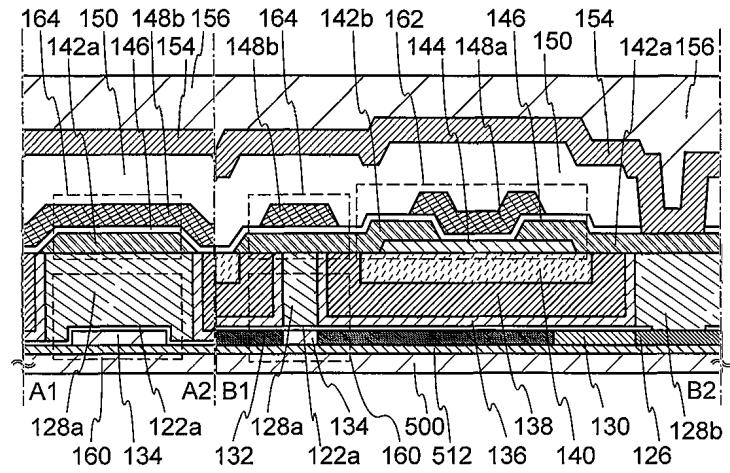
도면5c



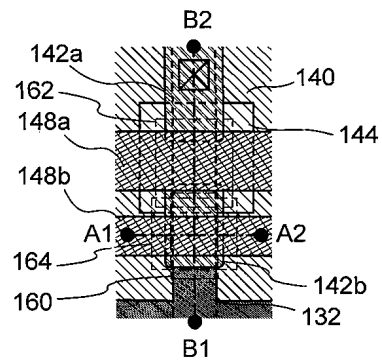
도면5d



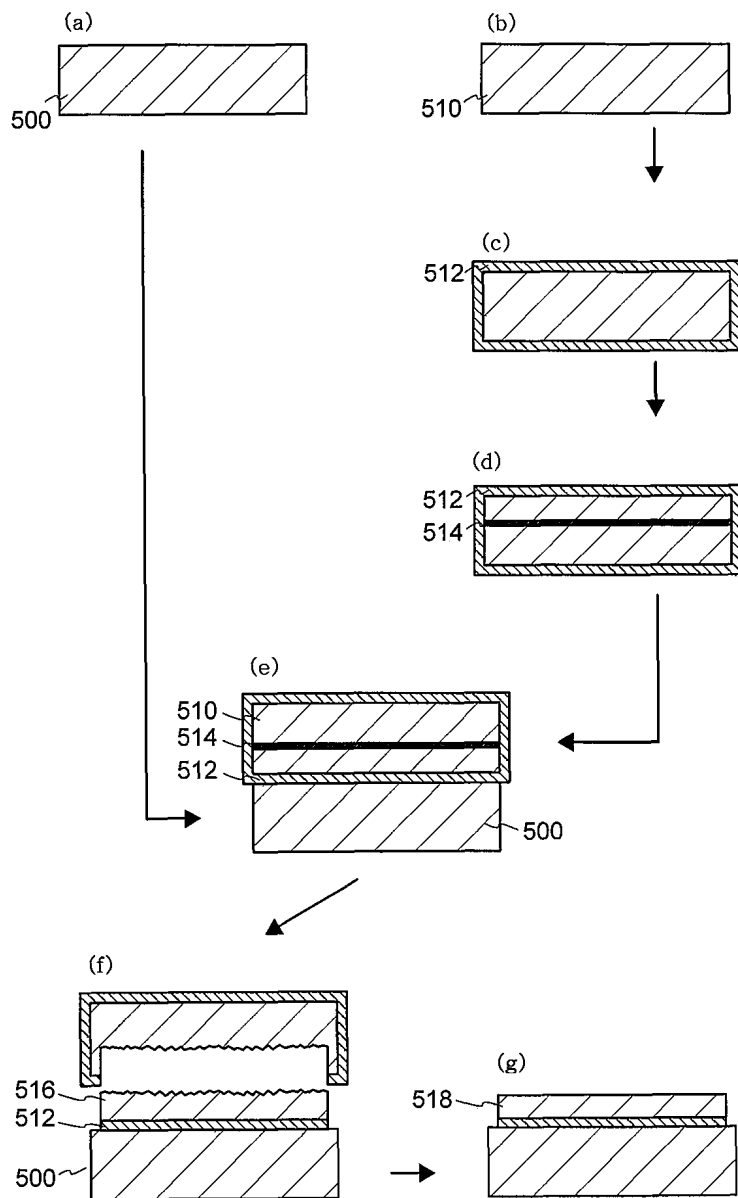
도면6a



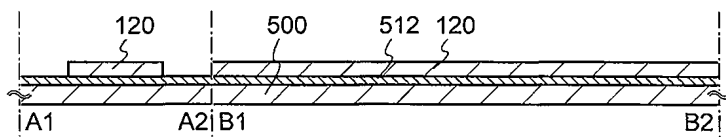
도면6b



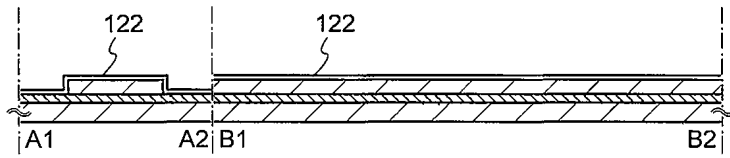
도면7



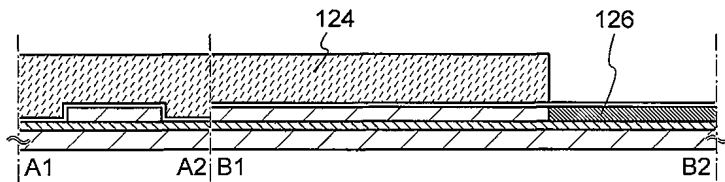
도면8a



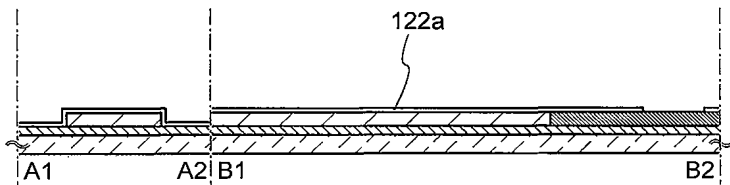
도면8b



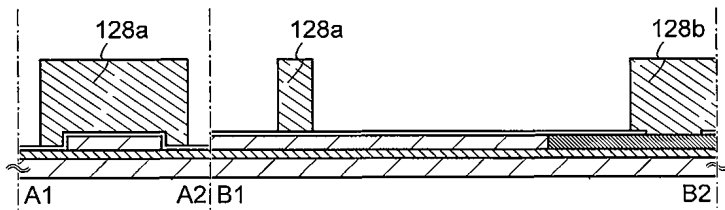
도면8c



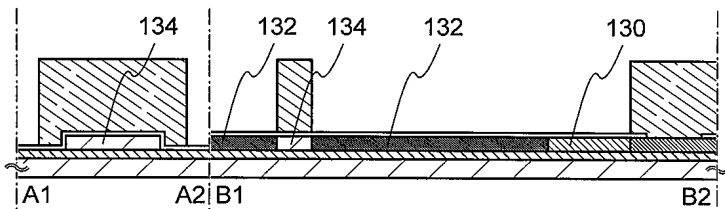
도면8d



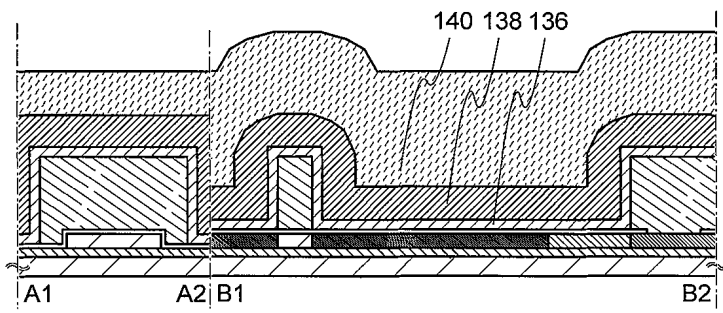
도면8e



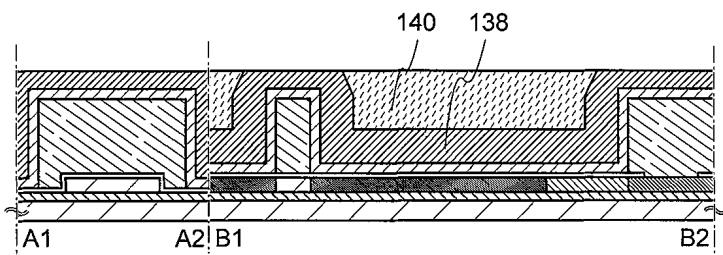
도면9a



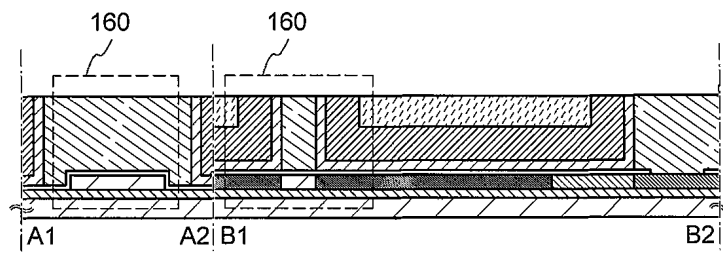
도면9b



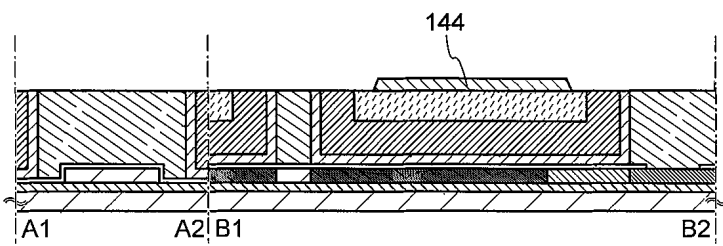
도면9c



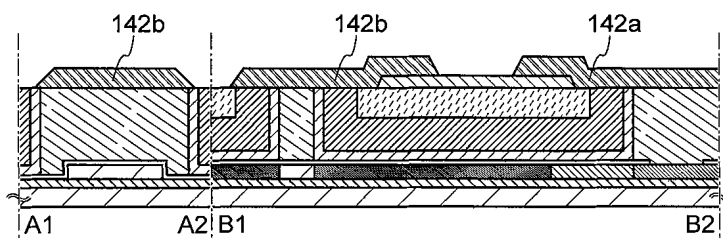
도면9d



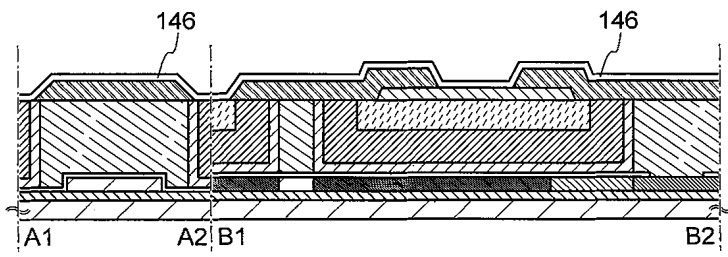
도면10a



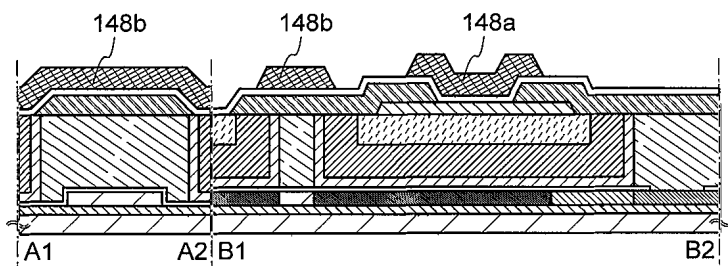
도면10b



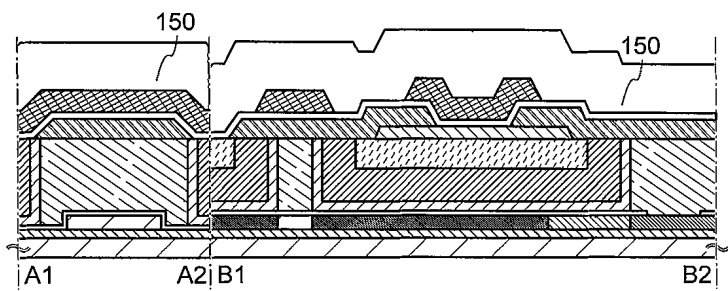
도면10c



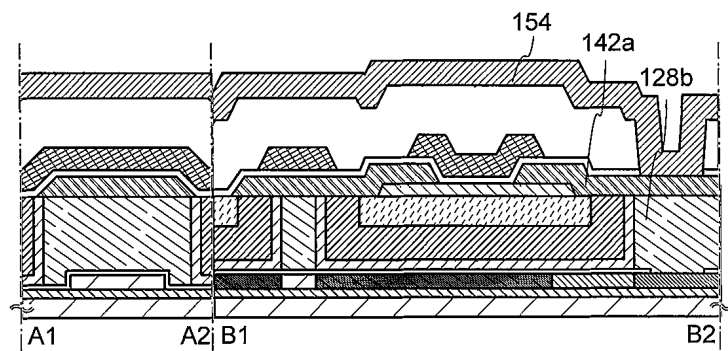
도면10d



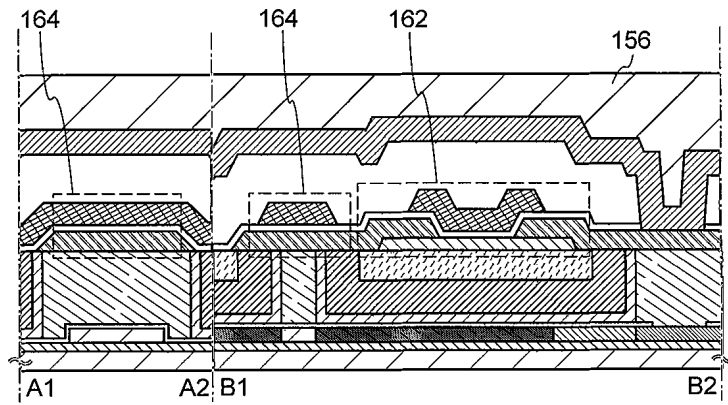
도면11a



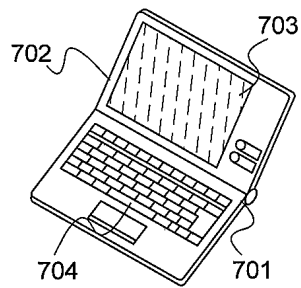
도면11b



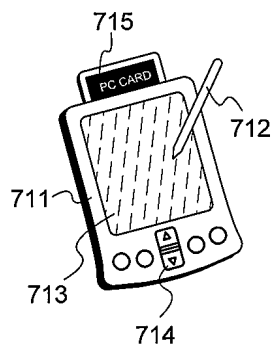
도면11c



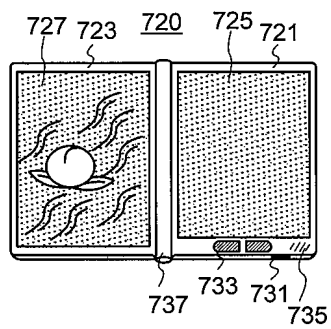
도면12a



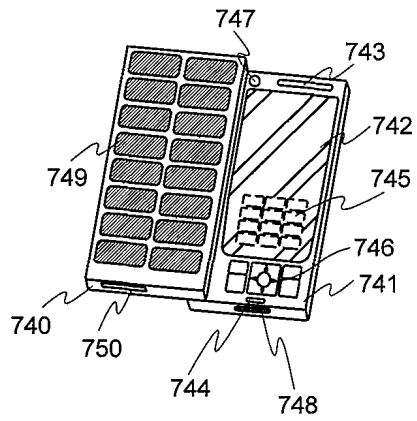
도면12b



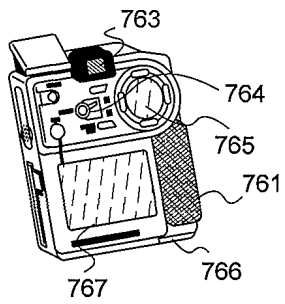
도면12c



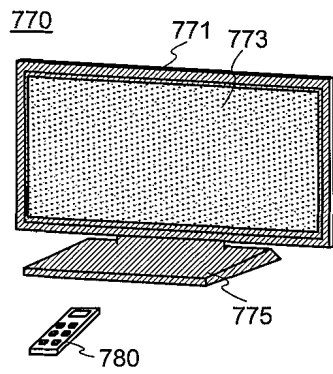
도면12d



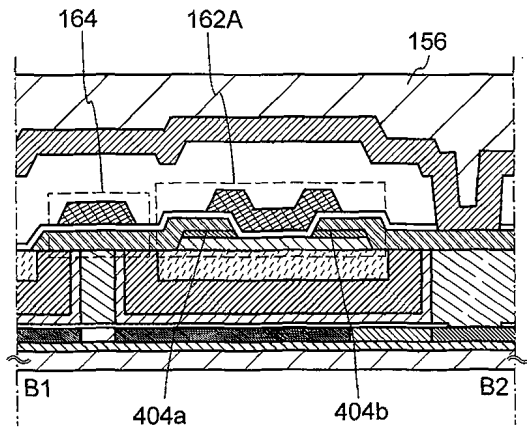
도면12e



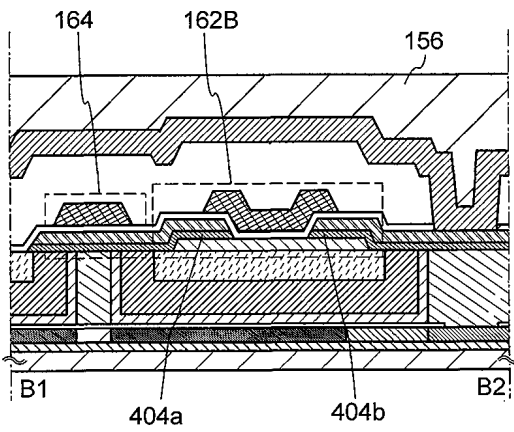
도면12f



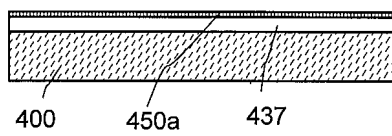
도면13a



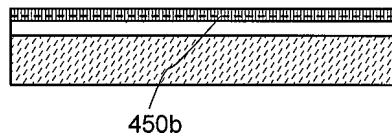
도면13b



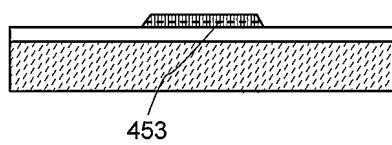
도면14a



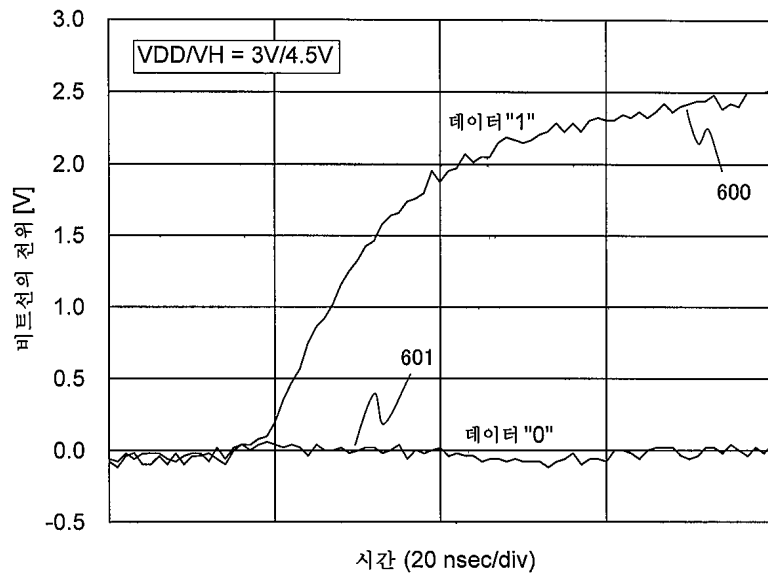
도면14b



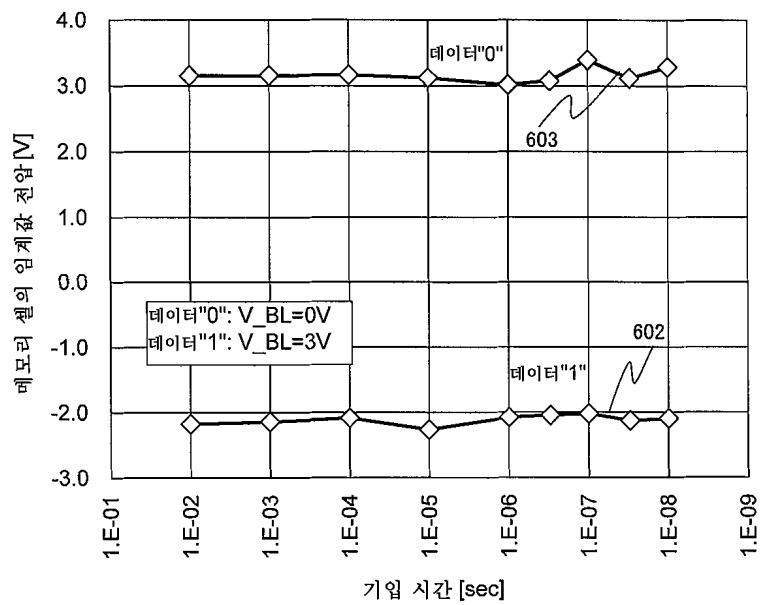
도면14c



도면15



도면16



도면17

