(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0077204
(43) 공개일자 2025년05월30일

(51) 국제특허분류(Int. Cl.)
H03B 5/12 (2014.01) *H03B 5/24* (2006.01)
(52) CPC특허분류
H03B 5/1215 (2013.01)
H03B 5/1296 (2013.01)
(21) 출원번호 10-2023-0164774
(22) 출원일자 2023년11월23일
심사청구일자 2023년11월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
전상근
서울특별시 강남구 선릉로 222, 111동 1102호(대치동, 대치아이파크아파트)
김상민
경기도 안양시 만안구 안양천서로 311, 106동 1504호(안양동, 삼성래미안아파트)
(74) 대리인
송인호, 윤형근, 최관락

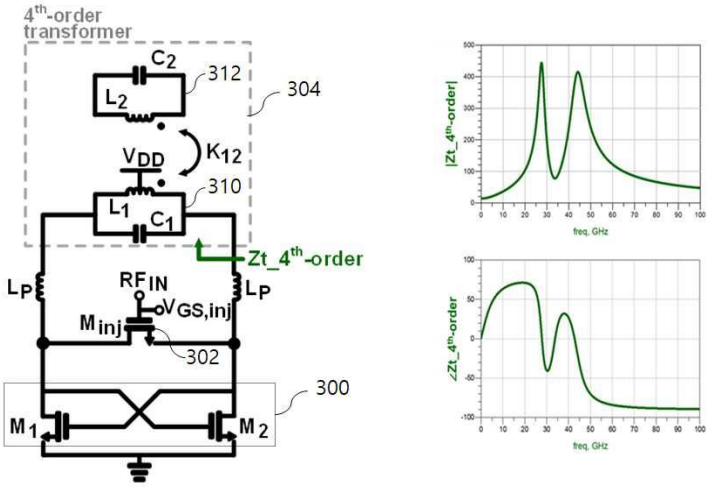
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **다차 트랜스포머를 이용한 광대역 주파수 분주기**

(57) 요 약

본 발명은 다차 트랜스포머를 이용한 광대역 주파수 분주기를 개시한다. 본 발명에 따르면, 광대역 주파수 분주기로서, 제1 트랜지스터 및 제2 트랜지스터가 차동 구조로 연결되어 발진 신호를 출력하는 교차-결합부; 고주파 입력 신호를 통해 인젝션 신호를 출력하는 인젝션 트랜지스터; 인덕터 및 캐패시터로 구성된 복수의 LC 병렬회로로 구성되어 상기 발진 신호와 상기 인젝션 신호가 합쳐진 신호를 입력으로 하여 공진 주파수 신호를 반사하는 공진기를 포함하는 광대역 주파수 분주기가 제공된다.

대 표 도 - 도3



(52) CPC특허분류
H03B 5/24 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711193352
과제번호 2021-0-00938-003
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 6G핵심기술개발
연구과제명 THz 대역 RF 핵심 부품 개발
기 여 율 1/1
과제수행기관명 한국전자통신연구원
연구기간 2023.01.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

광대역 주파수 분주기로서,

제1 트랜지스터 및 제2 트랜지스터가 차동 구조로 연결되어 발진 신호를 출력하는 교차-결합부;

고주파 입력 신호를 통해 인젝션 신호를 출력하는 인젝션 트랜지스터; 및

인덕터 및 캐패시터로 구성된 복수의 LC 병렬회로로 구성되어 상기 발진 신호와 상기 인젝션 신호가 합쳐진 신호를 입력으로 하여 공진 주파수 신호를 반사하는 공진기를 포함하는 광대역 주파수 분주기.

청구항 2

제1항에 있어서,

상기 공진기는,

인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로; 및

제1 커플링 계수를 가지면서 상기 제1 LC 병렬회로에 인접하게 배치되며, 인덕터(L2) 및 캐피시터(C2)로 구성된 제2 LC 병렬회로를 포함하는 4차 트랜스포머를 포함하는 광대역 주파수 분주기.

청구항 3

제2항에 있어서,

상기 제1 LC 병렬회로의 제1 노드는 상기 인젝션 트랜지스터의 소스에 연결되며, 상기 제1 LC 병렬회로의 제2 노드는 상기 인젝션 트랜지스터의 드레인에 연결되는 광대역 주파수 분주기.

청구항 4

제1항에 있어서,

상기 공진기는,

인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로;

인덕터(L2)와 캐피시터(C2)로 구성된 제2 LC 병렬회로;

인덕터(L3)와 캐피시터(C3)로 구성된 제3 LC 병렬회로; 및

인덕터(L4)와 캐피시터(C4)로 구성된 제4 LC 병렬회로를 포함하고,

상기 제1 내지 제4 LC 병렬회로는 K12, K13, K14, K23, K24, K34의 커플링 계수를 가지면서 서로 인접하게 배치되는 광대역 주파수 분주기.

청구항 5

제1항에 있어서,

상기 공진기는,

인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로;

인덕터(L2)와 캐피시터(C2)로 구성된 제2 LC 병렬회로; 및

인덕터(L3)와 캐피시터(C3)로 구성된 제3 LC 병렬회로를 포함하고,

상기 제1 LC 병렬회로의 제1 노드는 상기 인젝션 트랜지스터의 소스에 연결되고, 상기 제1 LC 병렬회로의 제2 노드는 상기 제2 LC 병렬회로의 제1 노드와 연결되고, 상기 인젝션 트랜지스터의 드레인에 상기 제3 LC 병렬회

로의 제1 노드가 연결되고, 상기 제3 LC 병렬회로의 제2 노드에 상기 제2 LC 병렬회로의 제2 노드가 연결되는 광대역 주파수 분주기.

청구항 6

제5항에 있어서,

상기 공진기는,

상기 제1 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제4 LC 병렬회로; 및

상기 제3 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제5 LC 병렬회로를 더 포함하는 광대역 주파수 분주기.

청구항 7

제6항에 있어서,

상기 공진기는,

상기 제2 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제6 LC 병렬회로를 더 포함하는 광대역 주파수 분주기.

발명의 설명

기 술 분 야

[0001] 본 발명은 다차 트랜스포머를 이용한 광대역 주파수 분주기에 관한 것으로서, 보다 상세하게는 RF 및 mm-wave 대역 전력 증폭기 설계에 적용 가능한 동작 주파수 범위 및 효율 향상 기법에 관한 것이다.

배 경 기 술

[0002] 수신기에서 주파수 분주기는 주파수 제어, 다중 주파수 대역 작업, 클럭 분배, 주파수 변환 및 동기화와 같은 다양한 기능을 수행한다. 이러한 기능은 무선 통신, 레이더, 위성 통신 및 다른 통신 시스템에서 중요한 역할을 한다.

[0003] 특히, 현재의 통신 환경에서는 광대역과 고속 데이터 전송이 중요한 요구 사항이 되고 있으며, 5G 네트워크에서 사용하는 여러 주파수 대역에서 동작 가능한 송수신기가 필요하다. 이를 위해 고주파수 대역에서도 효율적으로 동작하는 주파수 분주기가 필요한데, 그 중에서도 injection-locked frequency divider topology(ILFD)가 주목받고 있다.

[0004] 도 1은 종래기술에 따른 ILFD의 구성을 도시한 도면이다.

[0005] 도 1에 도시된 바와 같이, 종래의 ILFD는 LC 탱크로 구성된 공진기, 인젝션 트랜지스터(injection transistor, M_{inj}) 및 트랜지스터 M_1 및 M_2를 포함하는 교차-결합(cross-coupled) 구조로 구성되며, 이들의 상호 작용을 통해 동작한다.

[0006] 교차-결합 구조는 내부에서 신호가 피드백(feedback)되면서 발진을 유발하며, 인젝션 트랜지스터에서는 입력 신호를 처리하여 2분주된 출력 신호를 생성하여 분주 동작을 수행한다.

[0007] ILFD는 일반적으로 높은 동작 주파수를 가지고 있지만 주파수 분주 동작이 가능한 대역이 제한적인 단점을 가진다. 이를 통해 고주파수 범위와 넓은 주파수 대역에서 효과적으로 동작할 수 있는 고주파수 광대역 ILFD가 제안되고 있다.

[0008] 도 1의 수식은 종래의 ILFD에서 교차-결합 구조의 $g_m^* |Z_i|$ 값이 1보다 커야 발진 가능하다는 조건과 공진기에서 만들어 주는 위상(phase) 변화가 도 1의 $I_{i,\omega}$와 $I_{OSC,\omega}$ 사이의 최대 위상차(Φ_{max})보다 작아야 주파수 분주가 가능하다는 조건을 표현한 식이다.

[0009] 해당 수식으로부터 공진기 임피던스(impedance)의 진폭(magnitude) 값인 $|Z_t|$에 대한 최솟값과 공진기 위상 변화의 최대 • 최솟값을 얻을 수 있다.

[0010] 따라서 ILFD가 넓은 주파수 범위에서 효율적으로 동작하기 위해서는 공진기 임피던스의 진폭이 충분히 큰 값을 유지해야 하고 공진기가 만들어내는 위상 변화가 넓은 주파수 범위에서 Φ_{max}보다 작아야 한다.

[0011] 종래의 ILFD의 LC 탱크로 구성된 공진기는 도 2와 같이 $|Z_t|$의 피크(peak)가 하나이기 때문에 넓은 범위에서 공진기의 진폭을 크게 가져가기 어렵다. 게다가 도 2와 같이 공진기의 위상 응답이 빠르게 감소하여 Φ_{max}범위 내에 포함되는 주파수 영역이 좁아 주파수 분주 가능 범위(Locking Range)가 좁아지는 문제점이 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) KR 등록특허 10-1710717

발명의 내용

해결하려는 과제

[0013] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 RF 및 mm-wave 대역 전력 증폭기 설계에 적용 가능한 동작 주파수 범위 및 효율 향상시킬 수 있는 다차 트랜스포머를 이용한 광대역 주파수 분주기를 제안하고자 한다.

과제의 해결 수단

[0014] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, 광대역 주파수 분주기로서, 제1 트랜지스터 및 제2 트랜지스터가 차동 구조로 연결되어 발진 신호를 출력하는 교차-결합부; 고주파 입력 신호를 통해 인젝션 신호를 출력하는 인젝션 트랜지스터; 인덕터 및 캐패시터로 구성된 복수의 LC 병렬회로로 구성되어 상기 발진 신호와 상기 인젝션 신호가 합쳐진 신호를 입력으로 하여 공진 주파수 신호를 반사하는 공진기를 포함하는 광대역 주파수 분주기가 제공된다.

[0015] 상기 공진기는, 인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로; 및 제1 커플링 계수를 가지면서 상기 제1 LC 병렬회로에 인접하게 배치되며, 인덕터(L2) 및 캐피시터(C2)로 구성된 제2 LC 병렬회로를 포함하는 4차 트랜스포머를 포함할 수 있다.

[0016] 상기 제1 LC 병렬회로의 제1 노드는 상기 인젝션 트랜지스터의 소스에 연결되며, 상기 제1 LC 병렬회로의 제2 노드는 상기 인젝션 트랜지스터의 드레인에 연결될 수 있다.

[0017] 상기 공진기는, 인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로; 인덕터(L2)와 캐피시터(C2)로 구성된 제2 LC 병렬회로; 인덕터(L3)와 캐피시터(C3)로 구성된 제3 LC 병렬회로; 및 인덕터(L4)와 캐피시터(C4)로 구성된 제4 LC 병렬회로를 포함하고, 상기 제1 내지 제4 LC 병렬회로는 K12, K13, K14, K23, K24, K34의 커플링 계수를 가지면서 서로 인접하게 배치될 수 있다.

[0018] 상기 공진기는, 인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로; 인덕터(L2)와 캐피시터(C2)로 구성된 제2 LC 병렬회로; 및 인덕터(L3)와 캐피시터(C3)로 구성된 제3 LC 병렬회로를 포함하고, 상기 제1 LC 병렬회로의 제1 노드는 상기 인젝션 트랜지스터의 소스에 연결되고, 상기 제1 LC 병렬회로의 제2 노드는 상기 제2 LC 병렬회로의 제1 노드와 연결되고, 상기 인젝션 트랜지스터의 드레인에 상기 제3 LC 병렬회로의 제1 노드가 연결되고, 상기 제3 LC 병렬회로의 제2 노드에 상기 제2 LC 병렬회로의 제2 노드가 연결될 수 있다.

[0019] 상기 공진기는, 상기 제1 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제4 LC 병렬회로; 및 상기 제3 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제5 LC 병렬회로를 더 포함할 수 있다.

[0020] 상기 공진기는, 상기 제2 LC 병렬회로와 소정 커플링 계수를 가지면서 인접 배치되는 제6 LC 병렬회로를 더 포

함할 수 있다.

발명의 효과

[0021] 본 발명에 따르면, 다차 트랜스포머 구조를 이용하여 주파수 분주 가능 범위를 확장할 수 있는 장점이 있다.

도면의 간단한 설명

[0022] 도 1은 종래기술에 따른 ILFD의 구성을 도시한 도면이다.

도 2는 종래기술에 따른 ILFD의 공진기 진폭 및 위상 응답을 도시한 도면이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 다차 트랜스포머를 이용한 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

도 4는 종래의 ILFD와 본 실시예에 따른 4차 트랜스포머를 이용한 광대역 주파수 분주기의 Locking Range 차이를 도시한 도면이다.

도 5은 본 발명의 다른 실시예에 따른 8차 트랜스포머를 이용한 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

도 6은 종래의 ILFD와 인덕티브 피킹 위치에 공진기를 배치한 구조를 도시한 도면이다.

도 7은 본 발명의 다른 실시예에 따른 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

도 8은 본 발명의 다른 실시예에 따른 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

도 9는 본 발명의 또 다른 실시예에 따른 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0024] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 또한, 각 도면을 참조하여 설명하는 실시예의 구성 요소가 해당 실시예에만 제한적으로 적용되는 것은 아니며, 본 발명의 기술적 사상이 유지되는 범위 내에서 다른 실시예에 포함되도록 구현될 수 있으며, 또한 별도의 설명이 생략될지라도 복수의 실시예가 통합된 하나의 실시예로 다시 구현될 수도 있음은 당연하다.

[0026] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일하거나 관련된 참조 부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0028] 도 3은 본 발명의 바람직한 일 실시예에 따른 다차 트랜스포머를 이용한 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

[0029] 도 3을 참조하면, 본 실시예에 따른 광대역 주파수 분주기는 교차-결합 부(300), 인젝션 트랜지스터(302) 및 다차 트랜스포머로 구성된 공진기(304)를 포함할 수 있다.

[0030] 교차 결합부(300)는 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)가 차동 구조로 연결되어 발진 신호를 출력하고,

인젝션 트랜지스터(302)는 고주파 입력 신호를 통해 인젝션 신호를 출력한다.

[0031] 도 3은 4차 트랜스포머를 이용한 광대역 주파수 분주기를 도시한 것이며, 4차 트랜스포머로 구성된 공진기(304)는 인덕터 및 캐패시터로 구성된 복수의 LC 병렬회로로 구성되어 상기 발진 신호와 상기 인젝션 신호가 합쳐진 신호를 입력으로 하여 공진 주파수 신호를 반사한다.

[0032] 보다 상세하게, 본 실시예에 따른 공진기(304)는 인덕터(L1)와 캐피시터(C1)로 구성된 제1 LC 병렬회로(310) 및 제1 커플링 계수(K12)를 가지면서 제1 LC 병렬회로(310)에 인접하게 배치되며, 인덕터(L2) 및 캐피시터(C2)로 구성된 제2 LC 병렬회로(312)를 포함할 수 있다. 도 3은 4차 트랜스포머를 이용한 광대역 주파수 분주기를 도시한 것이며, 4차 트랜스포머로 구성된 공진기(304)는 인덕터(L1)와 캐패시터(C1)로 구성된 제1 LC 병렬회로(310) 및 제1 커플링 계수(K12)를 가지면서 제1 LC 병렬회로(310)에 인접하게 배치되며, 인덕터(L2) 및 캐패시터(C2)로 구성된 제2 LC 병렬회로(312)를 포함할 수 있다.

[0033] 여기서, 제1 LC 병렬회로(310)의 제1 노드는 인젝션 트랜지스터(302)의 소스에 연결되며, 제1 LC 병렬회로(310)의 제2 노드는 인젝션 트랜지스터(302)의 드레인에 연결된다.

[0034] 상기한 바와 같이, 4차 트랜스포머를 이용하여 광대역 주파수 분주기의 공진기를 구성하는 경우, 공진기 임피던스의 피크가 두 개가 나타나는 것을 알 수 있다.

[0035] 도 4는 종래의 ILFD와 본 실시예에 따른 4차 트랜스포머를 이용한 광대역 주파수 분주기의 Locking Range 차이를 도시한 도면이다.

[0036] 도 4와 같이, 본 실시예에 따른 주파수 분주기는 공진기의 위상 응답에 리플이 생기고, 그에 따라 공진기의 위상 응답이 범위 내에 포함되는 주파수 범위가 넓어져 더 좋은 성능을 얻을 수 있다.

[0037] 전술한 바와 같이, 주파수 분주기가 분주 동작을 하기 위해서는 공진기 임피던스의 진폭이 $\frac{1}{g_m}$보다 커야 하고 ($|Z_t| \geq \frac{1}{g_m}$) 위상 응답은 $\Phi_{\max}$보다 작아야 한다는 조건이 존재한다.

[0038] 도 1의 종래의 ILFD 공진기 자리에 도 3와 같이 4차 트랜스포머를 배치하는 경우, 넓은 주파수 범위에서 임피던스의 진폭이 $\frac{1}{g_m}$보다 크고 위상 응답에 리플이 2번 생겨 더 넓은 범위에서 $\Phi_{\max}$보다 작은 값을 유지할 수 있다.

[0039] 도 5은 본 발명의 다른 실시예에 따른 8차 트랜스포머를 이용한 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

[0040] 도 5에 도시된 광대역 주파수 분주기는 교차-결합부(300), 인젝션 트랜지스터(302) 및 8차 트랜스포머로 구성된 공진기(500)를 포함한다.

[0041] 8차 트랜스포머로 구성된 공진기(500)는 인덕터(L1)와 캐패시터(C1)로 구성된 제1 LC 병렬회로(510), 인덕터(L2)와 캐패시터(C2)로 구성된 제2 LC 병렬회로(512), 인덕터(L3)와 캐패시터(C3)로 구성된 제3 LC 병렬회로(514) 및 인덕터(L4)와 캐패시터(C4)로 구성된 제4 LC 병렬회로(516)를 포함할 수 있다.

[0042] 여기서, 제1 LC 병렬회로(510)의 제1 노드는 인젝션 트랜지스터(302)의 소스에 연결되며, 제1 LC 병렬회로(510)의 제2 노드는 인젝션 트랜지스터(302)의 드레인에 연결된다.

[0043] 제1 LC 병렬회로(510) 내지 제4 LC 병렬회로(516)들을 각각 K12, K13, K14, K23, K24, K34의 커플링 계수를 가지면서 서로 인접하게 배치된다.

[0044] 상기에서는 서로 인접하게 배치되는 복수의 LC 병렬회로를 포함하는 공진기를 설명하였다.

[0045] 본 발명의 다른 실시예에 따르면, 종래의 ILFD의 인덕티브 피킹(inductive peaking) 위치에 복수의 LC 병렬회로를 배치하여 다차 트랜스포머로 구성된 공진기와 동일한 효과를 얻을 수 있다.

[0046] 도 6은 종래의 ILFD와 인덕티브 피킹 위치에 공진기를 배치한 구조를 도시한 도면이다.

[0047] 도 6을 참조하면, 종래의 ILFD의 경우 전체적인 공진기 임피던스의 진폭을 높여주고자 인덕티브 피킹(L_P)이 들어가는데, L_P 가 차지하는 면적이 상당히 크다. L_P 가 차지하는 면적을 좀 더 활용하고자 그 위치에 인덕티브 피킹 용도로도 활용되며 공진기 진폭과 위상에 리플을 추가해주는 역할을 하는 직렬 공진기(Series resonator)를 배치한다.

[0048] 도 7은 본 발명의 다른 실시예에 따른 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

[0049] 도 7은 도 6의 병렬 공진기와 직렬 공진기 위치에 LC 병렬회로를 배치한 구조를 도시한다.

[0050] 도 7을 참조하면, 본 실시예에 따른 광대역 주파수 분주기는 교차-결합부(300), 인젝션 트랜지스터(302) 및 복수의 LC 병렬회로(710 내지 714)로 구성된 공진기(700)를 포함할 수 있다.

[0051] 여기서, 제1 LC 병렬회로(710)의 제1 노드는 인젝션 트랜지스터(302)의 소스에 연결되고, 제1 LC 병렬회로(710)의 제2 노드는 제2 LC 병렬회로(712)의 제1 노드와 연결된다. 또한, 인젝션 트랜지스터(302)의 드레인에는 제3 LC 병렬회로(714)의 제1 노드가 연결되고, 제3 LC 병렬회로(714)의 제2 노드는 제2 LC 병렬회로(712)의 제2 노드에 연결된다.

[0052] 도 7에 도시된 공진기의 임피던스 진폭을 살펴보면, 4차 트랜스포머로 구성된 공진기와 동일한 효과를 얻을 수 있다.

[0053] 도 8은 본 발명의 다른 실시예에 따른 광대역 주파수 분주기의 구성 및 공진기 임피던스 진폭을 도시한 도면이다.

[0054] 도 8은 도 6의 직렬 공진기 위치에 4차 트랜스포머(810)를 배치한 공진기(800) 구조를 도시한다.

[0055] 도 8을 참조하면, 도 7과 같은 구조에서, 제1 LC 병렬회로(710)와 소정 커플링 계수를 가지면서 인접 배치되는 제4 LC 병렬회로(820)와 제3 LC 병렬회로(714)와 소정 커플링 계수를 가지면서 인접 배치되는 제5 LC 병렬회로(822)가 추가된다.

[0056] 상기한 바와 같은 LC 병렬회로(822)의 추가에 따라 4차 트랜스포머(810)가 형성된다.

[0057] 이와 같이, 병렬 공진기와 직렬 공진기 자리에 4차 트랜스포머(810)를 배치하는 경우, 공진기 임피던스 진폭에서 알 수 있는 바와 같이, 8차 트랜스포머 하나를 배치했을 때와 같은 효과를 얻을 수 있다.

[0058] 더 나아가, 도 9와 같이, 병렬 공진기와 직렬 공진기 자리에 다차 트랜스포머를 배치하여 더 넓은 주파수 영역에서 주파수 분주 가능한 ILFD를 설계할 수 있다.

[0059] 이로 인해 크로스 커플드 구조에서 공진기를 바라봤을 때의 임피던스가 광대역 범위에서 큰 값을 가지게 되고 위상 응답이 Φ_{max} 보다 작은 값을 가지는 주파수 영역이 증가해 ILFD가 넓은 주파수 범위에서 동작할 수 있다.

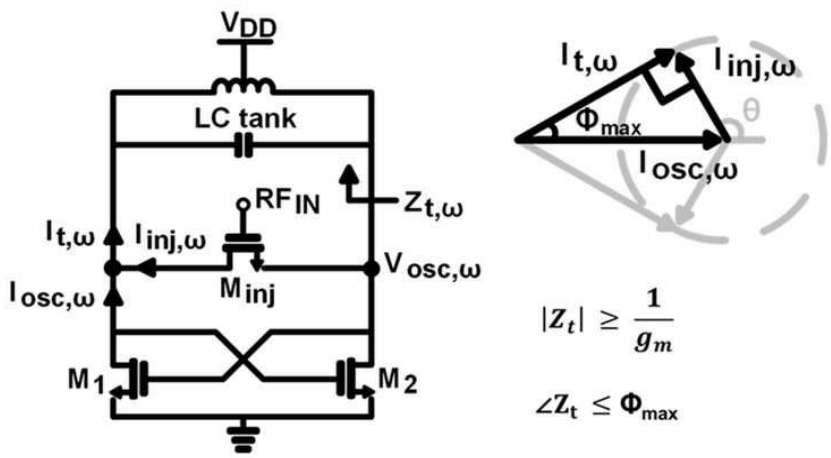
[0060] 이는 ILFD의 성능을 향상시키고, 고주파수 범위에서의 신호 처리와 주파수 분할 작업을 더 효율적으로 수행할 수 있게 한다.

[0061] 본 실시예에 따른 다차 트랜스포머 2개를 이용한 구조는 각각 개별적으로 설계하기 때문에 기생성분과 커플링 계수에 대한 고려사항이 비교적 적어진다.

[0062] 상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

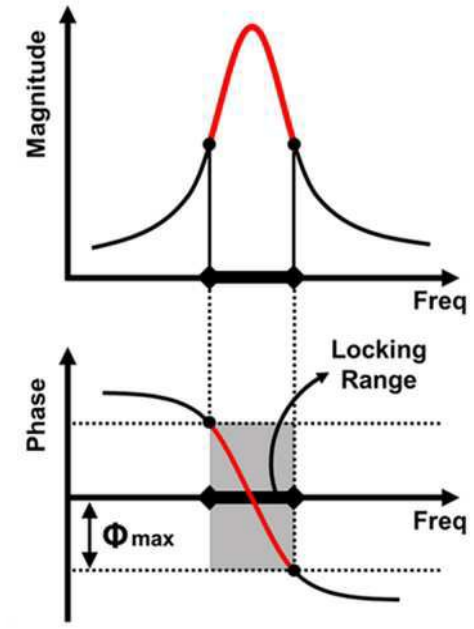
도면1



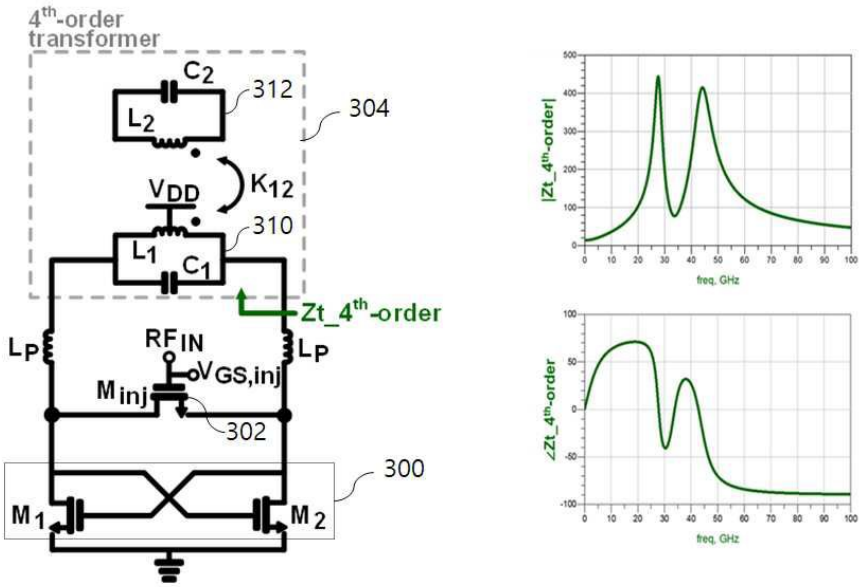
$$|Z_t| \geq \frac{1}{g_m}$$

$$\angle Z_t \leq \Phi_{max}$$

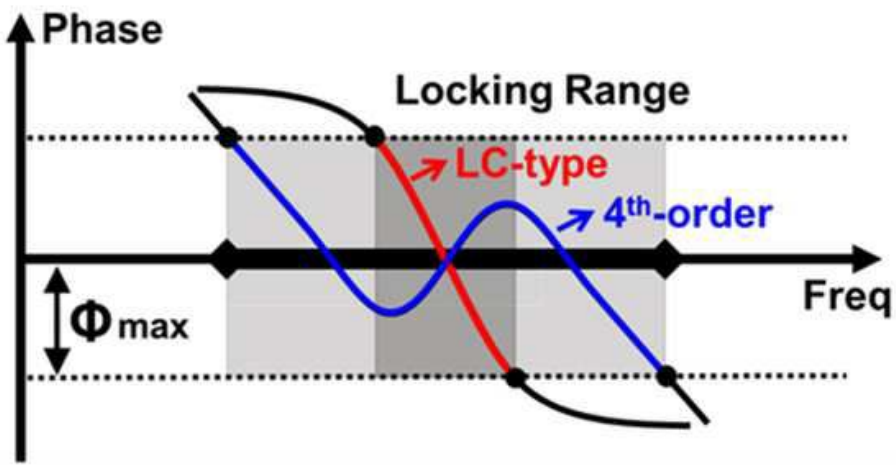
도면2



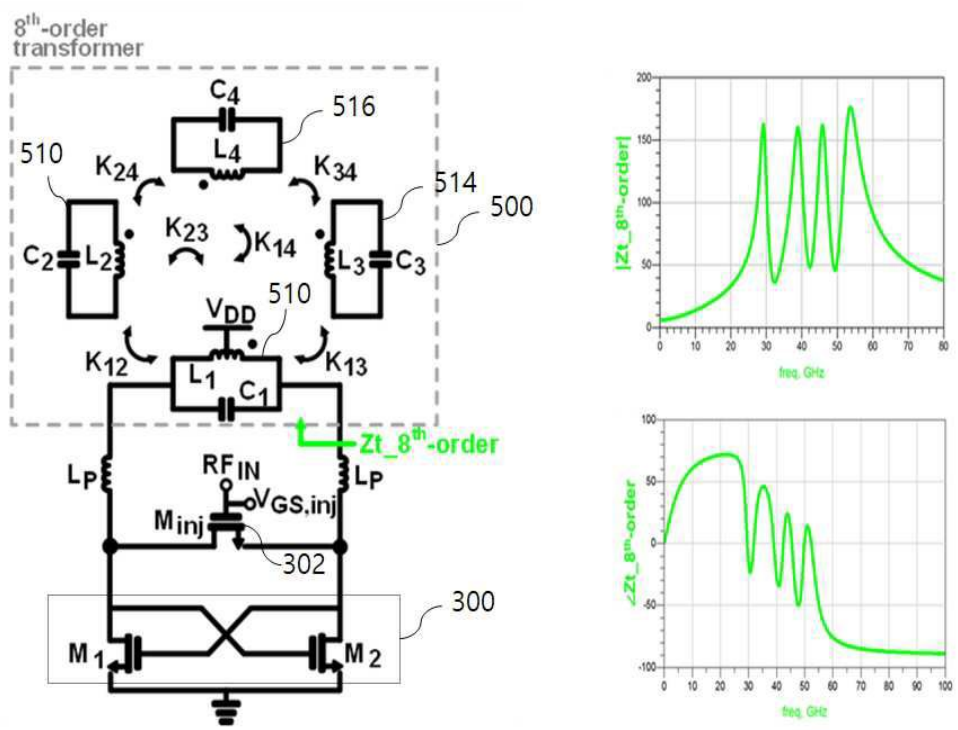
도면3


4th-order transformer
C2
L2
312
304
VDD
K12
310
L1
C1
Zt_4th-order
LP
RFIN
VGS,inj
LP
Minj
302
300
M1
M2
|Zt_4th-order|
freq, GHz
∠Zt_4th-order
freq, GHz

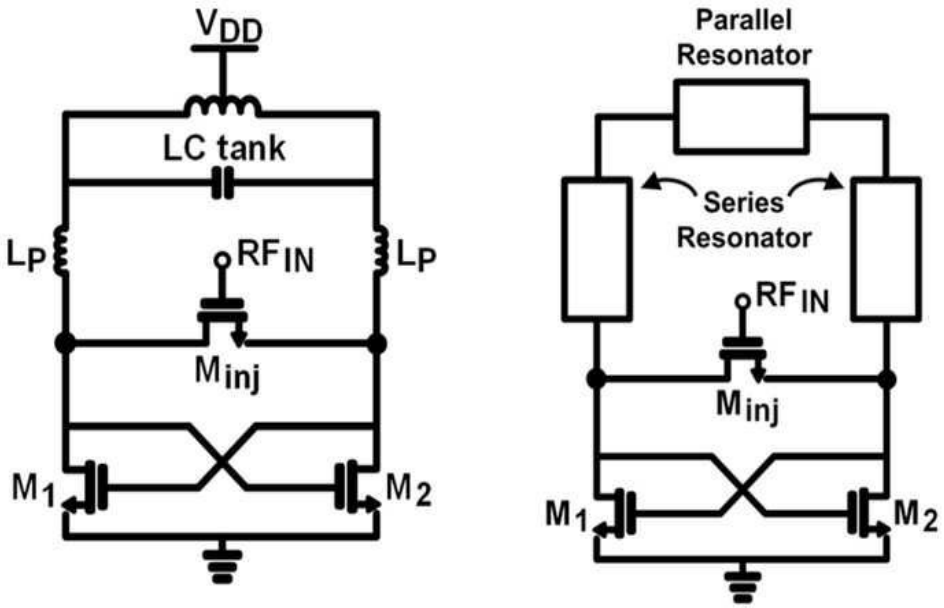
도면4


Phase
Locking Range
LC-type
4th-order
Freq
Φmax

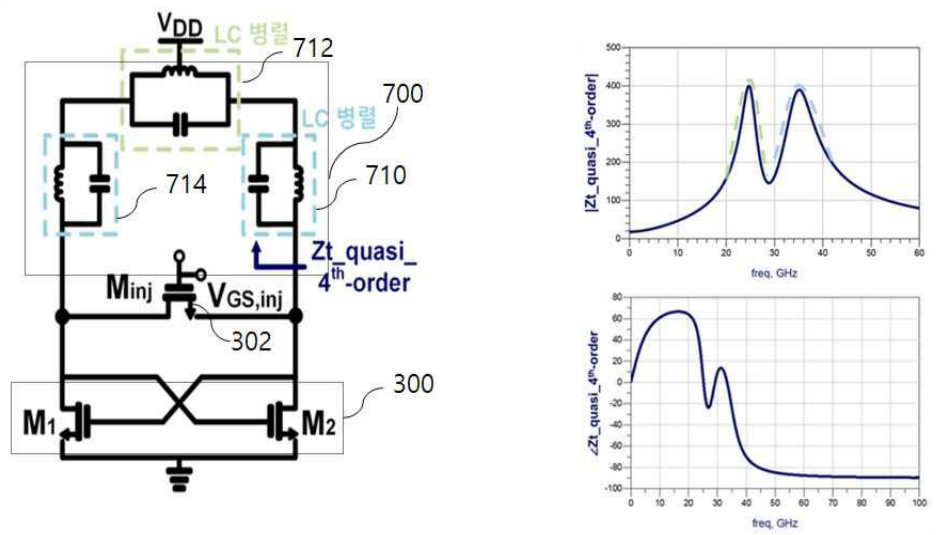
도면5


8th-order transformer
C4
516
510
K24
K34
L4
514
500
K23
K14
C2
L2
L3
C3
VDD
510
K12
K13
L1
C1
Zt_8th-order
LP
RFIN
LP
VGS,inj
Minj
302
300
M1
M2
|Zt_8th-order|
freq, GHz
∠Zt_8th-order
freq, GHz

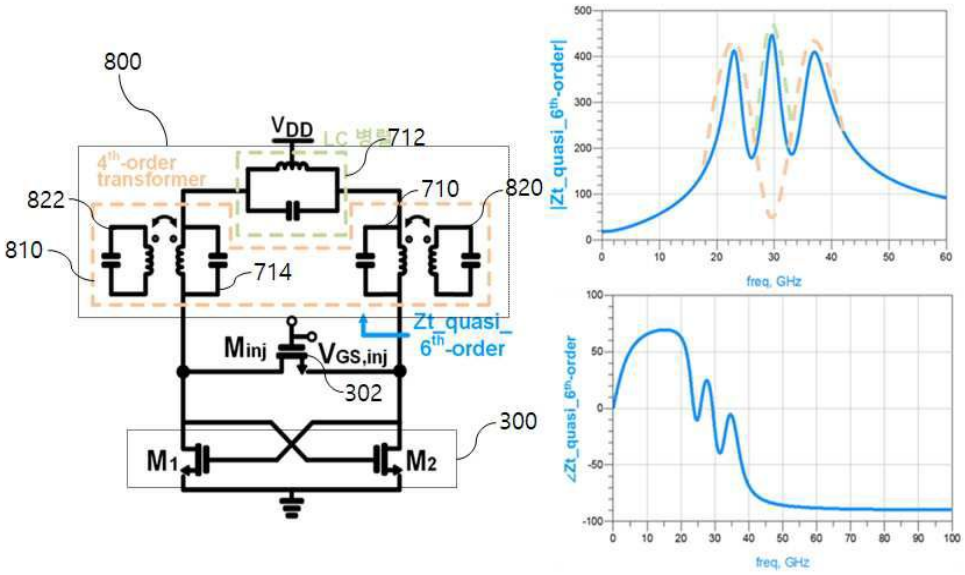
도면6


VDD
LC tank
LP
RFIN
LP
Minj
M1
M2
Parallel Resonator
Series Resonator
RFIN
Minj
M1
M2

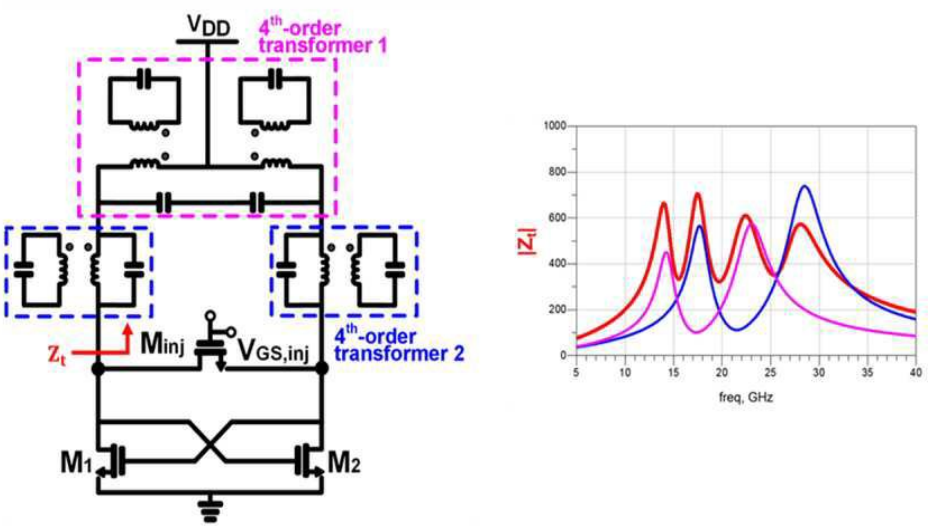
도면7


VDD
LC 병렬
712
700
LC 병렬
714
710
Zt_quasi_
4th-order
Minj
VGS,inj
302
300
M1
M2
|Zt_quasi_4th-order|
freq, GHz
∠Zt_quasi_4th-order
freq, GHz

도면8


800
VDD
LC 병렬
712
4th-order
transformer
822
710
820
810
714
Zt_quasi_
6th-order
Minj
VGS,inj
302
300
M1
M2
|Zt_quasi_6th-order|
freq, GHz
∠Zt_quasi_6th-order
freq, GHz

도면9


VDD
4th-order transformer 1
Zt
Minj
VGS,inj
4th-order transformer 2
M1
M2
|Zt|
freq, GHz