



(12) 发明专利

(10) 授权公告号 CN 102054528 B
(45) 授权公告日 2012. 09. 19

(21) 申请号 201010531699. 6
(22) 申请日 2010. 11. 04
(30) 优先权数据
10-2009-0106179 2009. 11. 04 KR
10-2010-0107432 2010. 11. 01 KR
US 6836419 B2, 2004. 12. 28, 全文 .
CN 1879176 A, 2006. 12. 13, 全文 .

审查员 王效维

(73) 专利权人 庆熙大学校产学协力团
地址 韩国京畿道龙仁市器兴区书川洞一番地

(72) 发明人 洪祥熏 韩昌勋 蔡玟娥

(74) 专利代理机构 北京华夏博通专利事务所
(普通合伙) 11264
代理人 刘俊

(51) Int. Cl.
G11C 15/04 (2006. 01)

(56) 对比文件
US 5808929 A, 1998. 09. 15, 全文 .
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称
二进制内容可寻址存储器

(57) 摘要

本发明涉及一种二进制内容可寻址存储器 (content addressable memory, CAM), 尤其涉及通过减少组成内容可寻址存储器的整个晶体管的数量而使内容可寻址存储器的尺寸变小, 以此提高集成度并节省电力消耗的内容可寻址存储器。根据本发明的二进制内容可寻址存储器相比现有二进制内容可寻址存储器, 可以由较少的晶体管组成, 可制作尺寸较小的存储器, 提高存储器设计中的重要因素之一的集成度, 并有助于设计小型且轻薄的产品。并且根据本发明的二进制内容可寻址存储器利用较少数量的晶体管执行二进制内容可寻址存储器的功能, 可以减少电力消耗, 并以较少处理实现数据的储存或比较而发挥高性能。

BL	逻辑
0	0
1	1

(a)

BL	BL/	逻辑
0	1	0
1	0	1

(b)

1. 一种二进制内容可寻址存储器 (content addressable memory, CAM), 其特征在于, 该二进制内容可寻址存储器包括: 第一 NMOS 晶体管、第二 PMOS 晶体管及第三 NMOS 晶体管、比较电路部;

其中, 所述第一晶体管的源极为第一位线, 所述第一晶体管的栅极与字线 (WL) 连接而被激活控制; 所述第二晶体管的源极、漏极分别连接于第一位线及所述第三晶体管的漏极; 所述第三晶体管的源极连接于第二位线; 所述第二晶体管、第三晶体管的栅极同时连接所述第一晶体管的漏极; 该第二晶体管及第三晶体管在第一晶体管被激活时储存通过第一位线 (BL) 输入的储存数据; 所述第一位线与第二位线属于取反关系;

所述比较电路部包括匹配线和第四 NMOS 晶体管, 该匹配线根据比较信号而预充电; 所述第四晶体管的漏极连接于匹配线用于输出, 第四晶体管的栅极连接于第二和第三晶体管的漏极连接节点, 第四晶体管的源极接地, 通过第一位线输入第一比较数据, 通过第二位线输入第二比较数据, 在匹配线预充电后, 基于第一及第二位线输入的比较数据得到的在第二及第三晶体管中的储存数据, 第四晶体管被激活控制从而向匹配线输出比较值。

二进制内容可寻址存储器

技术领域

[0001] 本发明涉及一种二进制内容可寻址存储器 (content addressable memory, CAM), 尤其涉及通过减少构成内容可寻址存储器的整个晶体管的数量而使内容可寻址存储器的尺寸变小, 以此提高集成度并节省电力消耗的内容可寻址存储器。

背景技术

[0002] 通常的存储器只有在正确知道数据储存的地址的情况下才可以访问所储存的数据。而内容可寻址存储器 (content addressable memory, CAM) 是一种具有即使不知道数据被储存的正确地址, 只要输入数据的内容即可查找相关内容的数据被储存的位置的地址的功能的存储器。因此在多个数据中查找特定内容时, 因其具有查找与给定内容一致的数据相关的数据的、特有的检索特性, 因此广泛采用利用内容可寻址存储器的 IP 地址查找方法, 并且多使用于数据检索引擎。

[0003] 这种内容可寻址存储器大致可分为二进制内容可寻址存储器 (content addressable memory, CAM) 和三进制内容可寻址存储器 (ternary CAM)。二进制内容可寻址存储器在存储单元储存 0 或 1 数据, 对输入数据和已储存的数据进行比较来检索该内容的数据被储存的位置的地址。与此相反, 三进制内容可寻址存储器可在存储单元储存 0 或 1 之外的无定值, 检索已储存数据时, 输入 0、1、无定值的组合, 并与输入数据和储存数据进行比较来检索该内容的数据被储存的位置的地址。

[0004] 图 1 是用于说明检索储存在二进制内容可寻址存储器的数据的一实例的示意图。图 1(a) 表示要检索的数据, 图 1(b) 表示储存在二进制内容可寻址存储器的数据。如图 1(a) 所示, 要检索的数据是 1、1、0、1、0、0、1。内容可寻址存储器对输入数据和已储存的数据进行比较, 在储存的数据中与输入数据一致的、储存在第三行的数据作为一致数据进行检索。如此, 二进制内容可寻址存储器在储存的数据中检索与输入数据整体上一致的内容的数据, 因此即使不知道数据储存的地址也可以只根据数据的内容来容易地检索所储存的数据。

[0005] 图 2 是用于说明现有二进制内容可寻址存储器的概略性的电路图。

[0006] 参考图 2, 现有的二进制内容可寻址存储器包括储存部 10、位线部、字线 (WL) 及比较电路部 20。该储存部 10 用于储存 0、1 的数据; 该位线部由向储存部 10 输入要储存的数据或输入用于判断已储存数据的比较数据的第一位线 (BL) 和第二位线 (BL/) 组成; 该字线 (WL) 用于控制储存部 10 的激活; 该比较电路部 20 通过对输入的比较数据和储存部 10 中储存的储存数据进行比较来判断内容可寻址存储器中储存的储存数据和输入的比较数据是否一致。

[0007] 储存部 10 具备与位线部 (BL, BL/) 源极连接的第一 NMOS 晶体管 (M1) 和第二 NMOS 晶体管 (M2) 及, 以循环环形式连接并储存通过位线部 (BL, BL/) 输入的数据的一对逆变器 (I1, I2)。在此, 第一逆变器 (I1) 和第二逆变器 (I2) 分别由一个 PMOS 晶体管和 NMOS 晶体管组成。

[0008] 一方面, 比较电路部 20 具备: 匹配线 (ML), 通过预充信号以高电平进行预充; 第三

NMOS 晶体管 (M3) 和第四 NMOS 晶体管 (M4), 由于一对逆变器 (I1, I2) 分别连接有闸极, 通过一对逆变器 (I1, I2) 中储存的数据激活 / 非激活 ; 及第五 NMOS 晶体管 (M5), 匹配线 (ML) 上连接有漏极。第三 NMOS 晶体管 (M3) 和第四 NMOS 晶体管 (M4) 是互相连接的, 在第三 NMOS 晶体管 (M3) 和第四 NMOS 晶体管 (M4) 连接的节点 (A) 中连接第五 NMOS 晶体管 (M5) 的闸极。在此, 第五 NMOS 晶体管 (M5) 的源极是接地的。判断储存部 10 中储存的数据时, 字线 (WL) 处于非激活状态, 在通过位线部 (BL, BL/) 输入的比较数据和储存部 10 中储存的储存数据一致时, 匹配线 (ML) 保持预充电状态, 输出高电位的比较值。相反, 通过位线部 (BL, BL/) 输入的比较数据和储存部 10 中储存的储存数据不同时, 匹配线 (ML) 就会被卸载, 输出低电位的比较值。

发明内容

[0009] 如上所述的现有二进制内容可寻址存储器在向储存部 10 输入数据时需要分别向第一输入线 (BL) 和第二输入线 (BL/) 输入数据, 特别是, 储存部 10 具备多个晶体管, 即与输入线部 (BL, BL/) 连接的两个 NMOS 晶体管 (M1, M2) 及组成一对逆变器 (I1, I2) 的 4 个晶体管 (未图示), 总共 6 个晶体管。由此, 现有二进制内容可寻址存储器具备储存部 10 中使用的 6 个晶体管和比较电路部 20 中使用的 3 个晶体管, 总共 9 个晶体管。

[0010] 在存储器设计中考虑的首要因数是通过缩小存储器的尺寸提高集成度, 并通过以高性能设计减少电力消耗。但是现有二进制内容可寻址存储器包括比较电路部 20 基本使用 9 个的晶体管, 并且要在储存部 10 储存数据时, 需要分别向第一输入线 (BL) 和第二输入线 (BL/) 输入数据。因此现有二进制内容可寻址存储器的集成化受到限制, 并且由于利用很多晶体管和第一输入线和第二输入线, 导致电力消耗大, 处理复杂, 无法发挥高性能。

[0011] 本发明的目的在于解决现有二进制内容可寻址存储器所持有的弊端, 为此, 本发明提供一种二进制内容可寻址存储器, 以减少制造二进制内容可寻址存储器所使用的元件数量, 实现其所占面积变小。

[0012] 本发明的另一目的在于提供一种二进制内容可寻址存储器, 以减少二进制内容可寻址存储器的尺寸, 提高其集成度。

[0013] 本发明的另一目的在于提供一种二进制内容可寻址存储器, 以减少组成二进制内容可寻址存储器的晶体管数量, 减少电力消耗。

[0014] 本发明的另一目的在于提供一种二进制内容可寻址存储器, 以减少组成晶体管的数量, 并以单一数据输入储存数据而以较少的处理储存数据或进行比较, 使其发挥高性能。

[0015] 为了实现上述目的, 本发明提供一种以如下内容为特征的二进制内容可寻址存储器, 其特征在于: 包括第一晶体管、第二晶体管及第三晶体管、比较电路部; 该第一晶体管通过其闸极与字线 (WL) 连接而被激活控制; 该第二晶体管及第三晶体管在第一晶体管被激活时储存通过第一位线 (BL) 输入的储存数据; 该比较电路部基于第一及第二位线输入的比较数据得到的在第二及第三晶体管中的储存数据而输出比较值。

[0016] 比较电路部包括匹配线和第四晶体管; 该匹配线根据比较信号而预充电; 该第四晶体管在匹配线预充电后基于第一、第二位线输入的比较数据得到的所述储存数据而被激活控制。

[0017] 优选地, 在二进制内容可寻址存储器中第一晶体管、第三晶体管、第四晶体管是

NMOS 晶体管,第二晶体管是 PMOS 晶体管。

[0018] 在此,第一晶体管的源极为第一位线,第一晶体管的漏极为第二晶体管和第三晶体管的闸极,第一晶体管的闸极连接于字线。

[0019] 在此,第二 PMOS 晶体管的源、漏极分别连接于第一位线、第三 NMOS 晶体管的漏极,第三 NMOS 晶体管的源极连接于第二位线,第四 NMOS 晶体管的漏极连接于匹配线,第四 NMOS 晶体管的闸极连接于第二 PMOS 晶体管和第三 NMOS 晶体管的之间的连接节点,该第四 NMOS 晶体管的源极处于接地状态。

[0020] 本发明的有益效果在于:

[0021] 根据本发明的二进制内容可寻址存储器比现有的二进制内容可寻址存储器具有如下多种效果。

[0022] 第一,根据本发明的二进制内容可寻址存储器相比现有二进制内容可寻址存储器其组成晶体管的数量较少,可以制作较小的存储器,因此可以提高在存储器设计中最为关键的集成度。

[0023] 第二,根据本发明的二进制内容可寻址存储器通过提高集成度,有助于设计小型且轻薄的产品。

[0024] 第三,根据本发明的二进制内容可寻址存储器利用较少数量的晶体管执行二进制内容可寻址存储器的功能,因此可以减少电力消耗。

[0025] 第四,根据本发明的二进制内容可寻址存储器减少晶体管的数量并以单一数据储存数据可以以较少的处理储存或比较数据,因此可以发挥高性能。

附图说明

[0026] 图 1 是用于说明检索储存在二进制内容可寻址存储器的数据的一实例的示意图;

[0027] 图 2 是用于说明现有二进制内容可寻址存储器的概略性的电路图;

[0028] 图 3 表示根据本发明一实施例的二进制内容可寻址存储器 100 的电路图;

[0029] 图 4 为了在根据本发明一实施例的二进制内容可寻址存储器中储存 0、1 而输入至第一位线 (BL) 的数据和在二进制内容可寻址存储器中储存的数据进行比较检索,而输入至第一位线 (BL) 和第二位线 (BL/) 的数据。

具体实施方式

[0030] 下面参考附图详细说明根据本发明的二进制内容可寻址存储器。

[0031] 图 3 表示根据本发明一实施例的二进制内容可寻址存储器 100 的电路图。

[0032] 参考图 3,根据本发明的二进制内容可寻址存储器具备:储存部 110,储存 0 或 1 的数据;位线部,由用于输入要储存到储存部 110 的数据或输入第一比较数据的第一位线 (BL) 和用于输入第二比较数据的第二位线 (BL/) 组成;字线 (WL),用于控制储存部 110 的激活;比较电路部 120,通过对储存于储存部 110 的数据和比较数据进行比较判断二进制内容可寻址存储器中储存的数据。

[0033] 储存部 110 具备第一晶体管 (M1)、第二晶体管 (M2)、第三晶体管 (M3)。第一晶体管 (M1) 的源、漏极及闸极分别连接于第一位线 (BL),第二晶体管 (M2) 和第三晶体管 (M3) 的闸极、字线 (WL)。一方面,第二晶体管 (M2) 的源极和漏极分别连接于第一位线 (BL) 和第

三晶体管 (M3) 的漏极,第三晶体管 (M3) 的源极连接于第二位线 (BL/)。

[0034] 一方面,比较电路部 120 具备匹配线 (ML) 和第四晶体管 (M4) 而组成。第二晶体管 (M2) 的漏极和第三晶体管 (M3) 的漏极互相连接,第四晶体管 (M4) 闸极连接于第二晶体管 (M2) 的漏极和第三晶体管 (M3) 漏极的连接节点 (A)。第四晶体管 (M4) 的漏极连接于匹配线 (ML),第四晶体管 (M4) 的源极处于接地状态。比较电路部 120 对储存部 110 中储存的储存数据和通过位线部 (BL, BL/) 输入的比较数据进行比较并将比较结果值输出至匹配线 (ML)。

[0035] 优选地,第一晶体管 (M1)、第三晶体管 (M3)、第四晶体管 (M4) 是 NMOS 晶体管,第二晶体管 (M2) 是 PMOS 晶体管。

[0036] 图 4 为了在根据本发明一实施例的二进制内容可寻址存储器中储存 0 或 1 而输入至第一位线 (BL) 的数据和在二进制内容可寻址存储器中储存的数据进行比较检索,而输入至第一位线 (BL) 和第二位线 (BL/) 的比较数据。

[0037] 如图 4(a) 所示,为了将 0 储存至二进制内容可寻址存储器,向第一位线 (BL) 输入 0,为了将 1 储存至二进制内容可寻址存储器,向第一位线 (BL) 输入 1。一方面,如图 4(b) 所示,为了判断储存在二进制内容可寻址存储器的数据是否为 0,向第一位线 (BL) 输入 0、向第二位线 (BL/) 输入 1,为了判断储存在二进制内容可寻址存储器的数据是否为 1,向第一位线 (BL) 输入 0、向第二位线 (BL/) 输入 0。

[0038] 参考图 3 和图 4,具体说明在根据本发明的二进制内容可寻址存储器储存数据的操作和检索储存数据的操作。

[0039] 储存操作

[0040] 要在二进制内容可寻址存储器 100 储存 0 时,向字线 (WL) 输入高信号而激活第一晶体管 (M1),并通过向第一位线 (BL) 输入 0 的数据在第二晶体管 (M2) 和第三晶体管 (M3) 储存 0 的数据。完成 0 的数据储存就在字线 (WL) 保持低信号。

[0041] 与此相同,要在二进制内容可寻址存储器 100 储存 1 时,向字线 (WL) 输入高信号而激活第一晶体管 (M1),并通过向第一位线 (BL) 输入 1 的数据在第二晶体管 (M2) 和第三晶体管 (M3) 储存 1 的数据。完成 1 的数据储存就在字线 (WL) 保持低信号。

[0042] 检索操作

[0043] 为了检索二进制内容可寻址存储器 100 中储存的数据是否为 0,在第一位线 (BL)、第二位线 (BL/) 分别输入 0、1 的比较数据。在二进制内容可寻址存储器 100 中储存有 0 的情况下,作为 PMOS 晶体管的第二晶体管 (M2) 被激活,而作为 NMOS 晶体管的第三晶体管 (M3) 则处于非激活状态。由此,输入到第一位线 (BL) 的比较数据 0 沿着节点 A 输入到第四晶体管 (M4) 的闸极。由于输入到第四晶体管 (M4) 闸极的比较数据是具有低值的信号,因此第四晶体管 (M4) 处于非激活状态,而匹配线 (ML) 保持预充电状态并输出高信号的比较值。即,高信号的比较值表示储存数据为 0。

[0044] 但是,如果二进制内容可寻址存储器 100 中储存的是 1 的情形下,作为 PMOS 晶体管的第二晶体管 (M2) 处于非激活状态,而 NMOS 晶体管的第三晶体管 (M3) 则被激活。由此,输入到第二位线 (BL/) 的比较数据 1 沿着节点 A 输入到第四晶体管 (M4) 的闸极。由于输入到第四晶体管 (M4) 闸极的比较数据是具有高值的信号,因此第四晶体管 (M4) 被激活,而匹配线 (ML) 被放电并输出低信号的比较值。即,低信号的比较值表示储存数据不是 0。

[0045] 与此相同,为了检索二进制内容可寻址存储器 100 中储存的数据是否为 1,在第一位线 (BL)、第二位线 (BL/) 分别输入 1、0 的比较数据。在二进制内容可寻址存储器 100 中储存有 1 的情况下,作为 PMOS 晶体管的第二晶体管 (M2) 处于非激活状态,而作为 NMOS 晶体管的第三晶体管 (M3) 则被激活。由此,输入到第二位线 (BL/) 的比较数据 0 沿着节点 A 输入到第四晶体管 (M4) 的闸极。由于输入到第四晶体管 (M4) 闸极的比较数据是具有低值的信号,因此第四晶体管 (M4) 处于非激活状态,而匹配线 (ML) 保持预充电状态并输出高信号的比较值。即,高信号的比较值表示储存数据为 1。

[0046] 但是,如果二进制内容可寻址存储器 100 中储存的是 0 的情形下,作为 PMOS 晶体管的第二晶体管 (M2) 被激活,而 NMOS 晶体管的第三晶体管 (M3) 则处于非激活状态。由此,输入到第一位线 (BL) 的比较数据 1 沿着节点 A 输入到第四晶体管 (M4) 的闸极。由于输入到第四晶体管 (M4) 闸极的比较数据是具有高值的信号,因此第四晶体管 (M4) 被激活,而匹配线 (ML) 被放电并输出低信号的比较值。即,低信号的比较值表示储存数据不是 1。

[0047] 以上所述仅为用以解释本发明的较佳实施例,并非企图据以对本发明做任何形式上的限制,因此,凡有在相同的创作精神下所作有关本发明的任何修饰或变更,皆仍应包括在本发明意图保护的范畴。

1	1	0	1	0	0	1
---	---	---	---	---	---	---

(a)

1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	1	0	0	1
1	0	1	1	1	0	0
1	0	1	1	0	0	1
1	1	0	0	1	1	1

一致

(b)

图 1

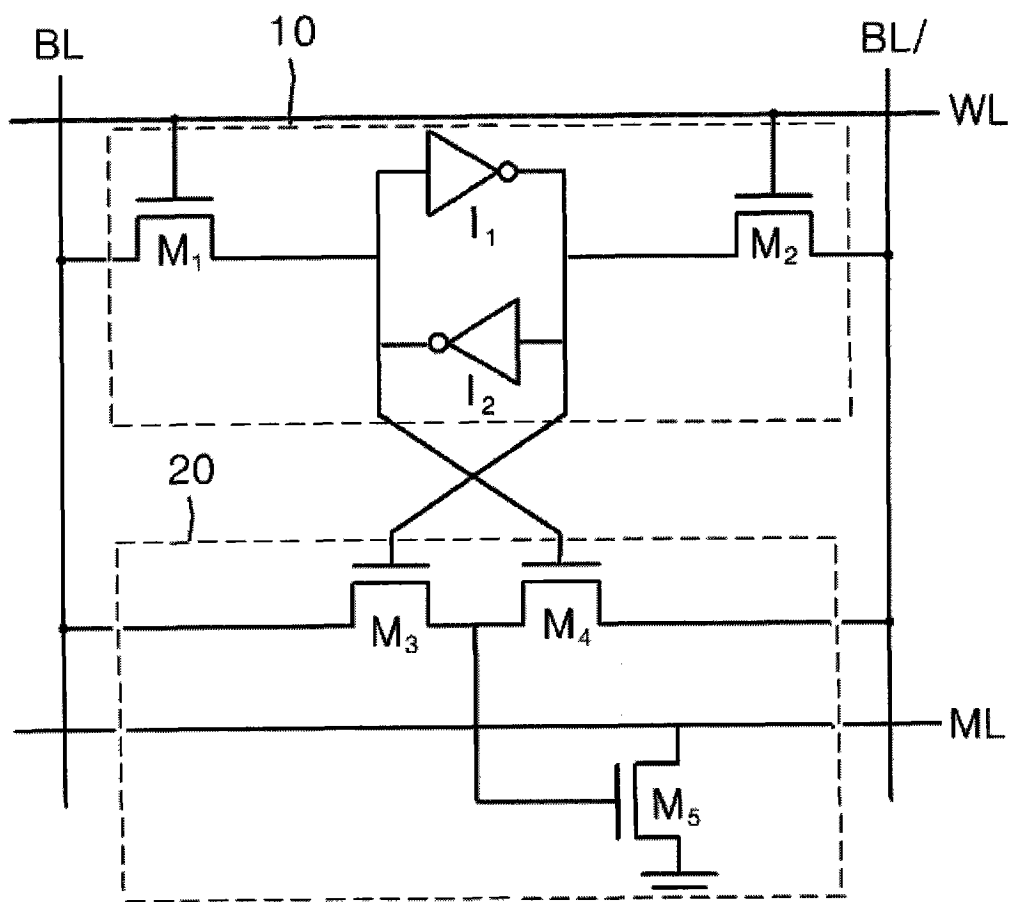


图 2

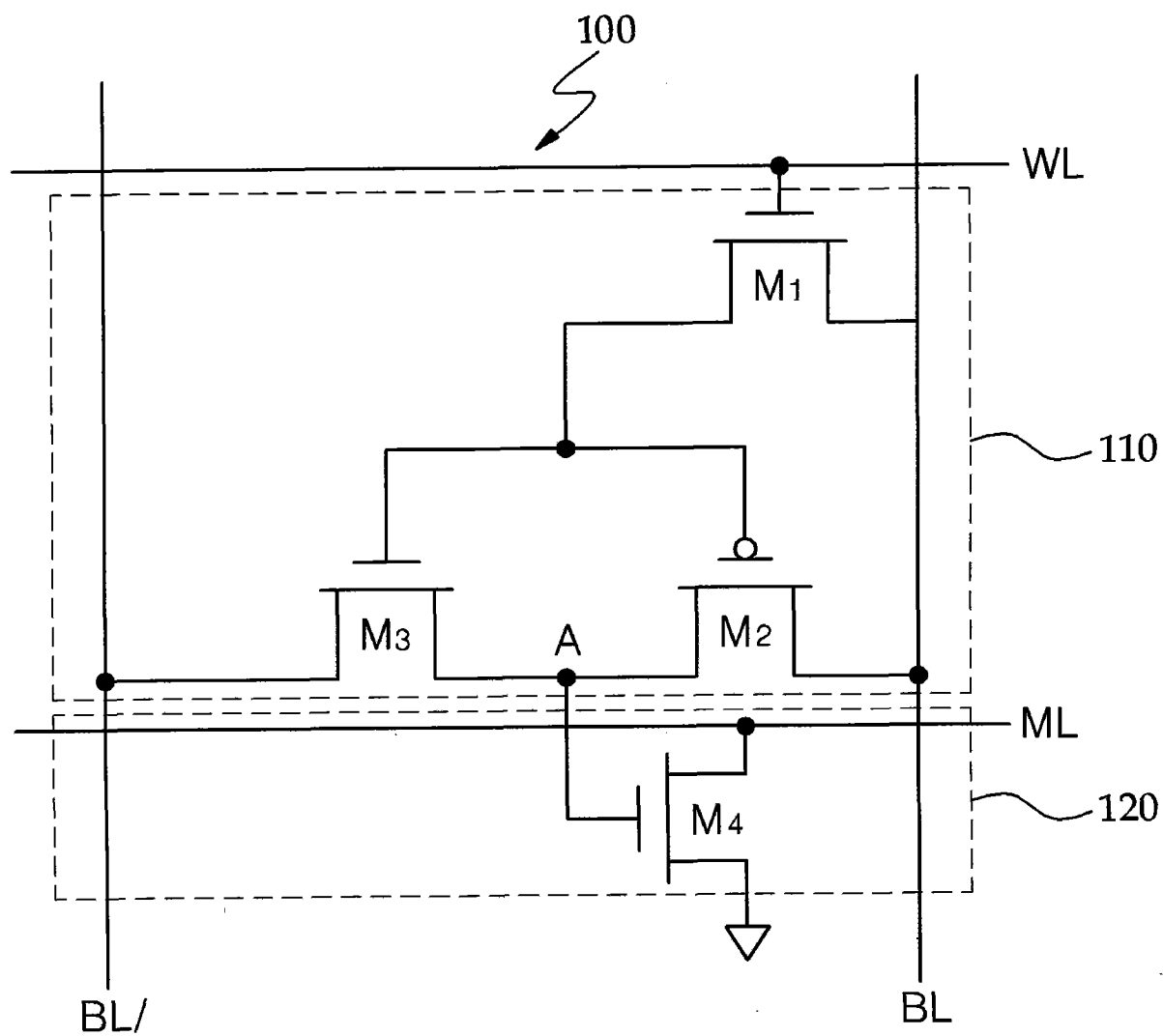


图 3

BL	逻辑
0	0
1	1

(a)

BL	BL/	逻辑
0	1	0
1	0	1

(b)

图 4