



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0161103
(43) 공개일자 2024년11월12일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 21/48 (2006.01)
(52) CPC특허분류
H01L 23/49838 (2013.01)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2024-7029225
(22) 출원일자(국제) 2023년02월24일
심사청구일자 없음
(85) 번역문제출일자 2024년08월30일
(86) 국제출원번호 PCT/US2023/063216
(87) 국제공개번호 WO 2023/183692
국제공개일자 2023년09월28일
(30) 우선권주장
17/656,477 2022년03월25일 미국(US)

(71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
부트, 조안 레이 빌라바
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
왕, 지지에
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인(유)남아이피그룹

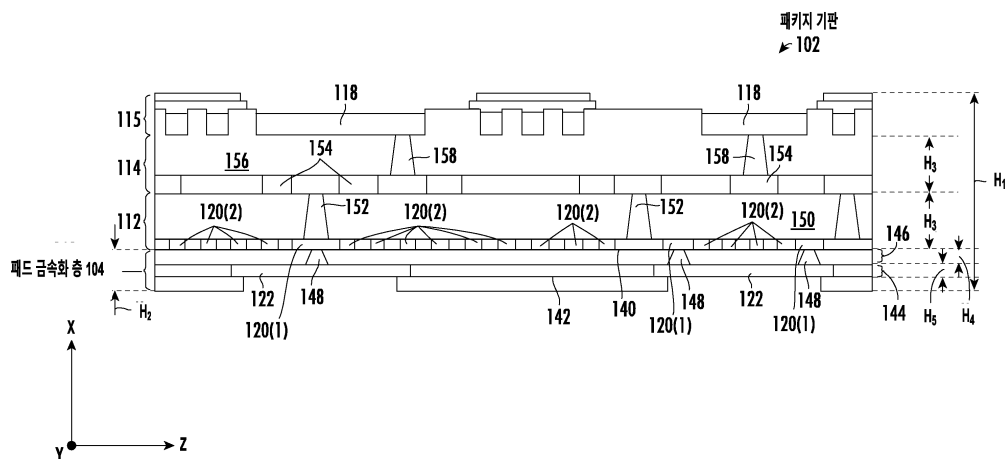
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 증가된 신호 라우팅 용량을 위한 패드 금속화 층을 채용하는 패키지 기판, 및 관련 집적 회로(IC) 패키지 및 제조 방법

(57) 요약

증가된 신호 라우팅 용량을 위한 패드 금속화 층을 채용하는 패키지 기판, 및 관련 집적 회로(IC) 패키지 및 제조 방법. 전체 IC 패키지 두께의 증가를 완화시키면서 IC 패키지에서의 증가된 신호 라우팅 밀도를 지원하기 위해, 패키지 기판의 외부 금속화 층은 더 얇은 패드 금속화 층으로서 제공된다. 패드 금속화 층 내의 금속 층은, 패키지 기판에 대한 외부 연결부들을 형성하기 위한 금속 패드들을 포함한다. 이는, 외부 상호연결부들을 형성하기 위한 더 큰 폭의 금속 패드들을 달리 가졌을 인접한 금속화 층 내의 영역이, 패키지 기판 내부의 다른 신호 라우팅을 위해 사용될 수 있게 한다. 이는, 완전한 크기의(full-sized) 추가적인 금속화 층이 패키지 기판에 추가되었던 경우 전체 패키지 기판 두께의 증가를 완화시키면서 패키지 기판의 전체 신호 라우팅 밀도를 증가시킬 수 있다.

대표도 - 도2a



(52) CPC특허분류

H01L 23/49811 (2013.01)

H01L 23/49822 (2013.01)

H01L 23/49894 (2013.01)

(72) 발명자

파틸, 애니켓

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

위, 홍 복

미국 92121 캘리포니아주 샌 디에고 모어하우스 드
라이브 5775

명세서

청구범위

청구항 1

패키지 기판으로서,

제1 금속화 층 - 상기 제1 금속화 층은,

제1 두께를 갖는 제1 금속 층을 포함하고,

상기 제1 금속 층은 하나 이상의 제1 금속 상호연결부들을 포함함 -;

상기 제1 금속화 층에 인접하게 배치된 제1 표면 및 상기 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층 - 상기 패드 금속화 층은,

상기 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 포함하고,

상기 패드 금속 층은, 상기 제2 표면에 인접하고 상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 금속 패드들을 포함함 -; 및

상기 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 포함하는, 패키지 기판.

청구항 2

제1항에 있어서, 상기 하나 이상의 금속 패드들의 각각의 금속 패드는 상기 하나 이상의 외부 상호연결부들 중의 외부 상호연결부에 커플링되는, 패키지 기판.

청구항 3

제1항에 있어서,

상기 제1 금속화 층은 하나 이상의 제2 금속 상호연결부들을 추가로 포함하고,

상기 하나 이상의 제2 금속 상호연결부들 각각은 상기 하나 이상의 금속 패드들 중의 금속 패드에 커플링되지 않는, 패키지 기판.

청구항 4

제3항에 있어서,

상기 하나 이상의 제1 금속 상호연결부들 각각은 제1 폭을 가지며,

상기 하나 이상의 제2 금속 상호연결부들 각각은 상기 제1 폭보다 더 작은 제2 폭을 갖는, 패키지 기판.

청구항 5

제1항에 있어서, 상기 제1 금속 층의 상기 제1 두께 대 상기 패드 금속 층의 상기 제2 두께의 비는 적어도 1.2인, 패키지 기판.

청구항 6

제1항에 있어서,

상기 제1 금속 층의 상기 제1 두께는 12 마이크로미터(μm)와 16 μm 사이이고,

상기 패드 금속 층의 상기 제2 두께는 10 μm 와 12 μm 사이인, 패키지 기판.

청구항 7

제1항에 있어서, 상기 패드 금속화 층은 상기 패드 금속 층에 인접하게 배치된 패드 비아(via) 층을 추가로 포

함하고,

상기 패드 비아 층은, 상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부 및 상기 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 패드 비아들을 포함하는, 패키지 기판.

청구항 8

제7항에 있어서, 상기 제1 금속화 층은 상기 제1 금속 층에 인접하게 배치된 제1 비아 층을 추가로 포함하고,

상기 제1 비아 층은, 상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 제1 비아들을 포함하는, 패키지 기판.

청구항 9

제8항에 있어서,

제2 금속화 층 - 상기 제2 금속화 층은, 상기 제1 금속화 층이 상기 제2 금속화 층과 상기 패드 금속화 층 사이에 배치되도록 상기 제1 금속화 층에 인접함 - 을 추가로 포함하고,

상기 제2 금속화 층은 하나 이상의 제2 금속 상호연결부들을 포함하는 제2 금속 층을 포함하는, 패키지 기판.

청구항 10

제8항에 있어서,

상기 하나 이상의 패드 비아들은 제1 높이를 가지며,

상기 하나 이상의 제1 비아들은 상기 제1 높이보다 더 큰 제2 높이를 갖는, 패키지 기판.

청구항 11

제7항에 있어서, 상기 패드 비아 층은 유리 재료를 함유하지 않는, 패키지 기판.

청구항 12

제8항에 있어서,

상기 패드 비아 층은 유리 재료를 함유하지 않고,

상기 제1 비아 층은 유리 재료를 포함하는, 패키지 기판.

청구항 13

제8항에 있어서,

상기 패드 비아 층은 포토-이미저블 유전체(photo-imagable dielectric, PID) 층을 포함하고,

상기 제1 비아 층은 사전함침된 유리(pre-impregnated glass, PPG) 층을 포함하는, 패키지 기판.

청구항 14

제7항에 있어서,

상기 제1 비아 층은 제3 두께를 가지며,

상기 패드 비아 층은 상기 제3 두께보다 더 작은 제4 두께를 갖는, 패키지 기판.

청구항 15

제14항에 있어서, 상기 제1 비아 층의 상기 제3 두께 대 상기 패드 비아 층의 상기 제4 두께의 비는 적어도 1.6 인, 패키지 기판.

청구항 16

제14항에 있어서,

상기 제1 비아 층의 상기 제3 두께는 25 μm 와 45 μm 사이이고,
상기 패드 비아 층의 상기 제4 두께는 10 μm 와 15 μm 사이인, 패키지 기판.

청구항 17

제1항에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(global positioning system, GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(session initiation protocol, SIP) 폰; 태블릿; 패블릿(phablet); 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(personal digital assistant, PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(digital video disc, DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템; 드론; 및 멀티컴퓨터로 이루어지는 그룹으로부터 선택된 디바이스에 통합된, 패키지 기판.

청구항 18

집적 회로(integrated circuit, IC) 패키지를 위한 패키지 기판을 제조하는 방법으로서,
제1 금속화 층을 형성하는 단계 - 상기 제1 금속화 층을 형성하는 단계는,
제1 두께를 갖는 제1 금속 층을 형성하는 단계; 및
상기 제1 금속 층 내에 하나 이상의 제1 금속 상호연결부들을 형성하는 단계를 포함함 -;
상기 제1 금속화 층에 인접한 제1 표면 및 상기 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층을 형성하는 단계 - 상기 패드 금속화 층을 형성하는 단계는,
상기 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 형성하는 단계;
상기 제2 표면에 인접한 상기 패드 금속 층 내에 하나 이상의 금속 패드들을 형성하는 단계; 및
상기 하나 이상의 금속 패드들의 각각의 금속 패드를 상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 커플링하는 단계를 포함함 -; 및
상기 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 형성하는 단계를 포함하는, 방법.

청구항 19

제18항에 있어서, 상기 하나 이상의 외부 상호연결부들을 형성하는 단계는, 상기 하나 이상의 외부 상호연결부들 중의 외부 상호연결부를 상기 하나 이상의 금속 패드들의 각각의 금속 패드에 커플링하는 단계를 포함하는, 방법.

청구항 20

제18항에 있어서,
상기 제1 금속화 층 내에 하나 이상의 제2 금속 상호연결부들을 형성하는 단계; 및
상기 하나 이상의 제2 금속 상호연결부들 각각을 상기 하나 이상의 금속 패드들 중의 금속 패드에 커플링하지 않는 단계를 추가로 포함하는, 방법.

청구항 21

제20항에 있어서,
상기 하나 이상의 제1 금속 상호연결부들을 형성하는 단계는, 상기 제1 금속 층 내에 제1 폭의 상기 하나 이상의 제1 금속 상호연결부들 각각을 형성하는 단계를 포함하고,
상기 하나 이상의 제2 금속 상호연결부들을 형성하는 단계는, 상기 제1 금속 층 내에 상기 제1 폭보다 더 작은

제2 폭의 상기 하나 이상의 제2 금속 상호연결부들 각각을 형성하는 단계를 포함하는, 방법.

청구항 22

제18항에 있어서, 상기 패드 금속화 층을 형성하는 단계는,

상기 패드 금속 층에 인접하게 패드 비아 층을 형성하는 단계; 및

상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부 및 상기 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 상기 패드 비아 층 내의 하나 이상의 패드 비아들을 형성하는 단계를 추가로 포함하는, 방법.

청구항 23

제22항에 있어서, 상기 제1 금속화 층을 형성하는 단계는,

상기 제1 금속 층에 인접하게 제1 비아 층을 형성하는 단계; 및

상기 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 제1 비아들을 형성하는 단계를 추가로 포함하는, 방법.

청구항 24

제23항에 있어서, 제2 금속화 층을 형성하는 단계 - 상기 제2 금속화 층은, 상기 제1 금속화 층이 상기 제2 금속화 층과 상기 패드 금속화 층 사이에 배치되도록 상기 제1 금속화 층에 인접함 - 를 추가로 포함하고,

상기 제2 금속화 층을 형성하는 단계는 하나 이상의 제2 금속 상호연결부들을 포함하는 제2 금속 층을 형성하는 단계를 포함하는, 방법.

청구항 25

제22항에 있어서,

상기 제1 금속화 층 내에 상기 제1 비아 층을 형성하는 단계는 제3 두께를 갖는 상기 제1 비아 층을 형성하는 단계를 포함하고,

상기 패드 금속화 층 내에 상기 패드 비아 층을 형성하는 단계는 상기 제3 두께보다 더 작은 제4 두께를 갖는 상기 패드 비아 층을 형성하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 우선권 출원

[0002] 본 출원은, 2022년 3월 25일에 출원되고 발명의 명칭이 "PACKAGE SUBSTRATES EMPLOYING PAD METALLIZATION LAYER FOR INCREASED SIGNAL ROUTING CAPACITY, AND RELATED INTEGRATED CIRCUIT (IC) PACKAGES AND FABRICATION METHODS"인 미국 특허 출원 제17/656,477호에 대한 우선권을 주장하며, 이 출원은 그 전체가 본 명세서에 참고로 포함된다.

[0003] 기술분야

[0004] 본 개시내용의 분야는 집적 회로(integrated circuit, IC) 패키지들에 관한 것으로, 보다 구체적으로는, IC 패키지 내의 반도체 다이(들)로의 신호 라우팅을 지원하는 패키지 기관들의 설계 및 제조에 관한 것이다.

배경 기술

[0005] 집적 회로(IC)들은 전자 디바이스들의 초석이다. IC들은 "반도체 패키지(semiconductor package)" 또는 "칩 패키지(chip package)"라고도 하는 IC 패키지에 패키징된다. IC 패키지는 다이(들)에 대한 물리적 지지 및 전기적 인터페이스를 제공하기 위해 패키지 기관에 장착되고 전기적으로 커플링되는 IC(들)로서 하나 이상의 반도체 다이들("다이들" 또는 "다이들")을 포함한다. 패키지 기관은 하나 이상의 금속화 층들을 포함하고, 하나 이상의 금속화 층들은 다이(들) 사이에 전기적 인터페이스들을 제공하기 위해 인접한 금속화 층들 사이에 금속 상호

연결부들을 함께 커플링하는 비아(via)들을 갖는 금속 상호연결부들(예컨대, 금속 트레이스들, 금속 라인들)을 포함한다. 다이(들)는 패키지 기관의 상단 또는 외부 금속화 층에 노출된 금속 상호연결부들에 전기적으로 인터페이싱되어, 다이(들)를 패키지 기관의 금속 상호연결부들에 전기적으로 커플링한다. 예를 들어, 패키지 기관은 다이(들)를 패키지 기관에 커플링하기 위한 더 높은 밀도의 범프/솔더 조인트들을 용이하게 하기 위해 다이에 인접한 임베디드 트레이스 기관(embedded trace substrate, ETS) 층을 포함할 수 있다. 외부 금속화 층 내의 금속 상호연결부들은 커플링된 다이에 신호 라우팅 경로들을 제공하기 위해 패키지 기관의 다른 하부 금속화 층들 내의 다른 금속 상호연결부들에 커플링된다. 예를 들어, 패키지 기관은 수직 방향으로 적층된 3개의 금속화 층들을 갖는 3층(3L) ETS 패키지 기관일 수 있다.

[0006] 일부 IC 패키지들은 상이한 목적들 또는 응용들을 위해 각자의 다이들을 갖는 다수의 다이 패키지들을 포함하는 "하이브리드" IC 패키지들로 알려져 있다. 예를 들어, 하이브리드 IC 패키지는 통신 모듈 또는 프로세서(시스템을 포함함)와 같은 애플리케이션 다이일 수 있다. 하이브리드 IC 패키지는 또한, 예를 들어, 애플리케이션 다이에 의한 데이터 저장 및 액세스를 지원하기 위한 메모리를 제공하기 위해 하나 이상의 메모리 다이들을 포함할 수 있다. 다수의 다이들이 단일 다이 층에 배치되고, IC 패키지의 패키지 기관 상에서 수평 방향으로 서로 인접하게 배치될 수 있다. 다수의 다이들은 또한, 전체 3차원 IC(three-dimensional IC, 3DIC) 패키지로서 3차원(3D) 배열로 서로의 상단에 적층되는 그들 자신의 각자의 다이 패키지들 내에 제공될 수 있다. 패키지 내의 적층된 다이들 사이에 전기적 연결부들을 제공하는 것을 지원하기 위해 다이 패키지들 사이에 인터포저가 배치될 수 있다.

[0007] 3DIC 패키지들은 패키지의 단면적을 감소시키도록 요구될 수 있다. 3DIC 패키지에서, 패키지 기관 상에 직접 지지된 제1 하단 다이가 다이 상호연결부들을 통해 패키지 기관의 금속화 층들에 전기적으로 커플링되어, 패키지 기관 내의 다이를 위한 신호 라우팅 경로들을 제공할 수 있다. 3DIC 패키지의 패키지 기관에 직접 인접하지 않는 다른 적층된 다이들은 와이어 본드들 및/또는 중간 인터포저들에 의해 패키지 기관에 전기적으로 커플링되어, 다수의 적층된 다이들 사이에 다이-대-다이(die-to-die, D2D) 연결들을 제공할 수 있다.

[0008] IC 패키지에서의 다이 크기가 증가함에 따라, 다이(들)와 IC 패키지의 패키지 기관 사이의 연결들의 수는 또한, 전형적으로, 다이(들)와 패키지 기관 사이에 필요한 신호 라우팅 경로들을 제공하기 위해 증가한다. 신호 라우팅 경로들의 수의 증가는 IC 패키지의 패키지 기관에서의 더 높은 밀도의 신호 라우팅 공간을 지원할 필요성으로 이어진다. 이는, 더 높은 밀도의 신호 라우팅 경로들을 수용하기 위해 패키지 기관 내의 금속화 층들의 수가 증가될 것을 요구할 수 있다. 그러나, 패키지 기관에 추가적인 금속화 층들을 추가하는 것은 전체 IC 패키지 높이 및 두께를 증가시키며, 이는 IC 패키지로 하여금 그의 전체 패키지 두께 요건을 초과하게 할 수 있다.

발명의 내용

[0009] 본 명세서에 개시된 양태들은 증가된 신호 라우팅 용량을 위해 패드 금속화 층을 채용하는 패키지 기관들을 포함한다. 패키지 기관들은 반도체 다이(들)("다이(들)")를 위한 장착 구조물 및 신호 라우팅을 제공하기 위해 집적 회로(IC) 패키지에 채용되도록 구성된다. 관련 제조 방법들이 또한 개시된다. 패키지 기관은 신호 라우팅 경로들을 제공하기 위한 금속 상호연결부들을 각각 포함하는 하나 이상의 금속화 층들을 포함한다. 다이(들)는 패키지 기관의 제1 외부 금속화 층 내의 금속 상호연결부들에 커플링되어, 신호 라우팅을 위한 다이(들)와 패키지 기관 사이의 전기적 커플링을 제공한다. 외부 상호연결부들(예컨대, 볼 그리드 어레이(ball grid array, BGA) 상호연결부들)은 제2 외부 금속화 층 내의 금속 패드들과 접촉 상태로 형성되어 IC 패키지 및 그 내부의 다이(들)에 대한 외부 연결부들을 제공한다. IC 패키지에 대한 신호 라우팅 밀도 요건들이 증가함에 따라, 패키지 기관에 추가적인 금속화 층들이 요구될 수 있다. 추가적인 금속화 층들은 원치 않는 방식으로 전체 IC 패키지 두께의 증가에 기여한다. 예시적인 양태들에서, 전체 IC 패키지 두께의 증가를 완화시키면서 IC 패키지에서의 증가된 신호 라우팅 밀도를 지원하기 위해, 패키지 기관의 제2 외부 금속화 층은 패키지 기관에 대한 추가된 패드 금속화 층으로서 제공된다. 패드 금속화 층은, 패키지 기관에 대한 외부 연결부들을 형성하기 위한 금속 패드들을 포함하는 금속 층을 포함한다. 패드 금속화 층은 또한, 외부 상호연결부들과 패키지 기관 사이에 신호 라우팅 경로들을 제공하기 위해, 금속 패드들에 커플링되고 인접한 내부 금속화 층 내의 금속 상호연결부들에 커플링된 비아들을 포함하는 패드 비아 층을 포함한다. 일 예에서, 패드 금속화 층은, 그의 금속 층이 외부 연결부들을 형성하기 위한 금속 패드들만을 포함하고 패키지 기관에서의 내부 신호 라우팅을 위해 사용되는 금속 상호연결부들을 포함하지 않는다는 점에서 전용 패드 금속화 층이다. 패키지 기관 내의 인접한 내부 금속화 층에 달리 있었을 외부 상호연결부들을 형성하기 위한 금속 패드들은, 본질적으로, 이러한 추가된 패드 금속화 층에 이르기까지 이동된다. 이는, 외부 상호연결부들을 형성하기 위한 더 큰 폭의 금속 패드들을

달리 가졌을 인접한 금속화 층 내의 영역이, 패키지 기판 내부의 다른 신호 라우팅을 제공하기 위해 추가적인, 더 작은 폭의 금속 상호연결부들을 제공하는 데 사용될 수 있게 한다. 따라서, 패드 금속화 층은, 패키지 기판 내의 인접한 내부 금속화 층이 패키지 기판에서의 내부 신호 라우팅을 위해 사용되는 증가된 밀도의 금속 상호연결부들을 가질 수 있게 하여, 전체 IC 패키지 두께의 증가를 감소시키면서 패키지 기판의 전체 신호 라우팅 밀도를 증가시킨다.

[0010] 예시적인 양태들에서, 패드 금속화 층은 패키지 기판 내의 더 얇은 금속화 층으로서 제공될 수 있는데, 그 이유는 패드 금속화 층이 사전함침된 유리(pre-impregnated glass, PPG) 층과 같은 유리 재료 또는 클로스(cloth)로 형성되지 않기 때문이다. 예를 들어, 패드 금속화 층 내의 패드 비아 층은, 유리 클로스 재료를 포함하지 않는 포토-이미저블 유전체(photo-imagable dielectric, PID) 층으로서 형성될 수 있다. 패키지 기판에서의 추가된 안정성을 제공하기 위해 패드 금속화 층의 패드 비아 층을 PPG 층으로서 반드시 형성할 필요는 없을 수 있는데, 그 이유는 패키지 기판 내의 다른 금속화 층들이 휨(warpage)을 감소시키거나 피하기 위한 안정성을 제공하기에 충분히 강성일 수 있기 때문이다. 또한, 패드 금속화 층 내의 패드 비아 층을 더 얇은 층으로서 제공함으로써, 이는 패드 금속화 층 내의 금속 패드들을 인접한 내부 금속화 층 내의 금속 상호연결부들에 커플링하도록 형성되는 비아들의 높이를 감소시킨다. 패드 금속화 층 내의 감소된 높이의 비아들은 또한, 인접한 내부 금속화 층 내의 커플링된 금속 상호연결부들이 감소된 폭을 가질 수 있게 하고, 그에 따라 패키지 기판에서의 내부 신호 라우팅을 위해 사용되는 제공된 추가적인 금속 상호연결부들에 인접한 금속화 층 내의 추가적인 영역을 제공하여 더 높은 밀도의 신호 라우팅을 지원한다. 패드 금속화 층 내의 감소된 높이의 비아는 또한 제조 시에 딥플(dimple) 형성의 위험이 더 적다. 이는 패드 금속화 층 내의 이러한 비아들이, 예를 들어 레이저 드릴링 및 충전 프로세스가 필요한 것과는 대조적으로, 노출 및 현상 프로세스를 사용하여 형성될 수 있게 할 수 있다.

[0011] 또한, 다른 예시적인 양태들에서, 패드 금속화 층 내의 패드 비아 층이 감소된 두께를 갖는 것이 비아들에서의 딥플 형성의 위험을 감소시키기 때문에, 이는 또한, 패드 금속화 층의 금속 층 내에 형성된 금속 패드들이 또한 감소된 두께를 갖게 할 수 있다. 이는 패드 금속화 층 내의 금속 층의 두께의 감소에 기여하고, 그에 따라 패키지 기판 내의 다른 금속화 층들과 비교하여 패드 금속화 층의 두께의 감소에 기여한다. 패드 금속화 층 내의 더 얇은 금속 패드들을 갖는 더 얇은 금속 층은 또한, 패드 금속화 층 내의 금속 층이 더 두꺼웠던 경우 달리 존재했을 것보다 패키지 기판의 열팽창 계수(coefficient of thermal expansion, CTE)를 감소시킨다. 이는 패키지 기판 내의 패드 금속화 층의 추가로 IC 패키지에서의 휨을 피하거나 감소시키는 것을 돕는다. 예를 들어, 패드 금속화 층 내의 금속 층은 0.5 두께의 금속화 층일 수 있는데, 이는 그것이 1.0 두께의 금속화 층들로서의 패키지 기판의 다른 금속화 층들 내의 다른 금속 층들의 두께의 절반 또는 대략 절반인 것을 의미한다. 따라서, 이 예에서, 패키지 기판이 각각 1.0 두께의 금속 층들을 갖는 3개의 금속화 층들을 포함하는 경우, 패키지 기판에 0.5 금속 층을 갖는 패드 금속화 층을 추가하는 것은, 패키지 기판의 전체 두께에 기여하는 패키지 기판에서의 총 3.5 금속 층들을 제공한다. 이는, 이 예에서, IC 패키지에 대해 더 두꺼운, 4.0 금속 층 패키지 기판을 제공할, 완전한 크기의 1.0 두께의 금속 층을 갖는 증가된 신호 라우팅 밀도를 위한 추가적인 금속화 층을 추가하는 것에 대비될 것이다.

[0012] 이와 관련하여, 하나의 예시적인 양태에서, 패키지 기판이 제공된다. 패키지 기판은 제1 두께를 갖는 제1 금속 층을 포함하는 제1 금속화 층을 포함한다. 제1 금속 층은 하나 이상의 제1 금속 상호연결부들을 포함한다. 패키지 기판은 또한, 제1 금속화 층에 인접하게 배치된 제1 표면 및 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층을 포함한다. 패드 금속화 층은 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 포함한다. 패드 금속 층은, 제2 표면에 인접하고 하나 이상의 금속 상호연결부들 중 제1 금속 상호연결부에 각각 커플링된 하나 이상의 금속 패드들을 포함한다. 패키지 기판은 또한, 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 포함한다.

[0013] 다른 예시적인 양태에서, IC 패키지를 위한 패키지 기판을 제조하는 방법이 제공된다. 본 방법은, 제1 두께를 갖는 제1 금속 층을 형성하는 단계 및 제1 금속 층 내에 하나 이상의 제1 금속 상호연결부들을 형성하는 단계를 포함하는 제1 금속화 층을 형성하는 단계를 포함한다. 본 방법은 또한, 제1 금속화 층에 인접한 제1 표면 및 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층을 형성하는 단계를 포함한다. 패드 금속화 층을 형성하는 단계는, 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 형성하는 단계, 제2 표면에 인접한 패드 금속 층 내에 하나 이상의 금속 패드들을 형성하는 단계, 및 하나 이상의 금속 패드들의 각각의 금속 패드를 하나 이상의 금속 상호연결부들 중 제1 금속 상호연결부에 커플링하는 단계를 포함한다. 본 방법은 또한, 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 형성하는 단계를 포함한다.

도면의 간단한 설명

[0014]

도 1은 적층된 반도체 다이들("다이들") 및 패키지 기판 - 패키지 기판은, 패키지 기판 내의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함함 - 을 포함하는 3차원 IC(3DIC) 패키지의 형태의 집적 회로(IC) 패키지의 측면도이다.

도 2a 및 도 2b는 도 1의 IC 패키지 내의 패드 금속화 층을 포함하는 패키지 기판의 측면도들이다.

도 3의 A는 도 2a 및 도 2b의 패키지 기판의 측면도이다.

도 3의 B는 패드 금속화 층에 외부 상호연결부들을 위한 금속 패드들을 제공함으로써 가능하게 된 인접한 금속화 층에서의 증가된 밀도의 신호 라우팅 경로들을 예시하기 위해, 도 2a 및 도 2b의 패키지 기판에서의 전용 패드 금속화 층에 인접한 내부 금속화 층 내의 금속 상호연결부들의 평면도이다.

도 4의 A는 IC 패키지에 제공될 수 있는 대안적인 패키지 기판의 측면도이며, 여기서 패키지 기판은 외부 상호연결부들을 위한 금속 패드들에 전용되지 않는 추가적인, 완전한 크기의 외부 금속화 층을 포함한다.

도 4의 B는 외부 금속화 층에서의 증가된 밀도의 신호 라우팅 경로들을 예시하기 위해 도 4의 A의 IC 패키지의 외부 금속화 층 내의 금속 상호연결부들의 평면도이다.

도 5a는 도 2a 및 도 2b의 패키지 기판 내의 패드 금속화 층에 인접한 내부 금속화 층에 형성된 금속 상호연결부들에 의해 제공될 수 있는 다른 신호 라우팅 설계의 평면도이다.

도 5b는 도 2a 및 도 2b의 패키지 기판 내의 패드 금속화 층에 인접한 내부 금속화 층에 형성된 금속 상호연결부들에 의해 제공될 수 있는 다른 신호 라우팅 설계의 평면도이다.

도 6은 도 1 내지 도 3의 A의 패키지 기판들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 갖는, 패키지 기판의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기판을 제조하는 예시적인 제조 프로세스를 예시하는 흐름도이다.

도 7a 내지 도 7c는 도 1 내지 도 3의 A의 패키지 기판들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 갖는, 패키지 기판의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기판을 제조하는 다른 예시적인 제조 프로세스를 예시하는 흐름도이다.

도 8a 내지 도 8e는 도 7a 내지 도 7c의 제조 프로세스에 따른, 패키지 기판의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기판의 제조 동안의 예시적인 제조 단계들이다.

도 9는 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기판들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 패키지 기판의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기판을 포함하는 IC 패키지를 포함할 수 있는 컴포넌트들을 포함할 수 있는 예시적인 프로세서 기반 시스템의 블록도이다.

도 10은 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기판들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 패키지 기판의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기판을 포함하는 IC 패키지를 포함할 수 있는 무선 주파수(radio-frequency, RF) 컴포넌트들을 포함하는 예시적인 무선 통신 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0015]

이제 도면들을 참조하여, 본 개시내용의 몇몇 예시적인 양태들이 설명된다. "예시적인(exemplary)"라는 단어는 본 명세서에서는 "예, 인스턴스, 또는 예시로서의 역할을 하는"을 의미하는 데 사용된다. 본 명세서에서 "예시적인" 것으로 설명되는 임의의 양태는 반드시 다른 양태들에 비해 선호되거나 유리한 것으로 해석될 필요는 없

다.

[0016] 본 명세서에 개시된 양태들은 증가된 신호 라우팅 용량을 위해 감소된 두께의 패드 금속화 층을 채용하는 패키지 기판들을 포함한다. 패키지 기판들은 반도체 다이(들)("다이(들)")를 위한 장착 구조물 및 신호 라우팅을 제공하기 위해 집적 회로(IC) 패키지에 채용되도록 구성된다. 관련 제조 방법들이 또한 개시된다. 패키지 기판은 신호 라우팅 경로들을 제공하기 위한 금속 상호연결부들을 각각 포함하는 하나 이상의 금속화 층들을 포함한다. 다이(들)의 다이 상호연결부들은 패키지 기판의 제1 외부 금속화 층 내의 금속 상호연결부들에 커플링되어, 신호 라우팅을 위한 다이(들)와 패키지 기판 사이의 전기적 커플링을 제공한다. 외부 상호연결부들(예컨대, 볼 그리드 어레이(BGA) 상호연결부들)은 제2 외부 금속화 층 내의 금속 패드들과 접촉 상태로 형성되어 IC 패키지 및 그 내부의 다이(들)에 대한 외부 연결부들을 제공한다. IC 패키지에 대한 신호 라우팅 밀도 요건들이 증가함에 따라, 패키지 기판에 추가적인 금속화 층들이 요구될 수 있다. 추가적인 금속화 층들은 원치 않는 방식으로 전체 IC 패키지 두께의 증가에 기여한다. 예시적인 양태들에서, 전체 IC 패키지 두께의 증가를 완화시키면서 IC 패키지에서의 증가된 신호 라우팅 밀도를 지원하기 위해, 패키지 기판의 제2 외부 금속화 층은 패키지 기판에 대한 추가된 패드 금속화 층으로서 제공된다. 패드 금속화 층은, 패키지 기판에 대한 외부 연결부들을 형성하기 위한 금속 패드들을 포함하는 금속 층을 포함한다. 패드 금속화 층은 또한, 외부 상호연결부들과 패키지 기판 사이에 신호 라우팅 경로들을 제공하기 위해, 금속 패드들에 커플링되고 인접한 내부 금속화 층 내의 금속 상호연결부들에 커플링된비아들을 포함하는 패드 비아 층을 포함한다. 일 예에서, 패드 금속화 층은, 그의 금속 층이 외부 연결부들을 형성하기 위한 금속 패드들만을 포함하고 패키지 기판에서의 내부 신호 라우팅을 위해 사용되는 금속 상호연결부들을 포함하지 않는다는 점에서 전용 패드 금속화 층이다. 패키지 기판 내의 인접한 내부 금속화 층에 달리 있었을 외부 상호연결부들을 형성하기 위한 금속 패드들은, 본질적으로, 이러한 추가된 패드 금속화 층에 이르기까지 이동된다. 이는, 외부 상호연결부들을 형성하기 위한 더 큰 폭의 금속 패드들을 달리 가졌을 인접한 금속화 층 내의 영역이, 패키지 기판 내부의 다른 신호 라우팅을 제공하기 위해 추가적인, 더 작은 폭의 금속 상호연결부들을 제공하는 데 사용될 수 있게 한다. 따라서, 패드 금속화 층은, 패키지 기판 내의 인접한 내부 금속화 층이 패키지 기판에서의 내부 신호 라우팅을 위해 사용되는 증가된 밀도의 금속 상호연결부들을 가질 수 있게 하여, 전체 IC 패키지 두께의 증가를 감소시키면서 패키지 기판의 전체 신호 라우팅 밀도를 증가시킨다.

[0017] 이와 관련하여, 도 1은 패키지 기판(102)에 대한 외부 연결부들을 지지하기 위한 금속 패드들을 갖는 패드 금속화 층(104)을 포함하는 패키지 기판(102)을 포함하는 예시적인 IC 패키지(100)의 측면도이다. 아래에 더 상세히 논의되는 바와 같이, 패드 금속화 층(104)은 다른 금속화 층들이 패키지 기판(102)의 신호 라우팅 밀도를 증가시키기 위해 더 높은 밀도의 금속 상호연결부들을 가질 수 있게 한다. 패드 금속화 층(104)의 예시적인 세부 사항들을 논의하기 전에, IC 패키지(100)의 다른 양태들이 먼저 설명된다.

[0018] 이와 관련하여, 도 1에 도시된 바와 같이, IC 패키지(100)는, 수직 방향(Z-축 방향)으로 서로의 상단에 적층되는 각자의 다이 패키지들(110(1), 110(2))에 포함되는 다수의 다이들(108(1), 108(2))을 포함하는 3D 적층-다이 IC 패키지(106)이다.

[0019] IC 패키지(100)의 제1 다이 패키지(110(1))는 패키지 기판(102)에 커플링된 다이(108(1))를 포함한다. 이 예에서, 패키지 기판(102)은, 제3 금속화 층(112)에 인접해 있는 제2 내부 금속화 층(114)에 인접하게 배치된 제1 외부 금속화 층(115)을 포함한다. 금속화 층들(112, 114, 115)은 다이(108(1))에 대한 신호 라우팅을 위한 전기적 인터페이스를 제공한다. 다이(108(1))는, 상부 금속화 층(115) 내의 금속 상호연결부들(118)에 전기적으로 커플링되는 다이 상호연결부들(116)(예컨대, 용기된 금속 범프들)에 커플링된다. 상부 금속화 층(115) 내의 금속 상호연결부들(118)은 금속화 층(114) 내의 금속 상호연결부들(120(1), 120(2))에 커플링되며, 이는 아래에 더 상세히 논의되는 패드 금속화 층(104) 내의 금속 패드들(122)에 커플링된다. 이러한 방식으로, 패키지 기판(102)은 다이(108(1))에 대한 신호 라우팅을 제공하기 위해 그의 금속화 층들(112, 114, 115)과 패드 금속화 층(104) 사이에 상호연결부들을 제공한다. 외부 상호연결부들(124)(예컨대, 볼 그리드 어레이(BGA) 상호연결부들)은 패드 금속화 층(104) 내의 금속 패드들(122)에 커플링되어, 패키지 기판(102)을 통해 상호연결부들을 다이 상호연결부들(116)을 통해 다이(108(1))에 제공한다.

[0020] 도 1의 이러한 예시적인 IC 패키지(100)에서와 같이, 3D 적층의 다이들을 제공하기 위해, 제2 다이 패키지(110(2))가 제공되고 제1 다이 패키지(110(1))에 커플링되어 다수의 다이들을 지원한다. 예를 들어, 제1 다이 패키지(110(1)) 내의 제1 다이(108(1))는 애플리케이션 프로세서를 포함할 수 있고, 제2 다이(108(2))는 애플리케이션 프로세서를 위한 메모리 지원을 제공하는 동적 랜덤 액세스 메모리(dynamic random access memory, DRAM)와 같은 메모리 다이일 수 있다. 이와 관련하여, 이 예에서, 제1 다이 패키지(110(1))는 또한, 제1 다이

(108(1))를 둘러싸는 패키지 몰드(130) 상에 배치되는 인터포저 기판(128)을 포함한다. 인터포저 기판(128)은 또한, 제2 다이 패키지(110(2)) 내의 제2 다이(108(2))에 대한 상호연결부들을 제공하기 위해 금속 상호연결부들(134)을 각각 포함하는 하나 이상의 금속화 층들(132)을 포함한다. 제2 다이 패키지(110(2))는 외부 상호연결부들(136)(예컨대, 솔더 범프들, BGA 상호연결부들)을 통해 인터포저 기판(128)에 커플링됨으로써 제1 다이 패키지(110(1))에 물리적으로 그리고 전기적으로 커플링된다. 외부 상호연결부들(136)은 인터포저 기판(128) 내의 금속 상호연결부들(134)에 커플링된다.

[0021] 제2 다이(108(2))로부터 외부 상호연결부들(136) 및 인터포저 기판(128)을 통해 제1 다이(108(1))로 신호들을 라우팅하기 위한 상호연결부들을 제공하기 위해, 수직 상호연결부들(138)(예컨대, 금속 필라들, 금속 포스트들, 금속 수직 상호연결 액세스들(비아들), 이를테면 관통-몰드 비아(through-mold via; TMV)들)이 제1 다이 패키지(106(1))의 패키지 몰드(130) 내에 배치된다. 수직 상호연결부들(138)은, 인터포저 기판(128)으로부터 패키지 기판(102)으로 이 예에서는 수직 방향(Z-축 방향)으로 연장된다. 수직 상호연결부들(138)은 인터포저 기판(128) 내의 금속 상호연결부들(134)에 커플링된다. 수직 상호연결부들(138)은 또한 패키지 기판(102)의 상부 금속화 층(115) 내의 금속 상호연결부들(118)에 커플링된다. 이러한 방식으로, 수직 상호연결부들(138)은 인터포저 기판(128)과 패키지 기판(102) 사이에, 입력/출력(input/output; I/O) 연결부들과 같은 상호연결부들에 대한 브리지를 제공한다. 이는, 제2 다이 패키지(110(1)) 내의 제2 다이(108(2))와, 제1 다이(108(1)) 및 패키지 기판(102)을 통해 외부 상호연결부들(124) 사이에 신호 라우팅 경로들을 제공한다.

[0022] 도 2a의 패키지 기판(102)의 더 상세한 측면도에 도시된 바와 같이, 패드 금속화 층(104)은 패키지 기판(102)에서의 외부 금속화 층이다. 패드 금속화 층(104)은 금속화 층(112)에 인접하게 배치된 제1 표면(140), 및 제1 표면(140)의 반대편인 제2 표면(142)을 갖는다. 패드 금속화 층(104)은, 이 예에서 패키지 기판(102)에 대한 외부 연결 신호 경로들을 제공하기 위한 금속 패드들(122)의 형태의 금속 상호연결부들만을 포함하는 패드 금속화 층(144)을 갖는다. 이와 관련하여, 도 1에 도시된 바와 같이, 외부 상호연결부들(124)은 패드 금속화 층(104)으로부터 노출된 패드 금속화 층(144) 내의 금속 패드들(122)과 접촉 상태로 형성되어, 패키지 기판(102)에 대한 외부 인터페이스를 제공한다. 패드 금속화 층(144) 내의 금속 패드들(122)은 패드 금속화 층(104)의 제2 표면(142)에 인접하여 있다. 예를 들어, 패키지 기판(102), 및 보다 구체적으로는 그의 외부 상호연결부들(124)은 IC 패키지(100)에 대한 물리적 및 전기적 연결부를 제공하기 위해 회로 보드 또는 다른 기판에 커플링될 수 있다. 패드 금속화 층(104)은 또한, 외부 상호연결부들(124)과 패키지 기판(102) 사이에 신호 라우팅 경로들을 제공하기 위해, 금속 패드들(122)에 커플링되고 인접한 내부 금속화 층(112) 내의 금속 상호연결부들(120(1))에 또한 커플링되는 비아들(148)을 포함하는 패드 비아 층(146)을 포함한다. 금속화 층(112)은, 금속화 층들(112, 114) 사이에 신호 라우팅 경로를 제공하기 위해 금속 상호연결부들(120(1)) 및 금속화 층(114) 내의 금속 상호연결부들(154)에 커플링된 비아들(152)을 포함하는 비아 층(150)을 포함한다. 금속화 층(114)은 또한, 금속화 층들(114, 115) 사이에 신호 라우팅 경로를 제공하기 위해 금속 상호연결부들(154) 및 금속화 층(115) 내의 금속 상호연결부들(118)에 커플링된 비아들(158)을 포함하는 비아 층(156)을 포함한다.

[0023] 도 1 내지 도 2b에 도시된 패키지 기판(102) 내에 추가적인 패드 금속화 층(104)을 제공하는 것은, 패키지 기판(102)에 추가적인, 더 큰 크기의 금속화 층들을 추가할 필요성을 최소화하면서 패키지 기판(102)의 신호 라우팅 용량을 증가시킬 수 있다. 이는, 도 1 내지 도 2b의 패키지 기판(102)에 도시된 바와 같이, 패드 금속화 층(104)이 존재하지 않았다면 금속화 층(114) 내에 달리 있었을 외부 상호연결부들을 형성하기 위한 금속 패드들(122)이 본질적으로, 패드 금속화 층(104)에 이르기까지 이동되기 때문이다. 이 예에서, 패드 금속화 층(104) 내의 각각의 금속 패드(122)는 외부 상호연결부(124)에 커플링되어, 패드 금속화 층(104) 내의 금속 패드들(122)이 패키지 기판(102)에서의 내부 신호 라우팅이 아니라 외부 상호연결부들(124)에 대한 신호 라우팅을 위해 전적으로 제공되도록 한다. 추가된 패드 금속화 층(104) 내에 외부 상호연결부들(124)을 형성하기 위한 금속 패드들(122)을 제공하는 것은, 외부 상호연결부들을 형성하기 위한 더 큰 폭의 금속 패드들을 달리 가졌을 인접한 금속화 층(112) 내에 추가적인 영역을 제공하여, 패키지 기판(102) 내부의 다른 신호 라우팅을 제공하기 위한 추가적인, 더 작은 폭의 금속 상호연결부들(120(2))을 제공하는 데 사용되도록 한다. 따라서, 패드 금속화 층(104)은 패키지 기판(102) 내의 인접한 내부 금속화 층(114)이 패키지 기판(102)에서의 내부 신호 라우팅을 위해 사용되는 증가된 밀도의 금속 상호연결부들(120(2))을 가질 수 있게 하여, Z-축 방향으로 전체 IC 패키지 두께(H_1)의 증가를 감소시키면서 패키지 기판(102)의 전체 신호 라우팅 밀도를 증가시킨다.

[0024] 이 예에서, 외부 상호연결부들(124)을 지지하기 위한 금속 패드들(122)을 포함하는 패드 금속화 층(104)을 패키지 기판(102)에 추가하는 것은 패키지 기판(102)의 두께를 증가시키고 패키지 기판(102)의 높이(H_1)에 기여한다. 그러나, 이 예에서의 패드 금속화 층(104)은, 예를 들어, 패키지 기판(102) 내의 Z-축 방향으로의

다른 금속화 층들(112, 114)의 두께들(H_3)을 갖는 다른 금속화 층을 단순히 제공하는 것에 비해 Z-축 방향으로의 감소된 두께(H_2)를 갖는다. 따라서, 패키지 기관(102) 내에 패드 금속화 층(104)을 제공함으로써, 신호 라우팅 밀도는 패키지 기관(102) 내의 인접한 금속화 층(112)에서 증가되는 한편, 예를 들어 두께(H_3)의 다른 금속화 층과는 대조적으로 패키지 기관의 두께(H_1)를 두께(H_2)만큼만 증가시킨다.

[0025]

또한, 도 2a에 도시된 바와 같이, 패키지 기관(102) 내의 패드 금속화 층(104)의 두께(H_2)를 최소화하기 위해, 가능하다면, Z-축 방향으로의 패드 비아 층(146)의 높이 또는 두께(H_4) 및 Z-축 방향으로의 패드 금속 층(144)의 높이 또는 두께(H_5)를 감소시키는 것이 요구된다. 이와 관련하여, 이 예에서, 패드 비아 층(146)의 높이 또는 두께(H_4)를 감소시키기 위해, 패드 금속화 층(104) 내의 패드 비아 층(146)은 이 예에서는 사전함침된 유리(PPG) 층과 같은 유리 재료 또는 클로스로 형성되지 않는다. 패키지 기관(102)에서의 추가된 안정성을 제공하기 위해 패드 금속화 층(104)의 패드 비아 층(146)을 PPG 층으로서 반드시 형성할 필요는 없을 수 있는데, 그 이유는 패키지 기관(102) 내의 다른 금속화 층들(112, 114, 115)이 힘을 감소시키거나 피하기 위한 안정성을 제공하기에 충분히 강성일 수 있기 때문이다. 예로서, 금속화 층들(112, 114, 115) 중 하나, 일부 또는 전부는, 예를 들어, 그의 강성을 증가시키기 위해, PPG 재료와 같은 유리 재료로부터 형성되거나 이를 포함할 수 있다. 이는 패드 비아 층(146)이, 인접한 금속화 층(112) 내의 비아 층(150)의 높이 또는 두께(H_7) 및/또는 폭과 비교하여 그리고 패드 금속화 층(104) 내에 감소된 높이 또는 두께(H_4) 및/또는 폭으로 제공될 수 있게 하여, 패드 금속화 층(104)의 전체 높이 또는 두께(H_2)를 감소시킨다. 이는 결국, 패키지 기관(102)의 전체 두께 또는 높이(H_1)에 대한 패드 금속화 층(104)의 영향을 감소시킨다.

[0026]

예를 들어, 패드 비아 층(146) 및/또는 그의 비아들(148)은 10 마이크로미터(μm)와 15 μm 사이, 이를테면 10 마이크로미터(μm)의 높이 또는 두께(H_4)를 가질 수 있다. 인접한 금속화 층(112) 내의 비아 층(150) 및/또는 그의 비아들(152)은 25 μm 와 45 μm 사이, 이를테면 25 μm 의 각자의 높이 또는 두께(H_7)를 가질 수 있다. 또한, 다른 예로서, 비아 층(150) 및/또는 그의 비아들(152)의 높이 또는 두께(H_7) 대 패드 비아 층(146) 및/또는 그의 비아들(148)의 높이 또는 두께(H_4)의 비는 적어도 1.6일 수 있다.

[0027]

또한, 도 2b의 패키지 기관(102)의 다른 측면도에 도시된 바와 같이, 패드 비아 층(146)을 패드 금속화 층(104) 내에 더 얇은 층으로서 제공함으로써, 이는 패드 금속화 층(104) 내의 금속 패드들(122)을 인접한 내부 금속화 층(112) 내의 금속 상호연결부들(120(1))에 커플링하도록 형성되는 비아들(148)의 높이 또는 두께(H_6)를 감소시킨다. 예를 들어, 패드 금속화 층(104)의 패드 비아 층(146)은, 비아들(148)의 높이 또는 두께(H_6)를 감소시키기 위해, 패드 비아 층(146) 내의 비아들(148)이, 예를 들어 레이저 드릴링을 통해서와는 대조적으로, 이미징 및 현상 프로세스로부터 형성될 수 있도록 포토-이미저블 유전체(PID) 층으로서 형성될 수 있다. 비아들(148)은 인접한 금속화 층(112) 내의 비아들(152)의 높이 또는 두께(H_7)보다 더 작은 높이 또는 두께(H_6)를 갖는다. 패드 금속화 층(104) 내의 감소된 높이의 비아들(148)은 또한, 인접한 내부 금속화 층(112) 내의 커플링된 금속 상호연결부들(120(1))이 감소된 폭(W_1)을 가질 수 있게 하고, 그에 따라 패키지 기관(102)에서의 내부 신호 라우팅을 위해 사용되는 제공된 추가적인 금속 상호연결부들(120(2))에 인접한 금속화 층(112) 내의 추가적인 영역을 제공하여 더 높은 밀도의 신호 라우팅을 지원한다. 패드 금속화 층(104) 내의 감소된 높이의 비아(148)는 또한, 제조 시에 덤플 형성의 위험이 더 적다. 아래에 더 상세히 논의되는 바와 같이, 이는 또한 패드 금속화 층(104) 내의 이러한 비아들(148)이, 예를 들어 레이저 드릴링 및 충전 프로세스가 필요한 것과는 대조적으로, 노출 및 현상 프로세스를 사용하여 형성될 수 있게 할 수 있다.

[0028]

도 2b에 도시된 바와 같이, 패드 금속화 층(104)에 인접한 금속화 층(112)은, 금속화 층(112)과 외부 상호연결부들(124)(도 1) 사이에 연결성을 제공하기 위해 패드 금속화 층(104)의 비아 패드 층(146) 내의 비아들(148)에 커플링되는 폭(W_1)의 금속 상호연결부들(120(1))을 포함한다는 것에 유의한다. 금속화 층(112)은 또한, 패드 금속화 층(104) 내의 비아들(148)에 커플링되지 않는 폭(W_1)보다 더 작은 폭(W_2)의 다른 금속 상호연결부들(120(2))을 포함한다. 이러한 다른 금속 상호연결부들(120(2))은 패키지 기관(102)에 대한 금속화 층(112)에서의 내부 신호 라우팅을 위해 사용된다. 외부 연결부들을 제공하기 위한 금속 패드들(122)을 갖는 추가적인 패드 금속화 층(104)을 제공함으로써, 금속 패드들(122)에 커플링되지 않는 추가적인 금속 상호연결부들(120(2))

을 제공하기 위해 추가적인 영역이 패드 금속화 층(104)에 인접한 금속화 층(112) 내에 이용가능하여, 금속화 층(112) 내 및 따라서 패키지 기관(102) 내의 신호 라우팅 밀도를 증가시키게 된다.

[0029] 또한, 이 예에서, 패드 금속화 층(104) 내의 패드 비아 층(146)이 감소된 높이 또는 두께(H_4)를 갖는 것이 비아 들(148)에서의 덩플 형성의 위험을 감소시키기 때문에, 이는 또한, 패드 금속화 층(104)의 패드 금속 층(144) 내에 형성된 금속 패드들(122)이 또한 감소된 높이 또는 두께(H_3)를 갖게 할 수 있다. 이는 패드 금속화 층(104) 내의 패드 금속 층(144)의 높이 또는 두께(H_3)의 감소에 기여하고, 그에 따라, 예를 들어 패키지 기관(102) 내의 다른 금속화 층들(112, 114)과 비교하여 패드 금속화 층의 두께(H_2)의 감소에 기여한다. 패드 금속화 층(104) 내의 더 얇은 금속 패드들(122)을 갖는 더 얇은 패드 금속 층(144)은 또한, 패드 금속화 층(104) 내의 패드 금속 층(144)이 더 두꺼웠던 경우에 달리 존재했을 것보다 패키지 기관(102)의 열팽창 계수(CTE)를 감소시킬 수 있다. 이는 패키지 기관(102) 내의 패드 금속화 층(104)의 추가로 IC 패키지(100)에서의 휨을 피하거나 감소시키는 것을 돕는다.

[0030] 금속화 층들(112, 114, 115) 내의 임의의 각자의 금속 층들(160, 162, 및/또는 164)의 높이 또는 두께(H_9 , H_{10} , H_{11})는 12 μm 와 16 μm 사이일 수 있다. 예를 들어, 각자의 금속 층들(160, 162, 164)의 높이 또는 두께(H_9 , H_{10} , H_{11})는 12 μm , 12 μm , 및 14 μm 일 수 있다. 패드 금속화 층(104) 내의 패드 금속 층(144)의 높이 또는 두께는 10 μm 와 12 μm 사이일 수 있다. 일 예에서, 금속화 층들(112, 114, 115) 내의 각자의 금속 층들(160, 162, 및/또는 164)의 높이 또는 두께(H_9 , H_{10} , H_{11}) 중 임의의 것 대 패드 금속 층(144)의 높이 또는 두께(H_5)의 비는 적어도 1.2일 수 있다는 것에 유의한다.

[0031] 다른 예로서, 패드 금속화 층(104) 내의 패드 금속 층(144)은 0.5 두께의 금속화 층일 수 있는데, 이는 그것이 1.0 두께의 금속화 층들로서의 패키지 기관(102)의 다른 금속화 층들(112, 114, 115) 내의 다른 금속 층들(160, 162, 164)의 두께의 절반 또는 대략 절반인 것을 의미한다. 따라서, 이 예에서, 패키지 기관(102)이 각각 1.0 두께의 금속 층들(160, 162, 164)을 갖는 3개의 금속화 층들(112, 114, 115)을 포함한다면, 패키지 기관(102)에 0.5 패드 금속 층(144)을 갖는 패드 금속화 층(104)을 추가하는 것은, 패키지 기관(102)의 전체 두께(H_1)에 기여하는 패키지 기관(102)에서의 총 3.5 금속 층들을 제공한다. 이는, 이 예에서, IC 패키지(100)에 대해 더 두꺼운, 4.0 금속 층 패키지 기관을 제공할, 금속 층들(160, 162, 164)과 같이, 완전한 크기의 1.0 두께의 금속 층을 갖는 증가된 신호 라우팅 밀도를 위한 추가적인 금속화 층을 추가하는 것에 대비될 것이다.

[0032] 증가된 신호 라우팅 밀도를 위한 추가적인 금속 상호연결부들(120(2))을 제공하기 위해 패키지 기관(102) 내의 패드 금속화 층(104)에 인접한 금속화 층(112)에 제공된 추가적인 영역이 또한, 도 3의 A 및 도 3의 B에 도시되어 있다. 도 3의 A는 도 2a 및 도 2b의 패키지 기관(102)의 측면도이다. 도 3의 B는 도 3의 A에 도시된 패키지 기관(102) 내의 패드 금속화 층(104)에 인접해 있는 금속화 층(112) 내에 라우팅된 금속 상호연결부들(120(1), 120(2))의 평면도이다. 도 3의 B에 도시된 바와 같이, 패드 금속화 층(104) 내의 금속 패드들(122)에 커플링되는 금속 상호연결부들(120(1)) 사이에 Y-축 방향으로 수평 방향으로 연장되는 금속 상호연결부들(120(2))의 8개의 금속 라인들이 존재한다. 위에 논의되고 도 3의 B에 도시된 바와 같이, 외부 상호연결부들(124)이 내부에 형성되는 금속 패드들(122)을 금속화 층(112)으로부터 추가적인 패드 금속화 층(104)으로 이동 시킴으로써, 금속 상호연결부들(120(1))은 폭(W_1)이 더 작게 형성될 수 있다. 더 작은 크기의 비아들(148)의 이러한 형성은 위에 논의된 바와 같이 더 작은 크기의 금속 상호연결부들(120(1))을 용이하게 한다. 이는 도 4의 A에 도시된 것과 같은 패키지 기관(402)과는 대조적으로, 금속화 층(112)에서의 내부 신호 라우팅을 위한 다른 금속 상호연결부들(120(2))의 형성을 위한 추가적인 공간을 제공한다.

[0033] 도 4의 A는 패드 금속화 층을 포함하지 않고 오히려 4개의 금속화 층들(404, 412, 414, 415)을 포함하는 패키지 기관(402)의 측면도이다. 금속화 층들(412, 414, 415)은 도 2a 내지 도 3의 B의 패키지 기관(102) 내의 금속화 층들(112, 114, 115)과 유사하다. 그러나, 도 4의 A 및 도 4의 B의 금속화 층(404)의 평면도에 도시된 바와 같이, 패키지 기관(402)은, 폭(W_3)의 더 큰 금속 상호연결부들(422)이 외부 상호연결부들에 커플링되기 위해 형성되는 제4 외부 금속화 층(404)을 포함한다. 이 예에서, 외부 금속화 층(404)은 도 1 내지 도 3의 B의 패키지 기관 내의 패드 금속화 층(104)보다 Z-축 방향으로 높이가 더 두껍다. 예를 들어, 패키지 기관(402)의 외부 금속화 층(404)의 높이 또는 두께(H_{12})는 도 1 내지 도 3의 A의 패키지 기관(102)의 외부 패드 금속화 층(104)의 높이 또는 두께(H_1)보다 더 크다. 예를 들어, 외부 금속화 층(404)의 높이 또는 두께(H_{12})는 예로서 167 μm 일

수 있는 반면, 도 1 내지 도 3의 A에서의 패키지 기관(102)의 패드 금속화 층(104)의 높이 또는 두께(H_1)는 예로서 148 μm 일 수 있다.

[0034] 패키지 기관(102)의 외부 패드 금속화 층(104)의 높이(H_1)의 감소는, 도 1 내지 도 3의 A의 패드 금속화 층(104) 내의 패드 금속 층(144)의 높이 또는 두께(H_5)가 금속 상호연결부들(420, 422)이 내부에 형성되는 외부 금속화 층(404) 내의 금속 층(444)의 높이 또는 두께(H_{13})보다 더 작다는 것에 기초한다. 예를 들어, 패드 금속화 층(104) 내의 패드 금속 층(144)의 높이 또는 두께(H_5)는, 외부 금속화 층(404) 내의 금속 층(444)의 높이 또는 두께(H_{13})에 대해 8 μm 대 12 μm 일 수 있다. 또한, 패키지 기관(102)의 외부 패드 금속화 층(104)의 높이(H_1)의 감소는, 도 1 내지 도 3의 A의 패키지 기관(102)의 패드 금속화 층(104) 내의 패드 비아 층(146)의 높이 또는 두께(H_4)가 패키지 기관(402)의 외부 금속화 층(404) 내의 비아 층(446)의 높이 또는 두께(H_{14})보다 더 작다는 것에 기초한다. 예를 들어, 도 1 내지 도 3의 A의 패키지 기관(102)의 패드 금속화 층(104) 내의 패드 비아 층(146)의 높이 또는 두께(H_4)는 패키지 기관(402)의 외부 금속화 층(404) 내의 비아 층(446)의 높이 또는 두께(H_{14})에 대해 10 μm 대 25 μm 일 수 있다.

[0035] 또한, 도 4의 A의 패키지 기관(402) 내의 금속화 층(404)은 또한, 도 1a 내지 도 3의 패키지 기관(102)의 패드 금속화 층(104) 내의 금속 상호연결부들(120(1))의 폭(W_1)보다 더 큰 폭(W_3)을 갖는 금속 상호연결부(422)를 포함한다. 금속 상호연결부(422)의 더 큰 폭(W_3)으로 인해, 도 3의 A 및 도 3의 B의 패키지 기관(102)의 금속화 층(112) 내의 금속 상호연결부들(120(1))에 대해 이용가능한 영역에 비교하여, 패키지 기관(402)의 금속화 층(404) 내의 내부 신호 라우팅을 위한 금속 상호연결부들(420)의 형성을 위해 외부 금속화 층(404) 내에 이용가능한 영역이 더 작다.

[0036] 도 1 내지 도 3의 B의 패키지 기관(102)의 패드 금속화 층(104)에 인접해 있는 금속화 층(112)에 도 3의 B에 도시된 것 이외의 다른 라우팅 방식들이 제공될 수 있다. 예를 들어, 도 5a는 도 1 내지 도 3의 B의 패키지 기관(102)의 패드 금속화 층(104)에 인접하게 배치될 수 있는 대안적인 금속화 층(112(1))에 제공될 수 있는 다른 신호 라우팅 설계의 평면도이다. 거기에 도시된 바와 같이, 금속 상호연결부들(120(1))은, 도 3의 B에 도시된 것보다, X-축 방향으로, Y-축의 행으로, 서로 더 가깝게 위치될 수 있다. 이는, 위에 논의된 바와 같이, 금속 상호연결부들(120(1))이 금속 패드들(122)을 인접한 패드 금속화 층(104) 내로 이동시킴으로써 더 작은 폭(W_1)을 가질 수 있기 때문에 가능하다. 내부 신호 라우팅을 위해 사용되는 금속 상호연결부들(120(2))은 금속 상호연결부들(120(1))의 인접한 행들 사이에 배치된다. 금속 상호연결부들(120(2))은 또한 Y-축 방향에 더하여 X-축 방향으로 바꾸어 진행할 수 있다. 도 5b는 도 1 내지 도 3의 B의 패키지 기관(102)의 패드 금속화 층(104)에 인접하게 배치될 수 있는 대안적인 금속화 층(112(2))에 제공될 수 있는 또 다른 신호 라우팅 설계의 평면도이다. 거기에 도시된 바와 같이, 금속 상호연결부들(120(1))은, 도 3의 B에 도시된 것보다, X-축 방향으로, Y-축의 행으로, 서로 더 가깝게 위치될 수 있다. 이는, 위에 논의된 바와 같이, 금속 상호연결부들(120(1))이 금속 패드들(122)을 인접한 패드 금속화 층(104) 내로 이동시킴으로써 더 작은 폭(W_1)을 가질 수 있기 때문에 가능하다. 내부 신호 라우팅을 위해 사용되는 금속 상호연결부들(120(2))은 금속 상호연결부들(120(1))의 인접한 행들 사이에 배치된다. 금속 상호연결부들(120(2))은 또한 Y-축 방향에 더하여 X-축 방향으로 바꾸어 진행할 수 있다.

[0037] 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기관들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 갖는, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 IC 패키지를 위한 패키지 기관은 상이한 제조 프로세스들로 제조될 수 있다. 이와 관련하여, 도 6은 IC 패키지를 위한 패키지 기관을 제조하는 예시적인 제조 프로세스(600)를 예시하는 흐름도이며, 여기서 패키지 기관은, 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기관들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 그리고 본 명세서에 개시된 임의의 양태들에 따른, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하고, 임의의 프로세서 기반 디바이스에 제공되거나 그 안에 통합된 IC 패키지에 제공될 수 있다. 도 6의 제조 프로세스(600)는, 예로서, 도 1 내지 도 3의 B에 있고 도 3의 B 및 도 5a와

도 5b의 신호 라우팅 경로들을 갖는 패키지 기관(102)을 제조하는 데 사용될 수 있다. 도 8의 제조 프로세스(800)는 예로서 도 1 내지 도 3의 B의 패키지 기관(102)과 연계하여 논의될 것이다.

[0038] 이와 관련하여, 도 6의 제조 프로세스(600)의 제1 단계는 제1 금속화 층(112)을 형성하는 것(도 6의 블록(602))을 포함할 수 있다. 제1 금속화 층(112)을 형성하는 것은 제1 두께(H_0)를 갖는 제1 금속 층(160)을 형성하는 단계(도 6의 블록(604)), 및 제1 금속 층(160) 내에 하나 이상의 제1 금속 상호연결부들(120(1), 120(2))을 형성하는 단계(도 6의 블록(606))를 포함할 수 있다. 제조 프로세스(600)의 다음 단계는, 제1 금속화 층(112)에 인접한 제1 표면(140) 및 제1 표면(140)의 반대편인 제2 표면(142)을 포함하는 패드 금속화 층(104)을 형성하는 것(도 6의 블록(608))일 수 있다. 패드 금속화 층(104)을 형성하는 것은, 제1 두께(H_0)보다 더 작은 제2 두께(H_1)를 갖는 패드 금속 층(144)을 형성하는 단계(도 6의 블록(610)), 제2 표면(142)에 인접한 패드 금속 층(144) 내에 하나 이상의 금속 패드들(122)을 형성하는 단계(도 6의 블록(612)), 및 하나 이상의 금속 패드들(122)의 각각의 금속 패드(122)를 하나 이상의 금속 상호연결부들(120(1)) 중 제1 금속 상호연결부(120(1))에 커플링하는 단계(도 6의 블록(614))를 포함할 수 있다. 제조 프로세스(600)의 다음 단계는 하나 이상의 금속 패드들(122) 중의 금속 패드(122)에 각각 커플링된 하나 이상의 외부 상호연결부들(124)을 형성하는 것(도 6의 블록(616))을 포함할 수 있다.

[0039] 도 1 내지 도 3의 B의 패키지 기관(102)을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 갖는, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 IC 패키지를 위한 패키지 기관을 제조하기 위해 다른 제조 프로세스들이 또한 채용될 수 있다. 이와 관련하여, 도 7a 내지 도 7c는 도 1 내지 도 3의 B의 패키지 기관을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 갖는, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기관을 제조하는 다른 예시적인 제조 프로세스(700)를 예시하는 흐름도이다. 도 8a 내지 도 8e는 도 7a 내지 도 7c의 제조 프로세스(700)에 따른 패키지 기관의 제조 동안의 예시적인 제조 스테이지들(800A 내지 800E)이다. 도 8a 내지 도 8e의 제조 스테이지들(800A 내지 800E)에 도시된 바와 같은 제조 프로세스(700)는 도 1 내지 도 3의 B의 패키지 기관(102)을 참조하고, 따라서 도 1 내지 도 3의 B의 패키지 기관(102)을 참조하여 논의될 것이다.

[0040] 이와 관련하여, 도 8a의 제조 스테이지(800A)에 도시된 바와 같이, 제조 프로세스(700)의 제1 예시적인 단계는 금속화 층들(112, 114, 115)의 스택-업(stack-up) 상에 패드 비아 층(146)을 형성하는 것이다(도 7a의 블록(702)). 금속화 층들(112, 114, 115)은 이러한 프로세스 단계에서 3층(3L) 임베디드 트레이스 기관(ETS) 패키지 기관(802)의 일부로서 이미 제조되고 서로 커플링되어 있다. 패드 비아 층(146)은 금속화 층(112)의 하단 표면(806) 상에 유전체 재료(804)의 라미네이션으로서 형성되며, 이는 또한, 금속화 층(112)의 금속 상호연결부들(120(1), 120(2)) 상에 배치된다. 이 예에서, 유전체 재료(804)는 패드 비아 층(146)의 두께를 감소시키기 위해 이전에 논의된 바와 같이, PPG 재료와 같은 유리 재료를 포함하지 않는다. 이어서, 도 8b의 제조 스테이지(800B)에 도시된 바와 같이, 제조 프로세스(700)의 다음 예시적인 단계는, 금속화 층 내의 금속 상호연결부들(120(1))에 커플링되는 비아들(148)이 내부에 형성될 비아 개구들(808)을 형성하기 위해 패드 비아 층(146)을 프로세싱하는 것이다(도 7a의 블록(704)). 이 예에서, 패드 비아 층(146)은 리소그래피 프로세스를 사용하여 노출 및 현상된다. 패드 비아 층(146)은 이 예에서 비아 개구들(808)을 형성하기 위해 드릴링되지 않는데, 그 이유는, 패드 비아 층(146)이 리소그래피 프로세스를 사용하여 비아 개구들(808)을 충분히 형성할 수 있도록 하기에 충분한 작은 두께를 Z-축 방향으로 갖기 때문이다.

[0041] 이어서, 도 8c의 제조 스테이지(800C)에 도시된 바와 같이, 제조 프로세스(700)의 다음 예시적인 단계는 금속 상호연결부들(120(1))에 연결된 비아들(148)을 형성하고 패드 금속화 층(104)의 일부로서 금속 패드들(122)을 형성하기 위해 비아 개구들(808)을 금속 재료(예컨대, 구리)로 충전하는 것이다(도 7b의 블록(706)). 금속 재료가 비아 개구들(808) 내에 배치되고 패드 비아 층(146)을 도금한 후에, 패드 금속 층(144)은 노출 및 현상되어 패드 금속 층(144) 내의 금속 재료를 제거하여 금속 패드들(122)이 비아들(148)에 커플링된 채로 남아 있게 한다. 패드 비아 층(146) 및 패드 금속 층(144)은 패드 금속화 층(104)을 형성한다. 이어서, 도 8d의 제조 스테이지(800D)에 도시된 바와 같이, 제조 프로세스(700)의 다음 예시적인 단계는 최종 패키지 기관(102)을 남기기 위해 ETS 패키지 기관(802)에 부착되었던 캐리어(810)(도 8c에 도시됨)를 제거하는 것이다(도 7b의 블록(708)). 이어서, 도 8e의 제조 스테이지(800E)에 도시된 바와 같이, 제조 프로세스(700)의 다음 예시적인 단계

는 IC 패키지의 다이 측 상에 있을 금속화 층(115) 상에 솔더 레지스트 층(812)을 형성하는 것이다(도 7c의 블록(710)). 솔더 레지스트 층(812)은 금속화 층(115) 상에 라미네이팅되고, 이어서 리소그래피 프로세스를 사용하여 노출 및 현상되어 금속화 층(115) 내의 금속 상호연결부들(118)에 인접한 개구들(814)을 형성한다. 커플링된 다이의 다이 상호연결부들은 패키지 기관(102)에 전기적으로 커플링될 금속화 층(115) 내의 금속 상호연결부들(118)에 커플링될 수 있다.

[0042] 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기관들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 그리고 본 명세서에 개시된 임의의 양태들에 따른, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기관은, 임의의 프로세서 기반 디바이스에 제공되거나 그 안에 통합된 IC 패키지에 제공될 수 있다. 예들은 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(global positioning system, GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(session initiation protocol, SIP) 폰, 태블릿, 패블릿(phablet), 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예컨대, 스마트 워치, 건강 또는 피트니스 추적기, 안경류 등), 데스크톱 컴퓨터, 개인용 정보 단말기(personal digital assistant, PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(digital video disc, DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공 전자 시스템, 드론, 및 멀티콥터(multicopter)를 포함한다.

[0043] 이와 관련하여, 도 9는 IC 패키지들(902(1) 내지 902(5)) 내에 제공될 수 있는 회로들을 포함하는 프로세서 기반 시스템(900)의 예를 예시한다. IC 패키지들(902(1) 내지 902(5)) 중 임의의 것은, 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기관들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 그리고 본 명세서에 개시된 임의의 양태들에 따른, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기관을 포함할 수 있다. 이 예에서, 프로세서 기반 시스템(900)은 IC 패키지(902) 내의 IC(904)로서 그리고 시스템 온 칩(system-on-a-chip, SoC)(906)으로서 형성될 수 있다. 프로세서 기반 시스템(900)은, CPU 코어들 또는 프로세서 코어들로도 지칭될 수 있는 하나 이상의 프로세서들(910)을 포함하는 중앙 처리 장치(central processing unit, CPU)(908)를 포함한다. CPU(908)는 임시 저장된 데이터에 대한 빠른 액세스를 위해 CPU(908)에 커플링된 캐시 메모리(912)를 가질 수 있다. CPU(908)는 시스템 버스(914)에 커플링되고, 프로세서 기반 시스템(900)에 포함된 마스터 및 슬레이브 디바이스들을 상호커플링할 수 있다. 잘 알려진 바와 같이, CPU(908)는 시스템 버스(914)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이러한 다른 디바이스들과 통신한다. 예를 들어, CPU(908)는 슬레이브 디바이스의 예로서 메모리 제어기(916)에 버스 트랜잭션 요청들을 통신할 수 있다. 도 9에 예시되지 않았지만, 다수의 시스템 버스들(914)이 제공될 수 있으며, 여기서 각각의 시스템 버스(914)는 상이한 패브릭을 구성한다.

[0044] 다른 마스터 및 슬레이브 디바이스들이 시스템 버스(914)에 연결될 수 있다. 도 9에 예시된 바와 같이, 이러한 디바이스들은 예를로서, 메모리 제어기(916)와 메모리 어레이(들)(918)를 포함하는 메모리 시스템(920), 하나 이상의 입력 디바이스들(922), 하나 이상의 출력 디바이스들(924), 하나 이상의 네트워크 인터페이스 디바이스들(926), 및 하나 이상의 디스플레이 제어기들(928)을 포함할 수 있다. 메모리 시스템(920), 하나 이상의 입력 디바이스들(922), 하나 이상의 출력 디바이스들(924), 하나 이상의 네트워크 인터페이스 디바이스들(926), 및 하나 이상의 디스플레이 제어기들(928) 각각은 동일하거나 상이한 IC 패키지들(902(5))에 제공될 수 있다. 입력 디바이스(들)(922)는 입력 키들, 스위치들, 음성 프로세서들 등을 포함하지만 이로 제한되지 않는, 임의의 유형의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(924)는 오디오, 비디오, 다른 시각적 표시자들 등을 포함하지만 이로 제한되지 않는, 임의의 유형의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(926)는 네트워크(930)로의 그리고 그로부터의 데이터 교환을 허용하도록 구성된 임의의 디바이스일 수 있다. 네트워크(930)는 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 근거리 네트워크(local area network, LAN), 무선 근거리 네트워크(wireless local area network, WLAN), 광역 네트워크(wide area network, WAN), BLUETOOTH™ 네트워크, 및 인터넷을 포함하지만 이로 제한되지 않는, 임의의 유형의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(926)는 원하는 임의의 유형의 통신 프로토콜을 지원하도록 구성될

수 있다.

[0045] CPU(908)는 또한, 시스템 버스(914)를 통해 디스플레이 제어기(들)(928)에 액세스하여 하나 이상의 디스플레이들(932)로 전송된 정보를 제어하도록 구성될 수 있다. 디스플레이 제어기(들)(928)는 디스플레이(들)(932)에 적합한 포맷으로 디스플레이될 정보를 프로세싱하는 하나 이상의 비디오 프로세서들(934)을 통해 디스플레이될 정보를 디스플레이(들)(932)에 전송한다. 디스플레이 제어기(들)(928) 및 비디오 프로세서(들)(934)는 예로서, 동일하거나 상이한 IC 패키지들(902(5))에 그리고 CPU(908)를 포함하는 동일하거나 상이한 IC 패키지들(902(1))에 IC들로서 포함될 수 있다. 디스플레이(들)(932)는 음극선관(cathode ray tube, CRT), 액정 디스플레이(liquid crystal display, LCD), 플라즈마 디스플레이, 발광 다이오드(light emitting diode, LED) 디스플레이 등을 포함하지만 이로 제한되지 않는, 임의의 유형의 디스플레이를 포함할 수 있다.

[0046] 도 10은 하나 이상의 IC 패키지들(1002)로부터 형성된 무선 주파수(RF) 컴포넌트들을 포함하는 예시적인 무선 통신 디바이스(1000)를 예시하며, 여기서 IC 패키지들(1002) 중 임의의 것은, 도 1 내지 도 3의 A 및 도 8a 내지 도 8e의 패키지 기관들을 포함하지만 이로 제한되지 않는, 그리고 도 3의 B 및 도 5a와 도 5b의 신호 라우팅 경로들을 가지며, 도 6 내지 도 7c의 예시적인 제조 프로세스들에 따른, 그리고 본 명세서에 개시된 임의의 양태들에 따른, 패키지 기관의 내부 인접한 금속화 층에서의 증가된 신호 라우팅 용량을 제공하기 위해 외부 금속 상호연결부들을 형성하기 위한 금속 패드들을 갖는 금속 층을 갖는 패드 금속화 층을 포함하는 패키지 기관을 포함할 수 있다. 무선 통신 디바이스(1000)는 예들로서 위에서 언급된 디바이스들 중 임의의 것을 포함하거나 또는 그에 제공될 수 있다. 도 10에 도시된 바와 같이, 무선 통신 디바이스(1000)는 트랜시버(1004) 및 데이터 프로세서(1006)를 포함한다. 데이터 프로세서(1006)는 데이터 및 프로그램 코드들을 저장하기 위한 메모리를 포함할 수 있다. 트랜시버(1004)는 양방향 통신들을 지원하는 송신기(1008) 및 수신기(1010)를 포함한다. 일반적으로, 무선 통신 디바이스(1000)는 임의의 수의 통신 시스템들 및 주파수 대역들에 대한 임의의 수의 송신기들(1008) 및/또는 수신기들(1010)을 포함할 수 있다. 트랜시버(1004)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RF IC들(RFIC들), 혼합 신호 IC들 등에서 구현될 수 있다.

[0047] 송신기(1008) 또는 수신기(1010)는 슈퍼 헤테로다인 아키텍처 또는 직접 컨버전 아키텍처로 구현될 수 있다. 슈퍼 헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 기저대역 사이에서, 예컨대 일 스테이지에서는 RF로부터 중간 주파수(intermediate frequency, IF)로, 이어서 수신기(1010)에 대한 다른 스테이지에서는 IF로부터 기저대역으로 주파수 컨버팅된다. 직접 컨버전 아키텍처에서, 신호는 일 스테이지에서 RF와 기저대역 사이에서 주파수 컨버팅된다. 슈퍼 헤테로다인 및 직접 컨버전 아키텍처들은 상이한 회로 블록들을 사용하고/하거나 상이한 요건들을 가질 수 있다. 도 10의 무선 통신 디바이스(1000)에서, 송신기(1008) 및 수신기(1010)는 직접 컨버전 아키텍처로 구현된다.

[0048] 송신 경로에서, 데이터 프로세서(1006)는 송신될 데이터를 프로세싱하고, I 및 Q 아날로그 출력 신호들을 송신기(1008)에 제공한다. 예시적인 무선 통신 디바이스(1000)에서, 데이터 프로세서(1006)는 추가 프로세싱을 위해, 데이터 프로세서(1006)에 의해 생성된 디지털 신호들을 I 및 Q 아날로그 출력 신호들, 예컨대 I 및 Q 출력 전류들로 컨버팅하기 위한 디지털-아날로그 컨버터(digital-to-analog converter, DAC)들(1012(1), 1012(2))을 포함한다.

[0049] 송신기(1008) 내에서, 저역 통과 필터들(1014(1), 1014(2))은 I 및 Q 아날로그 출력 신호들을 각각 필터링하여, 이전의 디지털-아날로그 컨버전에 의해 야기된 원치 않는 신호들을 제거한다. 증폭기(AMP)들(1016(1), 1016(2))은 저역 통과 필터들(1014(1), 1014(2))로부터의 신호들을 각각 증폭시키고, I 및 Q 기저대역 신호들을 제공한다. 업컨버터(1018)는 송신(TX) 국부 발진기(local oscillator, LO) 신호 생성기(1022)로부터 믹서들(1020(1), 1020(2))을 통해 I 및 Q TX LO 신호들을 이용하여 I 및 Q 기저대역 신호들을 업컨버팅하여, 업컨버팅된 신호(1024)를 제공한다. 필터(1026)는 업컨버팅된 신호(1024)를 필터링하여, 주파수 업 컨버전에 의해 야기된 원치 않는 신호들뿐만 아니라 수신 주파수 대역에서의 잡음을 제거한다. 전력 증폭기(power amplifier, PA)(1028)는 필터(1026)로부터 업컨버팅된 신호(1024)를 증폭시켜, 원하는 출력 전력 레벨을 획득하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서 또는 스위치(1030)를 통해 라우팅되고, 안테나(1032)를 통해 송신된다.

[0050] 수신 경로에서, 안테나(1032)는 기지국들에 의해 송신된 신호들을 수신하고 수신된 RF 신호를 제공하며, 이는 듀플렉서 또는 스위치(1030)를 통해 라우팅되고 저잡음 증폭기(noise amplifier, LNA)(1034)에 제공된다. 듀플렉서 또는 스위치(1030)는, RX 신호들이 TX 신호들로부터 격리되도록 특정 수신(RX)-TX 듀플렉서 주파수 분리로 동작하도록 설계된다. 수신된 RF 신호는 LNA(1034)에 의해 증폭되고 필터(1036)에 의해 필터링되어, 원하는 RF

입력 신호를 획득한다. 다운 컨버전 믹서들(1038(1), 1038(2))은 필터(1036)의 출력을 RX LO 신호 생성기(1040)로부터의 I 및 Q RX LO 신호들(즉, LO_I 및 LO_Q)과 혼합하여 I 및 Q 기저대역 신호들을 생성한다. I 및 Q 기저대역 신호들은 AMP들(1042(1), 1042(2))에 의해 증폭되고 저역 통과 필터들(1044(1), 1044(2))에 의해 추가로 필터링되어, I 및 Q 아날로그 입력 신호들을 획득하며, 이는 데이터 프로세서(1006)에 제공된다. 이 예에서, 데이터 프로세서(1006)는 아날로그 입력 신호들을 데이터 프로세서(1006)에 의해 추가로 프로세싱될 디지털 신호들로 컨버팅하기 위한 아날로그-디지털 컨버터(analog-to-digital converter, ADC)들(1046(1), 1046(2))을 포함한다.

[0051] 도 10의 무선 통신 디바이스(1000)에서, TX LO 신호 생성기(1022)는 주파수 업 컨버전에 사용되는 I 및 Q TX LO 신호들을 생성하는 반면, RX LO 신호 생성기(1040)는 주파수 다운 컨버전에 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적인 신호이다. TX 위상 고정 루프(phase-locked loop, PLL) 회로(1048)는 데이터 프로세서(1006)로부터 타이밍 정보를 수신하고, TX LO 신호 생성기(1022)로부터의 TX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다. 유사하게, RX PLL 회로(1050)는 데이터 프로세서(1006)로부터 타이밍 정보를 수신하고, RX LO 신호 생성기(1040)로부터 RX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다.

[0052] 당업자들은, 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어로, 메모리 또는 다른 컴퓨터 판독가능 저장 매체에 저장되고 프로세서, 또는 다른 프로세싱 디바이스, 또는 둘 모두의 조합에 의해 실행된 명령들로 구현될 수 있음을 추가로 인식할 것이다. 본 명세서에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있고, 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환성을 명확하게 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 일반적으로 그들의 기능의 관점에서 상기에서 설명되었다. 그러한 기능이 구현되는 방법은 특정 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과되는 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범주로부터 벗어나게 하는 것으로 해석되지는 않아야 한다.

[0053] 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 프로세서(Digital Signal Processor, DSP), 주문형 집적 회로(Application Specific Integrated Circuit, ASIC), 필드 프로그래밍가능 게이트 어레이(Field Programmable Gate Array, FPGA) 또는 다른 프로그래밍가능 논리 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 기계일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성)으로서 구현될 수 있다.

[0054] 본 명세서에 개시된 양태들은 하드웨어로 그리고 하드웨어에 저장된 명령들로 구현될 수 있고, 예를 들어, 랜덤 액세스 메모리(Random Access Memory, RAM), 플래시 메모리, 판독 전용 메모리(Read Only Memory, ROM), 전기적으로 프로그래밍가능한 ROM(Electrically Programmable ROM, EPROM), 전기적으로 소거가능 프로그래밍가능한 ROM(Electrically Erasable Programmable ROM, EEPROM), 레지스터들, 하드 디스크, 착탈식 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국 또는 서버에 개별 컴포넌트들로서 상주할 수 있다.

[0055] 본 명세서의 예시적인 양태들 중 임의의 것에 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된다는 것에 또한 유의한다. 설명된 동작들은 예시된 시퀀스들 이외의 다수의 상이한 시퀀스들로 수행될 수 있다. 더욱이, 단일 동작 단계에서 설명된 동작들은 실제로 다수의 상이한 단계들로 수행될 수 있다. 추가적으로, 예시적인 양태들에서 논의된 하나 이상의 동작 단계들은 조합될 수 있다. 흐름도 도면들에 예시된 동작 단계들은 당업자에게 쉽게 명백할 바와 같이 다수의 상이한 수정들을 겪을 수 있다는 것이 이해되어야 한다. 당업자들은 또한 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다는 것을 이해할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학장들 또는 광학 입자들, 또는

이들의 임의의 조합에 의해 표현될 수 있다.

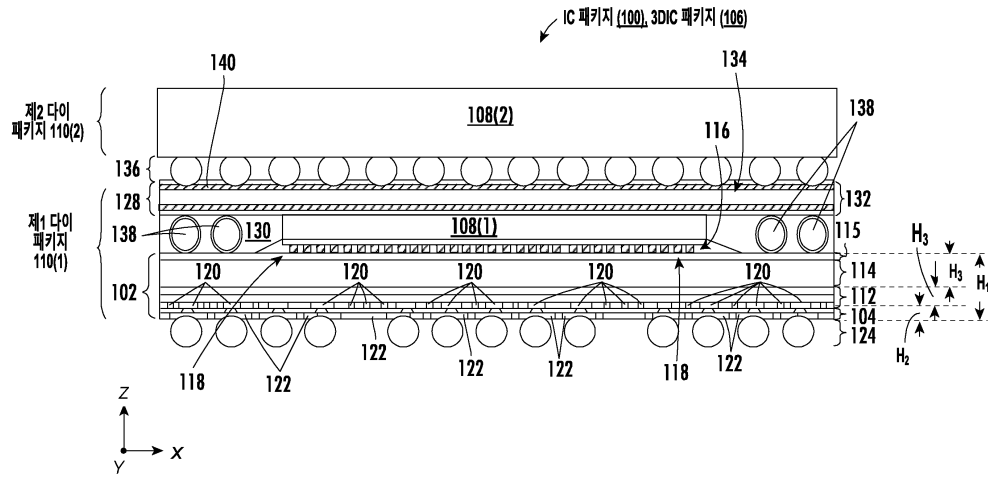
- [0056] 본 개시내용의 앞선 설명은 임의의 당업자가 본 개시내용을 사용하거나 또는 실시할 수 있도록 제공된다. 본 개시내용에 대한 다양한 수정예들은 당업자에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 변형예들에 적용될 수 있다. 따라서, 본 개시내용은 본 명세서에 설명된 예들 및 설계들로 제한되는 것으로 의도되지 않고, 본 명세서에 개시된 원리들 및 새로운 특징들에 부합하는 가장 넓은 범위가 부여되어야 한다.
- [0057] 구현들은 다음의 번호가 매겨진 조항들에서 설명된다:
- [0058] 1. 패키지 기관으로서,
- [0059] 제1 금속화 층 - 제1 금속화 층은,
- [0060] 제1 두께를 갖는 제1 금속 층을 포함하고,
- [0061] 제1 금속 층은 하나 이상의 제1 금속 상호연결부들을 포함함 -;
- [0062] 제1 금속화 층에 인접하게 배치된 제1 표면 및 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층 - 패드 금속화 층은,
- [0063] 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 포함하고,
- [0064] 패드 금속 층은, 제2 표면에 인접하고 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 금속 패드들을 포함함 -; 및
- [0065] 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 포함하는, 패키지 기관.
- [0066] 2. 조항 1에 있어서, 하나 이상의 금속 패드들의 각각의 금속 패드는 하나 이상의 외부 상호연결부들 중의 외부 상호연결부에 커플링되는, 패키지 기관.
- [0067] 3. 조항 1 또는 조항 2에 있어서,
- [0068] 제1 금속화 층은 하나 이상의 제2 금속 상호연결부들을 추가로 포함하고,
- [0069] 하나 이상의 제2 금속 상호연결부들 각각은 하나 이상의 금속 패드들 중의 금속 패드에 커플링되지 않는, 패키지 기관.
- [0070] 4. 조항 3에 있어서,
- [0071] 하나 이상의 제1 금속 상호연결부들 각각은 제1 폭을 가지며,
- [0072] 하나 이상의 제2 금속 상호연결부들 각각은 제1 폭보다 더 작은 제2 폭을 갖는, 패키지 기관.
- [0073] 5. 조항 1 내지 조항 4 중 임의의 조항에 있어서, 제1 금속 층의 제1 두께 대 패드 금속 층의 제2 두께의 비는 적어도 1.2인, 패키지 기관.
- [0074] 6. 조항 1 내지 조항 4 중 임의의 조항에 있어서,
- [0075] 제1 금속 층의 제1 두께는 12 마이크로미터(μm)와 16 μm 사이이고,
- [0076] 패드 금속 층의 제2 두께는 10 μm 와 12 μm 사이인, 패키지 기관.
- [0077] 7. 조항 1 내지 조항 6 중 임의의 조항에 있어서, 패드 금속화 층은 패드 금속 층에 인접하게 배치된 패드 비아 층을 추가로 포함하고,
- [0078] 패드 비아 층은, 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부 및 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 패드 비아들을 포함하는, 패키지 기관.
- [0079] 8. 조항 7에 있어서, 제1 금속화 층은 제1 금속 층에 인접하게 배치된 제1 비아 층을 추가로 포함하고,
- [0080] 제1 비아 층은, 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 제1 비아들을 포함하는, 패키지 기관.
- [0081] 9. 조항 8에 있어서,

- [0082] 제2 금속화 층 - 제2 금속화 층은, 제1 금속화 층이 제2 금속화 층과 패드 금속화 층 사이에 배치되도록 제1 금속화 층에 인접함 - 을 추가로 포함하고,
- [0083] 제2 금속화 층은 하나 이상의 제2 금속 상호연결부들을 포함하는 제2 금속 층을 포함하는, 패키지 기판.
- [0084] 10. 조항 8 또는 조항 9에 있어서,
- [0085] 하나 이상의 패드 비아들은 제1 높이를 가지며,
- [0086] 하나 이상의 제1 비아들은 제1 높이보다 더 큰 제2 높이를 갖는, 패키지 기판.
- [0087] 11. 조항 7 내지 조항 10 중 임의의 조항에 있어서, 패드 비아 층은 유리 재료를 함유하지 않는, 패키지 기판.
- [0088] 12. 조항 8 내지 조항 10 중 임의의 조항에 있어서,
- [0089] 패드 비아 층은 유리 재료를 함유하지 않고,
- [0090] 제1 비아 층은 유리 재료를 포함하는, 패키지 기판.
- [0091] 13. 조항 8 내지 조항 10, 및 조항 12 중 임의의 조항에 있어서,
- [0092] 패드 비아 층은 포토-이미저블 유전체(PID) 층을 포함하고,
- [0093] 제1 비아 층은 사전함침된 유리(PPG) 층을 포함하는, 패키지 기판.
- [0094] 14. 조항 7 내지 조항 13 중 임의의 조항에 있어서,
- [0095] 제1 비아 층은 제3 두께를 가지며,
- [0096] 패드 비아 층은 제3 두께보다 더 작은 제4 두께를 갖는, 패키지 기판.
- [0097] 15. 조항 14에 있어서, 제1 비아 층의 제3 두께 대 패드 비아 층의 제4 두께의 비는 적어도 1.6인, 패키지 기판.
- [0098] 16. 조항 14에 있어서,
- [0099] 제1 비아 층의 제3 두께는 25 μm 와 45 μm 사이이고,
- [0100] 패드 비아 층의 제4 두께는 10 μm 와 15 μm 사이인, 패키지 기판.
- [0101] 17. 조항 1 내지 조항 16 중 임의의 조항에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(SIP) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템; 드론; 및 멀티콥터로 이루어지는 그룹으로부터 선택된 디바이스에 통합된, 패키지 기판.
- [0102] 18. 집적 회로(integrated circuit, IC) 패키지를 위한 패키지 기판을 제조하는 방법으로서,
- [0103] 제1 금속화 층을 형성하는 단계 - 제1 금속화 층을 형성하는 단계는,
- [0104] 제1 두께를 갖는 제1 금속 층을 형성하는 단계; 및
- [0105] 제1 금속 층 내에 하나 이상의 제1 금속 상호연결부들을 형성하는 단계를 포함함 -;
- [0106] 제1 금속화 층에 인접한 제1 표면 및 제1 표면의 반대편인 제2 표면을 포함하는 패드 금속화 층을 형성하는 단계 - 패드 금속화 층을 형성하는 단계는,
- [0107] 제1 두께보다 더 작은 제2 두께를 갖는 패드 금속 층을 형성하는 단계;
- [0108] 제2 표면에 인접한 패드 금속 층 내에 하나 이상의 금속 패드들을 형성하는 단계; 및
- [0109] 하나 이상의 금속 패드들의 각각의 금속 패드를 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 커플링하는 단계를 포함함 -; 및

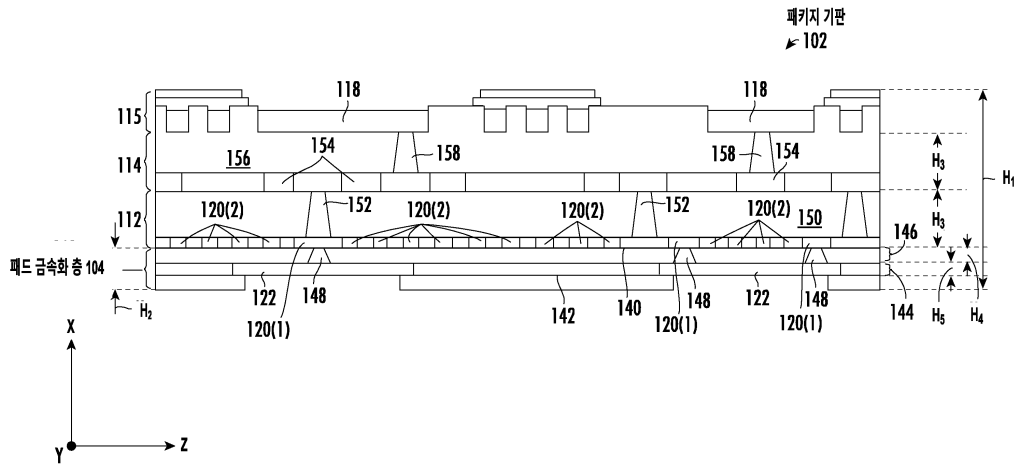
- [0110] 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 하나 이상의 외부 상호연결부들을 형성하는 단계를 포함하는, 방법.
- [0111] 19. 조항 18에 있어서, 하나 이상의 외부 상호연결부들을 형성하는 단계는, 하나 이상의 외부 상호연결부들 중의 외부 상호연결부를 하나 이상의 금속 패드들의 각각의 금속 패드에 커플링하는 단계를 포함하는, 방법.
- [0112] 20. 조항 18 또는 조항 19에 있어서,
- [0113] 제1 금속화 층 내에 하나 이상의 제2 금속 상호연결부들을 형성하는 단계; 및
- [0114] 하나 이상의 제2 금속 상호연결부들 각각을 하나 이상의 금속 패드들 중의 금속 패드에 커플링하지 않는 단계를 추가로 포함하는, 방법.
- [0115] 21. 조항 20에 있어서,
- [0116] 하나 이상의 제1 금속 상호연결부들을 형성하는 단계는, 제1 금속 층 내에 제1 폭의 하나 이상의 제1 금속 상호연결부들 각각을 형성하는 단계를 포함하고,
- [0117] 하나 이상의 제2 금속 상호연결부들을 형성하는 단계는, 제1 금속 층 내에 제1 폭보다 더 작은 제2 폭의 하나 이상의 제2 금속 상호연결부들 각각을 형성하는 단계를 포함하는, 방법.
- [0118] 22. 조항 18 내지 조항 21 중 임의의 조항에 있어서, 패드 금속화 층을 형성하는 단계는,
- [0119] 패드 금속 층에 인접하게 패드 비아 층을 형성하는 단계; 및
- [0120] 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부 및 하나 이상의 금속 패드들 중의 금속 패드에 각각 커플링된 패드 비아 층 내의 하나 이상의 패드 비아들을 형성하는 단계를 추가로 포함하는, 방법.
- [0121] 23. 조항 22에 있어서, 제1 금속화 층을 형성하는 단계는,
- [0122] 제1 금속 층에 인접하게 제1 비아 층을 형성하는 단계; 및
- [0123] 하나 이상의 제1 금속 상호연결부들 중의 제1 금속 상호연결부에 각각 커플링된 하나 이상의 제1 비아들을 형성하는 단계를 추가로 포함하는, 방법.
- [0124] 24. 조항 23에 있어서, 제2 금속화 층을 형성하는 단계 - 제2 금속화 층은, 제1 금속화 층이 제2 금속화 층과 패드 금속화 층 사이에 배치되도록 제1 금속화 층에 인접함 - 를 추가로 포함하고,
- [0125] 제2 금속화 층을 형성하는 단계는 하나 이상의 제2 금속 상호연결부들을 포함하는 제2 금속 층을 형성하는 단계를 포함하는, 방법.
- [0126] 25. 조항 22 내지 조항 24 중 임의의 조항에 있어서,
- [0127] 제1 금속화 층 내에 제1 비아 층을 형성하는 단계는 제3 두께를 갖는 제1 비아 층을 형성하는 단계를 포함하고,
- [0128] 패드 금속화 층 내에 패드 비아 층을 형성하는 단계는 제3 두께보다 더 작은 제4 두께를 갖는 패드 비아 층을 형성하는 단계를 포함하는, 방법.

도면

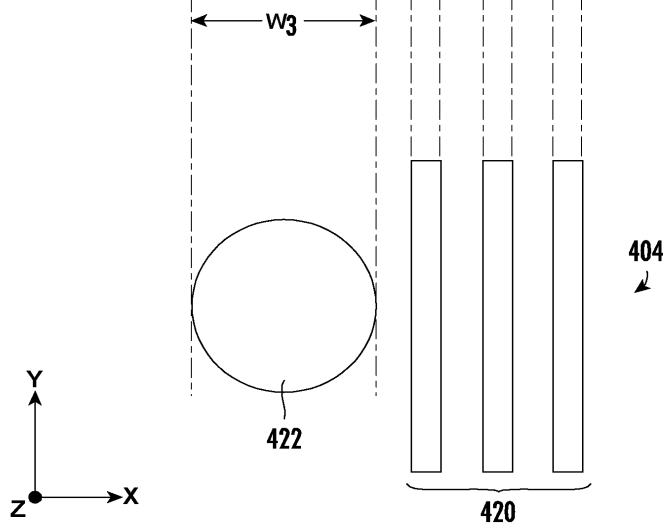
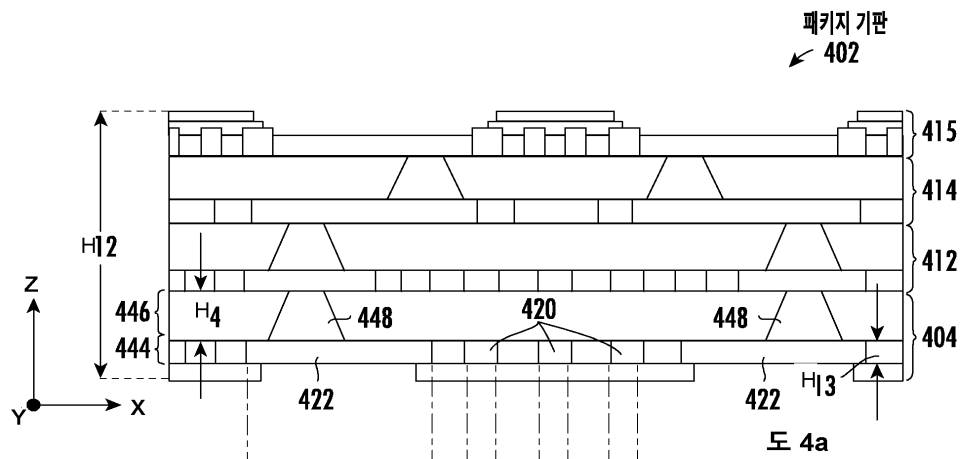
도면1



도면2a

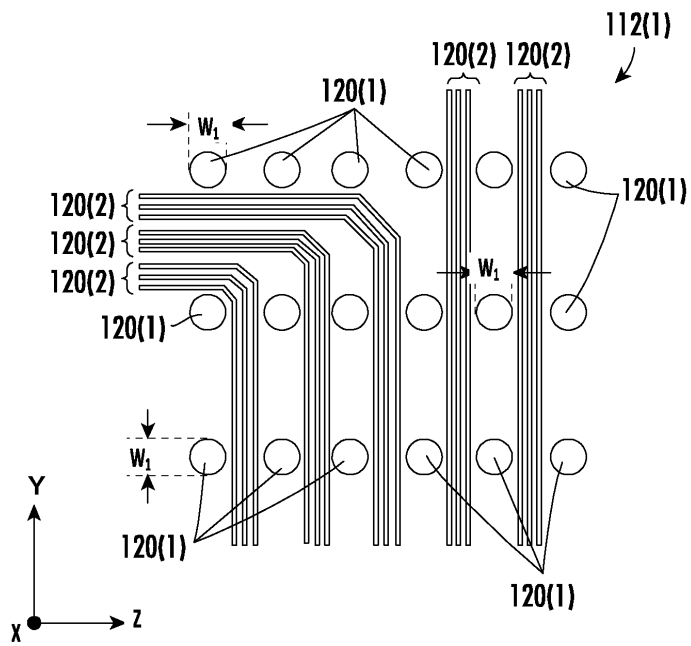


도면4

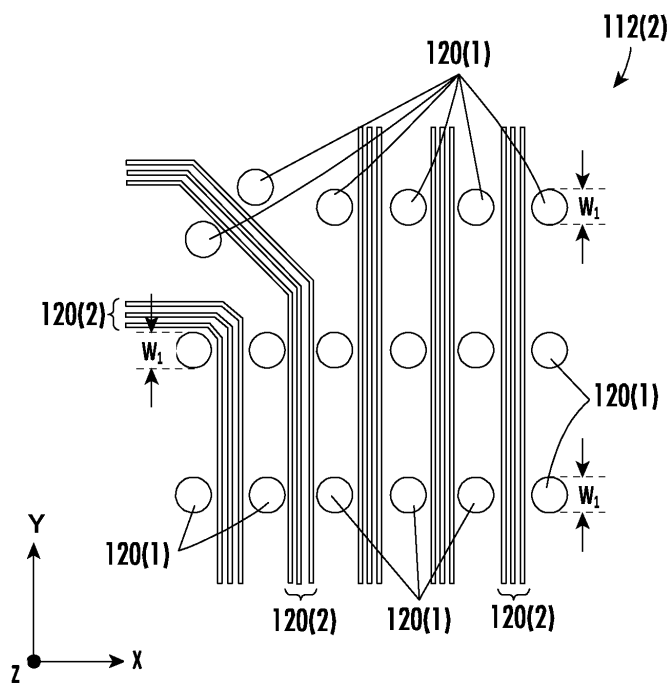


도 4b

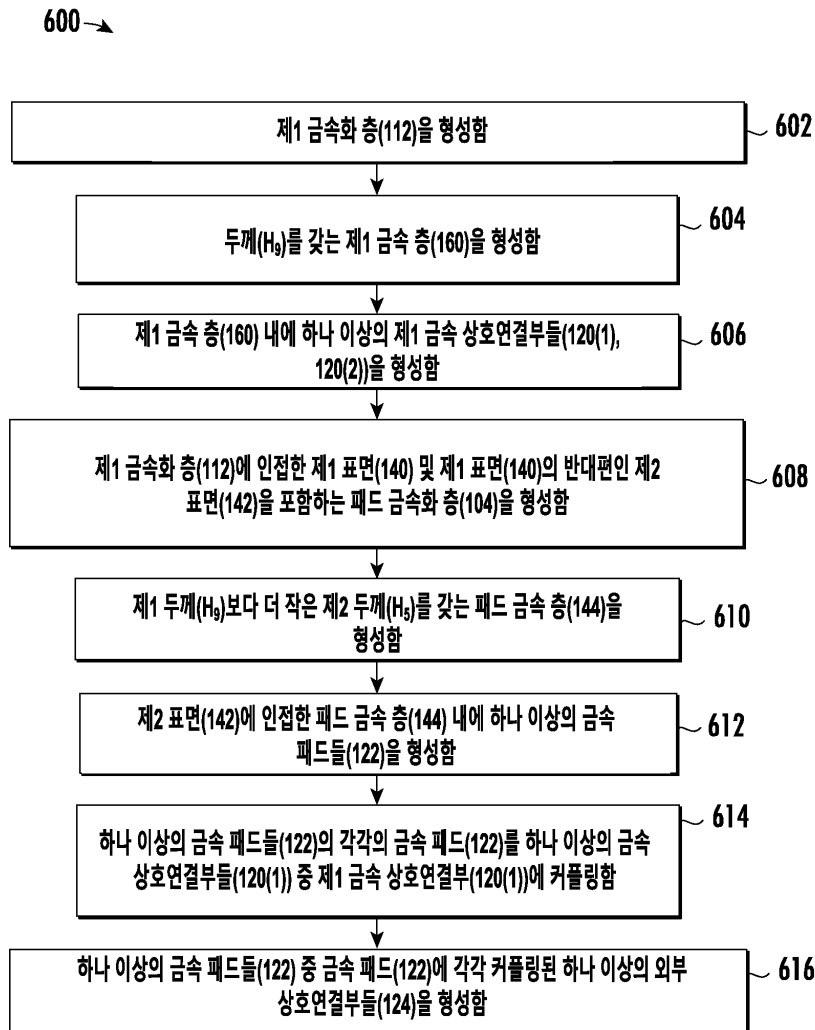
도면5a



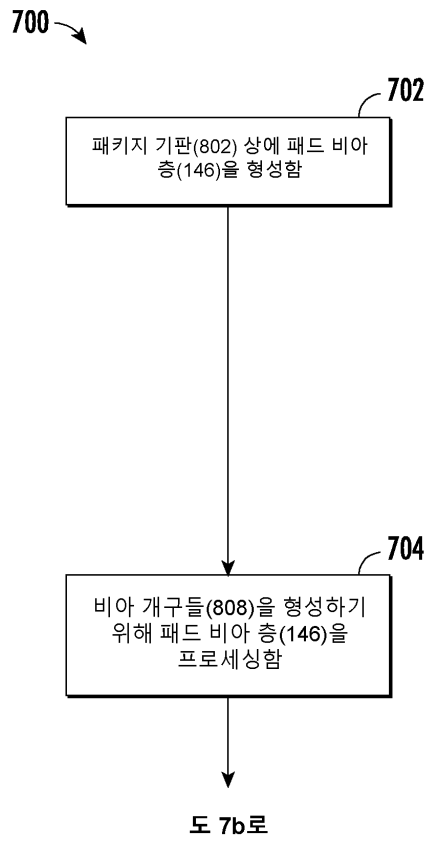
도면5b



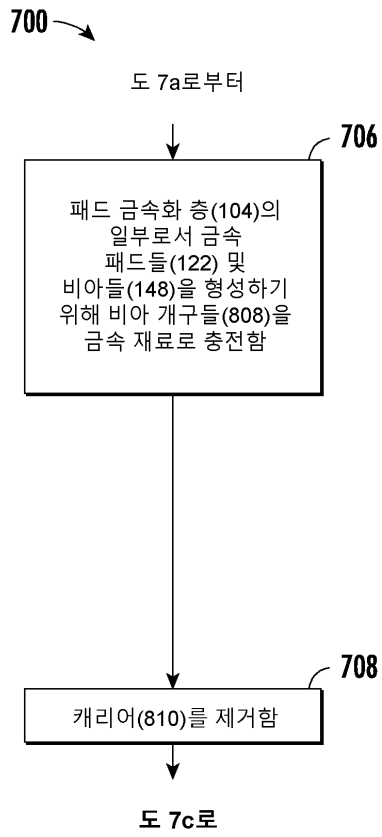
도면6



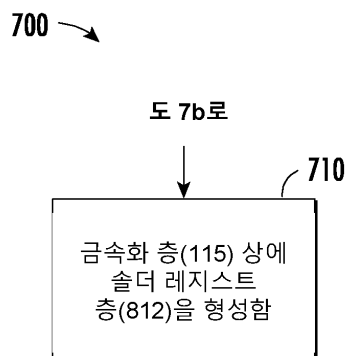
도면7a



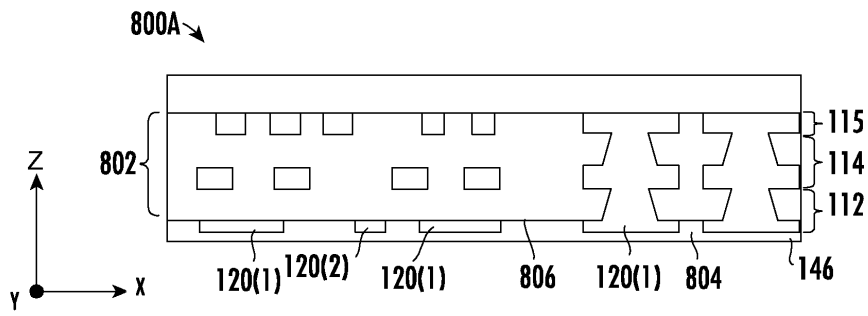
도면7b



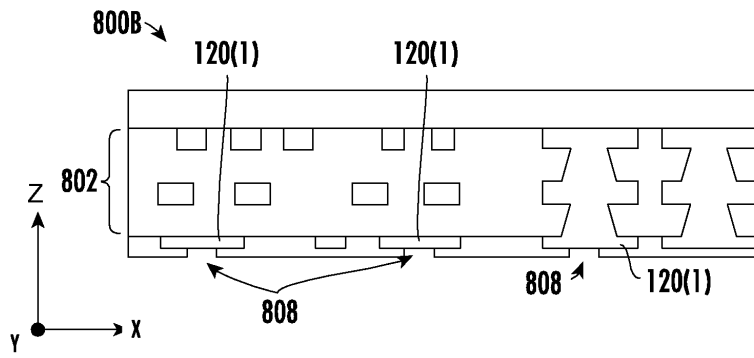
도면7c



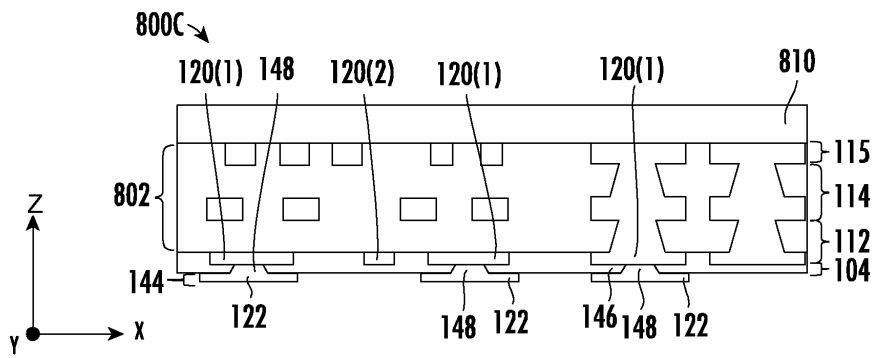
도면8a



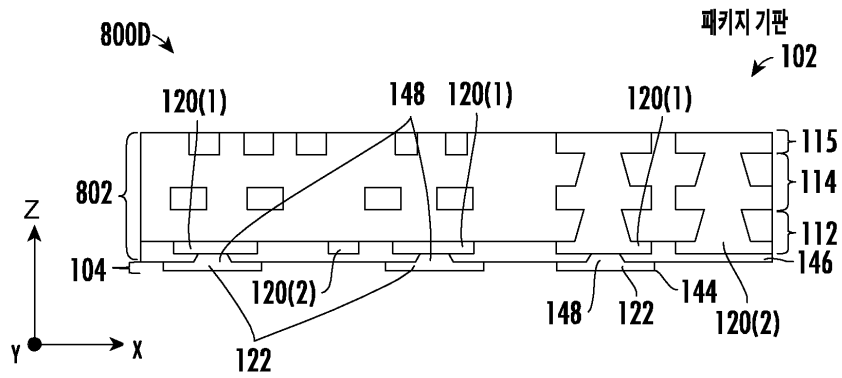
도면8b



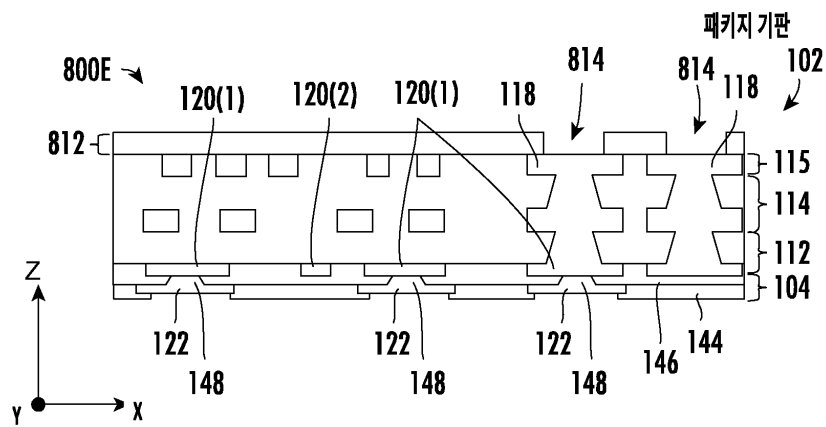
도면8c



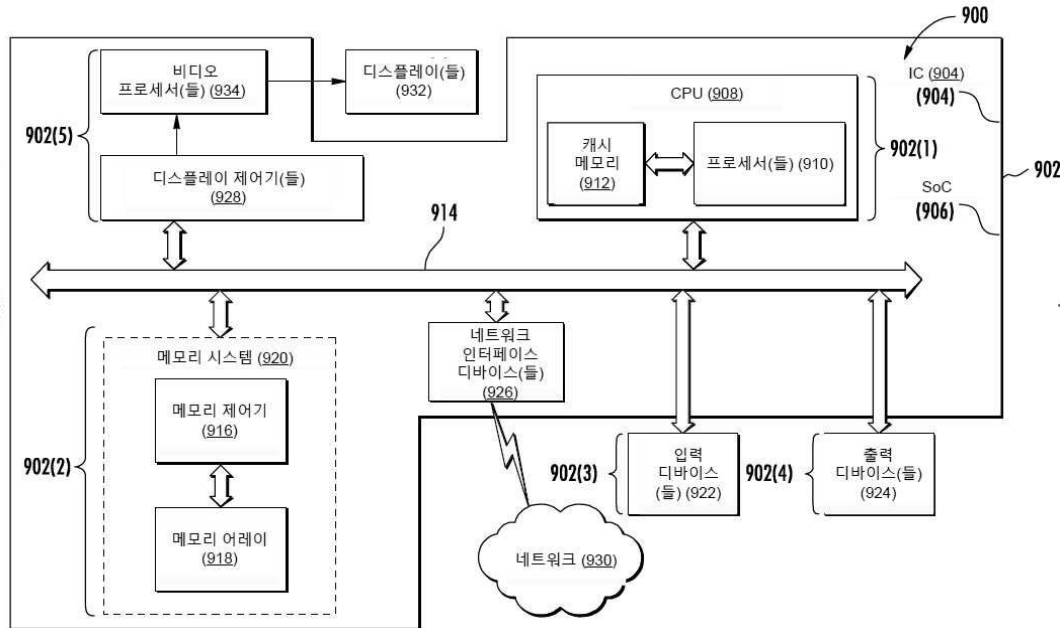
도면 8d



도면 8e



도면9



도면10

