



(12)发明专利

(10)授权公告号 CN 104733033 B

(45)授权公告日 2018.03.02

(21)申请号 201510157961.8

(22)申请日 2010.09.29

(65)同一申请的已公布的文献号
申请公布号 CN 104733033 A

(43)申请公布日 2015.06.24

(30)优先权数据
2009-249328 2009.10.29 JP

(62)分案原申请数据
201080049798.9 2010.09.29

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 山崎舜平 今井馨太郎 小山润

(74)专利代理机构 上海专利商标事务所有限公司
31100

代理人 侯颖嫒

(51)Int.Cl.

G11C 11/40(2006.01)

G11C 16/02(2006.01)

H01L 21/8258(2006.01)

H01L 27/06(2006.01)

H01L 27/088(2006.01)

H01L 27/105(2006.01)

H01L 27/1156(2017.01)

H01L 27/12(2006.01)

(56)对比文件

CN 1779979 A, 2006.05.31,

CN 1779979 A, 2006.05.31,

US 2009/0155940 A1, 2009.06.18,

CN 1219770 A, 1999.06.16,

审查员 吴昊

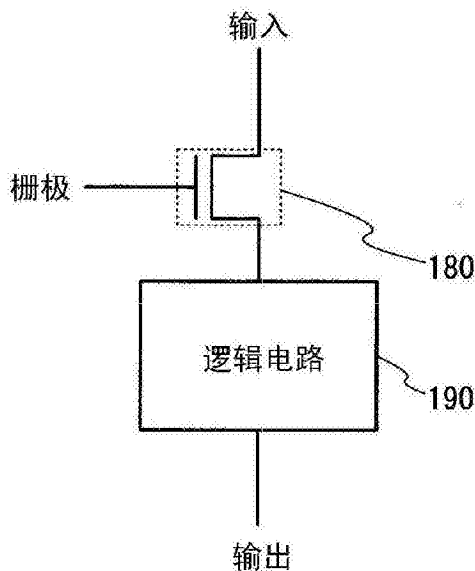
权利要求书2页 说明书21页 附图20页

(54)发明名称

半导体器件

(57)摘要

半导体器件包括:具有氧化物半导体层的晶体管;以及使用除氧化物半导体外的半导体材料所形成的逻辑电路。晶体管的源电极和漏电极之一电连接到逻辑电路的至少一个输入,并且至少一个输入信号通过晶体管施加到逻辑电路。晶体管的截止电流优选为小于或等于 1×10^{-13} A。



1. 一种半导体器件, 包括:

位于衬底上的第一晶体管, 所述第一晶体管具有包括氧化物半导体层的第一沟道形成区; 以及

位于所述衬底上的具有第二晶体管的逻辑电路, 所述第二晶体管具有包括半导体材料的第二沟道形成区,

其中, 所述逻辑电路具有一个输入端子,

其中, 所述第一晶体管的源电极和漏电极之一电连接到所述逻辑电路的所述输入端子,

其中, 输入信号通过所述第一晶体管被施加到所述逻辑电路的所述输入端子, 并且

其中, 所述第一晶体管设置在所述第二晶体管上方。

2. 一种半导体器件, 包括:

位于衬底上的第一晶体管, 所述第一晶体管具有包括氧化物半导体层的第一沟道形成区; 以及

位于所述衬底上的具有第二晶体管的逻辑电路, 所述第二晶体管具有包括半导体材料的第二沟道形成区,

其中, 所述逻辑电路具有一个输入端子,

其中, 所述第一晶体管的源电极和漏电极之一电连接到所述逻辑电路的所述输入端子,

其中, 所述第一晶体管被配置为当使该第一晶体管截止时保持要被施加到所述逻辑电路的所述输入端子的输入信号,

其中, 所述第一晶体管设置在所述第二晶体管上方, 并且

其中, 所述氧化物半导体层包括In、Ga和Zn。

3. 如权利要求1或2所述的半导体器件, 其特征在于, 所述第一晶体管的截止电流为 1×10^{-13} A或更小。

4. 一种半导体器件, 包括:

位于衬底上的第一晶体管, 所述第一晶体管包括第一沟道形成区、第一栅电极、第一源电极和第一漏电极;

位于所述衬底上的第二晶体管, 所述第二晶体管包括第二沟道形成区、第二栅电极、第二源电极和第二漏电极; 以及

位于所述衬底上的第三晶体管, 所述第三晶体管包括第三沟道形成区、第三栅电极、第三源电极和第三漏电极,

其中, 所述第一沟道形成区和所述第二沟道形成区设置在包括半导体材料的相同层中,

其中, 所述第三沟道形成区包括氧化物半导体层,

其中, 所述第一源电极和所述第一漏电极中的一个电连接至所述第二源电极和所述第二漏电极中的一个, 且

其中, 所述第一栅电极、所述第二栅电极以及所述第三源电极和所述第三漏电极中的一个彼此电连接。

5. 一种半导体器件, 包括:

位于衬底上的第一晶体管,所述第一晶体管包括第一沟道形成区、第一栅电极、第一源电极和第一漏电极;

位于所述衬底上的第二晶体管,所述第二晶体管包括第二沟道形成区、第二栅电极、第二源电极和第二漏电极;以及

位于所述衬底上的第三晶体管,所述第三晶体管包括第三沟道形成区、第三栅电极、第三源电极和第三漏电极,

其中,所述第一沟道形成区和所述第二沟道形成区包括半导体材料,

其中,所述第三沟道形成区包括氧化物半导体层,

其中,所述第一源电极和所述第一漏电极中的一个电连接至所述第二源电极和所述第二漏电极中的一个,

其中,所述第一源电极电连接至所述第一栅电极,且

其中,所述第二栅电极电连接至所述第三源电极和所述第三漏电极之一。

6.如权利要求4或5所述的半导体器件,其特征在于,还包括电连接到所述第一栅电极、所述第二栅电极、以及所述第三源电极和所述第三漏电极之一的电容器。

7.如权利要求4或5所述的半导体器件,其特征在于,所述第一晶体管是p沟道晶体管,并且所述第二晶体管是n沟道晶体管。

8.如权利要求4或5所述的半导体器件,其特征在于,所述第三晶体管设置在所述第一晶体管和所述第二晶体管上方。

9.如权利要求4或5所述的半导体器件,其特征在于,所述氧化物半导体层包括In、Ga和Zn。

10.如权利要求1、2、4和5中任一项所述的半导体器件,其特征在于,所述半导体材料是硅。

11.如权利要求1、2、4和5中任一项所述的半导体器件,其特征在于,所述半导体材料是晶体硅。

12.如权利要求1、2、4和5中任一项所述的半导体器件,其特征在于,所述氧化物半导体层中的氢浓度为 5×10^{19} 原子/cm³或更少。

13.如权利要求1、2、4和5中任一项所述的半导体器件,其特征在于,所述氧化物半导体层具有晶体,该晶体的c轴垂直于所述氧化物半导体层的表面。

半导体器件

[0001] 本申请是申请日为2010年9月29日的、申请号为“201080049798.9”的、发明名称为“半导体器件”的发明专利申请的分案申请。

技术领域

[0002] 所公开的发明涉及使用半导体元件的半导体器件、以及用于制造半导体器件的方法。

背景技术

[0003] 使用半导体元件的存储元件被宽泛地分成两类：当停止供电时丢失存储数据的易失性元件、以及即使在不供电时也保存存储数据的非易失性元件。

[0004] 易失性存储元件的典型示例是DRAM(动态随机存取存储器)。DRAM以选择存储元件中所包括的晶体管并且将电荷存储在电容器中的方式存储数据。

[0005] 当从DRAM读取数据时，电容器中的电荷根据上述原理丢失；由此，每当读出数据时就必需另一写入操作。此外，存储元件中所包括的晶体管具有漏电流，并且电荷即使在不选择晶体管时也流入或流出电容器，以使数据保持时间较短。为此，另一写入操作(刷新操作)按预定间隔进行是必要的，并且难以充分地降低功耗。此外，由于存储数据在停止供电时丢失，因此为了使数据保持较长时间，需要使用磁性材料或光学材料的附加存储元件。

[0006] 易失性存储元件的另一示例是SRAM(静态随机存取存储器)。SRAM通过使用诸如触发器之类的电路来保存存储数据，并且由此不需要刷新操作。这意味着SRAM具有优于DRAM的优点。然而，由于使用诸如触发器之类的电路，每存储容量的成本增大。此外，与DRAM中一样，SRAM中的存储数据在停止供电时丢失。

[0007] 非易失性存储元件的典型示例是闪存。闪存包括晶体管中的栅电极和沟道形成区之间的浮动栅，并且通过将电荷保持在浮动栅中来存储数据。因此，闪存的优点在于，数据保持时间极长(几乎是永久的)，并且不需要在易失性存储元件中是必要的刷新操作(例如，参见专利文献1)。

[0008] 然而，存储元件中所包括的栅绝缘层因写入时所生成的隧穿电流而劣化，从而存储元件在预定次数的写入操作之后停止其功能。为了减少该问题的不利影响，例如，采用了均衡对存储元件的写入操作的次数的方法。然而，需要复杂的外围电路来实现该方法。此外，采用这种方法不解决寿命的根本问题。换句话说，闪存不适合于其中频繁地重新写入数据的应用。

[0009] 另外，高电压对于将电荷保持在浮动栅中或去除电荷是必要的。此外，要花费相对较长的时间来保持或去除电荷，并且不容易以高速进行写入和擦除。

[0010] [参考文献]

[0011] [专利文献1]日本公开专利申请No.S57-105889

发明内容

[0012] 在输入信号需要保持在逻辑电路等中的情况下,上述存储元件被添加到逻辑电路等。

[0013] 然而,数据在上述易失性存储元件中保持短时间段,并且问题在于,易失性存储元件不适合于使输入信号保持长时间段。此外,在停止向半导体器件供电、并且随后重新开始继续该操作的情况下,信号需要再次输入到逻辑电路等。

[0014] 非易失性存储元件适合于使信号保持长时间段,但是如果其用于其中频繁地重新写入数据的半导体器件(诸如逻辑电路)则在操作速度和元件使用期方面存在问题。

[0015] 鉴于以上内容,本发明的一个实施例的目的在于,提供具有其中可保持输入信号的新结构的半导体器件。

[0016] 本发明的一个实施例是其中使用氧化物半导体而形成的晶体管、以及使用非氧化物半导体的材料而形成的晶体管相堆叠的半导体器件。例如,半导体器件可具有以下结构。

[0017] 本发明的一个实施例是半导体器件,该半导体器件包括:具有氧化物半导体层的晶体管;以及使用除氧化物半导体外的半导体材料而形成的逻辑电路。晶体管的源电极和漏电极之一电连接到逻辑电路的至少一个输入,并且至少一个输入信号通过晶体管施加到逻辑电路。

[0018] 晶体管的截止电流优选小于或等于 $1 \times 10^{-13} \text{A}$ 。

[0019] 本发明的另一实施例是半导体器件,该半导体器件包括:具有第一栅电极、第一源电极和第一漏电极的第一晶体管;具有第二栅电极、第二源电极和第二漏电极的第二晶体管;以及具有第三栅电极、第三源电极和第三漏电极的第三晶体管。第一晶体管和第二晶体管使用包含除氧化物半导体外的半导体材料的衬底来形成;第三晶体管包括氧化物半导体层;第一漏电极和第二漏电极彼此电连接;并且第三源电极和第三漏电极之一、第一栅电极以及第二栅电极彼此电连接。

[0020] 在以上结构中,电容器优选被设置成电连接到第三源电极和第三漏电极之一、第一栅电极以及第二栅电极。同样,优选第一晶体管是p沟道晶体管,而第二晶体管是n沟道晶体管。

[0021] 本发明的另一实施例是半导体器件,该半导体器件包括:具有第一栅电极、第一源电极和第一漏电极的第一晶体管;具有第二栅电极、第二源电极和第二漏电极的第二晶体管;以及具有第三栅电极、第三源电极和第三漏电极的第三晶体管。第一晶体管和第二晶体管使用包含除氧化物半导体外的半导体材料的衬底来形成;第三晶体管包括氧化物半导体层;第一漏电极和第二漏电极彼此电连接;第一源电极和第一栅电极彼此电连接;并且第三源电极和第三漏电极之一以及第二栅电极彼此电连接。

[0022] 在以上结构中,电容器优选被设置成电连接到第三源电极和第三漏电极之一以及第二栅电极。同样,优选第一晶体管是n沟道晶体管,并且第二晶体管是n沟道晶体管。

[0023] 同样在以上结构中,优选第三源电极和第三漏电极中的另一个电连接到信号输入布线,第一漏电极和第二漏电极电连接到信号输出布线,第三栅电极电连接到栅极信号输入布线,第一源电极电连接到用于施加第一电位的布线,并且第二源电极电连接到用于施加第二电位的布线。

[0024] 第一晶体管优选包括:在包含除氧化物半导体外的半导体材料的衬底中形成的第一沟道形成区;设置成夹持第一沟道形成区的第一杂质区;第一沟道形成区上的第一栅绝

缘层；第一栅绝缘层上的第一栅电极；以及电连接到第一杂质区的第一源电极和第一漏电极。第二晶体管优选包括：在包含除氧化物半导体外的半导体材料的衬底中形成的第二沟道形成区；设置成夹持第二沟道形成区的第二杂质区；第二沟道形成区上的第二栅绝缘层；第二栅绝缘层上的第二栅电极；以及电连接到第二杂质区的第二源电极和第二漏电极。第三晶体管优选包括：在包含除氧化物半导体外的半导体材料的衬底上的第三栅电极；第三栅电极上的第三栅绝缘层；第三栅绝缘层上的氧化物半导体层；以及电连接到氧化物半导体层的第三源电极和第三漏电极。

[0025] 在以上结构中，第三晶体管的截止电流优选小于或等于 $1 \times 10^{-13} \text{A}$ 。

[0026] 在以上结构中，包含除氧化物半导体外的半导体材料的衬底优选是单晶半导体衬底或SOI衬底。同样，优选使用硅作为除氧化物半导体外的半导体材料。

[0027] 在以上结构中，氧化物半导体层优选含有In-Ga-Zn-O基氧化物半导体材料。另外，氧化物半导体层优选包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 晶体。

[0028] 在以上结构中，氧化物半导体层中的氢浓度优选小于或等于 $5 \times 10^{19} \text{原子}/\text{cm}^3$ 。

[0029] 在以上结构中，第三晶体管可设置在与第一晶体管或第二晶体管重叠的区域中。

[0030] 注意，在本说明书等中，诸如“上”或“下”之类的术语不一定是指组件直接置于另一组件之上或直接置于另一组件之下。例如，表达“第一栅绝缘层上的第一栅电极”不排除有组件置于栅绝缘层和栅电极之间的情况。此外，诸如“上”和“下”之类的术语只是为了方便描述，并且可包括颠倒组件的关系的情况，除非另外指明。

[0031] 另外，在本说明书等中，诸如“电极”和“布线”之类的术语不限制组件的功能。另外，诸如“电极”或“布线”之类的术语可彼此替代。此外，“电极”有时被用作“布线”的一部分，反之亦然。

[0032] 例如，当使用相反极性的晶体管时、或当在电路操作中改变电流流向时，“源极”和“漏极”的功能有时可彼此替代。因此，在本说明书中，术语“源极”和“漏极”可彼此替代。

[0033] 注意，在本说明书中，术语“电连接”包括组件通过具有任何电功能的物体连接的情况。只要可在通过该物体连接的组件之间发射和接收电信号，对具有任何电功能的物体就没有具体限制。

[0034] 具有任何电功能的物体的示例是诸如晶体管之类的开关元件、电阻器、电感器、电容器、以及具有各种功能的元件以及电极和布线。

[0035] 一般而言，术语“SOI衬底”是指其中硅半导体层设置在绝缘表面上的衬底。在本说明书等中，术语“SOI衬底”在其范畴内还包括其中使用除硅以外的材料而形成的半导体层设置在绝缘表面上的衬底。即，“SOI衬底”中所包括的半导体层不限于硅半导体层。“SOI衬底”中的衬底不限于诸如硅晶片之类的半导体衬底，并且可以是诸如玻璃衬底、石英衬底、蓝宝石衬底、或金属衬底之类的非半导体衬底。换句话说，“SOI衬底”在其范畴内还包括具有绝缘表面的导电衬底或设置有半导体材料形成的层的绝缘衬底。另外，在本说明书等中，术语“半导体衬底”不仅指只使用半导体材料而形成的衬底，而且指包含半导体材料的所有衬底。即，在本说明书等中，“SOI衬底”也被包括在“半导体衬底”的范畴内。

[0036] 本发明的一个实施例提供一种半导体器件，其中包含除氧化物半导体以外的材料的晶体管置于下部，而包含氧化物半导体的晶体管置于上部。

[0037] 由于包含氧化物半导体的晶体管的截止电流极低，因此存储数据可通过使用该晶

晶体管来保存极长的时间段。通过使用该性质,有可能提供具有其中可保持输入信号的新结构的半导体器件。

[0038] 注意,根据所公开发明的一个实施例,输入信号通过设置一个晶体管来保持,该晶体管与使用触发器的等效电路相比防止电路配置复杂化。

[0039] 此外,与使用易失性存储元件的电路相比,功耗可充分地降低,因为刷新操作变得不必要,或者刷新操作的频率可能极低。此外,即使在不供电(即,断电)时也保存存储数据。

[0040] 还有可能解决非易失性存储元件的劣化问题、因写入或擦除造成的操作速度问题等。

[0041] 以此方式,具有新颖特征的半导体器件可通过包括包含除氧化物半导体以外的材料的晶体管、以及包含氧化物半导体的晶体管两者来实现。

附图说明

[0042] 在附图中:

[0043] 图1A和1B是各自示出半导体器件的电路图;

[0044] 图2A至2D是各自示出半导体器件的电路图;

[0045] 图3A和3B分别是示出半导体器件的截面图和俯视图;

[0046] 图4A至4H是示出半导体器件的制造工艺的截面图;

[0047] 图5A至5G是示出半导体器件的制造工艺的截面图;

[0048] 图6A至6D是示出半导体器件的制造工艺的截面图;

[0049] 图7是示出半导体器件的截面图;

[0050] 图8A和8B是各自示出半导体器件的截面图;

[0051] 图9A和9B是各自示出半导体器件的截面图;

[0052] 图10A和10B是各自示出半导体器件的截面图;

[0053] 图11A至11F是各自示出使用半导体器件的电子设备的示意图;

[0054] 图12是使用氧化物半导体的倒交错晶体管的纵向截面图;

[0055] 图13A和13B是沿图12的A-A'截面的能带图(示意图);

[0056] 图14A示出向栅极(GE1)施加正电位($V_G > 0$)的状态,而图14B示出向栅极(GE1)施加负电位($V_G < 0$)的状态;以及

[0057] 图15是示出真空能级、金属的功函数(ϕ_M)、以及氧化物半导体的电子亲和性(χ)之间的关系的示意图。

具体实施方式

[0058] 在下文中将参考附图描述本发明的各个实施例。注意,本发明不限于以下描述,并且对本领域技术人员显而易见的是,可以各种方式修改模式和细节,而不背离本发明的精神和范围。因此,本发明不应被解释为限于以下给出的各个实施例的描述。

[0059] 注意,为了容易理解起见,附图等所示的每一结构的位置、尺寸、范围等在一些情况下未准确地表示。因此,所公开的发明不一定限于附图等所公开的这种位置、尺寸、范围等。

[0060] 注意,在本说明书等中,为了避免组件之间的混淆使用诸如“第一”、“第二”和“第

三”之类的序号,而这些术语并不意味着对组件数量的限制。

[0061] (实施例1)

[0062] 在本实施例中,将参考图1A和1B、图2A至2D、图3A和3B、图4A至4H、图5A至5G、以及图6A至6D来描述根据本发明一个实施例的半导体器件的结构和制造工艺。注意,所公开发明的一个实施例可应用于其中需要保持输入信号的任何半导体器件。所公开发明的一个实施例可应用于例如逻辑电路(诸如NOT电路、OR电路、AND电路、或NOR电路),从而可保持输入信号。

[0063] <半导体器件的示意性结构>

[0064] 首先,将参考图1A和1B来描述半导体器件的示意性结构。

[0065] 图1A示出其中使用氧化物半导体的晶体管180电连接到逻辑电路190的输入的半导体器件。在该半导体器件中,输入信号通过晶体管180施加到逻辑电路190。

[0066] 由于使用氧化物半导体的晶体管180具有低截止电流,因此可通过截止晶体管180来保持数据。在此,晶体管180的源电极和漏电极之一电连接到逻辑电路的输入;由此,可通过截止晶体管180来保持逻辑电路的输入信号。注意,逻辑电路190具有一个输入。

[0067] 图1B示出其中使用氧化物半导体的晶体管182电连接到逻辑电路192的输入的半导体器件。当使用氧化物半导体的晶体管电连接到其中需要保持信号的输入端子时,可保持必要数据。虽然在图1B中逻辑电路192具有两个输入,但是所公开发明的一个实施例不限于此。另外,晶体管可电连接到逻辑电路的每一输入,或者晶体管可电连接到逻辑电路的一个或多个输入。

[0068] <半导体器件的电路配置>

[0069] 图2A至2D示出半导体器件的电路配置的特定示例。半导体器件包括各自使用除氧化物半导体以外的材料的第一晶体管和第二晶体管、以及使用氧化物半导体的第三晶体管。注意,在以下所述的半导体器件中,逆变器电路被用作其中保持输入信号的电路的示例;然而,如上所述,所公开发明的一个实施例可应用于其中需要保持输入信号的任何电路。

[0070] 图2A示出半导体器件的电路配置的第一示例。图2A的半导体器件包括各自使用除氧化物半导体以外的材料的第一晶体管160和第二晶体管162、以及使用氧化物半导体的第三晶体管164。

[0071] 第一晶体管160的漏电极电连接到第二晶体管162的漏电极。此外,第一晶体管160的栅电极和第二晶体管162的栅电极电连接到第三晶体管164的源电极和漏电极之一。注意,第一晶体管160和第二晶体管162之一优选是p沟道晶体管,而另一个优选是n沟道晶体管。在此,第一晶体管160是p沟道晶体管,而第二晶体管162是n沟道晶体管。

[0072] 这些晶体管的电极可电连接到各个布线。另外,优选第三晶体管164的源电极和漏电极中的另一个电连接到信号输入布线,而第一晶体管160的漏电极和第二晶体管162的漏电极电连接到信号输出布线。此外,优选第一晶体管160的源电极电连接到用于施加第一电位(例如,电源电位:VDD)的布线,而第二晶体管162的源电极电连接到用于施加第二电位(例如,地电位:GND)的布线。同样,优选第三晶体管164的栅电极电连接到栅极信号输入布线。

[0073] 上述半导体器件以如下方式操作。

[0074] 向第一晶体管160的源电极施加第一电位,而向第二晶体管162的源电极施加第二电位。在此状态中,向第三晶体管164的源电极和漏电极中的另一个施加输入信号,而向第三晶体管164的栅电极施加导通第三晶体管164的电位,由此向第一晶体管的栅电极和第二晶体管的栅电极施加上述输入信号。根据施加到第一晶体管的栅电极和第二晶体管的栅电极的输入信号,第一电位或第二电位从半导体器件输出。

[0075] 当信号被输入到第三晶体管164的源电极和漏电极中的另一个时,第三晶体管164截止。然后,第一晶体管160的栅电极和第二晶体管162的栅电极保持为最后一个输入信号的电位。换句话说,当第三晶体管164处于截止状态时,即使输入信号改变时输出信号也不改变。

[0076] 这种操作通过将氧化物半导体用于第三晶体管164来实现。即,使用氧化物半导体有可能充分地减小第三晶体管164的截止电流,从而第一晶体管160的栅电极和第二晶体管162的栅电极的电位可保持长时段。以此方式,根据所公开发明的一个实施例,可提供具有保持输入信号的功能的半导体器件(在此为逆变器电路)。

[0077] 图2B示出半导体器件的电路配置的第二示例。图2B的半导体器件具有其中电容器166被添加到图2A的半导体器件的结构。电容器166电连接到第三晶体管164的源电极和漏电极之一、第一晶体管160的栅电极以及第二晶体管162的栅电极。由此通过提供电容器166,可更容易地保持第一晶体管160的栅电极和第二晶体管162的栅电极的电位。

[0078] 图2C示出半导体器件的电路配置的第三示例。图2C的半导体器件具有其中设置有二极管接法的晶体管168来代替图2A的半导体器件中的第一晶体管160的结构。即,晶体管168的源电极和栅电极彼此电连接。注意,在此情况下,晶体管168和第二晶体管162都是n沟道晶体管。替换地,晶体管168和第二晶体管162可以都是p沟道晶体管。

[0079] 图2D示出半导体器件的电路配置的第四示例。图2D的半导体器件具有其中设置二极管接法的晶体管168来代替图2B的半导体器件中的第一晶体管160的结构。即,晶体管168的源电极和栅电极彼此电连接。同样,在此情况下,晶体管168和第二晶体管162两者都是n沟道晶体管或p沟道晶体管。

[0080] 如上所述,当使用氧化物半导体形成的晶体管被添加到施加有输入信号的电极时,可保持该输入信号。因此,有可能实现具有其中可保持输入信号的新结构的半导体器件(诸如各种逻辑电路)。

[0081] <半导体器件的顶部结构和截面结构>

[0082] 图3A和3B示出图2A所示的半导体器件的结构的示例。图3A示出半导体器件的截面,而图3B示出半导体器件的俯视图。在此,图3A对应于沿图3B中的线A1-A2和线B1-B2的截面。图3A和3B所示的半导体器件在下部中包括使用除氧化物半导体外的材料的晶体管160和晶体管162,而在上部中包括使用氧化物半导体的晶体管164。注意,由于晶体管160和162具有类似的基本结构,因此在下文中将主要描述晶体管160。

[0083] 晶体管160包括设置在包含半导体材料的衬底100中的沟道形成区116、设置成夹持沟道形成区116的杂质区114和高浓度杂质区120(这些区域可简单地统称为杂质区)、设置在沟道形成区116上的栅绝缘层108a、设置在栅绝缘层108a上的栅电极110a、以及电连接到杂质区114的源电极或漏电极130a和源电极或漏电极130b。

[0084] 侧壁绝缘层118设置在栅电极110a的侧面上。在俯视图中观察时高浓度杂质区120

置于衬底100的不与侧壁绝缘层118重叠的区域中。金属化合物区124置于高浓度杂质区120上。元件隔离绝缘层106设置在衬底106上以包围晶体管160。层间绝缘层126和层间绝缘层128被设置成覆盖晶体管160。源电极或漏电极130a以及源电极或漏电极130b各自通过在层间绝缘层126和128中形成的开口电连接到金属化合物区124。即,源电极或漏电极130a和130b各自通过金属化合物区124电连接到高浓度杂质区120和杂质区114。以类似于源电极或漏电极130a和130b的方式而形成的电极130c电连接到栅电极110a。

[0085] 晶体管164包括设置在层间绝缘层128上的栅电极136d、设置在栅电极136d上的栅绝缘层138、设置在栅绝缘层138上的氧化物半导体层140、以及设置在氧化物半导体层140上且电连接到氧化物半导体层140的源电极或漏电极142a和源电极或漏电极142b。

[0086] 在此,栅电极136d被设置成嵌入在层间绝缘层128上形成的绝缘层132。类似于栅电极136d,电极136a、电极136b、以及电极136c形成为分别与源电极或漏电极130a、源电极或漏电极130b、以及电极130c接触。

[0087] 保护绝缘层144设置在晶体管164上,从而与氧化物半导体层140的一部分接触。层间绝缘层146设置在保护绝缘层144上。在保护绝缘层144和层间绝缘层146中形成到达源电极或漏电极142a以及源电极或漏电极142b的开口。电极150d和电极150e形成为分别通过相应开口与源电极或漏电极142a以及源电极或漏电极142b接触。类似于电极150d和电极150e,电极150a、电极150b、以及电极150c形成为分别通过设置在栅绝缘层138、保护绝缘层144、以及层间绝缘层146中的开口与电极136a、电极136b、以及电极136c接触。

[0088] 在此,氧化物半导体层140优选是充分去除杂质(诸如氢)的高度提纯的氧化物半导体层。具体地,氧化物半导体层140中的氢浓度小于或等于 5×10^{19} 原子/cm³、优选小于或等于 5×10^{18} 原子/cm³、更优选小于或等于 5×10^{17} 原子/cm³。可通过使用通过氢浓度的充分降低而高度提纯的这种氧化物半导体层140来获取具有良好截止电流特性的晶体管164。例如,当漏电压Vd为+1V或+10V而栅电压Vg在-5V至-20V的范围内时,截止电流小于或等于 1×10^{-13} 。当使用通过氢浓度的充分降低而高度提纯的氧化物半导体层140以使晶体管164的截止电流减小时,可实现具有新结构的半导体器件。注意,氧化物半导体层140中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0089] 绝缘层152设置在层间绝缘层146上。电极154a、电极154b、电极154c、以及电极154d被设置成嵌入绝缘层152。电极154a与电极150a接触。电极154b与电极150b接触。电极154c与电极150c和电极150d接触。电极154d与电极150e接触。

[0090] 即,在图3A和3B所示的半导体器件中,晶体管160(和晶体管162)的栅电极110以及晶体管164的源电极或漏电极142a通过电极130c、136c、150c、154c、以及150d电连接。

[0091] <用于制造半导体器件的方法>

[0092] 接着,将描述用于制造上述半导体器件的方法的示例。首先,在下文中将参考图4A至4H来描述用于制造下部中的晶体管160的方法,并且随后将参考图5A至5G以及图6A至6D来描述用于制造上部中的晶体管164的方法。

[0093] <用于制造下部中的晶体管的方法>

[0094] 首先,制备包含半导体材料的衬底100(参见图4A)。可使用由硅、碳化硅等制成的单晶半导体衬底或多晶半导体衬底、由硅锗等制成的化合物半导体衬底、SOI衬底等作为包含半导体材料的衬底100。在此,描述其中使用单晶硅衬底作为包含半导体材料的衬底100

的示例。注意,一般而言,术语“SOI衬底”是指其中硅半导体层设置在绝缘表面上的衬底。在本说明书等中,术语“SOI衬底”在其范畴内还包括其中使用除硅以外的材料而形成的半导体层设置在绝缘表面上的衬底。即,“SOI衬底”中所包括的半导体层不限于硅半导体层。此外,SOI衬底可以是具有其中半导体层隔着绝缘层设置在诸如玻璃衬底的绝缘衬底上的结构的衬底。

[0095] 在衬底100上形成保护层102,用作用于形成元件隔离绝缘层的掩模(参见图4A)。例如,可使用使用氧化硅、氮化硅、氮氧化硅等所形成的绝缘层作为保护层102。注意,在该步骤之前或之后,可将赋予n-型导电性的杂质元素、或者赋予p-型导电性的杂质元素添加到衬底110以控制半导体器件的阈值电压。当衬底100中所包含的半导体材料是硅时,可使用磷、砷等作为赋予n-型导电性的杂质。可使用硼、铝、镓等作为赋予p-型导电性的杂质。

[0096] 接着,通过使用保护层102作为掩模来蚀刻,去除衬底100在未用保护层102覆盖的区域(即,露出区域)中的部分。由此,形成隔离的半导体区104(参见图4B)。作为蚀刻,优选进行干法蚀刻,但是可进行湿法蚀刻。可根据要蚀刻的层的材料来适当地选择蚀刻气体和蚀刻剂。

[0097] 然后,绝缘层被形成为覆盖半导体区104,并且选择性地去除与半导体区104重叠的区域中的绝缘层,从而形成元件隔离绝缘层106(参见图4B)。该绝缘层使用氧化硅、氮化硅、氮氧化硅等来形成。可采用蚀刻处理和抛光处理(诸如CMP)中的任一种作为用于去除绝缘层的方法。注意,在形成半导体区104之后、或者在形成元件隔离绝缘层106之后去除保护层102。

[0098] 接着,在半导体区104上形成绝缘层,并且在该绝缘层上形成包含导电材料的层。

[0099] 由于绝缘层后来用作栅绝缘层,因此绝缘层优选具有使用通过CVD法、溅射法等所形成的包含氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或分层结构。替换地,绝缘层可以通过高密度等离子体处理或热氧化处理来氧化或氮化半导体区104的表面的方式形成。例如,可使用诸如He、Ar、Kr、或Xe之类的稀有气体、以及诸如氧、氧化氮、氨、氮、或氢之类的气体的混合气体来进行高密度等离子体处理。对绝缘层的厚度没有具体限制;例如,绝缘层的厚度可以是1nm至100nm。

[0100] 可使用诸如铝、铜、钛、钽、或钨之类的金属材料来形成包含导电材料的层。可使用半导体材料(诸如包含导电材料的多晶硅)来形成包含导电材料的层。对用于形成包含导电材料的层的方法没有具体限制,并且可采用各种膜形成方法,诸如蒸镀法、CVD法、溅射法、或旋涂法。注意,本实施例示出其中使用金属材料来形成包含导电材料的层的情况的示例。

[0101] 此后,选择性地蚀刻绝缘层以及包含导电材料的层,从而形成栅绝缘层108和栅电极110a(参见图4C)。

[0102] 接着,形成覆盖栅电极110a的绝缘层112(参见图4C)。然后,通过将硼(B)、铝(Al)等添加到半导体区104来形成具有浅结深度的杂质区114(参见图4C)。注意,在此添加硼或铝来形成p沟道晶体管;然而,在形成n沟道晶体管的情况下(例如,在形成晶体管162的情况下)添加诸如磷(P)或砷(As)之类的杂质元素。在形成杂质区114的情况下,在栅绝缘层108a下的半导体区104中形成沟道形成区116(参见图4C)。在此,可适当地设置所添加杂质的浓度;该浓度优选在半导体元件的尺寸极大地减小时增加。在此采用其中在形成绝缘层112之后形成杂质区114的步骤;替换地,可在形成杂质区114之后形成绝缘层112。

[0103] 接着,形成侧壁绝缘层118(参见图4D)。当绝缘层被形成为覆盖绝缘层112、并且随后进行高度各向异性的蚀刻时,侧壁绝缘层118可以自对准方式形成。此时,优选部分地蚀刻绝缘层112,以使露出栅电极110a的顶面和杂质区114的顶面。

[0104] 接着,绝缘层被形成为覆盖栅电极110a、杂质区114、侧壁绝缘层118等。接着,硼(B)、铝(Al)等被添加到与杂质区114接触的区域,从而形成高浓度杂质区120(参见图4E)。如上所述,在形成n沟道晶体管的情况下,可添加诸如磷(P)或砷(As)之类的杂质元素。此后,去除绝缘层,并且金属层122被形成为覆盖栅电极110a、侧壁绝缘层118、高浓度杂质区120等(参见图4E)。可采用诸如真空蒸镀法、溅射法、或旋涂法之类的各种膜形成方法来形成金属层122。优选使用与半导体区104中所包括的半导体材料反应以成为低电阻金属化合物的金属材料来形成金属层122。这种金属材料的示例是钛、钽、钨、镍、钴、以及铂。

[0105] 接着,进行热处理以使金属层122与半导体材料反应。由此,形成与高浓度杂质区120接触的金属化合物区124(参见图4F)。注意,当使用多晶硅等来形成栅电极110a时,同样在栅电极110a与金属层122相接触的区域中形成金属化合物区。

[0106] 例如,可采用用闪光灯的辐射来作为热处理。虽然毋庸赘言可使用另一种热处理方法,但是优选使用可实现极短时间的热处理的方法来改进在形成金属化合物时的化学反应的可控性。注意,金属化合物区通过金属材料 and 半导体材料反应而形成,并且具有足够高的导电性。形成金属化合物区可适当地减小电阻,并且改进元件特性。注意,在形成金属化合物区124之后去除金属层122。

[0107] 然后,层间绝缘层126和层间绝缘层128被形成为覆盖在以上步骤中形成的组件(参见图4G)。可使用诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽之类无机绝缘材料来形成层间绝缘层126和128。此外,可使用诸如聚酰亚胺或丙烯酸之类的有机绝缘材料来形成层间绝缘层126和128。注意,在此采用层间绝缘层126和层间绝缘层128的双层结构;然而,层间绝缘层的结构不限于该结构。在形成层间绝缘层128之后,层间绝缘层128的表面优选通过CMP、蚀刻等来平面化。

[0108] 然后,在层间绝缘层中形成到达金属化合物区124的开口,并且在这些开口中形成源电极或漏电极130a以及源电极或漏电极130b(参见图4H)。源电极或漏电极130a和130b可以例如在包括开口的区域中通过PVD法、CVD法等形成导电层、并且随后通过蚀刻、CMP等来去除导电层的一部分的方式形成。

[0109] 注意,在通过去除导电层的一部分来形成源电极或漏电极130a和130b的情况下,优选执行该工艺以使表面平面化。例如,当在包括开口的区域中形成钛薄膜或氮化钛薄膜、并且随后钨膜被形成为嵌入开口时,去除过量的钨、钛、氮化钛等,并且可通过后续的CMP来改进薄膜的平面度。当包括源电极或漏电极130a和130b的表面以此方式平面化时,可在后来的步骤中顺利地形成电极、布线、绝缘层、半导体层等。

[0110] 注意,在此示出与金属化合物区124接触的源电极或漏电极130a和130b;然而,也可在该步骤中形成与栅电极110a(例如,图3A中的电极130c)等接触的电极。对于源电极或漏电极130a和130b的材料没有具体限制,并且可使用各种导电材料。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钽、或钨之类的导电材料。

[0111] 通过以上步骤,形成包含半导体材料的衬底100的晶体管160(和晶体管162)。注意,也可在以上步骤之后形成电极、布线、绝缘层等。当布线具有包括层间绝缘层和导电层

的分层结构的多层结构时,可提供高度集成的半导体器件。

[0112] <用于制造上部中的晶体管的方法>

[0113] 接着,将参考图5A至5G以及图6A至6D来描述用于制造层间绝缘层128上的晶体管164的步骤。注意,图5A至5G以及图6A至6D示出用于制造层间绝缘层128上的电极、晶体管164等的步骤;因此,省略置于晶体管164下的晶体管160等。

[0114] 首先,在层间绝缘层128、源电极或漏电极130a和130b、以及电极130c上形成绝缘层132(参见图5A)。绝缘层132可通过PVD法、CVD法等形式形成。可使用诸如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽之类无机绝缘材料来形成绝缘层132。

[0115] 接着,在绝缘层132中形成到达源电极或漏电极130a和130b以及电极130c的开口。此时,同样在后来要形成栅电极136d的区域中形成开口。然后,导电层134被形成为嵌入这些开口(参见图5B)。这些开口可通过诸如使用掩模的蚀刻之类的方法来形成。该掩模可通过诸如使用光掩模的曝光之类的方法来形成。湿法蚀刻或干法蚀刻可被用作该蚀刻;干法蚀刻优选在微型制造方面使用。可通过诸如PVD法或CVD法之类的膜形成方法来形成导电层134。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钽、或钨、或者这些材料中的任一种的合金或化合物(例如,氮化物)之类的导电材料来形成导电层134。

[0116] 具体地,有可能采用例如其中在包括开口的区域中通过PVD法形成钛薄膜且通过CVD法形成氮化钛薄膜、并且随后钨膜被形成为嵌入开口的方法。在此,通过PVD法形成的钛膜具有在与绝缘层132的界面处减小氧化膜以减小与下电极(在此,源电极或漏电极130a和130b、电极130c等)的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有防止导电材料扩散的阻挡功能。在形成钛、氮化钛等的阻挡膜之后,可通过电镀法来形成铜膜。

[0117] 在形成导电层134之后,通过蚀刻、CMP等去除导电层134的一部分,从而露出绝缘层132,并且形成电极136a、136b和136c、以及栅电极136d(参见图5C)。注意,当通过去除导电层134的一部分来形成电极136a、136b和136c、以及栅电极136d时,优选执行该工艺以使这些表面平面化。当绝缘层132,电极136a、136b和136c,以及栅电极136d以此方式平面化时,可在后来的步骤中顺利地形成电极、布线、绝缘层、半导体层等。

[0118] 接着,栅绝缘层138被形成为覆盖绝缘层132,电极136a、136b和136c,以及栅电极136d(参见图5D)。栅绝缘层138可通过CVD法、溅射法等形式形成。优选使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铅、氧化钽等来形成栅绝缘层138。注意,栅绝缘层138可具有单层结构或分层结构。例如,可通过使用硅烷(SiH_4)、氧气、以及氮气作为源气的等离子体CVD法来形成由氧氮化硅制成的栅绝缘层138。对栅绝缘层138的厚度没有具体限制;例如,栅绝缘层138的厚度可以是10nm至500nm。在采用分层结构的情况下,例如,栅绝缘层138优选是厚度为50nm至200nm的第一栅绝缘层、以及厚度为5nm至300nm的第二栅绝缘层的叠层。

[0119] 注意,通过去除杂质而变成本征或基本本征的氧化物半导体(高度提纯的氧化物半导体)相当易受界面能级和界面电荷的影响;因此,当这种氧化物半导体用于氧化物半导体层时,与栅绝缘层的界面是重要的。换句话说,与高度纯化的氧化物半导体层接触的栅绝缘层138需要具有高质量。

[0120] 例如,优选通过使用微波(2.45GHz)的高密度等离子体CVD法来形成栅绝缘层138,因为栅绝缘层238可以是致密的,并且具有高耐压和高质量。当高度提纯的氧化物半导体层和高质量的栅绝缘层彼此紧密地接触时,可降低界面能级,并且可获取良好的界面特性。

[0121] 毋庸赘言,即使当使用高度纯化的氧化物半导体层时,也可采用诸如溅射法或等离子体CVD法之类的另一种方法,只要高质量的绝缘层可被形成为栅绝缘层即可。此外,有可能使用其质量和界面特性通过在形成绝缘层之后进行的热处理而得以改进的绝缘层。在任何情况下,作为绝缘层138具有良好的膜质量且可用氧化物半导体层减小界面能级密度以形成良好界面的绝缘层被形成为栅绝缘层138。

[0122] 在85℃以及 $2 \times 10^6 \text{V/cm}$ 下进行12小时的栅极偏置温度应力测试(BT测试)时,如果杂质被添加到氧化物半导体,则可通过高电场(B:偏置)和高温(T:温度)来切断杂质和氧化物半导体的主要组分之间的键合(bond),所生成的悬空键导致阈值电压(V_{th})的偏移。

[0123] 相反,当如上所述氧化物半导体的杂质(尤其是氢和水)减小到最小值、且使氧化物半导体和栅绝缘层之间的界面特性成为良好时,可获取通过BT测试而稳定的晶体管。

[0124] 接着,氧化物半导体层在栅绝缘层138上形成,并且通过诸如使用掩模的蚀刻之类的方法来处理,从而形成岛状氧化物半导体层140(参见图5E)。

[0125] 优选使用In-Ga-Zn-O基氧化物半导体层、In-Sn-Zn-O基氧化物半导体层、In-Al-Zn-O基氧化物半导体层、Sn-Ga-Zn-O基氧化物半导体层、Al-Ga-Zn-O基氧化物半导体层、Sn-Al-Zn-O基氧化物半导体层、In-Zn-O基氧化物半导体层、Sn-Zn-O基氧化物半导体层、Al-Zn-O基氧化物半导体层、In-O基氧化物半导体层、Sn-O基氧化物半导体层、或Zn-O基氧化物半导体层作为该氧化物半导体层,其尤其优选为非晶的。在本实施例中,通过将靶用于沉积In-Ga-Zn-O基氧化物半导体的溅射法来形成非晶氧化物半导体层作为该氧化物半导体层。注意,由于可通过将硅添加到非晶氧化物半导体层来抑制非晶氧化物半导体层的结晶,因此例如可使用包含2wt%至10wt%的 SiO_2 的靶以包含阻止结晶的 SiO_x ($X > 0$)来形成氧化物半导体层。

[0126] 例如,可使用包含氧化锌等作为其主要组分的金属氧化物靶来作为用于通过溅射法形成氧化物半导体层的靶。此外,例如,可使用用于沉积包含In、Ga、以及Zn的氧化物半导体的靶(组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比])。此外,也可使用具有组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ (摩尔比)的靶、或者具有组分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ (摩尔比)的靶来作为用于沉积包含In、Ga、以及Zn的氧化物半导体的靶。用于沉积氧化物半导体的靶的填充率为90%至100%、优选大于或等于95%(例如,99.9%)。通过将靶用于沉积具有高填充率的氧化物半导体来形成致密的氧化物半导体层。

[0127] 其中形成氧化物半导体层的气氛优选是稀有气体(通常是氩气)气氛、氧气气氛、或者包含稀有气体(通常是氩)和氧气的混合气氛。具体地,优选使用例如将诸如氢、水、羟基、或氢化物之类的杂质去除到几ppm(优选,几ppb)的浓度的高纯度气体。

[0128] 在形成氧化物半导体层时,将衬底保持在维持于减小的压力且衬底温度被示为100℃至600℃、优选为200℃至400℃的处理室中。氧化物半导体层在加热衬底时形成,从而可降低氧化物半导体层的杂质浓度。此外,减少因溅射造成的损坏。然后,在去除处理室中剩余的水分时将去除了氢和水的溅射气体引入处理室,并且使用金属氧化物作为靶来形成该氧化物半导体层。优选使用捕集真空泵来去除处理室中剩余的水分。例如,可使用低温泵、离子泵、或钛升华泵。排出单元可以是设置有冷阱的涡轮泵。在用低温泵排空的沉积室中,去除氢原子、诸如水(H_2O)之类的包含氢原子的化合物(并且还优选包含碳原子的化合物)等,由此可降低在沉积室中形成的氧化物半导体层中的杂质浓度。

[0129] 氧化物半导体层可在以下条件下形成,例如:衬底和靶之间的距离为100mm;压力为0.6Pa;直流(DC)电源为0.5kW;以及气氛是氧气(氧气的流速比为100%)。注意,优选使用脉冲直流(DC)电源,因为可减少在膜沉积时生成的粉末物质(也称为颗粒或灰尘),并且厚度分布是均匀的。氧化物半导体层的厚度优选为2nm至200nm、优选为5nm至30nm。注意,适当的厚度根据氧化物半导体材料而不同,并且厚度根据要使用的材料适当地设置。

[0130] 注意,在通过溅射法形成氧化物半导体层之前,优选地通过引入氩气并生成等离子体的反溅射来去除栅绝缘层138的表面上的灰尘。在此,不同于离子与溅射靶碰撞的正常溅射,反溅射是离子与要处理的表面碰撞以使该表面改性的方法。用于使离子与要处理的表面碰撞的方法的示例是在氩气气氛中将高频电压施加到该表面、从而在衬底附加生成等离子体的方法。注意,可使用氮气、氦气、氧气等气氛来代替氩气气氛。

[0131] 可采用干法蚀刻或湿法蚀刻作为氧化物半导体层的蚀刻方法。毋庸赘言,干法蚀刻和湿法蚀刻可组合使用。蚀刻条件(例如,蚀刻气体或蚀刻溶液、蚀刻时间、以及温度)根据材料适当地设置,从而可将氧化物半导体层蚀刻成期望形状。

[0132] 用于干法蚀刻的蚀刻气体的示例是含氯的气体(诸如氯气(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)、或四氯化碳(CCl_4)之类的氯基气体)。此外,可使用含氟的气体(诸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CHF_3)之类的氟基气体)、溴化氢(HBr)、氧气(O_2)、添加有诸如氦气(He)或氩气(Ar)之类的稀有气体的这些气体中的任一种等。

[0133] 可使用平行板RIE(反应离子蚀刻)法或ICP(感应耦合等离子体)蚀刻法作为干法蚀刻法。为了将氧化物半导体层蚀刻成期望形状,适当地设置蚀刻条件(例如,施加到线圈状(coiled)电极的电功率量、施加到衬底侧上的电极的电功率量、以及衬底侧上的电极温度)。

[0134] 可使用磷酸、醋酸、以及硝酸的混合溶液等作为用于湿法蚀刻的蚀刻剂。还可使用诸如ITO07N(由KANTO化学公司(KANTO CHEMICAL CO., INC.)生产)之类的蚀刻剂。

[0135] 然后,优选对氧化物半导体层进行第一热处理。可用第一热处理来对氧化物半导体层进行脱水或脱氢。第一热处理的温度高于或等于300℃且低于或等于750℃、优选高于或等于400℃且低于衬底的应变点。例如,衬底被引入其中使用电阻加热元件等的电炉,并且氧化物半导体层140在450℃下在氮气气氛中进行热处理达1小时。氧化物半导体层140在热处理期间不暴露于空气,从而可防止水和氢进入。

[0136] 热处理装置不限于电炉,并且可以是用于通过来自诸如经加热气体之类的介质的热传导或热辐射对物体加热的装置。例如,可使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置之类的快速热退火(RTA)装置。LRTA装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理的物体加热的装置。GRTA装置是用于使用高温气体来进行热处理的装置。可使用通过热处理不与物体反应的惰性气体(例如,氮气或诸如氩气之类的稀有气体)作为该气体。

[0137] 例如,作为第一热处理,GRTA工艺可如下地进行。将衬底放在已加热到650℃至700℃高温的惰性气体中,加热几分钟,并从惰性气体中取出。GRTA工艺实现短时间的高温热处理。此外,即使当温度超过衬底的应变点时也可采用GRTA工艺,因为它是短时间的热处理。

[0138] 注意,第一热处理优选在包含氮气或稀有气体(例如,氦气、氖气、或氩气)作为其主要成分且不包含水、氢等的气氛中进行。例如,被引入热处理装置的氮气、或者诸如氦气、

氦气、或氩气之类的稀有气体的纯度大于或等于6N(99.9999%)、优选大于或等于7N(99.99999%) (即,杂质浓度小于或等于1ppm、优选小于或等于0.1ppm)。

[0139] 根据第一热处理的条件或氧化物半导体层的材料,有时使氧化物半导体层结晶成微晶或多晶。例如,氧化物半导体层有时变成结晶度大于或等于90%、或者大于或等于80%的微晶氧化物半导体层。此外,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可以是不含结晶组分的非晶氧化物半导体层。

[0140] 此外,氧化物半导体层有时变成其中将微米晶(其颗粒尺寸为1nm至20nm、通常为2nm至4nm)混合到非晶氧化物半导体(例如,氧化物半导体层的表面)中的层。

[0141] 可通过在非晶半导体中对齐微米晶来改变氧化物半导体层的电特性。例如,当通过将靶用于沉积In-Ga-Zn-O基氧化物半导体来形成氧化物半导体层时,可通过形成其中使具有电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒对齐的微晶部分来改变氧化物半导体层的电特性。

[0142] 更具体地,例如,当晶粒被排列成 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的c轴与氧化物半导体层的表面垂直时,可改进在与氧化物半导体层的表面平行的方向上的导电性,并且可改进在与氧化物半导体层的表面垂直的方向上的绝缘性质。此外,这种微晶部分具有抑制诸如水或氢之类的杂质进入氧化物半导体层的功能。

[0143] 注意,可通过GRTA工艺对氧化物半导体层的表面加热来形成包括微晶部分的氧化物半导体层。此外,氧化物半导体层可以更优选的方式通过使用其中Zn的量小于In或Ga的量的溅射靶来形成。

[0144] 可对尚未处理成岛状氧化物半导体层140的氧化物半导体层进行氧化物半导体层140的第一热处理。在此情况下,在第一热处理之后,从热处理装置中取出衬底,并且执行光刻步骤。

[0145] 注意,上述第一热处理可因其对氧化物半导体层140的脱水或脱氢效果而被称为脱水处理、脱氢处理等。例如,可在形成氧化物半导体层之后、在氧化物半导体层140上堆叠源电极或漏电极之后、或者在源电极或漏电极上形成保护绝缘层之后进行这种脱水处理或脱氢处理。这种脱水处理或脱氢处理可进行一次或多次。

[0146] 接着,源电极或漏电极142a、以及源电极或漏电极142b被形成为与氧化物半导体层140接触(参见图5F)。源电极或漏电极142a和142b可以导电层被形成为覆盖氧化物半导体层140、并且随后被选择性地蚀刻的方式形成。

[0147] 导电层可通过诸如溅射法之类的PVD法、或者诸如等离子体CVD法之类的CVD法形成。作为导电层的材料,可使用从铝、铬、铜、钼、钛、钽、以及钨中选择元素;包含这些元素中的任一种作为组分的合金等。此外,可使用从锰、镁、锆、铍、以及钽中选择的一种或多种材料。还有可能使用与从钛、钼、钨、钽、铬、钼、以及钽中选择的一种或多种元素组合的铝。导电层可具有单层结构、或者包含两层或更多层的分层结构。例如,导电层可具有含硅铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、或者其中钛膜、铝膜、以及钛膜按该次序堆叠的三层结构。

[0148] 在此,紫外光、KrF激光、或ArF激光优选被用于在形成用于蚀刻的掩模时的曝光。

[0149] 晶体管的沟道长度(L)根据源电极或漏电极142a的下端部与源电极或漏电极142b的下端部之间的距离来确定。注意,在沟道长度(L)小于25nm的情况下,用其波长极短(几纳米至几百纳米)的远紫外线来进行用于形成掩模的曝光。用远紫外线曝光的分辨率较高,并

且聚焦的深度较大。出于这些原因,后来形成的晶体管的沟道长度(L)可以在10nm至1000nm的范围内,并且该电路可以更高的速度操作。此外,截止状态电流极低,这防止功耗增加。

[0150] 适当地调节导电层和氧化物半导体层140的材料和蚀刻条件,从而在蚀刻导电层时不去除氧化物半导体层140。注意,在一些情况下,氧化物半导体层140根据材料和蚀刻条件在蚀刻步骤中部分地蚀刻,并且由此具有凹槽部分(凹陷部分)。

[0151] 可在氧化物半导体层140与源电极或漏电极142a之间、或者在氧化物半导体层140与源电极或漏电极142b之间形成氧化物导电层。可连续地形成氧化物导电层、以及用于形成源电极和漏电极142a和142b的金属层。氧化物导电层可用作源区或漏区。这种氧化物导电层的放置可减小源区或漏区的电阻,从而晶体管可以高速操作。

[0152] 为了减少所使用的掩模的数量和减少步骤的数量,蚀刻步骤可使用通过使用多色调掩模而形成的抗蚀剂掩模来执行,该多色调掩模是透射光以使其具有多个强度的曝光掩模。通过使用多色调掩模而形成的抗蚀剂掩模具有多个厚度(具有阶梯式的形状),并且还可通过灰化来改变形状;因此,抗蚀剂掩模可在用于处理成不同图案的多个蚀刻步骤中使用。即,可通过使用多色调掩模来形成与至少两种不同的图案相对应的抗蚀剂掩模。由此,可减少曝光掩模的数量,并且还可减少相应的光刻步骤的数量,由此可简化工艺。

[0153] 注意,优选在以上步骤之后通过使用诸如 N_2O 、 N_2 、或Ar之类的气体来进行等离子体处理。该等离子体处理去除了附着到氧化物半导体层的露出表面的水等。可使用氧气和氩气的混合气体来进行等离子体处理。

[0154] 接着,保护绝缘层144被形成为与氧化物半导体层140的一部分接触,而不暴露于空气(参见图5G)。

[0155] 保护绝缘层144可通过诸如适当地防止水和氢之类的杂质混合到保护绝缘层144的溅射法之类的方法形成。保护绝缘层144的厚度为至少1nm。可使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等来形成保护绝缘层144。保护绝缘层144可具有单层结构或分层结构。形成保护绝缘层144时的衬底温度优选高于或等于室温且低于或等于300℃。用于形成保护绝缘层144的气氛优选是稀有气体(通常是氩气)气氛、氧气气氛、或者包含稀有气体(通常是氩气)和氧气的混合气氛。

[0156] 如果保护绝缘层144中含氢,则氢可进入氧化物半导体层或提取氧化物半导体层中的氧,由此可减小背沟道侧上的氧化物半导体层的电阻,并且可形成寄生沟道。因此,重要的是在形成保护绝缘层144时不使用氢以使氧化物绝缘层144包含尽可能少的氢。

[0157] 此外,为了在氧化物半导体层140和保护绝缘层144中不包含氢、羟基、或水分,优选在去除留在处理室中的水时形成保护绝缘层144。

[0158] 优选使用捕集真空泵来去除处理室中剩余的水分。例如,优选使用低温泵、离子泵、或钛升华泵。排出单元可以是设置有冷阱的涡轮泵。在用低温泵排空的沉积室中,例如,去除氢原子、以及诸如水(H_2O)之类的包含氢原子的化合物;由此,可降低在沉积室中形成的保护绝缘层144中的杂质浓度。

[0159] 优选使用将诸如氢、水、羟基、或氢化物之类的杂质去除到几ppm(优选,几ppb)的浓度的高纯度气体来作为用于形成保护绝缘层144的溅射气体。

[0160] 接着,优选在惰性气氛或氧气气氛中(在200℃至400℃下,例如,在250℃至350℃下)进行第二热处理。例如,在氮气气氛中,在250℃下进行第二热处理达1小时。第二

热处理可减少晶体管的电特性的变化。

[0161] 此外,可在空气中,在100℃至200℃下进行热处理达1小时至30小时。该热处理可在固定加热温度下进行;替换地,加热温度的以下改变可重复进行多次:加热温度从室温上升到100℃到200℃的温度,并且随后下降到室温。在形成保护绝缘层之前,该热处理可在减小的压力下进行。在减小的压力下,可缩短热处理时间。例如,该热处理可代替第二热处理来进行,或者可在第二热处理之前或之后进行。

[0162] 接着,在保护绝缘层144上形成层间绝缘层146(参见图6A)。层间绝缘层146可通过PVD法、CVD法等形式形成。可使用诸如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽之类无机绝缘材料来形成层间绝缘层146。在形成层间绝缘层146之后,层间绝缘层146的表面优选通过CMP、蚀刻等来平面化。

[0163] 接着,在层间绝缘层146、保护绝缘层144、以及栅绝缘层138中形成到达电极136a、136b和136c、以及源电极或漏电极142a和142b的开口。然后,导电层148被形成为嵌入这些开口(参见图6B)。这些开口可通过诸如使用掩模的蚀刻之类的方法来形成。该掩模可通过诸如使用光掩模的曝光之类的方法来形成。湿法蚀刻或干法蚀刻可被用作该蚀刻;干法蚀刻优选在微型制造方面使用。可通过诸如PVD法或CVD法之类的膜形成方法来形成导电层148。例如,可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、或钐、或者这些材料中的任一种的合金或化合物(例如,氮化物)之类的导电材料来形成导电层148。

[0164] 具体地,有可能采用例如其中在包括开口的区域中通过PVD法形成钛薄膜且通过CVD法形成氮化钛薄膜、并且随后钨膜被形成为嵌入开口的方法。在此,通过PVD法而形成的钛膜具有减小在与层间绝缘层146的界面处的氧化膜以减小与下电极(在此,电极136a、136b和136c、以及源电极或漏电极142a和142b)的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有防止导电材料扩散的阻挡功能。在形成钛、氮化钛等的阻挡膜之后,可通过电镀法形成铜膜。

[0165] 在形成导电层148之后,通过蚀刻、CMP等去除导电层148的一部分,从而露出层间绝缘层146,并且形成电极150a、150b、150c、150d和150e(参见图6C)。注意,当通过去除导电层148的一部分来形成电极150a、150b、150c、150d和150e时,优选执行该工艺以使这些表面平面化。当层间绝缘层146、以及电极150a、150b、150c、150d和150e的表面以此方式平面化时,可在后来的步骤中顺利地形成电极、布线、绝缘层、半导体层等。

[0166] 然后,形成绝缘层152,并且在绝缘层152中形成到达电极150a、150b、150c、150d和150e的开口。在导电层被形成为嵌入开口之后,通过蚀刻、CMP等来去除导电层的一部分。由此,露出绝缘层152,并且形成电极154a、154b、154c和154d(参见图6D)。该步骤类似于形成电极150a等的步骤;因此,省略详细描述。

[0167] 在晶体管164通过上述方法形成的情况下,氧化物半导体层140中的氢浓度小于或等于 5×10^{19} 原子/cm³,而晶体管164的截止电流小于或等于 1×10^{-13} A。如上所述,可通过施加通过氢浓度的充分降低而高度提纯的氧化物半导体层140来获取具有良好特性的晶体管164。此外,有可能制造具有良好特性、且包括使用除下部中的氧化物半导体以外的材料而形成的晶体管160和162、以及使用上部中的氧化物半导体而形成的晶体管164的半导体器件。

[0168] 注意,在此描述图2A所示的半导体器件的制造步骤。图2B、2C和2D所示的半导体器

件还可以类似于图2A所示的半导体器件的方式制造。

[0169] 注意,给出碳化硅(例如,4H-SiC)作为可与氧化物半导体比拟的半导体材料。氧化物半导体和4H-SiC具有一些共性。载流子密度是这些共性之一。根据费米-狄拉克分布,氧化物半导体的载流子密度被估计为约 $10^{-7}/\text{cm}^3$ 。载流子密度的该值类似于4H-SiC中的载流子密度极小,为 $6.7 \times 10^{-11}/\text{cm}^3$ 。当氧化物半导体的载流子密度与硅的本征载流子密度(约 $1.4 \times 10^{10}/\text{cm}^3$)比较时,可容易地理解氧化物半导体的载流子密度相当地低。

[0170] 此外,氧化物半导体的能带隙为3.0eV至3.5eV,而4H-SiC的能带隙为3.26eV。由此,氧化物半导体和碳化硅的相似之处在于,它们都是宽带隙半导体。

[0171] 另一方面,氧化物半导体和碳化硅之间存在一主要的差异,即,处理温度。由于碳化硅一般需要在1500℃至2000℃进行热处理,因此难以形成碳化硅、以及使用除碳化硅以外的半导体材料而形成的半导体元件的叠层。这是因为在这些高温下损坏了半导体衬底、半导体元件等。同时,氧化物半导体可通过在300℃至500℃(小于或等于玻璃转变温度;高达700℃)的热处理来形成;因此,有可能通过使用除氧化物半导体层以外的半导体材料来形成集成电路,并且随后形成包括氧化物半导体的半导体元件。

[0172] 另外,与碳化硅相比,氧化物半导体是有利的,因为可使用诸如玻璃衬底之类的低耐热性衬底。此外,氧化物半导体不需要在高温下进行热处理,从而与碳化硅相比可充分地降低能量成本,这是另一优点。

[0173] 虽然对诸如态密度(DOS)之类的氧化物半导体性质已进行了大量研究,但是它们不包括充分减小DOS本身的思路。根据所公开发明的一个实施例,通过去除可影响DOS的水或氢来形成高度提纯的氧化物半导体。这是基于充分减小DOS本身的思路。这种高度提纯的氧化物半导体允许制造非常优良的工业产品。

[0174] 此外,很有可能通过将氧供应到通过氧空位而生成的金属的悬空键、以及减小因氧空位造成的DOS来形成更加高度提纯(i型)的氧化物半导体。例如,包含过量氧的氧化膜被形成为与沟道形成区紧密接触,并且随后将氧从氧化膜供应到沟道形成区,从而可减小因氧空位造成的DOS。

[0175] 据说,氧化物半导体的缺陷归因于因过量氢造成的导带下的浅能级、因缺氧造成的深能级等。作为技术思想,彻底地去除氢、以及充分地供应氧用于消除这种缺陷可能是正确的。

[0176] 氧化物半导体一般被认为是n型半导体;然而,根据所公开发明的一个实施例,i型半导体通过去除杂质(尤其是水和氢)来实现。在这个方面,可以说,所公开发明的一个实施例包括新颖的技术思路,因为它与诸如添加有杂质的硅之类的i型半导体不同。

[0177] <包括氧化物半导体的晶体管的导电机制>

[0178] 将参考图12、图13A和13b、图14A和14b、以及图15来描述包括氧化物半导体的晶体管的导电机制。注意,以下描述只是一种考虑,而不否定本发明的有效性。

[0179] 图12是包含氧化物半导体的倒交错晶体管(薄膜晶体管)的截面图。氧化物半导体层(OS)隔着栅绝缘层(GI)设置在栅电极(GE1)上,并且源电极(S)和漏电极(D)设置在该氧化物半导体层上。此外,背栅(GE2)隔着绝缘层设置在源电极和漏电极上。

[0180] 图13A和13B是图12中的截面A-A'的能带图(示意图)。图13A示出源极和漏极之间的电位差为0(源极和漏极具有相同的电位, $V_D=0V$)的情况。图13B示出漏极的电位高于源

极的电位 ($V_D > 0$) 的情况。

[0181] 图14A和14B是沿图12中的B-B' 的能带图 (示意图)。图14A示出向栅极 (GE1) 施加正电压 ($V_G > 0$) 的状态, 即, 载流子 (电子) 在源极和漏极之间流动的导通状态。图14B示出向栅极 (GE1) 施加负电压 ($V_G < 0$) 的状态, 即, 截止状态 (其中少数载流子不流动)。

[0182] 图15示出真空能级、金属的功函数 (ϕ_M)、以及氧化物半导体的电子亲和性 (χ) 之间的关系。

[0183] 金属简并, 并且费米能级存在于导带中。同时, 常规的氧化物半导体是n型, 并且费米能级 (E_F) 远离带隙中心的本征费米能级 (E_i) 并位于导带附近。已知氧化物半导体中的氢部分地变成施主, 并且是产生n型氧化物半导体的原因之一。

[0184] 相反, 根据所公开发明的一个实施例的氧化物半导体以如下方式变成本征 (i 型) 或接近本征的氧化物半导体: 为了高度提纯从氧化物半导体去除作为产生n型氧化物半导体的原因的氢, 以使氧化物半导体尽可能少地包括除氧化物半导体的主要组分以外的元素 (杂质元素)。即, 本发明的一个实施例的特征在于, 不是通过添加杂质元素而是通过消除诸如氢和水之类的杂质来使得氧化物半导体成为或接近高度提纯的i 型 (本征) 半导体。由此, 费米能级 (E_F) 可与本征费米能级 (E_i) 相当。

[0185] 在氧化物半导体的带隙 (E_g) 为3.15eV的情况下, 其电子亲和性 (χ) 为4.3eV。源电极或漏电极中所包含的钛 (Ti) 的功函数基本上等于氧化物半导体的电子亲和性 (χ)。在此情况下, 在金属和氧化物半导体之间的界面处不形成对电子的肖特基势垒。

[0186] 即, 在金属的功函数 (ϕ_M) 等于氧化物半导体的电子亲和性 (χ) 的情况下, 当金属和氧化物半导体彼此接触时示出图13A中的这种能带图 (示意图)。

[0187] 在图13B中, 黑点 (•) 表示电子。图13B示出向漏极施加一正电压 ($V_D > 0$) 而不向栅极施加一电压 ($V_G = 0$) 的情况 (由虚线示出)、以及向漏极施加一正电压 ($V_D > 0$) 且向栅极施加一正电压 ($V_G > 0$) 的情况 (由实线示出)。当向栅极供应一正电位 ($V_D > 0$) 且向漏极施加一正电位时, 电子跨过要注入氧化物半导体的势垒 (h), 并且流向漏极。势垒 (h) 的高度取决于栅电压和漏电压。当向栅极供应一正电压 ($V_G > 0$) 且施加一正的漏电压时, 势垒 (h) 的高度低于图13A中未施加电压的势垒的高度, 即, 带隙 (E_g) 的一半。在不向栅极施加一电压的情况下, 由于高电位势垒, 载流子 (电子) 未从电极注入氧化物半导体侧, 从而电流不流动, 这意味着截止状态。另一方面, 当向栅极施加正电压时, 电位垒势减小, 并且由此电流流动, 这意味着导通状态。

[0188] 此时, 如图14A所示, 电子在栅绝缘层和高度提纯的氧化物半导体之间的界面附近 (其中氧化物半导体在能量方面是稳定的底部) 行进。

[0189] 如图14B所示, 当向栅电极 (GE1) 供应负电位时, 作为少数载流子的空穴基本上不存在。由此, 等离子基本上接近于0。

[0190] 以此方式, 通过高度提纯以尽可能少地包含除其主要元素以外的元素 (即, 杂质元素), 氧化物半导体层变成本征的 (i 型半导体) 或基本本征的。由此, 氧化物半导体和栅绝缘层之间的界面的特性变得明显。为此, 栅绝缘层需要形成良好的与氧化物半导体的界面。具体地, 优选使用以下绝缘层, 例如: 通过使用用在VHF带至微波带的范围内的电源频率生成的高密度等离子体的CVD法而形成的绝缘层, 或者通过溅射法而形成的绝缘层。

[0191] 当氧化物半导体和栅绝缘层之间的界面在高度提纯氧化物半导体时变为良好时,

在晶体管具有 $1 \times 10^4 \mu\text{m}$ 的沟道宽度W和 $3 \mu\text{m}$ 的沟道长度L的情况下,例如,有可能实现小于或等于 10^{-13}A 的截止电流、以及 0.1V/dec 的子阈值摆动(S值)(具有 100nm 厚的栅绝缘层)。

[0192] 当如上所述高度提纯氧化物半导体层以尽可能少地包含除其主要元素以外的元素(即,杂质元素)时,薄膜晶体管可以良好的方式操作。

[0193] <变体示例>

[0194] 图7、图8A和8B、图9A和9B、以及图10A和10B示出半导体器件的结构变体示例。注意,作为变体示例,在下文中将描述包括不同于以上所述的结构晶体管164的半导体器件。即,晶体管160和晶体管162的结构与以上结构相同。

[0195] 图7示出包括晶体管164的半导体器件的示例,在该晶体管164中栅电极136d置于氧化物半导体层140下,而源电极或漏电极142a和142b与氧化物半导体层140的底面接触。注意,顶部结构可适当地改变以对应于截面;因此,在此只示出截面。

[0196] 图7中的结构和图3A中的结构之间的重大差异在于,氧化物半导体层140连接到源电极或漏电极142a和142b的位置。即,氧化物半导体层140的顶面与图3A的结构中的源电极或漏电极142a和142b接触,而氧化物半导体层140的底面与图7的结构中的源电极或漏电极142a和142b接触。此外,接触位置的不同导致其他电极、绝缘层等的不同排列。每一组件的细节与图3A和3B的细节相同。

[0197] 具体地,图7所示的半导体器件包括设置在层间绝缘层128上的栅电极136d、设置在栅电极136d上的栅绝缘层138、设置在栅绝缘层138上的源电极或漏电极142a和142b、以及与源电极或漏电极142a和142b的顶面接触的氧化物半导体层140。

[0198] 在此,栅电极136d被设置成嵌入在层间绝缘层128上形成的绝缘层132。类似于栅电极136d,电极136a、电极136b、以及电极136c被形成为分别与源电极或漏电极130a、源电极或漏电极130b、以及电极130c接触。

[0199] 保护绝缘层144设置在晶体管164上,从而与氧化物半导体层140的一部分接触。层间绝缘层146设置在保护绝缘层144上。在保护绝缘层144和层间绝缘层146中形成到达源电极或漏电极142a以及源电极或漏电极142b的开口。电极150d和电极150e被形成为分别通过相应开口与源电极或漏电极142a以及源电极或漏电极142b接触。类似于电极150d和150e,电极150a、150b和150c被形成为分别通过设置在栅绝缘层138、保护绝缘层144、以及层间绝缘层146中的开口与电极136a、136b和136c接触。

[0200] 绝缘层152设置在层间绝缘层146上。电极154a、154b、154c和154d被设置成嵌入绝缘层152。电极154a与电极150a接触。电极154b与电极150b接触。电极154c与电极150c和电极150d接触。电极154d与电极150e接触。

[0201] 图8A和8B各自示出其中栅电极136d置于氧化物半导体层140上的半导体器件的结构示例。图8A示出其中源电极或漏电极142a和142b与氧化物半导体层140的底面接触的结构示例。图8B示出其中源电极或漏电极142a和142b与氧化物半导体层140的顶面接触的结构示例。

[0202] 图8A和8B中的结构与图3A和图7中的结构之间的重大差异在于,栅电极136d置于氧化物半导体层140上。此外,图8A中的结构和图8B中的结构的重大差异在于,源电极或漏电极142a和142b与氧化物半导体层140的底面或顶面接触。此外,这些差异导致其他电极、绝缘层等的不同排列。每一组件的细节与图3A和3B等的细节相同。

[0203] 具体地,图8A所示的半导体器件包括设置在层间绝缘层128上的源电极或漏电极142a和142b、与源电极或漏电极142a和142b的顶面接触的氧化物半导体层140、设置在氧化物半导体层140上的栅绝缘层138、以及在与氧化物半导体层140重叠的区域中设置在栅绝缘层138上的栅电极136d。

[0204] 图8B中的半导体器件包括设置在层间绝缘层128上的氧化物半导体层140、设置成与氧化物半导体层140的顶面接触的源电极或漏电极142a和142b、设置在氧化物半导体层140以及源电极或漏电极142a和142b上的栅绝缘层138、以及在与氧化物半导体层140重叠的区域中设置在栅绝缘层138上的栅电极136d。

[0205] 注意,在图8A和8B中的结构中,有时从图3A和3B等中的结构中省略组件(例如,电极150a或电极154a)。在此情况下,可获取诸如简化制造工艺之类的辅助效果。毋庸赘言,在图3A和3B等中的结构中,可省略不重要的组件。

[0206] 图9A和9B各自示出其中元件的尺寸相对较大且栅电极136d置于氧化物半导体层140下的情况的示例。在此情况下,对表面的平面度和覆盖率的要求相对适中,从而不一定形成嵌入绝缘层的布线、电极等。例如,可在形成导电层之后通过溅射来形成栅电极136d等。注意,虽然在此未示出,但是晶体管160和晶体管162可以类似的方式形成。

[0207] 图9A中的结构和图9B中的结构的重大差异在于,源电极或漏电极142a和142b与氧化物半导体层140的底面或顶面接触。此外,该差异导致其他电极、绝缘层等以不同的方式排列。每一组件的细节与图3A和3B等的细节相同。

[0208] 具体地,图9A中的半导体器件包括设置在层间绝缘层128上的栅电极136d、设置在栅电极136d上的栅绝缘层138、设置在栅绝缘层138上的源电极或漏电极142a和142b、以及源电极或漏电极142a和142b的顶面接触的氧化物半导体层140。

[0209] 图9B中的半导体器件包括设置在层间绝缘层128上的栅电极136d、设置在栅电极136d上的栅绝缘层138、设置在栅绝缘层138上以与栅电极136d重叠的氧化物半导体层140、以及设置成与氧化物半导体层140的顶面接触的源电极或漏电极142a和142b。

[0210] 注意,同样在图9A和9B中的结构中,有时从图3A和3B中的结构中省略组件。同样在此情况下,可获取诸如简化制造工艺之类的辅助效果。

[0211] 图10A和10B各自示出其中元件的尺寸相对较大且栅电极136d置于氧化物半导体层140上的情况的示例。同样在此情况下,对表面的平面度和覆盖率的要求相对适中,从而不一定需要形成嵌入绝缘层的布线、电极等。例如,可在形成导电层之后通过溅射来形成栅电极136d等。注意,虽然在此未示出,但是晶体管160和晶体管162可以类似的方式形成。

[0212] 图10A中的结构和图10B中的结构的重大差异在于,源电极或漏电极142a和142b与氧化物半导体层140的底面或顶面接触。此外,该差异导致其他电极、绝缘层等以不同的方式排列。每一组件的细节与图3A和3B等的细节相同。

[0213] 具体地,图10A中的半导体器件包括设置在层间绝缘层128上的源电极或漏电极142a和142b、与源电极或漏电极142a和142b的顶面接触的氧化物半导体层140、设置在源电极或漏电极142a和142b以及氧化物半导体层140上的栅绝缘层138、以及在与氧化物半导体层140重叠的区域中设置在栅绝缘层138上的栅电极136d。

[0214] 图10B中的半导体器件包括设置在层间绝缘层128上的氧化物半导体层140、设置成与氧化物半导体层140的顶面接触的源电极或漏电极142a和142b、设置在源电极或漏电

极142a和142b以及氧化物半导体层140上的栅绝缘层138、以及在与氧化物半导体层140重叠的区域中设置在栅绝缘层138上的栅电极136d。

[0215] 注意,同样在图10A和10B中的结构中,有时从图3A和3B中的结构中省略组件。同样在此情况下,可获取诸如简化制造工艺之类的辅助效果。

[0216] 如上所述,可根据所公开发明的一个实施例来实现具有新颖结构的半导体器件。在本实施例中,描述其中晶体管164堆叠在晶体管160和晶体管162上的半导体器件的示例;然而,半导体器件的结构不限于该结构。此外,本实施例示出其中晶体管164的沟道长度方向与晶体管160和162的沟道长度方向垂直的示例;然而,晶体管160、162和164之间的位置关系不限于该示例。另外,晶体管160和晶体管162可被设置成与晶体管164重叠。

[0217] 在本实施例中,为了简单起见描述具有最小存储单元的半导体器件;然而,半导体器件的结构不限于此。可通过适当地连接多个半导体器件来形成更高级的半导体器件。布线配置不限于图1A和1B以及图2A至2D中的布线配置,并且可适当地改变。

[0218] 在根据本实施例的半导体器件中,由于晶体管164具有低截止电流,因此输入信号可保持长时间段。因此,可提供其中可保持输入信号的半导体器件(例如,逆变器电路)。

[0219] 本实施例中所描述的结构和方法可与其他实施例中所描述的任一种结构和方法适当地组合。

[0220] (实施例2)

[0221] 在本实施例中,将参考图11A至11F来描述配备有以上实施例中所获取的半导体器件的电子设备的示例。在以上实施例中所获取的半导体器件中,即使在不供电时也可保持数据。另外,半导体器件在写入或擦除输入信号的情况下不劣化。此外,半导体器件以高速操作。由此,通过使用半导体器件,可提供具有新颖结构的电子设备。注意,集成根据以上实施例的半导体器件以安装在电路板等上,并且由此将其嵌入每一电子设备中。

[0222] 图11A示出包括根据以上实施例的半导体器件的膝上型个人计算机。膝上型个人计算机包括主体301、外壳302、显示部分303、键盘304等。

[0223] 图11B示出包括根据以上实施例的半导体器件的便携式数字助理(PDA)。主体311包括显示部分313、外部接口315、操作键314等。此外,指示笔312被设置为用于操作的附件。

[0224] 图11C示出电子书320作为包括根据以上实施例的半导体器件的电子纸的示例。电子书320包括两个外壳:外壳321和外壳323。外壳321通过铰链337与外壳323组合,从而可以铰链337为轴来打开和关闭电子书320。这种结构允许电子书320被用作纸书。

[0225] 外壳321包括显示部分325,而外壳323包括显示部分327。显示部分325和显示部分327可显示连续图像或不同图像。用于显示不同图像的结构允许文本在右显示部分(图11C中的显示部分325)上显示、并且允许图像在左显示部分(图11C中的显示部分327)上显示。

[0226] 图11C示出外壳321包括操作部分等的情况的示例。例如,外壳321包括电源按钮331、控制键333、扬声器335等。控制键333允许翻页。注意,还可在设置有显示部分的外壳的表面上设置键盘、定点设备等。此外,外部连接端子(耳机端子、USB端子、可连接到诸如AC适配器和USB电缆之类的各种电缆的端子等)、记录介质插入部分等可设置在外壳的背面或侧面上。电子书320还可用作电子词典。

[0227] 另外,电子书320可具有能够无线地发送和接收数据的结构。通过无线通信,可从电子书服务器购买和下载期望的图书数据等。

[0228] 注意,可在任何领域中使用电子书,只要显示数据即可。例如,可将电子纸应用于海报、诸如火车等车辆中的广告、诸如信用卡之类的各种卡、以及电子书。

[0229] 图11D示出包括根据以上实施例的半导体器件的蜂窝电话。该蜂窝电话包括两个外壳:外壳340和外壳341。外壳341包括显示面板342、扬声器343、话筒344、定点设备346、相机镜头347、外部连接端子348等。外壳340包括用于对该蜂窝电话充电的太阳能电池349、外部存储槽350等。天线被嵌入外壳341中。

[0230] 显示面板342包括触摸面板。在图11D中,用虚线示出被显示为图像的多个控制键345。注意,该蜂窝电话包括用于将从太阳能电池349输出的电压增加到每一个电路所需的电压的升压电路。除了以上结构以外,非接触式IC芯片、小的记录设备等可被嵌入该蜂窝电话中。

[0231] 显示面板342的显示取向根据应用模式而适当地变化。此外,相机镜头347设置在与显示面板342相同的表面上,从而该蜂窝电话可被用作视频电话。扬声器343和话筒344可被用于视频电话呼叫、记录、播放声音等、以及语音呼叫。此外,在图11D中被示为未折叠的外壳340和341可通过滑动彼此重叠。由此,该蜂窝电话可处于便携使用的合适尺寸。

[0232] 外部连接端子348可连接到AC适配器、以及诸如USB电缆之类的各种电缆,该外部连接端子348允许对蜂窝电话的充电、以及数据通信。另外,可通过将记录介质插入外部存储器槽350来保存和移动更大量的数据。除了以上功能以外,可提供红外通信功能、电视接收功能等。

[0233] 图11E示出包括根据以上实施例的半导体器件的数码相机。该数码相机包括主体361、显示部分A 367、目镜部分363、操作开关364、显示部分B 365、电池366等。

[0234] 图11F示出包括根据以上实施例的半导体器件的电视机。电视机370包括设置有显示部分373的外壳371。可在显示部分373上显示图像。在此,外壳371由支架375支承。

[0235] 可通过外壳370中所包括的操作开关、或者通过单独提供的遥控器380来操作电视机370。可通过遥控器380中所包括的控制键379来控制频道和音量,并且由此可控制显示部分373上所显示的图像。此外,遥控器380可设置有用于显示从遥控器380输出的数据的显示部分377。

[0236] 注意,电视机370优选包括接收器、调制解调器等。利用该接收器,可接收一般的电视广播。此外,当电视机370经由调制解调器通过有线或无线连接而连接到通信网络时,可进行单向(从发射器到接收器)或双向(在发射器与接收器之间、接收器之间等)数据通信。

[0237] 本实施例中所描述的结构和方法可与其他实施例中所描述的任一种结构和方法适当地组合。

[0238] 本申请基于2009年10月29日向日本专利局提交的日本专利申请S/N.2009-249328,该申请的全部内容通过引用结合于此。

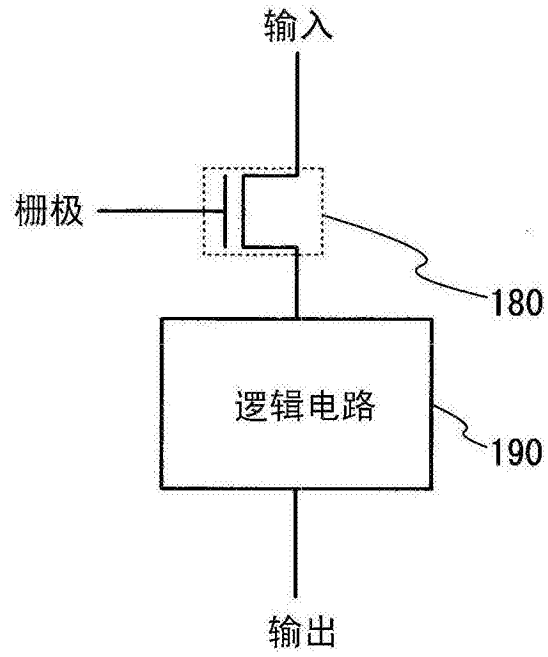


图1A

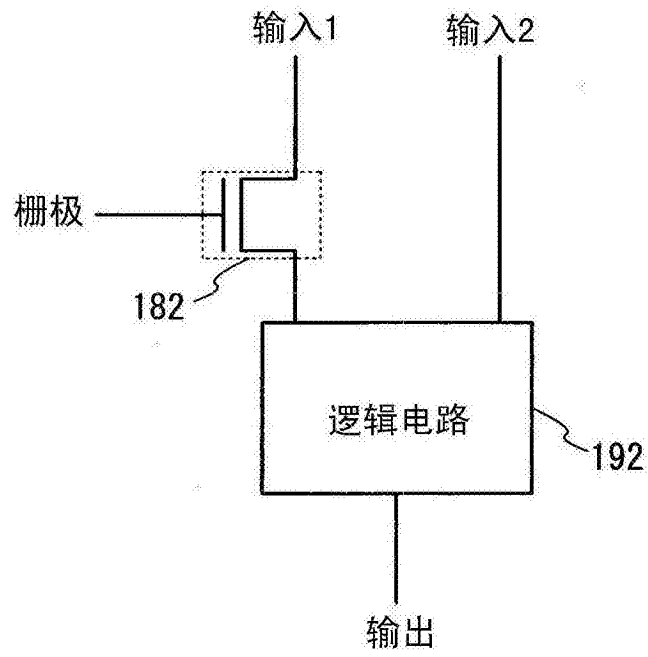


图1B

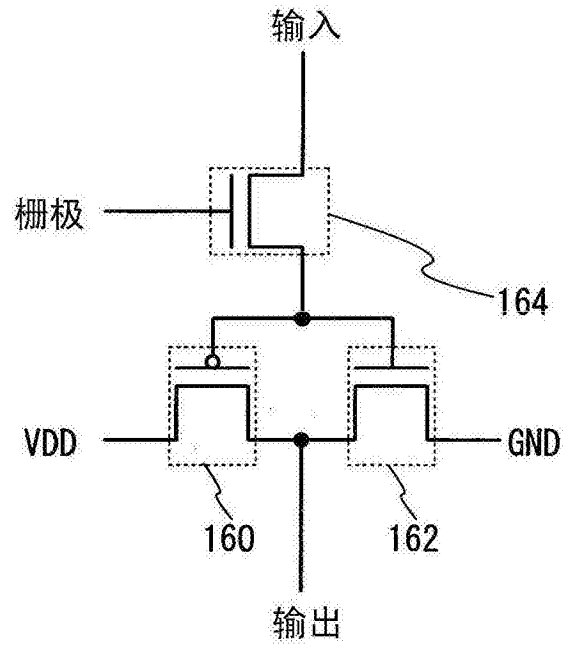


图2A

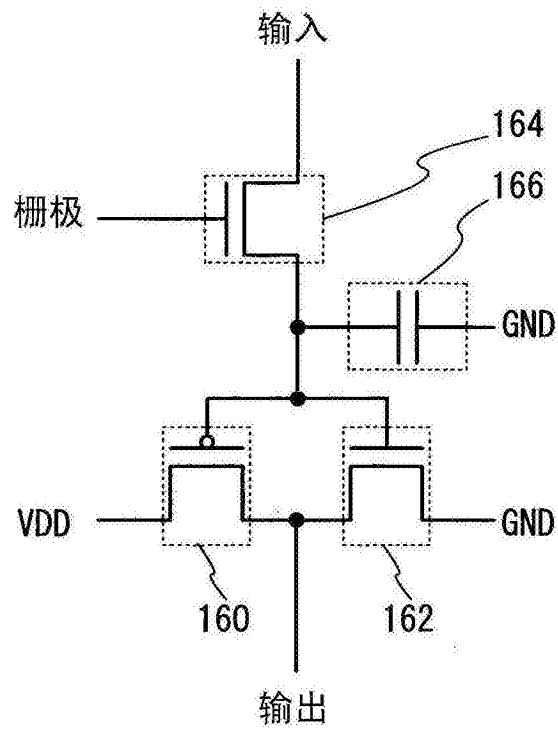


图2B

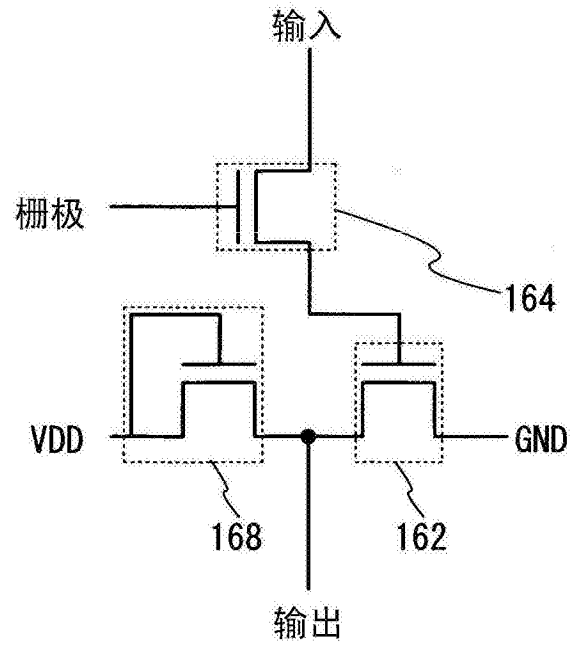


图2C

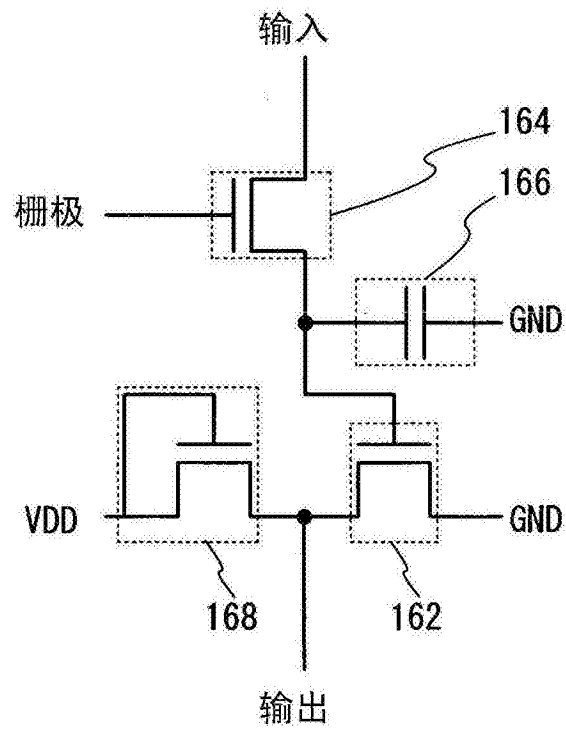


图2D

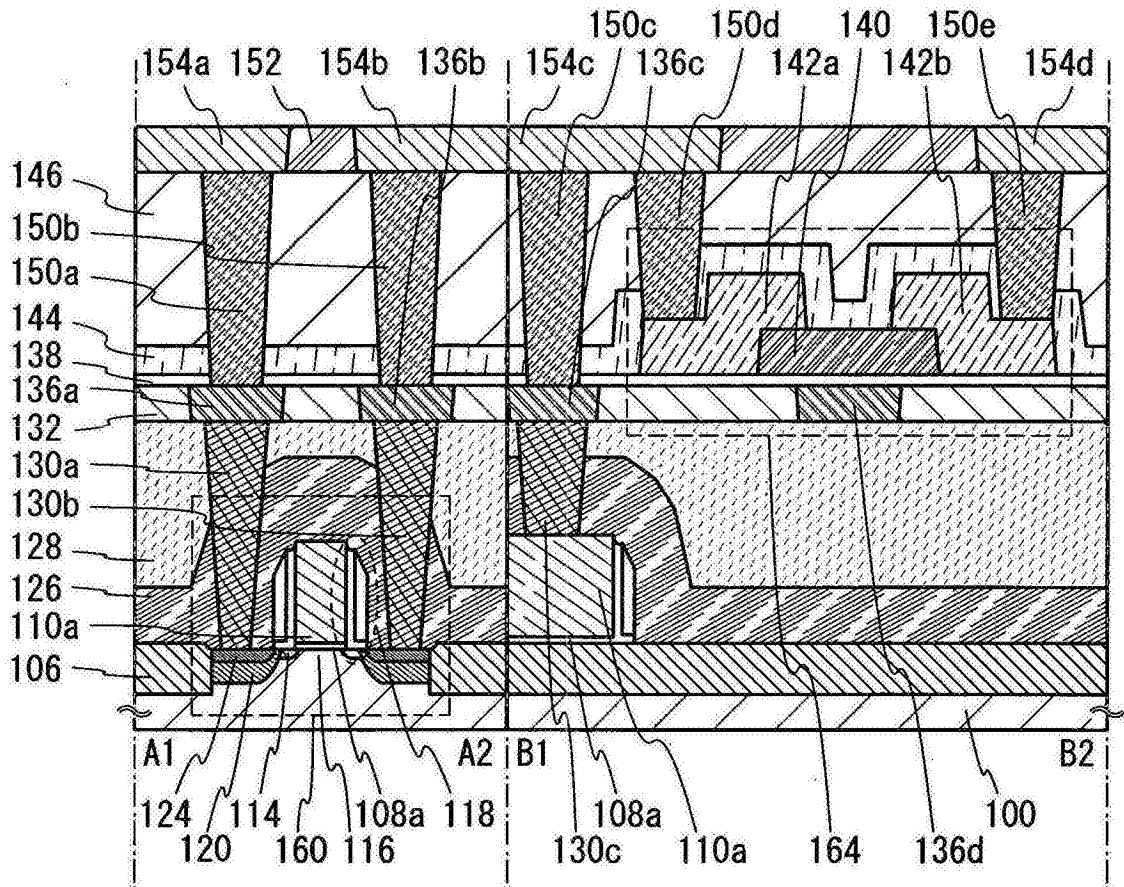


图3A

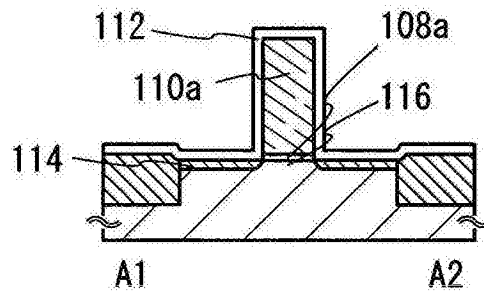


图4C

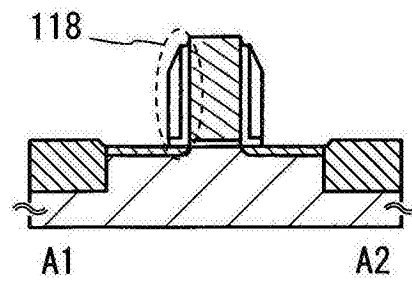


图4D

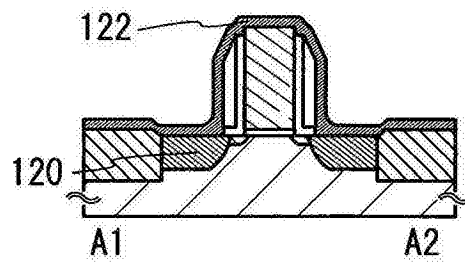


图4E

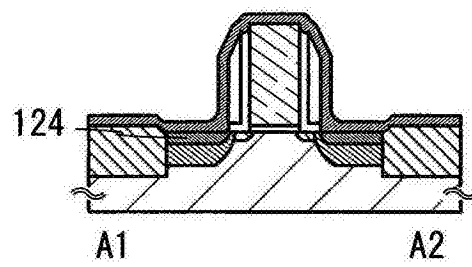


图4F

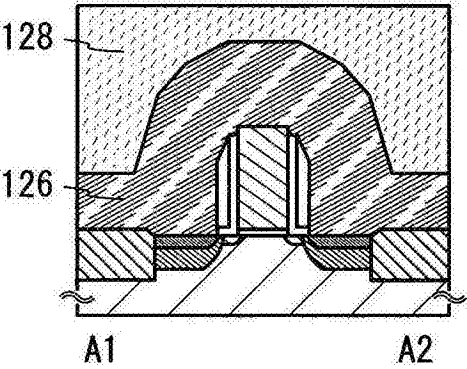


图4G

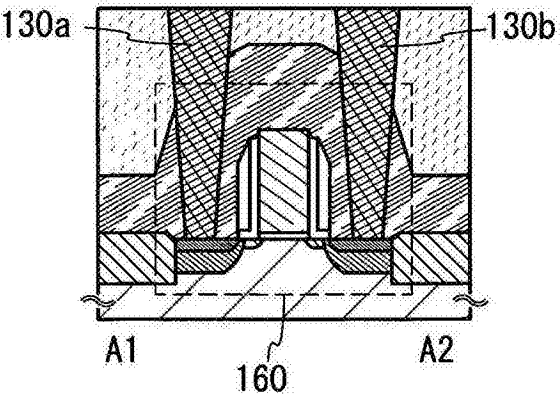


图4H

图 5A

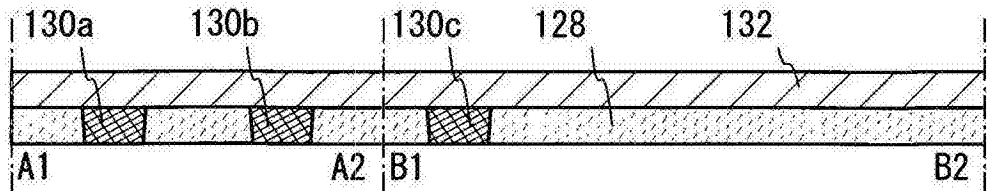


图 5B

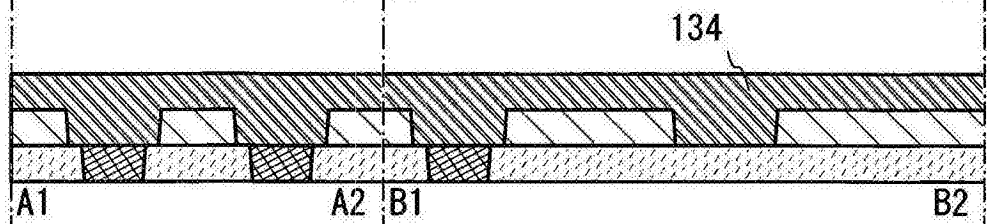


图 5C

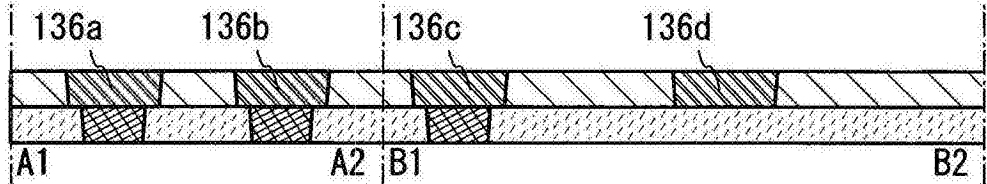


图 5D

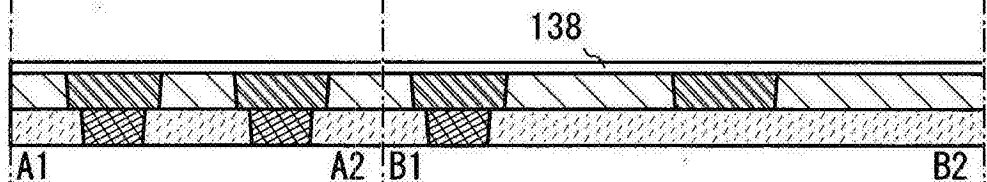


图 5E

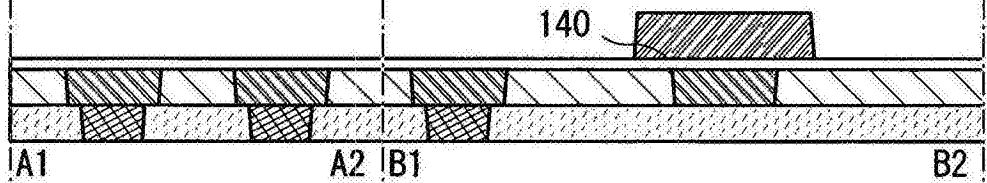


图 5F

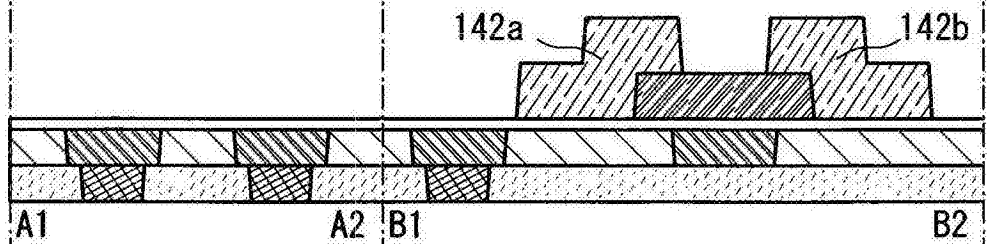


图 5G

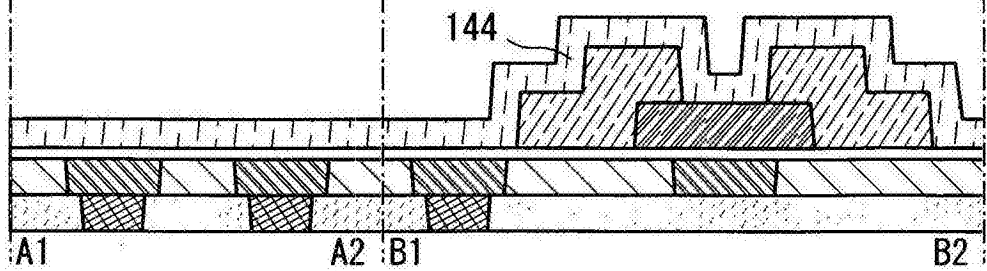


图 6A

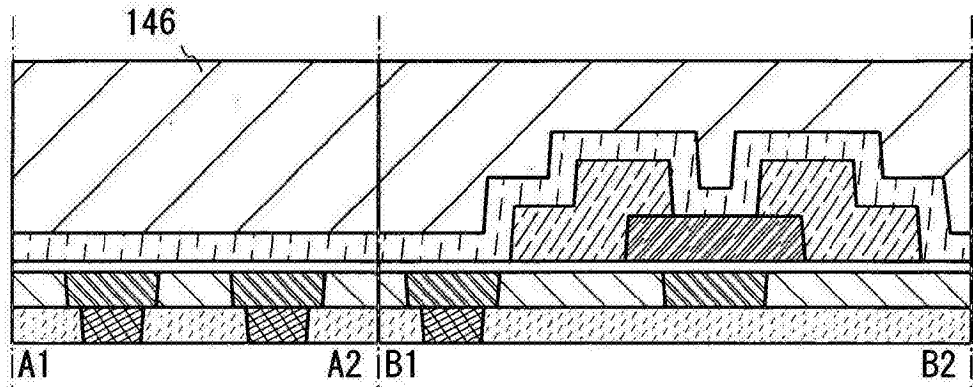


图 6B

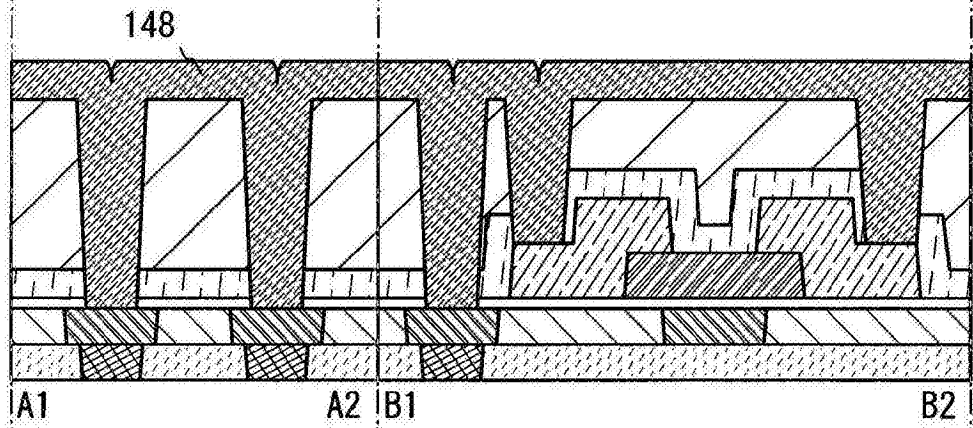


图 6C

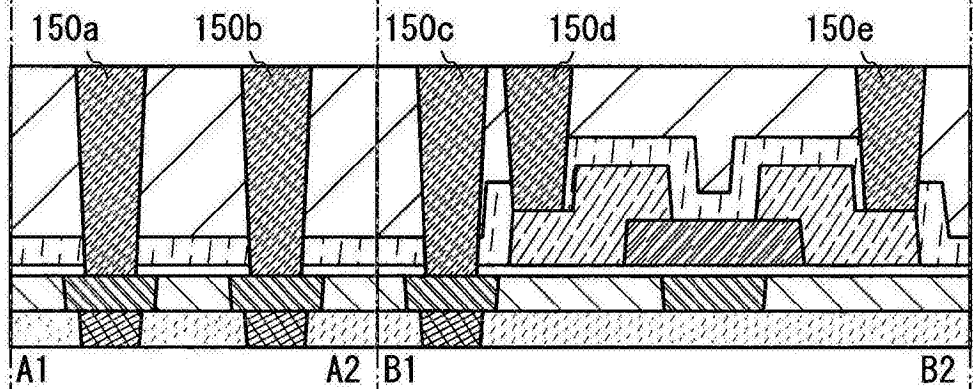
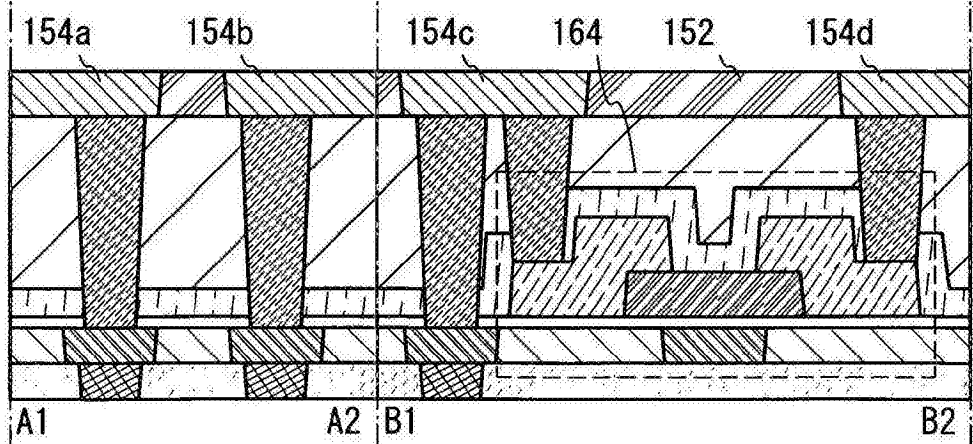


图 6D



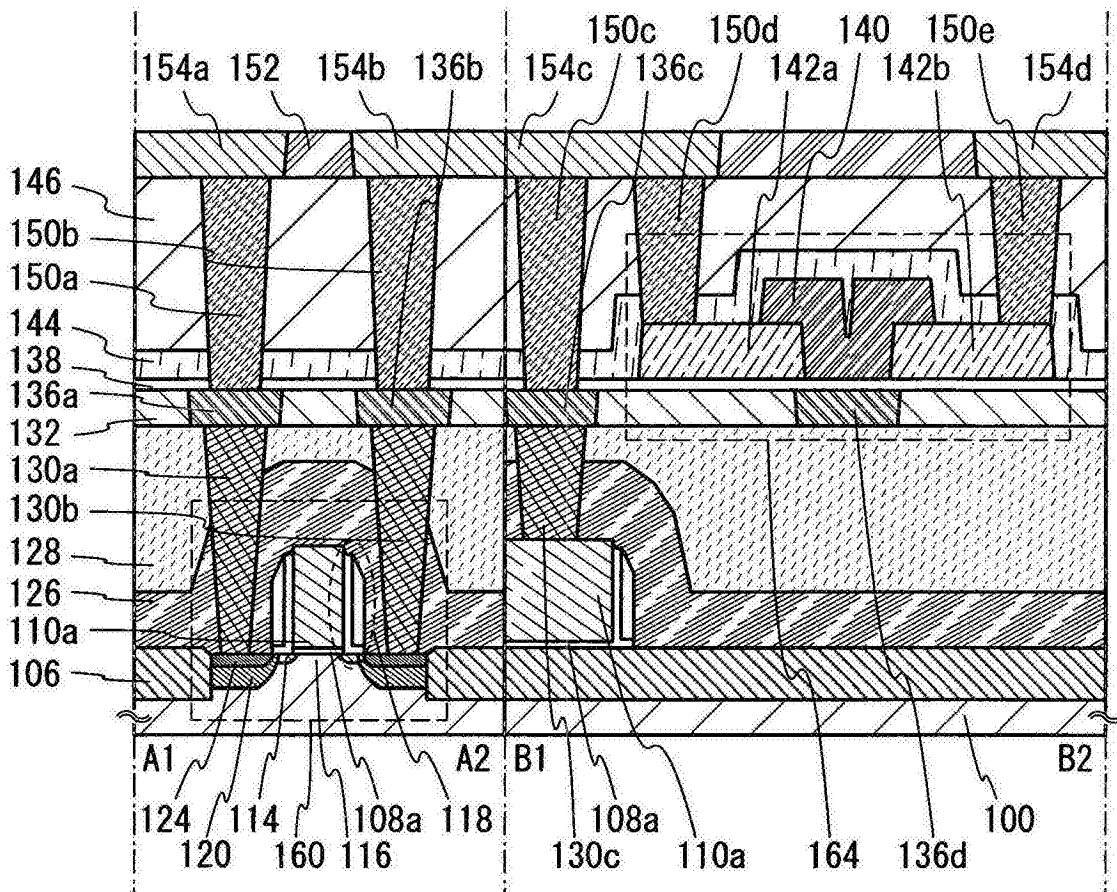


图7

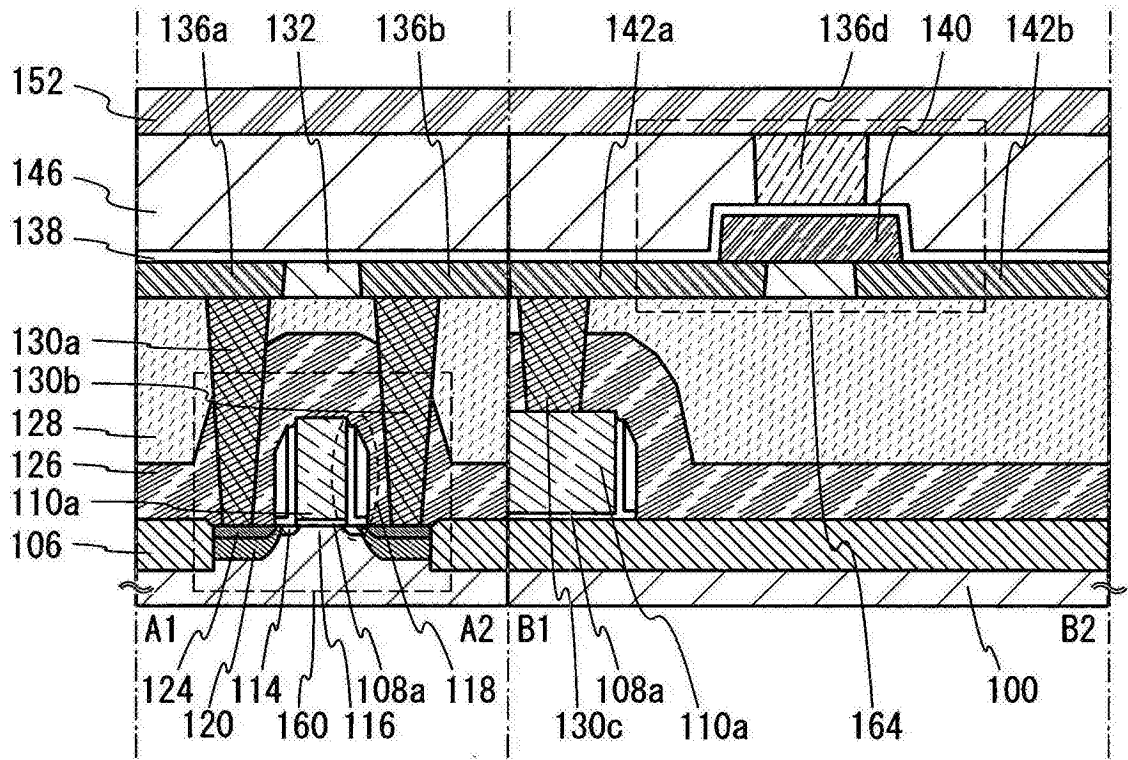


图8A

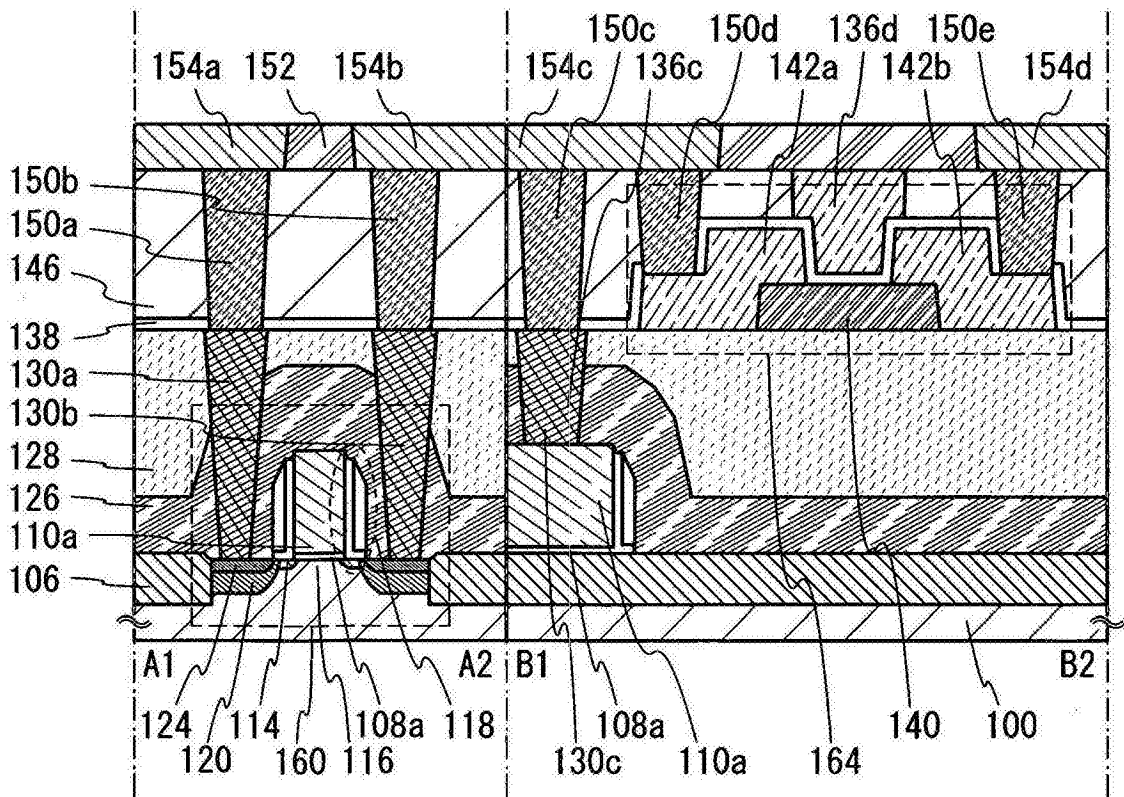


图8B

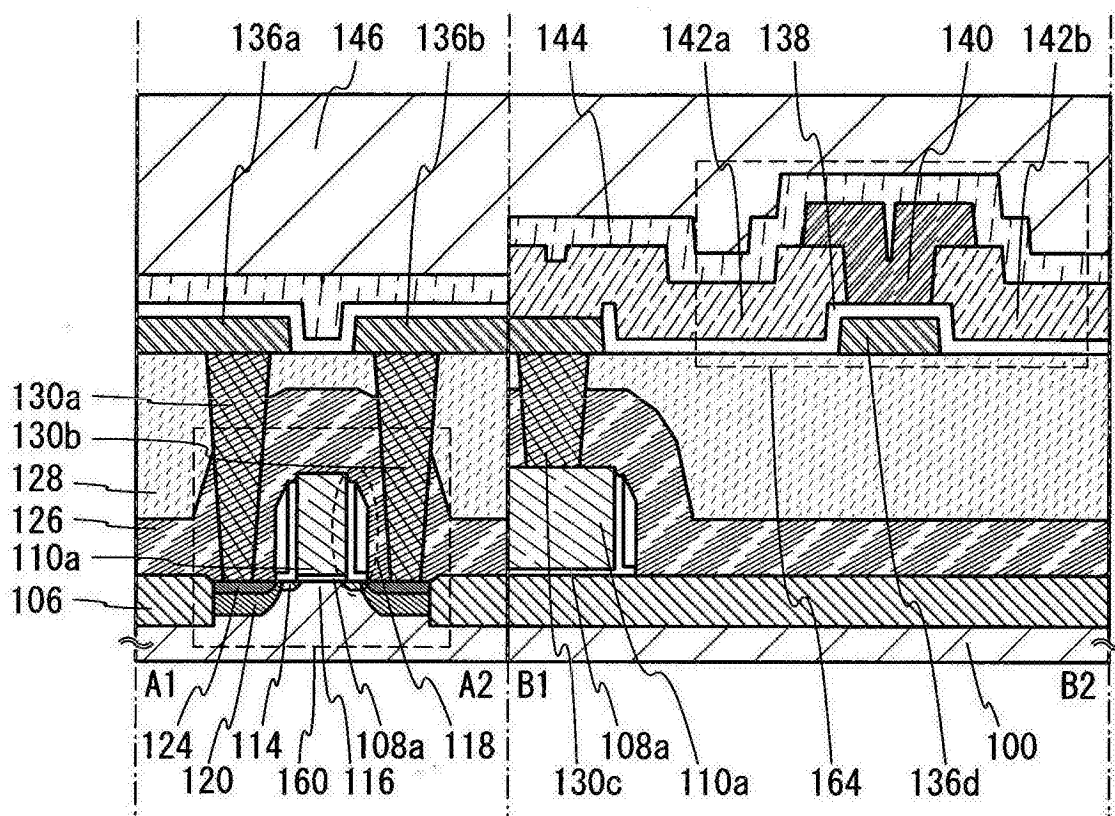


图9A

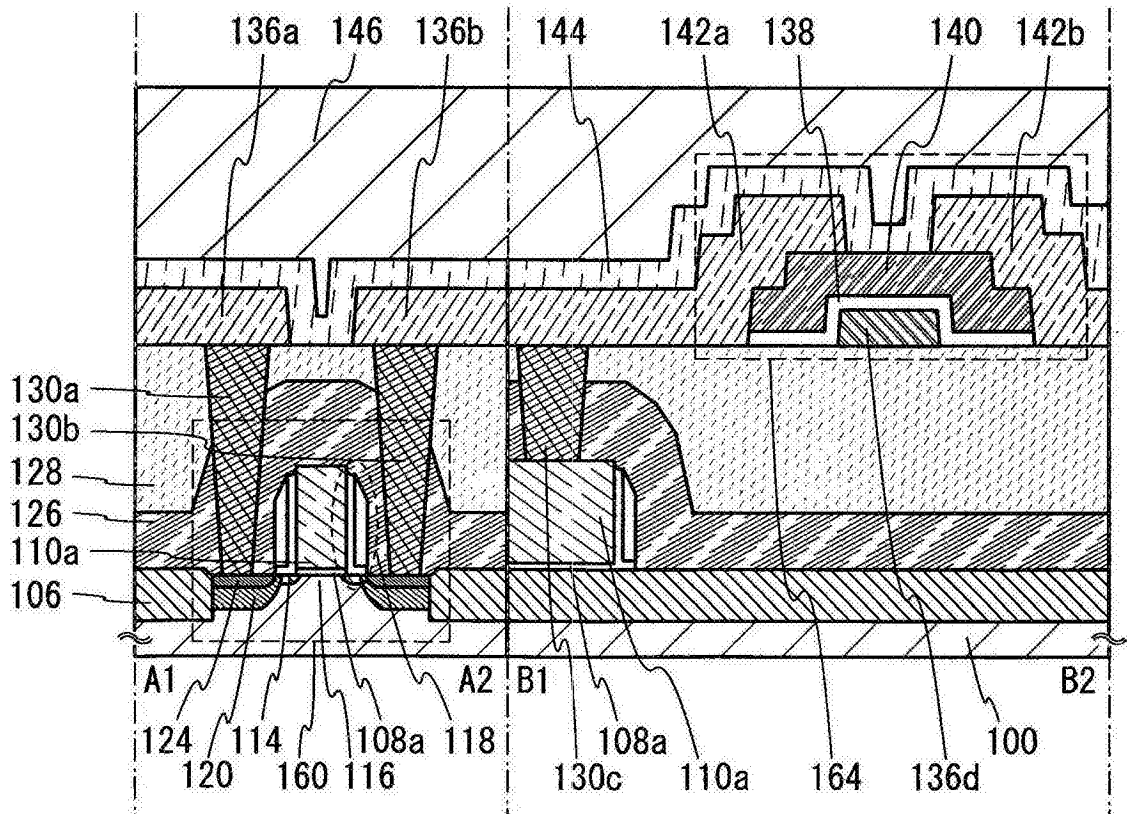


图9B

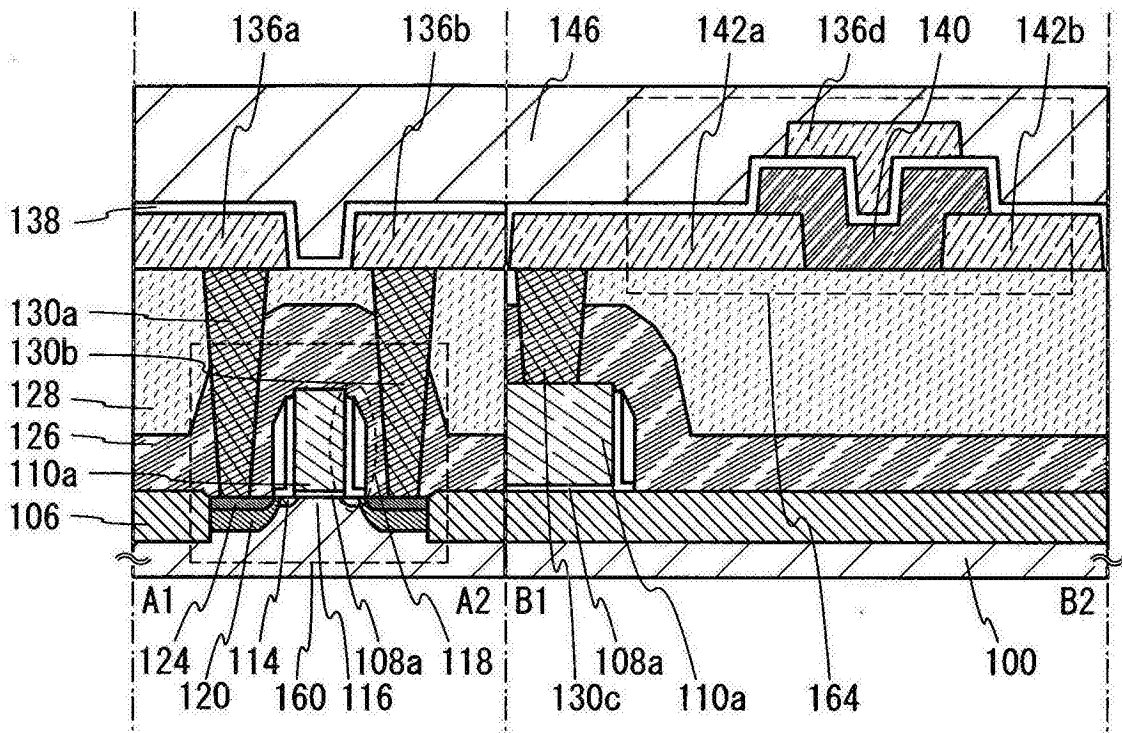


图10A

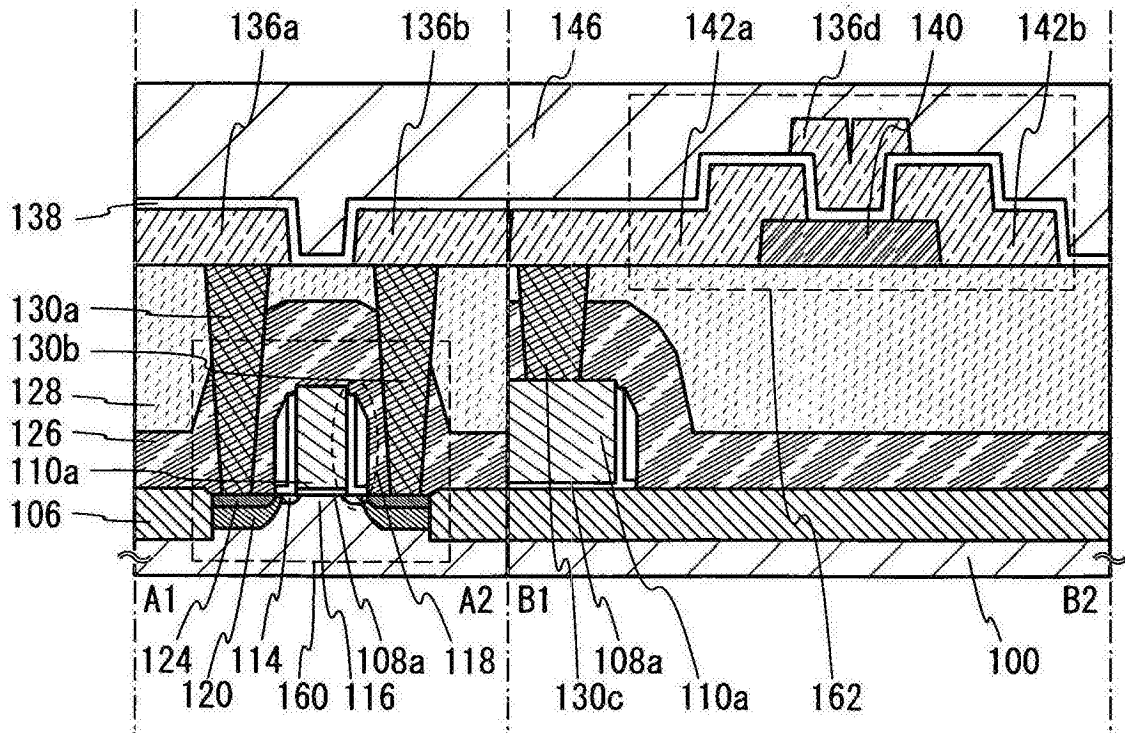


图10B

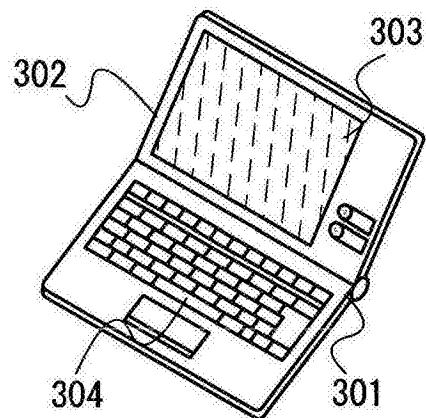


图11A

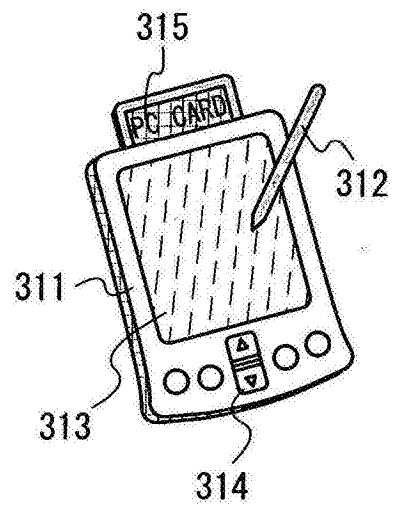


图11B

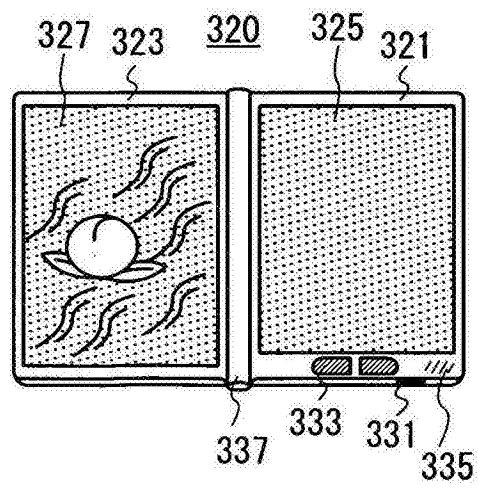


图11C

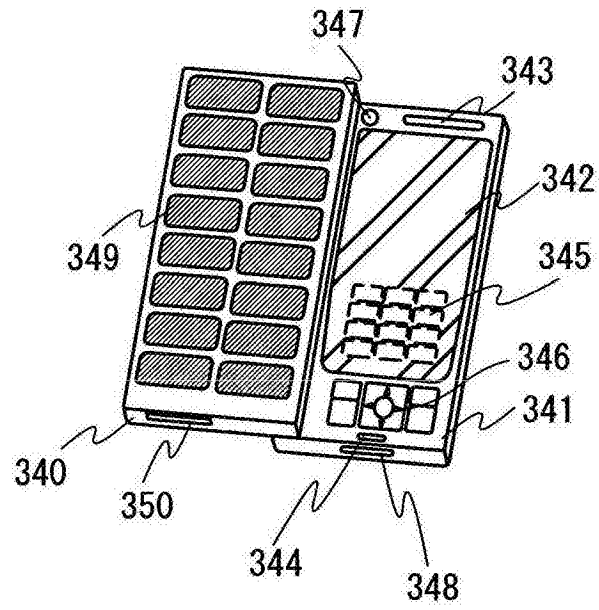


图11D

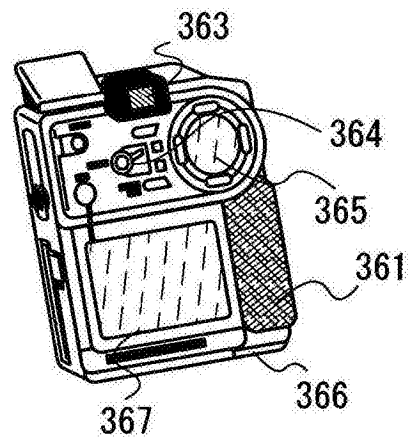


图11E

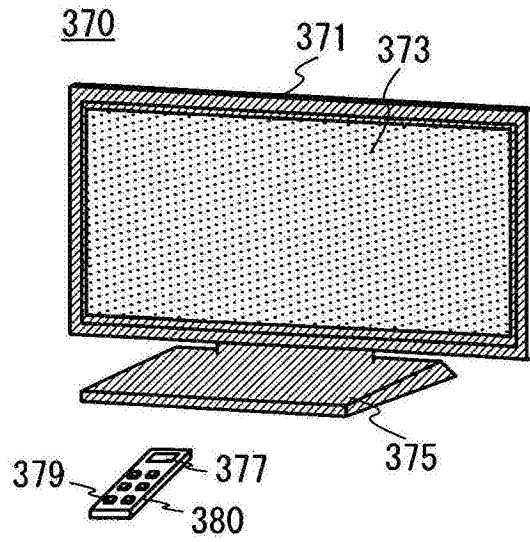


图11F

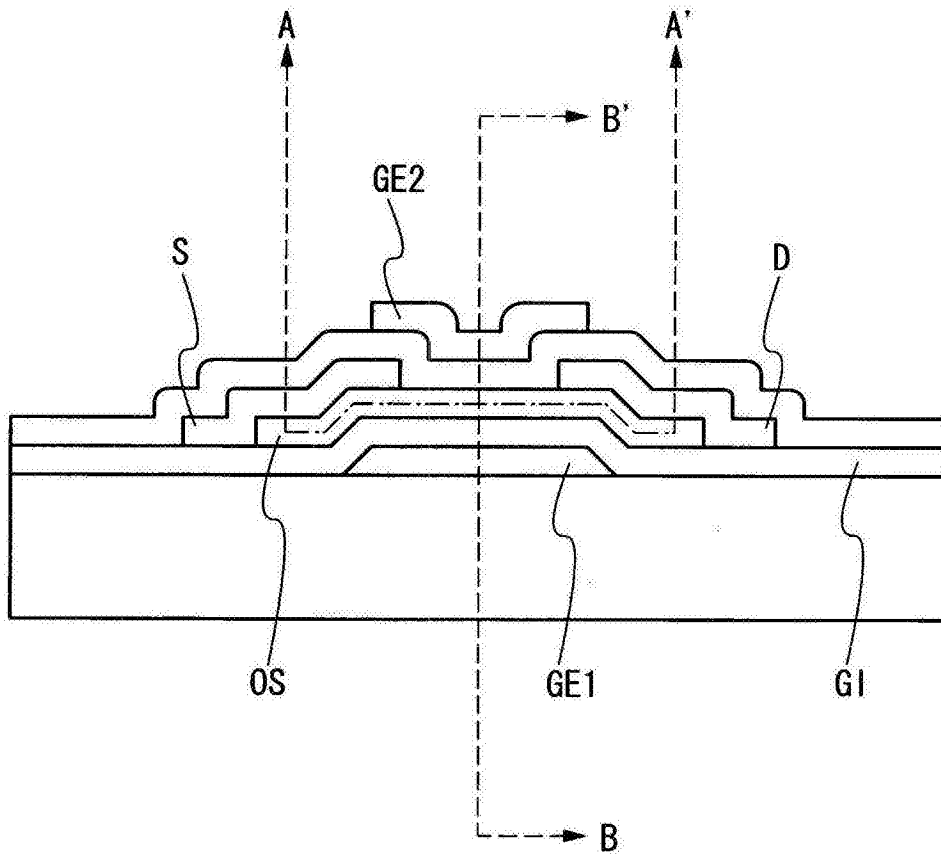


图12

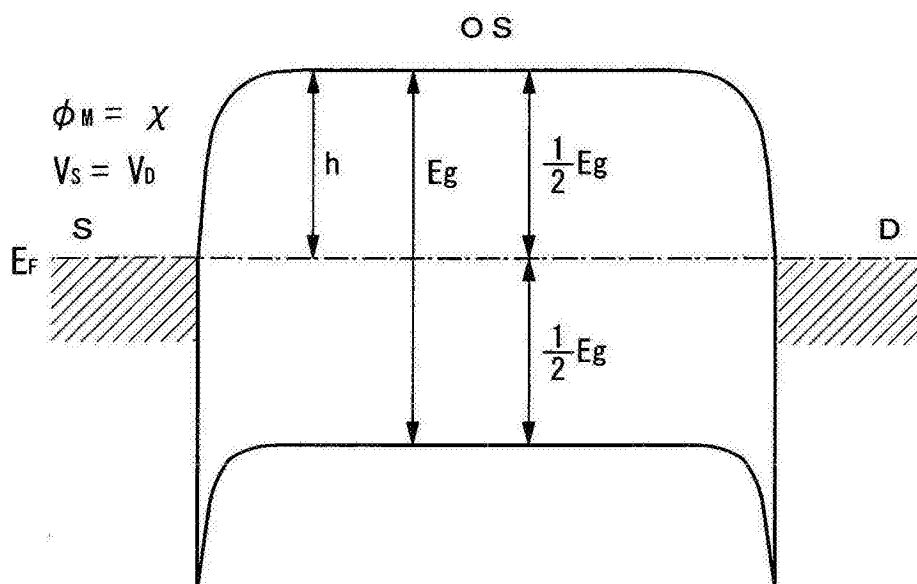


图13A

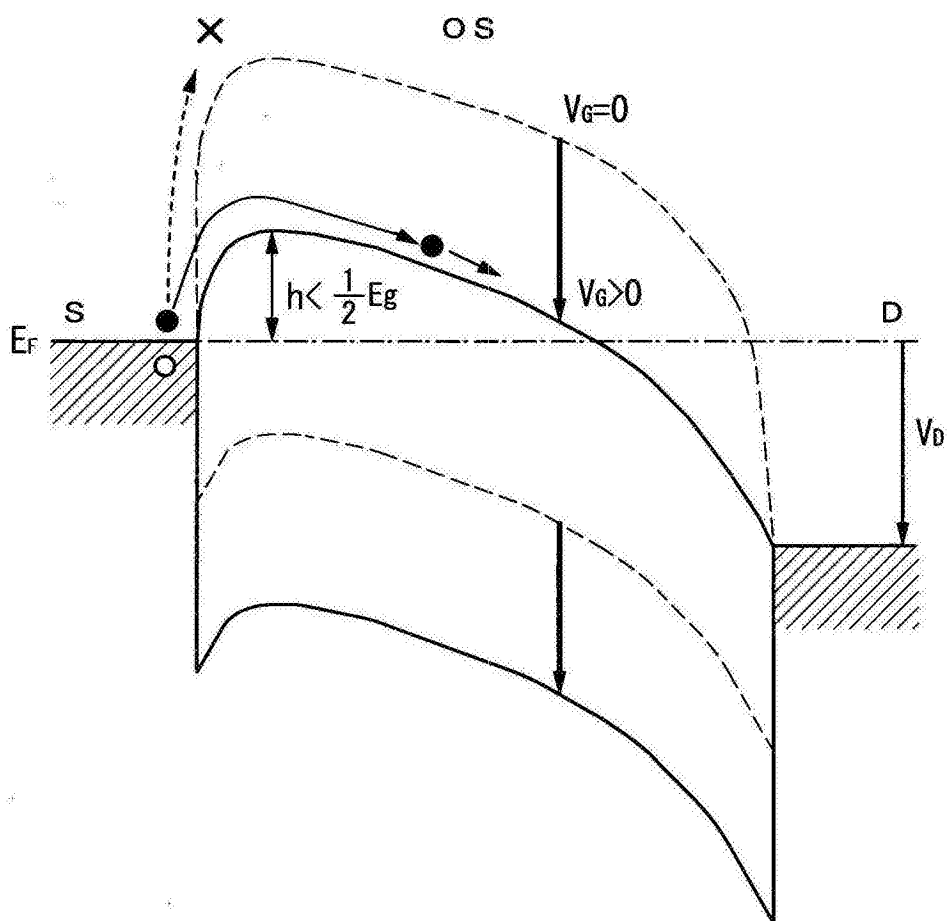


图13B

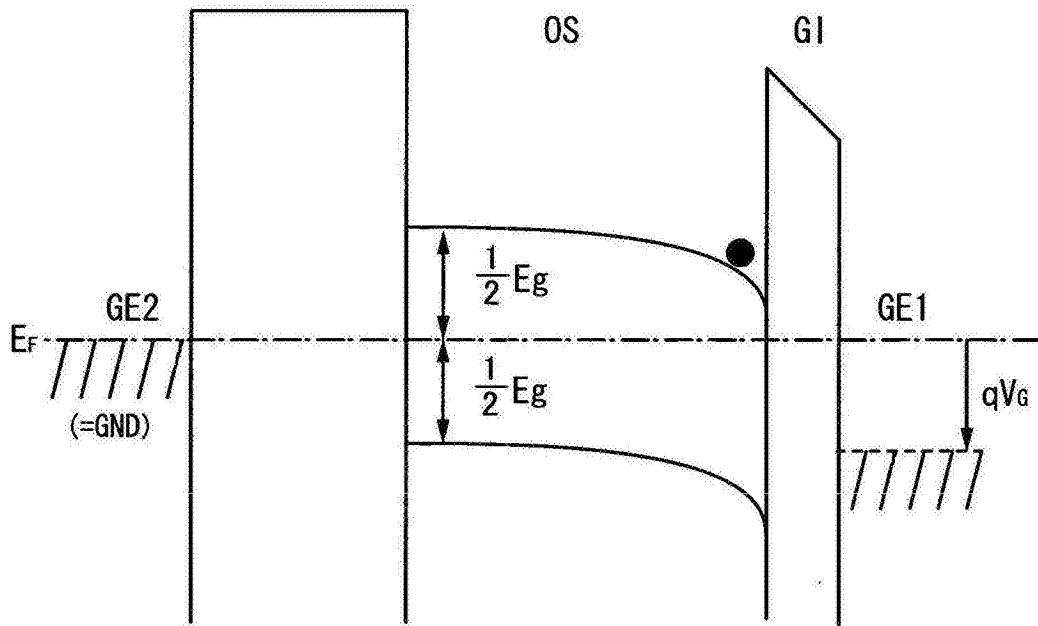


图14A

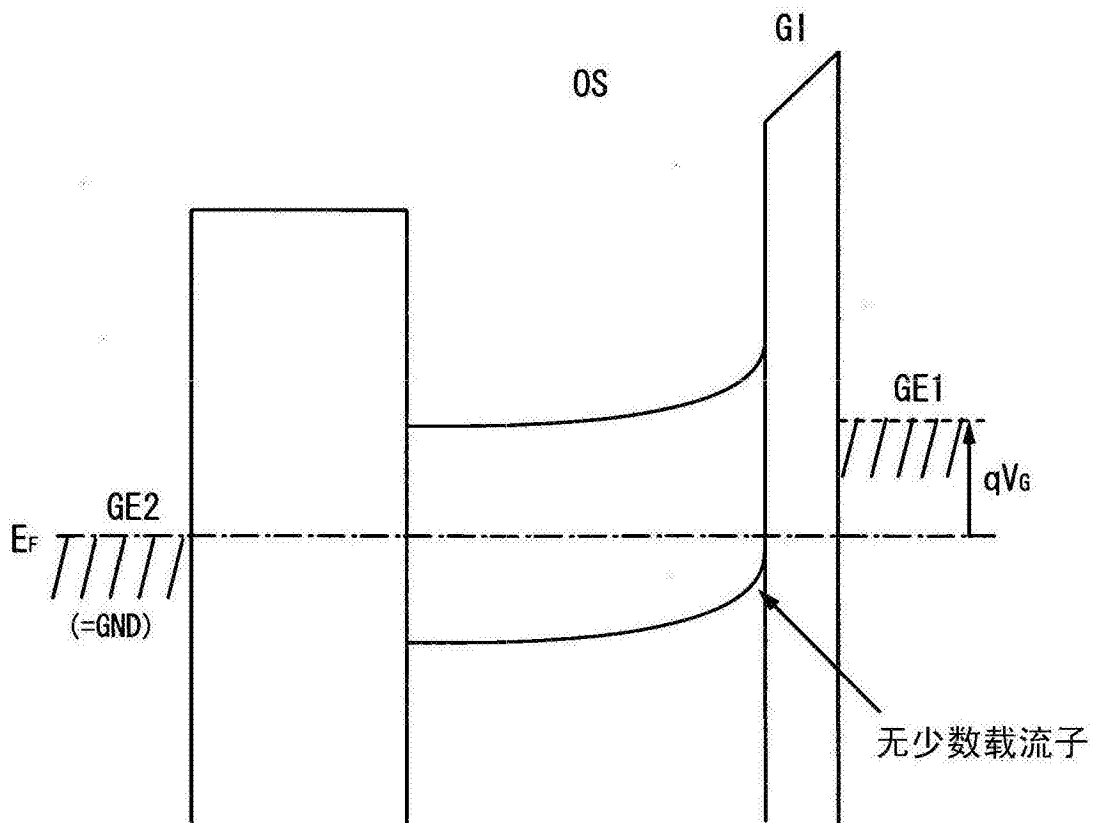


图14B

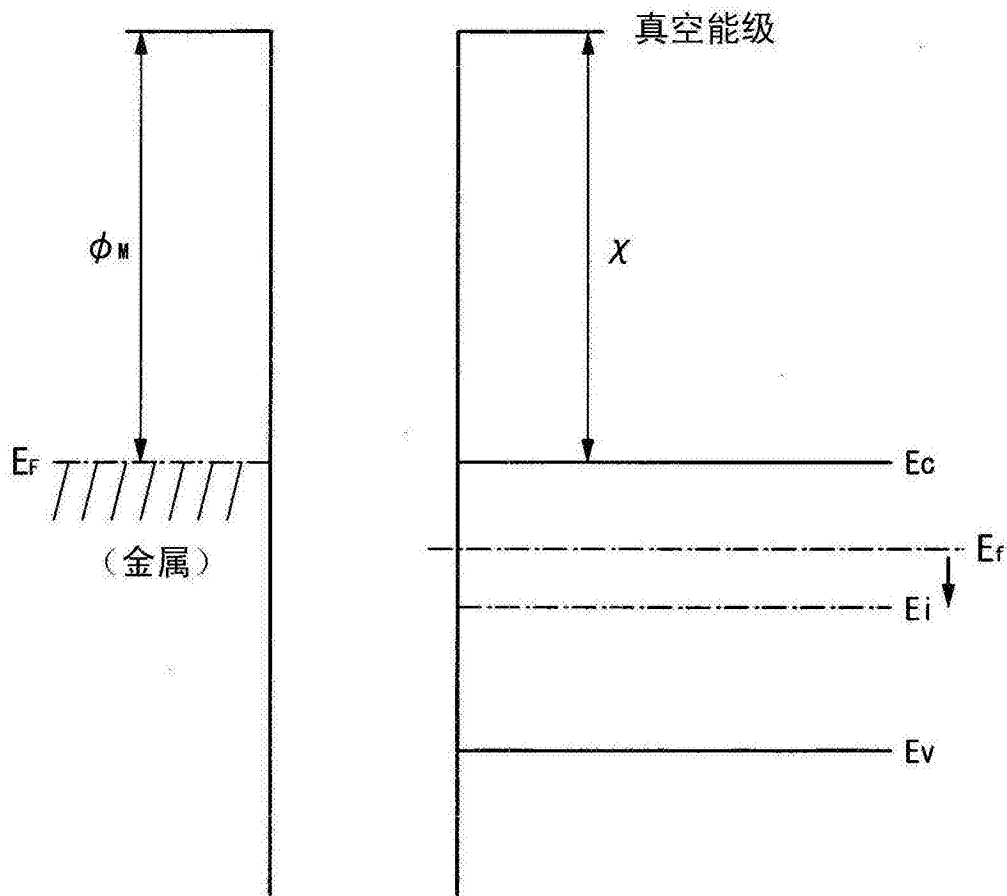


图15