

第 097112999 號專利說明書修正本

發明專利說明書**公告本**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97112999

※ 申請日期：97.4.10 ※IPC 分類：G06F 9/22 (2006.01)

一、發明名稱：(中文/英文)

具有微代碼之微處理器、在微處理器中儲存資料的方法、以及使用於計算裝置之電腦程式產品
/MICROPROCESSOR WITH PRIVATE MICROCODE RAM,
METHOD FOR EFFICIENTLY STORING DATA WITHIN A
MICROPROCESSOR, AND COMPUTER PROGRAM
PRODUCT FOR USE WITH A COMPUTING DEVICE

二、申請人：(共 1 人)**姓名或名稱：**(中文/英文)(簽章)

威盛電子股份有限公司/VIA TECHNOLOGIES, INC.

代表人：(中文/英文)(簽章) 王雪紅/Cher WANG**住居所或營業所地址：**(中文/英文)

新北市新店區中正路五三五號八樓/8F, 535, Chung-Cheng Rd., Hsin-Tien,
Taipei, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW**三、發明人：**(共 4 人)**姓 名：**(中文/英文)

1. G. 葛蘭 亨利/G. Glenn Henry
2. 羅德尼 E. 虎克/Rodney E. Hooker
3. 泰瑞 派克斯/TERRY PARKS

第 097112999 號專利說明書修正本

4. 柯林·艾迪/Colin Eddy

國 籍：(中文/英文)

1. 美國/USA

2. 美國/USA

3. 美國/USA

4. 美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

受理國家：美國/US

申請日：2007/04/10

申請案號：60/910, 982

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

第 097112999 號專利說明書修正*

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種微處理器，包括一使用者可存取暫存器組、一隨機存取記憶體與微代碼。該隨機存取記憶體位於該微處理器之一非使用者可存取位址空間內，其中該隨機存取記憶體較該使用者可存取暫存器組密集（Dense），且存取速度較該使用者可存取暫存器組慢。該微代碼包括複數該微處理器之一微指令集之複數微指令。該微指令集包括一第一微指令與一第二微指令。該第一微指令用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體。該第二微指令用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組。

六、英文發明摘要：

A microprocessor includes a private RAM (PRAM), for use by microcode, which is non-user-accessible and within its own distinct address space from the system memory address space. The PRAM is denser and slower than user-accessible registers of the microprocessor macroarchitecture, thereby enabling it to provide significantly more storage for microcode. The

第 097112999 號專利說明書修正~~本~~

microinstruction set includes a microinstruction for loading data from the PRAM into the user-accessible registers, and a microinstruction for storing data from user-accessible registers to the PRAM. The microcode may also use the two microinstructions to load/store between the PRAM and non-user-accessible registers of the microarchitecture. Examples of PRAM uses include: computational temporary storage area; storage of x86 VMX VMCS in response to VMREAD and VMWRITE macroinstructions; instantiation of non-user-accessible storage, such as the x86 SMBASE register; and instantiation of x86 MSRs that tolerate the additional access latency of the PRAM, such as the IA32_SYSENTER_CS MSR.

第 097112999 號專利說明書修正案

七、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

100～微處理器

102～指令緩衝區

104～指令收件器

106～指令轉譯器

108～指令分派器

112～使用者可存取暫存器組

114～資料緩衝區

122～載入/儲存單元

124～執行單元

126～私有隨機存取記憶體

128～微代碼

132～匯流排介面單元

134～非使用者可存取暫存器組

136～處理器匯流排

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

第 097112999 號專利說明書修正案

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種具有微代碼之微處理器，且特別有關於一種微代碼之暫時變動儲存。

【先前技術】

微處理器包括一指令集，該指令集係為該微處理器之指令集架構 (Instruction Set Architecture，以下簡稱為 ISA) 的一部分，在本文可稱為微處理器之巨架構 (Macroarchitecture)。該指令集定義了微處理器可執行的合法指令集。一程式設計師 (在本文中可稱為使用者) 利用該指令集中的指令寫入一程式，以被該微處理器執行。該程式設計師可為撰寫應用程式的應用程式設計師，或者為撰寫作業系統或可執行軟體之系統程式設計師。ISA 亦包括暫存器等資源，其可被該指令集中之指令存取。常用之 ISA 為 Intel IA-32 與 IA-64 ISA，可參照 x86 架構，其包括一指令集與具有一般功用暫存器之使用者可存取暫存器、數據段暫存器 (Segment Registers)、堆疊與基底指標暫存器...等習知的暫存器。

許多新型的微處理器包括一微架構 (Microarchitecture)，其無法直接以寫入程式直接存取至微處理器 ISA 中。該微架構包括其本身支援微指令之微指令集，其與上述 ISA 之使用者可存取指令集不同。該 ISA 指令集之使用者可存取指令有時可參照巨架構，以分辨其

第 097112999 號專利說明書修正

與微指令集之微指令的不同。微指令較巨指令來的簡單，且可較直接地控制微處理器的硬體。微處理器設計者寫入微代碼，其包括微架構微指令集之微指令，且在微處理器之微架構內執行。典型上，微處理器包括一指令轉譯器，其用以轉譯使用者程式巨指令為微指令集之一或多個微指令，然後分派給微處理器之執行單元以執行指令。若巨指令特別複雜，則該指令轉譯器可呼叫由多個微指令組成之微代碼中的例行程序以執行該 ISA 指令。當代 x86 架構 ISA 微處理器係利用精簡指令集（Reduced Instruction Set Computer，簡稱為 RISC）微架構，其包括比 IA-32 巨架構集明顯簡單之一 RISC 型態指令集。

因此，微架構典型上包括除了使用者可存取 ISA 資源以外的其它資源，例如，微代碼專用之額外暫存器，其係為非使用者可存取暫存器。舉例來說，與許多 RISC 架構微處理器相比，IA-32 ISA 之使用者可存取暫存器的數目相對來說是較少的，舉例來說像是 RISC 型態微指令使用之非使用者可存取暫存器。

近來在微處理器的革新，ISA 增加了在微架構所需之額外暫存器總量的需求，以發展新的特色。然而，很不幸地，使用在大量額外暫存器上之實際晶片量可能會被限制。此外，微代碼不應使用系統記憶體以作為額外儲存空間，因為通常是由作業系統來配置與管理系統記憶體的。因此，所需的應是提供微代碼使用之額外儲存空間，其與暫存器相比相對來說速度較快且僅需要較少的晶片區。

第 097112999 號專利說明書修正~~本~~

【發明內容】

本發明實施例揭露了一種具有微代碼之微處理器，包括一使用者可存取暫存器組、一隨機存取記憶體與微代碼。該隨機存取記憶體位於該微處理器之一非使用者可存取位址空間內，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢。該微代碼包括複數該微處理器之一微指令集之複數微指令。該微指令集包括一第一微指令與一第二微指令。該第一微指令用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體。該第二微指令用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組。

本發明實施例更揭露了一種在微處理器中儲存資料的方法。執行一第一微指令，用以將該微處理器之一使用者可存取暫存器組的資料儲存至該微處理器之一隨機存取記憶體，其中該隨機存取記憶體位於該微處理器之一非使用者可存取位址空間內，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢。執行一第二微指令，用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組，其中該第一與第二微指令係為該微處理器之一微指令集之複數微指令中的二個微指令。

本發明實施例更揭露了一種使用於計算裝置之電腦程式產品，該電腦程式產品包括一電腦可用儲存媒體。該電腦可用儲存媒體包括用以提供一微處理器之電腦可讀取程

第 097112999 號專利說明書修正本

式碼。該電腦可讀取程式碼包括第一程式碼、第二程式碼與第三程式碼。第一程式碼用以提供一使用者可存取暫存器組。第二程式碼用以提供位於該微處理器之一非使用者可存取位址空間內之一隨機存取記憶體，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢。第三程式碼用以提供包括複數該微處理器之一微指令集之複數微指令之微代碼。該微指令集包括一第一微指令與一第二微指令。該第一微指令用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體。該第二微指令用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組。

本發明實施例更揭露了一種提供微處理器的方法。提供描述該微處理器之電腦可讀取程式碼，並且將該電腦可讀取程式碼作為一電腦資料訊號並傳送至一網路上。提供該電腦可讀取程式碼包括第一程式碼、第二程式碼與第三程式碼。第一程式碼用以提供一使用者可存取暫存器組。第二程式碼用以提供位於該微處理器之一非使用者可存取位址空間內之一隨機存取記憶體，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢。第三程式碼用以提供包括複數該微處理器之一微指令集之複數微指令之微代碼。該微指令集包括一第一微指令與一第二微指令。該第一微指令用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體。該第二微指令用以將該隨機存取記憶體的資料載入至該使

第 097112999 號專利說明書修正*

用者可存取暫存器組。

【實施方式】

為了讓本發明之目的、特徵、及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式第 1 圖至第 11 圖，做詳細之說明。本發明說明書提供不同的實施例來說明本發明不同實施方式的技術特徵。其中，實施例中的各元件之配置係為說明之用，並非用以限制本發明。且實施例中圖式標號之部分重複，係為了簡化說明，並非意指不同實施例之間的關聯性。

第 1 圖係顯示本發明實施例之管線式微處理器 100 的架構示意圖，其包括一私有隨機存取記憶體（Private Random Access Memory，PRAM）126。在一實施例中，第 1 圖之微處理器 100 的元件（包括私有隨機存取記憶體 126）係整合在一單一半導體基板上。由於私有隨機存取記憶體 126 不可被使用者代碼巨指令存取，故其係為一私有隨機存取記憶體，但其可被微處理器 100 經由其微代碼 128 來存取。此外，微處理器 100 包括在其微指令集中之不同微指令，用以存取私有隨機存取記憶體 126，如上所述。

微處理器 100 包括一指令緩衝區 102，其用以緩衝來自耦接於微處理器 100 之系統記憶體的使用者程式巨指令。微處理器 100 亦包括一指令收件器（Fetcher）104，其耦接於指令緩衝區 102，用以自指令緩衝區 102 與系統記憶體取得巨指令。微處理器 100 亦包括一指令轉譯器 106，

第 097112999 號專利說明書修正~~本~~

其耦接於指令收件器 104，用以解碼取得之微處理器 100 之巨指令集之巨指令，並且轉譯該取得的巨指令為微處理器 100 之巨指令集之微指令。微處理器 100 亦包括 loadPRAM 與 storePRAM 微指令，而微指令亦包括一般記憶體載入/儲存微指令。

微處理器 100 亦包括微代碼 128。微代碼 128 包括該微處理器之一微指令集之複數微指令。部分的微代碼 128 包括微指令之例行程序（或序列），以執行巨指令或處理例外的情況。特別的是，當指令轉譯器 106 解碼某些巨指令（例如，相對複雜的巨指令），其轉換控制給微代碼 128 中之適當的例行程序，而非直接產生轉譯所得的微指令。

特別的是，微指令集包括一 loadPRAM 微指令與一 storePRAM 微指令，其格式如第 1 圖所示。

loadPRAM PRAM_address, register ;

storePRAM register, PRAM_address。

loadPRAM 微指令之 PRAM_address 運算元指定私有隨機存取記憶體 126 中之一來源位置，該來源位置中的資料係載入至 loadPRAM 微指令之暫存器運算元指定之一目的暫存器。storePRAM 微指令之 PRAM_address 運算元指定私有隨機存取記憶體 126 中之一目的位置，該目的位置中的資料係來自 storePRAM 微指令之暫存器運算元指定之一來源暫存器。指定的暫存器可為使用者可存取暫存器組

第 097112999 號專利說明書修正案

112 中暫存器的其中一暫存器，或者為非使用者可為存取暫存器組 134 中暫存器的其中一暫存器，其說明如下。

指令分派器 108 (其耦接於指令轉譯器 106) 分派指令轉譯器 106 或微代碼 128 的微指令給與指令分派器 108 相耦接之多個功能單元的其中之一。功能單元包括一載入/儲存單元 122，以及一或多個執行單元 124，例如，整合單元、浮點單元以及單指令多資料 (Single Instruction Multiple Data, SIMD) 單元。特別的是，指令分派器 108 分派 loadPRAM 與 storePRAM 微指令給載入/儲存單元 122。

微處理器 100 亦包括該巨架構之一使用者可存取暫存器組 112，其提供指令運算元給上述功能單元，並且自上述功能單元接收指令運算後的結果。微處理器 100 亦包括該巨架構之一非使用者可存取暫存器組 134，其提供指令運算元給上述功能單元，並且自上述功能單元接收指令運算後的結果。非使用者可存取暫存器組 134 僅可利用微指令來存取，且不可利用使用者巨指令存取。非使用者可存取暫存器組 134 係被微代碼 128 使用以作為暫時儲存之用，並用以執行運算。非使用者可存取暫存器組 134 可被微代碼 128 而非私有隨機存取記憶體 126 使用在某些特定目的，其較私有隨機存取記憶體 126 需要較短的潛伏期 (Access Latency) 以滿足較小的儲存需求。

微處理器 100 亦包括一資料緩衝區 114，其耦接於載入/儲存單元 122，用以緩衝來自系統記憶體的資料。資料緩衝區 114 係為使用者可存取的，也就是說，資料緩衝區

第 097112999 號專利說明書修正~~本~~

114 係設置於微處理器 100 之系統記憶體位址空間內，其可被使用者巨指令所存取。匯流排介面單元 132 耦接於資料緩衝區 114。匯流排介面單元 132 耦接於處理器匯流排 136 以存取系統記憶體。匯流排介面單元 132 在處理器匯流排 136 產生交易以在微處理器 100 與系統記憶體之間傳送資料，例如，當一載入或儲存微指令（即，一般記憶體載入或儲存微指令，相對於 loadPRAM 或 storePRAM 微指令）之記憶體位址在資料緩衝區 114 中遺失時，其需要自系統記憶體提取至資料緩衝區 114 之遺失緩衝線，或者當一緩衝線自資料緩衝區 114 寫回至系統記憶體或清除掉。

第 2 圖係顯示本發明實施例之不同系統記憶體與私有隨機存取記憶體位址空間的示意圖。私有隨機存取記憶體 126 耦接於載入/儲存單元 122。私有隨機存取記憶體 126 係設置於微處理器 100 之非使用者可存取私有隨機存取記憶體位址空間中，其與微處理器 100 之記憶體位址空間係各自獨立，如第 2 圖所示。也就是說，私有隨機存取記憶體 126 無法被使用者代碼巨指令存取，而僅可被微處理器 100 本身存取，例如經由微代碼 128 或其它內建硬體來存取。相對的，資料緩衝區 114 與系統記憶體設置於微處理器 100 之記憶體位址空間，其可被使用者巨指令與微代碼 128 存取，如第 2 圖所示。載入/儲存單元 122 根據指令分派器 108 之 loadPRAM 與 storePRAM 微指令，分別自私有隨機存取記憶體 126 讀取且寫入至私有隨機存取記憶體 126。

第 097112999 號專利說明書修正本

在一實施例中，私有隨機存取記憶體 126 包括 4KB 的儲存空間。然而，在其它實施例中，私有隨機存取記憶體 126 係大於或小於 4KB 的儲存空間。有利的是，私有隨機存取記憶體 126 較使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 來的密集。也就是說，儲存在私有隨機存取記憶體 126 中之資料量的每單位面積大於儲存在使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 中之資料量的每單位面積。因此，私有隨機存取記憶體 126 可包括相對於使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 而言較大的儲存空間。在一實施例中，私有隨機存取記憶體 126 至少兩倍密集於使用者可存取暫存器組 112 與非使用者可存取暫存器組 134。在一實施例中，由於私有隨機存取記憶體 126 包括不符合使用於製造微處理器 100 整合電路之特定製造技術之設計規則的客製靜態隨機存取記憶體位元細胞，但使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 包括符合該製造技術之設計規則的位元細胞，故私有隨機存取記憶體 126 較使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 來的密集。在一實施例中，私有隨機存取記憶體 126 係由可做為資料緩衝區 114 之靜態隨機存取記憶體（Static Random Access Memory，SRAM）構成。與前述相比，私有隨機存取記憶體 126 的存取速度較使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 來的慢。私有隨機存取記憶體 126 的存取速度可能因為以下原因而較使用者可存取暫

第 097112999 號專利說明書修正~~本~~

存器組 112 與非使用者可存取暫存器組 134 來的慢。(1)在私有隨機存取記憶體 126 比在使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 中有較多的可尋址位置，因此私有隨機存取記憶體 126 的位址解碼電路比使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 具有較長的延遲。(2)私有隨機存取記憶體 126 位元之細胞線驅動電路較使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 之線驅動電路弱。(3)因為私有隨機存取記憶體 126 位元細胞的數目較多，故私有隨機存取記憶體 126 之細胞線的載入較使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 之細胞線的載入大。在一實施例中，私有隨機存取記憶體 126 需要四個時脈週期來進行存取，但使用者可存取暫存器組 112 與非使用者可存取暫存器組 134 僅需要一個時脈週期來進行存取。

微處理器 100 亦包括用於偵測系統記憶體載入/儲存碰撞的邏輯。該邏輯轉送碰撞載入/儲存資料至微處理器 100 的適當階段，以促進每秒速率所增加的指令。在一實施例中，微處理器 100 係為非依序執行的微處理器。上述邏輯亦可以適當的順序來執行碰撞載入/儲存。有利的是，該邏輯亦可用來偵測私有隨機存取記憶體 126 之載入/儲存碰撞，以轉送私有隨機存取記憶體 126 之碰撞資料，並且以適當的順序來執行私有隨機存取記憶體 126 之碰撞載入/儲存。然而，由於私有隨機存取記憶體 126 佔用與系統記憶體不同的位址空間，該邏輯並不會偵測系統記憶體之載

第 097112999 號專利說明書修正案

入/儲存與私有隨機存取記憶體 126 之載入/儲存間的碰撞。因此，有利的是，用於執行記憶體載入/儲存指令之微處理器 100 中相當顯著數量的邏輯與資料路徑可被微處理器 100 重複使用，以執行 loadPRAM 與 storePRAM 微指令。

在一實施例中，載入/儲存單元 122 並不會轉譯 loadPRAM 與 storePRAM 微指令指定的位址。也就是說，不像一般載入與儲存指令，其指定可經由微處理器 100（例如，記憶體分頁單元）之位址轉譯機制而轉譯為實際位址之一虛擬位址，loadPRAM 與 storePRAM 微指令指定的位址係為用於存取私有隨機存取記憶體 126 的實際位址。在一實施例中，PRAM_address 運算元在 loadPRAM 與 storePRAM 微指令中被指定為常數。在另一實施例中，程式設計師可利用定址模式來指定 loadPRAM 與 storePRAM 微指令的 PRAM_address 運算元，其中 loadPRAM 與 storePRAM 微指令類似於載入/儲存記憶體微指令。也就是說，微處理器 100 中用來產生一般載入/儲存微指令記憶體位址之位址產生邏輯亦可用來產生私有隨機存取記憶體 126 的位址。在一實施例中，loadPRAM 與 storePRAM 微指令可指定最多三個不同的運算元以產生 PRAM_address，亦即指定用以儲存運算元與一固定位移欄位之二個各別暫存器。舉例來說，程式設計師可利用一暫存器中之一基底位址與增加一暫存器中之一位址偏移值，以利用 loadPRAM 與 storePRAM 微指令依序存取私有隨機存取記憶體 126。

第 097112999 號專利說明書修正~~本~~

載入/儲存單元 122 辨識出 loadPRAM 與 storePRAM 微指令之位址運算元指定一位置僅存在於私有隨機存取記憶體 126 中，而非記憶體空間中之一位址。因此，載入/儲存單元 122 根據私有隨機存取記憶體 126 的存取，故並未要求匯流排介面單元 132 產生處理器匯流排 136 上的交易 loadPRAM 與 storePRAM 微指令。因此，私有隨機存取記憶體 126 之位址空間是不用緩衝的。

第 3 圖係顯示本發明實施例之載入私有隨機存取記憶體之 loadPRAM 微指令的步驟流程圖，該流程由步驟 302 開始。

在步驟 302 中，載入/儲存單元 122 接收一 loadPRAM 微指令，並且自私有隨機存取記憶體 126 中由 PRAM_address 運算元指定之一位置讀取資料。如上文所述，私有隨機存取記憶體 126 中之該位置的位址，可根據 loadPRAM 微指令指定之一定址模式並藉由位址產生邏輯來產生。接著執行步驟 304。

在步驟 304 中，載入/儲存單元 122 寫入在步驟 302 中讀取的資料至 loadPRAM 微指令暫存器運算元指定之暫存器。如上所述，該暫存器為使用者可存取暫存器組 112 或非使用者可存取暫存器組 134 之暫存器。

第 4 圖係顯示本發明實施例之儲存私有隨機存取記憶體之 storePRAM 微指令的步驟流程圖，該流程由步驟 402 開始。

在步驟 402 中，載入/儲存單元 122 接收一 storePRAM

第 097112999 號專利說明書修正本

微指令，並且自 storePRAM 微指令暫存器運算元指定之一暫存器讀取資料。接著執行步驟 404。

在步驟 404 中，載入/儲存單元 122 寫入在步驟 402 中讀取的資料至私有隨機存取記憶體 126 中由 PRAM_address 運算元指定之該位置。

在一實施例中，微處理器 100 之 ISA 會確認為 IA-32 或 IA-64 ISA。特別的是，使用者可存取暫存器組 112 會確認為 IA-32 或 IA-64 ISA 之使用者可存取暫存器組，並且微處理器 100 之巨指令組會確認為 IA-32/64 巨指令組。在上述實施例中，私有隨機存取記憶體 126 可用來儲存一或多個虛擬機器延伸（Virtual-Machine Extensions，簡稱為 VMX）虛擬控制架構（Virtual Machine Control Structure，簡稱為 VMCS），其將在下文中之第 5、6 圖中描述。在一實施例中，微處理器 100 儲存私有隨機存取記憶體 126 中部分或所有最近使用的虛擬控制架構。此外，私有隨機存取記憶體 126 的位置可用來說明部分 IA-32/64 特別模組暫存器（Model Specific Register，簡稱為 MSR）。舉例來說，IA32_SYSENTER_CS 特別模組暫存器可以私有隨機存取記憶體 126 來說明，其將在下文中之第 7、8 圖中描述。此外，私有隨機存取記憶體 126 可用來儲存系統管理中斷（System Management Interrupt，簡稱為 SMI）相關值。舉例來說，系統管理中斷基底位址（System Management Interrupt Base Address，簡稱為 SMBASE）值可儲存在私有隨機存取記憶體 126 中，其將在下文中之第 9、10 圖中描

第 097112999 號專利說明書修正~~本~~

述。

第 5 圖係顯示本發明實施例之第 1 圖之微處理器 100 執行一 VMWRITE 巨指令的步驟流程圖，該流程由步驟 502 開始。

在步驟 502 中，指令轉譯器 106 解碼一 VMX VMWRITE 巨指令，並且將控制權傳送給與 VMWRITE 巨指令相關之微代碼 128 的例行程序。接著執行步驟 504。

在步驟 504 中，VMWRITE 微代碼 128 的例行程序為：先執行一 load sys_mem_address, temp_reg 微指令，接著執行一 storePRAM temp_re, PRAM_address 微指令。該 load sys_mem_address, temp_reg 微指令自系統記憶體位址讀取資料，其中該系統記憶體位址包括 VMWRITE 巨指令指定之 VMCS 欄位，並且將資料寫入至非使用者可存取暫存器組 134 之一暫時暫存器中。該 storePRAM temp_reg, PRAM_address 微指令自該暫時暫存器讀取資料，並且將該資料寫入至私有隨機存取記憶體 126 的位置中，其中該位置係用以儲存 VMWRITE 巨指令指定的 VMCS 欄位。在一實施例中，微處理器 100 根據一 VMX VMPTRLD 巨指令分配私有隨機存取記憶體 126 之一些儲存位置給 VMCS。

第 6 圖係顯示本發明實施例之第 1 圖之微處理器 100 執行 VMREAD 巨指令的步驟流程圖，該流程由步驟 602 開始。

在步驟 602 中，指令轉譯器 106 解碼一 VMX VMREAD 巨指令，並且將控制權傳送給與 VMREAD 巨指令相關之

第 097112999 號專利說明書修正本

微代碼 128 的例行程序。接著執行步驟 604。

在步驟 604 中，VMREAD 微代碼 128 的例行程序為：先執行一 loadPRAM PRAM_address, temp_reg 微指令，再執行一 store temp_reg, sys_mem_address 微指令。該 loadPRAM PRAM_address, temp_reg 微指令自私有隨機存取記憶體 126 的位置讀取資料，其中該私有隨機存取記憶體 126 的位置包括非使用者可存取暫存器組 134 之一暫時暫存器。該 store temp_reg, sys_mem_address 微指令自該暫時暫存器讀取資料，並且將該資料寫入至 VMREAD 巨指令指定之系統記憶體的位置中。

第 5、6 圖分別描述與儲存私有隨機存取記憶體 126 之 VMCS 相關之 VMWRITE 與 VMREAD 巨指令的操作，其中配置了系統記憶體儲存空間，且巨架構並未託管微處理器 100 內的儲存空間，使得自私有隨機存取記憶體 126 存取 VMCS 的速度較自系統記憶體讀取的 VMCS 速度還快。然而，本發明實施例並非用以限制在將 VMCS 儲存在私有隨機存取記憶體 126 中。更確切的說，私有隨機存取記憶體 126 可用來儲存其它資料結構，以得到較系統記憶體更快的存取速度，但巨架構並不需指定微處理器 100 內的儲存空間。

第 7 圖係顯示本發明實施例之第 1 圖之微處理器 100 執行一 x86 架構之 WRMSR 巨指令的步驟流程圖，該流程由步驟 702 開始。

在步驟 702 中，指令轉譯器 106 解碼指定

第 097112999 號專利說明書修正本

IA32_SYSENTER_CS MSR 之一 WRMSR 巨指令，並且將控制權傳送給與 WRMSR 巨指令相關之微代碼 128 的例行程序。在 WRMSR 巨指令之前，使用者程式包括一或多個指令，該指令係用以載入具有指定 IA32_SYSENTER_CS MSR 值之一 ECX 暫存器以及用以載入具有用以寫入到 MSR 值的 EDX：EAX 暫存器。接著執行步驟 704。

在步驟 704 中，WRMSR 微代碼 128 的例行程序為：執行一 storePRAM EDX：EAX, PRAM_address 微指令。該 storePRAM EDX：EAX, PRAM_address 微指令自連鎖的 EDX：EAX 暫存器讀取資料，並且將資料寫入至私有隨機存取記憶體 126 中的位置，其中該位置係用以說明 IA32_SYSENTER_CS MSR。在一實施例中，WRMSR 微代碼 128 的例行程序載入具有指定私有隨機存取記憶體 126 中之一全球基底位址（Global Base Address）之值之一基底暫存器，其中該全球基底位址係用以儲存 MSR 值，且該 ECX 值係做為該基底位址之偏移量以形成私有隨機存取記憶體 126 的實際位址。

第 8 圖係顯示本發明實施例之第 1 圖之微處理器 100 執行一 x86 架構之 RDMSR 巨指令的步驟流程圖，該流程由步驟 802 開始。

在步驟 802 中，指令轉譯器 106 解碼指定 IA32_SYSENTER_CS MSR 之一 RDMSR 巨指令，並且將控制權傳送給與 RDMSR 巨指令相關之微代碼 128 的例行程序。在 RDMSR 巨指令之前，使用者程式包括一或多個

第 097112999 號專利說明書修正本

指令，該指令係用以載入具有指定 IA32_SYSENTER_CS MSR 值之該 ECX 暫存器。接著執行步驟 804。

在步驟 804 中，RDMSR 微代碼 128 的例行程序為：執行一 loadPRAM PRAM_address, EDX:EAX 微指令。該 loadPRAM PRAM_address, EDX:EAX 微指令自私有隨機存取記憶體 126 中的位置讀取資料，其中該位置係用以說明 IA32_SYSENTER_CS MSR，並且將資料寫入至連鎖的 EDX:EAX 暫存器中。在一實施例中，RDMSR 微代碼 128 的例行程序載入具有指定私有隨機存取記憶體 126 中之一全球基底位址之值之一基底暫存器，其中該全球基底位址係用以儲存 MSR 值，且該 ECX 值係做為該基底位址之偏移量以形成私有隨機存取記憶體 126 的實際位址。

第 7、8 圖分別描述指定一特定 MSR（即 IA32_SYSENTER_CS MSR）之 WRMSR 與 RDMSR 巨指令的操作，從而減少 MSR 儲存空間使用之晶片區的儲存量。然而，本發明並非用以限定說明私有隨機存取記憶體 126 中之 IA32_SYSENTER_CS MSR。更確切的說，私有隨機存取記憶體 126 可用來說明其它 MSR，而不需立即被微處理器 100 的硬體存取，但可容許與存取私有隨機存取記憶體 126 相關的潛伏期（Latency）。

在說明第 9、10 圖之前，先簡單說明 x86 架構之系統管理模式的操作。x86 巨架構分配一部分的系統記憶體以用於系統管理中斷（System Management Interrupt，簡稱為 SMI），該分配的系統記憶體可稱為系統管理隨機存取記

第 097112999 號專利說明書修正

憶體 (System Management RAM, 以下簡稱為 SMRAM)。根據系統管理中斷, 一部分的 SMRAM (可稱為狀態儲存區 (State Save Area)) 可被微處理器 100 用來儲存其狀態。SMRAM 的基底位址係由一系統管理中斷基底位址值來指定。該狀態儲存區係設置在系統管理中斷基底位址之一預設偏移量中。該系統管理中斷基底位址值係儲存在二個地方, 即在微處理器 100 內與 SMRAM 之狀態儲存區之一預設偏移量 (可稱為系統管理中斷基底位址欄位) 內。當重置微處理器 100 時, 微處理器 100 內的系統管理中斷基底值初始為巨架構定義之一預設值。當微處理器 100 接收一系統管理中斷, 微處理器 100 儲存目前微處理器 100 的狀態至 SMRAM, 其中該 SMRAM 的基底係為微處理器 100 內之系統管理中斷基底位址值所定義。當使用者程式執行一 x86 可移動儲存體管理程式 (Removable Storage Manager, 簡稱為 RSM) 巨指令, 微處理器 100 回存 SMRAM 之狀態儲存區的處理器狀態。回存 SMRAM 之狀態儲存區的處理器狀態包括以系統記憶體中之狀態儲存區中之系統管理模式基底位址欄位值回存 (並且更新) 內部儲存的系統管理模式基底位址值。該特色有助於一多處理系統中的多處理器操作, 其中主要處理器重自該初始位置配置 SMRAM 之位置給其它處理器。

第 9 圖係顯示本發明實施例之第 1 圖之微處理器 100 執行一 x86 架構之 RSM 巨指令的步驟流程圖, 該流程由步驟 902 開始。

第 097112999 號專利說明書修正

在步驟 902 中，指令轉譯器 106 解碼一 RSM 巨指令，並且將控制權傳送給與 RSM 巨指令相關之微代碼 128 的例行程序。接著執行步驟 904。

在步驟 904 中，RSM 微代碼 128 的例行程序為：執行一 loadPRAM PRAM_address, temp_reg1 微指令，接著執行一 load sys_mem_address, temp_reg2 微指令，最後執行一 storePRAM temp_reg2, PRAM_address 微指令。該 loadPRAM PRAM_address, temp_reg1 微指令讀取儲存在私有隨機存取記憶體 126 之位置中的內存 SMBASE 值（該位置係用以儲存該內存 SMBASE 值），並且將該內存 SMBASE 值寫入至非使用者可存取暫存器組 134 之第一暫時暫存器。該 load sys_mem_address, temp_reg2 微指令自系統記憶體讀取該 SMBASE 欄位值，並且將其寫入至非使用者可存取暫存器組 134 之第二暫時暫存器。由於第一暫時暫存器目前持有（藉由 loadPRAM PRAM_address, temp_reg1 微指令的優點）SMRAM 之該基底系統記憶體位址，而該 load sys_mem_address, temp_reg2 微指令指定系統記憶體中之該 SMRAM 狀態儲存區之 SMBASE 欄位為該第一暫時暫存器中之該基底記憶體位址之一預設偏移量。該 storePRAM temp_reg2, PRAM_address 微指令自該第二暫時暫存器讀取資料，並且將該資料寫入至私有隨機存取記憶體 126 的位置中，其中該位置係用以內存該 SMBASE 值。需注意到，除了回存（與更新）該 SMBASE 值之內在形式（Internal Representation），RSM 微代碼 128 之例行

第 097112999 號專利說明書修正本

程序可利用該第一暫時暫存器中之該 SMBASE 位址，並且經由一串系統記憶體載入微指令自該 SMRAM 狀態儲存區讀取微處理器 100 的剩餘狀態，以回存微處理器 100 的狀態。微處理器 100 的狀態回存操作亦包括回存額外的 storePRAM 微指令至私有隨機存取記憶體 126 之用以儲存於其中的其它狀態。

第 10 圖係顯示本發明實施例之第 1 圖之微處理器回應接收一 x86 架構之 SMI 巨指令之操作的步驟流程圖，該流程由步驟 1002 開始。

在步驟 1002 中，微處理器 100 接收一系統管理中斷，並且將控制權傳送給與 SMI 例外指令相關之微代碼 128 的例程序。接著執行步驟 1004。

在步驟 1004 中，該 SMI 例外指令操作器之微代碼 128 的例程序為：執行一 loadPRAM PRAM_address, temp_reg 微指令，再執行一 store temp_reg, sys_mem_address 微指令。該 loadPRAM PRAM_address, temp_reg 微指令讀取私有隨機存取記憶體 126 之位置中的內存 SMBASE 值，其中該位置係用以儲存該內存 SMBASE 值，並且將該內存 SMBASE 值寫入至非使用者可存取暫存器組 134 的暫時暫存器。該 store temp_reg, sys_mem_address 微指令自該暫時暫存器讀取該 SMBASE 值，並且將其寫入至系統記憶體之該 SMRAM 狀態儲存區中之該 SMBASE 欄位。寫入該 SMBASE 欄位值之該系統記憶體係被指定至該 store temp_reg, sys_mem_address 微指令而為一該基底記憶體位

第 097112999 號專利說明書修正~~本~~

址之預設偏移量，其中該基底記憶體位址係指定給該暫時暫存器。需注意到，除了儲存該 SMBASE 值之該內在形式至該 SMRAM 狀態儲存區之該 SMBASE 欄位，SMI 微代碼 128 之例行程序亦可利用該暫時暫存器中該 SMBASE 位址，並經由一串系統記憶體儲存微指令將微處理器 100 的剩餘狀態寫入該 SMRAM 狀態儲存區，以儲存微處理器 100 的狀態。微處理器 100 之儲存狀態操作亦包括儲存額外的 loadPRAM 微指令，以自私有隨機存取記憶體 126 載入用以儲存之其它狀態。

雖然本發明實施例、標的、特色與優點已詳細揭露於上文中，但亦可含其它實施例。舉例來說，雖然已揭露私有隨機存取記憶體 126 儲存 VMX VMCS，在其它實施例中私有隨機存取記憶體 126 可用來儲存系統虛擬機器控制器（Hypervisor）使用之其它虛擬機器架構的資料結構，且並非用以限制 VMX 虛擬化典範（Virtualization Paradigm）。此外，雖然本發明實施例已揭露 x86 巨架構，其並非用以限制本發明，但亦可利用其它的巨架構來實施本發明。

本發明更提供一種記錄媒體（例如光碟片、磁碟片與抽取式硬碟等等），其係記錄一電腦可讀取之權限簽核程式，以便執行上述之提供微處理器的方法。在此，儲存於記錄媒體上之權限簽核程式，基本上是由多數個程式碼片段所組成的（例如建立組織圖程式碼片段、簽核表單程式碼片段、設定程式碼片段、以及部署程式碼片段），並且這些程式碼片段的功能係對應到上述方法的步驟與上述系

第 097112999 號專利說明書修正*

統的功能步驟圖。如第 11 圖所示，其係顯示本發明實施例之提供微處理器的方法步驟流程圖，其提供描述微處理器設計的軟體，並且將軟體作為一電腦資料訊號並傳送至一通訊網路上。需瞭解到，本發明實施例之方法與裝置可包含於一半導體智財核心中，例如一微處理器核心（例如，硬體描述語言（Hardware Description Language，簡稱為 HDL）），並且可轉換至積體電路產品的硬體。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示本發明實施例之管線式微處理器的架構示意圖，其包括一私有隨機存取記憶體。

第 2 圖係顯示本發明實施例之不同系統記憶體與私有隨機存取記憶體位址空間的示意圖。

第 3 圖係顯示本發明實施例之執行私有隨機存取記憶體之 loadPRAM 微指令的步驟流程圖。

第 4 圖係顯示本發明實施例之執行私有隨機存取記憶體 storePRAM 微指令的步驟流程圖。

第 5 圖係顯示本發明實施例之第 1 圖之微處理器執行一 VMWRITE 巨指令的步驟流程圖。

第 6 圖係顯示本發明實施例之第 1 圖之微處理器執行

第 097112999 號專利說明書修正~~本~~

VMREAD 巨指令的步驟流程圖。

第 7 圖係顯示本發明實施例之第 1 圖之微處理器執行一 x86 架構之 WRMSR 巨指令的步驟流程圖。

第 8 圖係顯示本發明實施例之第 1 圖之微處理器執行一 x86 架構之 RDMSR 巨指令的步驟流程圖。

第 9 圖係顯示本發明實施例之第 1 圖之微處理器執行一 x86 架構之 RSM 巨指令的步驟流程圖。

第 10 圖係顯示本發明實施例之第 1 圖之微處理器回應接收一 x86 架構之 SMI 巨指令之操作的步驟流程圖。

第 11 圖係顯示本發明實施例之提供微處理器的方法步驟流程圖，其提供描述微處理器設計的軟體，並且將軟體作為一電腦資料訊號並傳送至一通訊網路上。

【主要元件符號說明】

- 100～微處理器
- 102～指令緩衝區
- 104～指令收件器
- 106～指令轉譯器
- 108～指令分派器
- 112～使用者可存取暫存器組
- 114～資料緩衝區
- 122～載入/儲存單元
- 124～執行單元
- 126～私有隨機存取記憶體

第 097112999 號專利說明書修正~~本~~

128～微代碼

132～匯流排介面單元

134～非使用者可存取暫存器組

136～處理器匯流排

302、304、402、404、502、504、602、604、702、704、
802、804、902、904、1002、1004、1102、1104～流程步
驟

第 097112999 號專利說明書修正本

十、申請專利範圍：

1.一種具有微代碼之微處理器，包括：

一使用者可存取暫存器組；

一隨機存取記憶體，其位於該微處理器之一非使用者可存取位址空間內，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢；以及

其中該微代碼包括該微處理器之一微指令集之複數微指令，該微指令集包括：

一第一微指令，其用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體；以及

一第二微指令，其用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組。

2.如申請專利範圍第 1 項所述的微處理器，其中，該使用者可存取暫存器組包括一 x86 架構之使用者可存取暫存器組。

3.如申請專利範圍第 1 項所述的微處理器，其更包括：

一非使用者可存取暫存器組，其中該非使用者可存取暫存器組較該隨機存取記憶體不密集，且存取速度較該隨機存取記憶體快；

其中該第一微指令更用以將該非使用者可存取暫存器組的資料儲存至該隨機存取記憶體，且該第二微指令用以將該隨機存取記憶體的資料載入至該非使用者可存取暫存器組。

4.如申請專利範圍第 3 項所述的微處理器，其中，該微代碼根據一 VMX VMWRITE 指令執行一或多個該第一微指令，以儲存一部分之一 x86 架構之虛擬機器延伸（Virtual-Machine Extensions，VMX）虛擬控制架構（Virtual Machine Control Structure，VMCS）至該隨機存取記憶體。

5.如申請專利範圍第 3 項所述的微處理器，其中，該微代碼根據一 VMX VMREAD 指令執行一或多個該第二微指令，以自該隨機存取記憶體載入一部分之一 x86 架構之虛擬機器延伸（VMX）虛擬控制架構（VMCS）。

6.如申請專利範圍第 3 項所述的微處理器，其中，該微代碼根據一 x86 架構之 RSM 指令執行一或多個該第一微指令，以儲存一系統管理模式基底位址（System Management Mode Base Address，SMBASE）至該隨機存取記憶體。

7.如申請專利範圍第 3 項所述的微處理器，其中，該微代碼根據一 x86 架構之系統管理中斷（System Management Interrupt，SMI）指令執行一或多個該第二微指令，以自該隨機存取記憶體載入一系統管理模式基底位址（SMBASE）。

8.如申請專利範圍第 1 項所述的微處理器，其中，該微代碼根據指定一 x86 架構之 IA32_SYSENTER_CS 特別模組暫存器（Model Specific Register，MSR）為一目的特別模組暫存器之一 x86 架構之 WRMSR 指令執行一或多個

第 097112999 號專利說明書修正本

該第一微指令，以儲存一特權階級 0 碼數據段值之一數據段選擇器至該隨機存取記憶體。

9.如申請專利範圍第 1 項所述的微處理器，其中，該微代碼根據指定一 x86 架構之 IA32_SYSENTER_CS 特別模組暫存器為一來源特別模組暫存器之一 x86 架構之 RDMSR 指令執行一或多個該第二微指令，以自該隨機存取記憶體載入一特權階級 0 碼數據段值之一數據段選擇器。

10.如申請專利範圍第 1 項所述的微處理器，其中，該微代碼執行該第一或第二微指令以將該隨機存取記憶體做為一暫時儲存區，以儲存該微代碼之計算結果。

11.如申請專利範圍第 1 項所述的微處理器，其中，該非使用者可存取位址空間為一非轉譯位址空間。

12.如申請專利範圍第 1 項所述的微處理器，其中，該非使用者可存取位址空間為一非緩衝位址空間。

13.如申請專利範圍第 1 項所述的微處理器，其中，該微處理器根據該微代碼指令存取之該非使用者可存取位址空間而不對一外部匯流排存取。

14.如申請專利範圍第 1 項所述的微處理器，其中，該隨機存取記憶體係整合至與其它微處理器之電路相同之半導體基板上。

15.如申請專利範圍第 1 項所述的微處理器，其中，該隨機存取記憶體需要存取該使用者可存取暫存器組至少二次的時間。

第 097112999 號專利說明書修正~~本~~

16.如申請專利範圍第 1 項所述的微處理器，其中，該隨機存取記憶體二倍密集於該使用者可存取暫存器組。

17.一種在微處理器中儲存資料的方法，包括下列步驟：

執行一第一微指令，用以將該微處理器之一使用者可存取暫存器組的資料儲存至該微處理器之一隨機存取記憶體，其中該隨機存取記憶體位於該微處理器之一非使用者可存取位址空間內，其中該隨機存取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢；以及

執行一第二微指令，用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組，其中該第一與第二微指令係為該微處理器之一微指令集之複數微指令中的二個微指令。

18.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其中，該使用者可存取暫存器組包括一 x86 架構之使用者可存取暫存器組。

19.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

執行該第一微指令，用以將一非使用者可存取暫存器組的資料儲存至該隨機存取記憶體其中該非使用者可存取暫存器組較該隨機存取記憶體不密集，且存取速度較該隨機存取記憶體快；以及

執行該第二微指令，用以將該隨機存取記憶體的資料

第 097112999 號專利說明書修正本

載入至該非使用者可存取暫存器組。

20.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

解碼一 x86 架構之 VMX VMWRITE 指令；以及

執行執行一或多個該第一微指令，以儲存一部分之一虛擬機器延伸（VMX）虛擬控制架構（VMCS）至該隨機存取記憶體。

21.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

解碼一 x86 架構之 VMX VMREAD 指令；以及

執行一或多個該第二微指令，以自該隨機存取記憶體載入一部分之一虛擬機器延伸（VMX）虛擬控制架構（VMCS）。

22.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

解碼一 x86 架構之 RSM 指令；以及

執行一或多個該第一微指令，以儲存一系統管理模式基底位址（SMBASE）至該隨機存取記憶體。

23.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

接收一 x86 架構之系統管理中斷（SMI）指令；以及

執行一或多個該第二微指令，以自該隨機存取記憶體載入一系統管理模式基底位址（SMBASE）。

24.如申請專利範圍第 17 項所述的在微處理器中儲存

第 097112999 號專利說明書修正*

資料的方法，其更包括下列步驟：

解碼指定一 x86 架構之 IA32_SYSENTER_CS 特別模組暫存器 (MSR) 為一目的特別模組暫存器之一 x86 架構之 WRMSR 指令；以及

執行一或多個該第一微指令，以儲存一特權階級 0 碼數據段值之一數據段選擇器至該隨機存取記憶體。

25.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

解碼指定一 x86 架構之 IA32_SYSENTER_CS 特別模組暫存器 (MSR) 為一來源特別模組暫存器 (MSR) 之一 x86 架構之 RDMSR 指令；以及

執行一或多個該第二微指令，以自該隨機存取記憶體載入一特權階級 0 碼數據段值之一數據段選擇器。

26.如申請專利範圍第 17 項所述的在微處理器中儲存資料的方法，其更包括下列步驟：

執行該第一或第二微指令以將該隨機存取記憶體做為一暫時儲存區，以儲存微代碼之計算結果。

27.一種使用於計算裝置之電腦程式產品，該電腦程式產品包括：

一電腦可用儲存媒體，其包括用以提供一微處理器之電腦可讀取程式碼，該電腦可讀取程式碼包括：

第一程式碼，其用以提供一使用者可存取暫存器組；

第二程式碼，其用以提供位於該微處理器之一非使用者可存取位址空間內之一隨機存取記憶體，其中該隨機存

第 097112999 號專利說明書修正本

取記憶體較該使用者可存取暫存器組密集，且存取速度較該使用者可存取暫存器組慢；以及

第三程式碼，其用以提供包括複數該微處理器之一微指令集之複數微指令之微代碼，該微指令集包括：

一第一微指令，其用以將該使用者可存取暫存器組的資料儲存至該隨機存取記憶體；以及

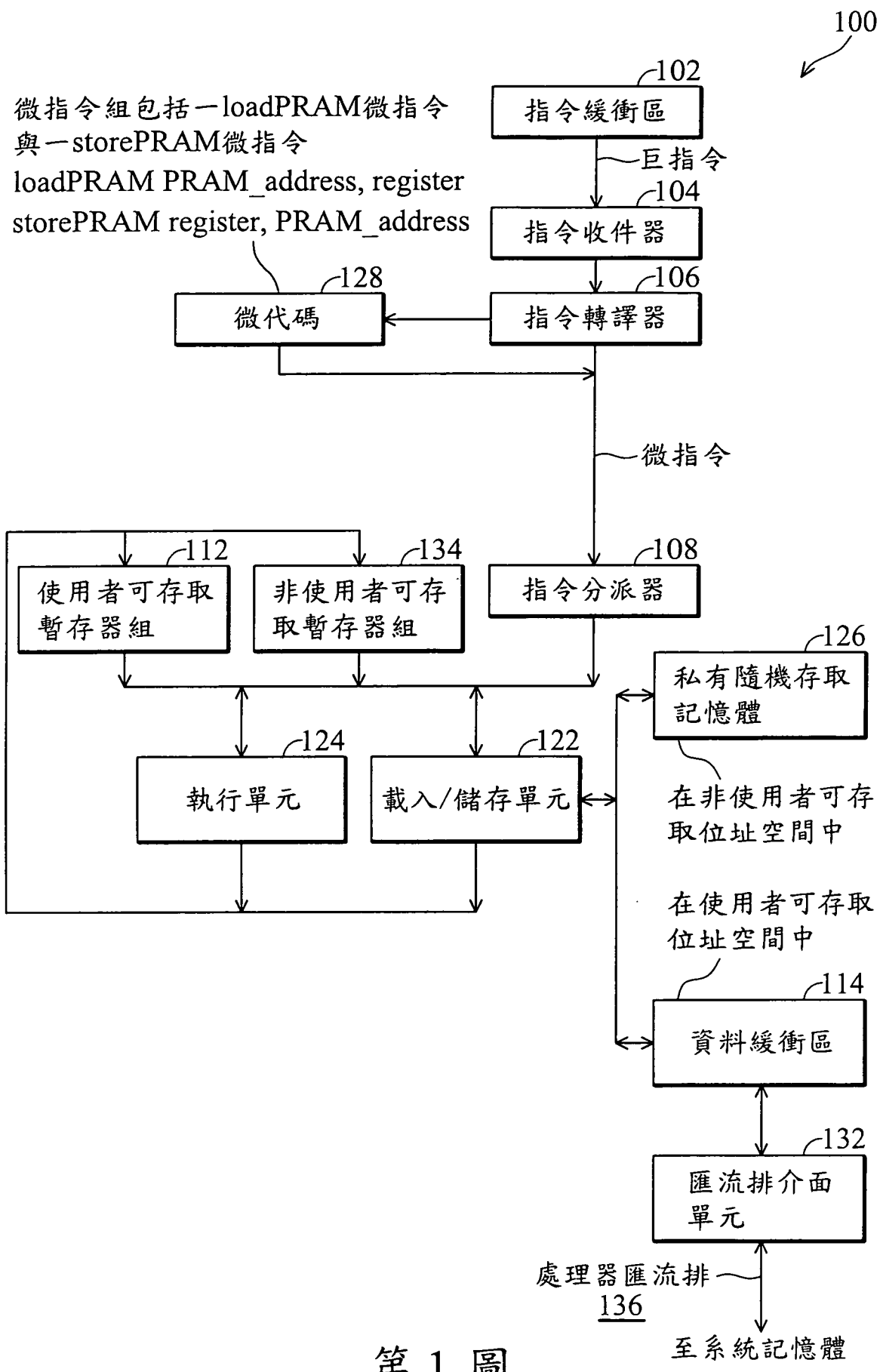
一第二微指令，其用以將該隨機存取記憶體的資料載入至該使用者可存取暫存器組。

28.如申請專利範圍第 27 項所述的使用於計算裝置之電腦程式產品，其更包括：

第四程式碼，其用以提供一非使用者可存取暫存器組，其中該非使用者可存取暫存器組較該隨機存取記憶體不密集，且存取速度較該隨機存取記憶體快；

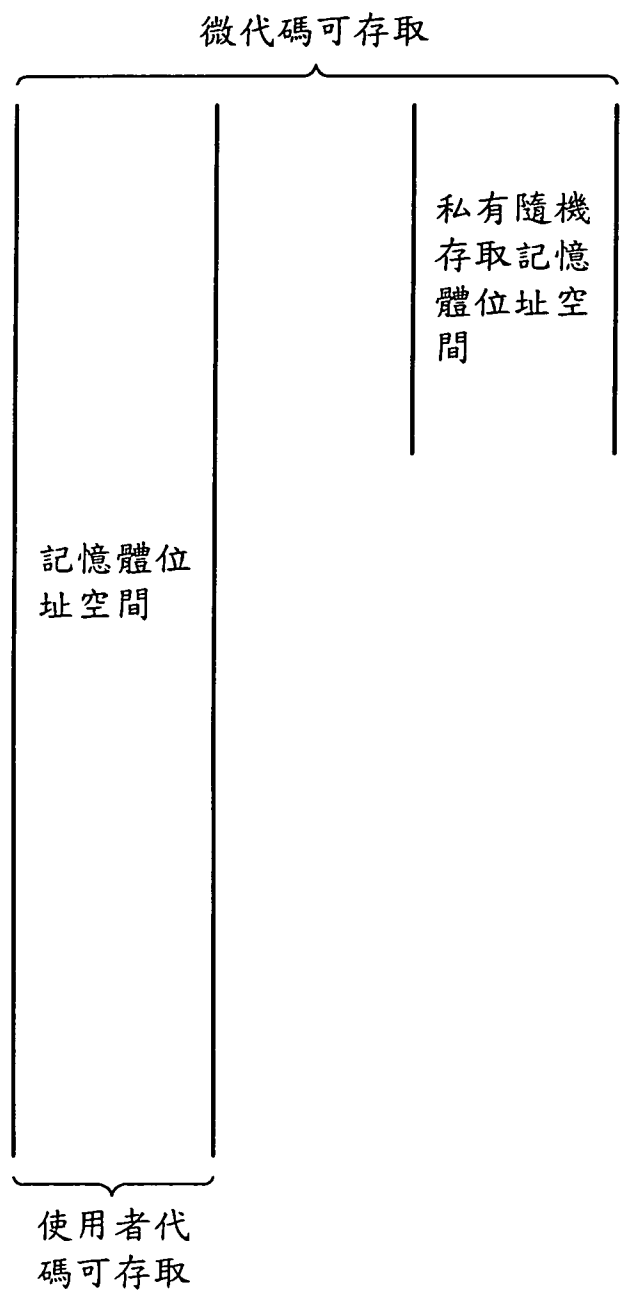
其中該第一微指令更用以將該非使用者可存取暫存器組的資料儲存至該隨機存取記憶體，且該第二微指令用以將該隨機存取記憶體的資料載入至該非使用者可存取暫存器組。

29.如申請專利範圍第 28 項所述的使用於計算裝置之電腦程式產品，其中，該微代碼根據一 VMX VMWRITE 指令執行一或多個該第一微指令，以儲存一部分之一 x86 架構之虛擬機器延伸（VMX）虛擬控制架構（VMCS）至該隨機存取記憶體。

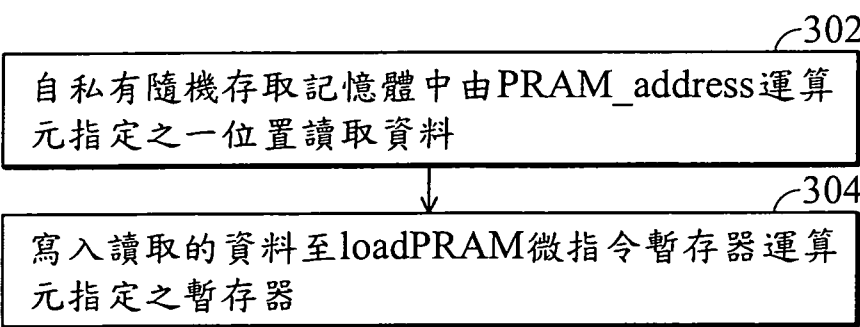


第 1 圖

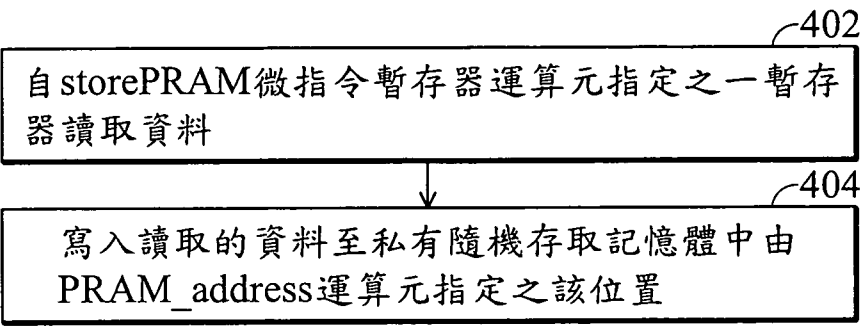
獨立記憶體與私有隨機存取記憶體位址空間



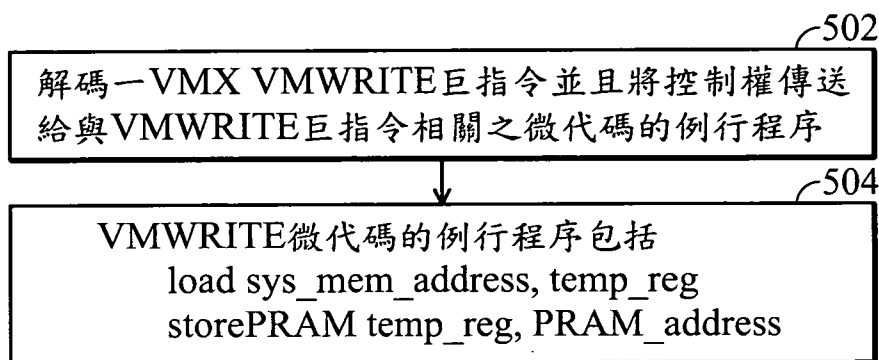
第 2 圖



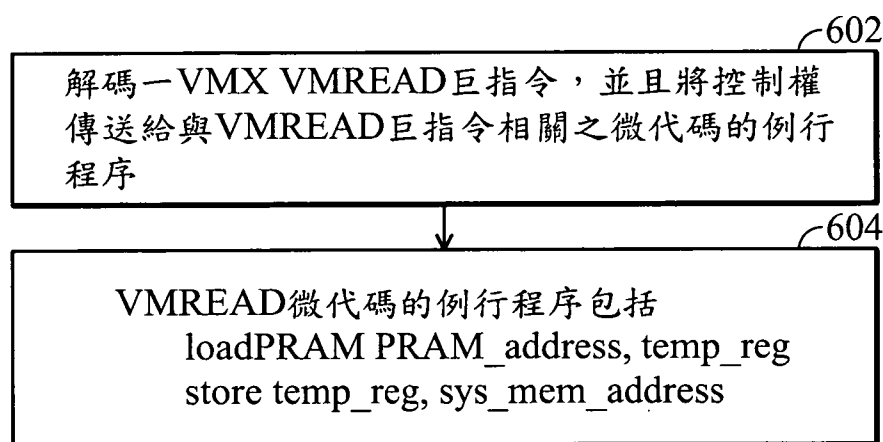
第 3 圖



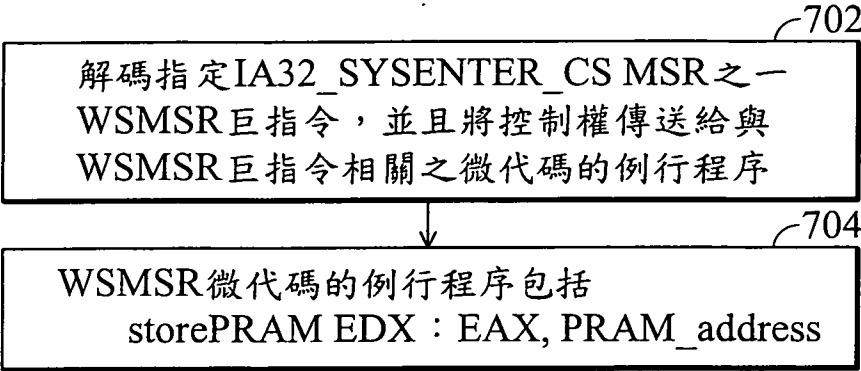
第 4 圖



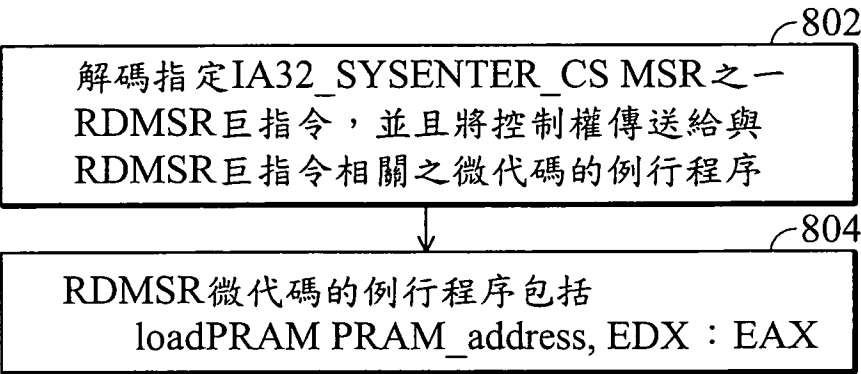
第 5 圖



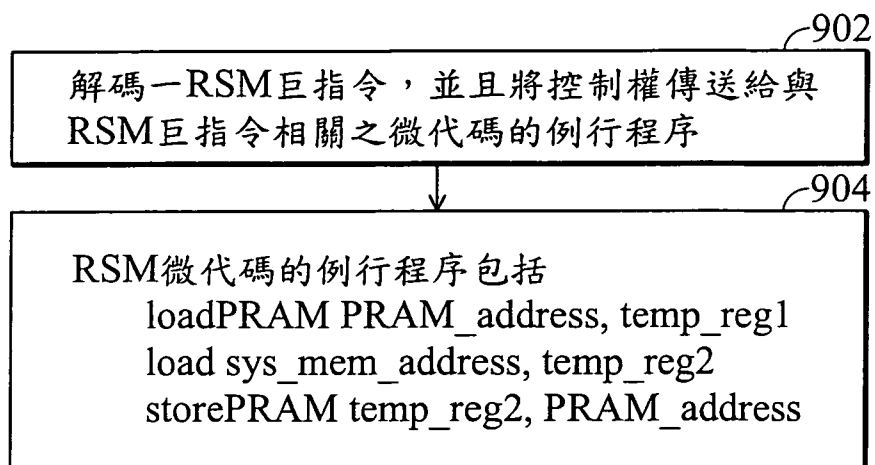
第 6 圖



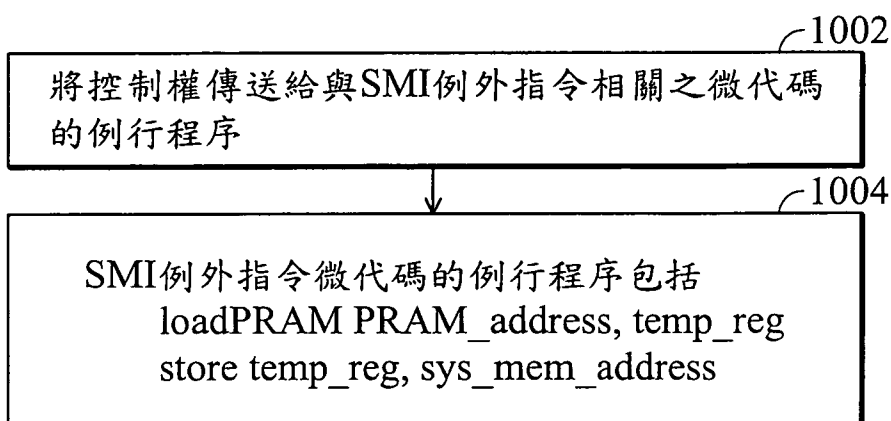
第 7 圖



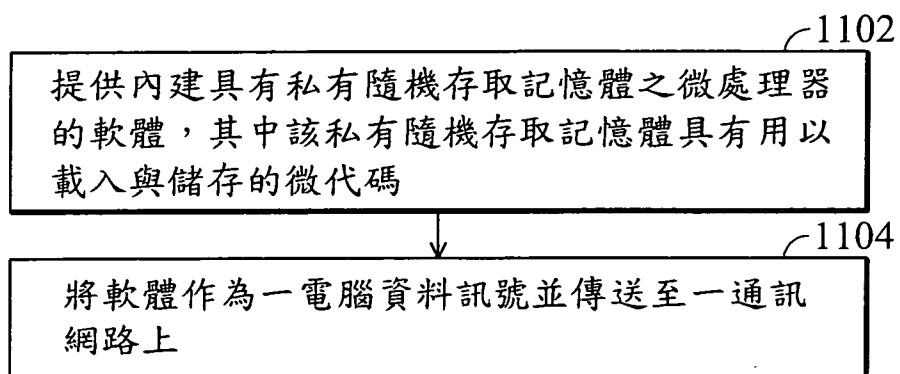
第 8 圖



第 9 圖



第 10 圖



第 11 圖