



(12) 发明专利申请

(10) 申请公布号 CN 105164322 A

(43) 申请公布日 2015. 12. 16

(21) 申请号 201480024728. 6

(22) 申请日 2014. 04. 03

(30) 优先权数据

2013-113090 2013. 05. 29 JP

(85) PCT国际申请进入国家阶段日

2015. 10. 29

(86) PCT国际申请的申请数据

PCT/JP2014/059825 2014. 04. 03

(87) PCT国际申请的公布数据

W02014/192411 JA 2014. 12. 04

(71) 申请人 住友电气工业株式会社

地址 日本大阪府大阪市

(72) 发明人 田中聪 山田俊介 堀井拓

松岛彰 久保田良辅 冲田恭子

西浦隆幸

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

C30B 29/36(2006. 01)

H01L 21/20(2006. 01)

H01L 21/336(2006. 01)

H01L 29/12(2006. 01)

H01L 29/161(2006. 01)

H01L 29/78(2006. 01)

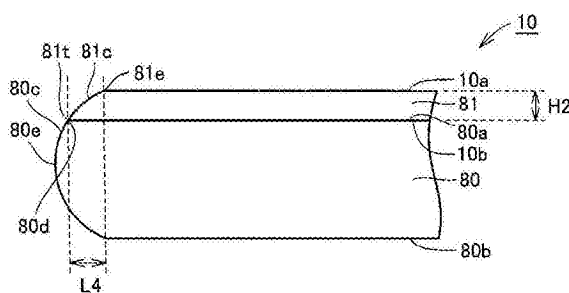
权利要求书2页 说明书16页 附图15页

(54) 发明名称

碳化硅衬底,碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法

(57) 摘要

一种制造碳化硅衬底的方法,包括以下步骤。制备具有第一主表面(80a)、第二主表面(80b)以及第一侧端部(80c)的碳化硅单晶衬底(80),第二主表面(80b)与第一主表面(80a)相反,第一侧端部(80c)将第一主表面(80a)和第二主表面(80b)彼此连接,第一主表面(80a)的宽度(D)的最大值大于100mm。碳化硅外延层(81)形成为与第一侧端部(80c)、第一主表面(80a)以及第一主表面(80a)和第一侧端部(80c)之间的边界(80d)接触。去除形成为与第一侧端部(80c)和边界(80d)接触的碳化硅外延层(81)。因此,可抑制形成在碳化硅衬底上的二氧化硅层中产生的破裂。



1. 一种制造碳化硅衬底的方法,包括以下步骤:

制备具有第一主表面、第二主表面以及第一侧端部的碳化硅单晶衬底,所述第二主表面与所述第一主表面相反,所述第一侧端部将所述第一主表面和所述第二主表面彼此连接,所述第一主表面的宽度的最大值大于 100mm;

形成与所述第一侧端部、所述第一主表面以及所述第一主表面和所述第一侧端部之间的边界接触的碳化硅外延层;以及

去除形成为与所述第一侧端部和所述边界接触的所述碳化硅外延层。

2. 根据权利要求 1 所述的制造碳化硅衬底的方法,其中

在形成所述碳化硅外延层的步骤中,所述碳化硅外延层形成为在所述边界上具有阶梯部,并且

在去除所述碳化硅外延层的步骤中,去除所述阶梯部。

3. 根据权利要求 2 所述的制造碳化硅衬底的方法,其中

所述阶梯部形成为沿着通过在所述第一主表面中在 $\pm 20^\circ$ 的范围内旋转下述直线而获得的直线延伸,其中被旋转的所述直线是通过将平行于 $\langle 11-20 \rangle$ 方向的直线投影到所述第一主表面上来获得的。

4. 根据权利要求 2 或 3 所述的制造碳化硅衬底的方法,其中所述阶梯部在从所述第一侧端部朝向所述中心的方向上具有不小于 $50\text{ }\mu\text{m}$ 且不大于 $5000\text{ }\mu\text{m}$ 的长度。

5. 根据权利要求 2 至 4 中的任一项所述的制造碳化硅衬底的方法,其中所述阶梯部在垂直于所述第一主表面的方向上具有不小于 $1\text{ }\mu\text{m}$ 且不大于 $50\text{ }\mu\text{m}$ 的深度。

6. 根据权利要求 1 至 5 中的任一项所述的制造碳化硅衬底的方法,其中所述碳化硅外延层在所述第一主表面的中心具有不小于 $5\text{ }\mu\text{m}$ 的厚度。

7. 一种制造碳化硅半导体器件的方法,包括以下步骤:

制备由权利要求 1 至 6 中的任一项所述的方法制造的碳化硅衬底;以及
形成设置为面对所述碳化硅外延层的主表面的二氧化硅层。

8. 根据权利要求 7 所述的制造碳化硅半导体器件的方法,其中所述二氧化硅层包括离子注入掩膜。

9. 根据权利要求 8 所述的制造碳化硅半导体器件的方法,其中所述离子注入掩膜与所述碳化硅单晶衬底的所述第一侧端部接触。

10. 根据权利要求 7 至 9 中的任一项所述的制造碳化硅半导体器件的方法,其中所述二氧化硅层包括层间绝缘膜。

11. 根据权利要求 7 至 10 中的任一项所述的制造碳化硅半导体器件的方法,其中所述二氧化硅层具有不小于 $0.8\text{ }\mu\text{m}$ 且不大于 $20\text{ }\mu\text{m}$ 的厚度。

12. 根据权利要求 7 至 11 中的任一项所述的制造碳化硅半导体器件的方法,还包括在形成所述二氧化硅层的步骤之后对所述碳化硅衬底和所述二氧化硅层进行退火的步骤。

13. 一种碳化硅衬底,包括:

具有第一主表面、第二主表面以及第一侧端部的碳化硅单晶衬底,所述第二主表面与所述第一主表面相反,所述第一侧端部将所述第一主表面和所述第二主表面彼此连接,所述第一主表面的宽度的最大值大于 100mm;以及

与所述第一主表面的中心接触的碳化硅外延层,

所述碳化硅外延层包括第三主表面和第四主表面,所述第三主表面与所述第一主表面的所述中心接触,所述第四主表面与所述第三主表面相反,

在平行于所述第一主表面的方向上,所述第四主表面的外周端部相对于所述第一主表面和所述第一侧端部之间的边界更靠近所述中心。

14. 根据权利要求 13 所述的碳化硅衬底,其中在平行于所述第一主表面的方向上,所述第三主表面的外周端部相对于所述第一主表面和所述第一侧端部之间的边界更靠近所述中心。

15. 根据权利要求 13 所述的碳化硅衬底,其中

所述碳化硅外延层包括将所述第三主表面和所述第四主表面彼此连接的第二侧端部,并且

当在截面中观察时,所述第二侧端部形成为具有与所述第一侧端部一致的曲率。

16. 根据权利要求 13 至 15 中的任一项所述的碳化硅衬底,其中在平行于所述第一主表面的方向上,从所述第四主表面的外周端部至所述边界的距离不小于 $10\ \mu\text{m}$ 且不大于 $5000\ \mu\text{m}$ 。

17. 根据权利要求 13 至 16 中的任一项所述的碳化硅衬底,其中所述碳化硅外延层在所述第一主表面的所述中心上具有不小于 $5\ \mu\text{m}$ 的厚度。

18. 一种碳化硅半导体器件,包括:

权利要求 13 至 17 中的任一项所述的碳化硅衬底;以及设置为面对所述碳化硅外延层的二氧化硅层。

19. 根据权利要求 18 所述的碳化硅半导体器件,其中所述二氧化硅层是层间绝缘膜。

20. 根据权利要求 18 或 19 所述的碳化硅半导体器件,其中所述二氧化硅层具有不小于 $0.8\ \mu\text{m}$ 且不大于 $20\ \mu\text{m}$ 的厚度。

碳化硅衬底,碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法

技术领域

[0001] 本发明涉及一种碳化硅衬底,碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法,特别地,本发明涉及一种碳化硅衬底,碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法,以便实现对碳化硅衬底中破裂的抑制。

背景技术

[0002] 近年来,为了实现高击穿电压、低损耗以及在高温环境下的半导体器件的应用,已经开始采用碳化硅作为用于半导体器件的材料。碳化硅是一种具有大于已经被常规地广泛用于用于半导体器件的材料的硅的带隙的宽带隙半导体。因此,通过采用碳化硅作为用于半导体器件的材料,半导体器件可具有高击穿电压、降低的导通电阻等等。此外,由此采用碳化硅作为其材料的半导体器件具有即使在高温环境下也有利地比采用硅作为其材料的半导体器件更小劣化的特性。

[0003] 例如通过切割由升华方法制造的碳化硅单晶且随后倒圆(chamfering)其侧表面部分而制备碳化硅衬底。例如,日本专利公布 No. 2010-64918(专利文献 1)描述了碳化硅外延层形成在具有碳化硅衬底的倒圆侧表面部分的碳化硅单晶晶片上。

[0004] 引用文献列表

[0005] 专利文献

[0006] PTD 1:日本专利公布 No. 2010-64918

发明内容

[0007] 技术问题

[0008] 但是,当采用具有形成在已经被倒圆的碳化硅单晶上的碳化硅外延层的碳化硅衬底制造碳化硅半导体器件时,形成在碳化硅衬底上的二氧化硅层会破裂。

[0009] 已经提出本发明以解决这种问题,且本发明的一个目的是提供一种碳化硅衬底、碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法以便实现形成在碳化硅衬底上的二氧化硅层中破裂的抑制。

[0010] 问题的解决手段

[0011] 根据本发明的制造碳化硅衬底的方法包括以下步骤。制备具有第一主表面、第二主表面以及第一侧端部的碳化硅单晶衬底,第二主表面与第一主表面相反,第一侧端部将第一主表面和第二主表面彼此连接。第一主表面的宽度的最大值大于 100mm。碳化硅外延层形成为与第一侧端部、第一主表面以及第一主表面和第一侧端部之间的边界接触。去除形成为与第一侧端部和边界接触的碳化硅外延层。

[0012] 根据本发明的碳化硅衬底包括碳化硅单晶衬底和碳化硅外延层。碳化硅单晶衬底具有第一主表面,第二主表面以及第一侧端部,第二主表面与第一主表面相反,第一侧端部将第一主表面和第二主表面彼此连接,第一主表面的宽度的最大值大于 100mm。与第一主表

面中心接触的碳化硅外延层包括第三主表面和第四主表面,第三主表面与第一主表面的中心接触,第四主表面与第三主表面相反。在平行于第一主表面的方向上,第四主表面的外周端部相对于第一主表面和第一侧端部之间的边界更靠近中心。

[0013] 发明的有益效果

[0014] 根据本发明,可提供一种碳化硅衬底、碳化硅半导体器件以及制造碳化硅衬底和碳化硅半导体器件的方法,以便实现对形成在碳化硅衬底上的二氧化硅层中破裂的抑制。

附图说明

[0015] 图 1 是示意性示出本发明第一实施例中的碳化硅衬底的结构示意平面图。

[0016] 图 2 是示意性示出本发明第一实施例中的碳化硅衬底的结构示意截面图。

[0017] 图 3 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的流程图。

[0018] 图 4 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第一步骤的示意平面图。

[0019] 图 5 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第一步骤的示意截面图。

[0020] 图 6 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第二步骤的示意截面图。

[0021] 图 7A 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第二步骤的第一实例的示意平面图。

[0022] 图 7B 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第二步骤的第二实例的示意平面图。

[0023] 图 8 是图 7 中的区域 C 的放大示意平面图。

[0024] 图 9 是图 8 中的区域 IX-IX 的示意截面图。

[0025] 图 10 是图 8 中的区域 X-X 的示意截面图。

[0026] 图 11 是示意性示出本发明第一实施例中的碳化硅衬底的结构示意截面图。

[0027] 图 12 是示意性示出制造本发明第一实施例中的碳化硅衬底的方法的第三步骤的示意截面图。

[0028] 图 13 是示意性示出本发明第二实施例中的碳化硅半导体器件的结构示意截面图。

[0029] 图 14 是示意性示出本发明第二实施例中的碳化硅半导体器件中包括的碳化硅衬底的结构透视示意图。

[0030] 图 15 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的流程图。

[0031] 图 16 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第一步骤的示意截面图。

[0032] 图 17 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第二步骤的示意截面图。

[0033] 图 18 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第二步骤中的碳化硅半导体器件的端部的放大示意截面图。

[0034] 图 19 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第三步骤的示意截面图。

[0035] 图 20 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第四步骤的示意截面图。

[0036] 图 21 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第五步骤的示意截面图。

[0037] 图 22 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第六步骤的示意截面图。

[0038] 图 23 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第七步骤的示意截面图。

[0039] 图 24 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第八步骤的示意截面图。

[0040] 图 25 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第九步骤的示意截面图。

[0041] 图 26 是示意性示出制造本发明第二实施例中的碳化硅半导体器件的方法的第十步骤的示意截面图。

[0042] 图 27 是示意性示出本发明第三实施例中的碳化硅衬底的结构示意截面图。

[0043] 图 28 是示意性示出制造本发明第四实施例中的碳化硅半导体器件的方法中的第二步骤中的碳化硅半导体器件的端部的放大示意截面图。

[0044] 图 29 是示意性示出制造本发明第三实施例中的碳化硅衬底的方法的第三步骤的第一变型的示意截面图。

[0045] 图 30 是示意性示出制造本发明第三实施例中的碳化硅衬底的方法的第三步骤的第二变型的示意截面图。

[0046] 图 31 是示意性示出当碳化硅单晶衬底的第四表面对应于 (0001) 面时的定向平面部 OF 以及指示平面部 IF 的位置的示意平面图。

[0047] 图 32 是示意性示出当碳化硅单晶衬底的第四表面对应于 (000-1) 面时的定向平面部 OF 以及指示平面部 IF 的位置的示意平面图。

具体实施方式

[0048] 以下基于附图说明本发明的一个实施例。应当注意在下述附图中,相同或相应的部分由相同的参考符号指定且不再赘述。对于本说明书中的晶体学表示来说,单独的晶向由 $[\]$ 代表,组晶向由 $\langle \rangle$ 代表,且单独面由 $()$ 代表,且组面由 $\{ \}$ 代表。此外,通常通过将“-”(横杠)置于数字上来表示负晶体学指数,但是在本说明书中,通过将负号置于数字之前来表示。

[0049] 首先,将参考下述 (1) 至 (20) 说明本发明的实施例的概述。

[0050] 由于对形成在碳化硅衬底上的二氧化硅层中的破裂成因的不断研究,本发明人已经获得如下知识并提出本发明。首先,当碳化硅外延层形成在碳化硅单晶衬底上时,阶梯部形成在碳化硅外延层的外周端部中。随后,当二氧化硅层形成在外延层上时,破裂跨碳化硅衬底的表面而产生在二氧化硅层中。当碳化硅衬底的尺寸不大于 100mm 时,基本上没有破

裂形成在二氧化硅层中,但是特别地,当碳化硅衬底的尺寸大于 100mm 时,破裂明显产生在二氧化硅层中。而且,当加热具有二氧化硅层的碳化硅衬底时或当将具有二氧化硅层的碳化硅衬底附接至用于保持衬底的卡盘 / 从用于保持衬底的卡盘分离具有二氧化硅层的碳化硅衬底时,破裂可能产生在二氧化硅层中。而且,碳化硅的热膨胀系数约 7 倍于二氧化硅的热膨胀系数。综合上述考虑,二氧化硅层中的破裂的一个成因被认为是由于二氧化硅和碳化硅之间的热膨胀系数的差异而在二氧化硅层中产生应力。

[0051] 而且,已经发现当充分检查形成在外延层的外周端部中的阶梯部时,大部分阶梯部形成成为沿着通过在碳化硅单晶衬底的主表面中在 $\pm 20^\circ$ 的范围内旋转下述直线而获得的直线延伸,其中被旋转的直线是通过将平行于 $\langle 11-20 \rangle$ 方向的直线投影到碳化硅单晶衬底的主表面上来获得的。因为二氧化硅层中的破裂在阶梯部延伸的方向上延伸,因此二氧化硅层中的破裂被认为是由阶梯部作为起点而产生。因此,认为通过去除形成在外延层的外周部中的阶梯部,可抑制二氧化硅层中的破裂。

[0052] (1) 根据一个实施例的制造碳化硅衬底的方法包括以下步骤。制备具有第一主表面 80a、第二主表面 80b 以及第一侧端部 80c 的碳化硅单晶衬底 80,第二主表面 80b 与第一主表面 80a 相反,第一侧端部 80c 将第一主表面 80a 和第二主表面 80b 彼此连接,第一主表面 80a 的宽度 D 的最大值不大于 100mm。碳化硅外延层 81 形成为与第一侧端部 80c、第一主表面 80a 以及第一主表面 80a 和第一侧端部 80c 之间的边界 80d 接触。去除形成为与第一侧端部 80c 和边界 80d 接触的碳化硅外延层 81。

[0053] 根据该实施例的制造碳化硅衬底的方法,碳化硅外延层 81 形成为与碳化硅单晶衬底 80 的第一主表面 80a、第一侧端部 80c 以及边界 80d 接触,第一主表面 80a 具有不大于 100mm 宽度,且随后去除形成为与第一侧端部 80c 和边界 80d 接触的碳化硅外延层 81。因此,去除了形成在第一侧端部 80c 和边界 80d 中的阶梯部 2,由此在二氧化硅层形成在碳化硅衬底 10 上时抑制了二氧化硅层中破裂的产生。

[0054] (2) 优选地,在根据该实施例的制造碳化硅衬底的方法中,在形成碳化硅外延层的步骤中,碳化硅外延层 81 形成为在边界上具有阶梯部 2。在去除碳化硅外延层的步骤中,去除了阶梯部 2。因此,当二氧化硅层形成在碳化硅衬底 10 上时,可有效抑制在二氧化硅层中产生破裂。

[0055] (3) 优选地,在根据该实施例的制造碳化硅衬底的方法中,阶梯部 2 形成为沿着通过第一主表面 80a 中在 $\pm 20^\circ$ 的范围内旋转下述直线而获得的直线延伸,其中被旋转的直线是通过将平行于 $\langle 11-20 \rangle$ 方向的直线投影到第一主表面 80a 上来获得的。认为破裂是特别由于沿通过第一主表面 80a 中在 $\pm 20^\circ$ 的范围内旋转下述直线而获得的直线延伸的阶梯部 2 而产生在二氧化硅层中,其中被旋转的直线是通过将平行于 $\langle 11-20 \rangle$ 方向的直线投影到第一主表面 80a 上来获得的。因此,通过去除在上述方向上延伸的阶梯部,可更有效地抑制在二氧化硅层中产生破裂。

[0056] (4) 优选地,在根据该实施例的制造碳化硅衬底的方法中,阶梯部 2 在从第一侧端部 80c 朝向中心 80p 的方向上具有不小于 $50 \mu\text{m}$ 且不大于 $5000 \mu\text{m}$ 的长度 L_3 。认为破裂特别是由于具有不小于 $100 \mu\text{m}$ 长度的阶梯部 2 而产生在二氧化硅层中。因此,通过去除具有上述长度的阶梯部 2,可更有效地抑制在二氧化硅层中产生破裂。

[0057] (5) 优选地,在根据该实施例的制造碳化硅衬底的方法中,阶梯部 2 在垂直于第一

主表面 80a 的方向上具有不小于 $1\ \mu\text{m}$ 且不大于 $50\ \mu\text{m}$ 的深度 H1。认为破裂特别是由于具有不小于 $5\ \mu\text{m}$ 深度的阶梯部 2 而产生在二氧化硅层中。阶梯部 2 的深度 H1 倾向于随碳化硅外延层的厚度而成比例增大,但是深度 H1 可变得等于或大于碳化硅外延层的厚度或可变得等于或小于碳化硅外延层的厚度。这取决于碳化硅外延层的生长条件以及侧端部 81c(长度 L2 的部分)的形状。而且,长度 L3 和深度 H1 之间的关系如下。当长度 L3 短且深度 H1 大时以及当长度 L3 长且深度 H1 小时可能产生破裂。通过去除具有上述深度的阶梯部,可更有效地抑制在二氧化硅层中产生破裂。

[0058] (6) 优选地,在根据该实施例的制造碳化硅衬底的方法中,碳化硅外延层 81 在第一主表面 80a 的中心 80p 具有不小于 $5\ \mu\text{m}$ 的厚度 H2。作为二氧化硅层中的破裂的成因的阶梯部 2 被认为是在碳化硅外延层 81 的厚度不小于 $5\ \mu\text{m}$ 时而明显产生的。因此,当碳化硅外延层 81 的厚度不小于 $5\ \mu\text{m}$ 时,可更有效地抑制在二氧化硅层中产生破裂。

[0059] (7) 根据实施例的制造碳化硅半导体器件的方法包括以下步骤。制备由 (1) 至 (6) 中的任一项所述的方法制造的碳化硅衬底。形成设置为面对碳化硅外延层 81 的主表面 10a 的二氧化硅层 61, 93。因此,可抑制在设置为面对碳化硅外延层 81 的主表面 10a 的二氧化硅层 61, 93 中产生破裂。

[0060] (8) 优选地,在根据该实施例的制造碳化硅半导体器件的方法中,二氧化硅层 61 包括离子注入掩膜 61a。因此,可抑制在离子注入掩膜 61a 中产生破裂。

[0061] (9) 优选地,在根据该实施例的制造碳化硅半导体器件的方法中,离子注入掩膜 61a 与碳化硅单晶衬底 80 的第一侧端部 80c 接触。因为离子注入掩膜 61a 形成为与已经去除了阶梯部 2 的第一侧端部 80c 接触,因此可抑制在离子注入掩膜 61a 中产生破裂。

[0062] (10) 优选地,在根据该实施例的制造碳化硅半导体器件的方法中,二氧化硅层 93 包括层间绝缘膜 93。因此可抑制在层间绝缘膜 93 中产生破裂。

[0063] (11) 优选地,在根据该实施例的制造碳化硅半导体器件的方法中,二氧化硅层 61, 93 具有不小于 $0.8\ \mu\text{m}$ 且不大于 $20\ \mu\text{m}$ 的厚度 H3。因此,同样在二氧化硅层 61, 93 的厚度 H3 不小于 $0.8\ \mu\text{m}$ 且不大于 $20\ \mu\text{m}$ 时,可抑制在二氧化硅层 61, 93 中产生破裂。

[0064] (12) 优选地,根据该实施例的制造碳化硅半导体器件的方法还包括在形成二氧化硅层的步骤之后对碳化硅衬底 10 和二氧化硅层 61, 93 进行退火的步骤。因此,同样在对碳化硅衬底 10 和二氧化硅层 61, 93 进行退火时,可抑制在二氧化硅层 61, 93 中产生破裂。

[0065] (13) 根据一个实施例的碳化硅衬底包括碳化硅单晶衬底 80 和碳化硅外延层 81。碳化硅单晶衬底 80 具有第一主表面 80a、第二主表面 80b 以及第一侧端部 80c, 第二主表面 80b 与第一主表面 80a 相反,第一侧端部 80c 将第一主表面 80a 和第二主表面 80b 彼此连接,第一主表面 80a 的宽度 D 的最大值大于 100mm。与第一主表面 80a 的中心 80p 接触的碳化硅外延层 81 包括第三主表面 10b 以及第四主表面 10a, 第三主表面 10b 与第一主表面 80a 的中心 80p 接触,第四主表面 10a 与第三主表面 10b 相反。在平行于第一主表面 80a 的方向上,第四主表面 10a 的外周端部 81e 相对于第一主表面 80a 和第一侧端部 80c 之间的边界 80d 更靠近中心 80p。

[0066] 根据依照该实施例的碳化硅衬底,在平行于第一主表面 80a 的方向上,与碳化硅单晶衬底 80 的具有大于 100mm 宽度的第一主表面 80a 的中心 80p 接触的碳化硅外延层 81 的第四主表面 10a 的外周端部 81e 相对于第一主表面 80a 和第一侧端部 80c 之间的边界

80d 位于更靠近中心 80p。因此,可获得已经去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此,当二氧化硅层形成在碳化硅衬底 10 上时,可抑制在二氧化硅层中产生破裂。

[0067] (14) 优选地,在根据该实施例的碳化硅衬底中,在平行于第一主表面 80a 的方向上,第三主表面 10b 的外周端部 81t 相对于第一主表面 80a 和第一部分 80c 之间的边界 80d 更靠近中心 80p。因此,可获得已经去除了边界 80d 上的碳化硅外延层 81 的碳化硅衬底 10。因此,当二氧化硅层形成在碳化硅衬底 10 上时,可抑制在二氧化硅层中产生破裂。

[0068] (15) 优选地,在根据该实施例的碳化硅衬底中,碳化硅外延层 81 包括将第三主表面 10b 和第四主表面 10a 彼此连接的第二侧端部 81c。当在截面中观察时,第二侧端部 81c 形成为具有与第一侧端部 80c 一致的曲率。因此,可获得已经去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此当二氧化硅层形成在碳化硅衬底 10 上时,可抑制在二氧化硅层中产生破裂。

[0069] (16) 优选地,在根据该实施例的碳化硅衬底中,在平行于第一主表面 80a 的方向上,从第四主表面 10a 的外周端部 81e 至边界 80d 的距离 L1 不小于 $10\mu\text{m}$ 且不大于 $5000\mu\text{m}$ 。因此,可有效获得已经去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此,当二氧化硅层形成在碳化硅衬底 10 上时,可抑制在二氧化硅层中产生破裂。

[0070] (17) 优选地,在根据该实施例的碳化硅衬底中,碳化硅外延层 81 具有第一主表面 80a 的中心 80p 上不小于 $5\mu\text{m}$ 的厚度 H2。作为二氧化硅层中的破裂的成因的阶梯部 2 被认为在碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时明显产生。因此,当碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时可更有效抑制在二氧化硅层中产生破裂。

[0071] (18) 根据实施例的碳化硅半导体器件包括:(12)至(14)中的任一项中所述的碳化硅衬底 10;以及设置为面对碳化硅外延层 81 的二氧化硅层 93。因此,可抑制在碳化硅半导体器件的二氧化硅层 93 中产生破裂。

[0072] (19) 优选地,在根据该实施例的碳化硅半导体器件中,二氧化硅层 93 是层间绝缘膜 93。因此,可抑制在碳化硅半导体器件的层间绝缘膜中产生破裂。

[0073] (20) 优选地,在根据该实施例的碳化硅半导体器件中,二氧化硅层 93 具有不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 的厚度 H3。同样在二氧化硅层 93 具有不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 的厚度 H3 时,可抑制在二氧化硅层 93 中产生破裂。

[0074] 以下将更详细说明本发明的实施例。

[0075] (第一实施例)

[0076] 参考图 1 和图 2,下文说明根据第一实施例的碳化硅衬底 10 的构造。根据第一实施例的碳化硅衬底 10 主要包括碳化硅单晶衬底 80 以及碳化硅外延层 81。例如,碳化硅单晶衬底 80 例如由 4H 多晶型的六方碳化硅制成。碳化硅单晶衬底 80 包括诸如氮的杂质元素且具有 n 型导电性(第一导电类型)。碳化硅单晶衬底 80 中诸如氮的杂质例如具有约不小于 $1\times 10^{18}\text{cm}^{-3}$ 且约不大于 $1\times 10^{19}\text{cm}^{-3}$ 的浓度。碳化硅单晶衬底 80 包括:第一主表面 80a;与第一主表面 80a 相反的第二主表面 80b;将第一主表面 80a 和第二主表面 80b 彼此连接的第一侧端部 80c;第一侧端部 80c 和第一主表面 80a 之间的边界 80d;以及最外周部 80e。第一侧端部 80c 是倒圆表面,且当在截面中观察时(平行于第一主表面的方向上的视野)为具有在外周方向上突出的曲率的部分。第一主表面 80a 例如可对应于 $\{0001\}$ 面、相对于 $\{0001\}$ 面偏离约不大于 10° 的平面,或相对于 $\{0001\}$ 面偏离约不大于 0.25° 的平面。换言之

之,第一主表面 80a 例如可以对应于 (0001) 面或 (000-1) 面、相对于 (0001) 面或 (000-1) 面偏离约不大于 10° 的平面,或相对于 (0001) 面或 (000-1) 面偏离约不大于 0.25° 的平面。

[0077] 碳化硅外延层 81 设置在碳化硅单晶衬底 80 的第一主表面 80a 上并与其接触。碳化硅外延层 81 例如具有约不小于 $5\mu\text{m}$ 且不大于 $40\mu\text{m}$ 的厚度。碳化硅外延层 81 包括诸如氮的杂质元素并具有 n 型导电性。碳化硅外延层 81 的杂质浓度可低于碳化硅单晶衬底 80 的杂质浓度。碳化硅外延层 81 的杂质浓度例如约不小于 $1\times 10^{15}\text{cm}^{-3}$ 且约不大于 $1\times 10^{16}\text{cm}^{-3}$ 。碳化硅外延层 81 包括:与第一主表面 80a 接触的第三主表面 10b;与第三主表面 10b 相反的第四主表面 10a;将第三主表面 10b 和第四主表面 10a 彼此连接的第二侧端部 81c;第四主表面 10a 的外周端部 81e;以及第三主表面 10b 的外周端部 81t。

[0078] 参考图 1,当在平面图中观察时(垂直于第四主表面 10a 的方向上的视野),碳化硅衬底 10 的碳化硅单晶衬底 80 的第四主表面 10a 的宽度 D 的最大值大于 100mm。优选地,第四主表面 10a 的宽度 D 的最大值不小于 150mm。碳化硅衬底 10 具有基本上圆形形状。碳化硅衬底 10 具有定向平面部 0F。

[0079] 参考图 2,碳化硅外延层 81 包括:与第一主表面 80a 的中心 80p 接触的第三主表面 10b;以及与第三主表面 10b 相反的第四主表面 10a。当在截面中观察时,在平行于第一主表面 80a 的方向上,第四主表面 10a 的外周端部 81e 相对于第一主表面 80a 和第一侧端部 80c 之间的边界 80d 更靠近中心 80p(参见图 4)。第一主表面 80a 和第一侧端部 80c 之间的边界 80d 可以是第一主表面 80a 和第一侧端部 80c 彼此连接的线的拐点。碳化硅外延层 81 包括将第三主表面 10b 和第四主表面 10a 彼此连接的第二侧端部 81c。第四主表面 10a 的外周端部 81e 可以是第四主表面 10a 和第二侧端部 81c 彼此连接的线的拐点。当在截面中观察时,碳化硅外延层 81 的第二侧端部 81c 形成为具有在外周方向上突出的曲率,且形成为与碳化硅单晶衬底 80 的第一侧端部 80c 一致。优选地,当在截面中观察时,第二侧端部 81c 具有基本上与第一侧端部 80c 相同的曲率半径。

[0080] 第一主表面 80a 和第一侧端部 80c 之间的边界 80d 上的碳化硅外延层 81 具有基本上为 0 的厚度,且在第一主表面 80a 的中心 80p(参见图 4)上的碳化硅外延层 81 例如具有不小于 $5\mu\text{m}$ 的厚度 H2。而且,外延层 81 的第三主表面 10b 的外周端部 81t 位于碳化硅单晶衬底 80 的第一主表面 80a 和第一侧端部 80c 之间的边界 80d 处。优选地,当在截面中观察时,碳化硅单晶衬底 80 的最外周部 80e 相对于第一主表面 80a 和第二主表面 80b 之间的中间位置位于更靠近第一主表面 80a。优选地,在平行于第一主表面 80a 的方向上,从第四主表面 10a 的外周端部 81e 至边界 80d 的距离 L4 不小于 $50\mu\text{m}$ 且不大于 $1000\mu\text{m}$ 。而且,碳化硅衬底 10 的侧端部可在第四主表面 10a 侧和第二主表面 80b 侧之间具有不对称或对称形状。

[0081] 随后,参考图 3,下文说明制造根据第一实施例的碳化硅衬底 10 的方法。首先执行碳化硅单晶衬底制备步骤(S10:图 3)。具体地,参考图 4 和图 5,例如通过切割由 4H 多晶型的单晶碳化硅制成的晶锭(未示出)而制备具有 n 型导电性的碳化硅单晶衬底 80。碳化硅单晶衬底 80 例如包括诸如氮的杂质。碳化硅单晶衬底 80 中诸如氮的杂质的浓度例如约不小于 $1\times 10^{18}\text{cm}^{-3}$ 且约不大于 $1\times 10^{19}\text{cm}^{-3}$ 。碳化硅单晶衬底 80 包括:第一主表面 80a;与第一主表面 80a 相反的第二主表面 80b;将第一主表面 80a 和第二主表面 80b 彼此连接的

第一侧端部 80c ;第一侧端部 80c 和第一主表面 80a 之间的边界 80d ;以及最外周部 80e。

[0082] 参考图 4, 当在平面图中观察时, 碳化硅单晶衬底 80 具有第一主表面 80a 的中心 80p。当第一主表面 80a 是圆形时, 中心 80p 是圆心。当第一主表面不是圆形时, 中心 80p 是第一主表面 80a 与平行于第一主表面 80a 的法线并穿过碳化硅单晶衬底 80 的重心的线之间的交点。第一主表面 80a 例如可对应于 {0001} 面、相对于 {0001} 面偏离约不大于 10° 的平面, 或相对于 {0001} 面偏离约不大于 0.25° 的平面。碳化硅单晶衬底 80 的第一主表面 80a 的宽度 D 的最大值大于 100mm。优选地, 第一主表面 80a 的宽度 D 的最大值不小于 150mm。

[0083] 更具体地, 参考图 31, 碳化硅单晶衬底 80 的第一主表面 80a 例如可对应于 (0001) 面、相对于 (0001) 面偏离约不大于 10° 的平面, 或相对于 (0001) 面偏离约不大于 0.25° 的平面。(0001) 面也被称为“Si 面”。当第一主表面 80a 对应于 (0001) 面时, 垂直于定向平面部 OF 延伸方向的方向 a1 为 $\langle 1-100 \rangle$ 方向, 更特别地, 为 $[1-100]$ 方向。垂直于指示平面部 IF 延伸方向的方向 a2 为 $\langle 11-20 \rangle$ 方向, 更特别地, 为 $[11-20]$ 方向。而且, 参考图 32, 例如碳化硅单晶衬底 80 的第一主表面 80a 可对应于 (000-1) 面、相对于 (000-1) 面偏离约不大于 10° 的平面, 或相对于 (000-1) 面偏离约不大于 0.25° 的平面。(000-1) 面也被称为“C 面”。当第一主表面 80a 对应于 (000-1) 面时, 垂直于定向平面部 OF 延伸方向的方向 a1 为 $\langle 1-100 \rangle$ 方向, 更特别地, 为 $[1-100]$ 方向。垂直于指示平面部 IF 延伸方向的方向 a4 为 $\langle 11-20 \rangle$ 方向, 更特别地, 为 $[11-20]$ 方向。

[0084] 随后执行碳化硅外延层形成步骤 (S20 : 图 3)。具体地, 参考图 6, 例如通过 CVD (化学气相沉积) 方法, 与碳化硅单晶衬底 80 的第一主表面 80a 以及第一侧端部 80c 接触地形成碳化硅外延层 81。碳化硅外延层 81 包括 : 与第一主表面 80a 接触的第三主表面 10b ; 与第三主表面 10b 相反的第四主表面 10a ; 将第三主表面 10b 和第四主表面 10a 彼此连接的第二侧端部 81c ; 以及第二侧端部 81c 和第四主表面 10a 之间的外周端部 81e。

[0085] 更具体地, 碳化硅单晶衬底 80 首先置于腔室中, 且随后将碳化硅单晶衬底加热至例如不小于 1500°C 且不大于 1700°C 的温度。随后, 将碳化硅原料气体引入腔室中。碳化硅原料气体例如是包括硅烷、丙烷、氮和氨的气体。因此, 碳化硅外延层 81 形成为与碳化硅单晶衬底 80 的第一主表面 80a、第一侧端部 80c 以及第一主表面 80a 和第一侧端部 80c 之间的边界 80d 接触。

[0086] 参考图 7A, 当在平面图中观察时, 多个阶梯部 2 形成在外延层 81 的第四主表面 10a 的侧端部 81c 附近。阶梯部 2 形成为在从侧端部 81c 朝向碳化硅单晶衬底 80 的中心 80p 的方向上延伸。典型地, 阶梯部 2 主要形成在附图下侧的第四主表面 10a 的定向平面部 OF 侧以及附图左侧的第四主表面 10a 的第一部分 P1 侧处, 且在与第一部分 P1 相反的第二部分 P2 侧处基本上没有阶梯部 2。应当注意当第四主表面 10a 对应于 (0001) 面时, 第一部分 P1 是指示平面部 IF, 且当第四主表面对应于 (000-1) 面时, 第二部分 P2 是指示平面部 IF。在第四主表面 10a 对应于 (0001) 面和 (000-1) 面中的任一个的情况下, 与第二部分 P2 侧相比, 更多阶梯部 2 形成在第一部分 P1 侧。

[0087] 而且, 参考图 7B, 阶梯部 2 可形成在附图下侧的第四主表面 10a 的定向平面部 OF 侧、与定向平面部 OF 相反的一侧、附图左侧的第四主表面 10a 的第一部分 P1 侧, 以及第一部分 P1 相反的第二部分 P2 侧处。在这种情况下, 在第二部分 P2 侧处形成的阶梯部 2 的

平均长度可长于第一部分 P1 侧处形成的阶梯部 2 的平均长度。而且形成在第二部分 P2 侧处的阶梯部 2 的数量小于形成在第一部分 P1 侧处的阶梯部 2 的数量。而且,除在 $\langle 11-20 \rangle$ 方向上延伸的阶梯部 2 之外,阶梯部 2 可形成为在 $\langle 1-100 \rangle$ 方向上延伸。对于图 7A 的情况来说,当第四主表面 10a 对应于 (0001) 面时,第一部分 P1 是指示平面部 IF,且当第四主表面 10a 对应于 (000-1) 面时,第二部分 P2 是指示平面部 IF。

[0088] 参考图 8 至图 10,下文说明阶梯部 2 的细节。如图 8 中所示,当第四主表面 10a 对应于 {0001} 面时,阶梯部 2 形成为在第四主表面 10a 中相对于 $\langle 11-20 \rangle$ 方向落入 $\pm 20^\circ$ 的范围内的方向上从第二侧端部 81c 延伸。换言之,假设角度 θ 代表阶梯部 2 的延伸方向 a3 和定向平面部 0F 延伸的方向 a2 之间的形成第四主表面 10a 中的角度,则角度 θ 处于不小于 -20° 且不大于 20° 的范围内。注意到对于角度的正/负值来说,可假设正值的角度表示阶梯部 2 相对于 $\langle 11-20 \rangle$ 方向朝向 $\langle 1-100 \rangle$ 方向倾斜。阶梯部 2 在从第一侧端部 80c 朝向碳化硅单晶衬底 80 的中心 80p 的方向上例如具有不小于 $50 \mu\text{m}$ 且不大于 $5000 \mu\text{m}$ 的长度。通过将阶梯部的长度 L3 除以第一主表面 80a 的宽度的最大值获得的比值不小于 0.03% 且不大于 5%。例如,从碳化硅单晶衬底 80 的第二侧端部 81c 的外周端部至边界 81d 的距离 L2 是 $150 \mu\text{m}$ 。例如,在平行于定向平面部延伸的方向 a2 上,从边界 81d 至阶梯部 2 的终端的距离 L1 是 $200 \mu\text{m}$ 。距离 L1 例如为不小于 $200 \mu\text{m}$ 且不大于 $1000 \mu\text{m}$,且优选不小于 $300 \mu\text{m}$ 且不大于 $600 \mu\text{m}$ 。从第一侧端部 80c 朝向中心 80p 的方向上的阶梯部 2 的长度 L3 例如不小于 $50 \mu\text{m}$ 且不大于 $5000 \mu\text{m}$ 。

[0089] 参考图 9,阶梯部 2 是在碳化硅外延层 81 的第四主表面 10a 中具有开口的破裂,且可具有形成在碳化硅外延层 81 中的底部。从第四主表面 10a 的最外表面至阶梯部 2 的底部的深度 H1 (即,在垂直于第一主表面 80a 的方向上的阶梯部 2 的深度 H1) 例如不小于 $1 \mu\text{m}$ 且不大于 $50 \mu\text{m}$ 。

[0090] 参考图 8 和图 10,阶梯部 2 形成在碳化硅单晶衬底 80 的第一侧端部 80c 上方、第一主表面 80a 上方、以及第一侧端部 80c 和第一主表面 80a 之间的边界 80d 上方。在形成在第一主表面 80a 上的碳化硅外延层 81 的第四主表面 10a 中,形成由于步进流量 (step-flow) 生长造成的阶梯 3。阶梯部 2 可以是阶梯聚集 (step bunching)。由于步进流量生长造成的阶梯 3 具有约 1nm 至 10nm 的典型值,而阶梯部 2 中的阶梯约为 $1 \mu\text{m}$ 至 $50 \mu\text{m}$ 。阶梯部 2 可形成为从碳化硅外延层 81 的形成在具有多个面取向的暴露表面的第一侧端部 80c 上的部分延伸至碳化硅外延层 81 的形成在第一主表面上的部分。

[0091] 参考图 11,假设碳化硅外延层 81 的第四主表面 10a 对应于在 $\langle 11-20 \rangle$ 方向上相对于 {0001} 面偏离一定角度的平面。这里,假设 c1 方向是 $\langle 0001 \rangle$ 方向且 a5 方向是 $\langle 11-20 \rangle$ 方向。在这种情况下,方向 a2 是沿通过在第四主表面 10a 上投影平行于 $\langle 11-20 \rangle$ 方向的直线获得的直线的方向 a2。如图 8 中所示,阶梯部 2 在第四主表面 10a 中延伸的方向 a3 是沿通过在第四主表面 10a 中旋转落入 $\pm 20^\circ$ 的范围内的角度 θ 下述直线而获得的直线的方向,其中被旋转的直线是通过在第四主表面 10a 上投影平行于 $\langle 11-20 \rangle$ 方向的直线获得的直线。这里, c2 方向是第四主表面 10a 的法线方向。应当注意当角度 α (偏离角) 是 0° 时, a2 方向是 $\langle 11-20 \rangle$ 方向。

[0092] 随后执行外延层端部去除步骤 (S30; 图 3)。具体地,参考图 12,例如通过抛光等去除碳化硅单晶衬底 80 的第一侧端部 80c 以及碳化硅外延层 81 的第二侧端部 81c,由此去

除形成为与第一侧端部 80c 和边界 80d 接触的碳化硅外延层 81。因此,阶梯部 2 从碳化硅外延层 81 的第四主表面 10a 去除。在图 12 中,通过虚线表示的部分代表抛光前的碳化硅衬底 10 的形状,且由实线表示的部分是抛光后的碳化硅衬底 10 的形状。优选地,碳化硅单晶衬底 80 的第一侧端部 80c 和碳化硅外延层 81 的第二侧端部 81c 同时在平行于第一主表面 80a 的方向上被抛光,由此去除阶梯部 2。碳化硅单晶衬底 80 和碳化硅外延层 81 中的每一个的抛光量 L5 例如约不小于 50nm 且不大于 1000 μm 。

[0093] 例如可借助倒圆或边缘抛光去除阶梯部 2。用于倒圆的条件例如如下。即,通过将衬底的端面压向布置于层型磨石中的所需形状的凹槽部并相对于彼此旋转衬底和磨石而倒圆衬底的端部。在层型磨石中,磨粒的类型是金刚石或 CBN(立方氮化硼),磨粒的支数为 400 支至 2500 支,且结合剂是金属、电沉积物以及树脂中的一种。用于边缘抛光的条件例如如下。通过将衬底的端部压向其中磨粒的类型为金刚石或 CBN 的磨石而抛光衬底的端面,磨粒的支数为 1000 支至 10000 支,且结合剂是金属、电沉积物、树脂以及硬橡胶中的一种。应当注意阶梯部 2 在下述二氧化硅层形成步骤(S40:图 15)之前被去除。

[0094] 下文说明根据第一实施例的碳化硅衬底 10 的功能和效果。

[0095] 根据依照该实施例的制造碳化硅衬底的方法,碳化硅外延层 81 形成为与碳化硅单晶衬底 80 的第一主表面 80a、第一侧端部 80c 以及边界 80d 接触,第一主表面 80a 具有大于 100mm 宽度,且随后去除形成为与第一侧端部 80c 和边界 80d 接触的碳化硅外延层 81。因此,去除了形成在第一侧端部 80c 和边界 80d 中的阶梯部 2,由此在二氧化硅层形成在碳化硅衬底 10 上时抑制在二氧化硅层中产生破裂。

[0096] 而且,根据依照第一实施例的制造碳化硅衬底 10 的方法,在形成碳化硅外延层的步骤中,形成在边界上具有阶梯部 2 的碳化硅外延层 81。在去除碳化硅外延层的步骤中,去除了阶梯部 2。因此,当二氧化硅层形成在碳化硅衬底上时,可有效抑制在二氧化硅层中产生破裂。

[0097] 而且,根据依照第一实施例的制造碳化硅衬底 10 的方法,阶梯部 2 形成为沿通过第一主表面 80a 中在 $\pm 20^\circ$ 范围内旋转下述直线而获得的直线延伸,其中被旋转的所述直线是通过在第一主表面 80a 上投影平行于 $\langle 11-20 \rangle$ 方向的直线获得的。认为二氧化硅层中的破裂特别是由于沿通过第一主表面 80a 中在 $\pm 20^\circ$ 范围内旋转下述直线而获得的直线延伸的阶梯部 2 产生的,其中被旋转的所述直线是通过在第一主表面 80a 上投影平行于 $\langle 11-20 \rangle$ 方向获得的直线。因此,通过去除在上述方向上延伸的阶梯部,可有效抑制在二氧化硅层中产生破裂。

[0098] 而且,根据依照第一实施例的制造碳化硅衬底 10 的方法,在从第一侧端部 80c 朝向中心 80p 的方向上的各个阶梯部 2 的长度 L3 不小于 50 μm 且不大于 5000 μm 。认为二氧化硅层中的破裂特别是由于具有不小于 100 μm 长度的阶梯部而产生的。因此,通过去除具有上述长度的阶梯部 2,可更有效抑制在二氧化硅层中产生破裂。

[0099] 此外,根据依照第一实施例的制造碳化硅衬底 10 的方法,在垂直于第一主表面 80a 的方向上的阶梯部 2 的深度 H1 不小于 1 μm 且不大于 50 μm 。认为二氧化硅层中的破裂特别是由于具有不小于 5 μm 深度的阶梯部而产生的。因此,通过去除具有上述深度的阶梯部,可更有效抑制在二氧化硅层中产生破裂。

[0100] 此外,根据依照第一实施例的制造碳化硅衬底 10 的方法,第一主表面 80a 的中心

80p 上的碳化硅外延层 81 的厚度 H2 不小于 $5\mu\text{m}$ 。作为二氧化硅层的破裂成因的阶梯部 2 被认为是在碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时明显产生。因此,当碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时可更有效抑制在二氧化硅层中产生破裂。

[0101] 根据依照第一实施例的碳化硅衬底 10,在平行于第一主表面 80a 的方向上,与碳化硅单晶衬底 80 的具有大于 100mm 宽度的第一主表面 80a 的中心 80p 接触的碳化硅外延层 81 的第四主表面 10a 的外周端部 81e 相对于第一主表面 80a 和第一侧端部 80c 之间的边界 80d 位于更靠近中心 80p。因此,可获得已经去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此,在二氧化硅层形成在碳化硅衬底 10 上时可抑制在二氧化硅层中产生破裂。

[0102] 而且,根据依照第一实施例的碳化硅衬底 10,碳化硅外延层 81 包括将第三主表面 10b 以及第四主表面 10a 彼此连接的第二侧端部 81c。当在截面中观察时,第二侧端部 81c 形成为具有与第一侧端部 80c 一致的曲率。因此,可获得已经去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此,在二氧化硅层形成在碳化硅衬底 10 上时可抑制在二氧化硅层中产生破裂。

[0103] 而且,根据依照第一实施例的碳化硅衬底 10,第一主表面 80a 的中心 80p 上的碳化硅外延层 81 的厚度 H2 不小于 $5\mu\text{m}$ 。作为二氧化硅层中破裂的成因的阶梯部 2 被认为在碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时明显产生。因此,在碳化硅外延层 81 的厚度不小于 $5\mu\text{m}$ 时可更有效抑制在二氧化硅层中产生破裂。

[0104] (第二实施例)

[0105] 参考图 13 和图 14,下文说明作为根据第二实施例的碳化硅半导体器件的 MOSFET 1 的结构。

[0106] 根据第二实施例的 MOSFET 1 主要包括碳化硅衬底 10、栅极绝缘膜 91、栅电极 92、层间绝缘膜 93、源电极 94、源极互连 95 以及漏电极 98。碳化硅衬底 10 是第一实施例中说明的碳化硅衬底 10。即,碳化硅衬底 10 具有碳化硅单晶衬底 80 以及碳化硅外延层 81。碳化硅衬底 10 还包括 p 型基区 82、n 型区 83、以及 p 型接触区 84。

[0107] p 型基区 82 中的每一个都具有 p 型(第二导电类型)。p 型基区 82 设置在 n 型漂移区 85 上。p 型基区 82 例如具有 $1\times 10^{18}\text{cm}^{-3}$ 的杂质浓度。n 型区 83 具有 n 型(第一导电类型)。n 型区 83 设置在 p 型基区 82 上以便通过 p 型基区层 82 与 n 型漂移区 85 隔开。p 型接触区 84 具有 p 型。p 型接触区 84 连接至源电极 94 以及 p 型基区 82。

[0108] 沟槽 TR 设置在碳化硅衬底 10 的第四主表面 10a 中。沟槽 TR 具有侧壁表面 SW 和底部 BT。侧壁表面 SW 通过 n 型区 83 和 p 型基区 82 延伸至 n 型漂移区 85。侧壁表面 SW 包括 p 型基区 82 上的 MOSFET 1 的沟道表面。

[0109] 侧壁表面 SW 相对于碳化硅衬底 10 的第四主表面 10a 倾斜,且沟槽 TR 以锥形方式朝向开口扩展。侧壁表面 SW 优选具有相对于 (000-1) 面倾斜不小于 50° 且不大于 65° 的面取向。底部 BT 位于 n 型漂移区 85 上。在本实施例中,底部 BT 是基本上平行于碳化硅衬底 10 的第四主表面 10a 的表面。

[0110] 栅极绝缘膜 91 覆盖沟槽 TR 的侧壁表面 SW 和底部 BT 中的每一个。栅电极 92 设置在栅极绝缘膜 91 上。源电极 94 与 n 型区 83 和 p 型接触区 84 中的每一个接触。源极互连 95 与源电极 94 接触。源极互连 95 例如是铝层。层间绝缘膜 93 在栅电极 92 和源极互连 95 之间绝缘。漏电极 98(背面电极)设置为与碳化硅单晶衬底 80 接触。

[0111] 以下参考图 15 至图 26, 下文说明根据第二实施例的制造 MOSFET 1 的方法。

[0112] 首先, 通过与第一实施例中所述的制造碳化硅衬底 10 的方法相同的方法制备碳化硅衬底 10。具体地, 执行碳化硅单晶衬底制备步骤 (S10 : 图 3, 图 15)、碳化硅外延层形成步骤 (S20 : 图 3, 图 15), 以及外延层端部去除步骤 (S30 : 图 3, 图 15)。

[0113] 随后, 执行形成 p 型基区和 n 型漂移区的步骤。具体地, 参考图 16, 为了形成 p 型基区 82, 诸如铝 (Al) 的用于提供 p 型的杂质离子注入 n 型漂移区 85 的整个第四主表面 10a 中。而且, 为了形成 n 型区 83, 诸如磷 (P) 的用于提供 n 型的杂质离子注入整个第四主表面 10a 中。应当注意替代离子注入, 可采用包括杂质添加的外延生长。

[0114] 随后, 执行二氧化硅层形成步骤 (S40 : 图 15)。具体地, 参考图 17 和图 18, 二氧化硅层 61 形成为与碳化硅外延层 81 的第四主表面 10a 以及第二侧端部 81c 以及碳化硅单晶衬底 80 的第一侧端部 80c 接触。二氧化硅层 61 例如通过 CVD 形成。二氧化硅层 61 在面对于碳化硅单晶衬底 80 的中心 80p 的位置的厚度 H3 例如不小于 $0.8\ \mu\text{m}$ 且不大于 $20\ \mu\text{m}$ 。优选地, 二氧化硅层 61 的厚度 H3 例如不小于 $1.0\ \mu\text{m}$ 且不大于 $2.2\ \mu\text{m}$ 。随后, 执行热处理以使二氧化硅层 61 致密。用于使二氧化硅层 61 致密的热处理通过将二氧化硅层 61 在氮气气氛下在 850°C 的温度下保持 30 分钟而执行。随后, 在二氧化硅层 61 上, 执行光刻以形成具有对应于其中将要形成 p 型接触区 84 的位置的开口的抗蚀剂层 (未示出)。随后, 蚀刻二氧化硅层 61 的一部分以形成具有对应于其中将要形成 p 型接触区 84 的位置的开口的离子注入掩膜 61。离子注入掩膜 61 由二氧化硅制成。

[0115] 随后, 执行离子注入步骤 (S50 : 图 15)。参考图 19, 通过采用离子注入掩膜 61 的离子注入形成 p 型接触区 84。具体地, 采用离子注入掩膜 61, 用于提供诸如铝 (Al) 的 p 型的杂质离子注入第四主表面 10a 中。随后, 去除离子注入掩膜 61 (图 20)。因此, 通过光刻方法和离子注入, p 型接触区 84 形成为将碳化硅衬底 10 的第四主表面 10a 和 p 型基区 82 彼此连接。

[0116] 随后, 执行热处理以活化杂质。这种热处理优选在不小于 1500°C 且不大于 1900°C 的温度, 例如约 1700°C 的温度下执行。热处理例如执行约 30 分钟。热处理的气氛优选是惰性气体气氛, 例如 Ar 气氛。

[0117] 参考图 21, 通过光刻方法在由 n 型区 83 和 p 型接触区 84 构成的表面上形成具有开口的掩膜层 40。对于掩膜层 40 来说, 例如可采用二氧化硅等。开口形成为对应于其中将要形成沟槽 TR (图 13) 的位置。

[0118] 随后, 执行凹部形成步骤 (S60 : 图 15)。具体地, 参考图 22, 其上形成有掩膜层 40 的碳化硅衬底 10 经历等离子体蚀刻, 由此在碳化硅衬底 10 的第四主表面 10a 中形成凹部 TQ。通过掩膜层 40 的开口, 借助蚀刻去除碳化硅衬底 10 的 n 型区 83、p 型基区 82 以及 n 型漂移区 85 的一部分而形成凹部 TQ。对于示例性蚀刻方法来说, 可采用干法蚀刻, 更具体地, 可采用电感耦合等离子体反应离子蚀刻 (ICP-RIE)。例如, 通过采用 SF_6 或 SF_6 和 O_2 的混合气体作为反应气体对碳化硅衬底 10 的第四主表面 10a 进行 ICP-RIE, 在其中将要形成沟槽 TR (图 1) 的区域中形成凹部 TQ, 其具有基本上在碳化硅衬底 10 的厚度方向 (附图中的纵向) 上延伸的侧壁表面 A 以及底部 B。

[0119] 随后, 执行热蚀刻步骤 (S70 : 图 15)。具体地, 热蚀刻形成在碳化硅衬底 10 中的凹部 TQ。在热蚀刻步骤中, 在供应具备包括氯的气体的炉时, 碳化硅衬底 10 的凹部 TQ 的侧

壁表面 A 在炉中被热蚀刻。例如通过在炉中,在不小于 1000℃ 且不大于 1800℃ 的温度下加热碳化硅衬底 10 约 20 分钟而蚀刻碳化硅衬底 10 的凹部 TQ 的侧壁表面 A。碳化硅衬底 10 的热蚀刻温度优选不小于 800℃,更优选不小于 1300℃,且进一步优选不小于 1500℃。应当注意由二氧化硅形成且因此相对于碳化硅具有非常大的选择比的掩膜层 40 在碳化硅的热蚀刻过程中基本上不被蚀刻。

[0120] 如图 23 中所示,通过执行热蚀刻步骤,凹部 TQ 的侧壁表面 A 和底部 B 例如被蚀刻掉约 2nm 至 0.1 μm ,由此在碳化硅衬底 10 中形成由侧壁表面 SW 和底部 BT 构成的沟槽 TR。随后,通过诸如蚀刻的适当方法去除掩膜层 40。沟槽 TR 由作为侧表面的侧壁表面 SW 以及连续连接至侧壁表面 SW 的底部 BT 构成。底部 BT 可以是表面以及可以是线。在底部 BT 是线的情况下,沟槽 TR 的形状在截面中观察时为 V 形。

[0121] 随后,执行栅极绝缘膜形成步骤 (S80 :图 15)。具体地,参考图 24,在通过热蚀刻凹部 TQ 的侧壁表面 A 形成沟槽 TR 之后,栅极绝缘膜 91 形成成为与沟槽 TR 的侧壁表面 SW 接触。栅极绝缘膜 91 形成成为与 n 型漂移区 85、p 型基区 82、n 型区 83 以及 p 型接触区 84 接触,以便覆盖沟槽 TR 的侧壁表面 SW 和底部 BT 中的每一个。栅极绝缘膜 91 由二氧化硅制成,且例如通过热氧化形成。

[0122] 在栅极绝缘膜 91 形成之后,可执行采用一氧化氮 (NO) 气体作为气氛气体的 NO 退火。具体地,例如,具有其上形成栅极绝缘膜 91 的碳化硅衬底 10 在一氧化氮气氛下,在不小于 1100℃ 且不大于 1300℃ 的温度下被保持约 1 小时。

[0123] 随后,执行栅电极形成步骤 (S90 :图 15)。具体地,参考图 25,栅电极 92 形成在栅极绝缘膜 91 上。具体地,栅电极 92 形成在栅极绝缘膜 91 上以便填充沟槽 TR 中的区域,且以栅极绝缘膜 91 插入其间。栅电极 92 例如可通过形成导体或掺杂多晶硅的膜并执行 CMP 而形成。

[0124] 随后,执行层间绝缘膜形成步骤。具体地,层间绝缘膜 93 形成在栅电极 92 以及栅极绝缘膜 91 上以便覆盖栅电极 92 的暴露表面。执行蚀刻以在层间绝缘膜 93 和栅极绝缘膜 91 中形成开口。通过开口,n 型区 83 和 p 型接触区 84 中的每一个都暴露在第四主表面 10a 上。层间绝缘膜 93 例如具有约 1.0 μm 的厚度。层间绝缘膜 93 的厚度例如不小于 0.8 μm 且不大于 20 μm 且优选不小于 1.0 μm 且不大于 2.2 μm 。

[0125] 随后,执行源电极形成步骤 (S100 :图 15)。源电极 94 形成在与 n 型区 83 和 p 型接触区 84 中的每一个接触的第四主表面 10a 上。具体地,例如通过溅射,包括 Ti, Al 和 Si 的金属膜与 n 型区 83 和 p 型接触区 84 中的每一个接触。随后,通过在约 1000℃ 下对其上形成有金属膜的碳化硅衬底 10 进行退火,来合金化金属膜,由此形成与碳化硅衬底 10 欧姆接触的源电极 94。以类似方式,漏电极 98 形成在碳化硅单晶衬底 80 的第二主表面 80b 上。

[0126] 再次参考图 13,源极互连 95 形成成为与源电极 94 和层间绝缘膜 93 接触。对于源极互连 95 来说,例如采用 Ti/Al 层。以此方式,完成根据第二实施例的 MOSFET 1。

[0127] 以下,下文说明根据第二实施例的 MOSFET 1 的功能和效果。

[0128] 根据依照第二实施例的制造 MOSFET 1 的方法,制备通过第一实施例中说明的方法制造的碳化硅衬底 10。二氧化硅层 61,93 形成成为设置为面对碳化硅外延层 81 的主表面 10a。因此,可抑制设置为面对碳化硅外延层 81 的主表面 10a 的二氧化硅层 61,93 中产生破裂。

[0129] 而且,根据依照第二实施例的制造 MOSFET 1 的方法,二氧化硅层 61 包括离子注入掩膜 61a。因此,可抑制离子注入掩膜 61a 中产生破裂。

[0130] 此外,根据依照第二实施例的制造 MOSFET 1 的方法,离子注入掩膜 61a 与碳化硅单晶衬底 80 的第一侧端部 80c 接触。因为离子注入掩膜 61a 形成为与已经去除了阶梯部 2 的第一侧端部 80c 接触,因此可抑制离子注入掩膜 61a 中产生破裂。

[0131] 而且,根据依照第二实施例的制造 MOSFET 1 的方法,二氧化硅层 93 包括层间绝缘膜 93。因此,可抑制层间绝缘膜 93 中产生破裂。

[0132] 而且,根据依照第二实施例的制造 MOSFET 1 的方法,二氧化硅层 61,93 的厚度 H3 不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 。因此,同样在二氧化硅层 61,93 的厚度 H3 不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 时,可抑制二氧化硅层 61,93 中产生破裂。

[0133] 而且,根据依照第二实施例的制造 MOSFET 1 的方法还包括在形成二氧化硅层的步骤之后对碳化硅衬底 10 和二氧化硅层 61,93 进行退火的步骤。因此,同样在对碳化硅衬底 10 和二氧化硅层 61,93 进行退火时,可抑制二氧化硅层 61,93 中产生破裂。

[0134] 根据第二实施例的 MOSFET 1 包括:第一实施例中所述的碳化硅衬底 10;以及设置为面对碳化硅外延层 81 的二氧化硅层 93。因此,可抑制 MOSFET 1 的二氧化硅层 93 中的破裂。

[0135] 而且,根据依照第二实施例的 MOSFET 1,二氧化硅层 93 是层间绝缘膜 93。因此,可抑制 MOSFET 的层间绝缘膜 93 中的破裂。

[0136] 而且,根据依照第二实施例的 MOSFET 1,二氧化硅层 93 的厚度 H3 不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 。同样在二氧化硅层 93 的厚度 H3 不小于 $0.8\mu\text{m}$ 且不大于 $20\mu\text{m}$ 时,可抑制二氧化硅层 93 中产生破裂。

[0137] (第三实施例)

[0138] 以下,下文说明根据第三实施例的碳化硅衬底 10 的构造。根据第三实施例的碳化硅衬底 10 的构造与根据第一实施例的碳化硅衬底 10 的构造相同,除以下要点之外。因此,相同或相应的部分由相同的参考符号指定且不再赘述。具体地,根据第一实施例的碳化硅衬底 10 中的碳化硅外延层 81 的第三主表面 10b 的外周端部 81t 以及碳化硅单晶衬底 80 的第一主表面 80a 和第一侧端部 80c 之间的边界 80d 在平行于第一主表面 80a 的方向上基本上位于相同位置,而根据第三实施例的碳化硅衬底 10 中的碳化硅外延层 81 的第三主表面 10b 的外周端部 81t 在平行于第一主表面 80a 的方向上相对于碳化硅单晶衬底 80 的第一主表面 80a 和第一侧端部 80c 之间的边界 80d 位于更靠近中心 80p。

[0139] 参考图 27,根据第三实施例的碳化硅衬底 10 主要包括碳化硅单晶衬底 80 和碳化硅外延层 81。碳化硅外延层 81 包括:与第一主表面 80a 的中心 80p 接触第三主表面 10b;以及与第三主表面 10b 相反的第四主表面 10a。当在截面中观察时,第四主表面 10a 的外周端部 81e 在平行于第一主表面 80a 的方向上相对于第一主表面 80a 和第一侧端部 80c 之间的边界 80d 位于更靠近中心 80p。而且,在平行于第一主表面 80a 的方向上,碳化硅外延层 81 的第三主表面 10b 的外周端部 81t 相对于碳化硅单晶衬底 80 的第一主表面 80a 和第一侧端部 80c 之间的边界 80d 更靠近中心 80p。在平行于第一主表面 80a 的方向上从第四主表面 10a 的外周端部 81e 至边界 80d 的距离 L1 例如不小于 $200\mu\text{m}$ 且不大于 $1000\mu\text{m}$ 。距离 L1 优选不小于 $300\mu\text{m}$ 且不大于 $600\mu\text{m}$ 。而且,在平行于第一主表面 80a 的方向上从碳

化硅单晶衬底 80 的最外周部 80e 至边界 80d 的距离 L1 为 150 μm 。优选地,碳化硅外延层 81 不设置在碳化硅单晶衬底 80 的边界 80d 和第一侧端部 80c 处。

[0140] 下文说明根据第三实施例的制造碳化硅衬底 10 的方法。根据第三实施例的制造碳化硅衬底 10 的方法与根据第一实施例的制造碳化硅衬底 10 的方法相同,除外延层端部去除步骤 (S30 :图 3) 之外。

[0141] 参考图 3, 以与第一实施例中所述的方法相同的方式执行碳化硅单晶衬底制备步骤 (S10 :图 3) 以及碳化硅外延层形成步骤 (S20 :图 3)。

[0142] 以下,执行外延层端部去除步骤 (S30 :图 3)。具体地,参考图 27,去除碳化硅单晶衬底 80 的第一侧端部 80c、第一主表面 80a 和第一侧端部 80c 之间的边界 80d 以及形成在第一主表面 80a 的一部分上的碳化硅外延层 81,由此保留与碳化硅单晶衬底 80 的中心 80p 接触的碳化硅外延层 81。因此,去除形成在碳化硅外延层 81 的端部处的阶梯部 2。在平行于第一主表面 80a 的方向上的去除的碳化硅外延层 81 的宽度由距离 L2+ 距离 L1 得到。距离 L2 是 150 μm 且距离 L1 例如不小于 200 μm 且不大于 1000 μm 。距离 L1 优选不小于 300 μm 且不大于 600 μm 。通过干法蚀刻或湿法蚀刻去除碳化硅外延层 81。对于干法蚀刻的条件来说,通过例如采用利用 Ar 的物理处理或利用 SF_6 的化学处理或其组合处理实现去除,而对于湿法蚀刻的条件来说,例如通过 NaOH (氢氧化钠), KOH (氢氧化钾) 或其组合实现去除。

[0143] 参考图 29,通过外延层端部去除步骤 (S30 :图 3),可去除具有与阶梯部 2 的深度可比较的厚度的碳化硅外延层 81,且碳化硅外延层 81 的一部分可保留为保留的外延部 81f。保留的外延部 81f 设置在碳化硅单晶衬底 80 的第一侧端部 80c 上并与其接触。边界 80d 上的保留的外延部 81f 的厚度 H4 小于第一主表面 80a 的中心 80p 上的碳化硅外延层 81 的厚度 H2。保留的外延部 81f 是由于第一实施例中所述的阶梯部 2 的去除而保留的部分。碳化硅外延层 81 的第四主表面 10a 的外周端部 81e 在平行于第一主表面 80a 的方向上相对于边界 80d 位于更靠近中心 80p。

[0144] 参考图 30,通过外延层端部去除步骤 (S30 :图 3),可过蚀刻第一主表面 80a 的一部分以及第一侧端部 80c 的一部分。通过第一主表面 80a 的该部分以及第一侧端部 80c 的该部分的过蚀刻,阶梯表面 80f 形成在第一主表面 80a 的端部处。阶梯表面 80f 通过沿从碳化硅外延层 81 的第四主表面 10a 的外周端部 81e 延伸至第三主表面 10b 的外周端部 81t 的表面蚀刻第一主表面 80a 而形成。从阶梯表面 80f 至第二主表面 80b 的距离短于从第一主表面 80a 至第二主表面的距离。

[0145] 以下,下文说明根据第三实施例的 MOSFET 1 的功能和效果。

[0146] 根据依照第三实施例的碳化硅衬底 10,在平行于第一主表面 80a 的方向上,第三主表面 10b 的外周端部 81t 相对于第一主表面 80a 和第一侧端部 80c 之间的边界 80d 更靠近中心 80p。因此,可获得已经去除了边界 80d 上的碳化硅外延层 81 的碳化硅衬底 10。因此,在二氧化硅层形成在碳化硅衬底 10 上时,可抑制二氧化硅层中产生破裂。

[0147] 而且,根据依照第三实施例的碳化硅衬底 10,在平行于第一主表面 80a 的方向上从第四主表面 10a 的外周端部 81e 至边界 80d 的距离 L1 不小于 10 μm 且不大于 5000 μm 。因此,可获得已经有效去除了边界 80d 上的阶梯部 2 的碳化硅衬底 10。因此,在二氧化硅层形成在碳化硅衬底 10 上时,可抑制二氧化硅层中产生破裂。

[0148] (第四实施例)

[0149] 以下,下文说明根据第四实施例的 MOSFET 1 的构造和制造方法。根据第四实施例的 MOSFET 1 的构造和制造方法与根据第二实施例的 MOSFET 1 的不同之处在于根据第四实施例的 MOSFET 1 采用根据第三实施例的碳化硅衬底 10,而根据第二实施例的 MOSFET 1 采用根据第一实施例的碳化硅衬底 10,且其他构造和制造方法与根据第二实施例的 MOSFET 1 相同。

[0150] 参考图 28,将说明根据第四实施例的制造 MOSFET 1 的方法。如上所述,根据第四实施例的制造 MOSFET 1 的方法采用根据第三实施例的碳化硅衬底 10。

[0151] 以与根据第三实施例的制造碳化硅衬底 10 的方法相同的方式,执行碳化硅单晶衬底制备步骤(S10:图 3,图 15)、碳化硅外延层形成步骤(S20:图 3,图 15),以及外延层端部去除步骤(S30:图 3,图 15),由此制备图 27 中所示的碳化硅衬底 10。

[0152] 随后,执行二氧化硅层形成步骤(S40:图 15)。具体地,参考图 28,作为离子注入掩膜的二氧化硅层 61 形成为与碳化硅单晶衬底 80 的第一侧端部 80c 和第一主表面 80a 的一部分以及碳化硅外延层 81 的第四主表面 10a 接触。

[0153] 随后,以与第三实施例中所述的方法相同的方式执行离子注入步骤(S50:图 15)、凹部形成步骤(S60:图 15)、热蚀刻步骤(S70:图 15)、栅极绝缘膜形成步骤(S80:图 15)、栅电极形成步骤(S90:图 15)以及源电极形成步骤(S70:图 15),由此制造图 13 中所示的 MOSFET 1。

[0154] 应当注意在上述各个实施例中,第一导电类型假设为 n 型且第二导电类型假设为 p 型,但是第一导电类型可以是 p 型且第二导电类型可以是 n 型。而且,MOSFET 已被示例为第二和第四实施例中的碳化硅半导体器件的实例,碳化硅半导体器件可以是 IGBT(绝缘栅双极晶体管)、SBD(肖特基势垒二极管)等等。

[0155] 本文公开的实施例在任何方面都是说明性而非限制性的。本发明的范围由权利要求限定,而不是上述实施例限定,且旨在包括等效于权利要求的范围和含义内的任何变型。

[0156] 参考符号列表

[0157] 1:碳化硅半导体器件(MOSFET);2:阶梯部;3:阶梯;10:碳化硅衬底;10a:第四主表面;10b:第三主表面;40:掩膜层;61:二氧化硅层(离子注入掩膜);80:碳化硅单晶衬底;80a:第一主表面;80b:第二主表面;80c:第一侧端部;80d,81d:边界;80e:最外周部;80f:阶梯表面;80p:中心;81:碳化硅外延层(n型漂移区);81c:第二侧端部;81e,81t:外周端部;81f:残留的外延部;82:p型基区;83:n型区;84:p型接触区;91:栅极绝缘膜;92:栅电极;93:层间绝缘膜;94:源电极;95:源极互连;98:漏电极;A,SW:侧壁表面;B,BT:底部;IF:指示平面部;OF:定向平面部;TQ:凹部;TR:沟槽;a1:<1-100>方向;a2,a4,a5:<11-20>方向;a3:延伸方向。

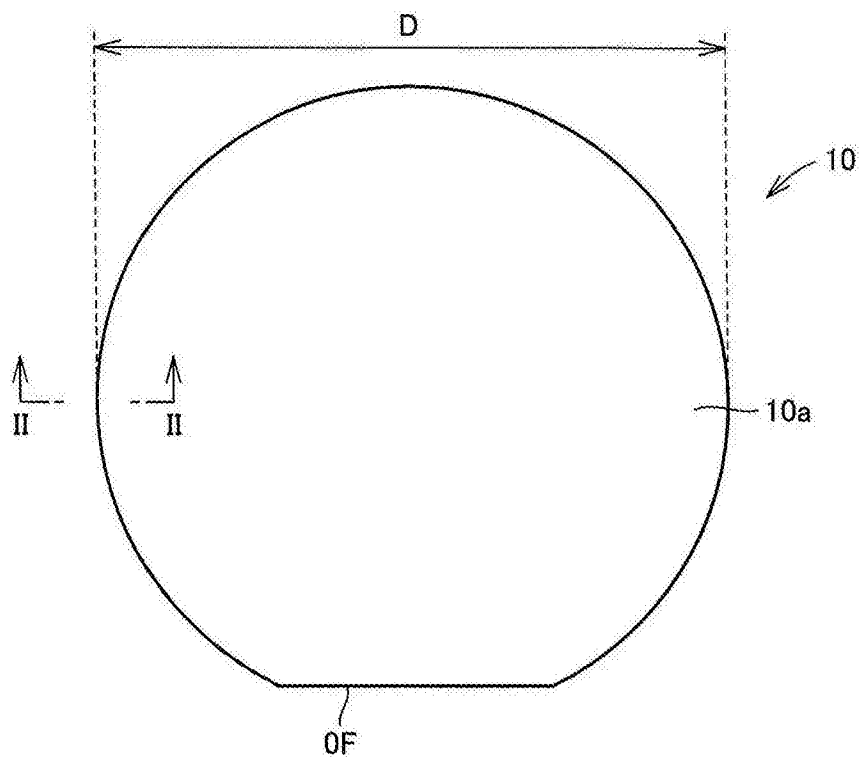


图 1

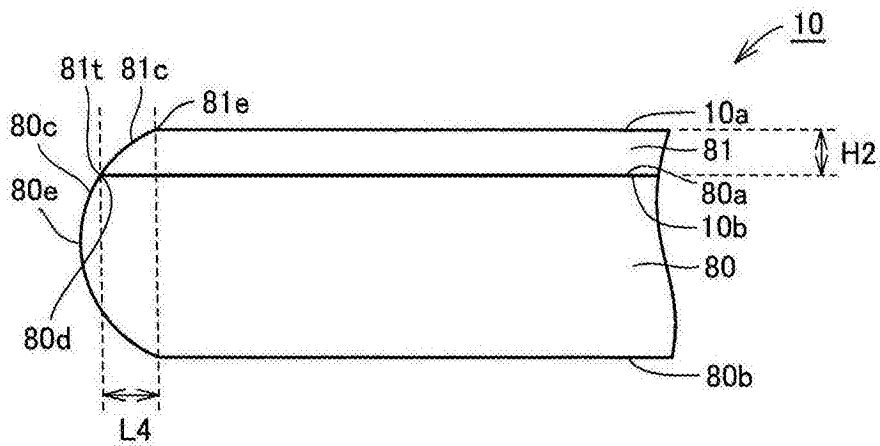


图 2

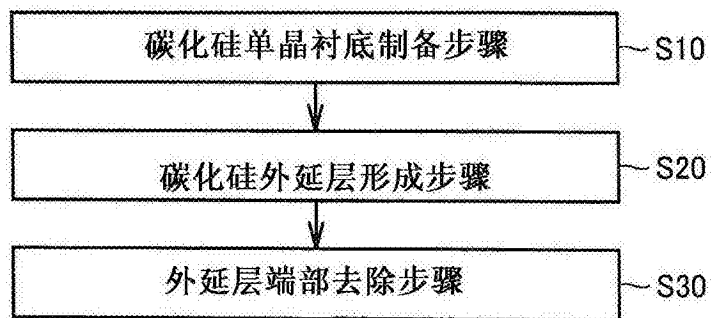


图 3

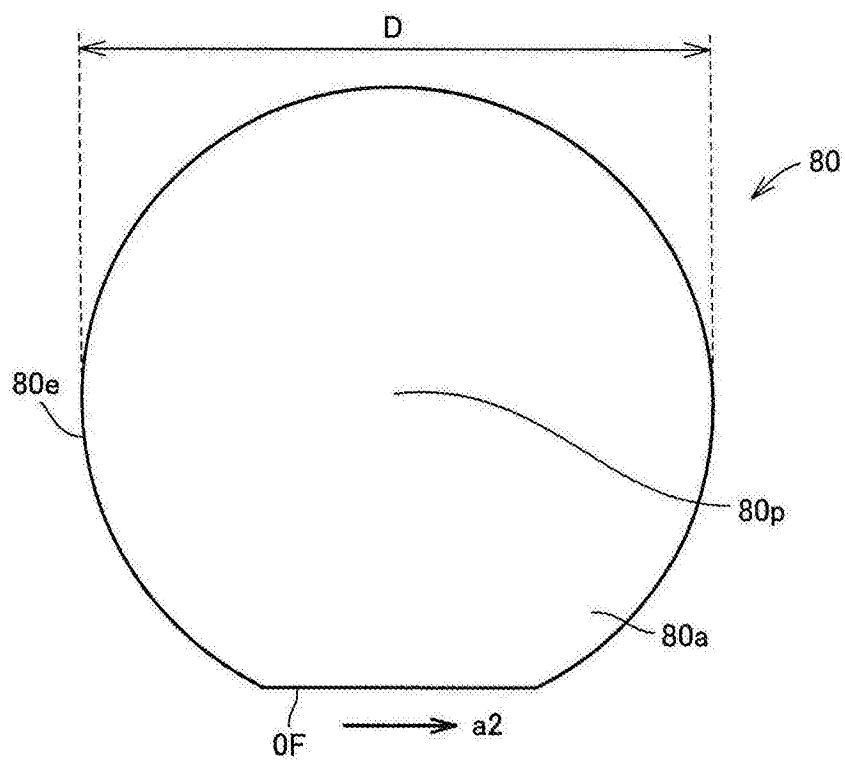


图 4

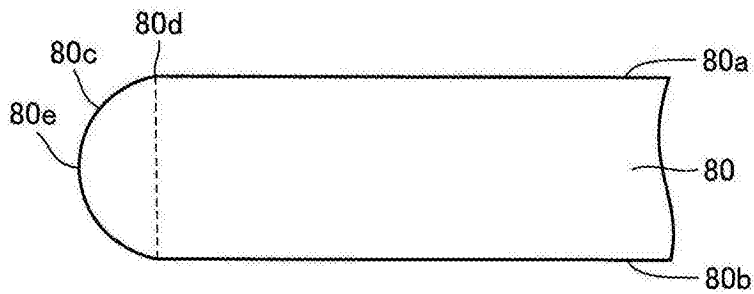


图 5

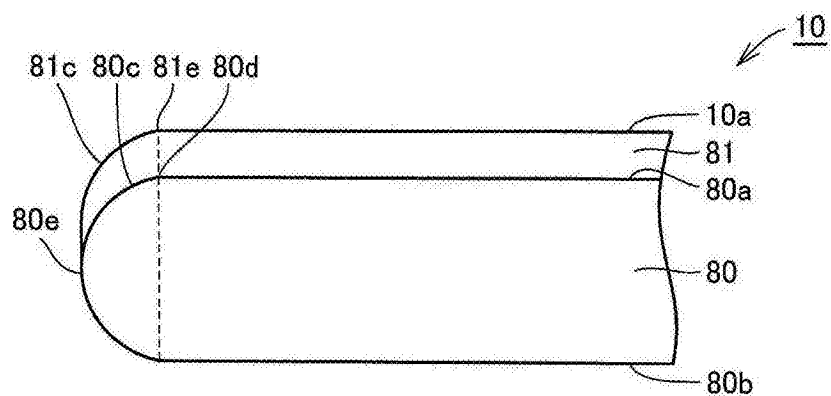


图 6

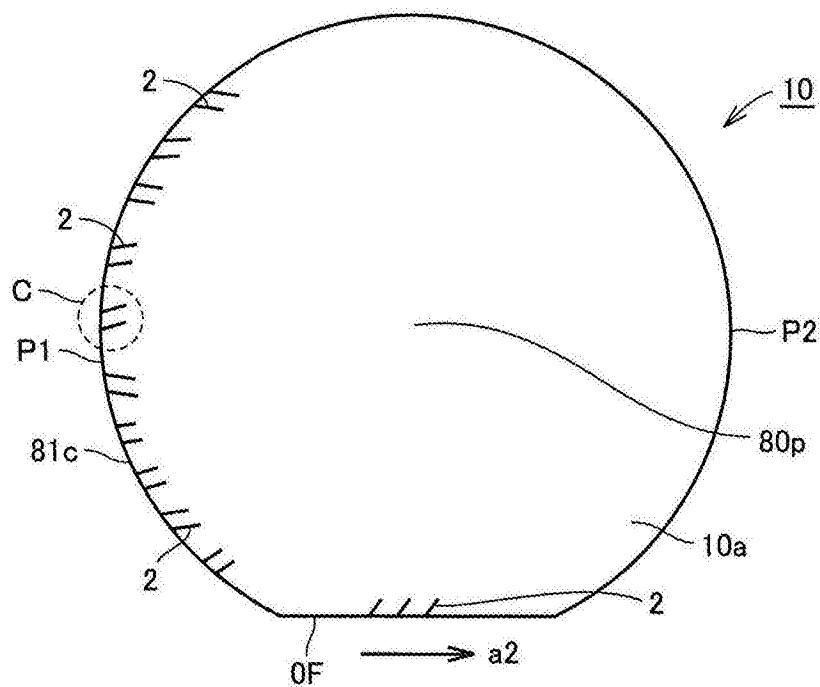


图 7A

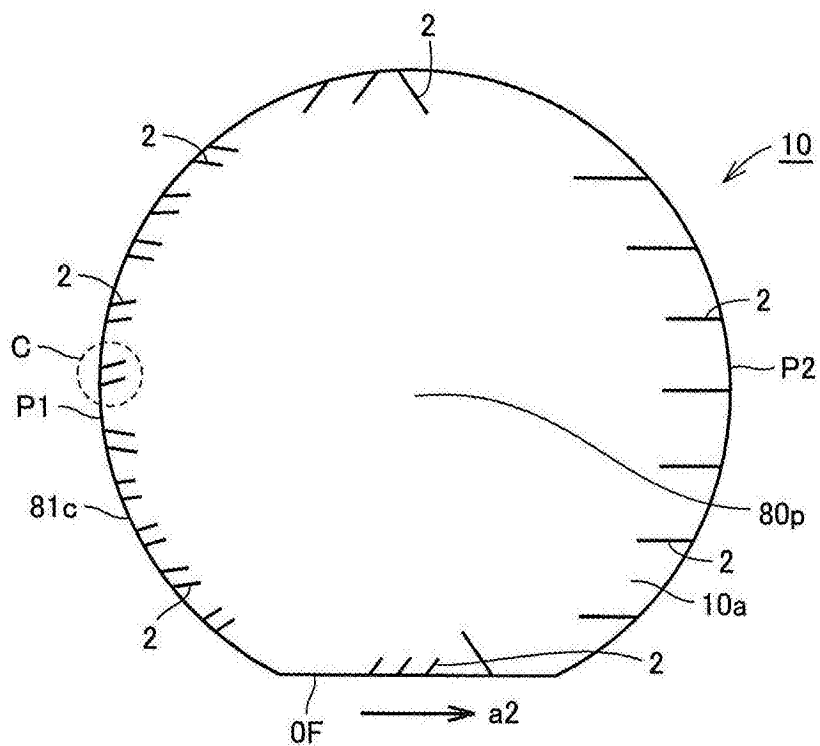


图 7B

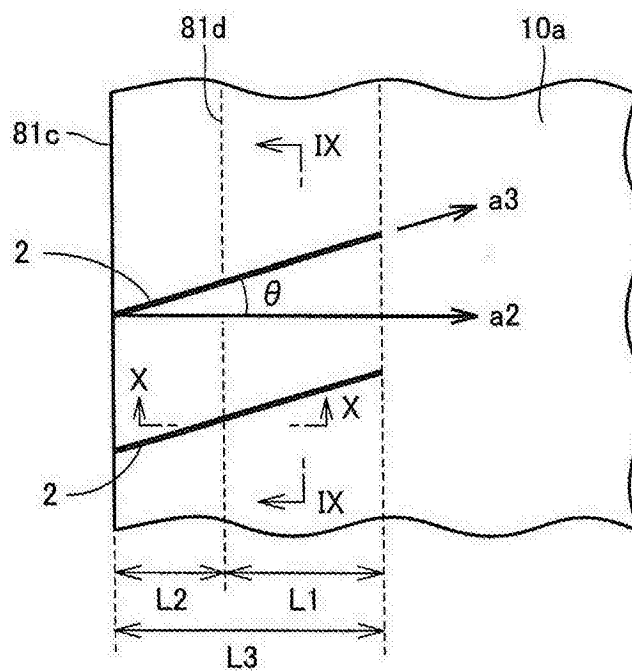


图 8

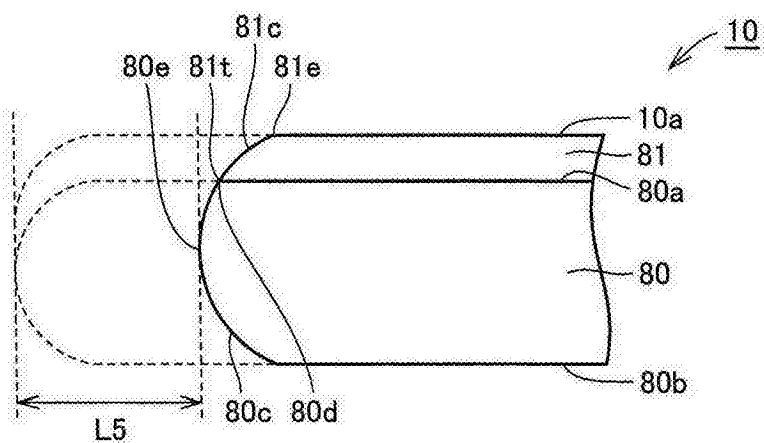


图 12

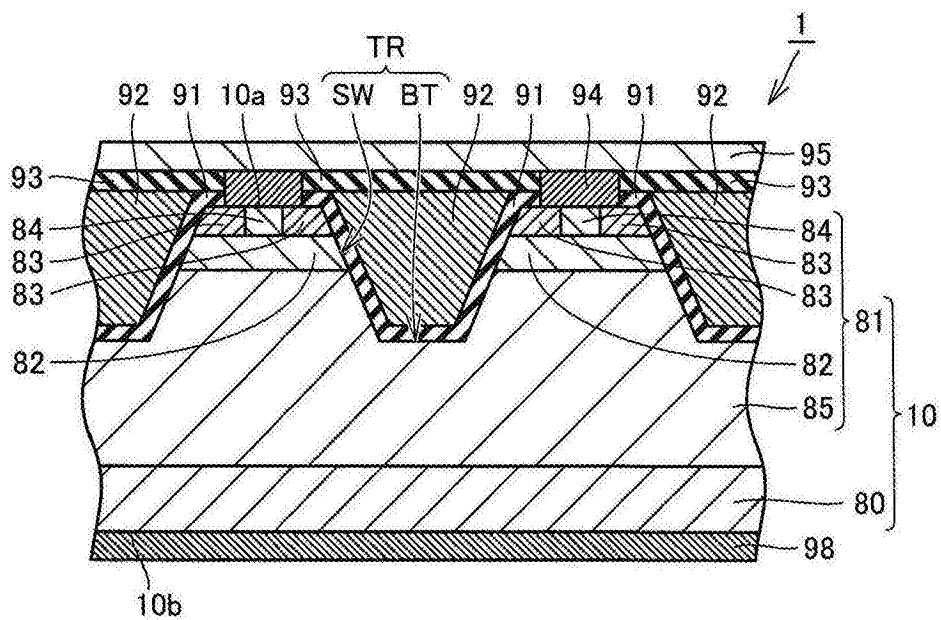


图 13

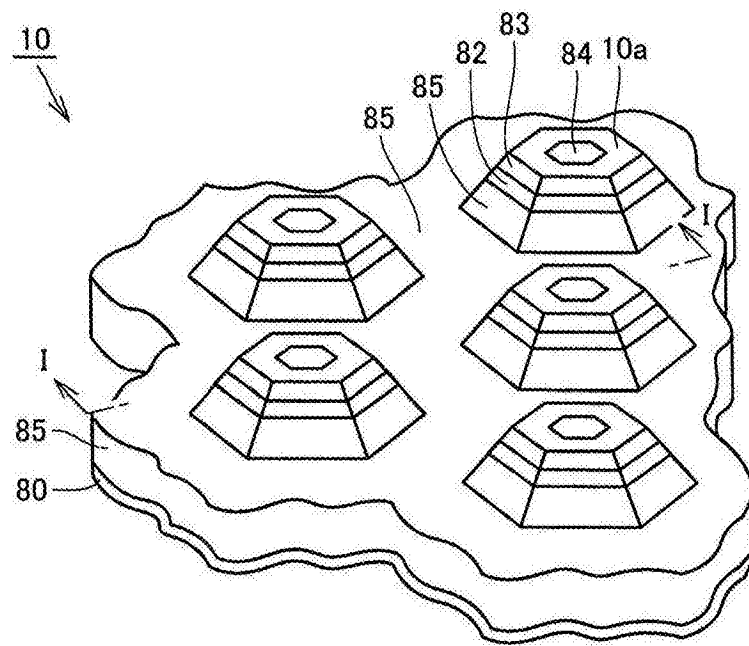


图 14

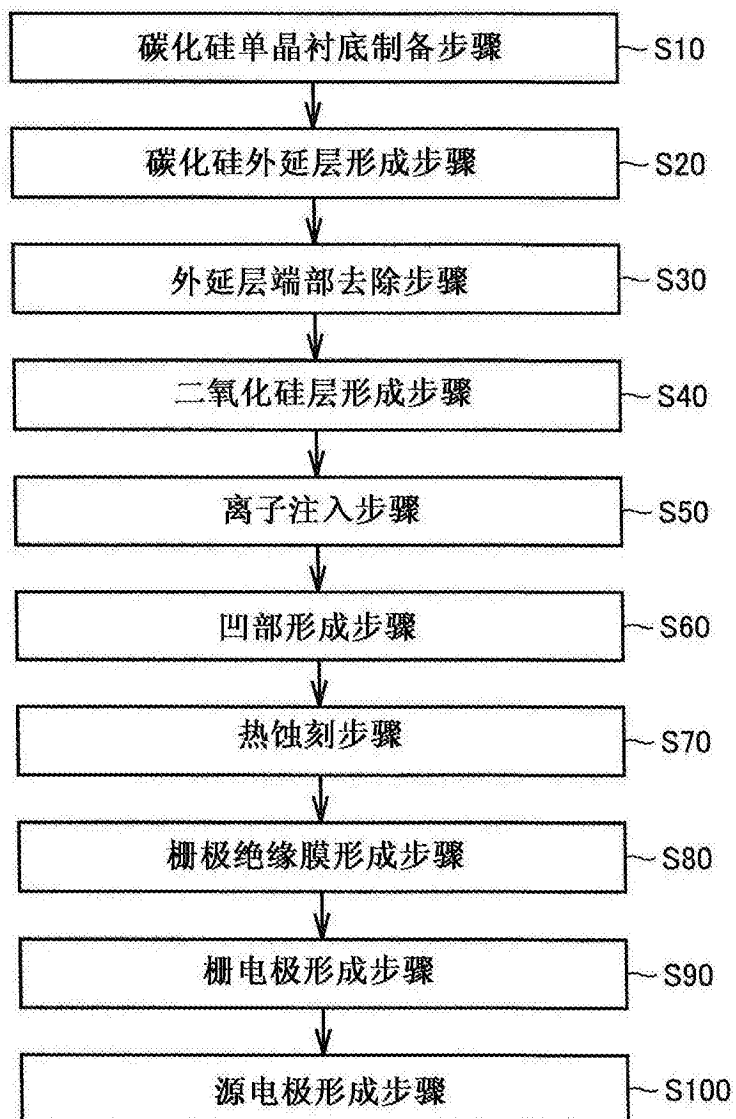


图 15

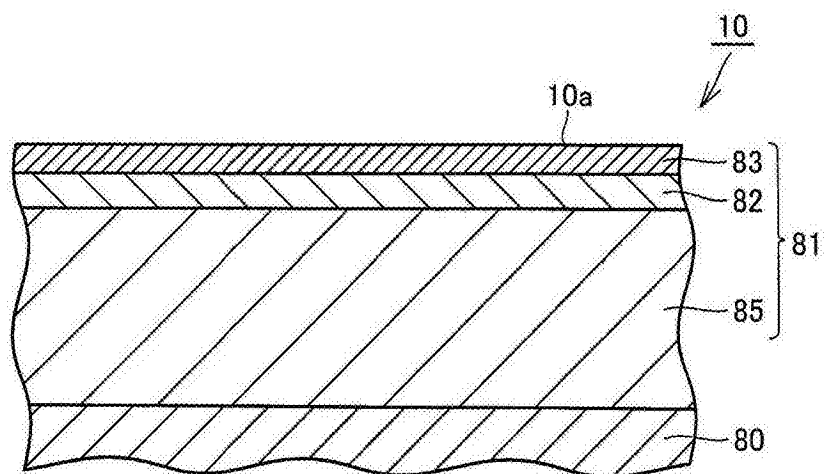


图 16

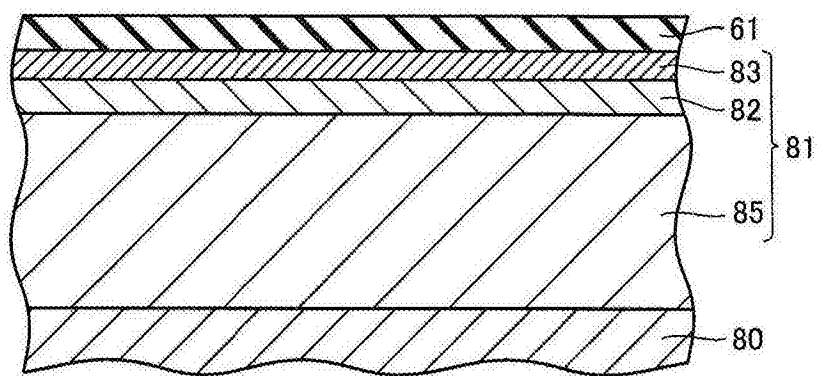


图 17

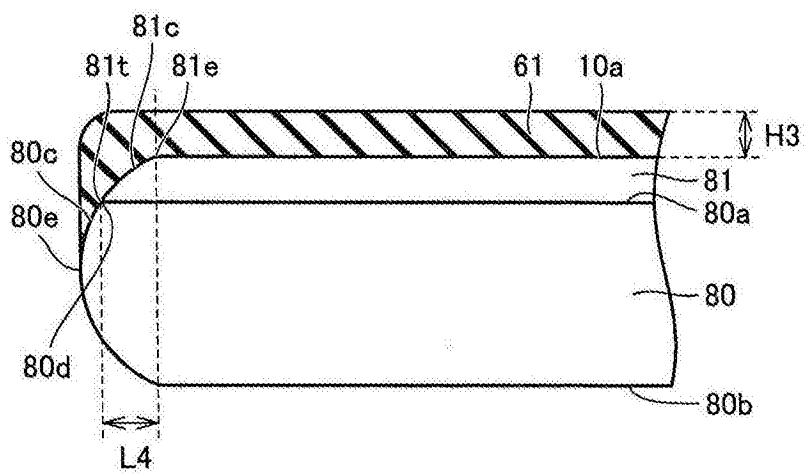


图 18

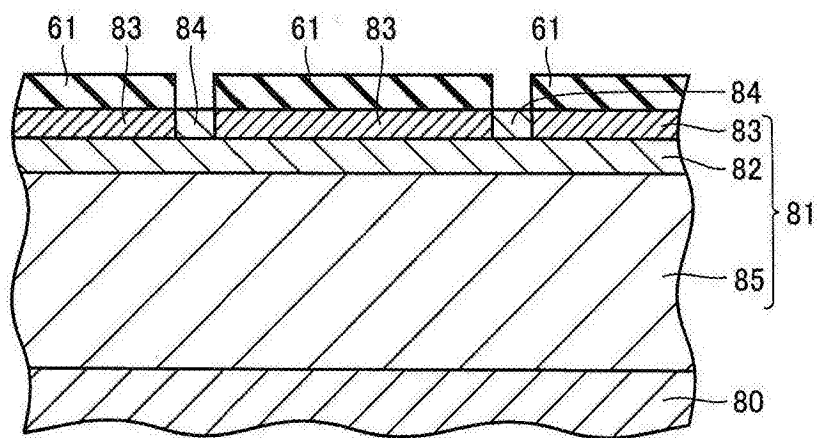


图 19

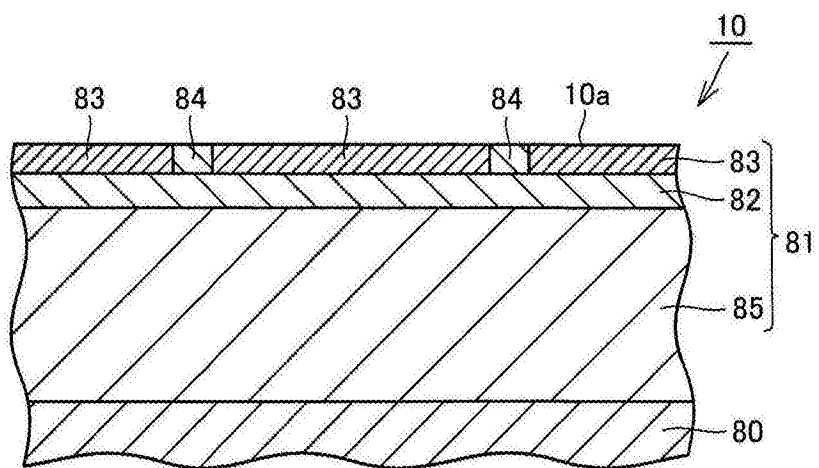


图 20

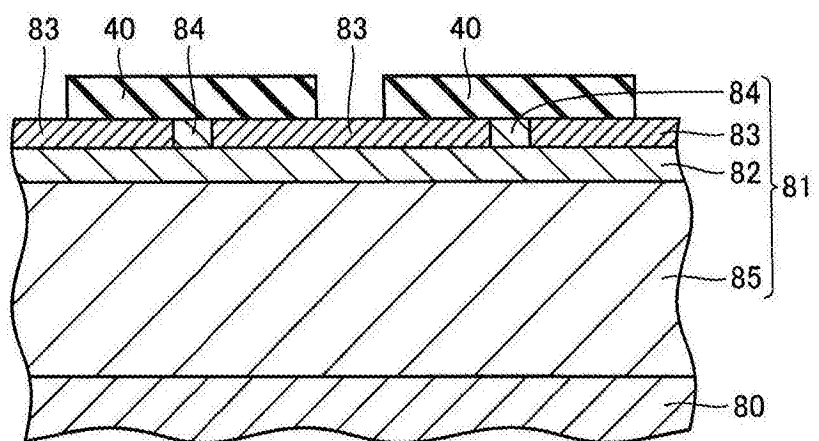


图 21

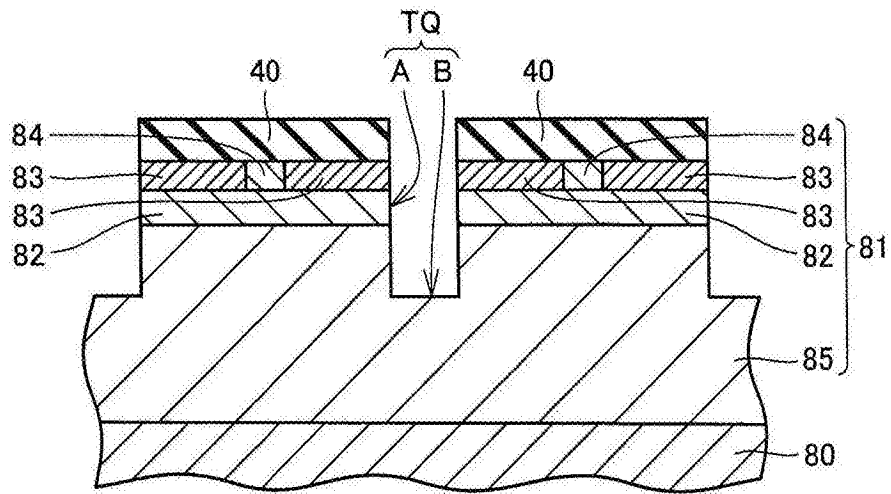


图 22

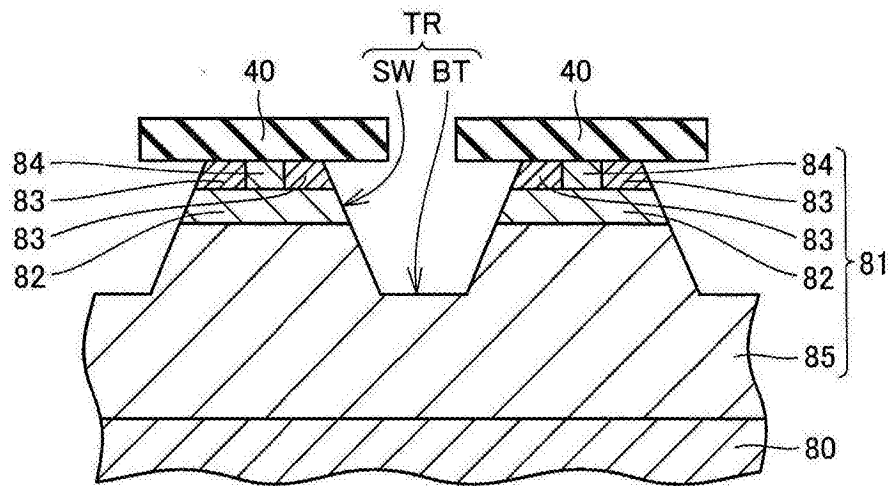


图 23

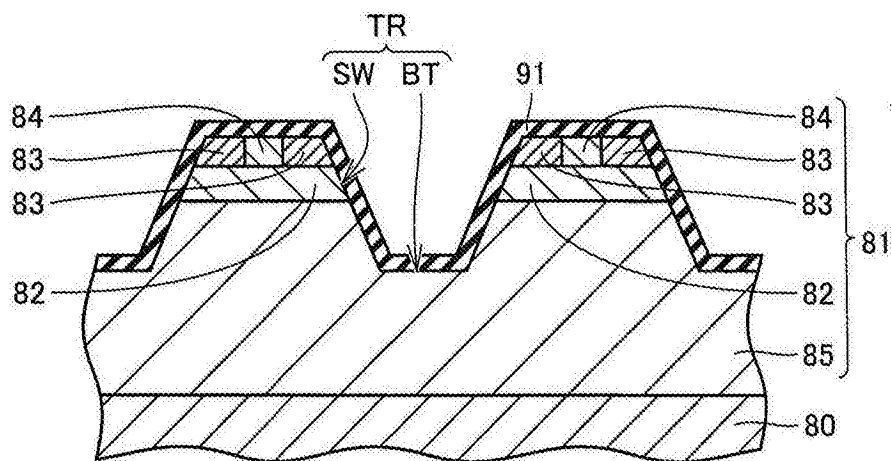


图 24

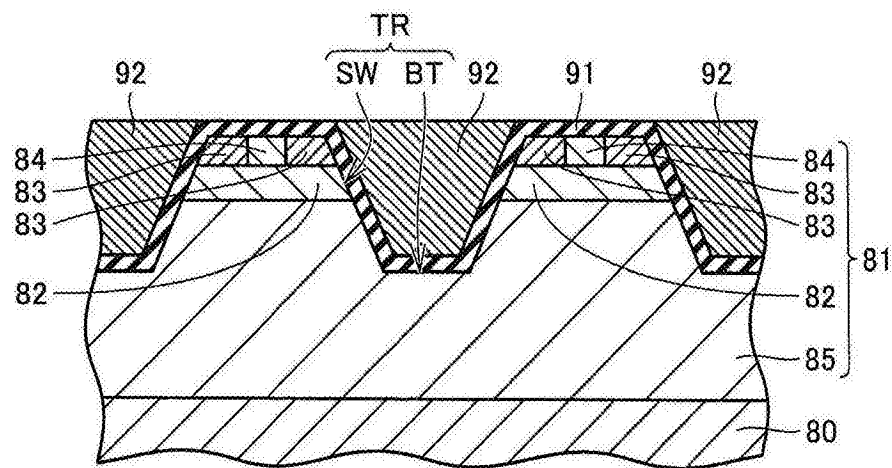


图 25

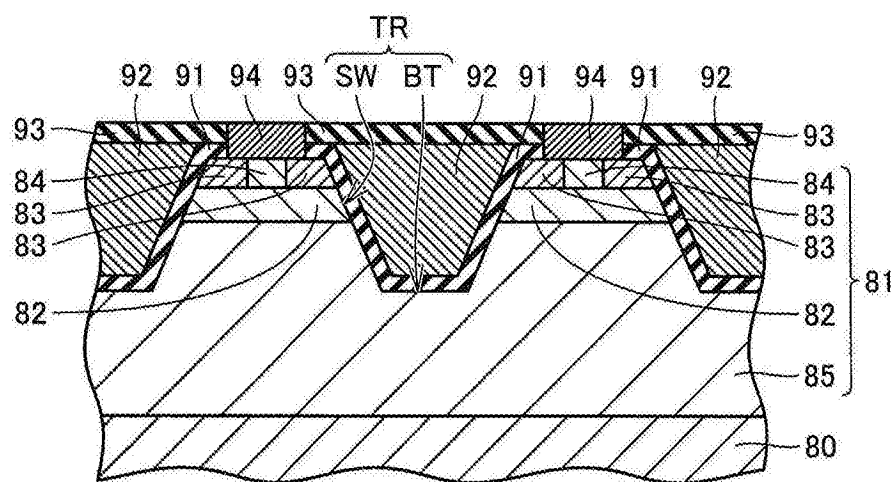


图 26

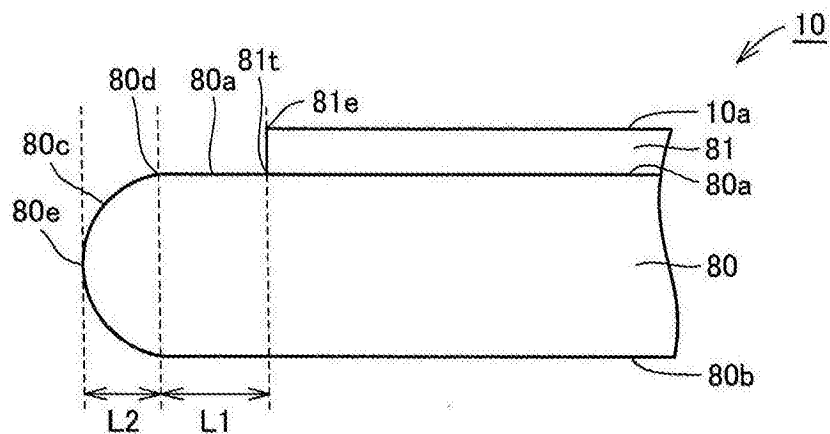


图 27

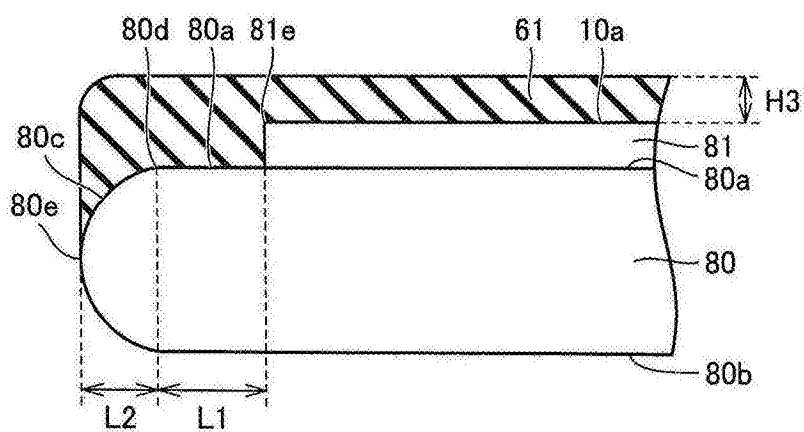


图 28

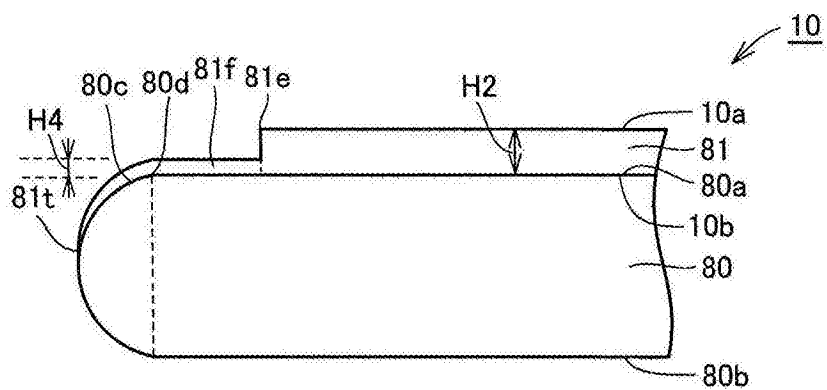


图 29

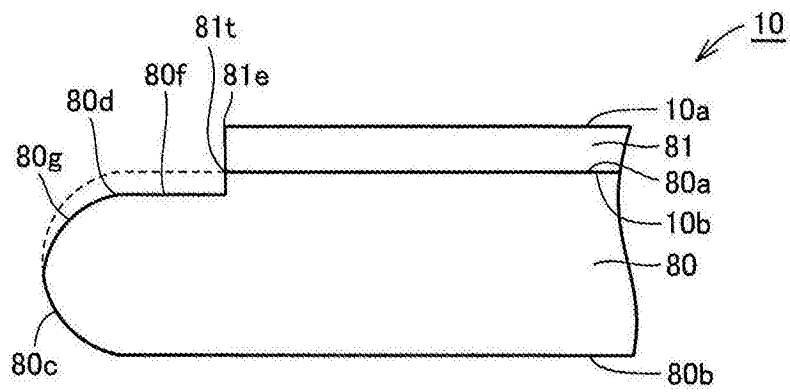


图 30

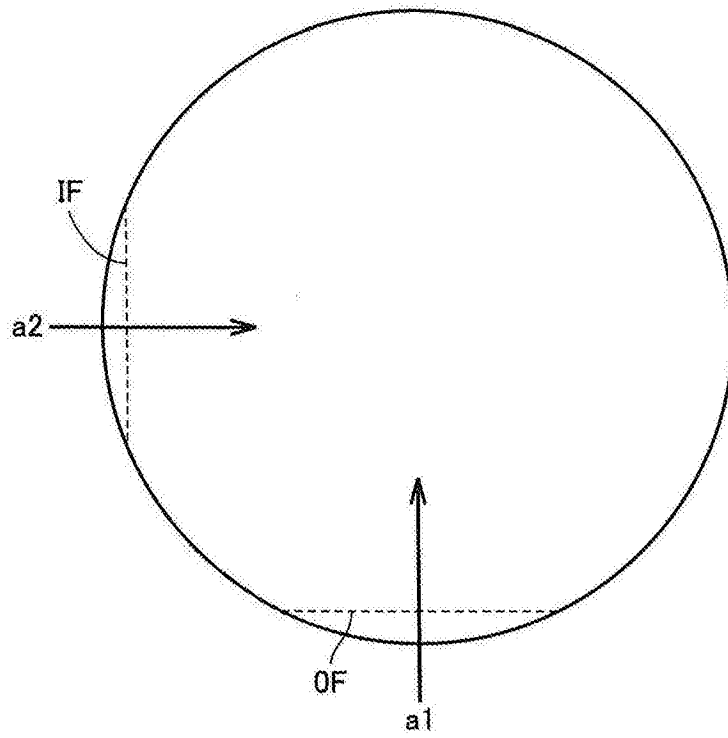


图 31

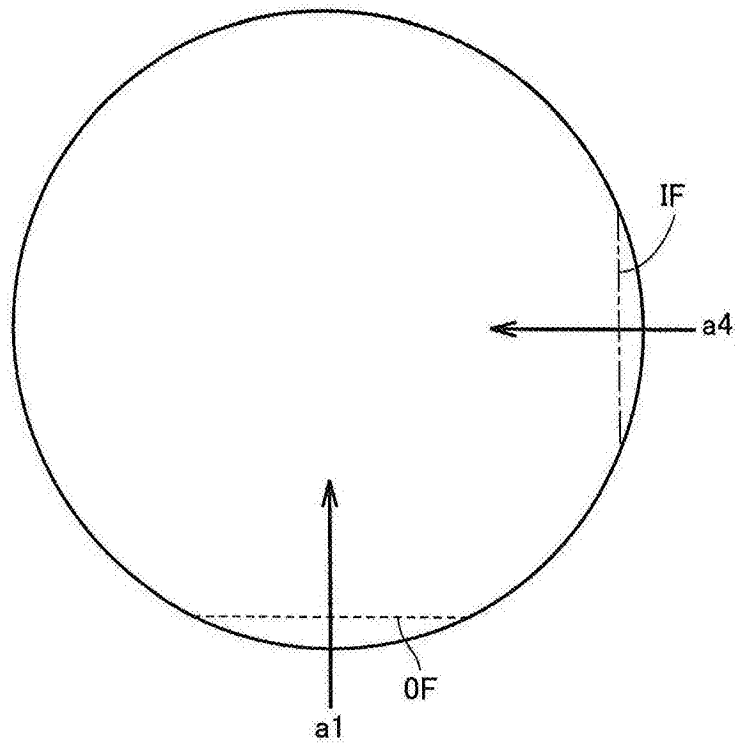


图 32