

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 4 月 28 日 (2005.4.28)

【公開番号】特開 2000-36190 (P2000-36190A)
 【公開日】平成 12 年 2 月 2 日 (2000.2.2)
 【出願番号】特願 平 10-203456
 【国際特許分類第 7 版】

G 1 1 C 11/401

G 1 1 C 11/409

G 1 1 C 11/407

【F I】

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/34 3 6 2 S

【手続補正書】
 【提出日】平成 16 年 6 月 23 日 (2004.6.23)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

それぞれ有するプリチャージ電源線が共通に接続され、それぞれ同様の構成を有する複数の回路ブロックと、

前記プリチャージ電源線にプリチャージ電流出力ノードが接続され、半導体チップの電源投入時にプリチャージ電流供給動作を開始する第 1 のプリチャージ電源供給回路と、

前記プリチャージ電源線にプリチャージ電流出力ノードが接続され、前記第 1 のプリチャージ電源供給回路のプリチャージ電流により前記プリチャージ電源線が所定の電位に立ち上がった後にプリチャージ電流供給動作を開始する第 2 のプリチャージ電源供給回路とを具備することを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 2 のプリチャージ電源供給回路は、

外部電源入力に基づいて第 1 の基準電圧を生成する基準電圧生成回路と、

前記外部電源入力に基づいて半導体チップ内部で生成された内部電圧が動作電源として供給され、前記プリチャージ電源線にプリチャージ電流を供給するための第 1 のトランジスタと、

外部電源入力が入動作電源として供給され、前記プリチャージ電源線が所定の電位に立ち上がった後に生成される制御信号を受けて前記第 1 の基準電圧と前記プリチャージ電源線の電圧とを比較し、比較出力に応じて前記第 1 のトランジスタのプリチャージ電流供給動作を制御する第 1 の電圧比較回路

とを具備することを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記基準電圧生成回路は、前記第 1 の基準電圧より大きい第 2 の基準電圧をさらに生成し、

前記プリチャージ電源線から電流を放電させるための第2のトランジスタと、

前記第2の基準電圧と前記プリチャージ電源線の電圧とを比較し、比較出力に応じて前記第2のトランジスタの放電動作を制御する第2の電圧比較回路とをさらに具備することを特徴とする半導体装置。

【請求項4】

それぞれプリチャージ電源線を有する複数の回路ブロックと、

前記複数の回路ブロックに対応して設けられ、対応する回路ブロックのプリチャージ電源線に一端側が接続され、半導体チップの電源投入時から所定期間後にオフ状態に制御される複数のスイッチ回路と、

前記複数のスイッチ回路の各他端側に共通に接続された共通プリチャージ電源線と、

前記複数の回路ブロックに対応して設けられ、対応する回路ブロックのプリチャージ電源線にプリチャージ電流出力ノードが接続された複数のプリチャージ電源供給回路とを具備し、

前記複数のプリチャージ電源供給回路は、半導体チップの電源投入時にプリチャージ電流供給動作を開始する第1のプリチャージ電源供給回路と、前記第1のプリチャージ電源供給回路のプリチャージ電流により前記プリチャージ電源線が所定の電位に立ち上がった後にプリチャージ電流供給動作を開始する第2のプリチャージ電源供給回路とが混在することを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか1項に記載の半導体装置において、

前記複数の回路ブロックとプリチャージ電源供給回路のパターン配置関係は、各回路ブロック毎にほぼ対称になっていることを特徴とする半導体装置。

【請求項6】

それぞれプリチャージ電源線を有する複数の回路ブロックと、

前記複数の回路ブロックのうちの特定の第1の回路ブロックのプリチャージ電源線に一端側が接続され、他端側が共通に接続され、半導体チップの電源投入時から所定期間後にオフ状態に制御されるスイッチ回路と、

前記第1の回路ブロック以外の第2の回路ブロックのプリチャージ電源線および前記スイッチ回路の他端側に共通に接続された共通プリチャージ電源線と、

前記第1の回路ブロックのプリチャージ電源線にプリチャージ電流出力ノードが接続された第1のプリチャージ電源供給回路と、

前記第2の回路ブロックのプリチャージ電源線にプリチャージ電流出力ノードが接続された第2のプリチャージ電源供給回路とを具備し、

前記第1のプリチャージ電源供給回路および第2のプリチャージ電源供給回路のうち、一方のプリチャージ電源供給回路は、半導体チップの電源投入時にプリチャージ電流供給動作を開始し、他方のプリチャージ電源供給回路は、前記一方のプリチャージ電源供給回路のプリチャージ電流により前記プリチャージ電源線が所定の電位に立ち上がった後にプリチャージ電流供給動作を開始するように制御されることを特徴とする半導体装置。

【請求項7】

請求項1乃至6のいずれか1項に記載の半導体装置は、

メモリセルアレイおよびそれに関連する回路が複数のバンクに区分され、各バンクを独立に選択可能な構成を有する同期型ダイナミック・ランダム・アクセス・メモリであり、

前記各バンクのプリチャージ電源線は、セルアレイのビット線あるいはキャパシタプレート線であることを特徴とする半導体装置。

【請求項8】

請求項1記載の半導体装置において、

クロック信号および制御信号が入力されるクロック入力バッファと、

アドレス信号およびバンクアドレス信号が入力され、上記クロック入力バッファの出力信号に同期してアドレス信号およびバンクアドレス信号をバッファ増幅し、バンクアドレス信号をデコードしてバンク選択信号を生成するバンク選択回路を含むアドレス入力バッ

ファと、

動作モード指定用のコマンド入力として外部制御信号が入力され、上記クロック入力バッファの出力信号に同期して外部制御信号をデコードするコマンド・デコーダと、

セルフリフレッシュモードのときは上記アドレス入力バッファで生成されるバンク選択信号が入力されて回路ブロック選択信号を生成する回路ブロック選択回路と、

上記コマンド・デコーダのデコード出力信号が入力され、上記クロック入力バッファの出力信号に同期して内部制御信号を発生する制御信号発生回路と、

リフレッシュアドレス信号を生成するリフレッシュカウンタと、

通常動作モード／セルフリフレッシュモードに応じて、上記アドレス入力バッファの出力信号及びリフレッシュアドレス信号をラッチするアドレスラッチ回路

とをさらに具備することを特徴とする半導体装置。