



(12)发明专利申请

(10)申请公布号 CN 107230712 A

(43)申请公布日 2017.10.03

(21)申请号 201610178229.3

(22)申请日 2016.03.25

(71)申请人 北京大学

地址 100871 北京市海淀区颐和园路5号

申请人 北大方正集团有限公司

深圳方正微电子有限公司

(72)发明人 刘美华 孙辉 林信南 陈建国

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 陶敏 刘芳

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 29/20(2006.01)

H01L 29/423(2006.01)

H01L 21/335(2006.01)

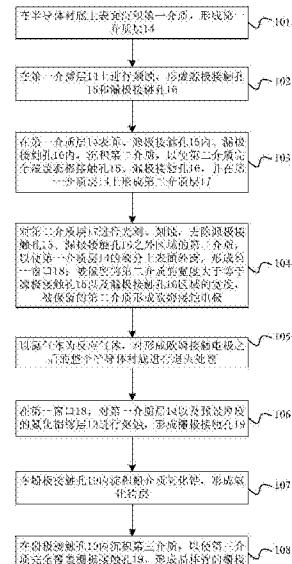
权利要求书2页 说明书6页 附图5页

(54)发明名称

氧化锆栅介质晶体管的制备方法

(57)摘要

本发明涉及一种氧化锆栅介质晶体管的制备方法，通过在半导体衬底上表面沉积第一介质，形成第一介质层；对第一介质层刻蚀，形成源极、漏极的接触孔，再沉积第二介质，形成第二介质层；对第二介质层光刻、刻蚀，去除源极、漏极接触孔之外区域的第二介质，以使第一介质层部分上表面外露，形成第一窗口；以氮气作为反应气体，对形成欧姆接触电极之后的整个半导体衬底进行退火处理；在第一窗口，对第一介质层以及预设厚度的氮化铝镓层进行刻蚀，形成栅极接触孔；在栅极接触孔内淀积氧化锆，形成氧化锆层，其厚度小于栅极接触孔的深度；在栅极接触孔内沉积第三介质，以使第三介质完全覆盖栅极接触孔，形成晶体管的栅极。



1. 一种氧化锆栅介质晶体管的制备方法，其特征在于，包括：

在半导体衬底上表面沉积第一介质，形成第一介质层；所述半导体衬底自上而下包含氮化铝镓层、氮化镓层、硅衬底层；

在所述第一介质层上进行刻蚀，形成源极接触孔和漏极接触孔；

在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内，沉积第二介质，以使所述第二介质完全覆盖所述源极接触孔、所述漏极接触孔，并在所述第一介质层上形成第二介质层；

对所述第二介质层进行光刻、刻蚀，去除所述源极接触孔、所述漏极接触孔之外区域的所述第二介质，以使所述第一介质层的部分上表面外露，形成第一窗口；被保留的所述第二介质的宽度大于等于所述源极接触孔以及所述漏极接触孔区域的宽度，所述被保留的所述第二介质形成欧姆接触电极；

以氮气作为反应气体，对所述形成欧姆接触电极之后的整个半导体衬底进行退火处理；

在所述第一窗口，对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀，形成栅极接触孔；

在所述栅极接触孔内沉积栅介质氧化锆，形成氧化锆层；所述氧化锆层的厚度小于所述栅极接触孔的深度；

在所述栅极接触孔内沉积第三介质，以使所述第三介质完全覆盖所述栅极接触孔，形成晶体管的栅极。

2. 根据权利要求1所述的方法，其特征在于，所述第一介质为氮化硅Si₃N₄介质；相应的，所述在半导体衬底表面沉积第一介质，形成第一介质层包括：

在所述氮化铝镓层表面沉积氮化硅Si₃N₄介质，形成氮化硅Si₃N₄介质层；所述氮化硅Si₃N₄介质层的厚度为350埃。

3. 根据权利要求1所述的方法，其特征在于，所述在所述第一介质层上进行刻蚀，形成源极接触孔和漏极接触孔包括：

在所述第一介质层上进行干法刻蚀，形成源极接触孔和漏极接触孔；

所述在所述第一介质层上进行刻蚀，形成源极接触孔和漏极接触孔之后，还包括：

采用氢氟酸溶液、过氧化氢与氢氧化氨的混合溶液、过氧化氢与氯化氢的混合溶液，对所述形成源极接触孔和漏极接触孔之后的半导体衬底表面进行表面处理。

4. 根据权利要求1所述的方法，其特征在于，所述第二介质包括钛介质、铝介质、氮化钛介质；相应的，所述在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内，沉积第二介质，以使所述第二介质完全覆盖所述源极接触孔、所述漏极接触孔，并在所述第一介质层上形成第二介质层包括：

在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内，依次沉积所述钛介质、铝介质、钛介质、氮化钛介质，以形成所述第二介质层；以使所述第二介质层自下而上包括：第一钛介质层、铝介质层、第二钛介质层、氮化钛介质层；其中，所述第一钛介质层的厚度为200埃、所述铝介质层的厚度为1200埃、所述第二钛介质层的厚度为200埃、所述氮化钛介质层的厚度为200埃。

5. 根据权利要求1所述的方法，其特征在于，所述以氮气作为反应气体，对所述形成欧

姆接触电极之后的整个半导体衬底进行退火处理包括：

以氮气作为反应气体，在840摄氏度的条件下，对所述形成欧姆接触电极之后的整个半导体衬底进行30秒的退火处理。

6. 根据权利要求1所述的方法，其特征在于，所述栅极接触孔的深度为475埃～550埃。
7. 根据权利要求1～6任一项所述的方法，其特征在于，在所述第一窗口，对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀，形成栅极接触孔包括：

在所述第一窗口，对所述第一介质层以及预设厚度的所述氮化铝镓层进行干法刻蚀，形成栅极接触孔。

8. 根据权利要求1～6任一项所述的方法，其特征在于，所述在所述第一窗口，对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀，形成栅极接触孔之后，还包括：

采用盐酸溶液清洗所述栅极接触孔，以去除所述栅极接触孔内的杂质物。

9. 根据权利要求1～6任一项所述的方法，其特征在于，所述第三介质包括：镍金属介质、金金属介质。

10. 根据权利要求9所述的方法，其特征在于，所述在所述栅极接触孔内沉积第三介质，以使所述第三介质完全覆盖所述栅极接触孔，形成晶体管的栅极包括：

所述栅极接触孔与所述源极接触孔上的所述欧姆接触电极之间具有第二窗口，所述栅极接触孔与所述漏极接触孔上的所述欧姆接触电极之间具有第三窗口，所述第二窗口的宽度小于所述第三窗口的宽度。

氧化锆栅介质晶体管的制备方法

技术领域

[0001] 本发明涉及半导体器件制备技术领域,尤其涉及一种氧化锆栅介质晶体管的制备方法。

背景技术

[0002] 随着高效完备的功率转换电路和系统需求的日益增加,具有低功耗和高速特性的功率器件越来越被广泛关注。

[0003] 氮化镓GaN是第三代宽禁带半导体材料,其具有大禁带宽度、高电子饱和速率、高击穿电场,较高热导率,耐腐蚀和抗辐射性能,在高压、高频、高温、大功率和抗辐照环境条件下具有较强的优势,被认为是研究短波光电子器件和高压高频率大功率器件的最佳材料。氮化镓GaN基氮化铝镓AlGaN/氮化镓GaN高迁移率晶体管是功率器件中的研究热点,这是因为在氮化铝镓AlGaN与氮化镓GaN的异质结处形成高浓度、高迁移率的二维电子气(Two-dimensional electron gas,简称“2DEG”),同时异质结对2DEG具有良好的调节作用。

[0004] 然而,当晶体管的栅极加电后,由于栅极存在漏电现象,从而限制了氮化镓GaN高电子迁移率晶体管(High Electron Mobility Transistor,简称“HEMT”)的电学特性和可靠性;同时,栅极漏电还会减小器件的击穿电压和功率附加效率。

发明内容

[0005] 本发明提供一种氧化锆栅介质晶体管的制备方法,用以优化晶体管器件的制作工艺,并可以与CMOS工艺线兼容,优化器件结构,减少栅极漏电现象,改善晶体管器件击穿特性,提高氮化镓半导体器件的可靠性。

[0006] 本发明提供一种氧化锆栅介质晶体管的制备方法,包括:

[0007] 在半导体衬底上表面沉积第一介质,形成第一介质层;所述半导体衬底自上而下包含氮化铝镓层、氮化镓层、硅衬底层;

[0008] 在所述第一介质层上进行刻蚀,形成源极接触孔和漏极接触孔;

[0009] 在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内,沉积第二介质,以使所述第二介质完全覆盖所述源极接触孔、所述漏极接触孔,并在所述第一介质层上形成第二介质层;

[0010] 对所述第二介质层进行光刻、刻蚀,去除所述源极接触孔、所述漏极接触孔之外区域的所述第二介质,以使所述第一介质层的部分上表面外露,形成第一窗口;被保留的所述第二介质的宽度大于等于所述源极接触孔以及所述漏极接触孔区域的宽度,所述被保留的所述第二介质形成欧姆接触电极;

[0011] 以氮气作为反应气体,对所述形成欧姆接触电极之后的整个半导体衬底进行退火处理;

[0012] 在所述第一窗口,对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀,形成栅极接触孔;

- [0013] 在所述栅极接触孔内淀积栅介质氧化锆,形成氧化锆层;所述氧化锆层的厚度小于所述栅极接触孔的深度;
- [0014] 在所述栅极接触孔内沉积第三介质,以使所述第三介质完全覆盖所述栅极接触孔,形成晶体管的栅极。
- [0015] 可选的,所述第一介质为氮化硅Si₃N₄介质;相应的,所述在半导体衬底表面沉积第一介质,形成第一介质层包括:
- [0016] 在所述氮化铝镓层表面沉积氮化硅Si₃N₄介质,形成氮化硅Si₃N₄介质层;所述氮化硅Si₃N₄介质层的厚度为350埃。
- [0017] 可选的,所述在所述第一介质层上进行刻蚀,形成源极接触孔和漏极接触孔包括:
- [0018] 在所述第一介质层上进行干法刻蚀,形成源极接触孔和漏极接触孔;
- [0019] 所述在所述第一介质层上进行刻蚀,形成源极接触孔和漏极接触孔之后,还包括:
- [0020] 采用氢氟酸溶液、过氧化氢与氢氧化氨的混合溶液、过氧化氢与氯化氢的混合溶液,对所述形成源极接触孔和漏极接触孔之后的半导体衬底表面进行表面处理。
- [0021] 可选的,所述第二介质包括钛介质、铝介质、氮化钛介质;相应的,所述在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内,沉积第二介质,以使所述第二介质完全覆盖所述源极接触孔、所述漏极接触孔,并在所述第一介质层上形成第二介质层包括:
- [0022] 在所述第一介质层表面、所述源极接触孔内、所述漏极接触孔内,依次沉积所述钛介质、铝介质、钛介质、氮化钛介质,以形成所述第二介质层;以使所述第二介质层自下而上包括:第一钛介质层、铝介质层、第二钛介质层、氮化钛介质层;其中,所述第一钛介质层的厚度为200埃、所述铝介质层的厚度为1200埃、所述第二钛介质层的厚度为200埃、所述氮化钛介质层的厚度为200埃。
- [0023] 可选的,所述以氮气作为反应气体,对所述形成欧姆接触电极之后的整个半导体衬底进行退火处理包括:
- [0024] 以氮气作为反应气体,在840摄氏度的条件下,对所述形成欧姆接触电极之后的整个半导体衬底进行30秒的退火处理。
- [0025] 可选的,所述栅极接触孔的深度为475埃~550埃。
- [0026] 可选的,在所述第一窗口,对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀,形成栅极接触孔包括:
- [0027] 在所述第一窗口,对所述第一介质层以及预设厚度的所述氮化铝镓层进行干法刻蚀,形成栅极接触孔。
- [0028] 可选的,所述在所述第一窗口,对所述第一介质层以及预设厚度的所述氮化铝镓层进行刻蚀,形成栅极接触孔之后,还包括:
- [0029] 采用盐酸溶液清洗所述栅极接触孔,以去除所述栅极接触孔内的杂质物。
- [0030] 可选的,所述第三介质包括:镍金属介质、金金属介质。
- [0031] 可选的,所述在所述栅极接触孔内沉积第三介质,以使所述第三介质完全覆盖所述栅极接触孔,形成晶体管的栅极包括:
- [0032] 所述栅极接触孔与所述源极接触孔上的所述欧姆接触电极之间具有第二窗口,所述栅极接触孔与所述漏极接触孔上的所述欧姆接触电极之间具有第三窗口,所述第二窗口的宽度小于所述第三窗口的宽度。

[0033] 本发明的氧化锆栅介质晶体管的制备方法,通过在自上而下包含氮化铝镓层、氮化镓层、硅衬底层的半导体衬底上表面沉积第一介质,形成第一介质层;然后在第一介质层上进行刻蚀,形成源极接触孔和漏极接触孔;在第一介质层表面、源极接触孔内、漏极接触孔内,沉积第二介质,以使第二介质完全覆盖源极接触孔、漏极接触孔,并在第一介质层上形成第二介质层;对第二介质层进行光刻、刻蚀,去除源极接触孔、漏极接触孔之外区域的第二介质,以使第一介质层的部分上表面外露,形成第一窗口;被保留的第二介质的宽度大于等于源极接触孔以及漏极接触孔区域的宽度,被保留的第二介质形成欧姆接触电极;以氮气作为反应气体,对形成欧姆接触电极之后的整个半导体衬底进行退火处理;在第一窗口,对第一介质层以及预设厚度的氮化铝镓层进行刻蚀,形成栅极接触孔;在栅极接触孔内沉积栅介质氧化锆,形成氧化锆层;氧化锆层的厚度小于栅极接触孔的深度;在栅极接触孔内沉积第三介质,以使第三介质完全覆盖栅极接触孔,形成晶体管的栅极。上述氧化锆栅介质晶体管的制备方法优化了晶体管器件的制作工艺,并可以与CMOS工艺线兼容,优化器件结构,有效减少栅极漏电现象,改善晶体管器件击穿特性,提高了氮化镓半导体器件的可靠性。

附图说明

[0034] 图1为一示例性实施例示出的氧化锆栅介质晶体管的制备方法的流程图;

[0035] 图2~图8为图1所示实施例的氧化锆栅介质晶体管的剖面结构示意图;

[0036] 图9为另一示例性实施例示出的氧化锆栅介质晶体管的制备方法的流程图。

具体实施方式

[0037] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 图1为一示例性实施例示出的氧化锆栅介质晶体管的制备方法的流程图,图2~图8为图1所示实施例的氧化锆栅介质晶体管的剖面结构示意图,如图1~8所示,本实施例的方法包括:

[0039] 步骤101、在半导体衬底上表面沉积第一介质,形成第一介质层14。

[0040] 具体的,该半导体衬底自上而下包含氮化铝镓层13(A1GaN)、氮化镓层12(GaN)、硅衬底层11(Si)。其中,半导体衬底的剖面结构示意图如图2所示,自上而下依次为氮化铝镓层13、氮化镓层12、硅衬底层11。在氮化铝镓层13上表面沉积第一介质,形成该第一介质层14。其中,氮化镓是第三代宽禁带半导体材料,其具有大禁带宽度(3.4eV)、高电子饱和速率($2\text{e}7\text{cm/s}$)、高击穿电场($1\text{e}10\sim-3\text{e}10\text{V/cm}$)、较高热导率、耐腐蚀和抗辐射性能等特性、并且在高压、高频、高温、大功率和抗辐照环境条件下具有较强的优势,是研究短波光电子器件和高压高频率大功率器件的最佳材料。

[0041] 步骤102、在第一介质层14上进行刻蚀,形成源极接触孔15和漏极接触孔16。

[0042] 具体的,在图2所示的第一介质层14上进行刻蚀,刻蚀的方式可以采用干法刻蚀,干法刻蚀是用等离子体进行薄膜刻蚀的技术,以将氮化铝镓层13上的部分第一介质去除,

如图3所示,露出源极接触孔15和漏极接触孔16。

[0043] 步骤103、在第一介质层14表面、源极接触孔15内、漏极接触孔16内,沉积第二介质,以使第二介质完全覆盖源极接触孔15、漏极接触孔16,并在第一介质层14上形成第二介质层17。

[0044] 具体的,如图4所示,可以采用磁控溅射镀膜工艺,在第一介质层14的表面以及源极接触孔15内、漏极接触孔16内沉积第二介质,以使第二介质充满整个源极接触孔15内和漏极接触孔16。沉积后在第一介质层14的表面上形成第二介质层17。

[0045] 步骤104、对第二介质层17进行光刻、刻蚀,去除源极接触孔15、漏极接触孔16之外区域的第二介质,以使第一介质层14的部分上表面外露,形成第一窗口18;被保留的第二介质的宽度大于等于源极接触孔15以及漏极接触孔16区域的宽度,被保留的第二介质形成欧姆接触电极。

[0046] 具体的,如图5所示,对第二介质层17进行光刻、刻蚀;其中,光刻的工艺包括了涂胶、曝光和显影等工序,刻蚀后,将源极接触孔15、漏极接触孔16之外区域的第二介质去除,使第一介质层14的部分上表面外露,源极接触孔15与漏极接触孔16之间外露的部分第一介质层14形成第一窗口18;被第二介质填充满的源极接触孔15与漏极接触孔16形成欧姆接触电极;其中,第二介质为金属介质。

[0047] 步骤105、以氮气作为反应气体,对形成欧姆接触电极之后的整个半导体衬底进行退火处理。

[0048] 具体的,在反应炉中通入氮气N₂,对当前形成的整个半导体衬底进行高温退火处理,以使填充满第二介质的源极接触孔15与漏极接触孔16形成良好的欧姆接触的电极金属。同时,退火处理还可以使第二介质层17与氮化铝镓层13进行反应以在两者的接触面上形成合金,以降低第二介质层17与氮化铝镓层13之间的接触电阻。

[0049] 步骤106、在第一窗口18,对第一介质层14以及预设厚度的氮化铝镓层13进行刻蚀,形成栅极接触孔19。

[0050] 具体的,在第一窗口18区域采用干法刻蚀,去掉预设宽度的全部第一介质层14,以及预设厚度(深度)的氮化铝镓层13,形成栅极接触孔19。如图6所示,栅极接触孔19完全穿透第一介质层14,并穿过部分的氮化铝镓层13,使得栅极接触孔19的深度比源极接触孔15和漏极接触孔16的深度深。

[0051] 步骤107、在栅极接触孔19内沉积栅介质氧化锆,形成氧化锆层20。

[0052] 具体的,可以采用化学气相沉积法制备氧化锆ZrO₂涂层,如图7所示,该氧化锆层20的厚度小于栅极接触孔19的深度。

[0053] 步骤108、在栅极接触孔19内沉积第三介质21,以使第三介质21完全覆盖栅极接触孔19,形成晶体管的栅极。

[0054] 具体的,可以采用磁控溅射镀膜工艺,在栅极接触孔19内沉积第三介质21,以使第三介质21完全覆盖该栅极接触孔19区域,从而形成栅极的接触电极,形成氧化锆栅介质晶体管。

[0055] 本实施例的氧化锆栅介质晶体管的制备方法,通过在自上而下包含氮化铝镓层、氮化镓层、硅衬底层的半导体衬底上表面沉积第一介质,形成第一介质层;然后在第一介质层上进行刻蚀,形成源极接触孔和漏极接触孔;在第一介质层表面、源极接触孔内、漏极接

触孔内，沉积第二介质，以使第二介质完全覆盖源极接触孔、漏极接触孔，并在第一介质层上形成第二介质层；对第二介质层进行光刻、刻蚀，去除源极接触孔、漏极接触孔之外区域的第二介质，以使第一介质层的部分上表面外露，形成第一窗口；被保留的第二介质的宽度大于等于源极接触孔以及漏极接触孔区域的宽度，被保留的第二介质形成欧姆接触电极；以氮气作为反应气体，对形成欧姆接触电极之后的整个半导体衬底进行退火处理；在第一窗口，对第一介质层以及预设厚度的氮化铝镓层进行刻蚀，形成栅极接触孔；在栅极接触孔内淀积栅介质氧化锆，形成氧化锆层；氧化锆层的厚度小于栅极接触孔的深度；在栅极接触孔内沉积第三介质，以使第三介质完全覆盖栅极接触孔，形成晶体管的栅极。上述氧化锆栅介质晶体管的制备方法优化了晶体管器件的制作工艺，并可以与CMOS工艺线兼容，优化器件结构，有效减少栅极漏电现象，改善晶体管器件击穿特性，提高了氮化镓半导体器件的可靠性。

[0056] 图9为另一示例性实施例示出的氧化锆栅介质晶体管的制备方法的流程图，如图9并结合图2~图8所示的剖面结构示意图，在上一实施例的基础上，本实施例的方法包括：

[0057] 步骤201、在半导体衬底上表面沉积第一介质，形成第一介质层14。

[0058] 具体的，第一介质可以为氮化硅Si₃N₄介质，在氮化铝镓层13表面沉积氮化硅Si₃N₄介质，形成氮化硅Si₃N₄介质层14；其中，氮化硅Si₃N₄介质层14的厚度可以为350埃。该第一介质层14的形成可以采用等离子体增强化学气相沉积方法，在反应炉中通入硅烷SiH₄气体、氧气O₂、一氧化氮NO气体的混合气体，或者通入硅烷气体、氧气、二氧化碳CO₂气体的混合气体，从而混合气体进行反应之后生成氮化硅Si₃N₄，在半导体衬底上表面沉积氮化硅Si₃N₄，形成氮化硅层14。

[0059] 步骤202、在第一介质层14上进行刻蚀，形成源极接触孔15和漏极接触孔16。

[0060] 步骤203、采用氢氟酸溶液、过氧化氢与氢氧化氨的混合溶液、过氧化氢与氯化氢的混合溶液，对形成源极接触孔15和漏极接触孔16之后的半导体衬底表面进行表面处理。

[0061] 具体的，在对第一介质层14进行干法刻蚀之后，刻蚀后的半导体衬底表面会存在杂质、颗粒等杂质物，采用DHF+SC1+SC2，即先采用稀释后的氢氟酸溶液处理表面，然后采用过氧化氢与氢氧化氨的碱性混合溶液处理表面，再采用过氧化氢与氯化氢的酸性混合溶液处理表面，可以去除表面的杂质物。

[0062] 步骤204、第二介质包括钛介质、铝介质、氮化钛介质；在第一介质层14表面、源极接触孔15内、漏极接触孔16内，依次沉积钛介质、铝介质、钛介质、氮化钛介质，以形成第二介质层17。

[0063] 具体的，第二介质层17自下而上包括：第一钛Ti介质层、铝Al介质层、第二钛Ti介质层、氮化钛TiN介质层；其中，各层的厚度为：第一钛介质层的厚度为200埃、铝介质层的厚度为1200埃、第二钛介质层的厚度为200埃、氮化钛介质层的厚度为200埃。

[0064] 步骤205、对第二介质层17进行光刻、刻蚀，去除源极接触孔15、漏极接触孔16之外区域的第二介质，以使第一介质层14的部分上表面外露，形成第一窗口18；被保留的第二介质的宽度大于等于源极接触孔15以及漏极接触孔16区域的宽度，被保留的第二介质形成欧姆接触电极。

[0065] 步骤206、以氮气作为反应气体，在840摄氏度的条件下，对形成欧姆接触电极之后的整个半导体衬底进行30秒的退火处理。

[0066] 步骤207、在第一窗口18,对第一介质层14以及预设厚度的氮化铝镓层13进行刻蚀,形成栅极接触孔19。

[0067] 其中,刻蚀的方式可以采用干法刻蚀,栅极接触孔19的深度优选为475埃~550埃。

[0068] 步骤208、采用盐酸溶液清洗栅极接触孔19,以去除栅极接触孔19内的杂质物。

[0069] 具体的,通过刻蚀得到的栅极接触孔19内会存在杂质、颗粒、离子等杂质物,通过采用盐酸HCL溶液清洗栅极接触孔19,将栅极接触孔19内的杂质物去除掉,以保证后续沉积形成的栅极具备良好的电气性能。

[0070] 步骤209、在栅极接触孔19内淀积栅介质氧化锆,形成氧化锆层20。

[0071] 步骤210、在栅极接触孔19内沉积第三介质21,以使第三介质21完全覆盖栅极接触孔19,形成晶体管的栅极。

[0072] 具体的,第三介质21可以包括:镍金属介质、金金属介质。栅极接触孔19与源极接触孔15上的欧姆接触电极之间具有第二窗口22,栅极接触孔19与漏极接触孔16上的欧姆接触电极之间具有第三窗口23,且第二窗口22的宽度小于第三窗口23的宽度。

[0073] 本领域普通技术人员可以理解:实现上述各方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成。前述的程序可以存储于一计算机可读取存储介质中。该程序在执行时,执行包括上述各方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0074] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

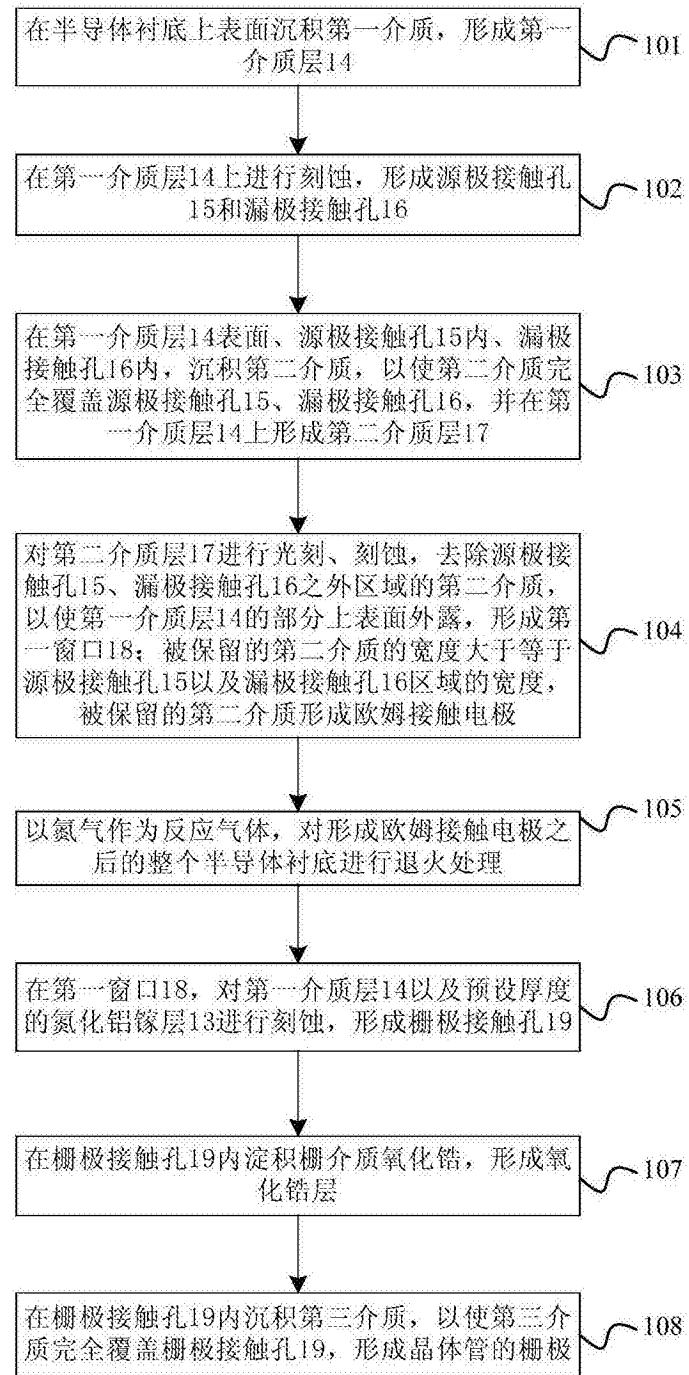


图1



图2

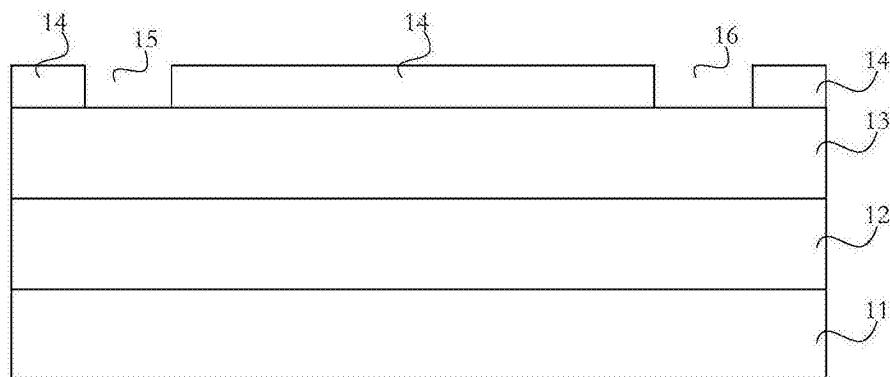


图3

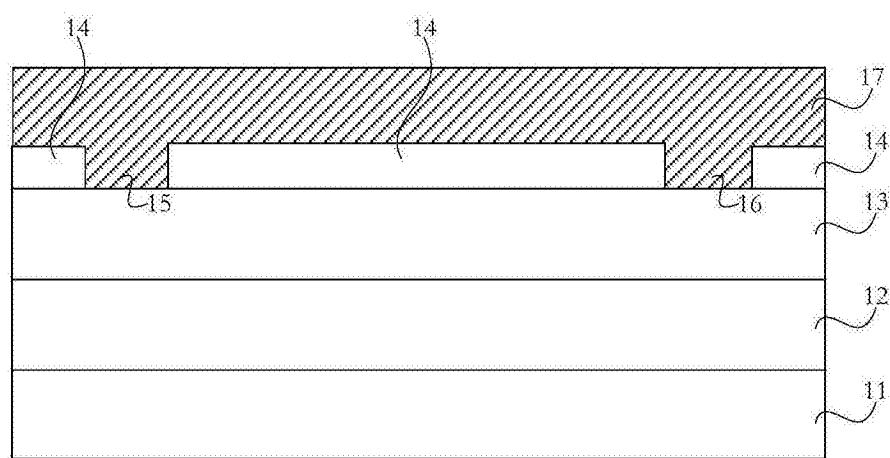


图4

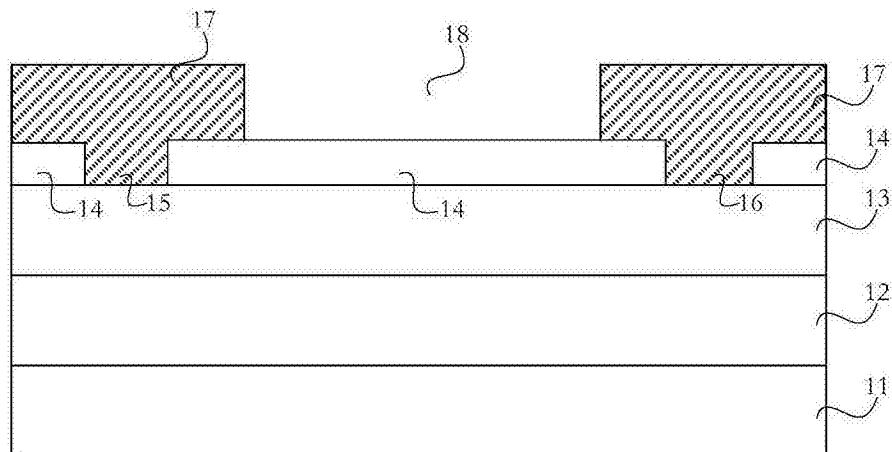


图5

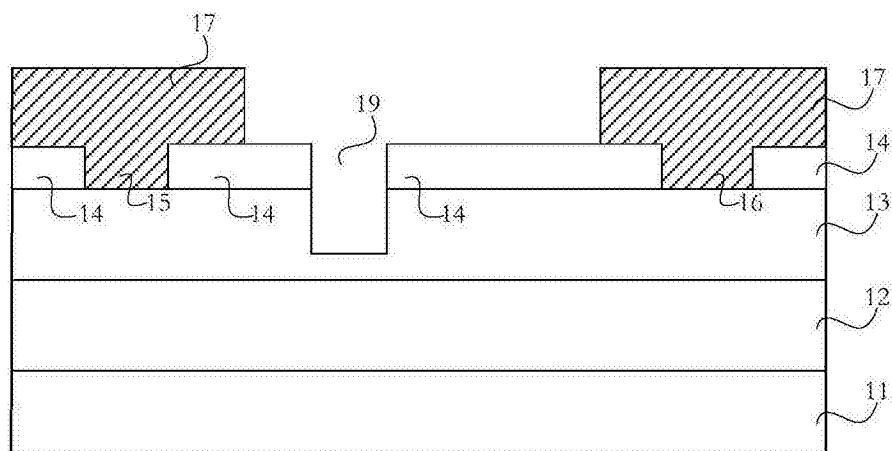


图6

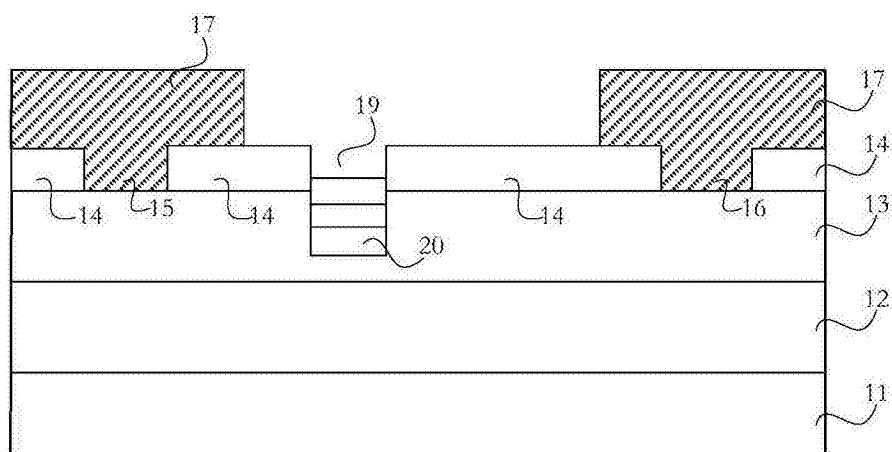


图7

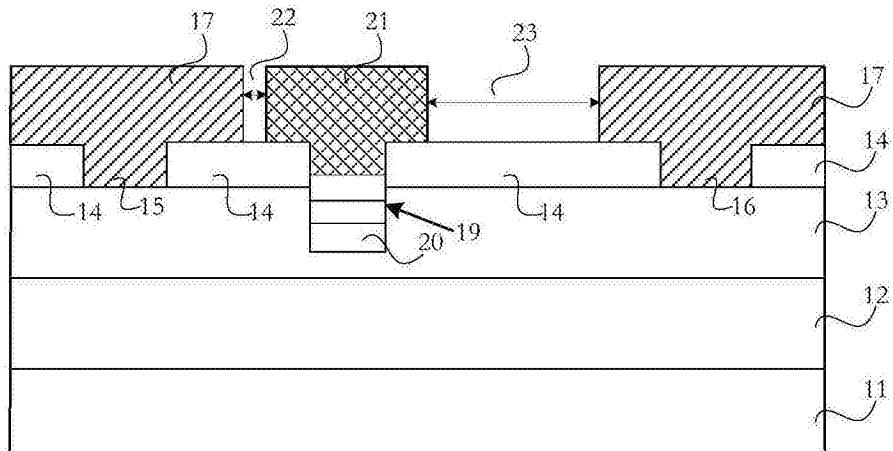


图8

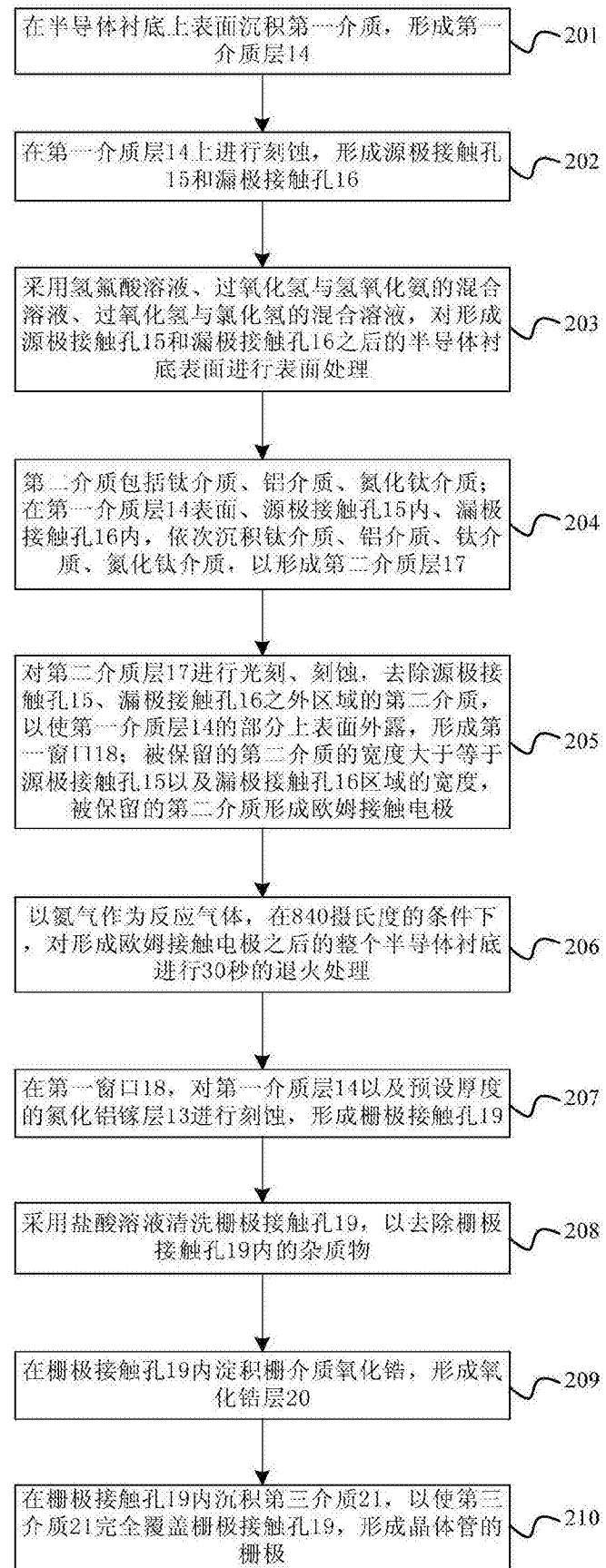


图9