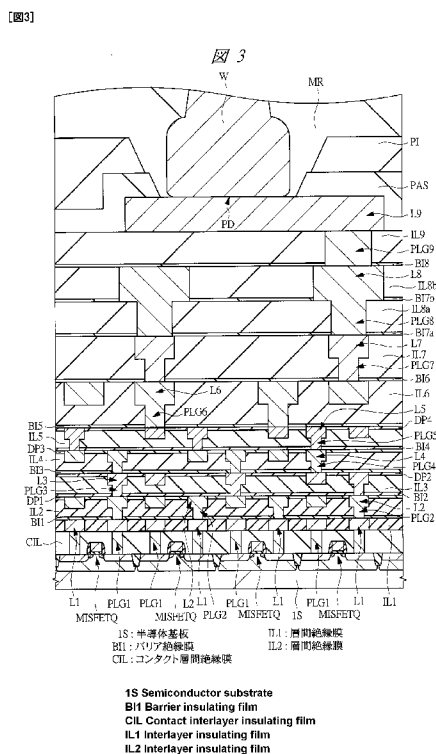


PCT

- 〔続葉有〕

(54) 発明の名称：半導体装置およびその製造方法



(57) Abstract: The objective is to provide technology that allows the reliability of a semiconductor device to be improved even when a film with lower permittivity than that of a silicon oxide film is used for a part of an interlayer insulating film. More specifically, to achieve this goal, an interlayer insulating film (IL1) which constitutes a first fine layer is formed from a film with a moderate Young's modulus, so an integrated film with a high Young's modulus (a semiconductor substrate (1S) and a contact interlayer insulating film (CIL)) and an interlayer insulating film (a film with a low Young's modulus, a low-permittivity film) (IL2), which constitutes a second fine layer, can be separated without being in direct contact, and stress can be dispersed. As a result, peeling of the interlayer insulating film (IL2) composed of the film with the low Young's modulus can be prevented, so the reliability of the semiconductor device can be improved.

(57) 要約: 本願発明の目的は、層間絶縁膜の一部に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であって、半導体装置の信頼性を向上することができる技術を提供することにある。具体的には、この目的を実現するため、第1形成イン層を構成する層間絶縁膜I L 1を中ヤング率膜から形成していることで、一体化した高ヤング率層(半導体基板1Sとタクト層間絶縁膜C I L)と、第2ファイン層を構成する層間絶縁膜(低ヤング率膜、低誘電率膜)I L 2とを直接触せずに分断することができ、応力を分散させることができる。この結果、低ヤング率膜から構成される層間絶縁膜I L 2の膜剥がれを防止することができ、半導体装置の信頼性を向上できる。



RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造技術に関し、特に、多層配線構造を有する半導体チップを樹脂で覆うようにパッケージする半導体装置およびその製造に適用して有効な技術に関するものである。

背景技術

[0002] 特開 2 0 0 6 - 3 2 8 6 4 号公報（特許文献 1）には、半導体基板上に多層配線が形成された構造が記載されている。具体的には、半導体基板上に半導体素子が形成され、この半導体素子を覆うようにコンタクト層間絶縁膜が形成されている。そして、このコンタクト層間絶縁膜には、半導体素子と電氣的に接続されるプラグが形成されている。プラグを形成したコンタクト層間絶縁膜上には、通常の金属層よりなる配線が形成され、この配線を覆うように、ボロンリンシリケートガラスからなる平坦化絶縁層が形成されている。平坦化絶縁層上には、S i O C 膜からなる第 1 絶縁層が形成され、この第 1 絶縁層に埋め込むように銅膜からなる第 1 埋め込み配線が形成されている。そして、第 1 埋め込み配線が形成された第 1 絶縁層上に第 2 絶縁層が形成されている。この第 2 絶縁層は、比較的誘電率の高い下層絶縁層と、低誘電率であるポリアリルエーテルからなる上層絶縁層との積層構造とされている。このとき、第 2 絶縁層を構成する下層絶縁層にプラグが形成され、第 2 絶縁層を構成する上層絶縁層に銅膜からなる第 2 埋め込み配線が形成されているとしている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 0 6 - 3 2 8 6 4 号公報

発明の概要

発明が解決しようとする課題

- [0004] 半導体チップを構成する半導体基板には、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) が形成され、このM I S F E T 上に多層配線が形成されている。近年では、半導体チップの高集積化を実現するため、多層配線の微細化が進められている。このため、配線の微細化による高抵抗化と、配線間の距離が縮まることによる寄生容量の増加が問題として顕在化してきている。つまり、多層配線には電気信号が流れるが、配線の高抵抗化と配線間の寄生容量の増加により、電気信号の遅延が発生するのである。例えば、タイミングが重要な回路では、配線を通る電気信号の遅延が誤動作を引き起こし、正常な回路として機能しなくなるおそれがある。このことから、配線を通る電気信号の遅延を防止するため、配線の高抵抗化の抑制と、配線間の寄生容量の低減が必要とされることがわかる。
- [0005] そこで、近年では、多層配線を構成する材料をアルミニウム膜から銅膜に換えることが行なわれている。すなわち、アルミニウム膜に比べて銅膜は抵抗率が低いので、配線を微細化しても、配線の高抵抗化を抑制できるからである。さらに、配線間の寄生容量を低減する観点から、配線間に存在する層間絶縁膜の一部を誘電率の低い低誘電率膜で構成することが行なわれている。以上のように、多層配線を有する半導体装置では高性能化を図るために、配線の材料として銅膜を使用し、かつ、層間絶縁膜の一部に低誘電率膜を使用している。
- [0006] 半導体チップは、いわゆる後工程によりパッケージ化される。例えば、後工程では、半導体チップを配線基板上に搭載した後、半導体チップに形成されているパッドと、配線基板に形成されている端子とをワイヤで接続する。その後、半導体チップを樹脂で封止した半導体チップがパッケージ化される。完成したパッケージは、様々な温度条件で使用されるため、広範囲な温度変化に対応しても正常に動作する必要がある。このことから、半導体チップは、パッケージ化された後、温度サイクル試験が実施される。
- [0007] 例えば、樹脂で半導体チップを封止したパッケージに対して温度サイクル試験を実施すると、樹脂と半導体チップにおいて、熱膨張率やヤング率が相

違するため、半導体チップに応力が印加される。この場合、層間絶縁膜の一部に低誘電率膜を使用した半導体チップでは、特に、低誘電率膜に膜剥がれが発生する。すなわち、温度サイクル試験で実施される温度変化によって、半導体チップと樹脂との間の熱膨張率およびヤング率の相違から、半導体チップに応力が生じるが、この半導体チップに生じる応力によって、低誘電率膜に膜剥がれが生じることが判明した。半導体チップ内で層間絶縁膜の膜剥がれが生じると、半導体チップがデバイスとして不良となり、半導体装置の信頼性が低下することになる。

[0008] 本発明の目的は、層間絶縁膜の一部に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であっても、半導体装置の信頼性を向上することができる技術を提供することにある。

[0009] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0011] 代表的な実施の形態における半導体装置の製造方法は、（a）半導体基板上にM I S F E Tを形成する工程と、（b）前記M I S F E Tを覆う前記半導体基板上にコンタクト層間絶縁膜を形成する工程と、（c）前記コンタクト層間絶縁膜内に第1プラグを形成し、前記第1プラグと前記M I S F E Tとを電氣的に接続する工程とを備える。そして、（d）前記第1プラグを形成した前記コンタクト層間絶縁膜上に第1層間絶縁膜を形成する工程と、（e）前記第1層間絶縁膜内に埋め込まれた第1層配線を形成し、前記第1層配線と前記第1プラグとを電氣的に接続する工程とを備える。さらに、（f）前記第1層配線を形成した前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、（g）前記第2層間絶縁膜内に埋め込まれた第2プラグおよび第2層配線を形成し、前記第2層配線と前記第1層配線とを前記第2プラグを介して電氣的に接続する工程とを備える。続いて、（h）前記第2層間絶

縁膜上に、さらに、多層配線を形成する工程と、（i）前記多層配線の最上層配線の上にパッシベーション膜を形成する工程と、（j）前記パッシベーション膜に開口部を形成し、前記開口部から前記最上層配線の一部を露出することによりパッドを形成する工程とを備える。次に、（k）前記半導体基板を半導体チップに個片化する工程と、（l）前記半導体チップをパッケージングする工程とを備え、前記（l）工程は、少なくとも前記半導体チップの一部を樹脂で封止する工程を有する。ここで、前記コンタクト層間絶縁膜と前記第1層間絶縁膜と前記第2層間絶縁膜の中で、前記コンタクト層間絶縁膜は、最もヤング率の高い高ヤング率膜から形成され、前記第2層間絶縁膜は、最もヤング率の低い低ヤング率膜から形成され、前記第1層間絶縁膜は、前記コンタクト層間絶縁膜のヤング率よりも低く、かつ、前記第2層間絶縁膜のヤング率よりも高い中ヤング率膜から形成されていることを特徴とするものである。

[0012] また、代表的な実施の形態における半導体装置は、（a）パッドを有する半導体チップと、（b）前記半導体チップをパッケージングするパッケージ体とを備え、前記パッケージ体は、少なくとも前記半導体チップの一部を封止する樹脂体を有する。一方、前記半導体チップは、（a1）半導体基板と、（a2）前記半導体基板に形成されたMISFETと、（a3）前記MISFETを覆う前記半導体基板上に形成されたコンタクト層間絶縁膜と、（a4）前記コンタクト層間絶縁膜を貫通して前記MISFETと電氣的に接続された第1プラグとを有する。さらに、（a5）前記第1プラグを形成した前記コンタクト層間絶縁膜上に形成された第1層間絶縁膜と、（a6）前記第1層間絶縁膜内に形成され、前記第1プラグと電氣的に接続された第1層配線と、（a7）前記第1層配線を形成した前記第1層間絶縁膜上に形成された第2層間絶縁膜とを有する。その上、（a8）前記第2層間絶縁膜内に形成され、前記第1層配線と電氣的に接続された第2プラグと、（a9）前記第2層間絶縁膜内に形成され、前記第2プラグと電氣的に接続された第2層配線とを有する。このとき、前記コンタクト層間絶縁膜と前記第1層間

絶縁膜と前記第 2 層間絶縁膜の中で、前記コンタクト層間絶縁膜は、最もヤング率の高い高ヤング率膜から形成され、前記第 2 層間絶縁膜は、最もヤング率の低い低ヤング率膜から形成され、前記第 1 層間絶縁膜は、前記コンタクト層間絶縁膜のヤング率よりも低く、かつ、前記第 2 層間絶縁膜のヤング率よりも高い中ヤング率膜から形成されていることを特徴とするものである。

発明の効果

[0013] 本願において開示される発明のうち、代表的な実施の形態のものによって得られる効果を簡単に説明すれば以下のとおりである。

[0014] 層間絶縁膜の一部に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であっても、半導体装置の信頼性を向上することができる。

図面の簡単な説明

[0015] [図1]パッケージの構成例を示す断面図である。

[図2]パッケージの他の構成例を示す断面図である。

[図3]本発明の実施の形態 1 における半導体装置の構成（デバイス構造）を示す断面図である。

[図4]図 3 に示すデバイス構造のうち、第 1 層配線（第 1 ファイン層）と、この第 1 層配線上に形成されている第 2 層配線（第 2 ファイン層）を示す断面図である。

[図5]図 3 に示すデバイス構造のうち、第 7 層配線（セミグローバル層）と、この第 7 層配線上に形成されている第 8 層配線（グローバル層）を示す断面図である。

[図6]実施の形態 1 の層間絶縁膜で使用する材料膜を比誘電率の観点から分類した表である。

[図7]実施の形態 1 の層間絶縁膜で使用する材料膜をヤング率の観点から分類した表である。

[図8]実施の形態 1 の層間絶縁膜で使用する材料膜を密度の観点から分類した表である。

[図9]層間絶縁膜を構成する材料膜について、比誘電率とヤング率との関係を示すグラフである。

[図10]層間絶縁膜を構成する材料膜について、比誘電率とヤング率との関係を示すグラフである。

[図11]層間絶縁膜を構成する材料膜について、比誘電率と密度との関係を示すグラフである。

[図12]半導体基板表面からの距離とせん断応力との関係を示すグラフである。

[図13]実施の形態1における半導体装置の製造工程を示す断面図である。

[図14]図13に続く半導体装置の製造工程を示す断面図である。

[図15]図14に続く半導体装置の製造工程を示す断面図である。

[図16]図15に続く半導体装置の製造工程を示す断面図である。

[図17]図16に続く半導体装置の製造工程を示す断面図である。

[図18]図17に続く半導体装置の製造工程を示す断面図である。

[図19]図18に続く半導体装置の製造工程を示す断面図である。

[図20]図19に続く半導体装置の製造工程を示す断面図である。

[図21]図20に続く半導体装置の製造工程を示す断面図である。

[図22]図21に続く半導体装置の製造工程を示す断面図である。

[図23]図22に続く半導体装置の製造工程を示す断面図である。

[図24]図23に続く半導体装置の製造工程を示す断面図である。

[図25]図24に続く半導体装置の製造工程を示す断面図である。

[図26]図25に続く半導体装置の製造工程を示す断面図である。

[図27]図26に続く半導体装置の製造工程を示す断面図である。

[図28]図27に続く半導体装置の製造工程を示す断面図である。

[図29]図28に続く半導体装置の製造工程を示す断面図である。

[図30]図29に続く半導体装置の製造工程を示す断面図である。

[図31]図30に続く半導体装置の製造工程を示す断面図である。

[図32]図31に続く半導体装置の製造工程を示す断面図である。

- [図33] 図 3 2 に続く半導体装置の製造工程を示す断面図である。
- [図34] 図 3 3 に続く半導体装置の製造工程を示す断面図である。
- [図35] 図 3 4 に続く半導体装置の製造工程を示す断面図である。
- [図36] 図 3 5 に続く半導体装置の製造工程を示す断面図である。
- [図37] 図 3 6 に続く半導体装置の製造工程を示す断面図である。
- [図38] 図 3 7 に続く半導体装置の製造工程を示す断面図である。
- [図39] 図 3 8 に続く半導体装置の製造工程を示す断面図である。
- [図40] 図 3 9 に続く半導体装置の製造工程を示す断面図である。
- [図41] 図 4 0 に続く半導体装置の製造工程を示す断面図である。
- [図42] 図 4 1 に続く半導体装置の製造工程を示す断面図である。
- [図43] 図 4 2 に続く半導体装置の製造工程を示す断面図である。
- [図44] 図 4 3 に続く半導体装置の製造工程を示す断面図である。
- [図45] 図 4 4 に続く半導体装置の製造工程を示す断面図である。
- [図46] 図 4 5 に続く半導体装置の製造工程を示す断面図である。
- [図47] 図 4 6 に続く半導体装置の製造工程を示す断面図である。
- [図48] 図 4 7 に続く半導体装置の製造工程を示す断面図である。
- [図49] 実施の形態 2 におけるパッケージの構成例を示す断面図である。
- [図50] 実施の形態 2 における半導体装置の製造工程を示す断面図である。
- [図51] 図 5 0 に続く半導体装置の製造工程を示す断面図である。
- [図52] 図 5 1 に続く半導体装置の製造工程を示す断面図である。
- [図53] 図 5 2 に続く半導体装置の製造工程を示す断面図である。
- [図54] 図 5 3 に続く半導体装置の製造工程を示す断面図である。
- [図55] 図 5 4 に続く半導体装置の製造工程を示す断面図である。
- [図56] 図 5 5 に続く半導体装置の製造工程を示す断面図である。
- [図57] 図 5 6 に続く半導体装置の製造工程を示す断面図である。
- [図58] 図 5 7 に続く半導体装置の製造工程を示す断面図である。
- [図59] 図 5 8 に続く半導体装置の製造工程を示す断面図である。
- [図60] 実施の形態 3 におけるパッケージの構成例を示す断面図である。

[図61] リードフレームを示す平面図である。

[図62] 実施の形態3における半導体装置の製造工程を示す断面図である。

[図63] 図62に続く半導体装置の製造工程を示す断面図である。

[図64] 図63に続く半導体装置の製造工程を示す断面図である。

[図65] 図64に続く半導体装置の製造工程を示す断面図である。

[図66] 実施の形態4における半導体装置の構成（デバイス構造）を示す断面図である。

[図67] 半導体基板表面からの距離とせん断応力との関係を示すグラフである。

[図68] 実施の形態5における半導体装置の構成（デバイス構造）を示す断面図である。

[図69] 実施の形態5における半導体装置の製造工程を示す断面図である。

[図70] 図69に続く半導体装置の製造工程を示す断面図である。

[図71] 図70に続く半導体装置の製造工程を示す断面図である。

[図72] 図71に続く半導体装置の製造工程を示す断面図である。

発明を実施するための形態

[0016] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0017] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0018] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

[0019] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言

及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0020] また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

[0021] (実施の形態 1)

半導体装置は、M I S F E T などの半導体素子と多層配線を形成した半導体チップと、この半導体チップを覆うように形成されたパッケージから形成されている。パッケージには、(1) 半導体チップに形成されている半導体素子と外部回路とを電氣的に接続するという機能や、(2) 湿度や温度などの外部環境から半導体チップを保護し、振動や衝撃による破損や半導体チップの特性劣化を防止する機能がある。さらに、パッケージには、(3) 半導体チップのハンドリングを容易にするといった機能や、(4) 半導体チップの動作時における発熱を放散し、半導体素子の機能を最大限に発揮させる機能なども合わせもっている。このような機能を有するパッケージには様々な種類が存在する。以下に、パッケージの構成例について説明する。

[0022] 図 1 は、パッケージ（パッケージ体）の構成例を示す断面図である。図 1 において、配線基板 W B には、中央部に溝が形成されており、この溝内に半導体チップ C H P が配置されている。さらに、配線基板 W B には、導体膜よりなる配線 C P が形成されており、この配線 C P と、半導体チップ C H P に形成されたパッド P D がワイヤ W で電氣的に接続されている。配線基板 W B に形成されている配線 C P は、配線基板 W B の外部に引き出されており、半導体チップと外部回路が配線基板 W B に形成されている配線 C P を介して電氣的に接続されるようになっている。半導体チップ C H P は、配線基板 W B とカバー（蓋）C O V によって密閉されており、湿度や温度といった外部環境から保護されている。

[0023] パッケージは、様々な温度条件で使用されるため、広範囲な温度変化に対

応しても正常に動作する必要がある。このことから、半導体チップは、パッケージ化された後、温度サイクル試験が実施される。このとき、図1に示すパッケージの場合、半導体チップCHPが樹脂によって封止されていないので、パッケージに広範囲の温度変化が加わっても半導体チップCHPに応力が発生することはない。つまり、図1に示すパッケージでは、半導体チップCHPが樹脂で覆われていない。したがって、半導体チップCHPと樹脂との間で、熱膨張率やヤング率の相違に起因した応力が半導体チップCHPにかかることはないと考えられる。このことから、図1に示すパッケージでは、半導体チップCHPに生じる応力が問題となることは少ないと考えられる。ここでいう応力とは、圧縮応力や引張応力を含むものである。

[0024] 次に、半導体チップにかかる応力が問題となるパッケージの構成例について説明する。図2は、パッケージの他の構成例を示す断面図である。図2において、配線基板WB上には、半導体チップCHPが搭載されている。この半導体チップCHPに形成されているパッドPDは、配線基板WBに形成されている端子TEとワイヤWによって電氣的に接続されている。配線基板WBの裏面には、外部接続端子として機能する半田ボールSBが形成されている。配線基板WBでは、配線基板WBの主面に形成されている端子TEと、配線基板WBの裏面に形成されている半田ボールSBが、配線基板WBの内部に形成されている配線（図示せず）を介して電氣的に接続されている。したがって、半導体チップCHPに形成されているパッドPDは、ワイヤWおよび端子TEを介して外部接続端子となる半田ボールSBと電氣的に接続されていることになる。つまり、図2に示すパッケージでは、半導体チップCHPと外部回路とを半田ボールSBを介して電氣的に接続できるように構成されている。

[0025] さらに、図2に示すパッケージでは、配線基板WBの主面側に樹脂MRが形成されている。この樹脂MRによって、配線基板WBの主面上に形成されている半導体チップCHPおよびワイヤWが封止されている。すなわち、図2に示すパッケージでは、半導体チップCHPを覆うように樹脂MRが形成

されており、半導体チップＣＨＰは、樹脂ＭＲによって湿度や温度といった外部環境から保護されていることになる。

[0026] このように、図２に示すパッケージでは、半導体チップＣＨＰを樹脂ＭＲで封止していることから、温度サイクル試験における温度変化によって、半導体チップＣＨＰに応力がかかることになる。つまり、温度サイクル試験による広範囲な温度変化がパッケージに加わると、半導体チップＣＨＰと樹脂ＭＲとの熱膨張率やヤング率の相違から半導体チップＣＨＰに応力が発生する。半導体チップＣＨＰに応力が発生すると、半導体チップＣＨＰ内に形成されている多層配線において膜剥がれという問題点が発生するおそれがある。

[0027] 本実施の形態１では、半導体チップＣＨＰに加わる応力によって多層配線を構成する層間絶縁膜間に膜剥がれが生じることを抑制する技術を提供することを目的としている。したがって、本実施の形態１で対象としているパッケージは、半導体チップＣＨＰの一部が樹脂ＭＲに接触している構造をしているものである。このようなパッケージでは、半導体チップＣＨＰと樹脂ＭＲとの間で、熱膨張率の差およびヤング率の差に起因して、半導体チップＣＨＰに応力が発生しやすいと考えられるからである。具体的に、例えば、本実施の形態１で対象にしているパッケージは、図１に示すパッケージではなく、図２に示すようなパッケージである。

[0028] 以下に、半導体チップＣＨＰの少なくとも一部が樹脂ＭＲによって封止されているパッケージを前提として、半導体チップＣＨＰに加わる応力により半導体チップＣＨＰ内に形成されている層間絶縁膜間の剥離を抑制できる技術的思想を説明する。本実施の形態１では、半導体チップＣＨＰに加わる応力に起因した層間絶縁膜間の剥離を抑制するために、半導体チップＣＨＰの内部に形成されている層間絶縁膜に工夫を施している。つまり、本実施の形態１における技術的思想は、半導体チップＣＨＰと樹脂ＭＲとの間で発生する応力を低減するのではなく、応力の発生を前提として、半導体チップＣＨＰの内部に形成されている層間絶縁膜の構成に工夫を施しているものである。

。

[0029] まず、半導体チップＣＨＰに形成されているデバイス構造について説明する。図３は、本実施の形態１におけるデバイス構造を示す断面図である。図３において、シリコン単結晶からなる半導体基板１Ｓ上に複数のＭＩＳＦＥＴＱが形成されている。複数のＭＩＳＦＥＴＱは、素子分離領域で分離された活性領域に形成されており、例えば、以下に示す構成をしている。具体的には、素子分離領域で分離された活性領域にはウェルが形成されており、このウェル上にＭＩＳＦＥＴＱが形成されている。ＭＩＳＦＥＴＱは、半導体基板１Ｓの主面上に、例えば、酸化シリコン膜からなるゲート絶縁膜を有し、このゲート絶縁膜上にポリシリコン膜とこのポリシリコン膜上に設けられたシリサイド膜（ニッケルシリサイド膜など）の積層膜からなるゲート電極を有している。ゲート電極の両側の側壁には、例えば、酸化シリコン膜からなるサイドウォールが形成されており、このサイドウォール下の半導体基板内に浅い不純物拡散領域がゲート電極に整合して形成されている。そして、浅い不純物拡散領域の外側に深い不純物拡散領域がサイドウォールに整合して形成されている。一对の浅い不純物拡散領域と一对の深い不純物拡散領域によって、それぞれＭＩＳＦＥＴＱのソース領域とドレイン領域が形成されている。以上のようにして半導体基板１Ｓ上にＭＩＳＦＥＴＱが形成されている。

[0030] 続いて、図３に示すように、ＭＩＳＦＥＴＱを形成した半導体基板１Ｓ上にはコンタクト層間絶縁膜ＣＩＬが形成されている。このコンタクト層間絶縁膜ＣＩＬは、例えば、オゾンとＴＥＯＳ（tetra ethyl ortho silicate）とを原料に使用した熱ＣＶＤ法により形成されるオゾンＴＥＯＳ膜と、このオゾンＴＥＯＳ膜上に設けられたＴＥＯＳを原料に使用したプラズマＣＶＤ法により形成されるプラズマＴＥＯＳ膜との積層膜から形成されている。そして、このコンタクト層間絶縁膜ＣＩＬを貫通してＭＩＳＦＥＴＱのソース領域やドレイン領域に達するプラグＰＬＧ１が形成されている。このプラグＰＬＧ１は、例えば、チタン／窒化チタン膜（以下、チタン／窒化チタン膜

はチタンとこのチタン上に設けられた窒化チタンで形成される膜を示す)よりなるバリア導体膜と、このバリア導体膜上に形成されたタングステン膜をコンタクトホールに埋め込むことにより形成されている。チタン/窒化チタン膜は、タングステン膜を構成するタングステンがシリコン中へ拡散することを防止するために設けられている膜で、このタングステン膜が構成される際のWF6(フッ化タングステン)を還元処理するCVD法において、フッ素アタックがコンタクト層間絶縁膜CILや半導体基板1Sになされてダメージを与えることを防ぐためのものである。なお、コンタクト層間絶縁膜CILは、酸化シリコン膜(SiO_2 膜)、 SiOF 膜、あるいは、窒化シリコン膜のいずれかの膜から形成されていてもよい。

[0031] 次に、コンタクト層間絶縁膜CIL上に第1層配線L1が形成されている。具体的に、第1層配線L1は、プラグPLG1を形成したコンタクト層間絶縁膜CIL上に形成された層間絶縁膜IL1に埋め込まれるように形成されている。つまり、層間絶縁膜IL1を貫通して底部でプラグPLG1が露出する配線溝に銅を主体とする膜(以下、銅膜と記載する)を埋め込むことにより、第1層配線L1が形成されている。層間絶縁膜IL1は、例えば、 SiOC 膜、HSQ(ハイドロジェンシルセスキオキサン、塗布工程により形成され、 Si-H 結合を持つ酸化シリコン膜、又は、水素含有シルセスキオキサン)膜、あるいは、MSQ(メチルシルセスキオキサン、塗布工程により形成され、 Si-C 結合を持つ酸化シリコン膜、又は、炭素含有シルセスキオキサン)膜から構成されている。ここで、第1層配線L1は、本明細書で第1ファイン層と呼ぶこともある。

[0032] 続いて、第1層配線L1を形成した層間絶縁膜IL1上には、第2層配線L2が形成されている。具体的には、第1層配線L1を形成した層間絶縁膜IL1上にバリア絶縁膜BI1が形成され、このバリア絶縁膜BI1上に層間絶縁膜IL2が形成されている。そして、層間絶縁膜IL2上にダメージ保護膜DP1が形成されている。バリア絶縁膜BI1は、例えば、 SiCN 膜とこの SiCN 膜上に設けられた SiCO 膜の積層膜、 SiC 膜、または

、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 2は、例えば、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜から形成されている。空孔のサイズ（径）は、例えば、1 n m程度である。ダメージ保護膜D P 1は、例えば、S i O C膜から形成されている。このバリア絶縁膜B I 1、層間絶縁膜I L 2およびダメージ保護膜D P 1には、第2層配線L 2およびプラグP L G 2が埋め込まれるように形成されている。この第2層配線L 2およびプラグP L G 2は、例えば、銅膜から形成されている。なお、S i C N膜およびS i C O膜で構成された積層膜は、S i C N膜またはS i N膜から選択された第1膜と、第1膜上に設けられ、S i C O膜、酸化シリコン膜またはT E O S膜から選択された第2膜から構成された積層膜でもよい。以下で説明するS i C N膜およびS i C O膜で構成された積層膜も同様である。

[0033] そして、第2層配線L 2と同様にして、第3層配線L 3～第5層配線L 5が形成されている。具体的に、ダメージ保護膜D P 1上にバリア絶縁膜B I 2が形成され、このバリア絶縁膜B I 2上に層間絶縁膜I L 3が形成されている。そして、層間絶縁膜I L 3上にダメージ保護膜D P 2が形成されている。バリア絶縁膜B I 2は、例えば、S i C N膜とこのS i C N膜上に設けられたS i C O膜の積層膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 3は、例えば、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜から形成されている。ダメージ保護膜D P 2は、例えば、S i O C膜から形成されている。このバリア絶縁膜B I 2、層間絶縁膜I L 3およびダメージ保護膜D P 2には、第2層配線L 3およびプラグP L G 3が埋め込まれるように形成されている。この第2層配線L 3およびプラグP L G 3は、例えば、銅膜から形成されている。

[0034] 続いて、ダメージ保護膜D P 1上にバリア絶縁膜B I 2が形成され、このバリア絶縁膜B I 2上に層間絶縁膜I L 3が形成されている。そして、層間絶縁膜I L 3上にダメージ保護膜D P 2が形成されている。バリア絶縁膜B

I 2は、例えば、S i C N膜とこのS i C N膜上に設けられたS i C O膜の積層膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 3は、例えば、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜から形成されている。ダメージ保護膜D P 2は、例えば、S i O C膜から形成されている。このバリア絶縁膜B I 2、層間絶縁膜I L 3およびダメージ保護膜D P 2には、第3層配線L 3およびプラグP L G 3が埋め込まれるように形成されている。この第2層配線L 3およびプラグP L G 3は、例えば、銅膜から形成されている。

[0035] 次に、ダメージ保護膜D P 2上にバリア絶縁膜B I 3が形成され、このバリア絶縁膜B I 3上に層間絶縁膜I L 4が形成されている。そして、層間絶縁膜I L 4上にダメージ保護膜D P 3が形成されている。バリア絶縁膜B I 3は、例えば、S i C N膜とこのS i C N膜上に設けられたS i C O膜の積層膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 4は、例えば、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜から形成されている。ダメージ保護膜D P 3は、例えば、S i O C膜から形成されている。このバリア絶縁膜B I 3、層間絶縁膜I L 4およびダメージ保護膜D P 3には、第4層配線L 4およびプラグP L G 4が埋め込むように形成されている。この第4層配線L 4およびプラグP L G 4は、例えば、銅膜から形成されている。

[0036] さらに、ダメージ保護膜D P 3上にバリア絶縁膜B I 4が形成され、このバリア絶縁膜B I 4上に層間絶縁膜I L 5が形成されている。そして、層間絶縁膜I L 5上にダメージ保護膜D P 4が形成されている。バリア絶縁膜B I 4は、例えば、S i C N膜とこのS i C N膜上に設けられたS i C O膜の積層膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 5は、例えば、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜から形成されている。ダメージ保護膜D P 4は、例えば、S i O C膜から形成されている。このバリア絶縁膜B I 4、層間絶縁膜I L 5およびダメージ保護膜D P 4には、第5層配

線 L 5 およびプラグ P L G 5 が埋め込まれるように形成されている。この第 5 層配線 L 5 およびプラグ P L G 5 は、例えば、銅膜から形成されている。ここで、第 2 層配線 L 2 ～第 5 層配線 L 5 をまとめて、本明細書で第 2 ファイン層と呼ぶこともある。

[0037] 続いて、ダメージ保護膜 D P 4 上にバリア絶縁膜 B I 5 が形成され、このバリア絶縁膜 B I 5 上に層間絶縁膜 I L 6 が形成されている。バリア絶縁膜 B I 5 は、例えば、S i C N 膜とこの S i C N 膜上に設けられた S i C O 膜の積層膜、S i C 膜、または、S i N 膜のうちのいずれか 1 つから形成されており、層間絶縁膜 I L 6 は、例えば、S i O C 膜、H S Q 膜、あるいは、M S Q 膜から形成されている。このバリア絶縁膜 B I 5、層間絶縁膜 I L 6 には、第 6 層配線 L 6 およびプラグ P L G 6 が埋め込まれるように形成されている。この第 6 層配線 L 6 およびプラグ P L G 6 は、例えば、銅膜から形成されている。

[0038] 次に、層間絶縁膜 I L 6 上にバリア絶縁膜 B I 6 が形成され、このバリア絶縁膜 B I 6 上に層間絶縁膜 I L 7 が形成されている。バリア絶縁膜 B I 6 は、例えば、S i C N 膜とこの S i C N 膜上に設けられた S i C O 膜の積層膜、S i C 膜、または、S i N 膜のうちのいずれか 1 つから形成されており、層間絶縁膜 I L 7 は、例えば、S i O C 膜、H S Q 膜、あるいは、M S Q 膜から形成されている。このバリア絶縁膜 B I 6、層間絶縁膜 I L 7 には、第 7 層配線 L 7 およびプラグ P L G 7 が埋め込まれるように形成されている。この第 7 層配線 L 7 およびプラグ P L G 7 は、例えば、銅膜から形成されている。ここで、第 6 層配線 L 6 と第 7 層配線 L 7 をまとめて、本明細書でセミグローバル層と呼ぶこともある。

[0039] さらに、層間絶縁膜 I L 7 上にバリア絶縁膜 B I 7 a が形成され、このバリア絶縁膜 B I 7 a 上に層間絶縁膜 I L 8 a が形成されている。そして、層間絶縁膜 I L 8 a 上にエッチングストップ絶縁膜 B I 7 b が形成され、このエッチングストップ絶縁膜 B I 7 b 上に層間絶縁膜 I L 8 b が形成されている。バリア絶縁膜 B I 7 a は、例えば、S i C N 膜と S i C O 膜の積層膜、

S i C膜、または、S i N膜のうちのいずれか1つから形成されており、エッチングストップ絶縁膜B I 7 bは、例えば、S i C N膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 8 aおよび層間絶縁膜I L 8 bは、例えば、酸化シリコン膜（S i O₂膜）、S i O F膜、T E O S膜から形成されている。バリア絶縁膜B I 7 aおよび層間絶縁膜I L 8 aには、プラグP L G 8が埋め込まれるように形成されており、エッチングストップ絶縁膜B I 7 bおよび層間絶縁膜I L 8 bには、第8層配線L 8が埋め込まれるように形成されている。この第8層配線L 8およびプラグP L G 8は、例えば、銅膜から形成されている。ここで、第8層配線L 8を本明細書でグローバル層と呼ぶこともある。

[0040] 続いて、層間絶縁膜I L 8 b上にバリア絶縁膜B I 8が形成され、このバリア絶縁膜B I 8上に層間絶縁膜I L 9が形成されている。バリア絶縁膜B I 8は、例えば、S i C N膜とS i C O膜の積層膜、S i C膜、または、S i N膜のうちのいずれか1つから形成されており、層間絶縁膜I L 9は、例えば、酸化シリコン膜（S i O₂膜）、S i O F膜、T E O S膜から形成されている。バリア絶縁膜B I 8および層間絶縁膜I L 9には、プラグP L G 9が埋め込まれるように形成されている。そして、層間絶縁膜I L 9上には第9層配線L 9が形成されている。プラグP L G 9と第9層配線L 9は、例えば、アルミニウム膜から形成されている。

[0041] 第9層配線L 9上には、表面保護膜となるパッシベーション膜P A Sが形成されており、このパッシベーション膜P A Sに形成された開口部から第9層配線L 9の一部が露出している。この第9層配線L 9のうち露出している領域がパッドP Dとなる。パッシベーション膜P A Sは、不純物の侵入から保護する機能を有し、例えば、酸化シリコン膜とこの酸化シリコン膜上に設けられた窒化シリコン膜から形成されている。そして、パッシベーション膜P A S上にはポリイミド膜P Iが形成されている。このポリイミド膜P IもパッドP Dの形成されている領域を開口している。

[0042] パッドP DにはワイヤWが接続されており、ワイヤWが接続されたパッド

P D上を含むポリイミド膜P I 上は、樹脂MRによって封止されている。図3に示すデバイス構造は上記のように構成されており、以下に、さらに詳細な構成の一例について説明する。

[0043] 図4は、図3に示すデバイス構造のうち、第1層配線（第1ファイン層）L 1と、この第1層配線L 1上に形成されている第2層配線（第2ファイン層）L 2を示す断面図である。図4において、第1層配線L 1は、例えば、S i O C膜からなる層間絶縁膜I L 1上に形成された配線溝に形成されている。具体的に、第1層配線L 1は、配線溝の内壁に形成されたタンタル／窒化タンタル膜（以下タンタル／窒化タンタル膜は、窒化タンタルとこの窒化タンタル上に形成されたタンタルで構成された膜を示す）やチタン／窒化チタン膜からなるバリア導体膜B M 1と、このバリア導体膜B M 1上に形成され、配線溝を埋め込むように形成された銅膜C u 1から構成されている。このように層間絶縁膜I L 1に形成された配線溝に直接銅膜を形成せずにバリア導体膜B M 1を形成しているのは、銅膜を構成する銅が熱処理などによって半導体基板1 Sを構成するシリコンへ拡散することを防止するためである。すなわち、銅原子のシリコンへの拡散定数は比較的大きいので容易にシリコン中へ拡散する。この場合、半導体基板1 SにはM I S F E T Qなどの半導体素子が形成されており、これらの形成領域に銅原子が拡散すると耐圧不良などに代表される半導体素子の特性劣化を引き起こす。このことから、第1層配線を構成する銅膜から銅原子が拡散しないようにバリア導体膜B M 1が設けられているのである。つまり、バリア導体膜B M 1は、銅原子の拡散を防止する機能を有する膜であることがわかる。

[0044] そして、図4に示すように、第1層配線L 1を形成した層間絶縁膜I L 1上にバリア絶縁膜B I 1が形成されており、このバリア絶縁膜B I 1上に層間絶縁膜I L 2が形成されている。層間絶縁膜I L 2上にはダメージ保護膜D P 1が形成されている。このとき、バリア絶縁膜B I 1は、S i C N膜B I 1 aとS i C O膜B I 1 bの積層膜から構成されており、層間絶縁膜I L 2は、例えば、空孔を有するS i O C膜から構成されている。さらに、ダメ

ージ保護膜DP1は、SiOC膜から構成されている。バリア絶縁膜BI1と層間絶縁膜IL2とダメージ保護膜DP1には、第2層配線L2およびプラグPLG2が埋め込まれるように形成されている。この第2層配線L2およびプラグPLG2もバリア導体膜BM2と銅膜Cu2の積層膜から形成されている。

[0045] 次に、図5は、図3に示すデバイス構造のうち、第7層配線（セミグローバル層）L7と、この第7層配線上に形成されている第8層配線（グローバル層）L8を示す断面図である。図5においても、バリア絶縁膜BI6は、SiCN膜BI6aおよびSiOC膜BI6bから形成され、バリア絶縁膜BI7aは、SiCN膜BI7a1およびSiOC膜BI7a2から形成されている。エッチングストップ絶縁膜BI7bは、SiCN膜から形成されている。さらに、第7層配線L7およびプラグPLG7は、バリア導体膜BM7と銅膜Cu7の積層膜から構成され、第8層配線L8およびプラグPLG8も、バリア導体膜BM8と銅膜Cu8の積層膜から構成されている。図4および図5では、第1層配線L1、第2層配線L2、第7層配線L7および第8層配線L8について説明したが、第1層配線L1～第8層配線L8を構成しているすべての銅配線およびプラグは、銅膜とバリア導体膜の積層膜から構成されている。さらに、すべてのバリア絶縁膜もSiCN膜とSiOC膜の積層膜から構成されている。

[0046] 以上のように、本実施の形態1における半導体装置では、例えば、第1層配線L1～第9層配線L9を有する多層配線構造をしている。このとき、多層配線構造を構成する各層間絶縁膜は異なる種類の膜で形成している。これは、各層間絶縁膜に要求される機能が異なることに起因している。つまり、各層間絶縁膜に要求される機能に基づいて、各層間絶縁膜に適した材料膜が選択されている。具体的には、材料膜の物性に基づいて各層間絶縁膜に適用されている。

[0047] 以下では、各層間絶縁膜に使用される材料膜を物性の観点から分類してみる。まず、物性の一例として誘電率（比誘電率）の観点から分類してみる。

図6は本実施の形態1の層間絶縁膜で使用する材料膜を比誘電率の観点から分類した表である。図6に示すように、酸化シリコン膜（ SiO_2 膜）、窒化シリコン膜（ SiN 膜）、TEOS膜、 SiOF 膜、 SiCN 膜、 SiC 膜および SiCO 膜は、比誘電率が3.5以上であることから、本明細書では、これらの膜を高誘電率膜と分類することにする。一方、 SiOC 膜、HSQ膜およびMSQ膜は、比誘電率が2.8以上で3.5より小さいことから、中誘電率膜と分類することにする。さらに、空孔を有する SiOC 膜、空孔を有するHSQ膜および空孔を有するMSQ膜は、比誘電率が2.8よりも小さいことから、低誘電率膜と分類することにする。以上のように、本実施の形態1で使用する層間絶縁膜（バリア絶縁膜およびダメージ保護膜も含む）は、比誘電率の観点から、高誘電率膜と、中誘電率膜と、低誘電率膜とに分類することができる。

[0048] 続いて、物性の他の一例としてヤング率の観点から分類してみる。図7は本実施の形態1の層間絶縁膜で使用する材料膜をヤング率の観点から分類した表である。図7に示すように、酸化シリコン膜（ SiO_2 膜）、窒化シリコン膜（ SiN 膜）、TEOS膜、 SiOF 膜、 SiCN 膜、 SiC 膜および SiCO 膜は、ヤング率が30（GPa）以上であることから、本明細書では、これらの膜を高ヤング率膜と分類することにする。一方、 SiOC 膜、HSQ膜およびMSQ膜は、ヤング率が15（GPa）以上で30（GPa）より小さいことから、中ヤング率膜と分類することにする。さらに、空孔を有する SiOC 膜、空孔を有するHSQ膜および空孔を有するMSQ膜は、ヤング率が15（GPa）よりも小さいことから、低ヤング率膜と分類することにする。以上のように、本実施の形態1で使用する層間絶縁膜（バリア絶縁膜およびダメージ保護膜も含む）は、ヤング率の観点から、高ヤング率膜と、中ヤング率膜と、低ヤング率膜とに分類することができる。

[0049] さらに、物性の他の一例として密度の観点から分類してみる。図8は本実施の形態1の層間絶縁膜で使用する材料膜を密度の観点から分類した表である。図8に示すように、酸化シリコン膜（ SiO_2 膜）、窒化シリコン膜（ SiN 膜）

i N膜)、TEOS膜、SiOF膜、SiCN膜、SiC膜およびSiCO膜は、密度が $1.7 \text{ (g/cm}^3\text{)}$ 以上であることから、本明細書では、これらの膜を高密度膜と分類することにする。一方、SiOC膜、HSQ膜およびMSQ膜は、密度が $1.38 \text{ (g/cm}^3\text{)}$ 以上で $1.7 \text{ (g/cm}^3\text{)}$ より小さいことから、中密度膜と分類することにする。さらに、空孔を有するSiOC膜、空孔を有するHSQ膜および空孔を有するMSQ膜は、密度が $1.38 \text{ (g/cm}^3\text{)}$ よりも小さいことから、低密度膜と分類することにする。以上のように、本実施の形態1で使用する層間絶縁膜（バリア絶縁膜およびダメージ保護膜も含む）は、密度の観点から、高密度膜と、中密度膜と、低密度膜とに分類することができる。

[0050] このように層間絶縁膜を構成する材料膜を比誘電率、ヤング率および密度の観点から分類することができるが、材料膜の上述した物性（比誘電率、ヤング率および密度）には、互いに相関関係があることがわかる。つまり、酸化シリコン膜（SiO₂膜）、窒化シリコン膜（SiN膜）、TEOS膜、SiOF膜、SiCN膜、SiC膜およびSiCO膜は、比誘電率の観点から、高誘電率膜に分類されるが、同時に、ヤング率の観点から、高ヤング率膜に分類され、かつ、密度の観点から、高密度膜に分類される。つまり、本明細書の分類を使用すると、層間絶縁膜を構成する材料膜のうち高誘電率膜である膜は高ヤング率膜でもあり、高密度膜でもあるということである。同様に、SiOC膜、HSQ膜およびMSQ膜は、中誘電率膜であるが、中ヤング率膜でもあり、中密度膜でもある。さらに、空孔を有するSiOC膜、空孔を有するHSQ膜および空孔を有するMSQ膜は、低誘電率膜であるが、低ヤング率膜でもあり、低密度膜でもある。言い換えれば、層間絶縁膜に使用される膜を考えると、比誘電率の高い膜は、ヤング率も高く、かつ、密度も高くなる性質を有していると考えることができる。一方、比誘電率の低い膜は、ヤング率も低く、かつ、密度も低くなる性質を有しているともいえる。

[0051] 以上のように、層間絶縁膜（バリア絶縁膜およびダメージ保護膜を含む）

を構成する材料膜において、比誘電率、ヤング率および密度の間には相関関係があることをグラフで説明する。

[0052] 図9は、層間絶縁膜を構成する材料膜について、比誘電率とヤング率との関係を示すグラフである。図9において、横軸は比誘電率を示し、縦軸はヤング率（GPa）を示している。図9に示すプロットは、概ね比例関係にあることがわかる。すなわち、層間絶縁膜を構成する材料膜について、比誘電率が高くなればヤング率も高くなり、逆に、比誘電率が低くなればヤング率も低くなっていることがわかる。そこで、図9においては、比誘電率の値が2.8よりも小さい領域にある膜を低誘電率膜とし、比誘電率の値が2.8以上3.5よりも小さい領域にある膜を中誘電率膜としている。さらに、比誘電率の値が3.5以上の領域にある膜を高誘電率膜としている。

[0053] 続いて、図10も、層間絶縁膜を構成する材料膜について、比誘電率とヤング率との関係を示すグラフを示している。図10において、横軸は比誘電率を示し、縦軸はヤング率（GPa）を示している。図10に示すプロットは、概ね比例関係にあることがわかる。すなわち、層間絶縁膜を構成する材料膜について、比誘電率が高くなればヤング率も高くなり、逆に、比誘電率が低くなればヤング率も低くなっていることがわかる。そこで、図10においては、ヤング率に着目し、ヤング率の値が15（GPa）よりも小さい領域にある膜を低ヤング率膜とし、ヤング率の値が15（GPa）以上30（GPa）よりも小さい領域にある膜を中ヤング率膜としている。さらに、ヤング率の値が30（GPa）以上の領域にある膜を高ヤング率膜としている。

[0054] 次に、図11は、層間絶縁膜を構成する材料膜について、比誘電率と密度との関係を示すグラフである。図11において、横軸は比誘電率を示し、縦軸は密度（ g/cm^3 ）を示している。図11に示すプロットは、概ね比例関係にあることがわかる。すなわち、層間絶縁膜を構成する材料膜について、比誘電率が高くなれば密度も高くなり、逆に、比誘電率が低くなれば密度も低くなっていることがわかる。そこで、図11においては、密度に着目し、

密度の値が $1.38 \text{ (g/cm}^3\text{)}$ よりも小さい領域にある膜を低密度膜とし、密度の値が $1.38 \text{ (g/cm}^3\text{)}$ 以上 $1.7 \text{ (g/cm}^3\text{)}$ よりも小さい領域にある膜を中密度膜としている。さらに、密度の値が $1.7 \text{ (g/cm}^3\text{)}$ 以上の領域にある膜を高密度膜としている。

[0055] 以上のことをまとめると、 SiO_2 膜、 SiN 膜、 TEOS 膜、 SiOF 膜、 SiCN 膜、 SiCO 膜、 SiC 膜、 SiOC 膜、 HSQ 膜、 MSQ 膜、空孔を有する SiOC 膜、空孔を有する HSQ 膜、空孔を有する MSQ 膜のそれぞれの誘電率、密度、ヤング率は以下ようになる。具体的に、それぞれの誘電率、密度、ヤング率は、 SiO_2 膜（誘電率 3.8 、ヤング率 70 GPa 、密度 2.2 g/cm^3 ）、 SiN 膜（誘電率 6.5 、ヤング率 185 GPa 、密度 3.4 g/cm^3 ）、 TEOS 膜（誘電率 4.1 、ヤング率 90 GPa 、密度 2.2 g/cm^3 ）、 SiOF 膜（誘電率 $3.4 \sim 3.6$ 、ヤング率 $50 \sim 60 \text{ GPa}$ 、密度 2.2 g/cm^3 ）、 SiCN 膜（誘電率 4.8 、ヤング率 116 GPa 、密度 1.86 g/cm^3 ）、 SiCO 膜（誘電率 4.5 、ヤング率 110 GPa 、密度 1.93 g/cm^3 ）、 SiC 膜（誘電率 3.5 、ヤング率 40 GPa 、密度 3.3 g/cm^3 ）、 SiOC 膜（誘電率 $2.7 \sim 2.9$ 、ヤング率 $15 \sim 20 \text{ GPa}$ 、密度 $1.38 \sim 1.5 \text{ g/cm}^3$ ）、 HSQ 膜（誘電率 $2.8 \sim 3$ 、ヤング率 $8 \sim 10 \text{ GPa}$ ）、 MSQ 膜（ $2.7 \sim 2.9$ 、ヤング率 $15 \sim 20 \text{ GPa}$ 、密度 $1.4 \sim 1.6 \text{ g/cm}^3$ ）、空孔を有する SiOC 膜（誘電率 2.7 、ヤング率 11 GPa 、密度 1.37 g/cm^3 ）、空孔を有する HSQ 膜（誘電率 $2.0 \sim 2.4$ 、ヤング率 $6 \sim 8$ ）、空孔を有する MSQ 膜（誘電率 $2.2 \sim 2.4$ 、ヤング率 $4 \sim 6 \text{ GPa}$ 、密度 1.2 g/cm^3 ）となる。

[0056] このようにして、本実施の形態1では、各層間絶縁膜に使用される材料膜を物性の観点から分類している。以下では、分類した材料膜の物性も考慮して、各層間絶縁膜の機能について図3を参照しながら説明する。

[0057] 図3において、まず、コンタクト層間絶縁膜 CIL は、例えば、オゾンと TEOS とを原料に使用した熱 CVD 法により形成されるオゾン TEOS 膜

と、このオゾンTEOS膜上に設けられ、TEOSを原料に使用したプラズマCVD法により形成されるプラズマTEOS膜との積層膜から形成されている。コンタクト層間絶縁膜CILをTEOS膜から形成する理由は、TEOS膜が下地段差に対する被覆性のよい膜であるからである。コンタクト層間絶縁膜CILを形成する下地は、半導体基板1SにMISFETQが形成された凹凸のある状態である。つまり、半導体基板1SにMISFETQが形成されているので、半導体基板1Sの表面にはゲート電極が形成されて凹凸のある下地となっている。したがって、凹凸のある段差に対して被覆性のよい膜でないと、微細な凹凸を埋め込むことができず、ボイドなどの発生原因となる。そこで、コンタクト層間絶縁膜CILには、TEOS膜が使用される。なぜなら、TEOSを原料とするTEOS膜では、原料であるTEOSが酸化シリコン膜となる前に中間体を作り、成膜表面で移動しやすくなるため、下地段差に対する被覆性が向上するからである。コンタクト層間絶縁膜はTEOS膜から構成されるので、言い換えれば、コンタクト層間絶縁膜CILは、高誘電率膜、高ヤング率膜あるいは高密度膜から形成されているともいえる。

[0058] 次に、第2ファイン層（第2層配線L2～第5層配線L5）を構成する層間絶縁膜IL2～IL5について説明する。層間絶縁膜IL2～IL5は、例えば、空孔を有するSiOC膜、空孔を有するHSQ膜、あるいは、空孔を有するMSQ膜から構成されている。したがって、本実施の形態1による分類によれば、層間絶縁膜IL2～IL5は、低誘電率膜から形成されていることになる。このように層間絶縁膜IL2～IL5を低誘電率膜から構成するのは以下に示す理由による。

[0059] すなわち、第2ファイン層を構成する第2層配線L2～第5層配線L5は、多層配線の中でも微細化が行なわれている配線層である。したがって、第2ファイン層の配線間隔は狭くなり、配線間の寄生容量を低減することが要求される。そこで、配線間隔の狭い第2ファイン層では、層間絶縁膜IL2～IL5を低誘電率膜から構成しているのである。層間絶縁膜IL2～IL

5を低誘電率膜から構成することにより、配線間の寄生容量を低減できるのである。

[0060] さらに、第2ファイン層を構成する第2層配線L2～第5層配線L5は銅配線から形成している。これは、第2層配線L2～第5層配線L5の微細化に伴う配線抵抗の増加を抑制するためである。つまり、第2層配線L2～第5層配線L5に、アルミニウム配線よりも抵抗の小さな銅配線を使用することにより、配線抵抗を小さくすることができる。このように、微細化が進んでいる第2ファイン層では、銅配線を使用することにより配線抵抗を小さくするとともに、層間絶縁膜IL2～IL5を低誘電率膜から構成することで、配線間の寄生容量を低減している。この相乗効果で、配線を伝達する電気信号の遅延を抑制することができるのである。

[0061] ここで、第2ファイン層の第2層配線L2～第5層配線L5に銅配線を使用していることから、銅原子の拡散を防止する必要がある。このため、第2ファイン層では、配線溝にバリア導体膜を介して銅膜を形成することにより、銅配線を構成している。つまり、第2ファイン層では、配線溝に直接銅膜を埋め込むのではなく、配線溝の側面および底面にバリア導体膜を形成し、このバリア導体膜上に銅膜を形成しているのである。これにより、銅膜を構成する銅原子は、バリア導体膜によって拡散が防止される。このとき、バリア導体膜は、配線溝の側面と底面にだけ形成されている。したがって、配線溝の上部から銅原子が拡散するおそれがある。配線溝の上部にバリア導体膜を形成しないのは、配線溝の上部にバリア導体膜を形成する場合、複数の配線溝上にバリア導体膜が形成されることになる。このことは、複数の配線溝に形成された銅配線が複数の配線溝の上部に形成されたバリア導体膜で導通することにより、互いに異なる銅配線がショートしてしまうことを意味する。したがって、銅配線の上部にバリア導体膜を形成することはできない。

[0062] しかし、配線溝の上部から銅原子が拡散することを防止する必要がある。そこで、銅配線の上部には絶縁膜で、かつ、銅原子の拡散を防止する機能を持つバリア絶縁膜BI1～BI4が形成される。このバリア絶縁膜BI1～

B I 4 は、例えば、S i C N 膜と S i C O 膜の積層膜から形成される。これにより、銅配線から銅原子が拡散することを防止できる。つまり、銅配線が形成されている配線溝の側面と底部からの銅原子の拡散は、バリア導体膜によって防止され、配線溝の上部からの銅原子の拡散は、バリア絶縁膜によって防止される。

[0063] したがって、第 2 ファイン層（第 2 層配線 L 2 ～第 5 層配線 L 5）では、銅配線の直上にバリア絶縁膜 B I 1 ～B I 4 が形成され、このバリア絶縁膜 B I 1 ～B I 4 上に低誘電率膜から構成される層間絶縁膜 I L 2 ～I L 5 が形成されていることになる。バリア絶縁膜 B I 1 ～B I 4 は、S i C N 膜および S i C O 膜から形成されていることから、バリア絶縁膜 B I 1 ～B I 4 は、高誘電率膜、高ヤング率膜、言い換えれば、高密度膜から形成されていることになる。

[0064] さらに、第 2 ファイン層では、層間絶縁膜 I L 2 ～I L 5 を低誘電率膜から形成している。この低誘電率膜は、言い換えれば、低ヤング率膜とすることができる。低ヤング率膜とは、ヤング率の低い膜であり、ヤング率が低いということは物理的に機械強度が弱いことを意味している。したがって、層間絶縁膜 I L 2 ～I L 5 を低誘電率膜から形成することは、配線間の寄生容量を低減する観点からは望ましいが、一方で、低ヤング率膜となることから機械強度の観点からはあまり望ましくない。このため、低誘電率膜から構成している層間絶縁膜 I L 2 ～I L 5 のそれぞれの上部に機械的強度を補強するため、ダメージ保護膜 D P 1 ～D P 4 を設けている。ダメージ保護膜 D P 1 ～D P 4 は、例えば、S i O C 膜から形成される中ヤング率膜である。したがって、機械的強度は低ヤング率膜である層間絶縁膜 I L 2 ～I L 5 よりも高くなる。これにより、機械的強度の弱い層間絶縁膜 I L 2 ～I L 5 の表面をダメージ保護膜 D P 1 ～D P 4 で補強することができる。なお、ダメージ保護膜 D P 1 ～D P 4 は中誘電率膜であり、層間絶縁膜 I L 2 ～I L 5 を構成する低誘電率膜よりも誘電率が高くなっている。したがって、ダメージ保護膜 D P 1 ～D P 4 の膜厚をあまり厚くしすぎると、層間絶縁膜 I L 2 ～

IL5を低誘電率膜とした効果が薄れるので、層間絶縁膜IL2～IL5の機械的強度を補強できることを前提としてなるべく薄くすることが望ましい。

[0065] 以上のように、第2ファイン層では、複数の配線層間の構成として、まず、銅配線の直上にバリア絶縁膜BI1～BI4が形成され、このバリア絶縁膜BI1～BI4上に層間絶縁膜IL2～IL5が形成されている。そして、層間絶縁膜IL2～IL5のそれぞれの表面にダメージ保護膜DP1～DP4が形成されている。つまり、第2ファイン層では、配線間の寄生容量を低減する目的で、層間絶縁膜IL2～IL5に低誘電率膜を使用し、かつ、銅配線からの銅原子の拡散を防止する目的で、バリア絶縁膜BI1～BI4を使用している。さらに、低ヤング率膜である層間絶縁膜IL2～IL5の機械的強度を補強するため、層間絶縁膜IL2～IL5のそれぞれの表面にダメージ保護膜DP1～DP4を設けているのである。

[0066] 続いて、セミグローバル層（第6層配線L6～第7層配線L7）を構成する層間絶縁膜IL6～IL7について説明する。層間絶縁膜IL6～IL7は、例えば、SiOC膜から形成されている。つまり、セミグローバル層を構成する層間絶縁膜IL6～IL7は、中誘電率膜、中ヤング率膜、言い換えれば、中密度膜から形成されている。これは、以下に示す理由による。

[0067] 例えば、セミグローバル層も配線間の寄生容量を低減する観点から、低誘電率膜を使用することが考えられる。ところが、セミグローバル層は、第2ファイン層の上層に設けられている層であり、セミグローバル層は、第2ファイン層よりもパッドPDに近い層である。したがって、例えば、パッドPDには電気的特性検査時にプローブ針（探針）が押し当てられるが、このときのプロービングダメージがセミグローバル層に加わりやすい。さらに、半導体基板1Sを複数の半導体チップに個片化するダイシング工程などのアセンブリ工程において、セミグローバル層は、下層にある第2ファイン層に比べてダメージを受けやすい層である。このことから、上述した様々なダメージに対して耐性を持たせるため、セミグローバル層にはある程度の機械的強

度が必要なのである。したがって、セミグローバル層を低ヤング率膜（低誘電率膜）から構成すると機械的強度が保てなくて破壊してしまうおそれがある。つまり、セミグローバル層には、機械的強度の高い膜を使用すること望ましいである。一方、セミグローバル層に形成されている配線の配線間隔は、第2ファイン層に比べて大きくなっているものの、寄生容量を低減する必要がある距離になっている。すなわち、セミグローバル層を構成する層間絶縁膜 I L 6 ~ I L 7 を高ヤング率膜（高誘電率膜）から構成すれば、機械的強度を高めることができるが、誘電率が大きくなってしまい配線間の寄生容量が大きくなってしまう。つまり、セミグローバル層では、機械的強度を確保することと、配線間の寄生容量を低減することとを両立させる必要がある。

[0068] そこで、セミグローバル層を構成する層間絶縁膜 I L 6 ~ I L 7 には、中ヤング率膜（中誘電率膜）が使用されるのである。例えば、セミグローバル層を構成する層間絶縁膜 I L 6 ~ I L 7 に中誘電率膜を使用することにより、層間絶縁膜 I L 6 ~ I L 7 の誘電率をある程度小さくすることができ、かつ、層間絶縁膜 I L 6 ~ I L 7 の機械的強度をある程度確保できるのである。

[0069] このセミグローバル層を構成する配線も銅配線から構成されているので、第2ファイン層と同様に、銅配線の上部には絶縁膜で、かつ、銅原子の拡散を防止する機能を持つバリア絶縁膜 B I 5 ~ B I 6 が形成される。このバリア絶縁膜 B I 5 ~ B I 6 は、例えば、S i C N 膜と S i C O 膜の積層膜から形成されていることから、バリア絶縁膜 B I 5 ~ B I 6 は、高誘電率膜（高ヤング率膜、高密度膜）から形成されていることになる。このバリア絶縁膜 B I 5 ~ B I 6 により、銅配線から銅原子が拡散することを防止できる。

[0070] 以上のように、セミグローバル層では、複数の配線層間の構成として、まず、銅配線の直上にバリア絶縁膜 B I 5 ~ B I 6 が形成され、このバリア絶縁膜 B I 5 ~ B I 6 上に層間絶縁膜 I L 6 ~ I L 7 が形成されている。このセミグローバル層では、配線間の寄生容量を低減することと、機械的強度を

確保することを両立させる目的で、層間絶縁膜 I L 6 ~ I L 7 に中誘電率膜を使用し、かつ、銅配線からの銅原子の拡散を防止する目的で、バリア絶縁膜 B I 5 ~ B I 6 を使用しているのである。

[0071] 続いて、グローバル層（第 8 層配線 L 8）を構成する層間絶縁膜 I L 8 a ~ I L 8 b について説明する。層間絶縁膜 I L 8 a ~ I L 8 b は、例えば、酸化シリコン膜や T E O S 膜から形成されている。つまり、グローバル層を構成する層間絶縁膜 I L 8 a ~ I L 8 b は、高誘電率膜、高ヤング率膜、言い換えれば、高密度膜から形成されている。これは、以下に示す理由による。

[0072] グローバル層は、セミグローバル層よりも上層にあり、パッド P D の直下にある層である。このため、プロービングダメージがグローバル層に、下層にあるセミグローバル層に比べて、さらに加わりやすい。さらに、半導体基板 1 S を複数の半導体チップに個片化するダイシング工程などのアセンブリ工程において、グローバル層は、下層にあるセミグローバル層に比べて、さらにダメージを受けやすい層である。このことから、上述した様々なダメージに対して耐性を持たせるため、グローバル層には、セミグローバル層よりも機械的強度が必要な層であることがわかる。このことから、グローバル層は、機械的強度の高い高ヤング率膜（高誘電率膜）から構成されているのである。これにより、グローバル層の機械的強度を保持することができ、プロービングダメージやアセンブリ工程におけるダメージに対して耐性を持たせることができる。ここで、グローバル層を高ヤング率膜から構成するということは、グローバル層を高誘電率膜から構成することを意味している。したがって、グローバル層を構成する配線間の寄生容量が問題となることが考えられる。しかし、グローバル層は上層の配線であり、第 2 ファイン層やセミグローバル層に比べて、配線の幅も大きく、かつ、配線間隔も大きくなっている。したがって、第 2 ファイン層やセミグローバル層に比べて、寄生容量の影響が少ないのである。グローバル層では、寄生容量の低減よりも機械的強度の強化のほうが優先されるのである。

- [0073] このグローバル層を構成する配線も銅配線から構成されているので、第2ファイン層やセミグローバル層と同様に、銅配線の上部には絶縁膜で、かつ、銅原子の拡散を防止する機能を持つバリア絶縁膜B I 7 aが形成される。このバリア絶縁膜B I 7 aは、例えば、S i C N膜とS i C O膜の積層膜から形成されていることから、バリア絶縁膜B I 7 aは、高誘電率膜（高ヤング率膜、高密度膜）から形成されていることになる。このバリア絶縁膜B I 7 aにより、銅配線から銅原子が拡散することを防止できる。
- [0074] 以上のように、グローバル層では、複数の配線層間の構成として、まず、銅配線の直上にバリア絶縁膜B I 7 aが形成され、このバリア絶縁膜B I 7 a上に層間絶縁膜I L 8 aが形成されている。そして、この層間絶縁膜I L 8 a上にエッチングストップ絶縁膜B I 7 bが形成され、このエッチングストップ絶縁膜B I 7 b上に層間絶縁膜I L 8 bが形成されている。このグローバル層では、機械的強度を確保することが最優先に考えられているため、層間絶縁膜I L 8 a～I L 8 bに高ヤング率膜を使用し、かつ、銅配線からの銅原子の拡散を防止する目的で、バリア絶縁膜B I 7 aを使用しているのである。
- [0075] なお、セミグローバル層やグローバル層を上で説明したような構成としたのには以下の理由もある。ファイン層の配線ピッチやゲート電極配置ピッチが本実施の形態1のデバイスよりも緩いような、古い世代のデバイスにおいては、本実施の形態1のセミグローバル層が古い世代のデバイスのファイン層となり、本実施の形態1のグローバル層が古い世代のデバイスのセミグローバル層。または、グローバル層となる。このように古い世代のデバイスの配線層を本実施の形態1のデバイスのセミグローバル層やグローバル層に適用することにより、開発コストや開発時間を削減できる効果がある。
- [0076] 次に、本実施の形態1の特徴について説明する。上述した層間絶縁膜における機能の説明は、コンタクト層間絶縁膜C I L、第2ファイン層、セミグローバル層およびグローバル層について行なったが、第1ファイン層（第1層配線L 1）については行っていない。ここでは、第1ファイン層の構成

が本実施の形態 1 の特徴であり、この特徴点を以下に説明する。

- [0077] 図 3 において、第 1 ファイン層を構成する層間絶縁膜 I L 1 は、例えば、S i O C 膜から構成されている。つまり、第 1 ファイン層を構成する層間絶縁膜 I L 1 は、中誘電率膜、中ヤング率膜、言い換えれば、中密度膜から構成されていることになる。特に、層間絶縁膜 I L 1 に特徴的機能からいえば、層間絶縁膜 I L 1 は中ヤング率膜から構成されているということになる。このように第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、層間絶縁膜の一部（第 2 ファイン層）に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であっても、低誘電率膜の膜剥がれを防止し、半導体装置の信頼性を向上することができるのである。
- [0078] この理由について、比較例と比較しながら説明する。半導体チップは、いわゆる後工程によりパッケージ化される。例えば、後工程では、半導体チップを配線基板上に搭載した後、半導体チップに形成されているパッドと、配線基板に形成されている端子とをワイヤで接続する。その後、半導体チップを樹脂で封止した半導体チップがパッケージ化される（図 2 参照）。完成したパッケージは、様々な温度条件で使用されるため、広範囲な温度変化に対応しても正常に動作する必要がある。このことから、半導体チップは、パッケージ化された後、温度サイクル試験が実施される。
- [0079] 例えば、樹脂で半導体チップを封止したパッケージに対して温度サイクル試験を実施すると、樹脂と半導体チップにおいて、熱膨張率やヤング率が相違するため、半導体チップに応力が印加される。この場合、層間絶縁膜の一部に低誘電率膜を使用した半導体チップでは、特に、低誘電率膜に膜剥がれが発生する。すなわち、温度サイクル試験で実施される温度変化によって、半導体チップと樹脂との間の熱膨張率およびヤング率の相違から、半導体チップに応力が生じるが、この半導体チップに生じる応力によって、比較例では、低誘電率膜に膜剥がれが生じることが判明した。半導体チップ内で層間絶縁膜の膜剥がれが生じると、半導体チップがデバイスとして不良となり、半導体装置の信頼性が低下することになる。

- [0080] このような低誘電率膜の膜剥がれが生じる比較例の構成について説明する。比較例では、コンタクト層間絶縁膜C I L、第2ファイン層、セミグローバル層およびグローバル層の構成は本実施の形態1と同様である。比較例において、本実施の形態1との相違点は、第1ファイン層を構成する層間絶縁膜I L 1が、例えば、T E O S膜から構成されている点である。つまり、比較例では、第1ファイン層を構成する層間絶縁膜I L 1が高ヤング率膜から形成されていることになる。このように層間絶縁膜I L 1をT E O S膜から形成するのは、配線の加工容易性を考慮したものである。
- [0081] この比較例の構成では、半導体基板1 Sが高ヤング率であり、コンタクト層間絶縁膜C I Lも高ヤング率膜である。そして、コンタクト層間絶縁膜C I Lの上層に形成されている層間絶縁膜I L 1も高ヤング率膜であり、層間絶縁膜I L 1上に形成されているバリア絶縁膜B I 1も高ヤング率膜である。つまり、半導体基板1 Sからコンタクト層間絶縁膜C I Lと層間絶縁膜I L 1とバリア絶縁膜B I 1まで一体化した高ヤング率層となっている。そして、比較例では、この一体化した高ヤング率層上に低誘電率膜からなる層間絶縁膜I L 2が形成されている。
- [0082] ここで、本発明者が検討した結果、半導体チップと樹脂の熱膨張率とヤング率の相違により、半導体チップ内に応力が発生するが、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の相違する界面に最大応力が印加されることを本発明者が新たに見出した。このことから、比較例では、一体化した高ヤング率層と接触する層間絶縁膜I L 2との界面に最大応力が印加されることになる。最下層の配線層は、第1ファイン層であるが、比較例の場合、第1ファイン層を構成する層間絶縁膜I L 1は半導体基板1 Sやコンタクト層間絶縁膜C I Lと同じ高ヤング率膜であり、ヤング率の差異は少ない。したがって、第1ファイン層は最下層配線であるが、第1ファイン層を構成する層間絶縁膜I L 1とコンタクト層間絶縁膜C I Lとの界面に働く応力は最大とはならない。続いて、第1ファイン層の次に下層にある層は第2ファイン層である。この第2ファイン層を構成

する層間絶縁膜 I L 2 は低ヤング率膜であり、一体化した高ヤング率層と接触している。したがって、第 2 ファイン層は、多層配線層の下層に近く、かつ、ヤング率の相違する界面となっているので、一体化した高ヤング率層と、低ヤング率膜である層間絶縁膜 I L 2 が接触する界面に最大の応力が印加されることになる。このとき、層間絶縁膜 I L 2 は低ヤング率膜であり、その機械的強度が低いため、層間絶縁膜 I L 2 と一体化した高ヤング率層の界面に層間絶縁膜 I L 2 の臨界応力を超える大きな応力が印加されると、低ヤング率膜である層間絶縁膜 I L 2 が一体化した高ヤング率層から剥離する。半導体チップ内で層間絶縁膜 I L 2 の膜剥がれが生じると、半導体チップがデバイスとして不良となり、半導体装置の信頼性が低下することになる。このようにして、比較例では、一体化した高ヤング率層と接触する層間絶縁膜 I L 2（低ヤング率膜）の膜剥がれが生じ、半導体装置の信頼性が低下する問題点が発生することがわかる。

[0083] ここで、一体化した高ヤング率層と、低ヤング率膜である層間絶縁膜 I L 2 とのヤング率との相違を緩和すれば、層間絶縁膜 I L 2 に印加される応力を低減することができるのではないかと考えられる。つまり、層間絶縁膜 I L 2 のヤング率を向上させる材料から層間絶縁膜 I L 2 を構成することが考えられる。しかし、ヤング率と誘電率とは概ね比例関係にあることから、ヤング率の高い膜は誘電率の高い膜となるといえる。したがって、層間絶縁膜 I L 2 は低誘電率膜から構成しているが、ヤング率の高い膜を層間絶縁膜 I L 2 として使用すると、層間絶縁膜 I L 2 の誘電率が上がり、第 2 ファイン層の寄生容量が増加することになる。この結果、半導体装置のデバイス性能が劣化することになる。

[0084] 一方、半導体チップを封止する樹脂と半導体チップとの間の熱膨張率やヤング率の差を小さくするような樹脂の材料を選択することも考えられる。つまり、熱膨張率やヤング率の差を小さくする観点から、樹脂の材料を選択して、そもそも、半導体チップと樹脂の間に生じる応力を低減することが考えられる。しかし、この場合、概ね、樹脂の流動性が低下し、充填不良を引き

起こすことになる。

[0085] したがって、現状では、一体化した高ヤング率層と接触する層間絶縁膜 I L 2（低ヤング率膜）に発生する膜剥がれを有効に防止する対策ができていないのである。

[0086] そこで、本実施の形態 1 では、一体化した高ヤング率層と接触する層間絶縁膜 I L 2（低ヤング率膜）に発生する膜剥がれを、半導体装置の性能劣化を招くことなく有効に防止できる技術的思想を提供するものである。以下に、本実施の形態 1 における技術的思想を具体的に説明する。

[0087] 図 3 において、本実施の形態 1 の特徴は、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成している点にある。つまり、本実施の形態 1 では、層間絶縁膜 I L 1 を、S i O C 膜、H S Q 膜、あるいは、M S Q 膜から構成している。これにより、一体化した高ヤング率層と、低ヤング率膜である層間絶縁膜 I L 2 とを直接接触させないように構成することが可能となる。つまり、本実施の形態 1 では、一体化した高ヤング率層は、半導体基板 1 S とコンタクト層間絶縁膜 C I L から構成されることになる。あるいは、一体化した高ヤング率層は、第 1 層間絶縁膜 I L 1 と半導体基板 1 S の間に存在する絶縁膜が、すべて高ヤング率膜のヤング率以上のヤング率を持つ層ということができる。そして、この一体化した高ヤング率層上に、中ヤング率膜からなる層間絶縁膜 I L 1 が形成され、この層間絶縁膜 I L 1 上に、バリア絶縁膜 B I 1 を介して低ヤング率膜である層間絶縁膜 I L 2 が形成されていることになる。この結果、層間絶縁膜 I L 2（低ヤング率膜）と一体化した高ヤング率層とを直接接触させないように構成できる。これにより、低ヤング率膜である層間絶縁膜 I L 2 と一体化した高ヤング率層との界面に生じる応力を分散することができる。具体的に、本実施の形態 1 では、一体化した高ヤング率層と層間絶縁膜 I L 2（低ヤング率膜）の間に、中ヤング率膜である層間絶縁膜 I L 1 が形成されていることになる。この場合、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜

I L 2（低誘電率膜）の界面とが存在することになる。すなわち、比較例では、一体化した高ヤング率層と層間絶縁膜 I L 2 との界面がヤング率の異なる 1 つの界面である。これに対し、本実施の形態 1 では、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面との 2 つが存在することになる。したがって、比較例では、1 つの界面に応力が集中していたが、本実施の形態 1 では、ヤング率の異なる界面が 2 つ存在することになるので、この 2 つの界面に応力が分散される。このため、本実施の形態 1 では、個々の界面に発生する応力の大きさを小さくすることができるのである。この結果、層間絶縁膜 I L 2（低ヤング率膜）と層間絶縁膜 I L 1（中ヤング率膜）との間の界面から層間絶縁膜 I L 2（低ヤング率膜）が剥離することを防止できるのである。

[0088] さらに、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面のそれぞれで、ヤング率の差が緩和されるので、それぞれの界面に発生する応力はさらに小さくなる。このように本実施の形態 1 では、第 1 の機能として、一体化した高ヤング率層と層間絶縁膜 I L 2（低ヤング率膜）との間の界面に発生する応力を、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面との 2 つの界面に分散させる機能を有する。さらに、第 2 の機能として、分散させた 2 つの界面でのヤング率の差を緩和できるという機能を有する。つまり、第 2 の機能を詳しく説明すると、比較例の場合は、一体化した高ヤング率層と層間絶縁膜 I L 2 との界面がヤング率の異なる 1 つの界面であり、この場合、ヤング率の差は、高ヤング率と低ヤング率の差となり大きくなる。これに対し、本実施の形態 1 では、例えば、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面に着目すると、ヤング率の差は、中ヤング率と低ヤング率の差となり小さくなるのである。

[0089] 以上のように、本実施の形態 1 では、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から構成することにより、上述した第 1 の機能と第 2 の機能を実現することができる結果、第 2 ファイン層を構成する層間絶縁膜 I L 2（低ヤング率膜）の剥離を防止することができる。このため、半導体チップを樹脂で封止するパッケージ（半導体装置）で、かつ、半導体チップ内の層間絶縁膜の一部に低誘電率膜を使用する半導体装置において、信頼性を向上することができる。

[0090] 以上の議論は、本実施の形態 1 の特徴をわかりやすく説明するために、第 1 ファイン層を構成する層間絶縁膜 I L 1（中ヤング率膜）と、第 2 ファイン層を構成する層間絶縁膜 I L 2（低ヤング率膜）との間に形成されているバリア絶縁膜 B I 1（高ヤング率膜）を無視して説明したが、このバリア絶縁膜 B I 1（高ヤング率膜）が設けられている場合であっても、本実施の形態 1 によれば、層間絶縁膜 I L 2（低ヤング率膜）の膜剥がれを防止できる。

[0091] 具体的に説明する。この場合、層間絶縁膜 I L 2（低ヤング率膜）は、バリア絶縁膜 B I 1（高ヤング率膜）と接触しているので、剥離防止の効果が得られなくなるのではないと思われる。しかし、この場合であっても、確実に、層間絶縁膜 I L 2（低ヤング率膜）の剥離防止の効果が得られるのである。この理由について説明する。

[0092] 本実施の形態 1 では、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成している。このため、一体化した高ヤング率層は、層間絶縁膜 I L 1（中ヤング率膜）で分断されることになる。つまり、層間絶縁膜 I L 2（低ヤング率膜）は、バリア絶縁膜 B I 1（高ヤング率膜）と直接接触しているが、層間絶縁膜 I L 1（中ヤング率膜）で分断された一体化した高ヤング率層とは直接接触していない。この一体化した高ヤング率層は半導体基板 1 S を含んでいるため体積が大きく、この体積の大きな高ヤング率層と層間絶縁膜 I L 2（低ヤング率膜）が直接接触すると、一体化した高ヤング率層と層間絶縁膜 I L 2（低ヤング率膜）の界面に大きな応力が発生する

のである。したがって、この点を考慮すると、層間絶縁膜 I L 2（低ヤング率膜）がバリア絶縁膜 B I 1（高ヤング率膜）と直接接触していても、このバリア絶縁膜 B I 1（高ヤング率膜）が一体化した高ヤング率層と分断されていれば、バリア絶縁膜 B I 1（高ヤング率膜）の体積自体は小さいことから大きな応力は発生しないのである。このことから、本実施の形態 1 の重要な機能は、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、一体化した高ヤング率層と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することにあるといえる。

[0093] 本実施の形態 1 では、一体化した高ヤング率層と層間絶縁膜 I L 2（低ヤング率膜）の間に、中ヤング率膜である層間絶縁膜 I L 1 が形成されていることになる。この場合、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）とバリア絶縁膜 B I 1（高ヤング率膜）の界面と、バリア絶縁膜 B I 1（高ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面とが存在することになる。すなわち、比較例では、一体化した高ヤング率層と層間絶縁膜 I L 2 との界面がヤング率の異なる 1 つの界面である。これに対し、本実施の形態 1 では、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）とバリア絶縁膜 B I 1（高ヤング率膜）の界面と、バリア絶縁膜 B I 1（高ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面との 3 つが存在することになる。したがって、比較例では、1 つの界面に応力が集中していたが、本実施の形態 1 では、ヤング率の異なる界面が 3 つ存在することになるので、この 3 つの界面に応力が分散される。このため、本実施の形態 1 では、個々の界面に発生する応力の大きさを小さくすることができるのである。この結果、層間絶縁膜 I L 2（低ヤング率膜）とバリア絶縁膜 B I 1（高ヤング率膜）との間の界面から層間絶縁膜 I L 2（低ヤング率膜）が剥離することを防止できるのである。以上のように、バリア絶縁膜 B I 1（高ヤング率膜）が設けられている場合であっても、本実施の形態 1 によれば、層

間絶縁膜 I L 2（低ヤング率膜）の膜剥がれを防止できることがわかる。

[0094] さらに、本実施の形態 1 では、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から構成することにより、以下のような効果も得ることができる。すなわち、比較例では、層間絶縁膜 I L 1 を T E O S 膜から形成しているので、高誘電率膜となる。これに対し、本実施の形態 1 では、層間絶縁膜 I L 1 を中ヤング率膜から構成しているので、ヤング率と比誘電率の相関関係を考慮すると、層間絶縁膜 I L 1 を中誘電率膜から形成していることになる。第 1 ファイン層も第 2 ファイン層と同様に、配線が微細化されているとともに、配線間隔も狭くなっている。したがって、本実施の形態 1 のように、層間絶縁膜 I L 1 を中誘電率膜から形成することにより、配線間の寄生容量を低減できるのである。つまり、本実施の形態 1 によれば、配線を伝達する電気信号の遅延を抑制することができ、半導体装置の性能も向上することができる。

[0095] 以上のように本実施の形態 1 の特徴は、コンタクト層間絶縁膜 C I L と層間絶縁膜 I L 1 と層間絶縁膜 I L 2 の中で、コンタクト層間絶縁膜 C I L は、最もヤング率の高い高ヤング率膜から形成され、層間絶縁膜 I L 2 は、最もヤング率の低い低ヤング率膜から形成され、層間絶縁膜 I L 1 は、コンタクト層間絶縁膜 C I L のヤング率よりも低く、かつ、層間絶縁膜 I L 2 のヤング率よりも高い中ヤング率膜から形成されていることにある。

[0096] そして、この特徴を、ヤング率と比誘電率の相関関係を考慮して言い換えると、コンタクト層間絶縁膜 C I L と層間絶縁膜 I L 1 と層間絶縁膜 I L 2 の中で、コンタクト層間絶縁膜 C I L は、最も誘電率の高い膜から形成され、層間絶縁膜 I L 2 は、最も誘電率の低い膜から形成され、層間絶縁膜 I L 1 は、コンタクト層間絶縁膜 C I L の誘電率よりも低く、かつ、層間絶縁膜 I L 2 の誘電率よりも高い膜から形成されているということできる。

[0097] さらに、比誘電率と密度の相関関係を考慮すると、本実施の形態 1 の特徴は、コンタクト層間絶縁膜 C I L と層間絶縁膜 I L 1 と層間絶縁膜 I L 2 の中で、コンタクト層間絶縁膜 C I L は、最も密度の高い膜から形成され、層

間絶縁膜 I L 2 は、最も密度の低い膜から形成され、層間絶縁膜 I L 1 は、コンタクト層間絶縁膜 C I L の密度よりも低く、かつ、層間絶縁膜 I L 2 の密度よりも高い膜から形成されているといえることができる。

[0098] 続いて、実際に、本実施の形態 1 によれば、応力を低減できることを説明する。図 1 2 は、半導体基板表面からの距離とせん断応力との関係を示すグラフである。図 1 2 において、横軸が半導体基板表面からの距離 (nm) を示しており、縦軸がせん断応力を示している。なお、せん断応力の値は相対的な数値を示しており、およそ「-1」の値が膜剥がれを引き起こす大きさの応力値である。

[0099] 図 1 2 の上部に記載されている「1」～「8」の数値は多層配線の各層を示している。例えば、「1」は第 1 ファイン層を示しており、「2」～「5」は第 2 ファイン層を示している。さらに、「6」～「7」はセミグローバル層を示しており、「8」はグローバル層を示している。なお、コンタクト層も示している。

[0100] 曲線 (A) は比較例の構造を示している、つまり、比較例では、第 1 ファイン層を構成する層間絶縁膜を T E O S 膜から形成している場合を示している。この曲線 (A) を見ると、第 1 層配線 (第 1 ファイン層) と第 2 層配線 (第 2 ファイン層) の境界で最もせん断応力が大きくなっていることがわかる。これは、第 1 層配線 (第 1 ファイン層) を構成する層間絶縁膜 (高ヤング率膜) と、第 2 層配線 (第 2 ファイン層) を構成する層間絶縁膜 (低ヤング率膜) との間に最大応力が加わっていることを示している、このため、比較例では、第 2 層配線 (第 2 ファイン層) を構成する層間絶縁膜 (低ヤング率膜) が剥離する可能性が高いことがわかる。

[0101] これに対し、曲線 (B) は本実施の形態 1 の構造を示している。つまり、本実施の形態 1 では、第 1 層配線 (第 1 ファイン層) と第 2 層配線 (第 2 ファイン層) の境界を S i O C 膜 (中ヤング率膜) から形成している場合を示している。この曲線 (B) を見ると、第 1 層配線 (第 1 ファイン層) と第 2 層配線 (第 2 ファイン層) の境界で発生する応力が、コンタクト層と第 1 層

配線（第１ファイン層）との境界に分散されて小さくなっていることがわかる。したがって、本実施の形態１を示す曲線（Ｂ）によれば、比較例に比べて、第２層配線（第２ファイン層）を構成する層間絶縁膜（低ヤング率膜）の剥離を防止できることがわかる。

[0102] なお、本シミュレーションにおいては、第１ファイン層を１００～２００ nmとし、第２ファイン層の厚さの合計を２００～２０００ nmとし、セミグローバル層の厚さの合計を０～１０００ nmとし、グローバル層の厚さの合計を１０００～３０００ nmとしている。そして、第２ファイン層、セミグローバル層、グローバル層に設けられるバリア絶縁膜およびエッチングストッパ絶縁膜の厚さを３０～６０ nm、ファイン層に設けられるダメージ保護膜ＤＰの厚さを３０～５０ nmと数値を変更してみて実行したが、いずれも良好な結果（本実施の形態１によれば、比較例に比べて、第２層配線（第２ファイン層）を構成する層間絶縁膜（低ヤング率膜）の剥離を防止できること）を得ることができた。なお、ここで第１ファイン層の厚さが大事であり、１００ nm以下であると応力の分散が上手くいなくなる恐れがあり、第２層配線（第２ファイン層）を構成する層間絶縁膜（低ヤング率膜）の剥離を十分に抑制できない恐れがある。第１ファイン層の厚さが２００ nm以上であると剥離の抑制には問題はないが、第１ファイン層自体が厚くなり、配線遅延が大きくなる。

[0103] さらに、本実施の形態１と特許文献１とを比較してみると、特許文献１では、低誘電率であるポリアリルエーテルを用いている。このポリアリルエーテルは塗布工程により形成されるものであり、プラズマＣＶＤ法で形成されるものでないために、他の膜との密着力が弱く、剥離にも弱いものである。そして、この特許文献１では、半導体基板上に半導体素子が形成され、この半導体素子を覆うようにコンタクト層間絶縁膜が形成されている。このコンタクト層間絶縁膜には、半導体素子と電氣的に接続されるプラグが形成されている。プラグを形成したコンタクト層間絶縁膜上には、通常の金属層よりなる配線が形成され、この配線を覆うように、ボロンリンシリケートガラス

からなる平坦化絶縁層が形成されている。平坦化絶縁層上には、S i O C膜からなる第1絶縁層が形成され、この第1絶縁層に埋め込むように銅膜からなる第1埋め込み配線が形成されている。そのために第1絶縁層と第1埋め込み配線と半導体素子の間に配線層が設けられる構造となり、この配線層が埋め込み特性のよさそうなボロンリンシリケートガラス等の材料の絶縁膜で覆われている。そのために本実施の形態1と比較して半導体素子から第1埋め込み配線に至る経路が長く、この経路内の配線の周りに存在する絶縁膜の誘電率も高いために配線遅延が大きいものとなる。さらには、複雑な工程となり、コストも上がる。

[0104] さらに、本実施の形態1において、コンタクト層の層間絶縁膜は半導体素子の埋め込み特性のよいものを用いる必要があるために、T E O S系の膜を用いている。第1ファイン層においては、第1層配線の最小ピッチが第2ファイン層の第2層配線の最小ピッチよりも少し小さいために、第1層配線用の配線溝の加工精度を上げる必要がある。よって第2ファイン層の低ヤング率の層間絶縁膜よりも誘電率の高い、中ヤング率の層間絶縁膜を用いている。

[0105] なお、ボラジン系の絶縁膜というものが世の中には存在する。このボラジン系の絶縁膜は一例として比誘電率が2.3、ヤング率が60GPaというように上記説明を行った層間絶縁膜材料とは材料特性が異なったものとなっている。しかしながら、このボラジン系の絶縁膜を用いて配線構造を形成した場合、配線間のリーク電流が大きくなり、T D D B特性が悪化する問題があるために、本実施の形態1では用いていない。

[0106] 本実施の形態1における半導体装置は上記のように構成されており、以下に、その製造方法の一例について図面を参照しながら説明する。

[0107] まず、通常の半導体製造技術を使用することにより、図13に示すように、半導体基板1S上に複数のM I S F E T Qを形成する。続いて、図14に示すように、複数のM I S F E T Qを形成した半導体基板1S上にコンタクト層間絶縁膜C I Lを形成する。このコンタクト層間絶縁膜C I Lは、複数

のM I S F E T Qを覆うように形成される。具体的に、コンタクト層間絶縁膜C I Lは、例えば、オゾンとT E O Sとを原料に使用した熱C V D法により形成されるオゾンT E O S膜と、このオゾンT E O S膜上に配置され、T E O Sを原料に使用したプラズマC V D法により形成されるプラズマT E O S膜との積層膜から形成されている。なお、オゾンT E O S膜の下層に、例えば、窒化シリコン膜よりなるエッチングストッパ膜を形成してもよい。

[0108] 次に、図15に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、コンタクト層間絶縁膜C I LにコンタクトホールC N T 1を形成する。このコンタクトホールC N T 1は、コンタクト層間絶縁膜C I Lを貫通して、半導体基板1 Sに形成されているM I S F E T Qのソース領域あるいはドレイン領域に達するように加工される。

[0109] 続いて、図16に示すように、コンタクト層間絶縁膜C I Lに形成したコンタクトホールC N T 1に金属膜を埋め込むことによりプラグP L G 1を形成する。具体的には、コンタクトホールC N T 1を形成したコンタクト層間絶縁膜C I L上に、例えば、スパッタリングを使用してバリア導体膜となるチタン／窒化チタン膜を形成する。そして、チタン／窒化チタン膜上にタングステン膜を形成する。これにより、コンタクトホールC N T 1の内壁（側壁および底面）にチタン／窒化チタン膜が形成され、このチタン／窒化チタン膜上でコンタクトホールC N T 1を埋め込むようにタングステン膜が形成される。その後、コンタクト層間絶縁膜C I L上に形成されている不要なチタン／窒化チタン膜およびタングステン膜を、CMP（Chemical Mechanical Polishing）法で除去する。これにより、コンタクトホールC N T 1内にだけ、チタン／窒化チタン膜とタングステン膜を埋め込んだプラグP L G 1を形成することができる。

[0110] 次に、図17に示すように、プラグP L G 1を形成したコンタクト層間絶縁膜C I L上に層間絶縁膜I L 1を形成する。この層間絶縁膜I L 1は、例えば、中ヤング率膜であるS i O C膜から形成され、例えば、プラズマC V D法を使用することにより形成される。このように本実施の形態1では、層

間絶縁膜 I L 1 を中ヤング率膜である S i O C 膜から形成することに特徴がある。

[0111] そして、図 1 8 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜 I L 1 に配線溝 W D 1 を形成する。この配線溝 W D 1 は、S i O C 膜からなる層間絶縁膜 I L 1 を貫通して底面がコンタクト層間絶縁膜 C I L に達するように形成される。これにより、配線溝 W D 1 の底部でプラグ P L G 1 の表面が露出することになる。

[0112] その後、図 1 9 に示すように、配線溝 W D 1 を形成した層間絶縁膜 I L 1 上にバリア導体膜（銅拡散防止膜）（図示せず）を形成する。具体的に、バリア導体膜は、タンタル（T a）、チタン（T i）、ルテニウム（R u）、タングステン（W）、マンガン（M n）およびこれらの窒化物や窒化珪化物、または、これらの積層膜から構成され、例えば、スパッタリング法を使用することにより形成する。

[0113] 続いて、配線溝 W D 1 の内部および層間絶縁膜 I L 1 上に形成されたバリア導体膜上に、例えば、薄い銅膜からなるシード膜をスパッタリング法により形成する。そして、このシード膜を電極とした電解めっき法により銅膜 C u 1 を形成する。この銅膜 C u 1 は、配線溝 W D 1 を埋め込みように形成される。この銅膜 C u 1 は、例えば、銅を主体とする膜から形成される。具体的には、銅（C u）または銅合金（銅（C u）とアルミニウム（A l）、マグネシウム（M g）、チタン（T i）、マンガン（M n）、鉄（F e）、亜鉛（Z n）、ジルコニウム（Z r）、ニオブ（N b）、モリブデン（M o）、ルテニウム（R u）、パラジウム（P d）、銀（A g）、金（A u）、I n（インジウム）、ランタノイド系金属、アクチノイド系金属などの合金）から形成される。なお、銅合金となる場合、シード膜が上で説明した合金となっているから、銅膜 C u 1 が銅合金となる。以降に登場する銅合金も同様である。

[0114] 次に、図 2 0 に示すように、層間絶縁膜 I L 1 上に形成された不要なバリア導体膜および銅膜 C u 1 を C M P 法で除去する。これにより、配線溝 W D

1にバリア導体膜と銅膜Cu1を埋め込んだ第1層配線L1（第1ファイン層）を形成することができる。

[0115] その後、第1層配線L1を形成した層間絶縁膜IL1の表面に対してアンモニアプラズマ処理を実施して、第1層配線L1の表面および層間絶縁膜IL1の表面を清浄化する。続いて、図21に示すように、第1層配線L1を形成した層間絶縁膜IL1上にバリア絶縁膜BI1を形成する。このバリア絶縁膜BI1は、例えば、SiCN膜とSiCO膜の積層膜から構成され、例えば、この積層膜はCVD法により形成することができる。なお、本実施の形態1では、第1層配線L1を形成した層間絶縁膜IL1の表面に対してアンモニアプラズマ処理による清浄化処理を実施した後に、バリア絶縁膜BI1を形成しているので、層間絶縁膜IL1とバリア絶縁膜BI1の密着性が向上する。

[0116] そして、バリア絶縁膜BI1上に層間絶縁膜IL2を形成し、この層間絶縁膜IL2上にダメージ保護膜DP1を形成する。さらに、ダメージ保護膜DP1上にCMP保護膜CMP1を形成する。具体的に、層間絶縁膜IL2は、例えば、空孔を有するSiOC膜から形成されている。したがって、層間絶縁膜IL2は、低誘電率膜であり、かつ、低ヤング率膜である。この空孔を有するSiOC膜は、例えば、プラズマCVD法を使用することにより形成することができる。ダメージ保護膜DP1は、例えば、SiOC膜から形成され、例えば、プラズマCVD法により形成することができる。したがって、ダメージ保護膜DP1は、中誘電率膜であり、かつ、中ヤング率膜ということになる。さらに、CMP保護膜CMP1は、例えば、TEOS膜、あるいは、酸化シリコン膜から構成される。このため、CMP保護膜CMP1は、高誘電率膜であり、高ヤング率膜であるということになる。

[0117] 続いて、図22に示すように、CMP保護膜CMP1上に化学増幅型レジストから構成されるフォトリジスト膜FR1を形成する。そして、このフォトリジスト膜FR1に対して、露光・現像処理を施すことにより、フォトリジスト膜FR1をパターニングする。パターニングは、ビアホールを形成す

る領域を開口するように行なわれる。その後、パターニングしたフォトリジスト膜FR1をマスクにして、CMP保護膜CMP1、ダメージ保護膜DP1および層間絶縁膜IL2をエッチングする。これにより、CMP保護膜CMP1、ダメージ保護膜DP1および層間絶縁膜IL2を貫通して、バリア絶縁膜BI1を露出するビアホールV1を形成することができる。このようにバリア絶縁膜BI1は、エッチングの際にエッチングストッパとして機能することがわかる。

[0118] 次に、図23に示すように、パターニングしたフォトリジスト膜FR1を除去した後、CMP保護膜CMP1上に化学増幅型レジストから構成されるフォトリジスト膜FR2を形成し、このフォトリジスト膜FR2に対して露光・現像処理を施すことにより、フォトリジスト膜FR2をパターニングする。フォトリジスト膜FR2のパターニングは、配線溝を形成する領域を開口するように行なわれる。このとき、バリア絶縁膜BI1としてSiCO膜を形成していることにより、フォトリジスト膜FR2に対するレジストポイズニングを防止することができる。このレジストポイズニングとは、以下に説明する現象である。すなわち、上述したアンモニアプラズマ処理に含まれる窒素やバリア絶縁膜BI1を形成するSiCN膜に含まれる窒素が化学反応してアミンが生成され、このアミンが層間絶縁膜IL2に拡散する。この拡散したアミンが層間絶縁膜IL2に形成されたビアホールV1に達する。このとき、フォトリジスト膜FR2を露光して配線溝を形成するパターンにパターニングする際、ビアホールV1近傍に形成されるフォトリジスト膜FR2が化学増幅レジストであり、この化学増幅レジストは露光される際に酸が発生して露光反応が進むものであるために、ビアホールV1から拡散する塩基であるアミンと反応し、酸が中和する。この結果、ビアホールV1近傍のフォトリジスト膜FR2が失活して露光不良となる現象である。このレジストポイズニングが発生すると、フォトリジスト膜FR2のパターニングが不良となってしまう。そこで、本実施の形態1では、アミンの発生源となるSiCN膜上にSiCO膜を設けて、SiCN膜で発生したアミンが拡散す

ることを防止している。つまり、バリア絶縁膜BI1は、SiCN膜とSiCO膜の積層膜から形成されている。このSiCN膜自体は、銅配線からの銅の拡散を防止する機能を有する銅拡散防止膜として機能する膜であり、SiCO膜は、SiCN膜で発生するアミンの拡散を防止してレジストポイズニングを抑制するための膜である。なお、材料としてSiCO膜の代わりに酸化シリコン膜、または、TEOS膜であっても同様の効果があり、SiCN膜の代わりにSiN膜を使用する場合であっても同様の効果がある。

[0119] その後、図24に示すように、パターニングしたフォトリソ膜FR2をマスクとした異方性エッチングにより、CMP保護膜CMP1をエッチングする。このときのエッチングでは、CMP保護膜CMP1の下層にあるダメージ保護膜DP1がエッチングストップとなる。そして、図25に示すように、パターニングしたフォトリソ膜FR2をプラズマアッシング処理により除去する。このプラズマアッシング処理の際、低ヤング率膜から構成される層間絶縁膜IL2には配線溝に対応したパターニングが行われていないため、配線溝にプラズマアッシング処理によるダメージが加わらない。

[0120] 続いて、図26に示すように、エッチバック法により、ビアホールV1の底部に露出するバリア絶縁膜BI1を除去する。これにより、ビアホールV1の底部に第1層配線L1の表面が露出することになる。このときのエッチバック法により、パターニングされたCMP保護膜CMP1から露出しているダメージ保護膜DP1やダメージ保護膜DP1の下層にある層間絶縁膜IL2の一部もエッチングされて配線溝WD2が形成される。このように、パターニングしたフォトリソ膜FR2を用い、かつ、ダメージ保護膜DP1をエッチングストップとして、CMP保護膜CMP1をパターニングする。その後、エッチバック法により、ビアホールV1の底面に露出するバリア絶縁膜BI1を除去しつつ、ダメージ保護膜DP1および層間絶縁膜IL2の一部をエッチングして配線溝WD2を形成することにより、エッチバック法のエッチング条件を設定しやすくなる。これは、SiCN膜やSiCO膜のようなSiC系の絶縁膜からバリア絶縁膜BI1を構成し、かつ、ダメー

ジ保護膜DP1や層間絶縁膜IL2をSiOC膜で構成しているので、エッチバック法によって、バリア絶縁膜BI1をエッチングすると、ダメージ保護膜DP1や層間絶縁膜IL2がエッチングされやすくなるためである。さらに、CMP保護膜CMP1は、TEOS膜や酸化シリコン膜から形成されているが、これは、SiCN膜やSiCO膜から構成されるバリア絶縁膜BI1をエッチングする際、CMP保護膜CMP1がエッチングされにくくするため（エッチング選択比を大きくするため）である。

[0121] 次に、図27に示すように、配線溝WD2を形成したCMP保護膜CMP1上にバリア導体膜（銅拡散防止膜）（図示せず）を形成する。具体的に、バリア導体膜は、タンタル（Ta）、チタン（Ti）、ルテニウム（Ru）、タングステン（W）、マンガン（Mn）およびこれらの窒化物や窒化珪化物、または、これらの積層膜から構成され、例えば、スパッタリング法を使用することにより形成する。

[0122] 続いて、配線溝WD2の内部およびCMP保護膜CMP1上に形成されたバリア導体膜上に、例えば、薄い銅膜からなるシード膜をスパッタリング法により形成する。そして、このシード膜を電極とした電解めっき法により銅膜Cu2を形成する。この銅膜Cu2は、配線溝WD2を埋め込みように形成される。この銅膜Cu2は、例えば、銅を主体とする膜から形成される。具体的には、銅（Cu）または銅合金（銅（Cu）とアルミニウム（Al）、マグネシウム（Mg）、チタン（Ti）、マンガン（Mn）、鉄（Fe）、亜鉛（Zn）、ジルコニウム（Zr）、ニオブ（Nb）、モリブデン（Mo）、ルテニウム（Ru）、パラジウム（Pd）、銀（Ag）、金（Au）、In（インジウム）、ランタノイド系金属、アクチノイド系金属などの合金）から形成される。

[0123] 続いて、図28に示すように、CMP保護膜CMP1上に形成されている不要なバリア導体膜および銅膜Cu2をCMP法で除去する。これにより、ダメージ保護膜DP1が露出し、かつ、配線溝WD2にバリア導体膜と銅膜Cu2を埋め込んだ第2層配線L2と、ビアホールにバリア導体膜と銅膜C

u 2を埋め込んだプラグP L G 2を形成することができる。

[0124] このときのCMP法による研磨圧力やスクラッチダメージに耐えるため、CMP保護膜CMP 1は設けられている。CMP法により露出されるダメージ保護膜D P 1は、ある程度、このCMP法による研磨圧力やスクラッチダメージに耐えられるが、CMP保護膜CMP 1が設けられていない場合には、十分に耐えられないおそれもある。さらに、例えば、CMP法による研磨を実施する際、CMP保護膜CMP 1やダメージ保護膜D P 1を設けずに、低ヤング率膜よりなる層間絶縁膜I L 2の表面を直接研磨すると、低ヤング率膜からなる層間絶縁膜I L 2がCMP法による研磨圧力やスクラッチダメージに耐えることができず、層間絶縁膜I L 2が破壊されて不良の原因となる。そこで、本実施の形態1では、CMP法による研磨から層間絶縁膜I L 2やダメージ保護膜D P 1を保護するため、CMP保護膜CMP 1を設けている。

[0125] このとき、層間絶縁膜I L 2上にダメージ保護膜D P 1が形成され、ダメージ保護膜D P 1上にCMP保護膜CMP 1が形成されている。この場合、各膜をヤング率の観点から記載すると、低ヤング率膜（層間絶縁膜I L 2）上に中ヤング率膜（ダメージ保護膜D P 1）が形成され、この中ヤング率膜（ダメージ保護膜D P 1）上に高ヤング率膜（CMP保護膜CMP 1）が形成されていることになる。すなわち、低ヤング率膜（層間絶縁膜I L 2）と高ヤング率膜（CMP保護膜CMP 1）の間に、中ヤング率膜（ダメージ保護膜D P 1）が設けられる構造となっている。したがって、例えば、中ヤング率膜（ダメージ保護膜D P 1）を設けずに、低ヤング率膜（層間絶縁膜I L 2）上に直接、高ヤング率膜（CMP保護膜CMP 1）を形成する場合、界面にCMP法による大きな研磨圧力が加わって低ヤング率膜（層間絶縁膜I L 2）が剥離するおそれがある。これに対し、本実施の形態1では、低ヤング率膜（層間絶縁膜I L 2）と高ヤング率膜（CMP保護膜CMP 1）の間に、中ヤング率膜（ダメージ保護膜D P 1）を設けている。これにより、CMP法による研磨圧力が、低ヤング率膜（層間絶縁膜I L 2）と中ヤング

率膜（ダメージ保護膜DP1）の界面と、中ヤング率膜（ダメージ保護膜DP1）と高ヤング率膜（CMP保護膜CMP1）との界面とに分散される。この結果、低ヤング率膜（層間絶縁膜IL2）に加わる研磨圧力が緩和され、CMP法による研磨圧力によって、低ヤング率膜（層間絶縁膜IL2）が剥離することを防止できる。

[0126] このCMP法による研磨によって、CMP保護膜CMP1は除去される。したがって、高誘電率膜から構成されているCMP保護膜CMP1を、CMP法による研磨終了後に除去することにより、第2層配線L2の低誘電率化を図ることができ、半導体装置（デバイス）の高速動作が実現できる。以上のようにして、第2層配線L2を形成することができる。

[0127] その後、図29に示すように、第2層配線L2を形成したダメージ保護膜DP1の表面に対してアンモニアプラズマ処理を実施して、第2層配線L2の表面およびダメージ保護膜DP1の表面を清浄化する。続いて、第2層配線L2を形成したダメージ保護膜DP11上にバリア絶縁膜BI2を形成する。このバリア絶縁膜BI2は、例えば、SiCN膜とSiCO膜の積層膜から構成され、例えば、この積層膜はCVD法により形成することができる。なお、本実施の形態1では、第2層配線L2を形成したダメージ保護膜DP1の表面に対してアンモニアプラズマ処理による清浄化処理を実施した後に、バリア絶縁膜BI2を形成しているので、ダメージ保護膜DP1とバリア絶縁膜BI1の密着性が向上する。さらに、ダメージ保護膜DP1は、アンモニアプラズマ処理によるダメージから、低ヤング率膜である層間絶縁膜IL2を保護する機能も有しているといえる。このような製造工程を繰り返すことにより、第3層配線L3～第5層配線L5を形成する。これにより、第2ファイン層（第2層配線L2～第5層配線L5）を形成することができる。

[0128] 続いて、第2ファイン層上にセミグローバル層を形成する工程について説明する。図30に示すように、第5層配線L5を形成したダメージ保護膜DP4上の表面に対してアンモニアプラズマ処理を実施して、第5層配線L5

の表面およびダメージ保護膜DP4の表面を清浄化する。続いて、第5層配線L5を形成したダメージ保護膜DP4上にバリア絶縁膜BI5を形成する。このバリア絶縁膜BI5は、例えば、SiCN膜とSiCO膜の積層膜から構成され、例えば、この積層膜はCVD法により形成することができる。なお、本実施の形態1では、第5層配線L5を形成したダメージ保護膜DP4の表面に対してアンモニアプラズマ処理による清浄化処理を実施した後に、バリア絶縁膜BI5を形成しているので、ダメージ保護膜DP4とバリア絶縁膜BI5の密着性が向上する。

[0129] 次に、バリア絶縁膜BI5上に層間絶縁膜IL6を形成する。この層間絶縁膜IL6は、例えば、中ヤング率膜であるSiOC膜から形成され、例えば、プラズマCVD法を使用することにより形成される。

[0130] そして、図31に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜IL6に配線溝WD3およびビアホールV2を形成する。このビアホールV2は、SiOC膜からなる層間絶縁膜IL6を貫通して底面が第5層配線L5に達するように形成される。これにより、ビアホールV2の底部で第5層配線L5の表面が露出することになる。

[0131] その後、図32に示すように、配線溝WD3およびビアホールV2を形成した層間絶縁膜IL6上にバリア導体膜（銅拡散防止膜）（図示せず）を形成する。具体的に、バリア導体膜は、タンタル（Ta）、チタン（Ti）、ルテニウム（Ru）、タングステン（W）、マンガン（Mn）およびこれらの窒化物や窒化珪化物、または、これらの積層膜から構成され、例えば、スパッタリング法を使用することにより形成する。

[0132] 続いて、配線溝WD3とビアホールV2の内部および層間絶縁膜IL6上に形成されたバリア導体膜上に、例えば、薄い銅膜からなるシード膜をスパッタリング法により形成する。そして、このシード膜を電極とした電解めっき法により銅膜Cu3を形成する。この銅膜Cu3は、配線溝WD3およびビアホールV2を埋め込みように形成される。この銅膜Cu3は、例えば、

銅を主体とする膜から形成される。具体的には、銅（Cu）または銅合金（銅（Cu）とアルミニウム（Al）、マグネシウム（Mg）、チタン（Ti）、マンガン（Mn）、鉄（Fe）、亜鉛（Zn）、ジルコニウム（Zr）、ニオブ（Nb）、モリブデン（Mo）、ルテニウム（Ru）、パラジウム（Pd）、銀（Ag）、金（Au）、In（インジウム）、ランタノイド系金属、アクチノイド系金属などの合金）から形成される。

[0133] 次に、図33に示すように、層間絶縁膜IL6上に形成された不要なバリア導体膜および銅膜Cu3をCMP法で除去する。これにより、配線溝WD3にバリア導体膜と銅膜Cu3を埋め込んだ第6層配線L6と、ビアホールV2にバリア導体膜と銅膜Cu3を埋め込んだプラグPLG6を形成することができる。以上のようにして、第6層配線L6を形成することができる。このような製造工程を繰り返すことにより、図34に示すような第7層配線L7も形成する。これにより、セミグローバル層（第6層配線L6～第7層配線L7）を形成することができる。

[0134] 続いて、セミグローバル層上にグローバル層を形成する工程について説明する。図35に示すように、第7層配線L7を形成した層間絶縁膜IL7の表面に対してアンモニアプラズマ処理を実施して、第7層配線L7の表面および層間絶縁膜IL7の表面を清浄化する。続いて、第7層配線L7を形成した層間絶縁膜IL7上にバリア絶縁膜BI7aを形成する。このバリア絶縁膜BI7aは、例えば、SiCN膜とSiCO膜の積層膜から構成され、例えば、この積層膜はCVD法により形成することができる。なお、本実施の形態1では、第7層配線L7を形成した層間絶縁膜IL7の表面に対してアンモニアプラズマ処理による清浄化処理を実施した後に、バリア絶縁膜BI7aを形成しているので、層間絶縁膜IL7とバリア絶縁膜BI7aの密着性が向上する。

[0135] 次に、バリア絶縁膜BI7a上に層間絶縁膜IL8aを形成する。この層間絶縁膜IL8aは、例えば、高ヤング率膜であるTEOS膜や酸化シリコン膜から形成され、例えば、プラズマCVD法を使用することにより形成さ

れる。さらに、層間絶縁膜 I L 8 a 上に、エッチングストップ絶縁膜 B I 7 b を形成し、このエッチングストップ絶縁膜 B I 7 b 上に層間絶縁膜 I L 8 b を形成する。このエッチングストップ絶縁膜 B I 7 b は、例えば、S i C N 膜から形成され、例えば、この積層膜は C V D 法により形成することができる。また、この層間絶縁膜 I L 8 b は、例えば、高ヤング率膜である T E O S 膜や酸化シリコン膜から形成され、例えば、プラズマ C V D 法を使用することにより形成される。

[0136] そして、図 3 6 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜 I L 8 b およびエッチングストップ絶縁膜 B I 7 b に配線溝 W D 4 を形成し、かつ、層間絶縁膜 I L 8 a およびバリア絶縁膜 B I 7 a にビアホール V 3 を形成する。このビアホール V 3 は、T E O S 膜や酸化シリコン膜からなる層間絶縁膜 I L 8 a を貫通して底面が第 7 層配線 L 7 に達するように形成される。これにより、ビアホール V 3 の底部で第 7 層配線 L 7 の表面が露出することになる。

[0137] その後、図 3 7 に示すように、配線溝 W D 4 を形成した層間絶縁膜 I L 8 b 上およびビアホール V 3 を形成した層間絶縁膜 I L 8 a 上にバリア導体膜（銅拡散防止膜）（図示せず）を形成する。具体的に、バリア導体膜は、タンタル（T a）、チタン（T i）、ルテニウム（R u）、タングステン（W）、マンガン（M n）およびこれらの窒化物や窒化珪化物、または、これらの積層膜から構成され、例えば、スパッタリング法を使用することにより形成する。

[0138] 続いて、配線溝 W D 4 とビアホール V 3 の内部および層間絶縁膜 I L 8 b 上に形成されたバリア導体膜上に、例えば、薄い銅膜からなるシード膜をスパッタリング法により形成する。そして、このシード膜を電極とした電解めっき法により銅膜 C u 4 を形成する。この銅膜 C u 4 は、配線溝 W D 4 およびビアホール V 3 を埋め込みように形成される。この銅膜 C u 4 は、例えば、銅を主体とする膜から形成される。具体的には、銅（C u）または銅合金（銅（C u）とアルミニウム（A l）、マグネシウム（M g）、チタン（T

i)、マンガン(Mn)、鉄(Fe)、亜鉛(Zn)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ルテニウム(Ru)、パラジウム(Pd)、銀(Ag)、金(Au)、In(インジウム)、ランタノイド系金属、アクチノイド系金属などの合金)から形成される。

[0139] 次に、図38に示すように、層間絶縁膜IL8b上に形成された不要なバリア導体膜および銅膜Cu4をCMP法で除去する。これにより、配線溝WD4にバリア導体膜と銅膜Cu4を埋め込んだ第8層配線L8と、ビアホールV3にバリア導体膜と銅膜Cu4を埋め込んだプラグPLG8を形成することができる。以上のようにして、第8層配線L8を形成することができる。これにより、グローバル層(第8層配線L8)を形成することができる。

[0140] 続いて、図39に示すように、第8層配線L8を形成した層間絶縁膜IL8b上にバリア絶縁膜BI8を形成し、このバリア絶縁膜BI8上に層間絶縁膜IL9を形成する。このバリア絶縁膜BI8は、例えば、SiCN膜とSiCO膜の積層膜から構成され、例えば、この積層膜はCVD法により形成することができる。また、層間絶縁膜IL9は、例えば、高ヤング率膜であるTEOS膜や酸化シリコン膜から形成され、例えば、プラズマCVD法を使用することにより形成される。そして、この層間絶縁膜IL9およびバリア絶縁膜BI8を貫通するビアホールを形成する。

[0141] 次に、ビアホールの側壁と底面、および層間絶縁膜IL9上にチタン/窒化チタン膜、アルミニウム膜、チタン/窒化チタン膜を順次積層した積層膜を形成し、この積層膜をパターニングすることにより、プラグPLG9と最上層配線L9を形成する。

[0142] その後、図40に示すように、最上層配線L9を形成した層間絶縁膜IL9上に表面保護膜となるパッシベーション膜PASを形成する。このパッシベーション膜PASは、例えば、酸化シリコン膜とこの酸化シリコン膜上に配置された窒化シリコン膜から形成され、例えば、CVD法により形成することができる。そして、図41に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、パッシベーション膜PASに開口

部を形成して、最上層配線L9の一部を露出してパッドPDを形成する。

[0143] 次に、図42に示すように、パッドPDが露出したパッシベーション膜PAS上にポリイミド膜PIを形成する。そして、このポリイミド膜PIをパターンニングすることにより、パッドPDを露出させる。以上のようにして、半導体基板1S上に、MISFETおよび多層配線を形成することができる。

[0144] 続いて、図43に示すように、半導体基板1Sをダイシングすることにより、複数の半導体チップCHPを得る。図43では、1つの半導体チップCHPが示されており、この半導体チップCHPの主面側（素子形成面側）にパッドPDが形成されている。

[0145] 次に、図44に示すように、配線基板WB上に半導体チップCHPを搭載する。このとき、配線基板WBのチップ搭載面側には端子TEが形成されている。そして、図45に示すように、半導体チップCHPに形成されているパッドPDと、配線基板WBに形成されている端子TEとを、金線などからなるワイヤWで接続する。その後、図46に示すように、半導体チップCHPおよびワイヤWを覆うように樹脂MRで封止する。

[0146] 続いて、図47に示すように、配線基板WBの裏面（チップ搭載面とは反対側の面）に外部接続端子となる半田ボールSBを形成する。そして、図48に示すように、配線基板WBを個片化することにより、図2に示すような本実施の形態1における半導体装置を製造することができる。

[0147] このようにして完成したパッケージ（半導体装置）は、様々な温度条件で使用されるため、広範囲な温度変化に対応しても正常に動作する必要がある。このことから、半導体チップは、パッケージ化された後、温度サイクル試験が実施される。

[0148] 例えば、樹脂で半導体チップを封止したパッケージに対して温度サイクル試験を実施すると、樹脂と半導体チップにおいて、熱膨張率やヤング率が相違するため、半導体チップに応力が印加される。このとき、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の

相違する界面に最大応力が印加される。

[0149] ここで、本実施の形態 1 によれば、一体化した高ヤング率層（半導体基板 1 S とコンタクト層間絶縁膜 C I L）と層間絶縁膜 I L 2（低ヤング率膜）の間に、中ヤング率膜である層間絶縁膜 I L 1 が形成されていることになる。この場合、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面とが存在することになる。すなわち、本実施の形態 1 では、ヤング率の相違する界面は、一体化した高ヤング率層と層間絶縁膜 I L 1（中ヤング率膜）の界面と、層間絶縁膜 I L 1（中ヤング率膜）と層間絶縁膜 I L 2（低誘電率膜）の界面との 2 つが存在することになる。したがって、層間絶縁膜 I L 1 を高ヤング率膜から構成する場合には、1 つの界面に応力が集中するが、本実施の形態 1 では、層間絶縁膜 I L 1 を中ヤング率膜から構成しており、ヤング率の異なる界面が 2 つ存在することになるので、この 2 つの界面に応力が分散される。このため、本実施の形態 1 では、個々の界面に発生する応力の大きさを小さくすることができるのである。この結果、層間絶縁膜 I L 2（低ヤング率膜）と層間絶縁膜 I L 1（中ヤング率膜）との間の界面から層間絶縁膜 I L 2（低ヤング率膜）が剥離することを防止できる顕著な効果を得ることができる。

[0150] 本実施の形態 1 の特徴をわかりやすく説明するために、第 1 ファイン層を構成する層間絶縁膜 I L 1（中ヤング率膜）と、第 2 ファイン層を構成する層間絶縁膜 I L 2（低ヤング率膜）との間に形成されているバリア絶縁膜 B I 1（高ヤング率膜）を無視して説明したが、このバリア絶縁膜 B I 1（高ヤング率膜）が設けられている場合であっても、本実施の形態 1 によれば、層間絶縁膜 I L 2（低ヤング率膜）の膜剥がれを防止できる。なぜなら、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、一体化した高ヤング率層と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することができ、かつ、応力を分散させることができるからである。

[0151] 続いて、本実施の形態 1 のさらなる特徴について説明する。本実施の形態 1 では、第 2 ファイン層を構成する層間絶縁膜 I L 2 を、例えば、空孔を有する S i O C 膜から形成している。この空孔を有する S i O C 膜は、低誘電率膜であるとともに、低ヤング率膜でもある。そして、本実施の形態 1 では、空孔を有する S i O C 膜をプラズマ C V D 法で形成している。この点が本実施の形態 1 のさらなる特徴である。つまり、本実施の形態 1 では、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、一体化した高ヤング率層と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することに主眼を置いている。この構成は、層間絶縁膜 I L 2 の接着力を大きくすることにより、さらに大きな効果を奏するのである。層間絶縁膜 I L 2 は、例えば、バリア絶縁膜 B I 1 と直接接触することになるが、この接触をより強固なものとするれば、さらに、層間絶縁膜 I L 2 の剥離を防止できるのである。そのために、本実施の形態 1 では、層間絶縁膜 I L 2 を構成する空孔を有する S i O C 膜をプラズマ C V D 法で形成している。プラズマ C V D 法によれば、高いエネルギーを与えて強固な結合を形成できるので、強固な結合を有する層間絶縁膜 I L 2 を形成できるからである。

[0152] したがって、層間絶縁膜 I L 2 を強固な接着力を有する膜から形成する観点からは、本実施の形態 1 では、層間絶縁膜 I L 2 に P A E（ポリアリルエーテル）などの膜は使用しないほうが望ましい。P A E は、通常、塗布法で形成されるので、プラズマ C V D 法に比べて密着力が劣るからである。このように本実施の形態 1 は、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、一体化した高ヤング率層と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することができ、かつ、応力を分散させることに特徴があるが、この特徴は、層間絶縁膜 I L 2 を構成する絶縁膜をプラズマ C V D 法で形成することにより、さらなる大きな効果が得られるのである。

[0153] さらに、本実施の形態 1 の別の特徴についても説明する。一般的に、金属

と絶縁膜との界面では密着性が悪いという問題が半導体デバイスには存在する。例えば、図3に示すように、第2層配線L2の配線パターンは適宜設けられるが、電源リングの近傍領域などでは、特に、金属配線の割合が大きくなる。このとき、半導体チップを覆う樹脂と半導体チップの熱膨張率およびヤング率の相違に起因した応力が、電源リングの近傍領域といった金属配線の割合が多い領域（第2層配線L2の一部領域）に加わる場合を考える。この場合、本実施の形態1では、低ヤング率膜から構成されている層間絶縁膜IL2上にダメージ保護膜DP1が形成されている。したがって、低ヤング率膜である層間絶縁膜IL2にダメージを与えることなく、ダメージ保護膜DP1の表面にアンモニアプラズマ処理を施すことができる。このことは、ダメージ保護膜DP1とバリア絶縁膜BI2との密着力が向上することを意味し、金属配線の割合が多い領域でも、上述した応力によって、ダメージ保護膜DP1とバリア絶縁膜BI2の界面が剥離することを防止できるのである。

[0154] さらに、本実施の形態1では、層間絶縁膜IL2上にダメージ保護膜DP1が形成され、このダメージ保護膜DP1上にバリア絶縁膜BI2が形成される構造となっている。これは、低ヤング率膜（層間絶縁膜IL2）と高ヤング率膜（バリア絶縁膜BI2）の間に、中ヤング率膜（ダメージ保護膜DP1）が形成された構造ということができる。したがって、低ヤング率膜（層間絶縁膜IL2）と高ヤング率膜（バリア絶縁膜BI2）の間にかかる応力が、中ヤング率膜（ダメージ保護膜DP1）を形成することにより分散される。この結果、上述した応力によって、低ヤング率膜（層間絶縁膜IL2）が剥がれることを抑制できるのである。

[0155] （実施の形態2）

前記実施の形態1では、半導体チップの全体を樹脂で封止するパッケージについて説明したが、本実施の形態2では、半導体チップの一部を樹脂で封止するパッケージについて説明する。

[0156] 図49は、本実施の形態2におけるパッケージの構成例を示す断面図であ

る。図49において、配線基板WB上には、半導体チップCHPが搭載されている。具体的に、半導体チップCHPにはバンプ電極（突起電極）BMPが形成されており、このバンプ電極BMPが、配線基板WBに形成されている端子（図示せず）と電氣的に接続されるように半導体チップCHPが配線基板WB上に搭載されている。配線基板WBの裏面には、外部接続端子として機能する半田ボールSBが形成されている。配線基板WBでは、配線基板WBの主面に形成されている端子と、配線基板WBの裏面に形成されている半田ボールSBが、配線基板WBの内部に形成されている配線（図示せず）を介して電氣的に接続されている。したがって、半導体チップCHPに形成されているバンプ電極BMPは、外部接続端子となる半田ボールSBと電氣的に接続されていることになる。つまり、図49に示すパッケージでは、半導体チップCHPと外部回路とを半田ボールSBを介して電氣的に接続できるように構成されている。

[0157] さらに、図49に示すパッケージでは、半導体チップCHPと配線基板WBとを接続するバンプ電極BMPをアンダーフィルUFと呼ばれる樹脂で封止している。すなわち、図49に示すパッケージでは、バンプ電極BMPを覆うようにアンダーフィルUFが形成されており、バンプ電極BMPは、アンダーフィルUFによって、湿度や温度といった外部環境から保護されるとともに、バンプ電極BMPによる接続強度を向上させていることになる。また、半導体チップCHPの上面はカバーCOVで覆われている。

[0158] このように、図49に示すパッケージでは、半導体チップCHPの一部（バンプ電極BMP）をアンダーフィルUFで封止していることから、温度サイクル試験における温度変化によって、半導体チップCHPに応力がかかることになる。つまり、温度サイクル試験による広範囲な温度変化がパッケージに加わると、半導体チップCHPとアンダーフィルUFとの熱膨張率やヤング率の相違から半導体チップCHPに応力が発生する。半導体チップCHPに応力が発生すると、半導体チップCHP内に形成されている多層配線において膜剥がれという問題点が発生するおそれがある。本実施の形態2にお

けるパッケージでも前記実施の形態 1 におけるパッケージと同様の問題が発生することになる。

[0159] そこで、本実施の形態 2 でも、前記実施の形態 1（図 3）と同様に、層間絶縁膜の構成に工夫を施している。具体的に、図 3 に示すように、第 1 ファイン層を構成する層間絶縁膜 I L 1 は、例えば、S i O C 膜から構成されている。つまり、第 1 ファイン層を構成する層間絶縁膜 I L 1 は、中誘電率膜、中ヤング率膜、言い換えれば、中密度膜から構成されていることになる。特に、層間絶縁膜 I L 1 に特徴的機能からいえば、層間絶縁膜 I L 1 は中ヤング率膜から構成されているということになる。このように第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成することにより、層間絶縁膜の一部（第 2 ファイン層）に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であっても、低誘電率膜の膜剥がれを防止し、半導体装置の信頼性を向上することができるのである。

[0160] 続いて、本実施の形態 2 における半導体装置の製造方法について図面を参照しながら説明する。図 1 3 から図 4 2 までの工程は、前記実施の形態 1 と同様である。次に、図 5 0 に示すように、パッド P D を開口したポリイミド膜 P I 上に、アンダーバンプメタル膜 U B M を形成する。アンダーバンプメタル膜 U B M は、例えば、スパッタリング法を使用して形成でき、例えば、チタン膜、ニッケル膜、パラジウム膜、チタン・タングステン合金膜、窒化チタン膜あるいは金膜などの単層膜または積層膜により形成されている。ここで、アンダーバンプメタル膜 U B M は、バンプ電極とパッドや表面保護膜との接着性を向上させる機能の他、この後の工程で形成される金膜の金属元素が多層配線等に移動することや、反対に多層配線を構成する金属元素が金膜側に移動するのを抑制または防止するバリア機能を有する膜である。そして、アンダーバンプメタル膜 U B M 上にフォトレジスト膜 F R 3 を形成する。

[0161] 次に、図 5 1 に示すように、フォトリソグラフィ技術を使用することにより、フォトレジスト膜 F R 3 をパターニングする。フォトレジスト膜 F R 3

のパターニングは、パッドPD上のバンプ電極形成領域を開口するように行なわれる。すなわち、フォトレジスト膜FR3をパターニングすることにより、パッドPDを露出する開口部OPを形成する。

[0162] 続いて、図52に示すように、めっき法を使用することにより、パッドPDを露出している開口部OP内に金膜PFを形成する。これにより、パッドPD上に金膜PFが積層形成される。その後、図53に示すように、パターニングしたフォトレジスト膜FR3およびこのフォトレジスト膜FRの下層に形成されているアンダーバンプメタル膜UBMを除去する。これにより、パッドPD上にバンプ電極BMPが形成される。そして、図54に示すように、半導体基板1Sに対してリフロー処理（熱処理）を施すことにより、バンプ電極BMPの形状を球状にする。以上のようにして、半導体基板1S上に、MISFET、多層配線およびバンプ電極BMPを形成することができる。

[0163] 続いて、図55に示すように、半導体基板1Sをダイシングすることにより、複数の半導体チップCHPを得る。図55では、1つの半導体チップCHPが示されており、この半導体チップCHPの主面側（素子形成面側）にバンプ電極BMPが形成されている。

[0164] 次に、図56に示すように、配線基板WB上に半導体チップCHPを搭載する。このとき、半導体チップCHPに形成されているバンプ電極BMPと、配線基板WBに形成されている端子（図示せず）とが接触するように、半導体チップCHPが配線基板WB上に搭載される。そして、図57に示すように、半導体チップCHPと配線基板WBの隙間に配置されているバンプ電極BMPを覆うようにアンダーフィルUFを塗布する。その後、図58に示すように、配線基板WBの裏面（チップ搭載面とは反対側の面）に外部接続端子となる半田ボールSBを形成する。そして、図59に示すように、半導体チップCHPの上部にカバーを取り付けるとともに、配線基板WBを個片化することにより、図49に示すような本実施の形態2における半導体装置を製造することができる。

[0165] 本実施の形態 2 における半導体装置では、半導体チップ C H P とアンダーフィル U F が接触しているので、温度サイクルが加わった場合、半導体チップ C H P とアンダーフィル U F との熱膨張率およびヤング率の違いから半導体チップ C H P に応力が加わることになる。特に、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の相違する界面に最大応力が印加される。しかし、本実施の形態 2 によれば、図 5 4 に示すように、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成しているので、一体化した高ヤング率層（半導体基板 1 S とコンタクト層間絶縁膜 C I L）と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することができ、応力を分散させることができる。この結果、低ヤング率膜から構成される層間絶縁膜 I L 2 の膜剥がれを防止することができる。

[0166] （実施の形態 3）

前記実施の形態 1 および前記実施の形態 2 では、B G A（Ball Grid Array）タイプのパッケージについて説明したが、本実施の形態 3 では、リードフレームを使用した Q F P（Quad Flat Package）タイプのパッケージについて説明する。

[0167] 図 6 0 は本実施の形態 3 におけるパッケージの構成例について説明する。図 6 0 において、ダイパッド D P 上には半導体チップ C H P が搭載されており、このダイパッド D P の周囲に枠部 F P が形成されている。半導体チップ C H P に形成されているパッド P D は、インナリード I L とワイヤ W で電氣的に接続されている。そして、半導体チップ C H P、ワイヤ W、インナリード I L、ダイパッド D P および枠部 F P は樹脂 M R によって封止されている。この樹脂 M R からは、アウトリード O L が露出している。

[0168] このように、図 6 0 に示すパッケージでは、半導体チップ C H P の全体が樹脂 M R で封止されていることから、温度サイクル試験における温度変化によって、半導体チップ C H P に応力がかかることになる。つまり、温度サイクル試験による広範囲な温度変化がパッケージに加わると、半導体チップ C

H Pと樹脂MRとの熱膨張率やヤング率の相違から半導体チップC H Pに応力が発生する。半導体チップC H Pに応力が発生すると、半導体チップC H P内に形成されている多層配線において膜剥がれという問題点が発生するおそれがある。本実施の形態3におけるパッケージでも前記実施の形態1におけるパッケージと同様の問題が発生することになる。

[0169] そこで、本実施の形態3でも、前記実施の形態1（図3）と同様に、層間絶縁膜の構成に工夫を施している。具体的に、図3に示すように、第1ファイン層を構成する層間絶縁膜I L 1は、例えば、S i O C膜から構成されている。つまり、第1ファイン層を構成する層間絶縁膜I L 1は、中誘電率膜、中ヤング率膜、言い換えれば、中密度膜から構成されていることになる。特に、層間絶縁膜I L 1に特徴的機能からいえば、層間絶縁膜I L 1は中ヤング率膜から構成されているということになる。このように第1ファイン層を構成する層間絶縁膜I L 1を中ヤング率膜から形成することにより、層間絶縁膜の一部（第2ファイン層）に酸化シリコン膜よりも誘電率の低い低誘電率膜を使用する場合であっても、低誘電率膜の膜剥がれを防止し、半導体装置の信頼性を向上することができるのである。

[0170] 続いて、本実施の形態3における半導体装置の製造方法について図面を参照しながら説明する。図13から図42までの工程は、前記実施の形態1と同様である。これにより、半導体基板1 S上にM I S F E Tおよび多層配線を形成することができる。その後、半導体基板1 Sをダイシングすることにより、複数の半導体チップを得る。

[0171] 次に、図61に示すようなリードフレームL Fを用意する。図61に示すように、リードフレームL Fは、半導体チップを搭載するダイパッドD Pと、枠部F Pと、インナリードI Lと、アウトリードO Lとを主に有している。そして、リードフレームL Fのうち、モールドラインM Lで囲まれた領域が樹脂体で封止される領域である。以下に、このように構成されているリードフレームL Fを使用してパッケージを製造する工程について説明する。

[0172] 図62にリードフレームの一断面を示す。図62に示すように、中央部に

ダイパッドDPが配置されており、このダイパッドDPを囲む周囲に枠部FPが形成され、その外側にインナリードILが形成されている。

[0173] 続いて、図63に示すように、ダイパッドDP上に半導体チップCHPを搭載する。半導体チップCHPとダイパッドDPとは、例えば、ダイアタッチフィルム（図示せず）や接着材（図示せず）などによって固着している。

[0174] その後、図64に示すように、半導体チップCHPに形成されているパッドPDとインナリードILとをワイヤWで電氣的に接続する。そして、図65に示すように、半導体チップCHP、ワイヤW、インナリードIL、ダイパッドDPおよび枠部FPを覆うように樹脂MRで封止する。その後、図示しないアウトリードを成形して、図60に示すような本実施の形態3における半導体装置を製造することができる。

[0175] 本実施の形態3における半導体装置では、半導体チップCHPが樹脂MRで封止されているので、温度サイクルが加わった場合、半導体チップCHPと樹脂MRとの熱膨張率およびヤング率の違いから半導体チップCHPに応力が加わることになる。特に、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の相違する界面に最大応力が印加される。しかし、本実施の形態3によれば、図3に示すように、第1ファイン層を構成する層間絶縁膜IL1を中ヤング率膜から形成しているので、一体化した高ヤング率層（半導体基板1Sとコンタクト層間絶縁膜CIL）と、第2ファイン層を構成する層間絶縁膜IL2とを直接接触させずに分断することができ、応力を分散させることができる。この結果、低ヤング率膜から構成される層間絶縁膜IL2の膜剥がれを防止することができる。

[0176] （実施の形態4）

前記実施の形態1では、セミグローバル層を構成する層間絶縁膜IL6、IL7にSiOC膜を使用する例について説明したが、本実施の形態4では、セミグローバル層を構成する層間絶縁膜にTEOS膜、あるいは、酸化シリコン膜を使用する例について説明する。つまり、前記実施の形態1では、セミグローバル層を構成する層間絶縁膜IL6、IL7に中ヤング率膜を使

用したが、本実施の形態 4 では、セミグローバル層を構成する層間絶縁膜に高ヤング率膜を使用している。本実施の形態 4 のそれ以外の構成は、前記実施の形態 1 と同様である。

[0177] 図 6 6 は、本実施の形態 4 における半導体装置のデバイス構造を示す断面図である。図 6 6 において、本実施の形態 4 におけるデバイス構造は、前記実施の形態 1 におけるデバイス構造とほぼ同様である。異なる点は、図 6 6 に示すように、本実施の形態 4 では、セミグローバル層（第 6 層配線 L 6、第 7 層配線 L 7）を構成する層間絶縁膜 I L 1 0 および層間絶縁膜 I L 1 1 が高ヤング率膜である T E O S 膜、あるいは、酸化シリコン膜から構成されている点である。これにより、本実施の形態 4 では、セミグローバル層の機械的強度を向上できる利点がある。

[0178] 例えば、パッド P D には電気的特性検査時にプローブ針（探針）が押し当てられるが、このときのプロービングダメージがセミグローバル層に加わりやすい。さらに、半導体基板 1 S を複数の半導体チップに個片化するダイシング工程などのアセンブリ工程において、セミグローバル層は、下層にある第 2 ファイン層に比べてダメージを受けやすい層である。このことから、上述した様々なダメージに対して耐性を持たせるため、セミグローバル層にはある程度の機械的強度が必要である。この点を考慮して、前記実施の形態 1 では、セミグローバル層を構成する層間絶縁膜 I L 6、I L 7 を中ヤング率膜から構成したが、この場合でも機械的強度が不足するおそれがある。そこで、本実施の形態 1 では、S i O C 膜（中ヤング率膜）よりも機械的強度の高い T E O S 膜や酸化シリコン膜を、セミグローバル層を構成する層間絶縁膜 I L 1 0、I L 1 1 に使用することにより、プロービングダメージなどに対する耐性を向上させている。

[0179] このように構成されている本実施の形態 4 でも、温度サイクルが加わった場合、半導体チップと樹脂との熱膨張率およびヤング率の違いから半導体チップに応力が加わることになる。特に、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の相違する界面に最大

応力が印加される。この特性は、セミグローバル層を構成する層間絶縁膜の材質に影響は受けない。したがって、前記実施の形態 1 とほぼ同様な構成をしている本実施の形態 4 でも、図 6 6 に示すように、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から形成しているので、一体化した高ヤング率層（半導体基板 1 S とコンタクト層間絶縁膜 C I L）と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することができ、応力を分散させることができる。この結果、低ヤング率膜から構成される層間絶縁膜 I L 2 の膜剥がれを防止することができることは前記実施の形態 1 と同様である。

[0180] 実際に、本実施の形態 4 によれば、応力を低減できることを説明する。図 6 7 は、半導体基板表面からの距離とせん断応力との関係を示すグラフである。図 6 7 において、横軸が半導体基板表面からの距離（nm）を示しており、縦軸がせん断応力を示している。なお、せん断応力の値は相対的な数値を示しており、およそ「-1」の値が膜剥がれを引き起こす大きさの応力値である。

[0181] 図 1 2 の上部に記載されている「1」～「8」の数値は多層配線の各層を示している。例えば、「1」は第 1 ファイン層を示しており、「2」～「5」は第 2 ファイン層を示している。さらに、「6」～「8」はセミグローバル層とグローバル層を示している。なお、コンタクト層も示している。

[0182] 本実施の形態 4 では、第 1 層配線（第 1 ファイン層）と第 2 層配線（第 2 ファイン層）の境界を S i O C 膜（中ヤング率膜）から形成している場合を示している。この曲線を見ると、第 1 層配線（第 1 ファイン層）と第 2 層配線（第 2 ファイン層）の境界で発生する応力が、コンタクト層と第 1 層配線（第 1 ファイン層）との境界に分散されて小さくなっていることがわかる。つまり、図 6 7 に示すように、コンタクト層と第 1 層配線との境界に発生する応力と、第 1 層配線と第 2 層配線の境界に発生する応力は、ともに、膜剥がれが起きやすい応力値「-1」よりも十分に小さな値に抑えられている。これは、第 1 層配線の中ヤング率膜から形成することより、一体化した高ヤ

ング率層（半導体基板 1 S とコンタクト層間絶縁膜 C I L）と、第 2 ファイン層を構成する層間絶縁膜 I L 2 とを直接接触させずに分断することができ、応力を分散させることができていることを示している。したがって、本実施の形態 4 を示す曲線によれば、第 2 層配線（第 2 ファイン層）を構成する層間絶縁膜（低ヤング率膜）の剥離を十分に防止できることがわかる。

[0183] （実施の形態 5）

前記実施の形態 1 では、第 1 ファイン層を構成する層間絶縁膜 I L 1 を中ヤング率膜から構成する例について説明したが、本実施の形態 5 では、第 1 ファイン層を構成する層間絶縁膜を中ヤング率膜と低ヤング率膜と中ヤング率膜の積層膜で形成する例について説明する。

[0184] 図 6 8 は、本実施の形態 5 における半導体装置のデバイス構造を示す断面図である。図 6 8 において、本実施の形態 5 のデバイス構造は、前記実施の形態 1 のデバイス構造（図 3 参照）とほぼ同様の構成をしている。異なる点は、第 1 ファイン層を構成する層間絶縁膜の構成に相違点がある。具体的に、本実施の形態 5 では、図 6 8 に示すように、第 1 ファイン層を構成する層間絶縁膜を、層間絶縁膜 I L 1 a と、この層間絶縁膜 I L 1 a 上に形成された層間絶縁膜 I L 1 b と、層間絶縁膜 I L 1 b 上に形成された層間絶縁膜 I L 1 c から構成している。このとき、層間絶縁膜 I L 1 a は、S i O C 膜、H S Q 膜、あるいは、M S Q 膜などの中ヤング率膜から構成され、層間絶縁膜 I L 1 b は、空孔を有する S i O C 膜、空孔を有する H S Q 膜、あるいは、空孔を有する M S Q 膜などの低ヤング率膜から構成している。一方、層間絶縁膜 I L 1 c は、S i O C 膜、H S Q 膜、あるいは、M S Q 膜などからなる中ヤング率膜から構成している。

[0185] 以下では、このように構成する理由について説明する。まず、基本的に第 1 ファイン層を構成する第 1 層配線 L 1 は微細化されており、配線間隔も狭くなっている。このことから、配線間を埋め込む層間絶縁膜の誘電率が問題となる。つまり、層間絶縁膜の誘電率が高くなると、第 1 層配線 L 1 を構成する配線間の寄生容量が増加して信号遅延が生じる。この信号遅延を防止す

る観点から、第1ファイン層を構成する層間絶縁膜の誘電率をできるだけ低くすることが望ましい。そこで、本実施の形態5では、まず、第1ファイン層を構成する層間絶縁膜を低誘電率膜である層間絶縁膜 I L 1 b から構成している。つまり、層間絶縁膜 I L 1 b は、誘電率を低くするため、空孔を有する S i O C 膜から構成している。層間絶縁膜 I L 1 b を、空孔を有する S i O C 膜から構成することにより、層間絶縁膜の低誘電率化を図ることができるが、別の見方をすると、層間絶縁膜 I L 1 b は、機械的強度の低い低ヤング率膜であるということになる。そこで、層間絶縁膜 I L 1 b の機械的強度を補強するため、層間絶縁膜 I L 1 b 上に、中ヤング率膜から構成される層間絶縁膜 I L 1 c を形成している。すなわち、層間絶縁膜 I L 1 c は、下層にある層間絶縁膜 I L 1 b の機械的強度を補強するためや様々なダメージから層間絶縁膜 I L 1 b を保護するために設けられる膜である。

[0186] 次に、層間絶縁膜 I L 1 a の重要な機能について説明する。例えば、層間絶縁膜 I L 1 a が形成されていない場合には、低ヤング率膜である層間絶縁膜 I L 1 b が、高ヤング率膜であるコンタクト層間絶縁膜 C I L に接触することになる。さらにこのコンタクト層間絶縁膜 C I L は、半導体基板 1 S 上に形成されていることから、半導体基板 1 S とコンタクト層間絶縁膜 C I L からなる一体的な高ヤング率層に、低ヤング率膜である層間絶縁膜 I L 1 b が直接接触することになる。

[0187] 本実施の形態5でも、温度サイクルが加わった場合、半導体チップと樹脂との熱膨張率およびヤング率の違いから半導体チップに応力が加わることになる。特に、半導体チップ内に発生する応力は、多層配線層の下層に近いほど大きく、かつ、ヤング率の相違する界面に最大応力が印加される。したがって、本実施の形態5の場合、層間絶縁膜 I L 1 a が形成されていないと、一体的な高ヤング率層と低ヤング率膜である層間絶縁膜 I L 1 b との境界に最大の応力が印加されることになる。この結果、層間絶縁膜 I L 1 b の膜剥がれが生じることになる。

[0188] そこで、本実施の形態5では、低ヤング率膜である層間絶縁膜 I L 1 b の

下層に、中ヤング率膜である層間絶縁膜 I L 1 a を形成しているのである。このように本実施の形態 5 によれば、低ヤング率膜からなる層間絶縁膜 I L 1 b の下層に中ヤング率膜からなる層間絶縁膜 I L 1 a を形成しているので、一体化した高ヤング率層（半導体基板 1 S とコンタクト層間絶縁膜 C I L）と、層間絶縁膜 I L 1 b とを直接接触させずに分断することができ、応力を分散させることができる。この結果、低ヤング率膜から構成される層間絶縁膜 I L 1 b の膜剥がれを防止することができるのである。

[0189] 本実施の形態 5 における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。図 13 から図 16 に示す工程は前記実施の形態 1 と同様である。続いて、図 69 に示すように、プラグ P L G 1 を形成したコンタクト層間絶縁膜 C I L 上に、順次、層間絶縁膜 I L 1 a、層間絶縁膜 I L 1 b および層間絶縁膜 I L 1 c を形成する。層間絶縁膜 I L 1 a は、例えば、中ヤング率膜である S i O C 膜から構成され、例えば、C V D 法を使用することにより形成することができる。層間絶縁膜 I L 1 b は、例えば、低ヤング率膜である空孔を有する S i O C 膜から構成され、例えば、C V D 法を使用することにより形成することができる。また、層間絶縁膜 I L 1 c は、例えば、中ヤング率膜である S i O C 膜から構成され、例えば、C V D 法を使用することにより形成することができる。

[0190] 次に、図 70 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜 I L 1 a ~ I L 1 c を貫通して底面でプラグ P L G 1 を露出する配線溝 W D 1 を形成する。

[0191] その後、図 71 に示すように、配線溝 W D 1 を形成した層間絶縁膜 I L 1 c 上にバリア導体膜（銅拡散防止膜）（図示せず）を形成する。具体的に、バリア導体膜は、タンタル（T a）、チタン（T i）、ルテニウム（R u）、タングステン（W）、マンガン（M n）およびこれらの窒化物や窒化珪化物、または、これらの積層膜から構成され、例えば、スパッタリング法を使用することにより形成する。

[0192] 続いて、配線溝WD 1の内部および層間絶縁膜IL 1 c上に形成されたバリア導体膜上に、例えば、薄い銅膜からなるシード膜をスパッタリング法により形成する。そして、このシード膜を電極とした電解めっき法により銅膜Cu 1を形成する。この銅膜Cu 1は、配線溝WD 1を埋め込みように形成される。この銅膜Cu 1は、例えば、銅を主体とする膜から形成される。具体的には、銅(Cu)または銅合金(銅(Cu)とアルミニウム(Al)、マグネシウム(Mg)、チタン(Ti)、マンガン(Mn)、鉄(Fe)、亜鉛(Zn)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ルテニウム(Ru)、パラジウム(Pd)、銀(Ag)、金(Au)、In(インジウム)、ランタノイド系金属、アクチノイド系金属などの合金)から形成される。

[0193] 次に、図72に示すように、層間絶縁膜IL 1 c上に形成された不要なバリア導体膜および銅膜Cu 1をCMP法で除去する。これにより、配線溝WD 1にバリア導体膜と銅膜Cu 1を埋め込んだ第1層配線L 1(第1ファイン層)を形成することができる。なお、このCMP法の研磨圧力に対するバリア膜として層間絶縁膜IL 1 cが設けられ、層間絶縁膜IL 1 bに対するCMPの研磨圧力を防ぐ機能を持つ。

[0194] その後の工程は、前記実施の形態1と同様である。このようにして、本実施の形態5における半導体装置を製造することができる。

[0195] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0196] 本発明は、半導体装置を製造する製造業に幅広く利用することができる。

符号の説明

[0197] 1 S 半導体基板
BI 1 バリア絶縁膜
BI 1 a SiCN膜

B I 1 b S i C O 膜
B I 2 バリア絶縁膜
B I 3 バリア絶縁膜
B I 4 バリア絶縁膜
B I 5 バリア絶縁膜
B I 6 バリア絶縁膜
B I 6 a S i C N 膜
B I 6 b S i C O 膜
B I 7 a バリア絶縁膜
B I 7 a 1 S i C N 膜
B I 7 a 2 S i C O 膜
B I 7 b エッチングストップ絶縁膜
B I 8 バリア絶縁膜
B M 1 バリア導体膜
B M 2 バリア導体膜
B M 7 バリア導体膜
B M 8 バリア導体膜
B M P バンプ電極
C H P 半導体チップ
C I L コンタクト層間絶縁膜
C M P 1 C M P 保護膜
C N T 1 コンタクトホール
C O V カバー
C P 配線
C u 1 銅膜
C u 2 銅膜
C u 3 銅膜
C u 4 銅膜

D P ダイパッド

D P 1 ダメージ保護膜

D P 2 ダメージ保護膜

D P 3 ダメージ保護膜

D P 4 ダメージ保護膜

F P 枠部

F R 1 フォトレジスト膜

F R 2 フォトレジスト膜

F R 3 フォトレジスト膜

I L インナーリード

I L 1 層間絶縁膜

I L 1 a 層間絶縁膜

I L 1 b 層間絶縁膜

I L 1 c 層間絶縁膜

I L 2 層間絶縁膜

I L 3 層間絶縁膜

I L 4 層間絶縁膜

I L 5 層間絶縁膜

I L 6 層間絶縁膜

I L 7 層間絶縁膜

I L 8 a 層間絶縁膜

I L 8 b 層間絶縁膜

I L 9 層間絶縁膜

I L 1 0 層間絶縁膜

I L 1 1 層間絶縁膜

L F リードフレーム

L 1 第1層配線

L 2 第2層配線

L 3 第3層配線
L 4 第4層配線
L 5 第5層配線
L 6 第6層配線
L 7 第7層配線
L 8 第8層配線
L 9 最上層配線
ML モールドライン
MR 樹脂
OL アウターリード
OP 開口部
PAS パッシベーション膜
PD パッド
PF 金膜
PI ポリイミド膜
PLG 1 プラグ
PLG 2 プラグ
PLG 3 プラグ
PLG 4 プラグ
PLG 5 プラグ
PLG 6 プラグ
PLG 7 プラグ
PLG 8 プラグ
PLG 9 プラグ
Q MISFET
SB 半田ボール
TE 端子
UBM アンダーバンプメタル膜

U F アンダーフィル

V 1 ビアホール

V 2 ビアホール

V 3 ビアホール

W ワイヤ

WB 配線基板

WD 1 配線溝

WD 2 配線溝

WD 3 配線溝

WD 4 配線溝

請求の範囲

[請求項1]

- (a) 半導体基板上にM I S F E Tを形成する工程と、
- (b) 前記M I S F E Tを覆う前記半導体基板上にコンタクト層間絶縁膜を形成する工程と、
- (c) 前記コンタクト層間絶縁膜内に第1プラグを形成し、前記第1プラグと前記M I S F E Tとを電氣的に接続する工程と、
- (d) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に第1層間絶縁膜を形成する工程と、
- (e) 前記第1層間絶縁膜内に埋め込まれた第1層配線を形成し、前記第1層配線と前記第1プラグとを電氣的に接続する工程と、
- (f) 前記第1層配線を形成した前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、
- (g) 前記第2層間絶縁膜内に埋め込まれた第2プラグおよび第2層配線を形成し、前記第2層配線と前記第1層配線とを前記第2プラグを介して電氣的に接続する工程と、
- (h) 前記第2層間絶縁膜上に、さらに、多層配線を形成する工程と、
- (i) 前記多層配線の最上層配線の上にパッシベーション膜を形成する工程と、
- (j) 前記パッシベーション膜に開口部を形成し、前記開口部から前記最上層配線の一部を露出することによりパッドを形成する工程と、
- (k) 前記半導体基板を半導体チップに個片化する工程と、
- (l) 前記半導体チップをパッケージングする工程とを備え、
前記(l)工程は、少なくとも前記半導体チップの前記M I S F E Tが形成される側である主面側の一部を樹脂で封止する工程を有する半導体装置の製造方法であって、
前記コンタクト層間絶縁膜と前記第1層間絶縁膜と前記第2層間絶

縁膜の中で、前記コンタクト層間絶縁膜は、最もヤング率の高い高ヤング率膜から形成され、前記第2層間絶縁膜は、最もヤング率の低い低ヤング率膜から形成され、前記第1層間絶縁膜は、前記コンタクト層間絶縁膜のヤング率よりも低く、かつ、前記第2層間絶縁膜のヤング率よりも高い中ヤング率膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項2]

請求項1記載の半導体装置の製造方法であって、

前記(1)工程は、

(11) 表面に端子を有する配線基板を用意する工程と、

(12) 前記配線基板上に前記半導体チップを搭載する工程と、

(13) 前記半導体チップに形成されている前記パッドと、前記配線基板に形成されている前記端子とをワイヤで電氣的に接続する工程と、

(14) 前記半導体チップを覆うように前記樹脂で封止する工程を有することを特徴とする半導体装置の製造方法。

[請求項3]

請求項1記載の半導体装置の製造方法であって、

前記(j)工程後で前記(k)工程前に、前記パッドと電氣的に接続するバンプ電極を形成する工程を有し、

前記(1)工程は、

(11) 表面に端子を有する配線基板を用意する工程と、

(12) 前記配線基板に形成されている前記端子と、前記半導体チップに形成されている前記バンプ電極とを電氣的に接続するように、前記半導体チップを前記配線基板上に搭載する工程と、

(13) 前記半導体チップと前記配線基板との接続部を前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項4]

請求項1記載の半導体装置の製造方法であって、

前記(1)工程は、

(11) ダイパッドとリードとを有するリードフレームを用意する

工程と、

(12) 前記ダイパッド上に前記半導体チップを搭載する工程と、

(13) 前記半導体チップに形成された前記パッドと、前記リードフレームに形成されている前記リードとをワイヤで電氣的に接続する工程と、

(14) 前記半導体チップを前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項5] 請求項1記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、酸化シリコン膜、 SiO_2F 膜、あるいは、窒化シリコン膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項6] 請求項5記載の半導体装置の製造方法であって、

前記第1層間絶縁膜は、 SiOC 膜、 HSQ 膜、あるいは、 MSQ 膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項7] 請求項6記載の半導体装置の製造方法であって、

前記第2層間絶縁膜は、空孔を有する SiOC 膜、空孔を有する HSQ 膜、あるいは、空孔を有する MSQ 膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項8] 請求項7記載の半導体装置の製造方法であって、

前記パッシベーション膜は、窒化シリコン膜を含み、

前記第1層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて前記高ヤング率膜のヤング率以上のヤング率を持つことを特徴とする半導体装置の製造方法。

[請求項9] 請求項1記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、オゾンと TEOS とを原料に使用した熱 CVD 法により形成されるオゾン TEOS 膜と、 TEOS を原料に使用したプラズマ CVD 法により形成されるプラズマ TEOS 膜と

の積層膜から形成され、

前記第 1 層間絶縁膜は、S i O C 膜から形成され、前記第 2 層間絶縁膜は、空孔を有する S i O C 膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項10]

請求項 1 記載の半導体装置の製造方法であって、

前記第 1 層配線、前記第 2 層配線および前記多層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第 1 層配線を形成した前記第 1 層間絶縁膜と前記第 2 層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を形成する工程を有することを特徴とする半導体装置の製造方法。

[請求項11]

請求項 1 0 記載の半導体装置の製造方法であって、

前記銅拡散防止膜は、炭化シリコン膜、炭窒化シリコン膜、あるいは、S i C O 膜のいずれかを含む膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項12]

請求項 1 記載の半導体装置の製造方法であって、

前記 (h) 工程は、

(h 1) 前記第 2 層間絶縁膜よりもヤング率の高い中ヤング率膜からなる第 3 層間絶縁膜を形成し、前記第 3 層間絶縁膜に埋め込むように配線を形成する工程と、

(h 2) 前記第 3 層間絶縁膜よりも上層に形成され、かつ、前記第 3 層間絶縁膜よりもヤング率の高い高ヤング率膜からなる第 4 層間絶縁膜を形成し、前記第 4 層間絶縁膜に埋め込むように配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項13]

請求項 1 記載の半導体装置の製造方法であって、

前記 (h) 工程で形成される前記多層配線は、すべて、前記第 1 層間絶縁膜および前記第 2 層間絶縁膜よりもヤング率の高い高ヤング率膜からなる層間絶縁膜に形成されていることを特徴とする半導体装置

の製造方法。

[請求項14]

- (a) 半導体基板上にM I S F E Tを形成する工程と、
- (b) 前記M I S F E Tを覆う前記半導体基板上にコンタクト層間絶縁膜を形成する工程と、
- (c) 前記コンタクト層間絶縁膜内に第1プラグを形成し、前記第1プラグと前記M I S F E Tとを電氣的に接続する工程と、
- (d) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に第1層間絶縁膜を形成する工程と、
- (e) 前記第1層間絶縁膜内に埋め込まれた第1層配線を形成し、前記第1層配線と前記第1プラグとを電氣的に接続する工程と、
- (f) 前記第1層間絶縁膜上に、さらに、多層配線を形成する工程と、
- (g) 前記多層配線の最上層配線の上にパッシベーション膜を形成する工程と、
- (h) 前記パッシベーション膜に開口部を形成し、前記開口部から前記最上層配線の一部を露出することによりパッドを形成する工程と、
- (i) 前記半導体基板を半導体チップに個片化する工程と、
- (j) 前記半導体チップをパッケージングする工程とを備え、
前記(j)工程は、少なくとも前記半導体チップの前記M I S F E Tが形成される側である主面側の一部を樹脂で封止する工程を有する半導体装置の製造方法であって、
前記コンタクト層間絶縁膜は、前記第1層間絶縁膜よりもヤング率の高い高ヤング率膜から形成されており、
前記(d)工程は、
 - (d1) 前記コンタクト層間絶縁膜上に、前記コンタクト層間絶縁膜よりもヤング率の低い中ヤング率膜を形成する工程と、
 - (d2) 前記中ヤング率膜上に、前記中ヤング率膜よりもヤング率

の低い低ヤング率膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項15]

請求項14記載の半導体装置の製造方法であって、

前記(j)工程は、

(j1) 表面に端子を有する配線基板を用意する工程と、

(j2) 前記配線基板上に前記半導体チップを搭載する工程と、

(j3) 前記半導体チップに形成されている前記パッドと、前記配線基板に形成されている前記端子とをワイヤで電氣的に接続する工程と、

(j4) 前記半導体チップを覆うように前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項16]

請求項14記載の半導体装置の製造方法であって、

前記(h)工程後で前記(i)工程前に、前記パッドと電氣的に接続するバンプ電極を形成する工程を有し、

前記(j)工程は、

(j1) 表面に端子を有する配線基板を用意する工程と、

(j2) 前記配線基板に形成されている前記端子と、前記半導体チップに形成されている前記バンプ電極とを電氣的に接続するように、前記半導体チップを前記配線基板上に搭載する工程と、

(j3) 前記半導体チップと前記配線基板との接続部を前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項17]

請求項14記載の半導体装置の製造方法であって、

前記(j)工程は、

(j1) ダイパッドとリードとを有するリードフレームを用意する工程と、

(j2) 前記ダイパッド上に前記半導体チップを搭載する工程と、

(j3) 前記半導体チップに形成された前記パッドと、前記リードフレームに形成されている前記リードとをワイヤで電氣的に接続する

工程と、

(j 4) 前記半導体チップを前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項18]

請求項14記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、酸化シリコン膜、 SiO_2 膜、あるいは、窒化シリコン膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項19]

請求項18記載の半導体装置の製造方法であって、

前記第1層間絶縁膜を構成する前記中ヤング率膜は、 SiO_2 膜、 HSQ 膜、あるいは、 MSQ 膜のいずれかの膜から形成され、前記第1層間絶縁膜を構成する前記低ヤング率膜は、空孔を有する SiO_2 膜、空孔を有する HSQ 膜、あるいは、空孔を有する MSQ 膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項20]

請求項14記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、オゾンと TEOS とを原料に使用した熱 CVD 法により形成されるオゾン TEOS 膜と、 TEOS を原料に使用したプラズマ CVD 法により形成されるプラズマ TEOS 膜との積層膜から形成され、

前記第1層間絶縁膜を構成する前記中ヤング率膜は、 SiO_2 膜から形成され、前記第1層間絶縁膜を構成する前記低ヤング率膜は、空孔を有する SiO_2 膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項21]

請求項14記載の半導体装置の製造方法であって、

前記第1層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第1層配線を形成した前記第1層間絶縁膜上に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を形成する工

程を有することを特徴とする半導体装置の製造方法。

[請求項22]

請求項21記載の半導体装置の製造方法であって、

前記銅拡散防止膜は、炭化シリコン膜、炭窒化シリコン膜、あるいは、SiCO膜のいずれかを含む膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項23]

(a) パッドを有する半導体チップと、

(b) 前記半導体チップをパッケージングするパッケージ体とを備え、

前記パッケージ体は、少なくとも前記半導体チップのMISFETが形成される側である主面側の一部を封止する樹脂体を有し、

前記半導体チップは、

(a1) 半導体基板と、

(a2) 前記半導体基板に形成された前記MISFETと、

(a3) 前記MISFETを覆う前記半導体基板上に形成されたコンタクト層間絶縁膜と、

(a4) 前記コンタクト層間絶縁膜を貫通して前記MISFETと電氣的に接続された第1プラグと、

(a5) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に形成された第1層間絶縁膜と、

(a6) 前記第1層間絶縁膜内に形成され、前記第1プラグと電氣的に接続された第1層配線と、

(a7) 前記第1層配線を形成した前記第1層間絶縁膜上に形成された第2層間絶縁膜と、

(a8) 前記第2層間絶縁膜内に形成され、前記第1層配線と電氣的に接続された第2プラグと、

(a9) 前記第2層間絶縁膜内に形成され、前記第2プラグと電氣的に接続された第2層配線とを有する半導体装置であって、

前記コンタクト層間絶縁膜と前記第1層間絶縁膜と前記第2層間絶

縁膜の中で、前記コンタクト層間絶縁膜は、最もヤング率の高い高ヤング率膜から形成され、前記第2層間絶縁膜は、最もヤング率の低い低ヤング率膜から形成され、前記第1層間絶縁膜は、前記コンタクト層間絶縁膜のヤング率よりも低く、かつ、前記第2層間絶縁膜のヤング率よりも高い中ヤング率膜から形成されていることを特徴とする半導体装置。

[請求項24]

請求項23記載の半導体装置であって、

前記パッケージ体は、表面に端子を有する配線基板を有し、前記配線基板上に前記半導体チップが搭載され、かつ、前記配線基板に形成されている前記端子と、前記半導体チップに形成されている前記パッドとは、ワイヤで接続されており、

前記樹脂体は、前記半導体チップを覆うように形成されていることを特徴とする半導体装置。

[請求項25]

請求項23記載の半導体装置であって、

前記パッケージ体は、表面に端子を有する配線基板を有し、

前記半導体チップには、前記パッドと電氣的に接続されるバンプ電極が形成されており、前記配線基板の前記端子と、前記半導体チップに形成されている前記バンプ電極が接触するように、前記配線基板上に前記半導体チップが搭載され、

前記配線基板と前記半導体チップを接続する前記バンプ電極を封止するように前記樹脂体が形成されていることを特徴とする半導体装置。

[請求項26]

請求項23記載の半導体装置であって、

前記パッケージ体は、ダイパッドと、前記ダイパッドの周囲に配置されたリードとを有し、前記ダイパッド上に前記半導体チップが搭載され、かつ、前記リードと、前記半導体チップに形成されている前記パッドとは、ワイヤで接続されており、

前記樹脂体は、前記半導体チップを覆うように形成されていること

を特徴とする半導体装置。

[請求項27]

請求項23記載の半導体装置であって、

前記コンタクト層間絶縁膜は、酸化シリコン膜、 SiO_2 膜、あるいは、窒化シリコン膜のいずれかの膜から形成されていることを特徴とする半導体装置。

[請求項28]

請求項27記載の半導体装置であって、

前記第1層間絶縁膜は、 SiO_2 膜、 HSiO_2 膜、あるいは、 MSiO_2 膜のいずれかの膜から形成されていることを特徴とする半導体装置。

[請求項29]

請求項28記載の半導体装置であって、

前記第2層間絶縁膜は、空孔を有する SiO_2 膜、空孔を有する HSiO_2 膜、あるいは、空孔を有する MSiO_2 膜のいずれかの膜から形成されていることを特徴とする半導体装置。

[請求項30]

請求項23記載の半導体装置であって、

前記コンタクト層間絶縁膜は、オゾンと TEOS とを原料に使用した熱 CVD 法により形成されるオゾン TEOS 膜と、 TEOS を原料に使用したプラズマ CVD 法により形成されるプラズマ TEOS 膜との積層膜から形成され、

前記第1層間絶縁膜は、 SiO_2 膜から形成され、前記第2層間絶縁膜は、空孔を有する SiO_2 膜から形成されていることを特徴とする半導体装置。

[請求項31]

請求項23記載の半導体装置であって、

前記第1層配線および前記第2層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第1層配線を形成した前記第1層間絶縁膜と前記第2層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を有し、

前記第1層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて前記高ヤング率膜のヤング率以上のヤング率を持つことを特徴と

する半導体装置。

[請求項32]

請求項31記載の半導体装置であって、

前記銅拡散防止膜は、炭化シリコン膜、炭窒化シリコン膜、あるいは、SiCO膜のいずれかを含む膜から形成されていることを特徴とする半導体装置。

[請求項33]

(a) パッドを有する半導体チップと、

(b) 前記半導体チップをパッケージングするパッケージ体とを備え、

前記パッケージ体は、少なくとも前記半導体チップのMISFETが形成される側である主面側の一部を封止する樹脂体を有し、

前記半導体チップは、

(a1) 半導体基板と、

(a2) 前記半導体基板に形成された前記MISFETと、

(a3) 前記MISFETを覆う前記半導体基板上に形成されたコンタクト層間絶縁膜と、

(a4) 前記コンタクト層間絶縁膜を貫通して前記MISFETと電氣的に接続された第1プラグと、

(a5) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に形成された第1層間絶縁膜と、

(a6) 前記第1層間絶縁膜内に形成され、前記第1プラグと電氣的に接続された第1層配線と、

(a7) 前記第1層配線を形成した前記第1層間絶縁膜上に形成された第2層間絶縁膜と、

(a8) 前記第2層間絶縁膜内に形成され、前記第1層配線と電氣的に接続された第2プラグと、

(a9) 前記第2層間絶縁膜内に形成され、前記第2プラグと電氣的に接続された第2層配線とを有する半導体装置であって、

前記コンタクト層間絶縁膜と前記第1層間絶縁膜と前記第2層間絶

縁膜の中で、前記コンタクト層間絶縁膜は、最も誘電率の高い膜から形成され、前記第2層間絶縁膜は、最も誘電率の低い膜から形成され、前記第1層間絶縁膜は、前記コンタクト層間絶縁膜の誘電率よりも低く、かつ、前記第2層間絶縁膜の誘電率よりも高い膜から形成されていることを特徴とする半導体装置。

[請求項34]

(a) パッドを有する半導体チップと、

(b) 前記半導体チップをパッケージングするパッケージ体とを備え、

前記パッケージ体は、少なくとも前記半導体チップのM I S F E Tが形成される側である主面側の一部を封止する樹脂体を有し、

前記半導体チップは、

(a 1) 半導体基板と、

(a 2) 前記半導体基板に形成された前記M I S F E Tと、

(a 3) 前記M I S F E Tを覆う前記半導体基板上に形成されたコンタクト層間絶縁膜と、

(a 4) 前記コンタクト層間絶縁膜を貫通して前記M I S F E Tと電氣的に接続された第1プラグと、

(a 5) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に形成された第1層間絶縁膜と、

(a 6) 前記第1層間絶縁膜内に形成され、前記第1プラグと電氣的に接続された第1層配線と、

(a 7) 前記第1層配線を形成した前記第1層間絶縁膜上に形成された第2層間絶縁膜と、

(a 8) 前記第2層間絶縁膜内に形成され、前記第1層配線と電氣的に接続された第2プラグと、

(a 9) 前記第2層間絶縁膜内に形成され、前記第2プラグと電氣的に接続された第2層配線とを有する半導体装置であって、

前記コンタクト層間絶縁膜と前記第1層間絶縁膜と前記第2層間絶

縁膜の中で、前記コンタクト層間絶縁膜は、最も密度の高い膜から形成され、前記第2層間絶縁膜は、最も密度の低い膜から形成され、前記第1層間絶縁膜は、前記コンタクト層間絶縁膜の密度よりも低く、かつ、前記第2層間絶縁膜の密度よりも高い膜から形成されていることを特徴とする半導体装置。

[請求項35]

(a) パッドを有する半導体チップと、

(b) 前記半導体チップをパッケージングするパッケージ体とを備え、

前記パッケージ体は、少なくとも前記半導体チップのM I S F E Tが形成される側である主面側の一部を封止する樹脂体を有し、

前記半導体チップは、

(a 1) 半導体基板と、

(a 2) 前記半導体基板に形成された前記M I S F E Tと、

(a 3) 前記M I S F E Tを覆う前記半導体基板上に形成されたコンタクト層間絶縁膜と、

(a 4) 前記コンタクト層間絶縁膜を貫通して前記M I S F E Tと電氣的に接続された第1プラグと、

(a 5) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に形成された第1層間絶縁膜と、

(a 6) 前記第1層間絶縁膜内に形成され、前記第1プラグと電氣的に接続された第1層配線とを有する半導体装置であって、

前記第1層間絶縁膜のヤング率は、前記コンタクト層間絶縁膜のヤング率よりも低く、かつ、前記第1層間絶縁膜は、

(a 5-1) 前記コンタクト層間絶縁膜上に形成され、前記コンタクト層間絶縁膜よりもヤング率の低い中ヤング率膜と、

(a 5-2) 前記中ヤング率膜上に形成され、前記中ヤング率膜よりもヤング率の低い低ヤング率膜とから構成されていることを特徴とする半導体装置。

[請求項36]

- (a) 半導体基板上にM I S F E Tを形成する工程と、
- (b) 前記M I S F E Tを覆う前記半導体基板上にコンタクト層間絶縁膜を形成する工程と、
- (c) 前記コンタクト層間絶縁膜内に第1プラグを形成し、前記第1プラグと前記M I S F E Tとを電氣的に接続する工程と、
- (d) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に第1層間絶縁膜を形成する工程と、
- (e) 前記第1層間絶縁膜内に埋め込まれた第1層配線を形成し、前記第1層配線と前記第1プラグとを電氣的に接続する工程と、
- (f) 前記第1層配線を形成した前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、
- (g) 前記第2層間絶縁膜内に埋め込まれた第2プラグおよび第2層配線を形成し、前記第2層配線と前記第1層配線とを前記第2プラグを介して電氣的に接続する工程と、
- (h) 前記第2層間絶縁膜上に、さらに、多層配線を形成する工程と、
- (i) 前記多層配線の最上層配線の上にパッシベーション膜を形成する工程と、
- (j) 前記パッシベーション膜に開口部を形成し、前記開口部から前記最上層配線の一部を露出することによりパッドを形成する工程と、
- (k) 前記半導体基板を半導体チップに個片化する工程と、
- (l) 前記半導体チップをパッケージングする工程とを備え、
前記(l)工程は、少なくとも前記半導体チップの前記M I S F E Tが形成される側である主面側の一部を樹脂で封止する工程を有する半導体装置の製造方法であって、
前記コンタクト層間絶縁膜は、酸化シリコン膜、S i O F膜、あるいは、T E O S膜のいずれかの膜から形成されており、

前記第1層間絶縁膜は、SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜から形成されており、

前記第2層間絶縁膜は、空孔を有するSiOC膜、空孔を有するHSQ膜、あるいは、空孔を有するMSQ膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項37]

請求項36記載の半導体装置の製造方法であって、

前記(1)工程は、

(11) 表面に端子を有する配線基板を用意する工程と、

(12) 前記配線基板上に前記半導体チップを搭載する工程と、

(13) 前記半導体チップに形成されている前記パッドと、前記配線基板に形成されている前記端子とをワイヤで電氣的に接続する工程と、

(14) 前記半導体チップを覆うように前記樹脂で封止する工程を有することを特徴とする半導体装置の製造方法。

[請求項38]

請求項36記載の半導体装置の製造方法であって、

前記(j)工程後で前記(k)工程前に、前記パッドと電氣的に接続するバンプ電極を形成する工程を有し、

前記(1)工程は、

(11) 表面に端子を有する配線基板を用意する工程と、

(12) 前記配線基板に形成されている前記端子と、前記半導体チップに形成されている前記バンプ電極とを電氣的に接続するように、前記半導体チップを前記配線基板上に搭載する工程と、

(13) 前記半導体チップと前記配線基板との接続部を前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項39]

請求項36記載の半導体装置の製造方法であって、

前記(1)工程は、

(11) ダイパッドとリードとを有するリードフレームを用意する工程と、

(12) 前記ダイパッド上に前記半導体チップを搭載する工程と、
(13) 前記半導体チップに形成された前記パッドと、前記リードフレームに形成されている前記リードとをワイヤで電氣的に接続する工程と、
(14) 前記半導体チップを前記樹脂で封止する工程とを有することを特徴とする半導体装置の製造方法。

[請求項40]

請求項36記載の半導体装置の製造方法であって、
前記(f)工程と(g)工程との間には、

(m) 前記第2層間絶縁膜上にSiOC膜で構成されたダメージ保護膜を形成する工程と、

(n) 前記ダメージ保護膜上にTEOS膜または酸化シリコン膜で構成されたCMP保護膜を形成する工程とを有し、

前記(g)工程において、CMP法により前記CMP保護膜上の金属、前記CMP保護膜および前記ダメージ保護膜の一部を除去することにより前記第2層配線を形成することを特徴とする半導体装置の製造方法。

[請求項41]

請求項40記載の半導体装置の製造方法であって、

(o) 前記第1層間絶縁膜と前記第2層間絶縁膜の間に、SiCN膜またはSiN膜から選択された第1膜と、第1膜上に設けられ、SiCO膜、酸化シリコン膜、または、TEOS膜から選択された第2膜とにより構成される第1積層膜を設ける工程をさらに有し、

前記(g)工程において、

前記第2プラグ用の第2プラグ孔を前記第1積層膜が露出するように形成した後、前記第2層配線用の溝を形成することを特徴とする半導体装置の製造方法。

[請求項42]

請求項41記載の半導体装置の製造方法であって、

前記(g)工程は、

(g1) 前記CMP保護膜、前記ダメージ保護膜および前記第2層

間絶縁膜をエッチングすることにより、前記第 1 積層膜を露出して前記第 2 プラグ孔を形成する工程と、

(g 2) 前記第 2 層配線に対応した溝用パターンを、前記ダメージ保護膜を露出するエッチングにより前記 CMP 保護膜に形成する工程と、

(g 3) 前記溝用パターンを形成するためのレジストパターンをアッシングにより除去する工程と、

(g 4) エッチングにより前記溝用パターンを用いて前記第 2 配線用の溝を前記第 2 層間絶縁膜に形成しつつ、前記第 2 プラグ孔の底の前記第 1 積層膜を除去することにより、前記第 1 層配線を露出する工程とを有することを特徴とする半導体装置の製造方法。

[請求項43]

請求項 4 2 記載の半導体装置の製造方法であって、

前記パッシベーション膜は、窒化シリコン膜を含み、

前記第 1 層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて前記コンタクト層間絶縁膜のヤング率以上のヤング率を持つことを特徴とする半導体装置の製造方法。

[請求項44]

請求項 3 6 記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、オゾンと TEOS とを原料に使用した熱 CVD 法により形成されるオゾン TEOS 膜と、TEOS を原料に使用したプラズマ CVD 法により形成されるプラズマ TEOS 膜との積層膜から形成され、

前記第 1 層間絶縁膜は、SiOC 膜から形成され、前記第 2 層間絶縁膜は、空孔を有する SiOC 膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項45]

請求項 3 6 記載の半導体装置の製造方法であって、

前記第 1 層配線、前記第 2 層配線および前記多層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第 1 層配線を形成した前記第 1 層間絶縁膜と前記第 2

層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を形成する工程を有することを特徴とする半導体装置の製造方法。

[請求項46] 請求項45記載の半導体装置の製造方法であって、
前記銅拡散防止膜は、炭化シリコン膜、あるいは、炭窒化シリコン膜、あるいは、SiCO膜のいずれかを含む膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項47] 請求項36記載の半導体装置の製造方法であって、
前記(h)工程は、
(h1) SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜で構成される第3層間絶縁膜を形成し、前記第3層間絶縁膜に埋め込むように配線を形成する工程と、
(h2) 前記第3層間絶縁膜よりも上層に形成され、かつ、酸化シリコン膜、SiOF膜、あるいは、TEOS膜のいずれかの膜で構成される第4層間絶縁膜を形成し、前記第4層間絶縁膜に埋め込むように配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項48] 請求項36記載の半導体装置の製造方法であって、
前記(h)工程で形成される前記多層配線が設けられる層間絶縁膜は、すべて、前記第1層間絶縁膜および前記第2層間絶縁膜よりもヤング率の高い高ヤング率膜であることを特徴とする半導体装置の製造方法。

[請求項49] (a) パッドを有する半導体チップと、
(b) 前記半導体チップをパッケージングするパッケージ体とを備え、
前記パッケージ体は、少なくとも前記半導体チップのMISFETが形成される側である主面側の一部を封止する樹脂体を有し、
前記半導体チップは、

- (a 1) 半導体基板と、
- (a 2) 前記半導体基板に設けられた前記M I S F E Tと、
- (a 3) 前記M I S F E Tを覆う前記半導体基板上に設けられたコンタクト層間絶縁膜と、
- (a 4) 前記コンタクト層間絶縁膜を貫通して前記M I S F E Tと電氣的に接続された第1プラグと、
- (a 5) 前記第1プラグが設けられた前記コンタクト層間絶縁膜上に設けられた第1層間絶縁膜と、
- (a 6) 前記第1層間絶縁膜内に設けられ、前記第1プラグと電氣的に接続された第1層配線と、
- (a 7) 前記第1層配線が設けられた前記第1層間絶縁膜上に設けられた第2層間絶縁膜と、
- (a 8) 前記第2層間絶縁膜内に設けられ、前記第1層配線と電氣的に接続された第2プラグと、
- (a 9) 前記第2層間絶縁膜内に設けられ、前記第2プラグと電氣的に接続された第2層配線とを有する半導体装置であって、
前記コンタクト層間絶縁膜は、酸化シリコン膜、S i O F膜、あるいは、T E O S膜のいずれかの膜から構成されており、
前記第1層間絶縁膜は、S i O C膜、H S Q膜、あるいは、M S Q膜のいずれかの膜から構成されており、
前記第2層間絶縁膜は、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜のいずれかの膜から構成されていることを特徴とする半導体装置。

[請求項50]

請求項49記載の半導体装置であって、

前記パッケージ体は、表面に端子を有する配線基板を有し、前記配線基板上に前記半導体チップが搭載され、かつ、前記配線基板に設けられている前記端子と、前記半導体チップに設けられている前記パッドとは、ワイヤで接続されており、

前記樹脂体は、前記半導体チップを覆うように設けられていることを特徴とする半導体装置。

[請求項51]

請求項49記載の半導体装置であって、

前記パッケージ体は、表面に端子を有する配線基板を有し、

前記半導体チップには、前記パッドと電氣的に接続されるバンプ電極が設けられており、前記配線基板の前記端子と、前記半導体チップに形成されている前記バンプ電極が接触するように、前記配線基板上に前記半導体チップが搭載され、

前記配線基板と前記半導体チップを接続する前記バンプ電極を封止するように前記樹脂体が設けられていることを特徴とする半導体装置。

[請求項52]

請求項49記載の半導体装置であって、

前記パッケージ体は、ダイパッドと、前記ダイパッドの周囲に配置されたリードとを有し、前記ダイパッド上に前記半導体チップが搭載され、かつ、前記リードと、前記半導体チップに設けられている前記パッドとは、ワイヤで接続されており、

前記樹脂体は、前記半導体チップを覆うように設けられていることを特徴とする半導体装置。

[請求項53]

請求項49記載の半導体装置であって、

前記第2層間絶縁膜上にSiOC膜で構成されたダメージ保護膜と、

前記ダメージ保護膜上に設けられたSiN膜、SiCN膜およびSiC膜から選択された銅拡散防止膜をさらに有することを特徴とする半導体装置。

[請求項54]

請求項53記載の半導体装置であって、

前記銅拡散防止膜はSiCN膜またはSiN膜から選択された第1膜と、前記第1膜上に設けられ、SiCO膜、酸化シリコン膜またはTEOS膜から選択された第2膜とにより構成される第1積層膜であ

ることを特徴とする半導体装置。

[請求項55]

請求項54記載の半導体装置であって、

前記第2層間絶縁膜上に設けられ、SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜で構成される第3層間絶縁膜と、

前記第3層間絶縁膜に埋め込まれる配線と、

前記第3層間絶縁膜よりも上層に設けられ、酸化シリコン膜、SiOF膜、あるいは、TEOS膜のいずれかの膜で構成される第4層間絶縁膜と、

前記第4層間絶縁膜に埋め込まれる配線とをさらに有すること特徴とする半導体装置。

[請求項56]

請求項49記載の半導体装置であって、

前記コンタクト層間絶縁膜はオゾンTEOS膜と、前記オゾンTEOS膜上に設けられたプラズマCVD法により形成されるプラズマTEOS膜との積層膜から形成され、

前記第1層間絶縁膜は、SiOC膜から形成され、前記第2層間絶縁膜は、空孔を有するSiOC膜から形成されていることを特徴とする半導体装置。

[請求項57]

請求項49記載の半導体装置であって、

前記第1層配線および前記第2層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第1層配線を形成した前記第1層間絶縁膜と前記第2層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を有し、

前記第1層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて、前記コンタクト層間絶縁膜のヤング率以上のヤング率を持つことをすることを特徴とする半導体装置。

[請求項58]

請求項57記載の半導体装置であって、

前記銅拡散防止膜は、炭化シリコン膜、炭窒化シリコン膜、あるい

は、S i C O膜のいずれかを含む膜から形成されていることを特徴とする半導体装置。

[請求項59]

- (a) 半導体基板上にM I S F E Tを形成する工程と、
- (b) 前記M I S F E Tを覆う前記半導体基板上にコンタクト層間絶縁膜を形成する工程と、
- (c) 前記コンタクト層間絶縁膜内に第1プラグを形成し、前記第1プラグと前記M I S F E Tとを電氣的に接続する工程と、
- (d) 前記第1プラグを形成した前記コンタクト層間絶縁膜上に第1層間絶縁膜を形成する工程と、
- (e) 前記第1層間絶縁膜内に埋め込まれた第1層配線を形成し、前記第1層配線と前記第1プラグとを電氣的に接続する工程と、
- (f) 前記第1層配線を形成した前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、
- (g) 前記第2層間絶縁膜内に埋め込まれた第2プラグおよび第2層配線を形成し、前記第2層配線と前記第1層配線とを前記第2プラグを介して電氣的に接続する工程と、
- (h) 前記第2層間絶縁膜上に、さらに、多層配線を形成する工程と、
- (i) 前記多層配線の最上層配線の上にパッシベーション膜を形成する工程とを有する半導体装置の製造方法であって、
前記コンタクト層間絶縁膜は、酸化シリコン膜、S i O F膜、あるいは、T E O S膜のいずれかの膜から形成されており、
前記第1層間絶縁膜は、S i O C膜、H S Q膜、あるいは、M S Q膜のいずれかの膜から形成されており、
前記第2層間絶縁膜は、空孔を有するS i O C膜、空孔を有するH S Q膜、あるいは、空孔を有するM S Q膜のいずれかの膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項60]

請求項59記載の半導体装置の製造方法であって、

前記（f）工程と（g）工程との間には、

（m）前記第2層間絶縁膜上にSiOC膜で構成されたダメージ保護膜を形成する工程と、

（n）前記ダメージ保護膜上にTEOS膜または酸化シリコン膜で構成されたCMP保護膜を形成する工程とを有し、

前記（g）工程において、CMP法により前記CMP保護膜上の金属、前記CMP保護膜および前記ダメージ保護膜の一部を除去することにより、前記第2層配線を形成することを特徴とする半導体装置の製造方法。

[請求項61] 請求項59記載の半導体装置の製造方法であって、

（o）前記第1層間絶縁膜と前記第2層間絶縁膜の間に、SiCN膜またはSiN膜から選択された第1膜と、前記第1膜上に設けられ、SiCO膜、酸化シリコン膜またはTEOS膜から選択された第2膜とにより構成される第1積層膜を設ける工程をさらに有し、

前記（g）工程において、

前記第2プラグ用の第2プラグ孔を前記第1積層膜が露出するように形成した後、前記第2層配線用の溝を形成することを特徴とする半導体装置の製造方法。

[請求項62] 請求項60記載の半導体装置の製造方法であって、

前記（g）工程は、

（g1）前記CMP保護膜、前記ダメージ保護膜および前記第2層間絶縁膜をエッチングすることにより、前記第1積層膜を露出して前記第2プラグ孔を形成する工程と、

（g2）前記第2層配線に対応した溝用パターンを、前記ダメージ保護膜を露出するエッチングにより前記CMP保護膜に形成する工程と、

（g3）前記溝用パターンを形成するためのレジストパターンをアッシングにより除去する工程と、

(g 4) エッチングにより前記溝用パターンを用いて前記第 2 層配線に対応した溝を前記第 2 層間絶縁膜に形成しつつ、前記第 2 プラグ孔の底の前記第 1 積層膜を除去することにより、前記第 1 層配線を露出する工程とを有することを特徴とする半導体装置の製造方法。

[請求項63]

請求項 6 2 記載の半導体装置の製造方法であって、

前記パッシベーション膜は、窒化シリコン膜を含み、

前記第 1 層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて、前記コンタクト層間絶縁膜のヤング率以上のヤング率を持つことを特徴とする半導体装置の製造方法。

[請求項64]

請求項 5 9 記載の半導体装置の製造方法であって、

前記コンタクト層間絶縁膜は、オゾンと T E O S とを原料に使用した熱 C V D 法により形成されるオゾン T E O S 膜と、T E O S を原料に使用したプラズマ C V D 法により形成されるプラズマ T E O S 膜との積層膜から形成され、

前記第 1 層間絶縁膜は、S i O C 膜から形成され、前記第 2 層間絶縁膜は、空孔を有する S i O C 膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項65]

請求項 5 9 記載の半導体装置の製造方法であって、

前記第 1 層配線、前記第 2 層配線および前記多層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第 1 層配線を形成した前記第 1 層間絶縁膜と前記第 2 層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を形成する工程を有することを特徴とする半導体装置の製造方法。

[請求項66]

請求項 6 5 記載の半導体装置の製造方法であって、

前記銅拡散防止膜は、炭化シリコン膜、あるいは、炭窒化シリコン膜、あるいは、S i C O 膜のいずれかを含む膜から形成されていることを特徴とする半導体装置の製造方法。

[請求項67] 請求項59記載の半導体装置の製造方法であって、
前記(h)工程は、

(h1) SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜で構成される第3層間絶縁膜を形成し、前記第3層間絶縁膜に埋め込むように配線を形成する工程と、

(h2) 前記第3層間絶縁膜よりも上層に形成され、かつ、酸化シリコン膜、SiOF膜、あるいは、TEOS膜のいずれかの膜で構成される第4層間絶縁膜を形成し、前記第4層間絶縁膜に埋め込むように配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項68] 請求項59記載の半導体装置の製造方法であって、

前記(h)工程で形成される前記多層配線が設けられる層間絶縁膜は、すべて、前記第1層間絶縁膜および前記第2層間絶縁膜よりもヤング率の高い高ヤング率膜であることを特徴とする半導体装置の製造方法。

[請求項69]

(a1) 半導体基板と、

(a2) 前記半導体基板に設けられた前記MISFETと、

(a3) 前記MISFETを覆う前記半導体基板上に設けられたコンタクト層間絶縁膜と、

(a4) 前記コンタクト層間絶縁膜を貫通して前記MISFETと電氣的に接続された第1プラグと、

(a5) 前記第1プラグが設けられた前記コンタクト層間絶縁膜上に設けられた第1層間絶縁膜と、

(a6) 前記第1層間絶縁膜内に設けられ、前記第1プラグと電氣的に接続された第1層配線と、

(a7) 前記第1層配線が設けられた前記第1層間絶縁膜上に設けられた第2層間絶縁膜と、

(a8) 前記第2層間絶縁膜内に設けられ、前記第1層配線と電氣

的に接続された第2プラグと、

(a9) 前記第2層間絶縁膜内に設けられ、前記第2プラグと電氣的に接続された第2層配線とを有する半導体装置であって、

前記コンタクト層間絶縁膜は、酸化シリコン膜、SiOF膜、あるいは、TEOS膜のいずれかの膜から構成されており、

前記第1層間絶縁膜は、SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜から構成されており、

前記第2層間絶縁膜は、空孔を有するSiOC膜、空孔を有するHSQ膜、あるいは、空孔を有するMSQ膜のいずれかの膜から構成されていることを特徴とする半導体装置。

[請求項70]

請求項69記載の半導体装置であって、

前記第2層間絶縁膜上にSiOC膜で構成されたダメージ保護膜と、

前記ダメージ保護膜上に設けられ、SiN膜、SiCN膜およびSiC膜から選択された銅拡散防止膜をさらに有することを特徴とする半導体装置。

[請求項71]

請求項70記載の半導体装置であって、

前記銅拡散防止膜はSiCN膜またはSiN膜から選択された第1膜と、前記第1膜上に設けられ、SiCO膜、酸化シリコン膜またはTEOS膜から選択された第2膜とにより構成される第1積層膜であることを特徴とする半導体装置。

[請求項72]

請求項69記載の半導体装置であって、

前記第2層間絶縁膜上に設けられ、SiOC膜、HSQ膜、あるいは、MSQ膜のいずれかの膜で構成される第3層間絶縁膜と、

前記第3層間絶縁膜に埋め込まれる配線と、

前記第3層間絶縁膜よりも上層に設けられ、酸化シリコン膜、SiOF膜、あるいは、TEOS膜のいずれかの膜で構成される第4層間絶縁膜と、

前記第 4 層間絶縁膜に埋め込まれる配線とをさらに有すること特徴とする半導体装置。

[請求項73]

請求項 69 記載の半導体装置であって、

前記コンタクト層間絶縁膜はオゾン T E O S 膜と、前記オゾン T E O S 膜上に設けられたプラズマ C V D 法により形成されるプラズマ T E O S 膜との積層膜から形成され、

前記第 1 層間絶縁膜は、S i O C 膜から形成され、前記第 2 層間絶縁膜は、空孔を有する S i O C 膜から形成されていることを特徴とする半導体装置。

[請求項74]

請求項 69 記載の半導体装置であって、

前記第 1 層配線および前記第 2 層配線は、銅膜を主成分とする銅配線から構成されており、

さらに、前記第 1 層配線を形成した前記第 1 層間絶縁膜と前記第 2 層間絶縁膜の間に、前記銅配線を構成する銅原子の拡散を防止する銅拡散防止膜を有し、

前記第 1 層間絶縁膜と前記半導体基板の間に存在する絶縁膜は、すべて、前記コンタクト層間絶縁膜のヤング率以上のヤング率を持つことをすることを特徴とする半導体装置。

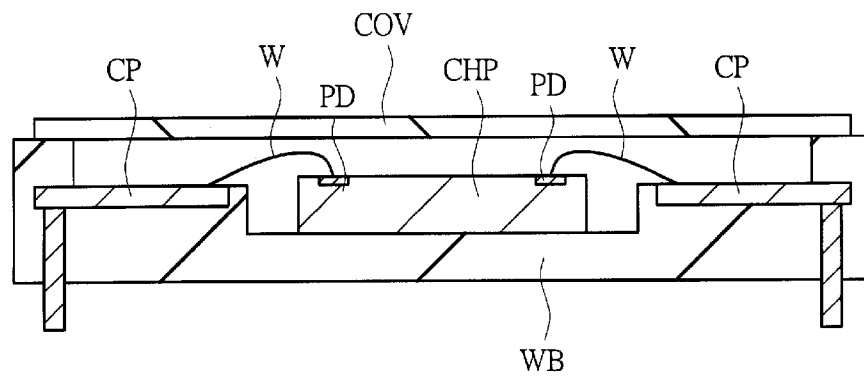
[請求項75]

請求項 74 記載の半導体装置であって、

前記銅拡散防止膜は、炭化シリコン膜、炭窒化シリコン膜、あるいは、S i C O 膜のいずれかを含む膜から形成されていることを特徴とする半導体装置。

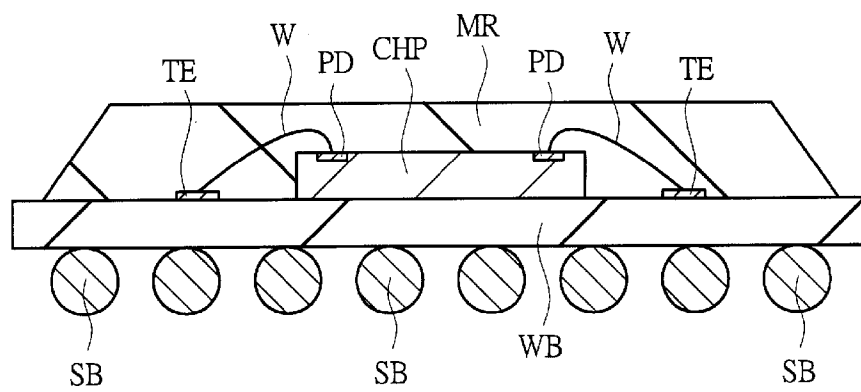
[図1]

図 1

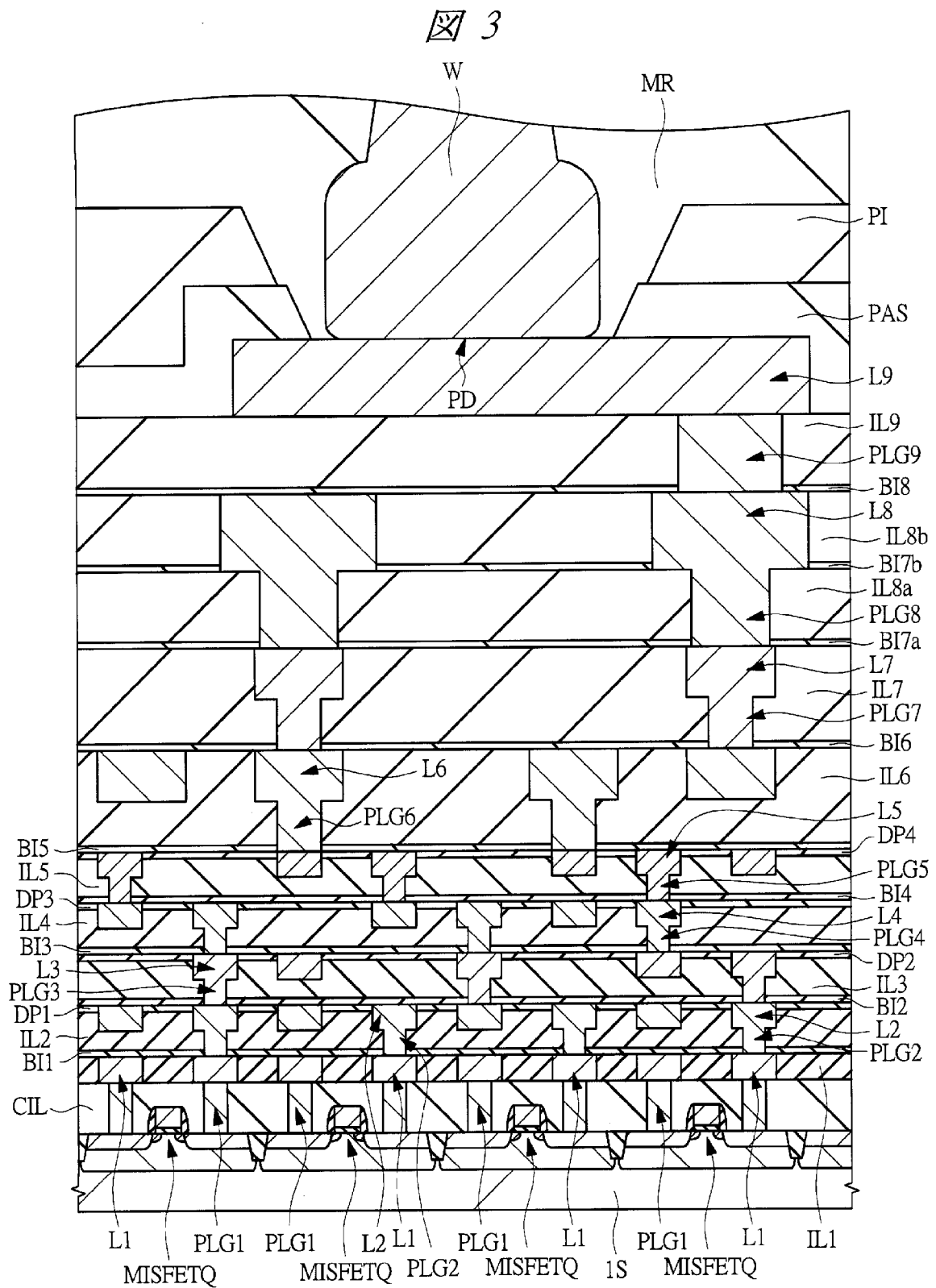


[図2]

図 2

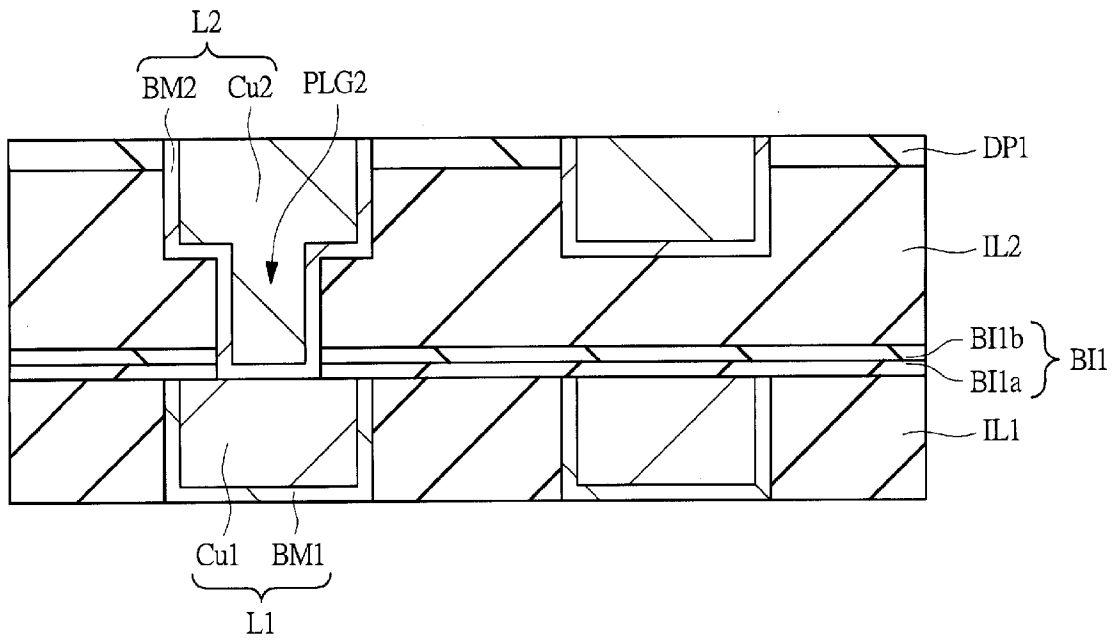


[図3]



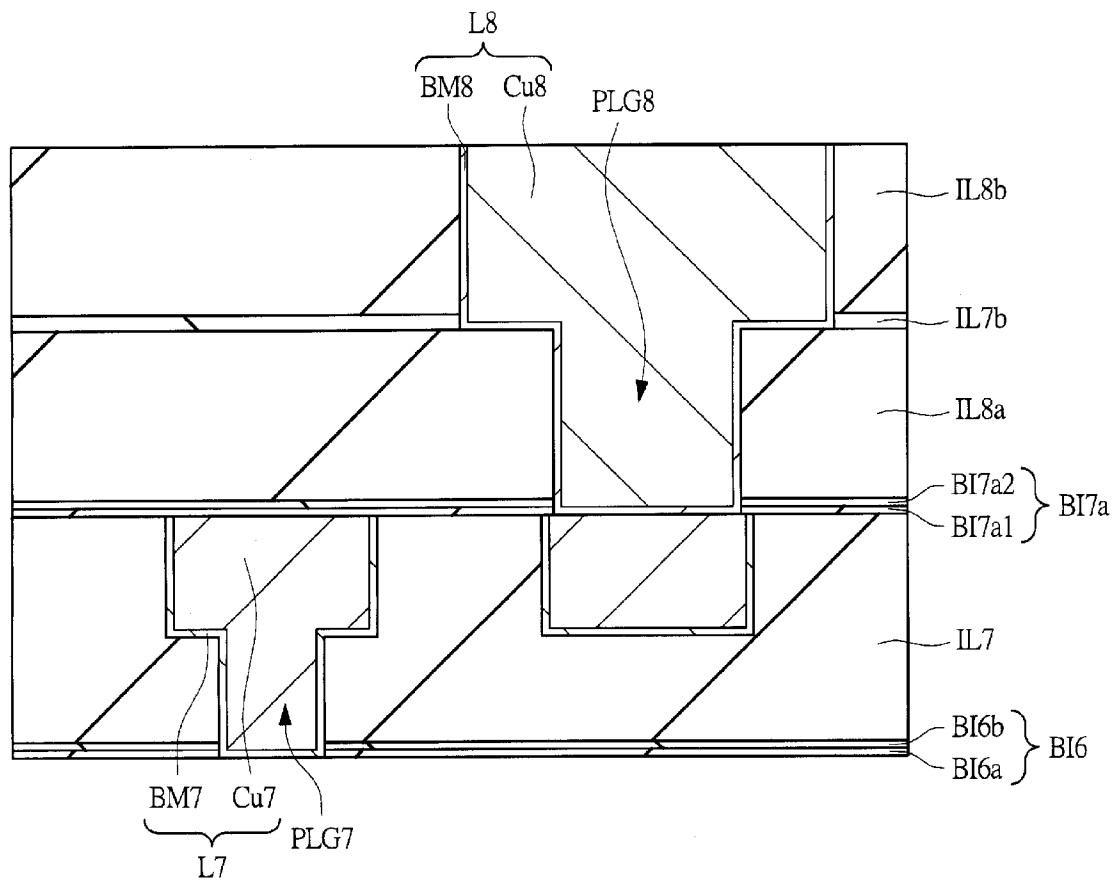
[図4]

図 4



[図5]

図 5



[図6]

図 6

材料	比誘電率	名称
SiO ₂ 膜	3.5以上	高誘電率膜
SiN膜		
TEOS膜		
SiOF膜		
SiCN膜		
SiCO膜		
SiC膜		
SiOC膜	2.8～3.5	中誘電率膜
HSQ膜		
MSQ膜		
空孔を有するSiOC膜	2.8より小さい	低誘電率膜
空孔を有するHSQ膜		
空孔を有するMSQ膜		

[図7]

図 7

材料	ヤング率(GPa)	名称
SiO ₂ 膜	30以上	高ヤング率膜
SiN膜		
TEOS膜		
SiOF膜		
SiCN膜		
SiCO膜		
SiC膜		
SiOC膜	15～30	中ヤング率膜
HSQ膜		
MSQ膜		
空孔を有するSiOC膜	15より小さい	低ヤング率膜
空孔を有するHSQ膜		
空孔を有するMSQ膜		

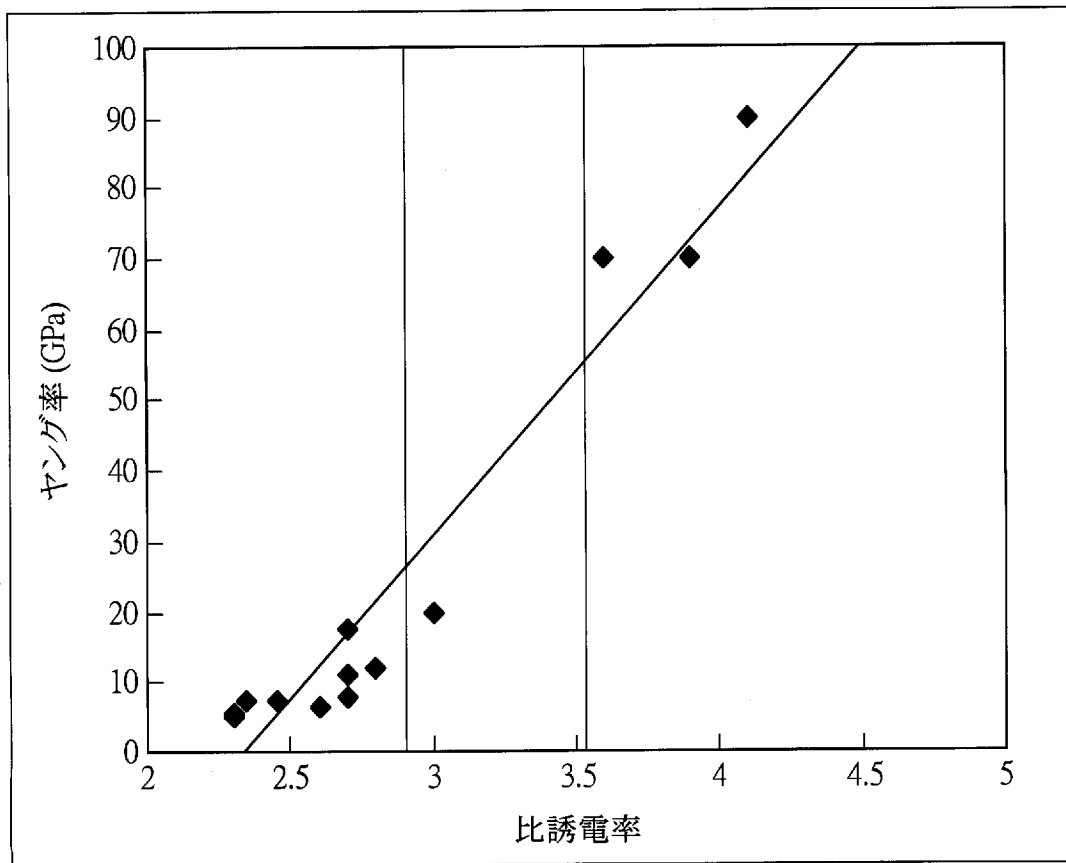
[図8]

図 8

材料	密度(g/cm ³)	名称
SiO ₂ 膜	1.7以上	高密度膜
SiN膜		
TEOS膜		
SiOF膜		
SiCN膜		
SiCO膜		
SiC膜		
SiOC膜	1.38～1.7	中密度膜
HSQ膜		
MSQ膜		
空孔を有するSiOC膜	1.38より小さい	低密度膜
空孔を有するHSQ膜		
空孔を有するMSQ膜		

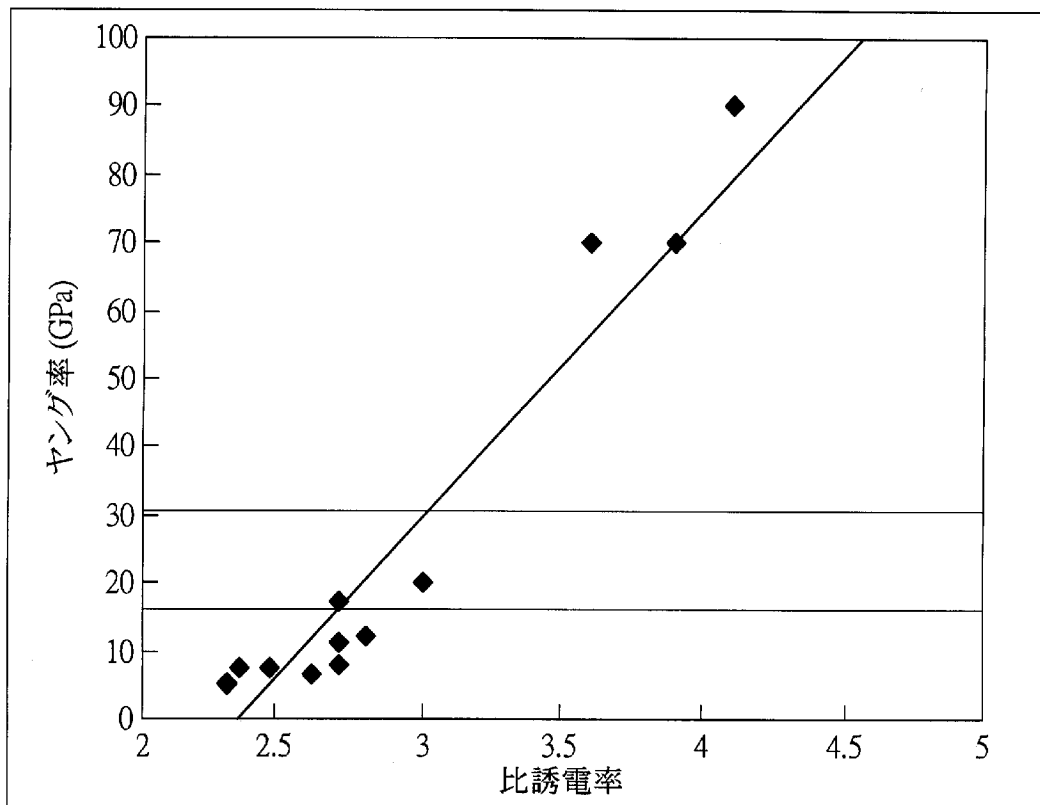
[図9]

図 9



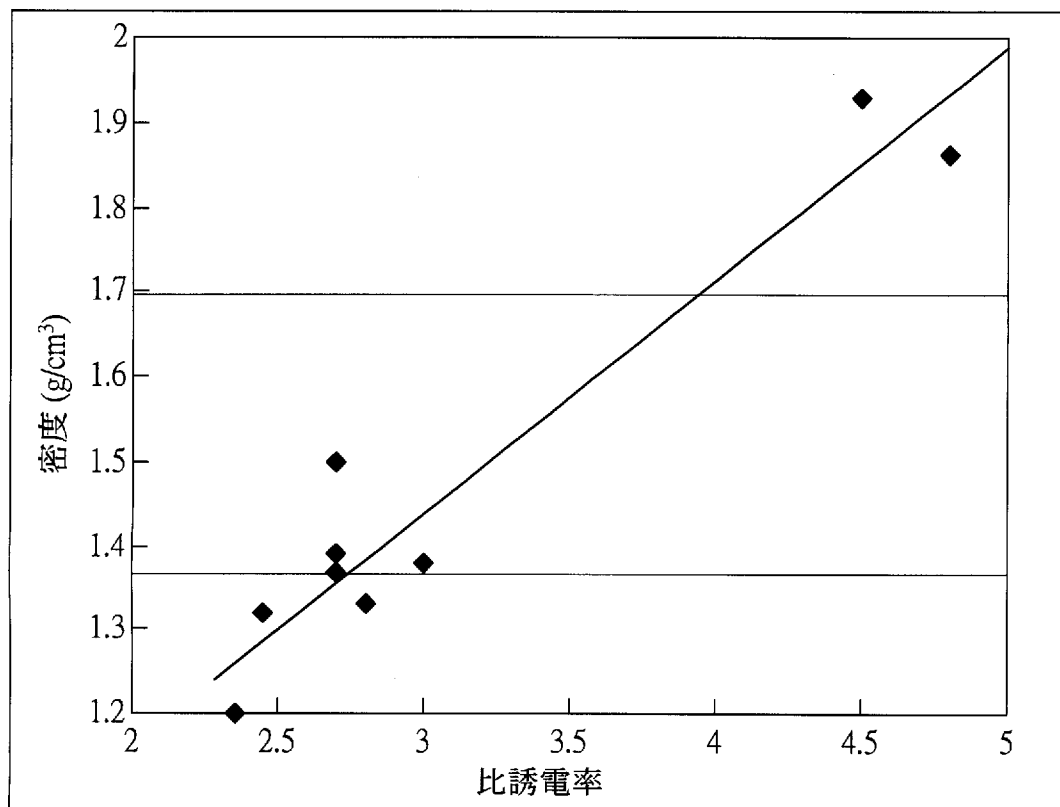
[図10]

図 10



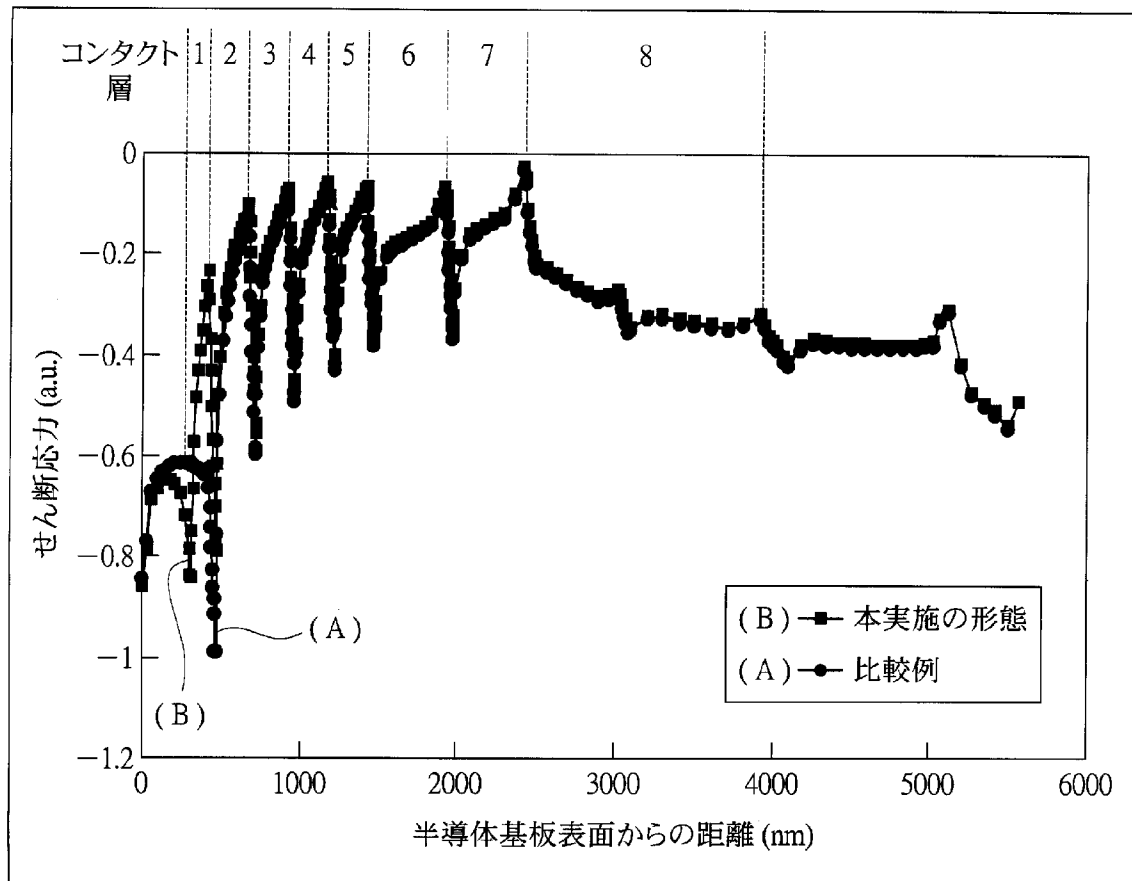
[図11]

図 11



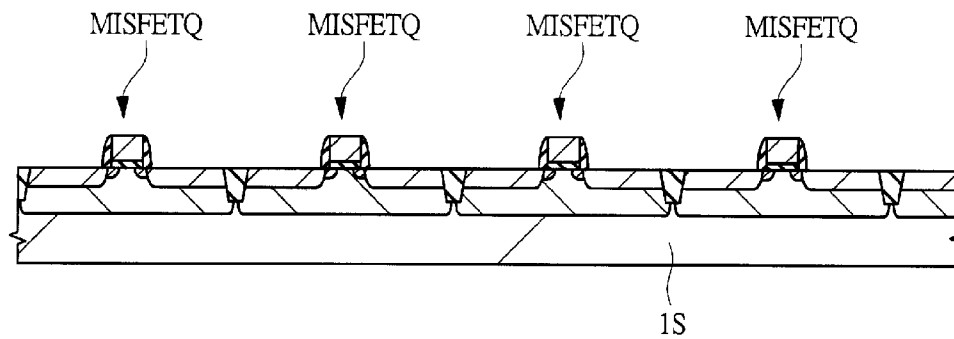
[図12]

図 12



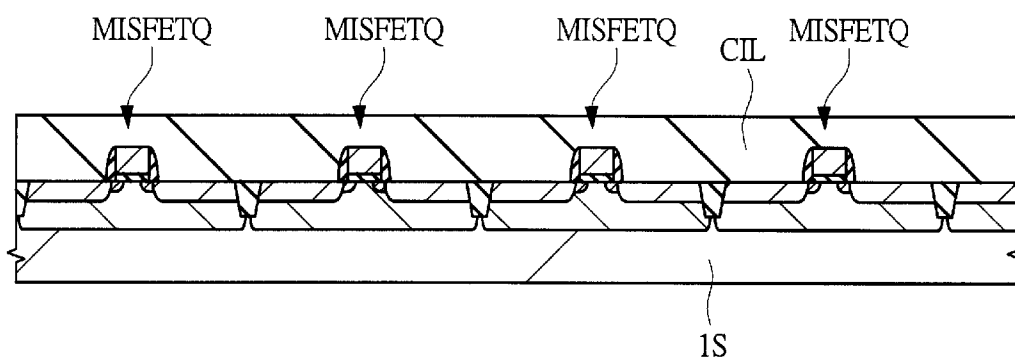
[図13]

図 13



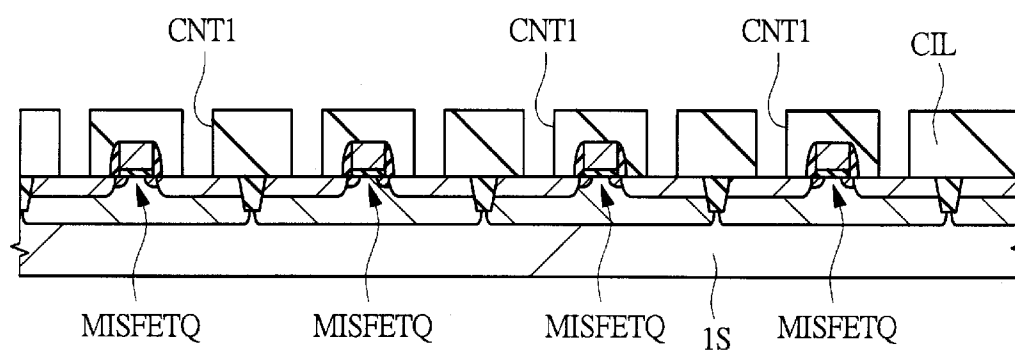
[図14]

図 14



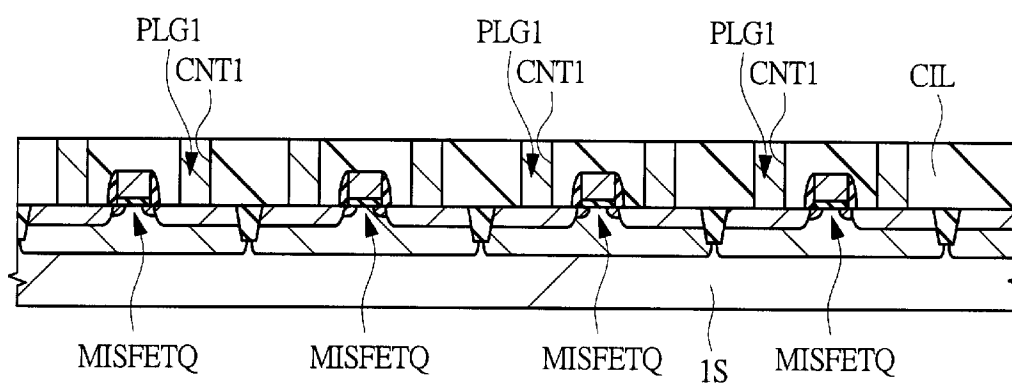
[図15]

図 15



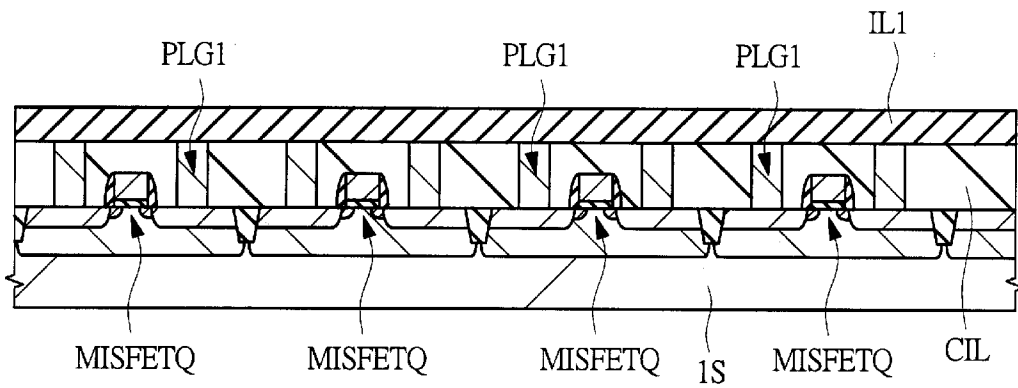
[図16]

図 16



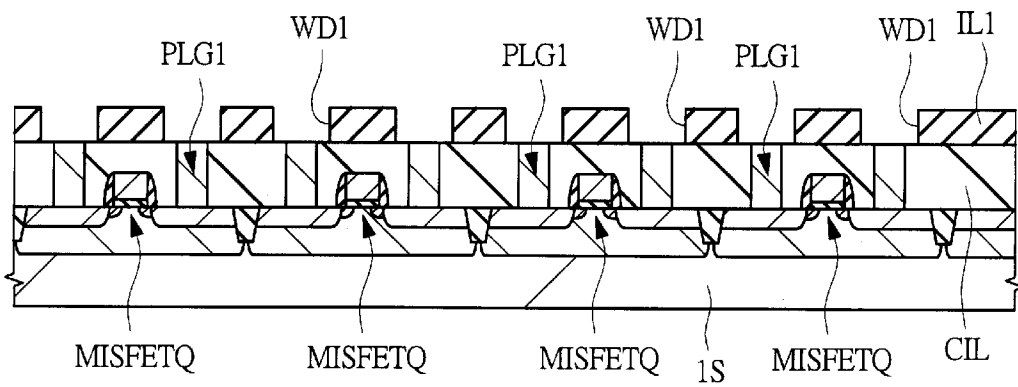
[図17]

図 17



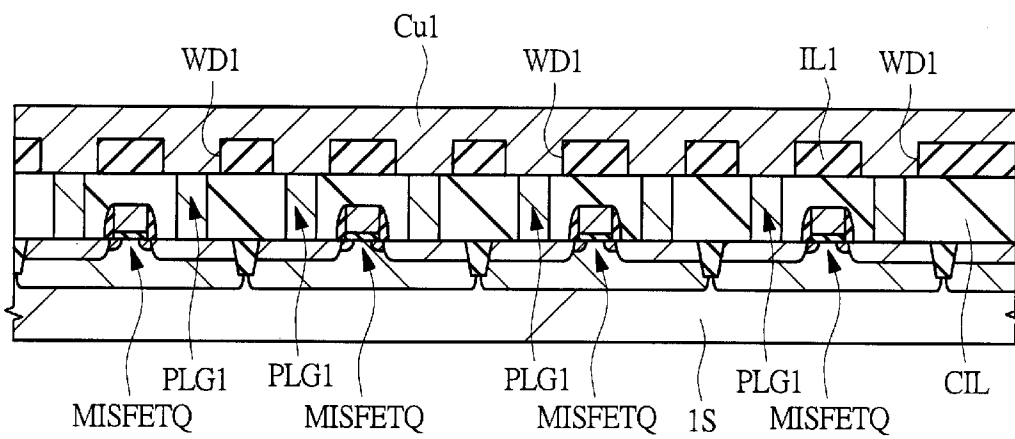
[図18]

図 18



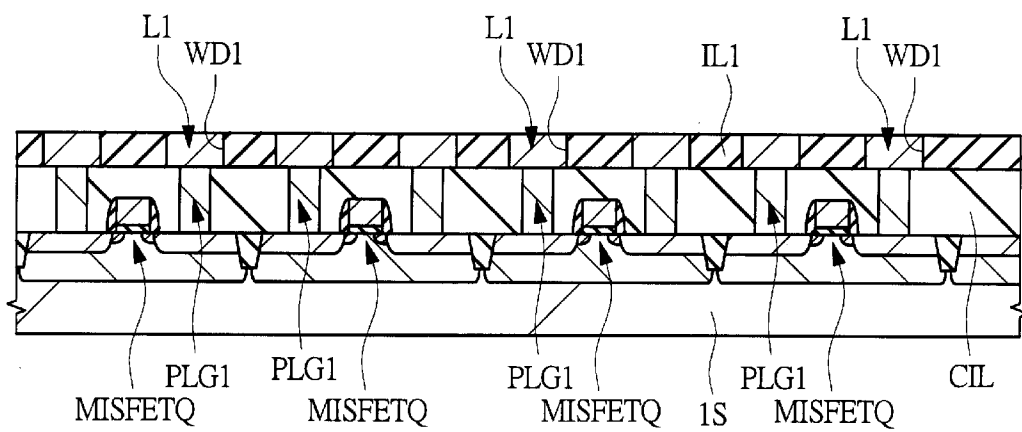
[図19]

図 19



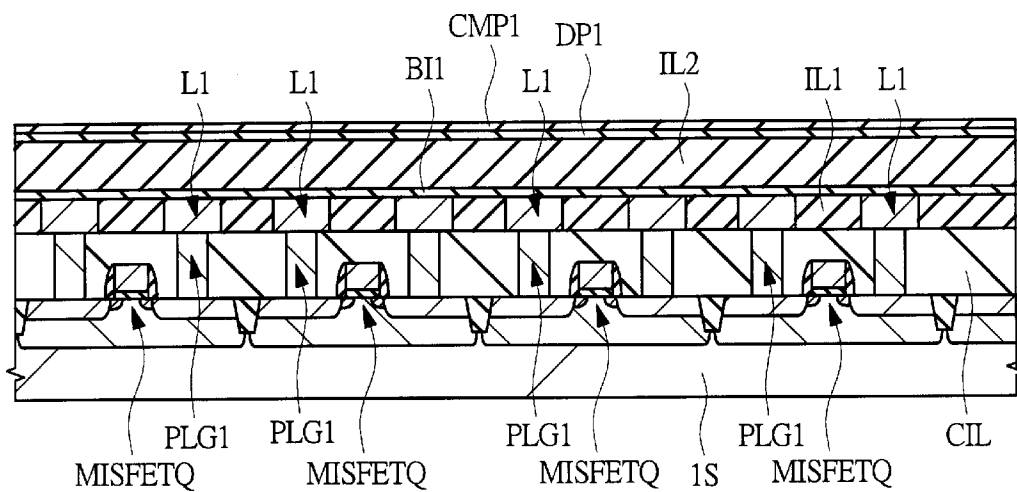
[図20]

図 20



[図21]

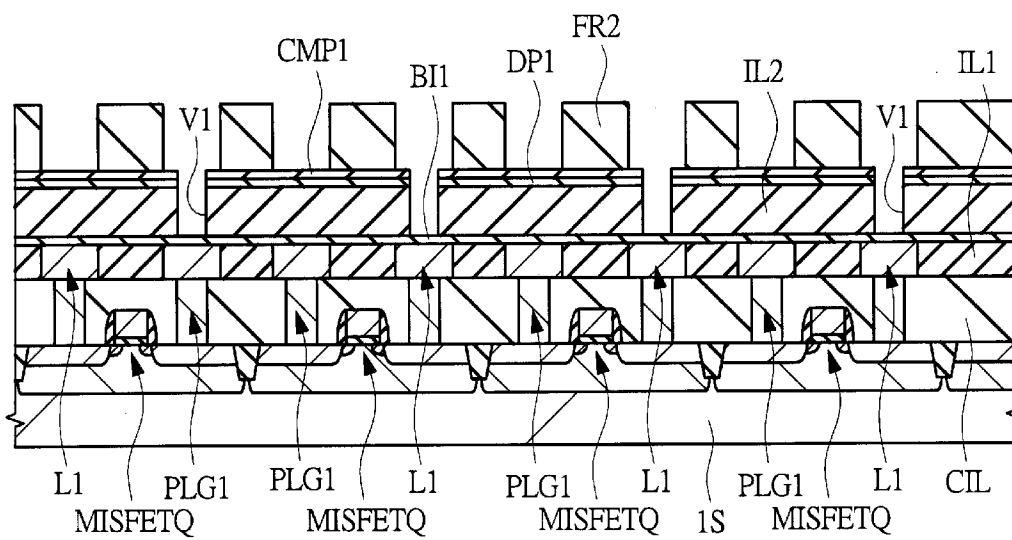
図 21



22

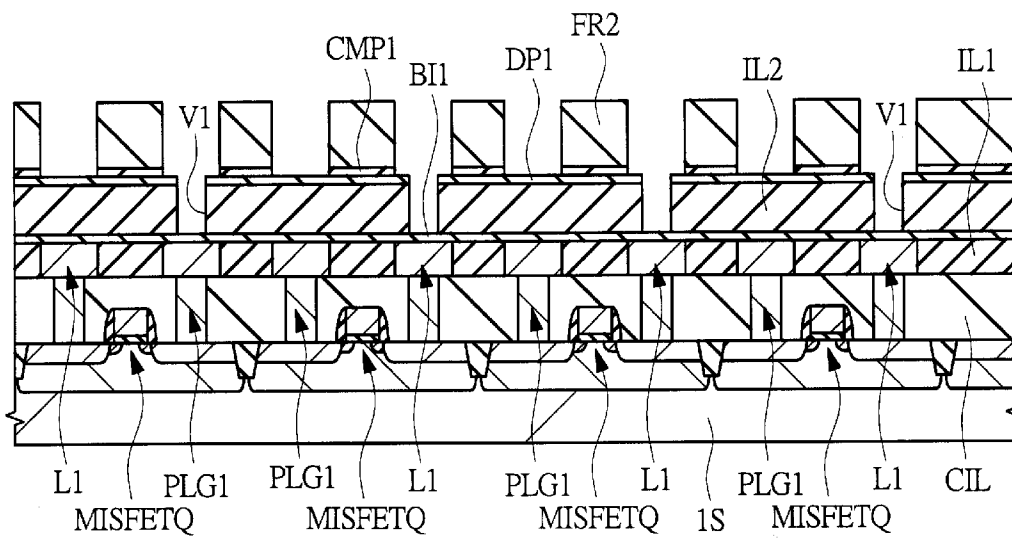


23



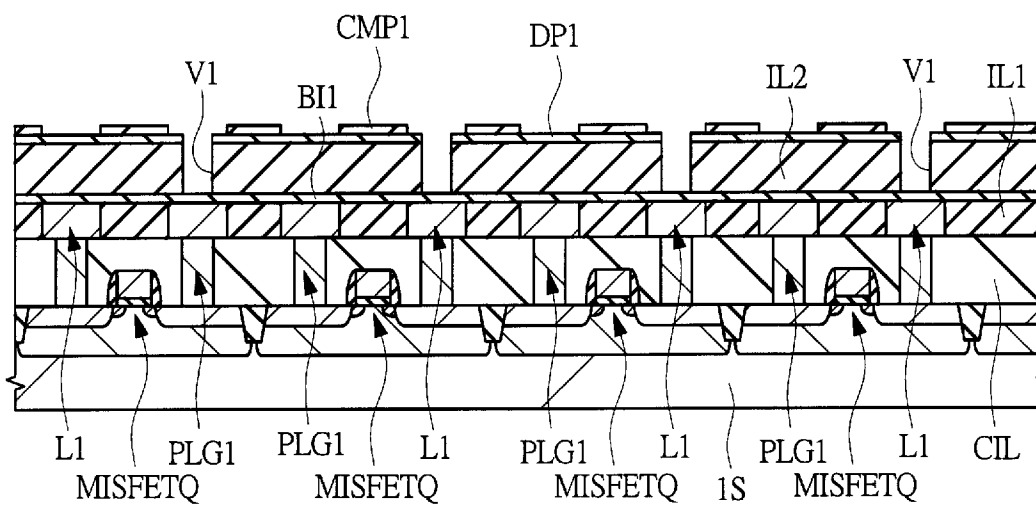
[図24]

図 24



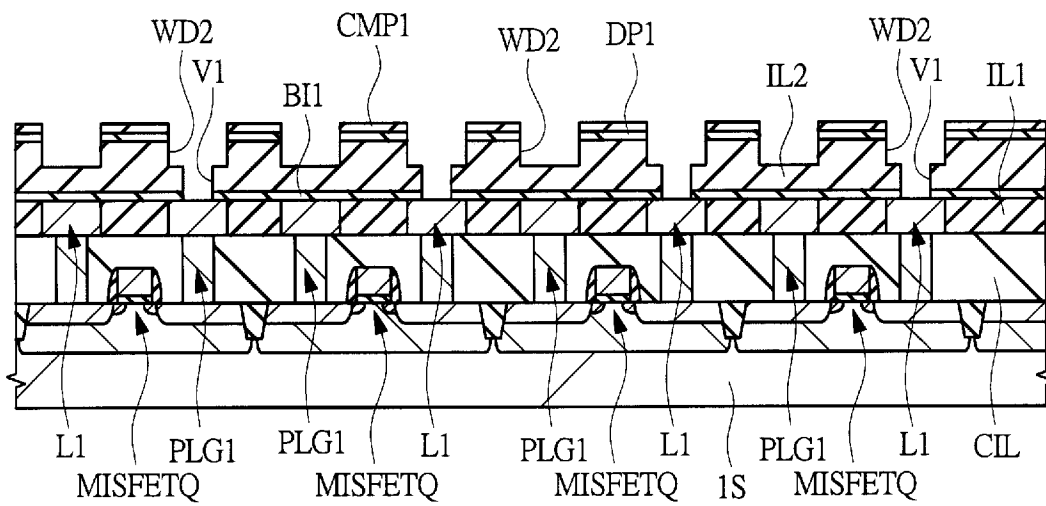
[図25]

図 25



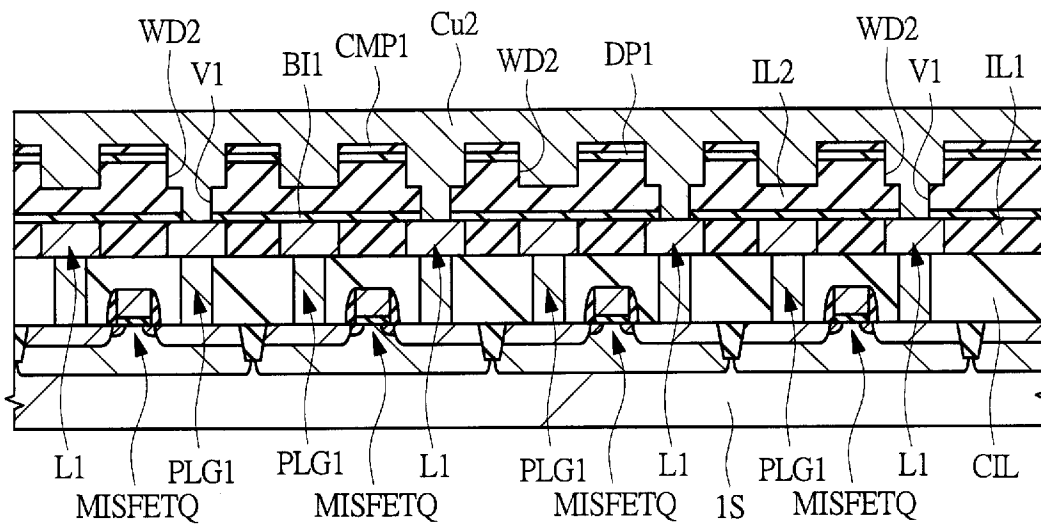
[図26]

図 26



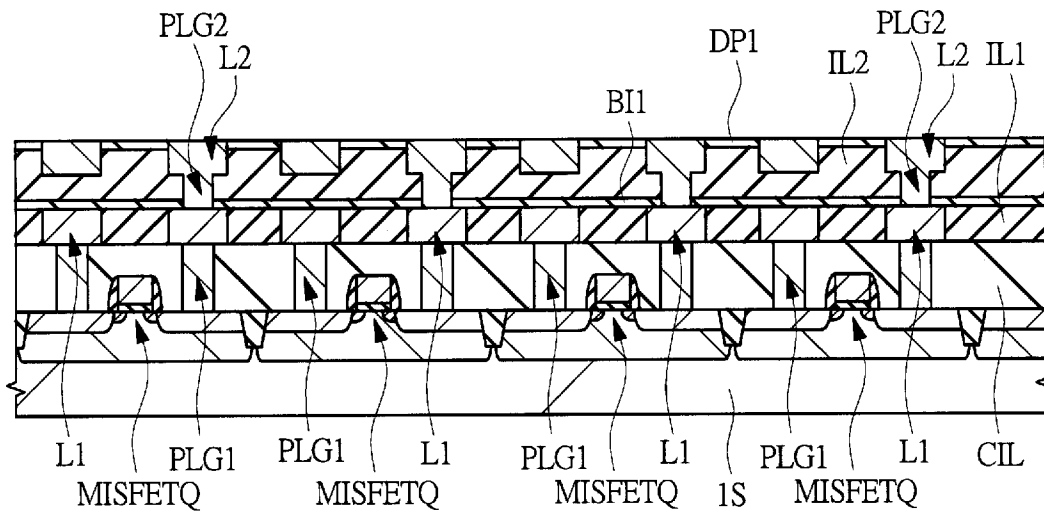
[図27]

図 27



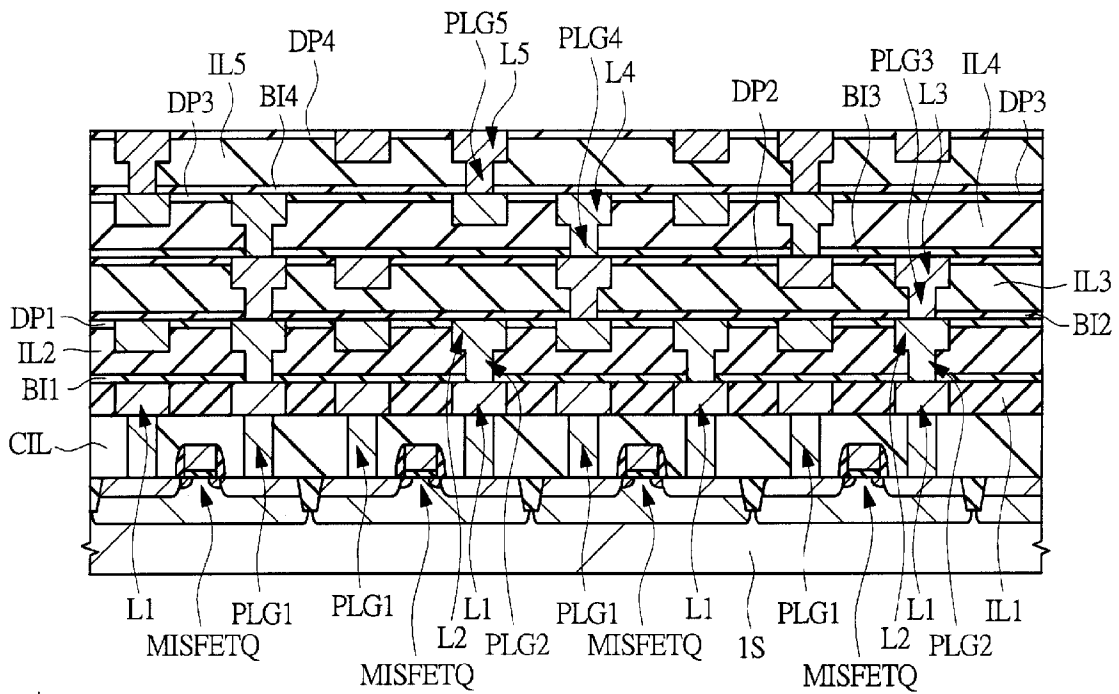
[図28]

図 28



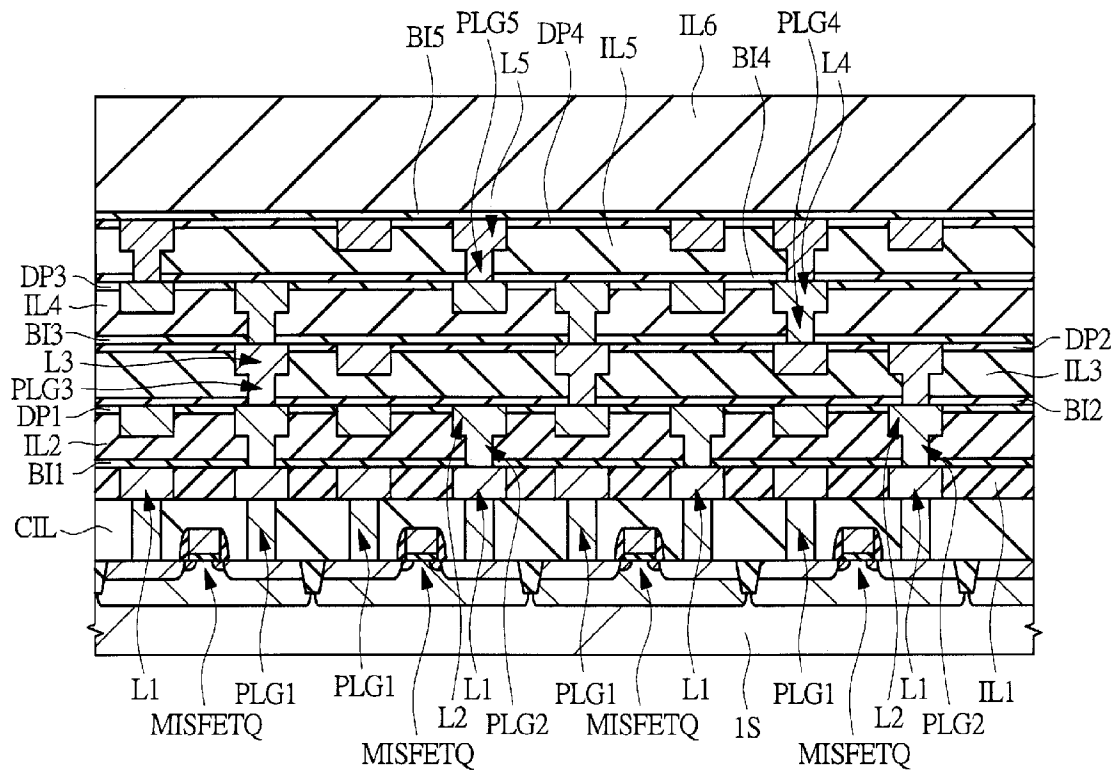
[図29]

図 29



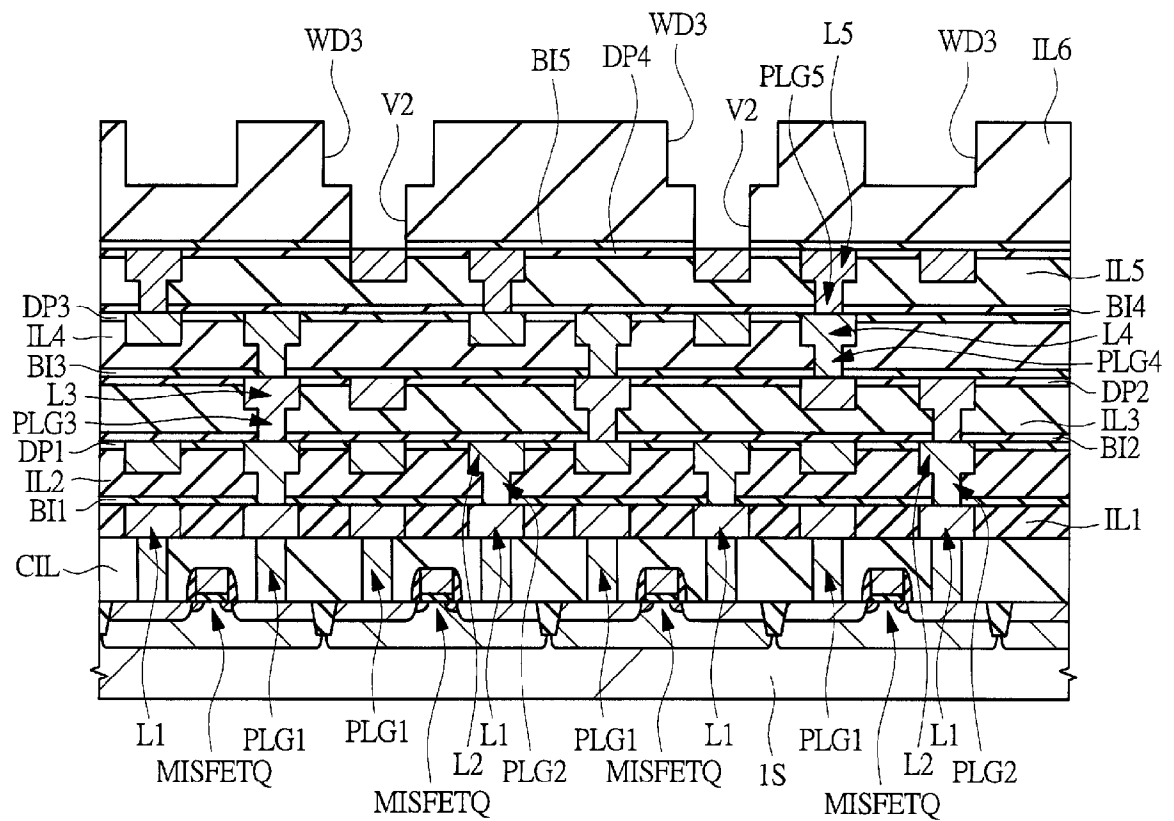
[図30]

図 30



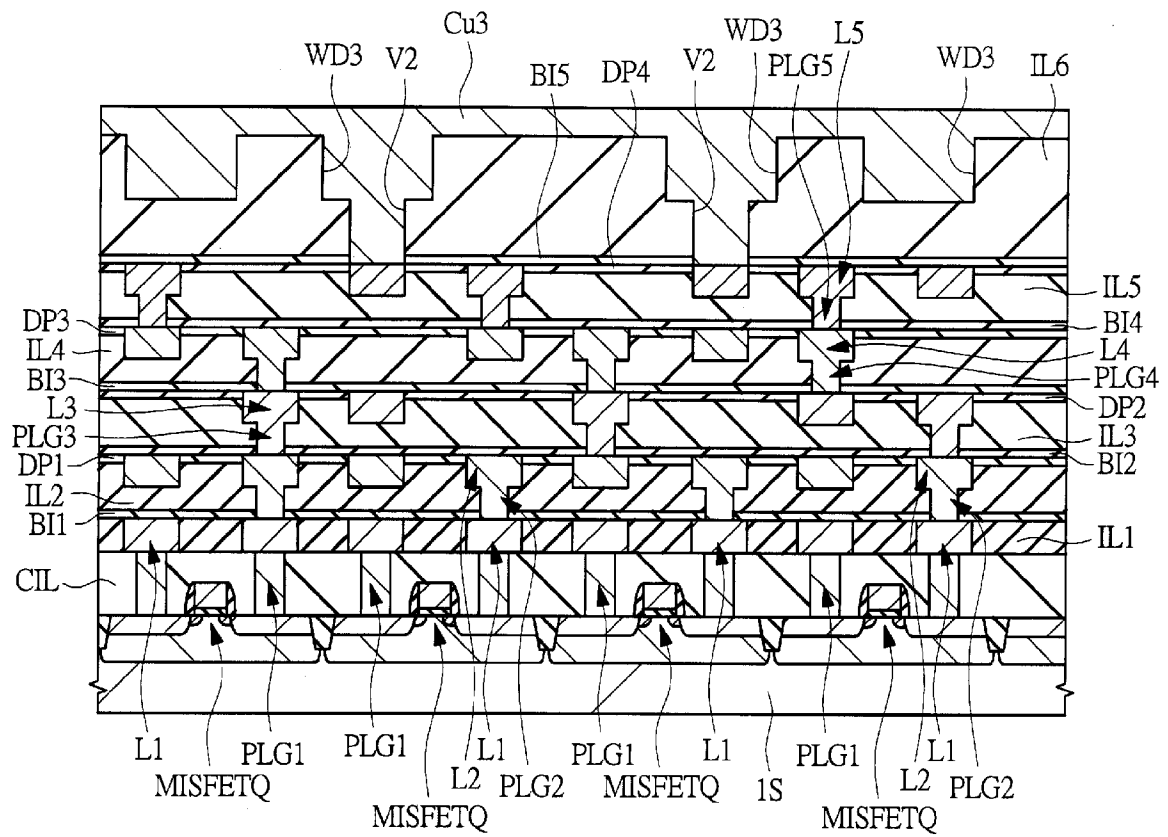
[図31]

図 31



[図32]

図 32



[図33]

図 33

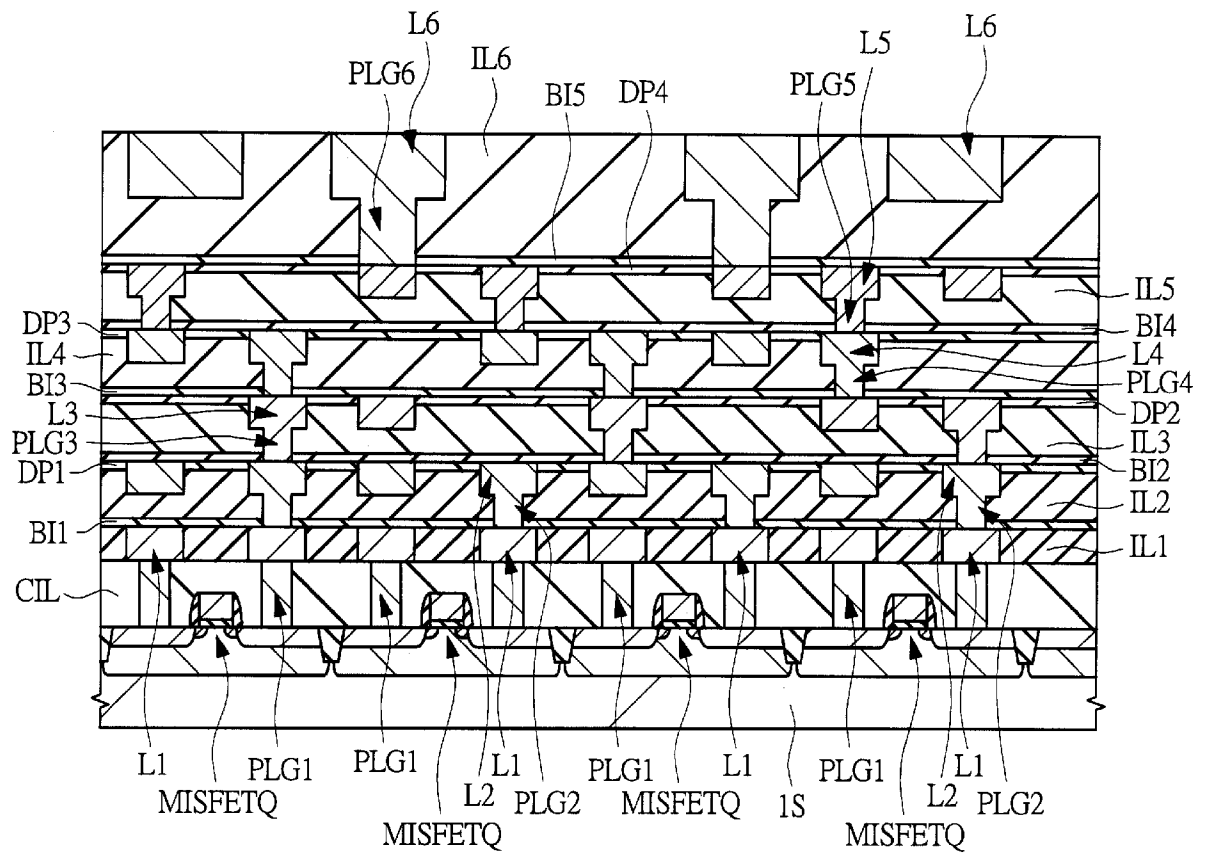
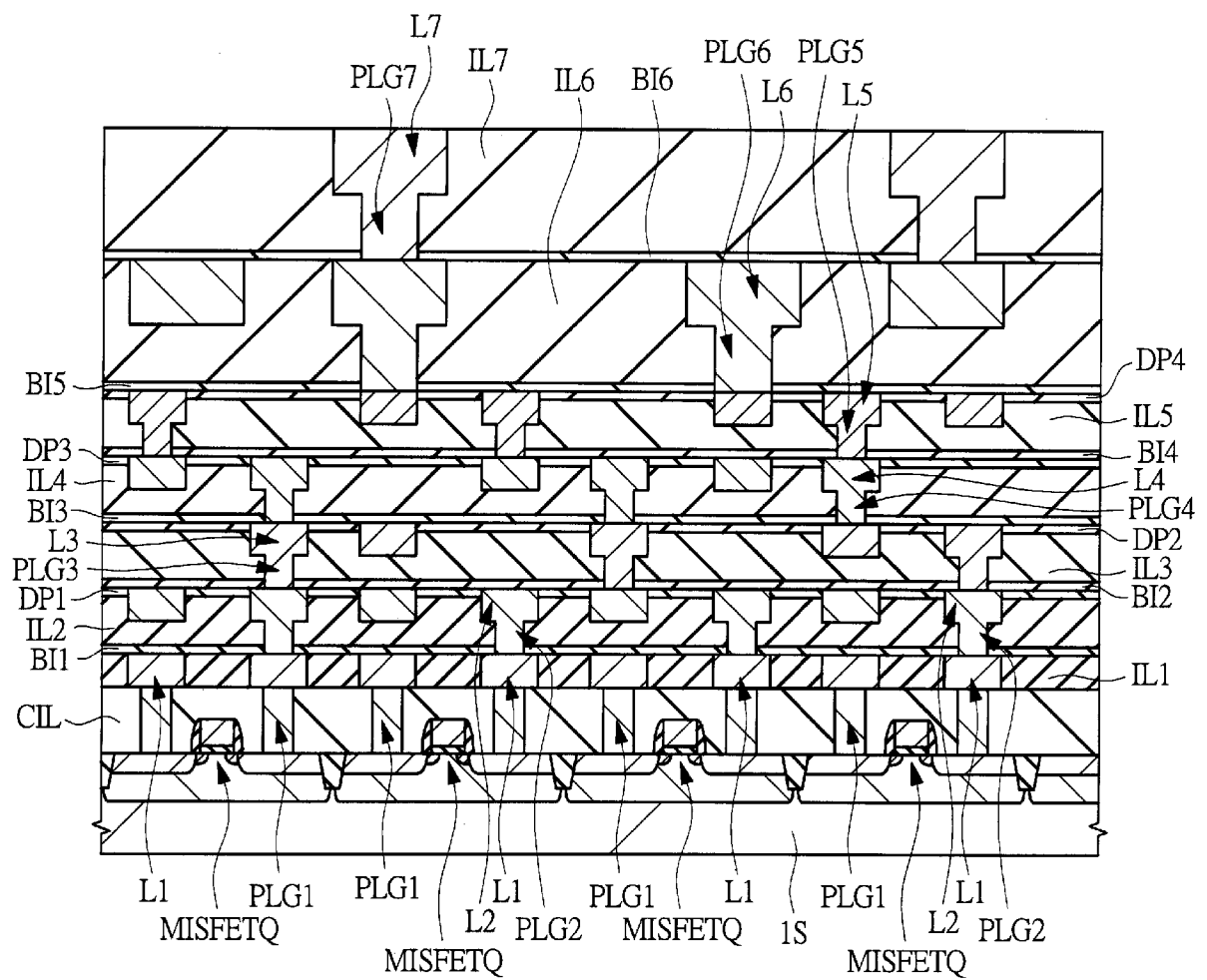
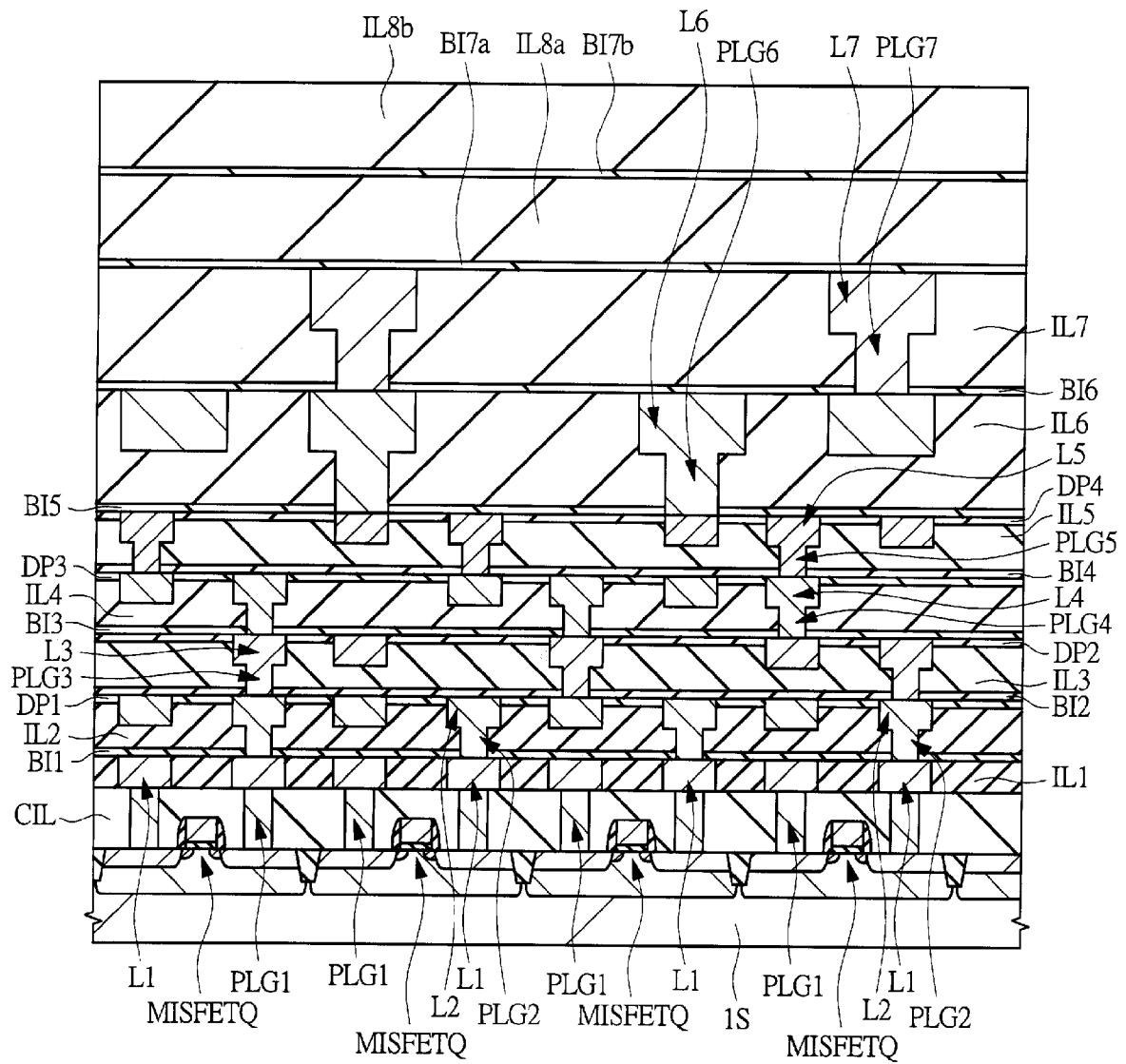


Figure 34 shows a square with a diagonal line from the top-left corner to the bottom-right corner. The top-left corner is labeled 'A' and the bottom-right corner is labeled 'B'. The diagonal line is labeled 'AB'.



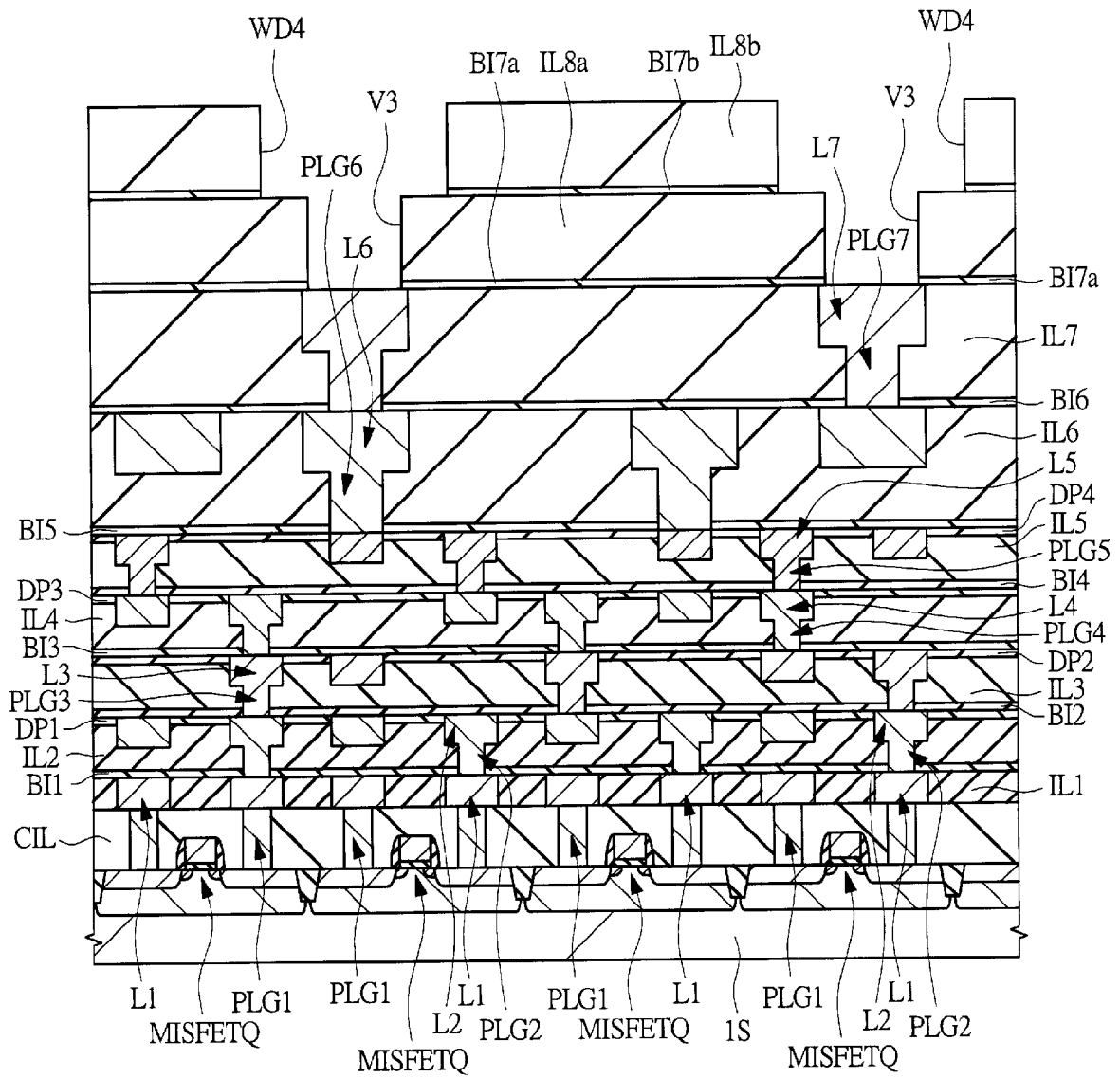
[図35]

図 35



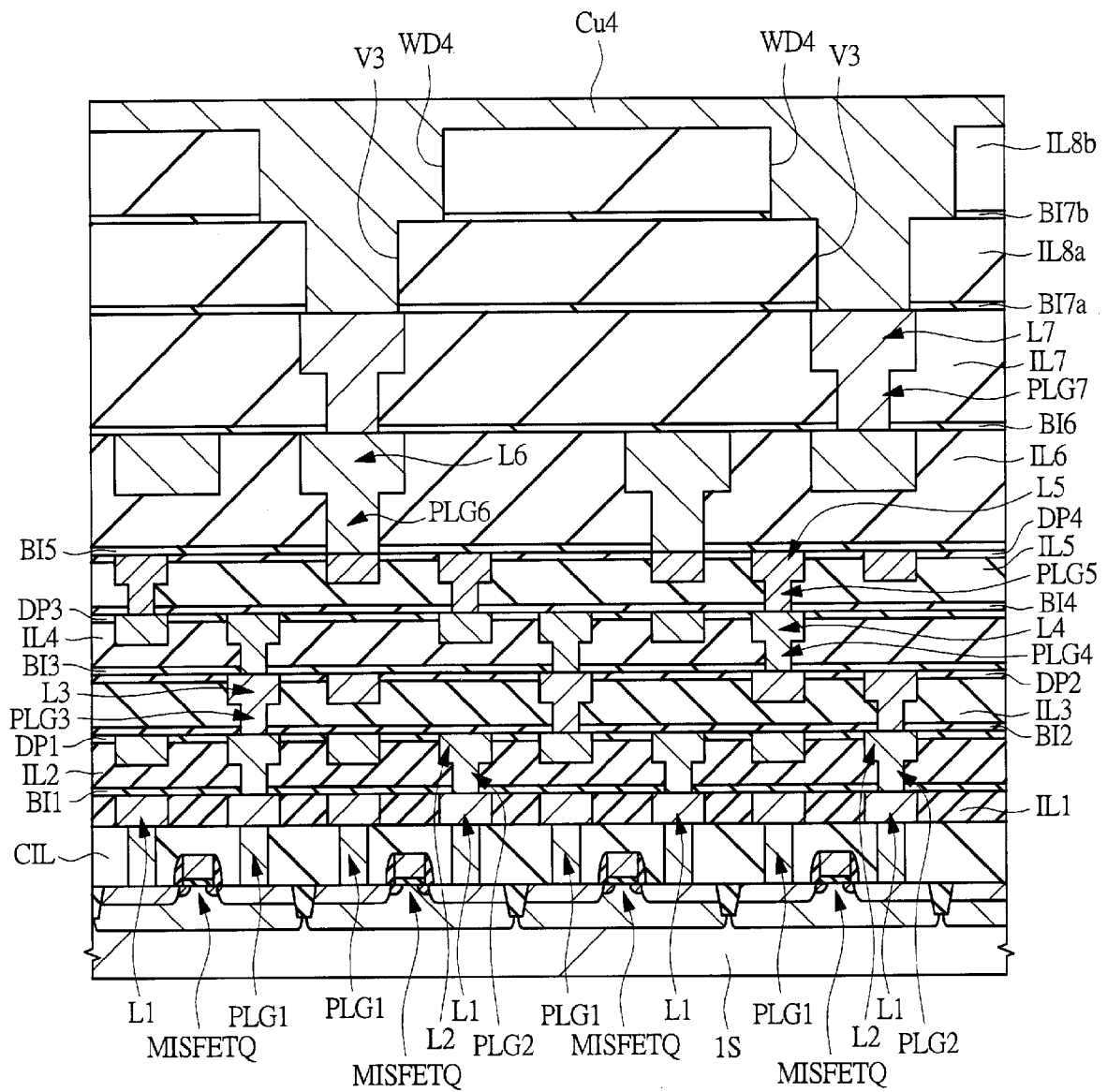
[図36]

図 36

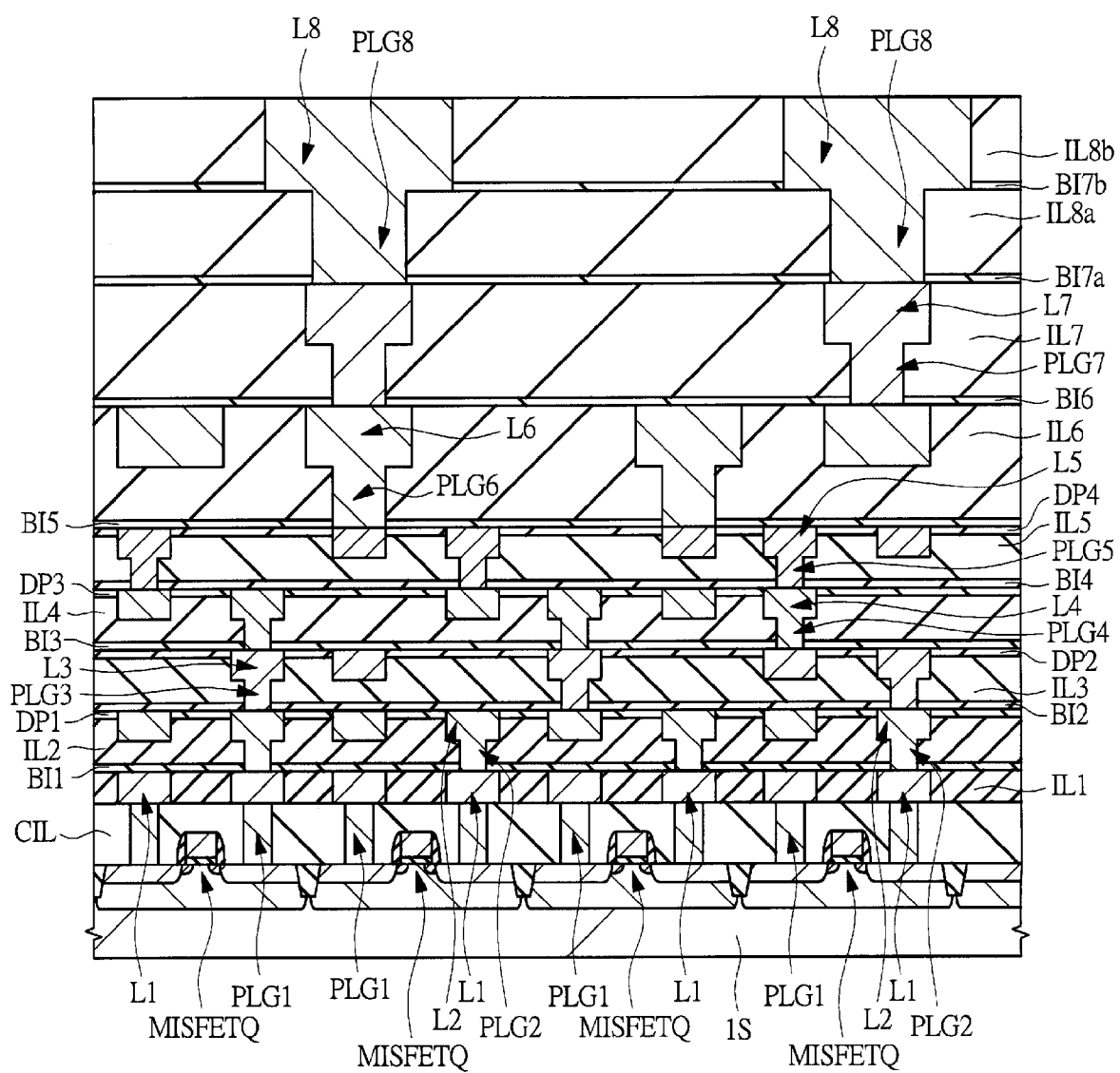


[図37]

図 37

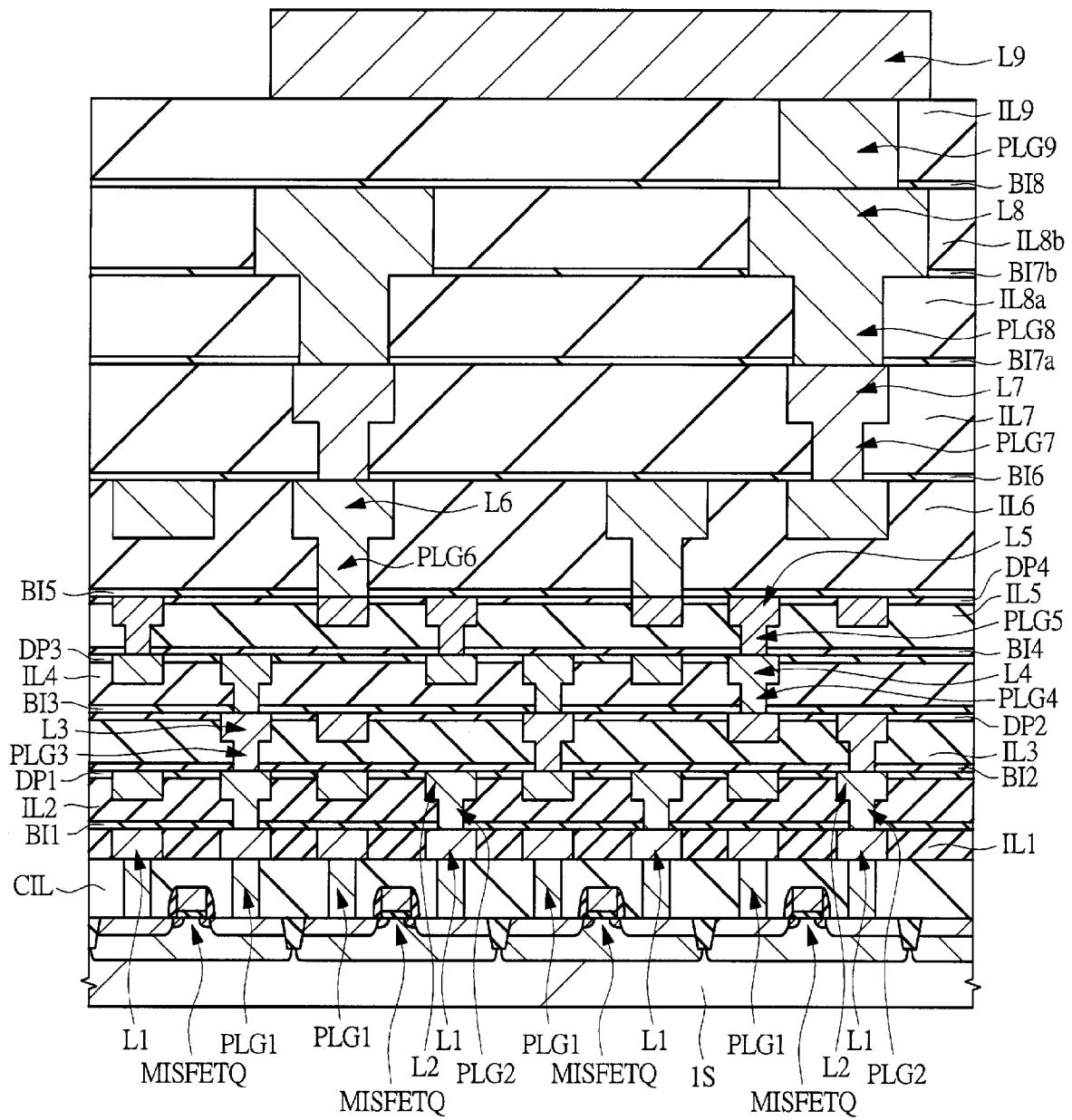


38



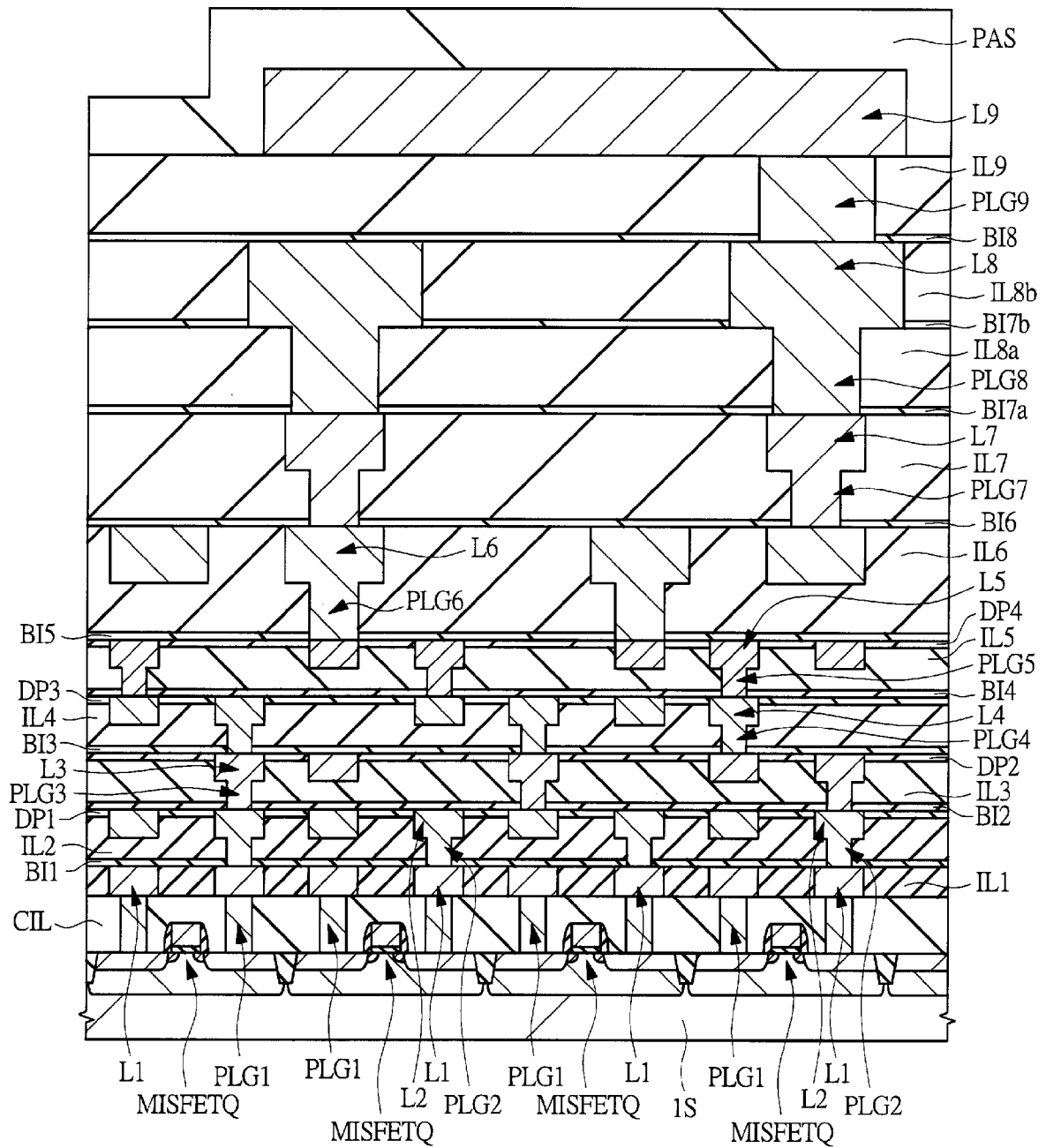
[図39]

図 39



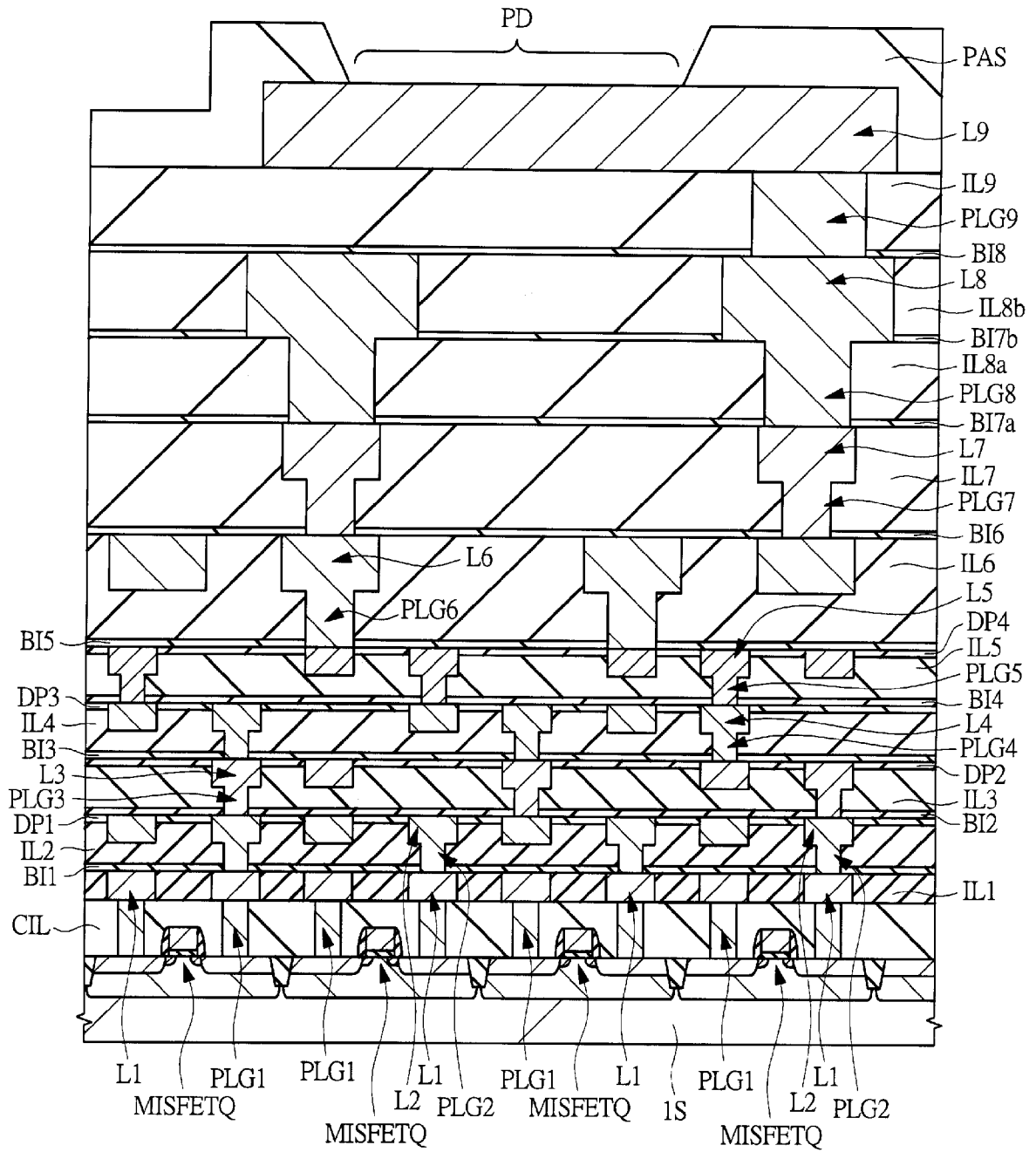
[図40]

図 40



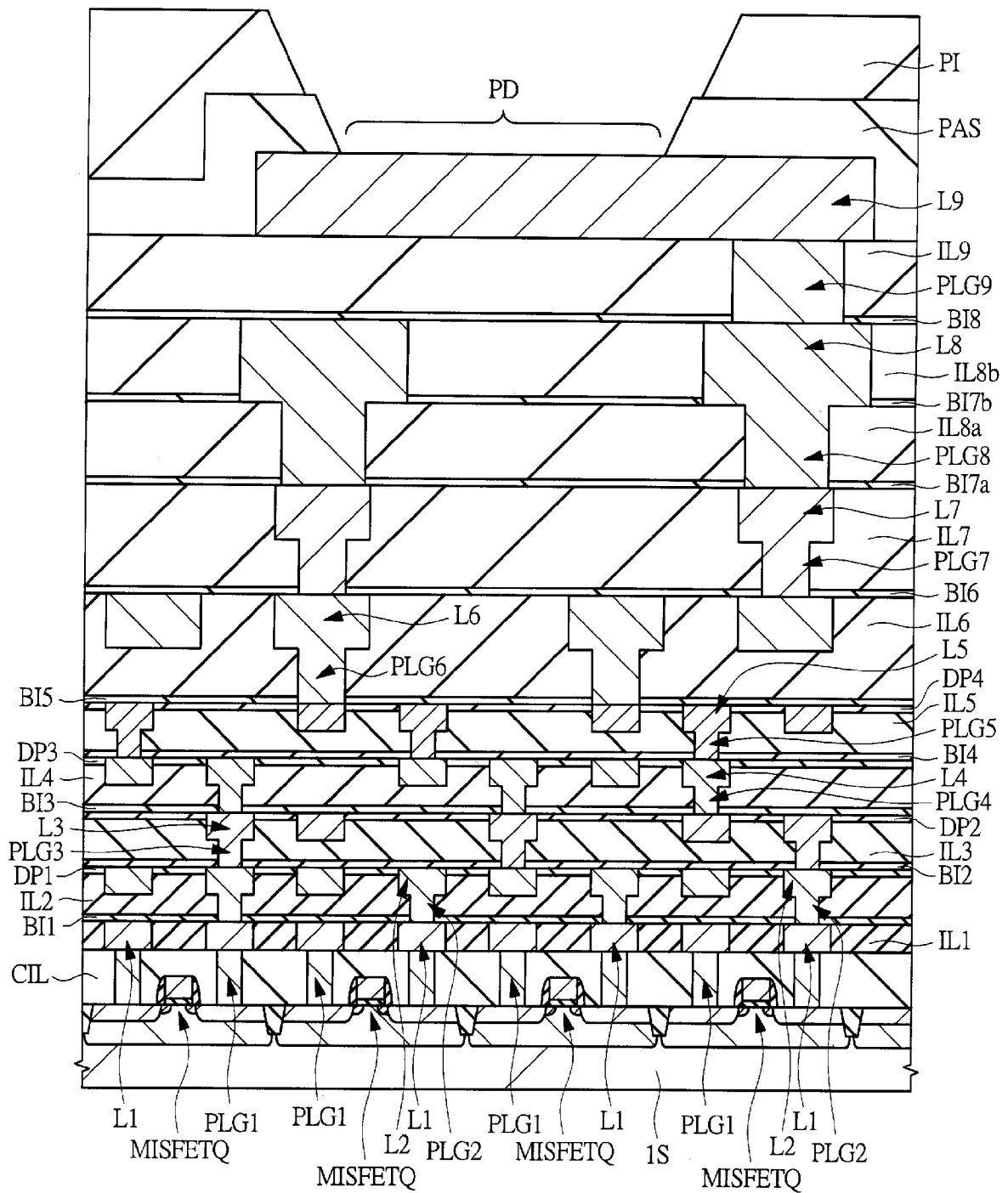
[図41]

図 41



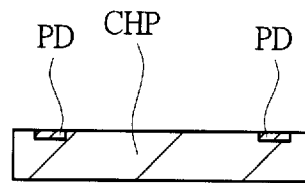
[図42]

図 42



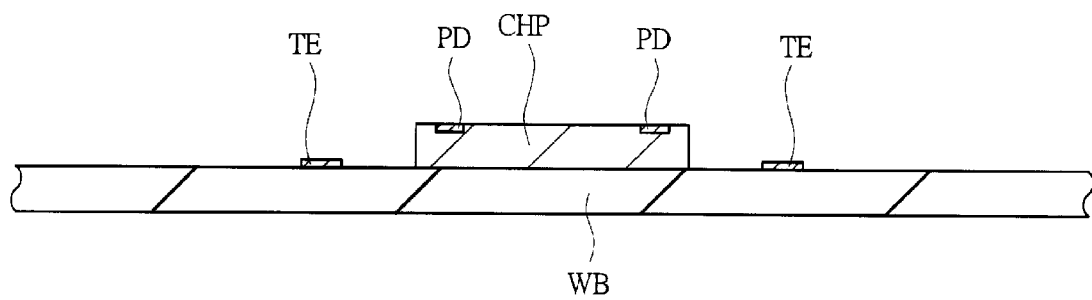
[図43]

図 43



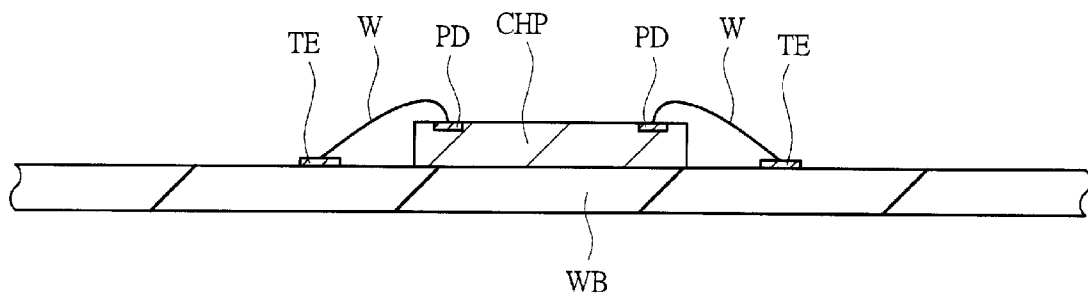
[図44]

図 44



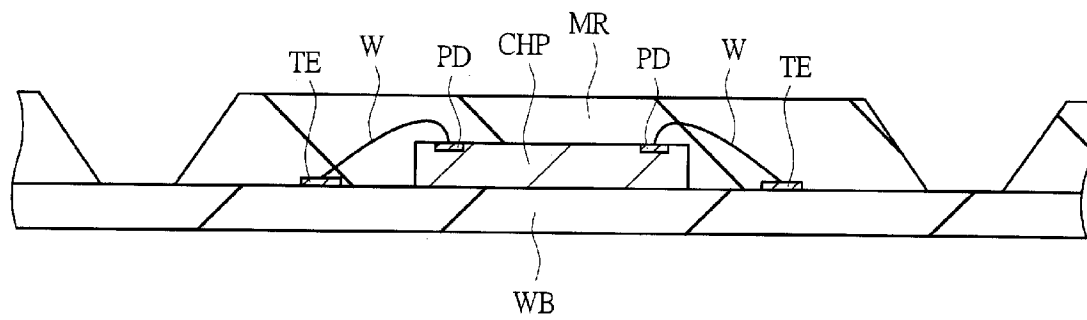
[図45]

図 45



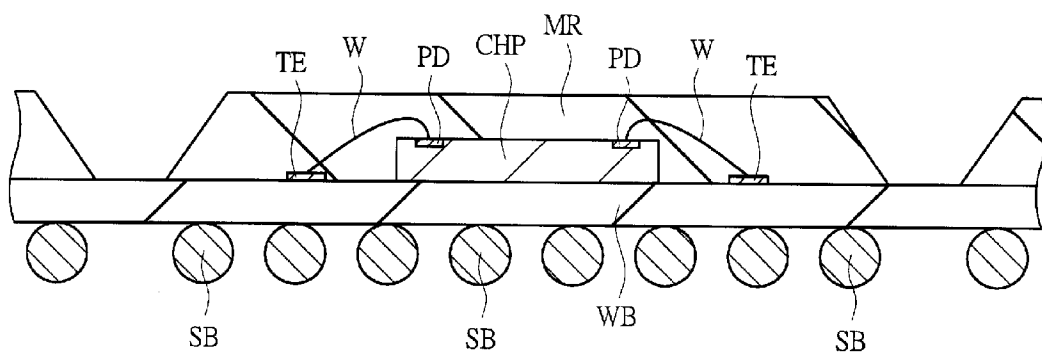
[図46]

図 46



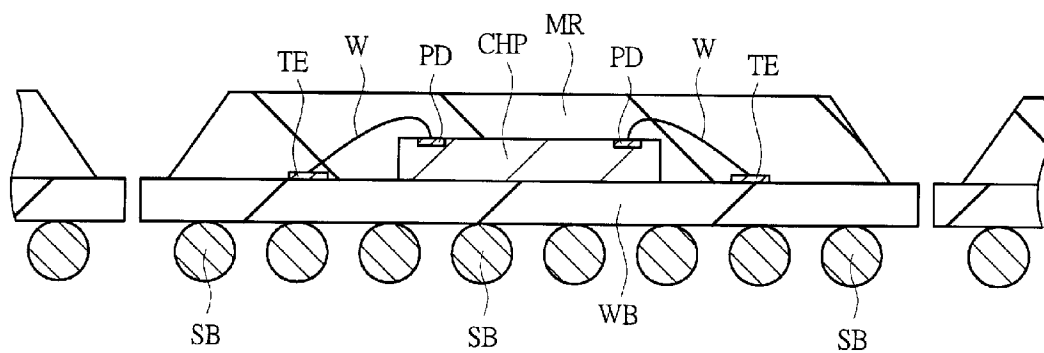
[図47]

図 47

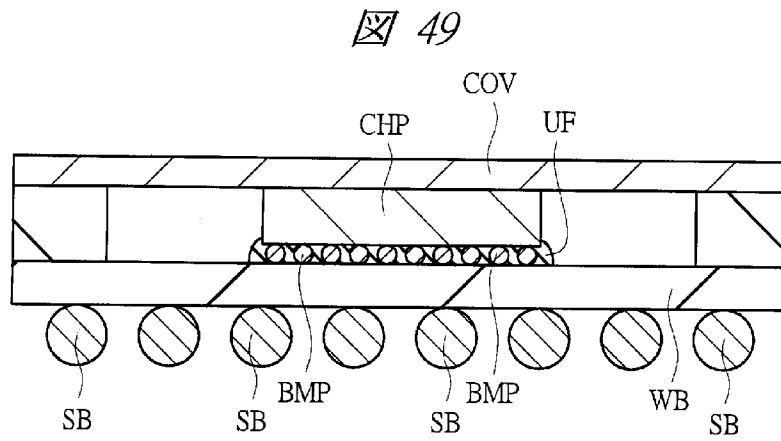


[図48]

図 48

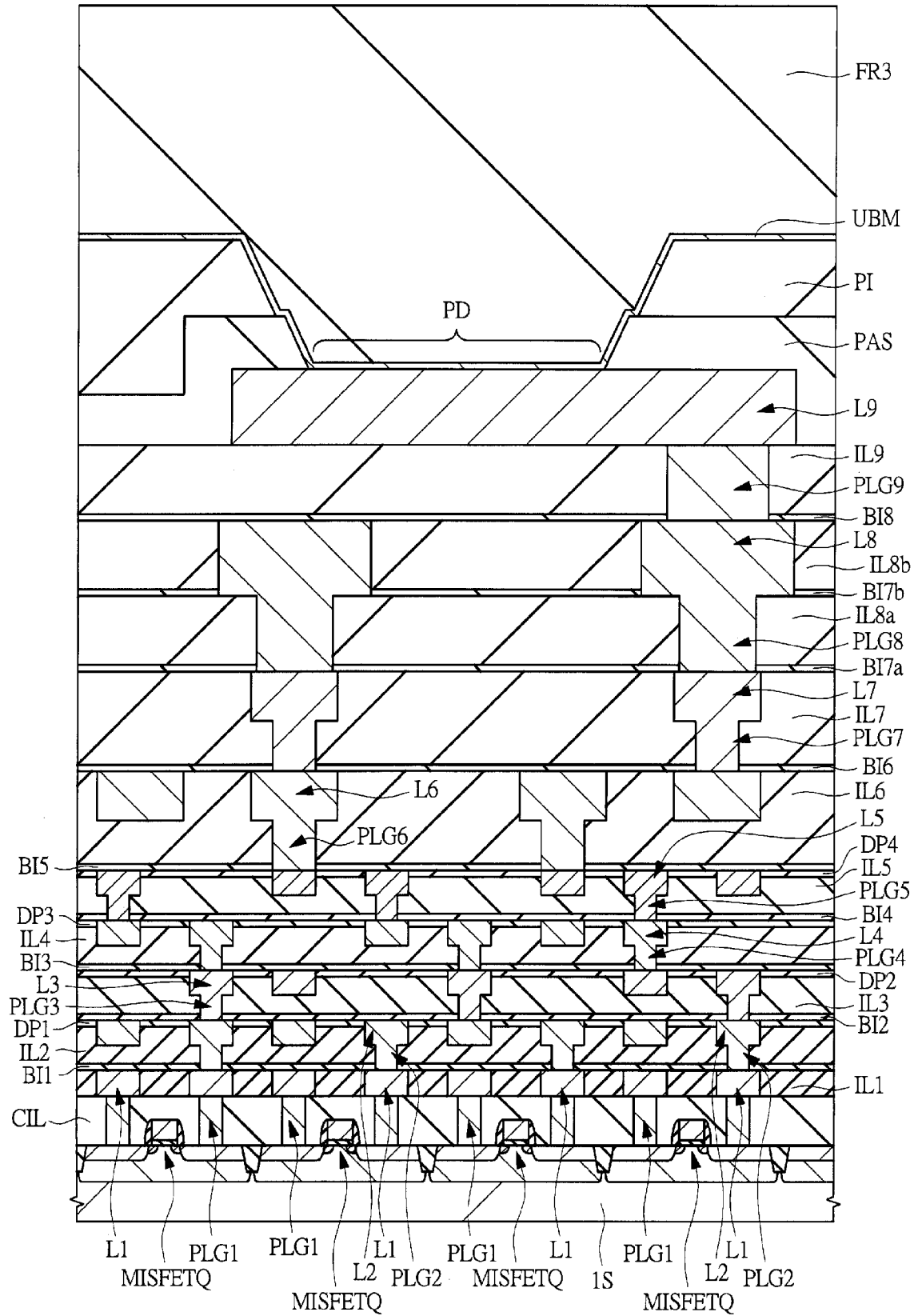


[図49]



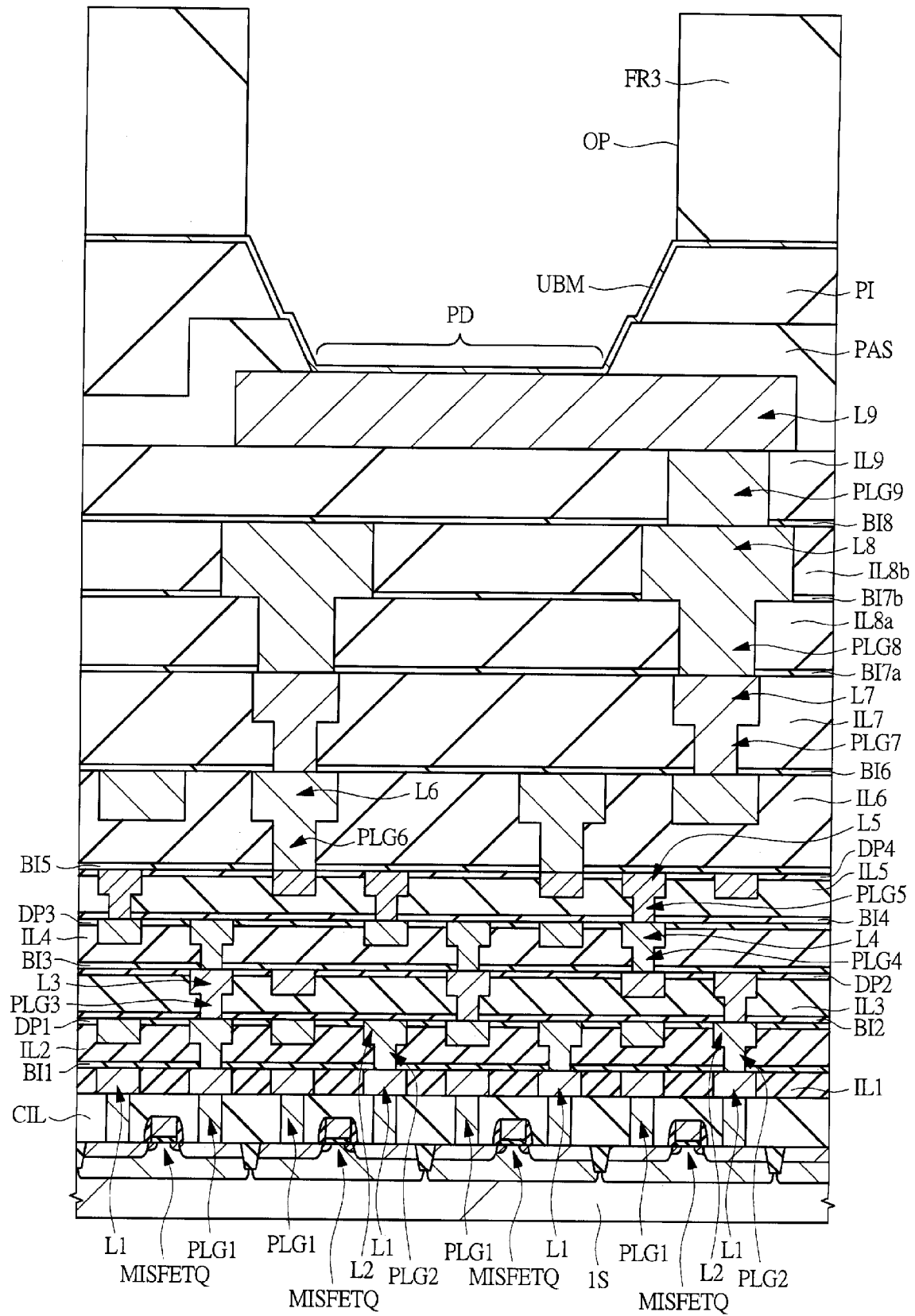
[図50]

図 50



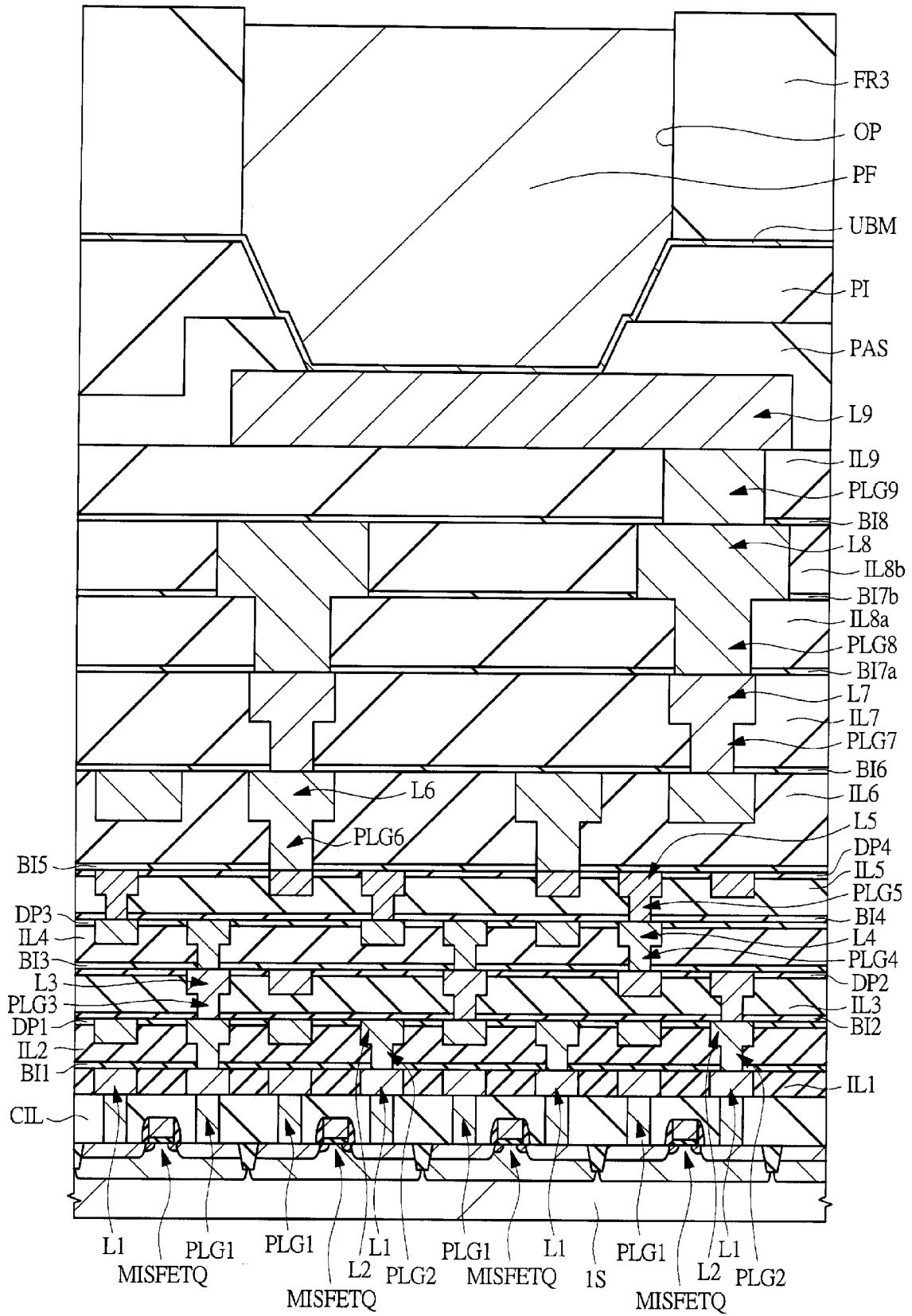
[図51]

図 51



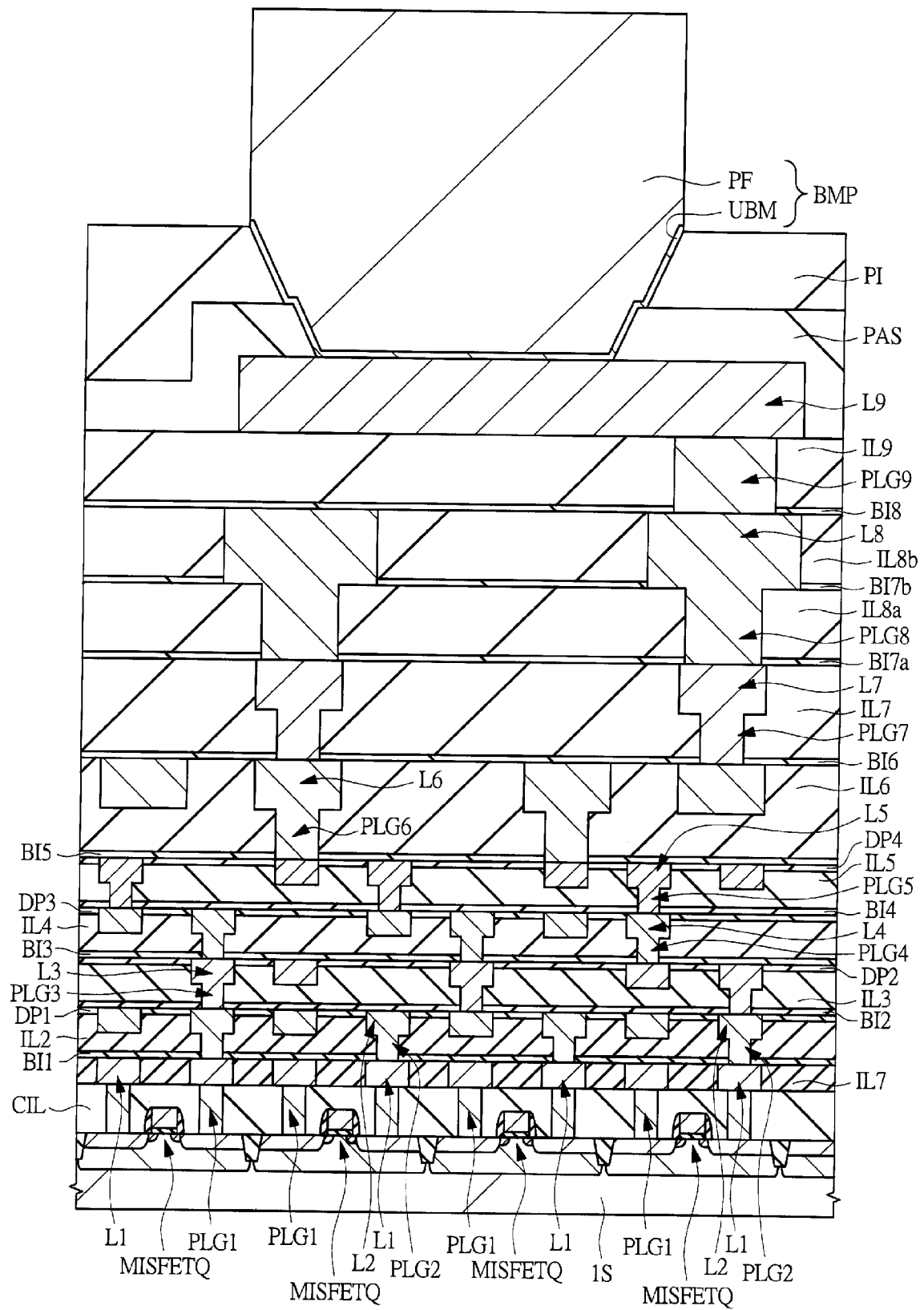
[図52]

図 52



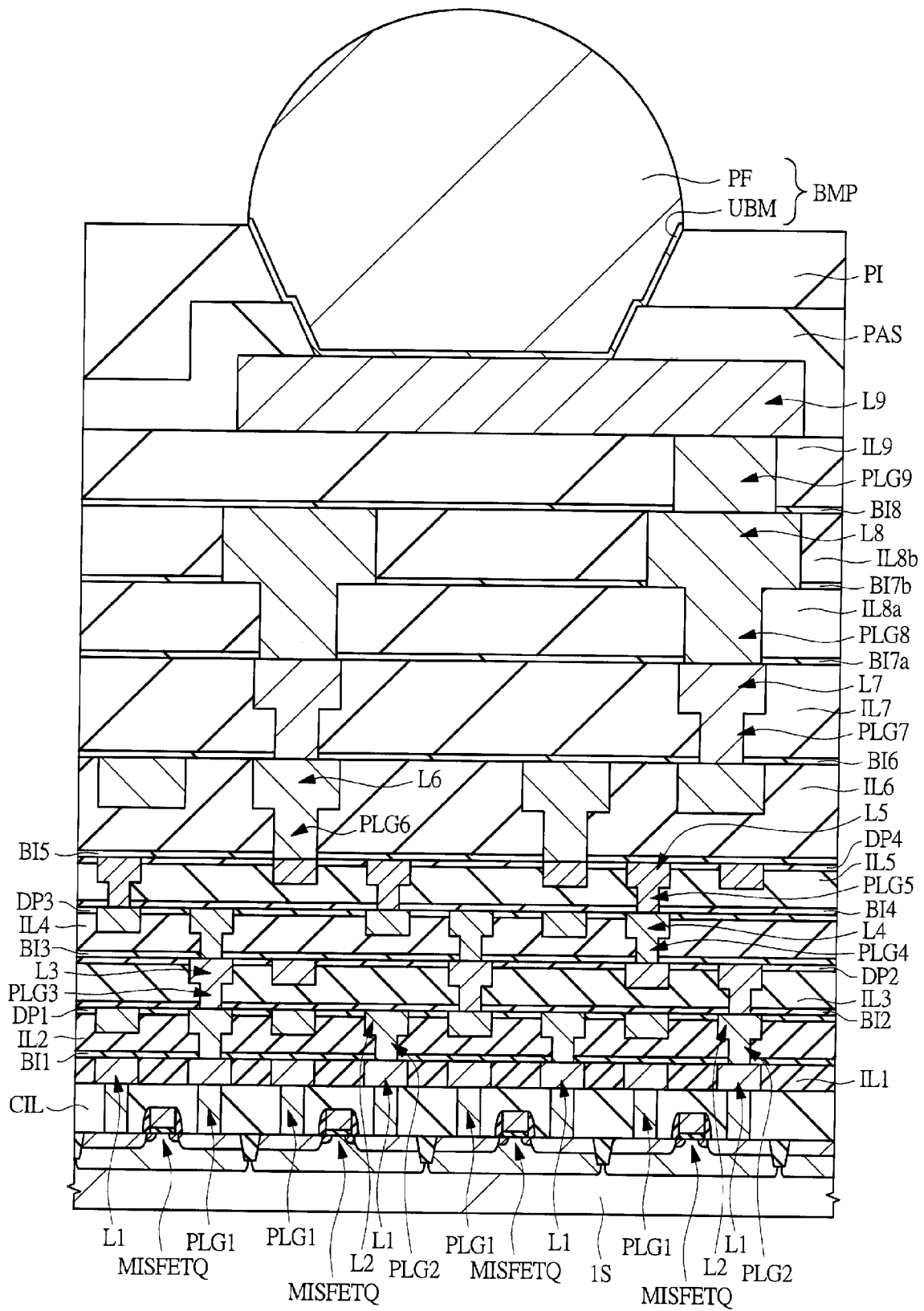
[図53]

図 53



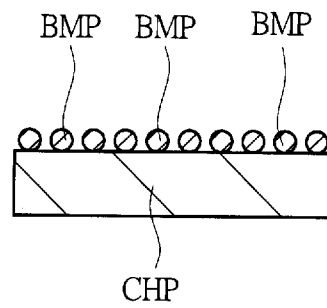
[図54]

図 54



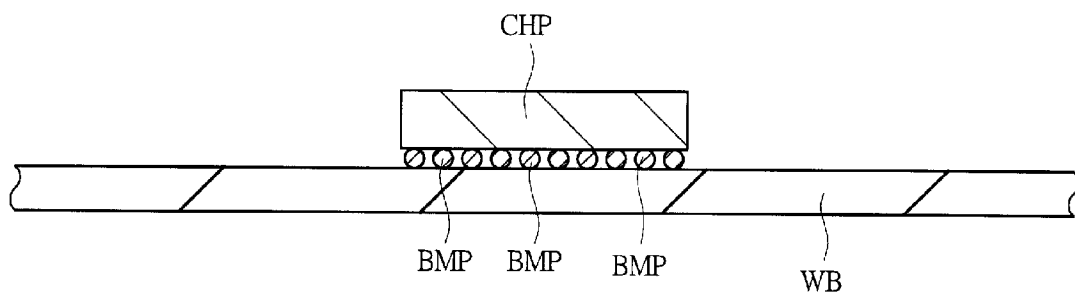
[図55]

図 55



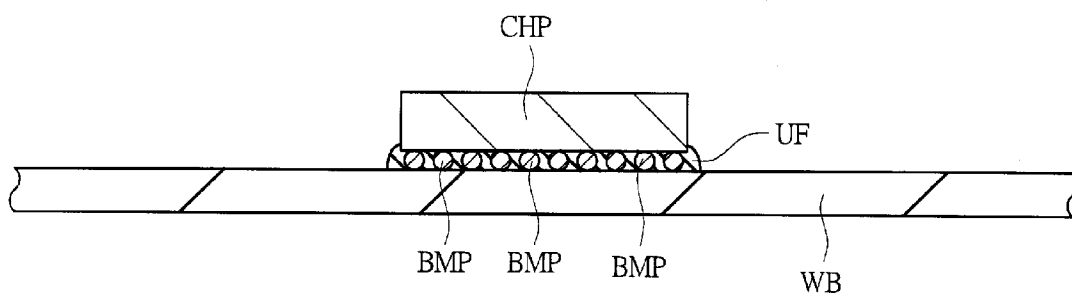
[図56]

図 56



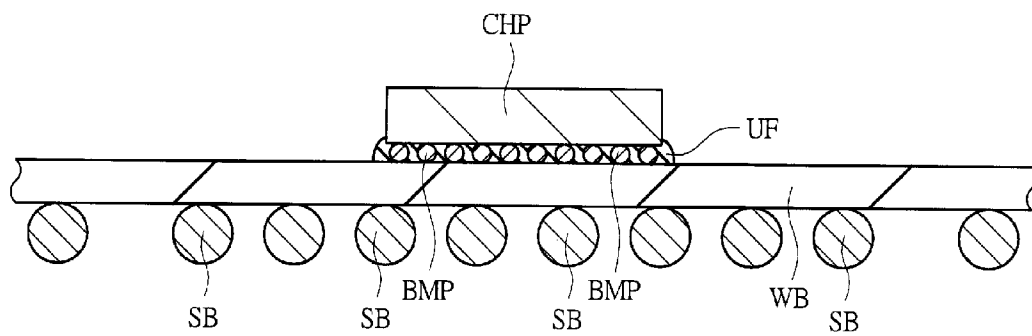
[図57]

図 57



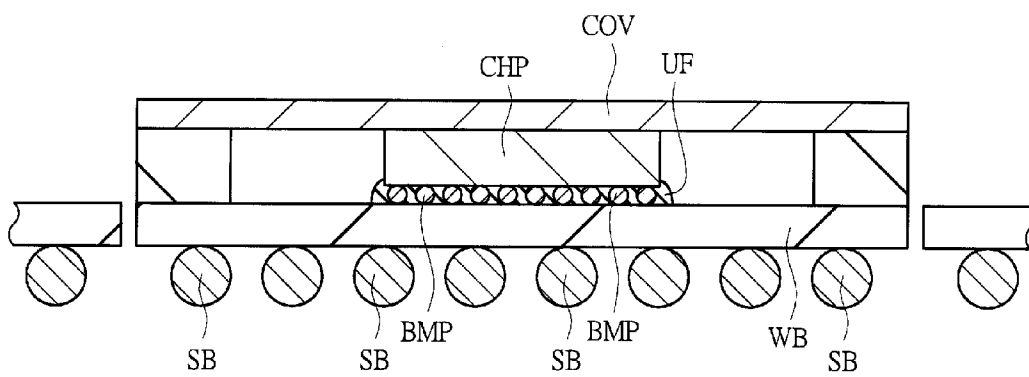
[図58]

図 58



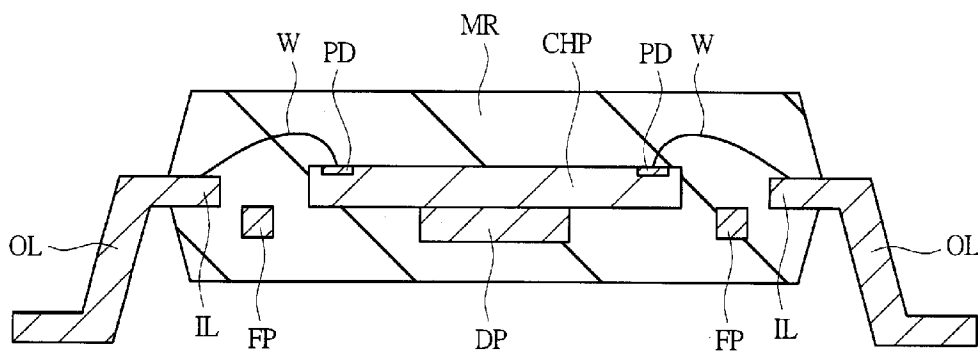
[図59]

図 59



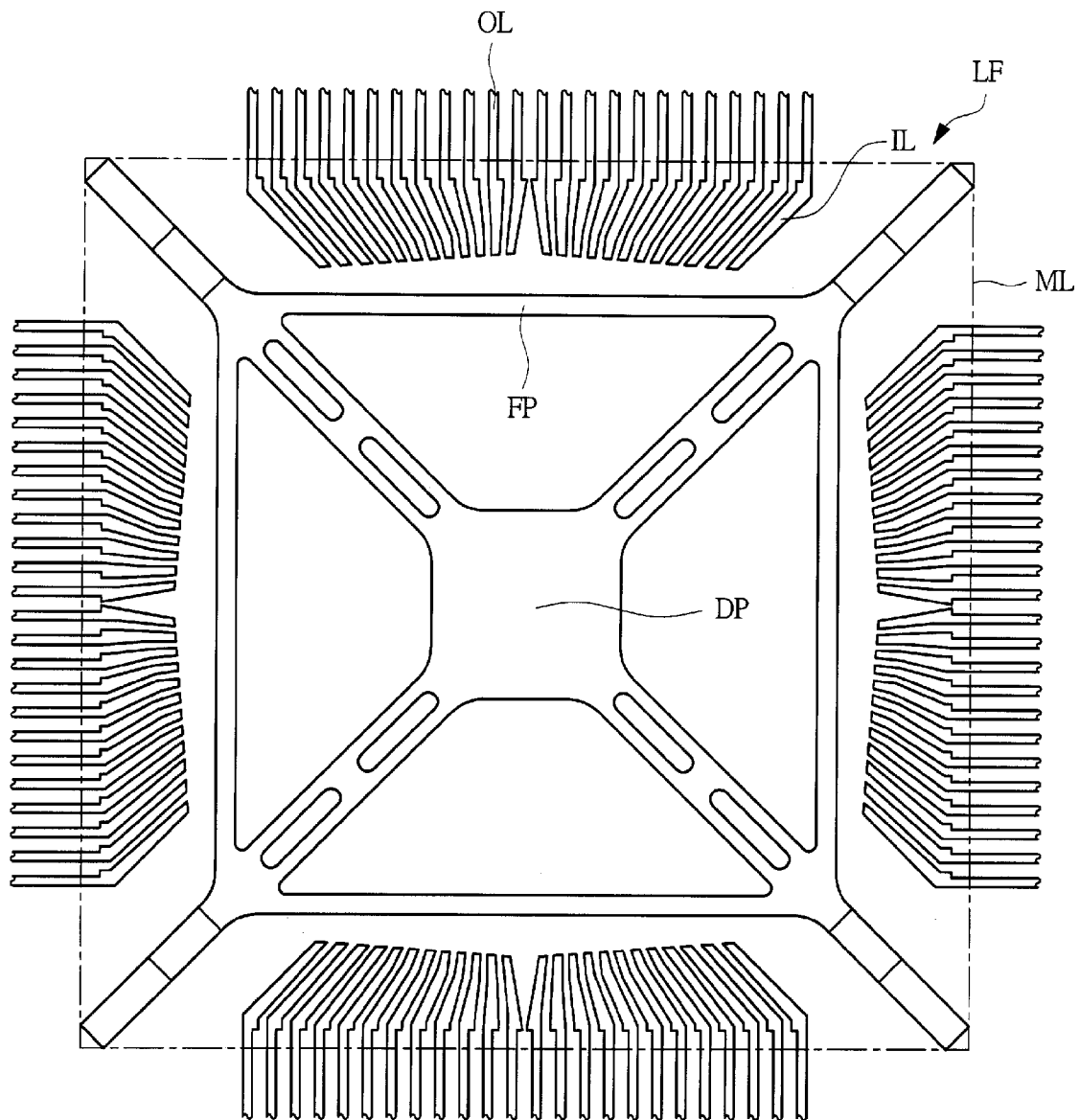
[図60]

図 60



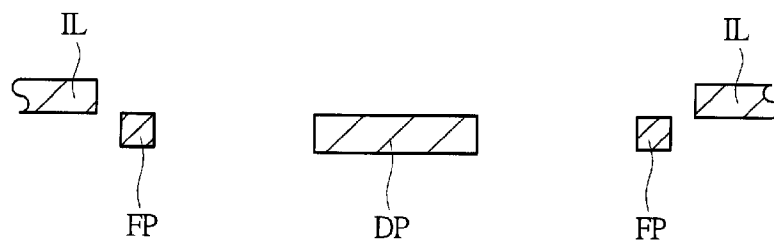
[図61]

図 61



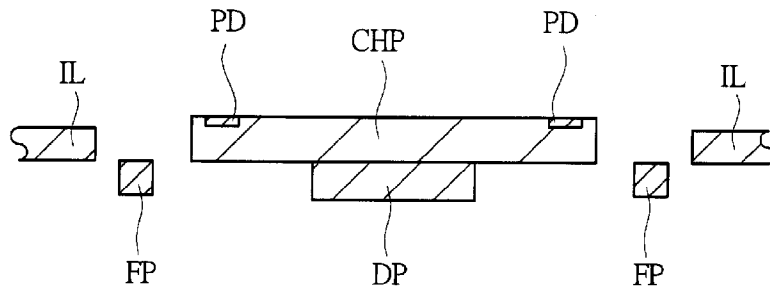
[図62]

図 62



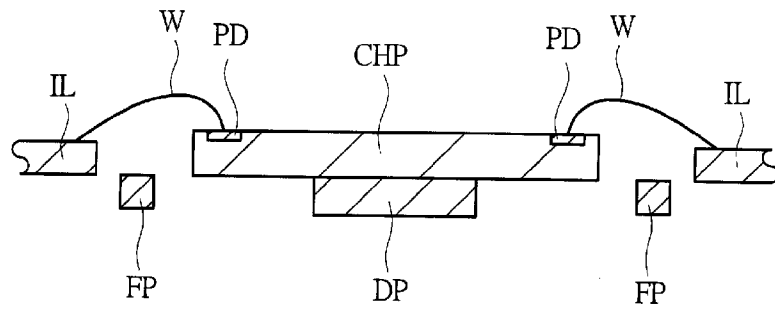
[図63]

図 63



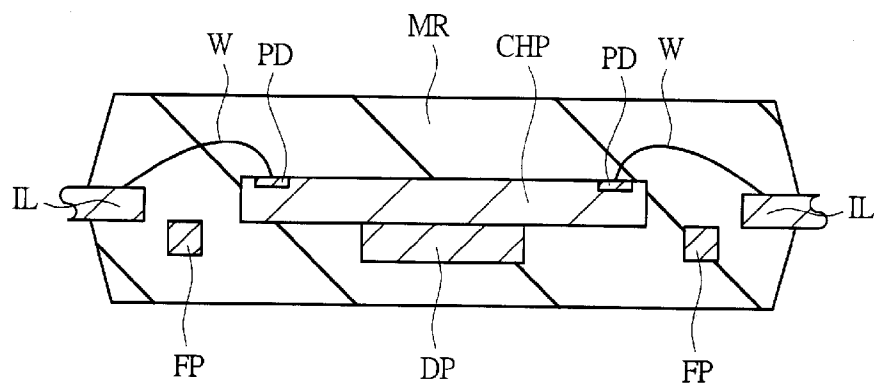
[図64]

図 64



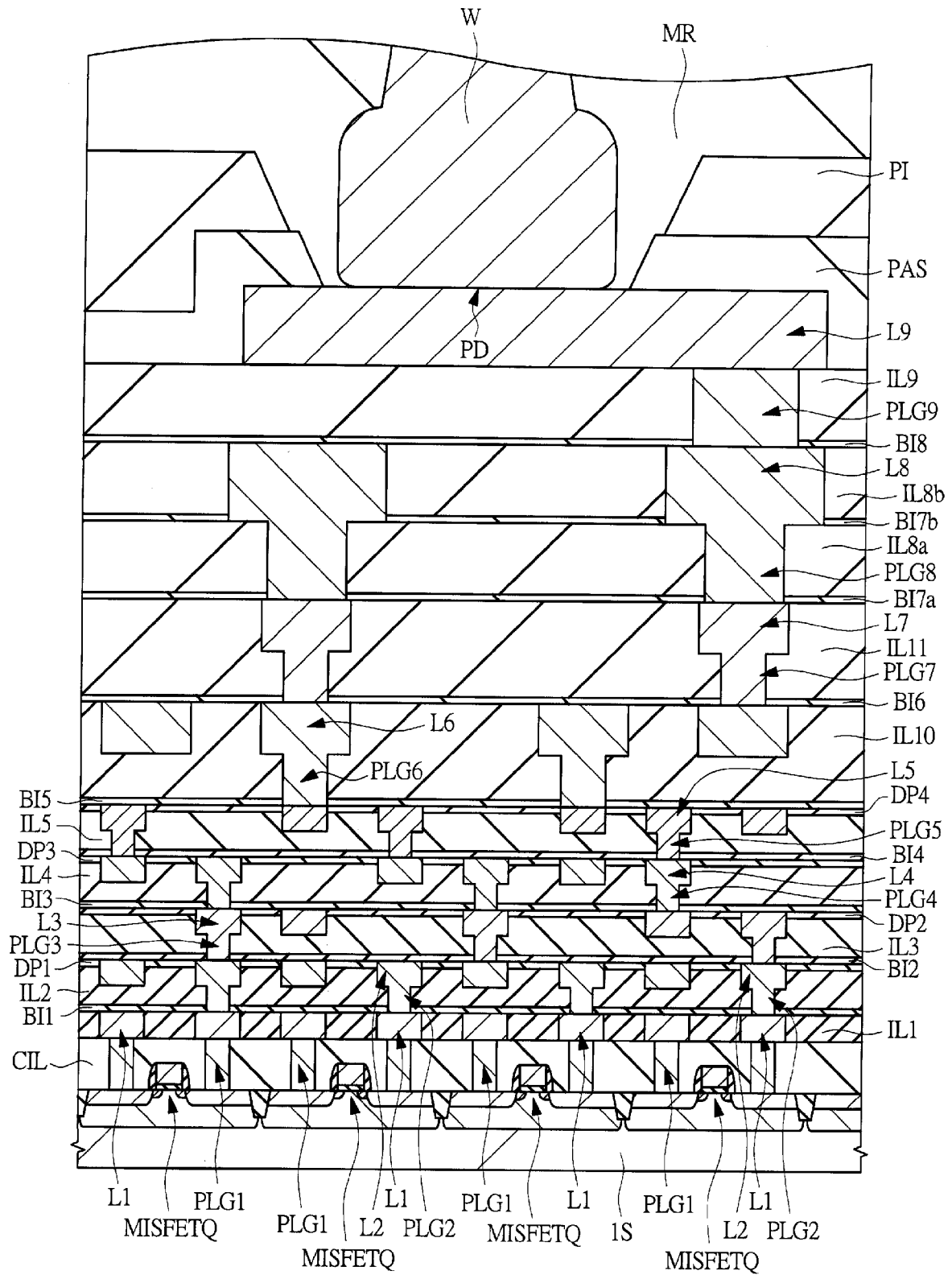
[図65]

図 65



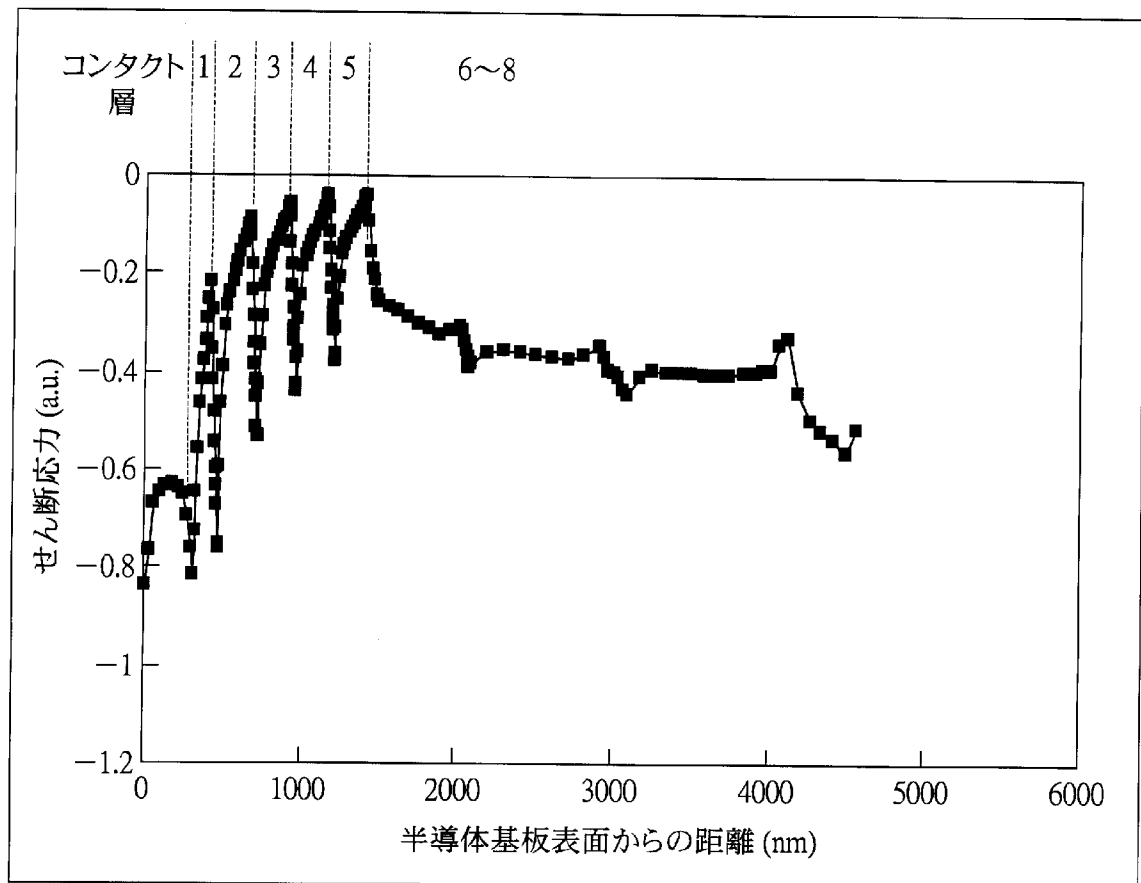
[図66]

図 66



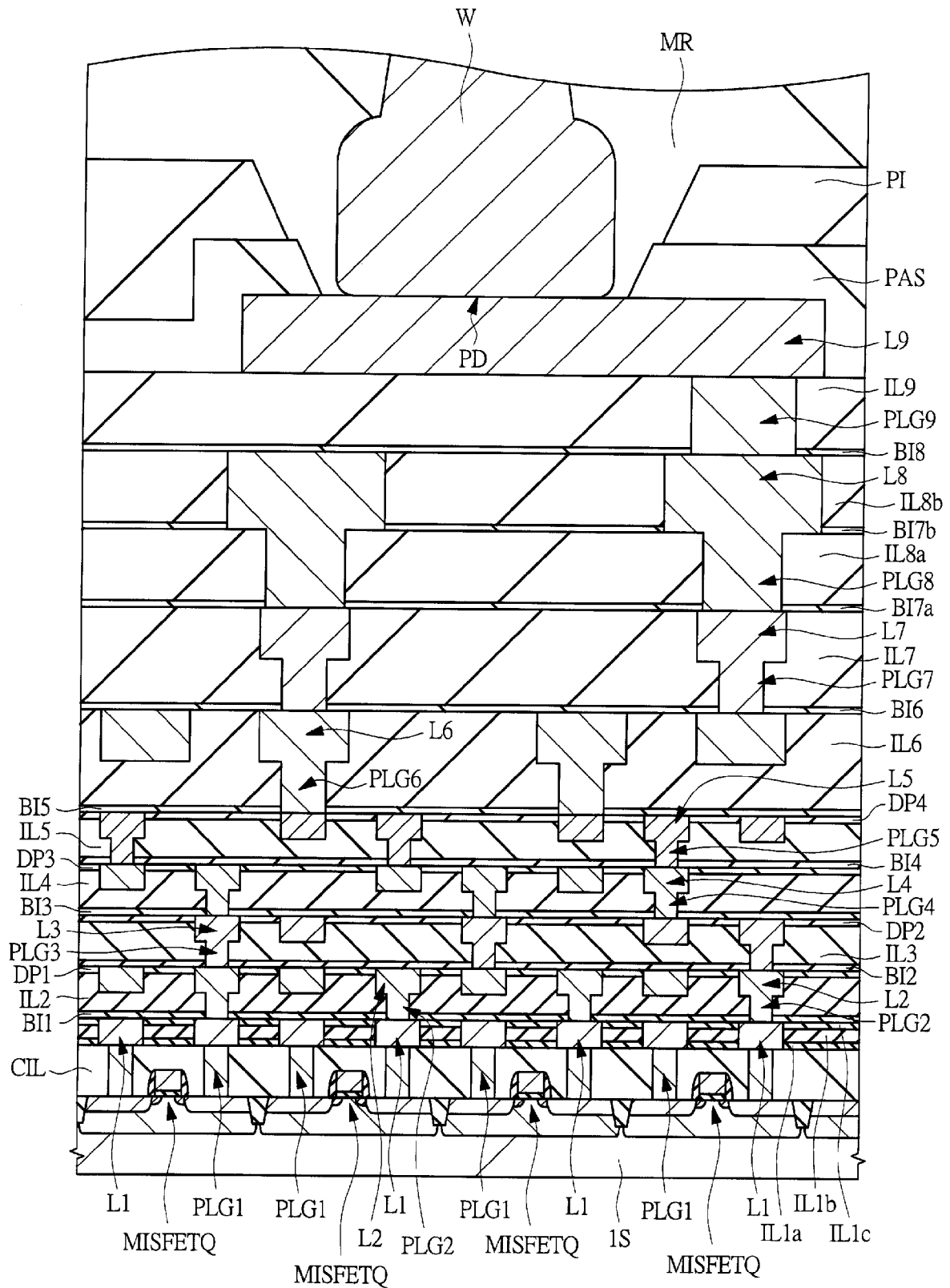
[図67]

図 67



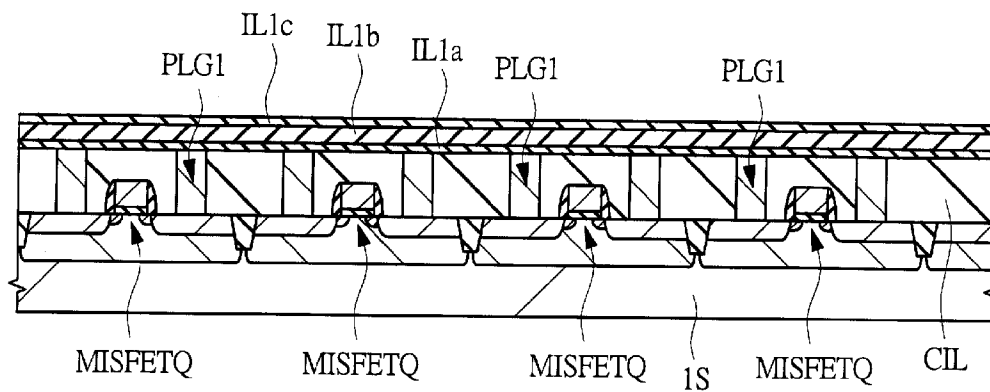
[図68]

図 68



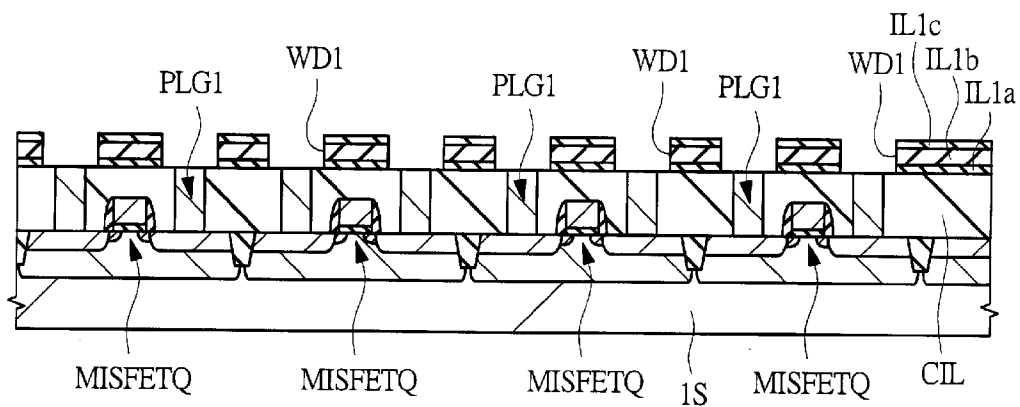
[図69]

図 69



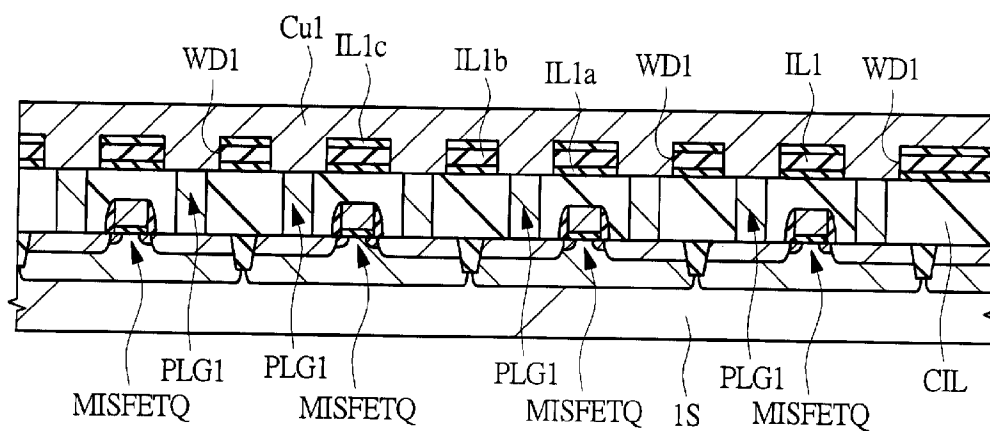
[図70]

図 70



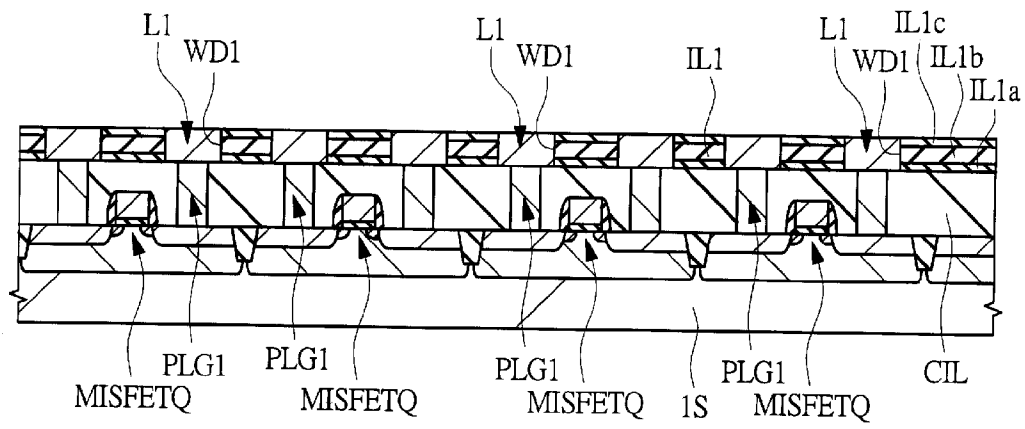
[図71]

図 71



[図72]

図 72



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058510

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L21/314(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L21/314, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-032708 A (Fujitsu Microelectronics Ltd.), 12 February, 2009 (12.02.09), Figs. 1 to 13 & US 2008/0057717 A1 Figs. 1 to 8	1-75
A	JP 2004-282000 A (Fujitsu Ltd.), 07 October, 2004 (07.10.04), Figs. 1 to 13 & US 2004/0164418 A1 Figs. 1 to 12	1-75



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 July, 2009 (23.07.09)

Date of mailing of the international search report
04 August, 2009 (04.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058510

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-338541 A (Fujitsu Ltd.), 28 November, 2003 (28.11.03), Figs. 1 to 4 & US 2003/0214041 A1 Figs. 1 to 4	1-75
A	JP 2005-229086 A (Toshiba Corp.), 25 August, 2005 (25.08.05), Fig. 1 & US 2005/0167842 A1 Fig. 1	1-75
A	JP 2007-266460 A (Rohm Co., Ltd.), 11 October, 2007 (11.10.07), Figs. 1 to 6 & US 2007/0228528 A1 Figs. 1 to 6	1-75

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/768 (2006.01) i, H01L21/314 (2006.01) i, H01L23/522 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/768, H01L21/314, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-032708 A (富士通マイクロエレクトロニクス株式会社) 2009.02.12, 図 1 - 1 3 & US 2008/0057717 A1, Fig.1-8	1-75
A	JP 2004-282000 A (富士通株式会社) 2004.10.07, 図 1 - 1 3 & US 2004/0164418 A1, Fig.1-12	1-75
A	JP 2003-338541 A (富士通株式会社) 2003.11.28, 図 1 - 4 & US 2003/0214041 A1, Fig.1-4	1-75

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 7 . 2 0 0 9

国際調査報告の発送日

0 4 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-229086 A (株式会社東芝) 2005.08.25, 図1 & US 2005/0167842 A1, Fig.1	1-75
A	JP 2007-266460 A (ローム株式会社) 2007.10.11, 図1-6 & US 2007/0228528 A1, Fig.1-6	1-75