



## (12) 发明专利

(10) 授权公告号 CN 1979883 B

(45) 授权公告日 2012.10.31

(21) 申请号 200610161889.7

审查员 方岩

(22) 申请日 2006.12.05

### (30) 优先权数据

2005-351368 2005. 12. 05 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 糸长总一郎

(74) 专利代理机构 北京东方亿思知识产权代理  
有限责任公司 11258

代理人 董方源

(51) Int. Cl.

H01L 27/146 (2006.01)

(56) 对比文件

US 2005064613 A1, 2005. 03. 24, 说明书第 [0021] 段至第 [0066] 段, 图 1-3.

JP 特开 2005-268814 A, 2005. 09. 29, 说明书第 68 段至第 92 段, 图 5-10.

US 2005184322 A1, 2005. 08. 25, 说明书第 [0007] 段至第 [0065] 段, 图 2-10.

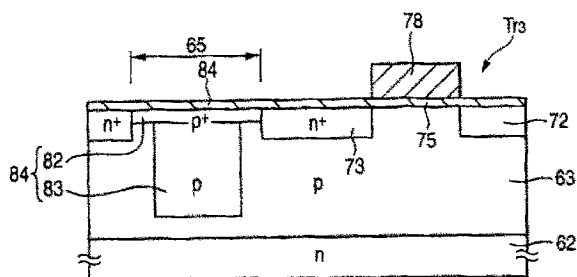
权利要求书 2 页 说明书 11 页 附图 16 页

(54) 发明名称

## 固态成像器件和成像设备

(57) 摘要

本发明公开了一种固态成像器件,其包括像素,该像素包括光电转换部分和转换部分,所述转换部分将由光电转换所产生的电荷转换为像素信号。在固态成像器件中,基本上仅栅绝缘膜被形成在与像素中的至少一个晶体管的栅电极下面的区域相对应的衬底上。



1. 一种固态成像器件,包括:

像素,其包括光电转换部分和转换部分,所述转换部分将由光电转换部分所产生的电荷转换为像素信号,其中

所述像素中的至少一个晶体管的栅电极包括直接形成在沟道区域上方的第一部分和形成在沟道附近处的衬底上的第二部分,

用于注入到所述第一部分/所述第二部分的杂质组合是 p 型/无掺杂、n 型/无掺杂、n 型/p 型和 p 型/n 型中的任意一种,

在所述像素中的元件之间以及所述像素和与其相邻的另一像素之间设置元件隔离区,所述晶体管的栅电极的所述第二部分延伸到所述元件隔离区上,并且在所述晶体管的栅电极下面的所述元件隔离区上仅形成栅绝缘膜,并且

所述元件隔离区包括掺杂浓度不同的第一掺杂区和第二掺杂区。

2. 如权利要求 1 所述的固态成像器件,包括:

在成像区域之外形成的像素驱动元件,在所述成像区域中形成多个所述像素,其中

在所述像素驱动元件与所述成像区域之间的元件隔离区上,在沟道附近处的栅电极下方形成与所述栅绝缘膜分开设的绝缘膜。

3. 如权利要求 1 所述的固态成像器件,其中

所述第一掺杂区被形成在晶体管沟道附近处的栅电极下方,并且

所述第一掺杂区所具有的导电性与所述晶体管的源极区和漏极区的杂质导电性相反。

4. 如权利要求 3 所述的固态成像器件,其中

所述第二掺杂区被形成在所述第一掺杂区中或与所述第一掺杂区相邻处,并且具有与所述第一掺杂区的导电性相同的导电性。

5. 如权利要求 3 所述的固态成像器件,其中

所述第二掺杂区被形成到不包括所述晶体管沟道附近处的所述栅电极下方区域的区域上,并且具有与所述第一掺杂区的导电性相同的导电性,并且

所述第一掺杂区的浓度高于所述第二掺杂区。

6. 如权利要求 3 所述的固态成像器件,其中

所述第二掺杂区被形成到不包括所述晶体管沟道附近处的所述栅电极下方区域的区域上,并且具有与所述第一掺杂区的导电性相同的导电性,并且

所述第一掺杂区和第二掺杂区在一步工艺过程中被形成为一体。

7. 如权利要求 4 所述的固态成像器件,其中

所述第二掺杂区被形成在至少与所述晶体管的漏极区相邻的元件隔离区中。

8. 如权利要求 1 所述的固态成像器件,其中

所述元件隔离区包括从两个将被分开的元件侧被注入了杂质的两个区域。

9. 如权利要求 8 所述的固态成像器件,其中

在与向所述晶体管的源极区和漏极区之间注入用于分离的杂质相同的工艺过程中形成所述两个区域。

10. 如权利要求 1 所述的固态成像器件,其中

在导线和所述栅电极之间建立接触的触点部分被直接形成在所述晶体管的沟道上方。

11. 如权利要求 1 所述的固态成像器件,其中

在导线和所述栅电极之间建立接触的触点部分被形成在延伸到所述晶体管沟道附近处的栅电极上。

12. 一种固态成像器件,包括:

像素,其包括光电转换部分和转换部分,所述转换部分将由光电转换部分所产生的电荷转换为像素信号,其中

所述像素中的至少一个晶体管的栅电极包括直接形成在沟道上方的第一部分和形成在所述沟道附近处的衬底上的第二部分,

用于注入到所述第一部分/所述第二部分的杂质组合是 p 型/无掺杂、n 型/无掺杂、n 型/p 型和 p 型/n 型中的任意一种,

在所述像素中的元件之间以及所述像素和与其相邻的另一像素之间设置元件隔离区,所述晶体管的栅电极的所述第二部分延伸到所述元件隔离区上,并且在所述元件隔离区上形成绝缘膜,该绝缘膜的厚度与所述栅电极下方形成的栅绝缘膜的厚度相同,并且

所述元件隔离区包括掺杂浓度不同的第一掺杂区和第二掺杂区。

13. 如权利要求 12 所述的固态成像器件,其中

在导线和所述栅电极之间建立接触的触点部分被直接形成在所述晶体管的沟道上方。

14. 一种成像设备,包括:

固态成像部件,其包括具有光电转换部分和转换部分的像素,所述转换部分被构造为将由光电转换部分所产生的电荷转换为像素信号,其中所述像素中的至少一个晶体管的栅电极包括直接形成在沟道区域上方的第一部分和形成在沟道附近处的衬底上的第二部分,用于注入到所述第一部分/所述第二部分的杂质组合是 p 型/无掺杂、n 型/无掺杂、n 型/p 型和 p 型/n 型中的任意一种,在所述像素中的元件之间以及所述像素和与其相邻的另一像素之间设置元件隔离区,所述晶体管的栅电极的所述第二部分延伸到所述元件隔离区上,在所述晶体管的栅电极下面的所述元件隔离区上仅形成栅绝缘膜,并且所述元件隔离区包括掺杂浓度不同的第一掺杂区和第二掺杂区;以及

驱动控制部件,该驱动控制部件包括控制部分,该控制部分被构造为控制对包括在所述固态成像部件中的像素中的所述至少一个晶体管的驱动。

## 固态成像器件和成像设备

### 技术领域

[0001] 本发明涉及固态成像器件,更具体地说,涉及其中像素包括将由光电转换所产生的电荷转换为像素信号的转换部分的固态成像器件,例如 CMOS(互补金属氧化物半导体)传感器。通过应用整个 CMOS 过程或部分 CMOS 过程来制造 CMOS 传感器。

[0002] 固态成像器件可以是单芯片元件,也可以由多个芯片构成。

[0003] 背景技术

[0004] 对于 MOS(金属氧化物半导体)器件来说,一般用 LOCOS(硅的局部氧化)隔离来进行元件隔离。近几年,为了应付更小的器件尺寸,STI(浅槽隔离)被越来越普遍地用于元件隔离。

[0005] 在诸如 CMOS 传感器之类的固态成像器件中,STI 也被越来越普遍地用于元件隔离(参考专利文献 1(JP-A-2002-270808))。固态成像器件由像素区和驱动像素区以进行信号处理的外围电路构成。用于外围电路的尺寸缩小技术也被用于像素区。对于任何最近缩小尺寸的固态成像器件中的像素而言,一般也与外围电路类似地用 STI 进行元件隔离。

[0006] 图 24 示出了应用 STI 的以前的固态成像器件的主要部分的横截面结构。在该应用 STI 的固态成像器件 1 中,n 型硅衬底 2 上形成 p 型半导体阱区 3。p 型半导体阱区 3 上形成槽 4,在槽 4 内嵌入二氧化硅膜 5 以形成 STI 区 6。该 STI 区 6 是在像素内和任何两个相邻像素之间施加元件隔离的元件隔离区。利用 STI 区 6,例如两个相邻像素 10A 和 10B 被彼此隔离,并且在像素 10A 和 10B 中,光电二极管 PD 或多个晶体管也被彼此隔离。这里要注意的是像素由用作光电转换部分的光电二极管 PD 和多个晶体管 Tr 构成。

[0007] 光电二极管 PD 是 HAD(霍尔聚积二极管),结构包括所谓的 n 型衬底 2、p 型半导体阱区 3、n 型电荷存储区 7、表面侧的绝缘膜 8 和 p+ 聚积层 9。在多个晶体管中,专门通过形成传输栅电极 13 而构成传输晶体管。在传输栅电极 13 中,栅绝缘膜 12 被设置于光电二极管 PD 的 n 型电荷存储区 7 和用作浮动扩散区(FD)的 n 型漏极区 11 之间。对于 STI 区 6 来说,p+ 区 14 被形成于深嵌入的二氧化硅膜 5、n 型电荷存储区 7 和 p 型半导体阱区 3 之间的界面处。提供 p+ 区 14 是出于防止暗电流(darkcurrent)和白点(white spot)的目的。

[0008] 然而,发现使用上述 STI 作为像素区隔离技术的固态成像器件具有如下两个问题。第一个问题是由于热应力很容易出现晶体缺陷。利用 STI,形成具有到硅衬底的深度的槽 4,并且二氧化硅膜 5 被嵌入在其中从而形成元件隔离区 6。利用这样的结构,确实具有形成小尺寸的元件隔离的优势,然而,深嵌入的二氧化硅膜 5 和硅衬底之间的热膨胀系数的不同会引起热应力。为了改善这一点,做出了某种设计改变,例如 STI 的形状被做成锥形。然而,利用锥形的形状,光电二极管 PD 的面积被减小了,导致饱和信号的量更少,灵敏度更低。

[0009] 第二个问题是设置于槽 4 中的二氧化硅膜 5 和光电二极管 PD 之间用于防止暗电流和白点目的的 p+ 区 14。该 p+ 区 14 需要具有约与二极管 PD 的表面上的 p+ 聚积层 9 相同水平的杂质浓度。然而,就结构而言,使深度方向上的三维都覆盖足够的浓度比较困难。

而且,因为 p<sup>+</sup> 区 14 是在初期形成的,因此 p<sup>+</sup> 区 14 由于热扩散而被扩展到光电二极管 PD 侧。结果,这减小了光电二极管 PD 的面积,从而导致饱和信号量的减少。

## 发明内容

[0010] 本发明的申请人提出了一种固态成像器件以获得对于先前 STI 的改进。图 20 是从上方观看的像素的示意图,图 21 是沿线 A-A 切割的图 20 的像素的横截面视图。如图 20 所示,在该固态成像器件 21 中,像素 22 由光电二极管 PD 和多个晶体管 Tr 构成,在本示例中,晶体管 Tr 由传输晶体管 Tr1、复位晶体管 Tr2 和放大晶体管 Tr3 这三个 MOS 晶体管组成。这里需要注意的是标号 36 表示传输晶体管 Tr1 的栅电极,标号 37 表示复位晶体管 Tr2 的栅电极,标号 38 表示放大晶体管 Tr3 的栅电极。

[0011] 如图 21 所示,像素 22 例如被形成到 p 型半导体阱区 24 上,p 型半导体阱区 24 被形成到 n 型硅半导体衬底 23 上。光电二极管 PD 由 p 型半导体阱区 24 内的 n 型电荷存储区 25 和在其表面上的 p 型聚积层 26 形成。传输晶体管 Tr1 由光电二极管的 PD 的 n 型电荷存储区 25、n 型源极/漏极区(本示例中为漏极区)26 和传输栅电极 36 形成。n 型源极/漏极区 26 用作浮动扩散区(FD),传输栅电极 36 被经由栅绝缘膜 27 形成。类似地,复位晶体管 Tr2 由 p 型半导体阱区 24 内的 n 型源极/漏极区(本示例中为漏极区)26、n 型源极/漏极区(本示例中为源极区)39 和经由栅绝缘膜形成的栅电极 37 形成。类似地,放大晶体管 Tr3 由 p 型半导体阱区 24 内的 n 型源极/漏极区(本示例中为漏极区)39、源极/漏极区(本示例中为源极区)40 和经由栅绝缘膜形成的栅电极 38 形成。元件隔离区 31 由比较浅的 p<sup>+</sup> 区域 32、比较深的 p 区域 33 和形成在衬底上的另一薄氧化膜 34 上的厚氧化膜 35 形成。

[0012] 在本示例中,为了在放大晶体管 Tr3 的栅电极 38 和导线(wiring)之间建立接触,栅电极 38 的延伸部分 38a 被通过延伸到元件隔离区 31 的绝缘膜 35 上而形成。利用该元件隔离区 31,扩散层负责元件隔离,并且元件隔离区的宽度可以被减小但仍然可以防止由晶体缺陷引起白点或暗电流。光电二极管的面积因此可以比较大,并且饱和信号的量可以增加。在元件隔离区 31 的表面上形成厚氧化膜 35,栅电极 38 的延伸部分 38a 被通过延伸到氧化膜 35 上而形成。因此这防止了在像素中由源极区 40 栅电极 38 的延伸部分 38a 和放大晶体管 Tr3 中的浮动扩散区(FD)形成寄生 MOS 晶体管,以便可以保证正常的传感器工作。

[0013] 然而,利用这样的元件隔离区 31,硅衬底在制造的时候可能被损害,尽管被损害得很轻。如图 22A 至图 23E 所示,在半导体衬底的半导体阱区 24 上顺序地形成二氧化硅膜 34 和氮化硅膜 43。在照此形成膜之后,氮化硅膜 43 被通过例如干刻蚀从用于元件隔离的任何目标区域选择性地移除。由于这样的膜移除,形成凹部分 44(参考图 22A)。然而,利用干刻蚀,作为底基(base)的二氧化硅膜 34 也可能被刻蚀一点,半导体阱区 24 也可能受到表面上的损害,即受损部分 45。

[0014] 接下来,使用氮化硅膜 43 作为掩模,p 型杂质 47 被用于离子注入,形成 p<sup>+</sup> 区域 32(参考图 22B)。p 型杂质具有较高的浓度。

[0015] 然后在包括凹部分 44 的氮化硅膜 43 的表面上通过 CVD(化学气相淀积)形成二氧化硅膜 48。这次 p 型杂质 49 被用于离子注入以使得深 p 区域 33 被与 p<sup>+</sup> 区域 32 相邻地

形成（参考图 22C）。

[0016] 然后通过 CVD 将二氧化硅膜 50 嵌入到凹部分 44 内，通过 CMP（化学机械抛光）等将表面弄平（参考图 23D）。

[0017] 二氧化硅膜 48 与其下的氮化硅膜 43 一起被选择性地移除，从而仅在 p+ 区域 32 上形成绝缘层 35。照此，元件隔离区 31 由 p 区域 32、p+ 区域 33 和绝缘层 35 形成（参考图 23E）。

[0018] 在上面的制造过程中，可能在半导体阱区 24 的表面上由图 22A 的刻蚀过程形成受损部分 45，尽管受损程度很轻。受损部分 45 在当前情况下是可以忽略的，然而，如果将被装备在移动式设备例如移动电话中的固态成像器件的分辨率被增大，则受损部分 45 的存在变得不可忽略，并将开始影响特性。在固态成像器件中，像素的晶体管 Tr 的栅电极与导线相连。例如如果存在放大晶体管 Tr3，则栅电极一般被连接到（即与之接触）位于延伸到元件隔离区 31 上的栅电极 38 的延伸部分 38a 处的导线。利用图 21 的元件隔离结构，栅电极 38 的延伸部分 38a 被延伸到元件隔离区 31 的绝缘层 35 上。因此在结构上丧失了表面平坦度，并且结构变得复杂。

[0019] 因此希望提供一种比先前类型具有更好特性的固态成像器件，例如结构更简单，并且更少地观测到白点等。

[0020] 根据本发明的第一实施例，提供了一种包括像素的固态成像器件，所述像素包括光电转换部分和转换部分，所述转换部分将由光电转换所产生的电荷转换为像素信号。在所述固态成像器件中，基本上仅栅绝缘膜被形成在与像素中的至少一个晶体管的栅电极下面的区域相对应的衬底上。

[0021] 对于第一实施例的固态成像器件，基本上仅栅绝缘膜被形成在与晶体管的栅电极下面的区域相对应的衬底上，并且衬底包括沟道区域和元件隔离区。利用这样的结构，延伸到元件隔离区的栅电极也被平坦地形成。也就是说，元件隔离区未被厚绝缘层覆盖。

[0022] 因此，与用任何厚绝缘层进行元件隔离不同，刻蚀没有引起损害，因此防止了暗电流和白点的产生。

[0023] 根据本发明的第二实施例，提供了一种固态成像器件，所述固态成像器件包括：像素，其包括光电转换部分和转换部分，所述转换部分将由光电转换所产生的电荷转换为像素信号。在所述固态成像器件中，像素中的至少一个晶体管的栅电极包括直接形成在沟道上方的第一部分和形成在沟道附近处的衬底上的第二部分，并且用于注入到第一部分 / 第二部分的杂质组合是 p 型 / 无掺杂、n 型 / 无掺杂、n 型 / p 型和 p 型 / n 型中的任意一种。

[0024] 对于第二实施例的固态成像器件，在栅电极的直接位于沟道上方的第一部分和延伸到沟道附近处的衬底上的第二部分之间用于注入的杂质组合被如上设定。利用这样的设定，即使栅电极的直接位于沟道上方的第一部分被施加了任何需要的栅电压，栅电压也不被施加到延伸到沟道附近处的衬底上的第二部分。因此这阻止了寄生 MOS 晶体管的形成。

[0025] 根据本发明的第三实施例，提供了一种包括下列部件的成像设备：固态成像部件，其包括具有光电转换部分和转换部分的像素，所述转换部分被构造为将由光电转换所产生的电荷转换为像素信号，其中基本上仅栅绝缘膜被形成在与像素中的至少一个晶体管的栅电极下面的区域相对应的衬底上；以及驱动控制部件，其包括控制部分，该控制部分被构造为控制对包括在固态成像部件中的像素中的一个晶体管的驱动。

[0026] 根据本发明实施例的固态成像器件,基本上仅栅绝缘膜被形成在与晶体管的栅电极下面的区域相对应的衬底上,并且延伸到衬底(例如元件隔离区)上的栅电极不延伸到形成在元件隔离区上的绝缘膜上。因此可以使表面平坦,并且结构也被相应地简化。

[0027] 更有利的是,例如与用绝缘层进行隔离的情况相比,暗电流和白点的产生被更好地防止,从而改善了所形成的固态成像器件的特性。

## 附图说明

[0028] 图 1 是本发明第一实施例的固态成像器件的平面布置图;

[0029] 图 2A 至图 2C 分别是沿线 A-A、线 B-B 和线 C-C 切割的图 1 的固态成像器件的横截面视图;

[0030] 图 3 是第一实施例中的单位像素的等效电路图;

[0031] 图 4 是本发明第二实施例的固态成像器件的平面布置图;

[0032] 图 5A 至图 5C 分别是沿线 A-A、线 B-B 和线 C-C 切割的图 4 的固态成像器件的横截面视图;

[0033] 图 6A 至图 6C 中的每一个都是栅电极和导线之间的示例性触点部分的平面图;

[0034] 图 7A 和图 7B 分别是晶体管的示例性栅电极的平面图和横截面视图;

[0035] 图 8A 和图 8B 分别是晶体管的另一示例性栅电极的平面图和横截面视图;

[0036] 图 9A 和图 9B 分别是晶体管的另一示例性栅电极的平面图和横截面视图;

[0037] 图 10A 和图 10B 分别是晶体管的另一示例性栅电极的平面图和横截面视图;

[0038] 图 11 是第二实施例的元件隔离区的示例性掺杂区的横截面视图;

[0039] 图 12 是第二实施例的元件隔离区的另一示例性掺杂区的横截面视图;

[0040] 图 13 是示出了第二实施例的用抗反射膜形成的光电二极管上的主要组件的示例性结构的横截面视图;

[0041] 图 14 是用于说明第二实施例的主要组件的平面图;

[0042] 图 15A 至图 15E 都是示出了本发明实施例中的元件隔离区的掺杂区的结构的示意性横截面视图;

[0043] 图 16A 和图 16B 中的每一个都是本发明另一实施例的主要组件的平面图;

[0044] 图 17 是用于说明本发明另一实施例的平面图;

[0045] 图 18 是用于说明本发明另一实施例的横截面视图;

[0046] 图 19A 和图 19B 中的每一个都是本发明另一实施例的主要组件的横截面视图;

[0047] 图 20 是比较示例的固态成像器件的平面布置图;

[0048] 图 21 是沿线 A-A 切割的图 20 的固态成像器件的横截面视图;

[0049] 图 22A 至图 22C 中的每一个都是示出了比较示例的元件隔离区的绝缘层的形成过程的第一过程图;

[0050] 图 23D 和图 23E 中的每一个都是示出了比较示例的元件隔离区的绝缘层的形成过程的第二过程图;

[0051] 图 24 是用了以前 STI 的 CMOS 固态成像器件的主要组件的横截面视图;以及

[0052] 图 25 是应用了本发明的成像部件的成像设备的示意图。

## 具体实施方式

[0053] 下面,通过参考附图来描述本发明的实施例。

[0054] 图 1 至图 2C 示出了本发明第一实施例的固态成像器件。图 1 示出了像素区中的主要组件的平面布图,图 2A、图 2B 和图 2C 分别是沿线 A-A、线 B-B 和线 C-C 切割的图 1 的固态成像器件横截面视图。

[0055] 第一实施例的固态成像器件 61 设有第一导电类型的半导体衬底,例如 n 型硅衬底 62。该 n 型硅衬底 62 上形成有例如是 p 型的第二导电类型的半导体阱区 63。在 p 型半导体阱区 63 上,光电二极管 PD 和由多个晶体管构成的单位像素 64 中的每一种都被规则地二维地多重设置。光电二极管 PD 用作光电转换部分。在任何两个相邻的单位像素 64 之间或者在每个单位像素 64 中,形成元件隔离区 65。根据本发明,元件隔离区 65 用作元件隔离装置。

[0056] 光电二极管 PD 形成 HAD(霍尔聚积二极管)传感器,其包括第二导电类型的 p 型半导体区,即 p+ 聚积层 68,还包括第一导电类型的 n 型电荷存储区 69。p+ 聚积层 68 被形成在硅衬底的表面和绝缘膜 67 之间的界面处。n 型电荷存储区 69 被形成在 p+ 聚积层 68 下,并且将由于光电转换而产生的信号电荷存储在当中。

[0057] 构成像素 64 的晶体管的数目可以变化,在本示例中,使用三个 MOS 晶体管,即传输晶体管 Tr1,复位晶体管 Tr2 和放大晶体管 Tr3。传输晶体管 Tr1 由光电二极管 PD 的电荷存储区 69、n 型(即第一导电类型)的源极/漏极区(本示例中是漏极区)71 和传输栅电极 76 形成。n 型源极/漏极区 71 用作浮动扩散区(FD),传输栅电极 76 经由栅绝缘膜 75 而形成。复位晶体管 Tr2 由一对 n 型源极/漏极区(本示例中是源极区)71、n 型源极/漏极区(本示例中是漏极区)72 和复位栅电极 77 形成,其中复位栅电极 77 经由栅绝缘膜 75 而形成。放大晶体管 Tr3 由一对 n 型源极/漏极区(本示例中是漏极区)72、n 型源极/漏极区(本示例中是源极区)73 和放大栅电极 78 形成,其中放大栅电极 78 经由栅绝缘膜 75 而形成。

[0058] 图 3 示出了单位像素 64 的等效电路。光电二极管 PD 的阴极(n 区)被经由传输晶体管 Tr1 连接到放大晶体管 Tr3 的栅极。电连接到放大晶体管 Tr3 栅极的节点被称为浮动扩散区(FD)。传输晶体管 Tr1 被连接在光电二极管 PD 和 FURD(FD)之间。传输晶体管 Tr1 在其栅极被经由传输线 101 提供了传输脉冲  $\phi_{TRG}$  时导通,并且将由于光电二极管 PD 的光电转换而产生的信号电荷传输到浮动扩散区(FD)。

[0059] 在复位晶体管 Tr2 中,漏极被连接到像素电源 Vdd1,源极被连接到浮动扩散区(FD)。复位晶体管 Tr2 在其栅极被经由复位线 102 提供了复位脉冲  $\phi_{RST}$  时导通,并且通过去除浮动扩散区(FD)的电荷而将浮动扩散区(FD)复位到像素电源 Vdd1。在将信号电荷从光电二极管 PD 传输到浮动扩散区(FD)之前进行这样的复位。

[0060] 在放大晶体管 Tr3 中,栅极被连接到浮动扩散区(FD),漏极被连接到像素电源 Vdd2,源极被连接到垂直信号线 103。放大晶体管 Tr3 将浮动扩散区(FD)的电位作为复位电平传送给垂直信号线 103。将被传送的电位是在浮动扩散区被复位晶体管 Tr2 复位之后的电位。放大晶体管 Tr3 还将浮动扩散区(FD)的电位作为信号电平传送给垂直信号线 103。将被传送的电位是在信号电荷被传输晶体管 Tr1 传输之后的电位。

[0061] 当像素被驱动时,像素电源 Vdd1 受到影响并被在高电平和低电平之间切换,并且



放大晶体管 Tr3 的漏极改变。

[0062] 在本实施例中,元件隔离区 65 是通过在 p 型半导体阱区 63 中形成 p 型半导体区域 81 而构成的。p 型半导体区域 81 的导电类型与晶体管的 n 型源极 / 漏极区 71 至 73 的第一导电类型相反。在本实施例中,p 型半导体区域 81 由 p+ 半导体区域 82 和 p 半导体区域 83 形成。p+ 半导体区域 82 是高浓度的,其在半导体阱区 63 的表面侧形成并具有比较浅的深度。p 半导体区域 83 是接续于 p+ 半导体区域 82 而形成的,并具有用于元件隔离的深度。在 p 半导体区域 81 的元件隔离区 (即硅衬底) 上形成厚度与栅绝缘膜厚度相似的绝缘膜 84。元件隔离区 65 上的绝缘膜 84 基本上是由晶体管的栅绝缘膜 75 形成的。在元件隔离区 65 上仅形成等同于栅绝缘膜 75 的绝缘膜 84。在栅电极被移除后,衬底的表面仅在其上载有栅绝缘膜,以使得表面被整个弄平,包括晶体管的有源区和元件隔离区也被弄平。

[0063] 构成元件隔离区 65 的掺杂区 81 可以采用图 15A 中的示例的结构 (即包括 p+ 掺杂区 82 和宽度窄于区域 82 的 p 掺杂区 83)、图 15B 中的示例的结构 (即包括 p+ 掺杂区 82 和共用相同宽度的 p 掺杂区 83) 或者图 15C 中的结构 (即仅包括 p 掺杂区 83)。构成元件隔离区 65 的掺杂区 81 可以采用图 15D 中的示例的结构或图 15E 中的示例的结构。元件隔离区 65 的掺杂区 81 的结构可类似地应用于将在稍后描述的其他实施例。

[0064] 晶体管 Tr1、Tr2 和 Tr3 的栅电极 76、77 和 78 中的每一个都分别包括第一部分 91 和第二部分 92。第一部分 91 相应于沟道区域,该沟道区域是有源区,第二部分 92 延伸到沟道区域附近的衬底上,即延伸到图 1 至图 2C 中的元件隔离区 65 上。照此,在栅电极下的衬底上仅形成栅绝缘膜。在附图的示例中,元件隔离区 65 的栅电极 [76 至 78] 的下面部分中的每一个都由等同于栅绝缘膜的绝缘膜形成。在第一实施例中,第二部分 92 可以从栅电极突出一点,但需要像稍后描述的那样来突出。

[0065] 如图 6A 所示,在第一实施例中,直接在沟道区域上形成使栅电极 [76 和 77] 与导线 [101 和 102] (参考图 3) 接触的触点部分 (contact section) 88。如果是在固态成像器件中,则组件基本上是模拟的,所述组件即放大晶体管、复位晶体管和传输晶体管。因此,与外围电路 (即所谓的逻辑电路) 的其他晶体管相比,上述组件的栅电极的宽度更宽,从而允许直接在沟道上与栅电极接触。如图 6B 所示,使栅电极 [76 和 77] 与导线 [101 和 102] 接触的触点部分 88 可以在突出到元件隔离区 65 的栅电极上形成。

[0066] 直接在沟道区域上形成触点部分 88 以使栅电极 [76 和 77] 与导线 [101 和 102] 接触,就不再需要用于在沟道外 (例如在元件隔离区 65 上) 形成触点部分的栅电极的面积。因此,光电二极管 PD 或其他元件的面积可以更大,栅电极的布图设计变得更简单。而且,栅电极的第二部分 92 不需要突出那么多,从而防止该部分用作寄生 MOS 晶体管。

[0067] 在栅电极 [76 至 78] 中,第一部分 91 和第二部分 92 由不同的材料构成。也就是说,栅电极由多晶硅或无定形硅构成,在本示例中也就是多晶硅,并且在第一部分 91 和第二部分 92 之间改变杂质注入。图 7A 至图 10B 示出了各种类型的示例。在这些图中,参考字符 S 表示源极区,参考字符 D 表示漏极区,参考数字 65 表示元件隔离区。

[0068] 例如,如图 7A 和图 7B 所示,栅电极 [76 至 78] 的第一部分 91 由具有 n 型杂质注入的多晶硅形成,第二部分 92 由具有 p 型杂质注入的多晶硅形成,即第一部分是 n 型的,第二部分是 p 型的。

[0069] 或者,如图 8A 和图 8B 所示,第一部分 91 由具有 p 型杂质注入的多晶硅形成,第二

部分 92 由具有 n 型杂质注入的多晶硅形成,即第一部分是 p 型的,第二部分是 n 型的。

[0070] 或者,如图 9A 和图 9B 所示,第一部分 91 由具有 n 型杂质注入的多晶硅形成,第二部分 92 由无掺杂的多晶硅形成,即第一部分是 n 型的,第二部分是无掺杂的。

[0071] 或者,如图 10A 和图 10B 所示,第一部分 91 由具有 p 型杂质注入的多晶硅形成,第二部分 92 由无掺杂的多晶硅形成,即第一部分是 p 型的,第二部分是无掺杂的。

[0072] 利用栅电极 [76 至 78] 中这样的杂质分布,在图 7A 至图 10B 的任何一种结构中,当通过向直接形成在沟道上方的第一部分 91 施加预定的栅电压来驱动晶体管时,没有栅电压被施加到延伸至沟道附近部分(例如元件隔离区 65)的第二部分 92 上。也就是说,在图 7A 至图 8B 的示例中,因为 pn 结被形成在第一部分 91 和第二部分 92 之间的边界处,所以即使第一部分 91 被施加了栅电压,也没有栅电压被施加到第二部分 92 上。在图 9A 至图 10B 中,第二部分 92 由无掺杂的多晶硅形成,因此电阻很高,基本上用作绝缘体。因此,即使第一部分 91 被施加了栅电压,也没有栅电压被施加到第二部分上。因此这防止了寄生 MOS 晶体管的形成,其中第二部分 92 用作寄生栅。利用这样的结构,可以防止电荷从沟道到其周围部分(即元件隔离区)的泄漏,并且可以减小栅电极 [76 至 78] 和元件隔离区 65 之间的绝缘膜的高度。该绝缘膜可以仅由栅绝缘膜形成。

[0073] 第一部分 91 和第二部分 92 被示例性地如下形成。也就是说,用 CVD 沉积多晶硅膜,以图案化成栅电极的图案。至于多晶硅膜,对第一部分 91 和第二部分 92 全部进行 n 型杂质的离子注入,然后对第二部分 92 和元件隔离区选择性地离子注入,这次是 p 型杂质的离子注入。该 p 型杂质的浓度可以抵消 n 型杂质的浓度。或者,可以对多晶硅膜全部进行 p 型杂质的离子注入,然后可以对第二部分 92 和元件隔离区选择性地离子注入,这次是 n 型杂质的离子注入。结果,第一部分 91 变得可导电,第二部分 92 被形成高阻区。如果 n 型杂质和 p 型杂质是相同水平的,则杂质相互抵消,从而形成无掺杂区域。

[0074] 这时,栅电极必须被延伸到元件隔离区上,即使只延伸一点。如图 14 的示例所示,这里考虑的是具有图案化位移的情况,即用作栅电极的多晶硅膜 121 被形成得比一对 n 型源极区 122 和漏极区 123 的末端部分更靠内。在这种情况下,利用 p 型杂质的离子注入, p 型区域 124 在一对源极区 122 和漏极区 123 之间引起短路,藉此晶体管未进入工作状态。考虑到这一问题,栅电极的多晶硅膜 121 被优选地形成得突出到元件隔离区 65 上,即使只突出一点。

[0075] 要注意的是元件隔离区上栅电极的突出部分长度可以采用这样的值:在 p 型杂质的离子注入之后和在各种类型的热处理之后,允许至少在一对源极/漏极区之间的电流泄漏的量。最近的研究显示,即使观测到在源极区 122 和漏极区 123 之间稍微有泄漏电流流过元件隔离区的栅电极下面的部分,对于固态成像器件也是可忽略的。也就是说,固态成像器件在列信号处理电路中设有相关双采样电路(CDS 电路),并且输出一像素信号,该像素信号的形式是复位信号和信号电荷的信号之间的差。因此,即使有微弱的泄漏电流,该泄漏电流也被通过相减而抵消,因此不会引起任何影响。

[0076] 在形成第一部分 91 和第二部分 92 的上述示例中, p 型杂质被用于形成栅电极的第一部分和第二部分之间的边界。如果对栅电极的第一部分进行用于形成源极/漏极区的高浓度 n 型杂质的离子注入,则栅电极的第一部分的 n 浓度被增加到更高的程度。照此,即使在使用 p 型杂质形成边界时观测到一些掩模位移, n 型杂质到源极/漏极区的离子注入也

使得能够准确地确定沟道宽度。

[0077] 作为形成第一部分 91 和第二部分 92 的另一示例,形成无掺杂的多晶硅膜以图案化为栅电极的图案。然后进行 n 型杂质的离子注入以与源极 / 漏极区同时形成栅电极的第一部分。利用该方法,不必使用 p 型杂质形成第一部分和第二部分之间的边界。

[0078] 如图 16A 所示,可以对晶体管 Tr 栅电极 78 的沟道附近的部分 81A,即元件隔离区(由虚线所标出的阴影区域)进行 p 型杂质的离子注入以形成高阈值区。这里的目的是不使晶体管进入工作状态。如图 16B 所示,栅电极 78 的沟道附近的部分(元件隔离区)81A 可以被构造为具有不同于部分 81B 的杂质浓度,即部分 81A 具有比部分 81B 更高的浓度,所述部分 81B 是与源极 S 和漏极 D 相邻的部分(元件隔离部分)。

[0079] 如图 17 所示,现在考虑的是形成与晶体管 Tr 栅电极 78 下面的沟道相邻的元件隔离区 65 的掺杂区 81 的情况。在形成这样的区域时,元件隔离区 65 的掺杂区 81 有时可能由于掩模位移而在远离沟道区域处形成,即所谓的偏移(offset)。即使就是这种情况,那么当晶体管 Tr 被关断时,负电压被施加到栅电极 78 上以使得可以防止在偏移部分 210 中出现泄漏电流。

[0080] 如图 11 所示,构成元件隔离区 65 的第二导电类型的掺杂区(本示例中是 p 型掺杂区)可以由第一 p 型掺杂区 811 和第二 p 型掺杂区 812 形成。第二 p 型掺杂区 812 在第一 p 型掺杂区 811 之内或在与第一 p 型掺杂区 811 相邻处形成,并且具有比第一 p 型掺杂区 811 更高的浓度。为了形成第二 p 型掺杂区 812,首先形成 p 型掺杂区 811,然后在这样形成的第一 p 型掺杂区 811 上形成抗蚀剂掩模(resist mask)85。随后将进行 p 型杂质 86 的成角度的离子注入。

[0081] 照此,不仅有第一 p 型掺杂区 81,还具有第二 p 型掺杂区 812,进行元件隔离可以具有更高的可靠性。

[0082] 如图 12 所示,可以通过对至少与晶体管的漏极区相邻的元件隔离区 65(即第一 p 型掺杂区 811)的成角度的离子注入,来形成第二 p 型掺杂区 812。第二 p 型掺杂区 812 尤其使对漏极电平变化的漏极区的元件隔离被可靠地进行。作为示例,优选的是将第二 p 型掺杂区 812 形成到与复位晶体管 Tr2 的漏极区 71 相邻的元件隔离区 65 上。这是因为复位晶体管 Tr2 的漏极区 71 被施加了作为高电平和低电平的电源电压 Vdd1。

[0083] 在图 11 的示例中,不一定设置第一 p 型掺杂区 811。在第一 p 型掺杂区 811 被设置和未被设置的任何一种情况中,都可以形成第二 p 型掺杂区 812 以围绕包括底部部分在内的 n 型区域 801。

[0084] 图 12 的示例类似,可以形成第二 p 型掺杂区 812 以围绕包括它们底部部分在内的源极区 72 和漏极区 71。

[0085] 如图 13 所示,光电二极管 PD 优选地由薄二氧化硅膜 89(在图中示例中是栅绝缘膜)和其上的抗反射膜(例如氮化硅膜 90)构成。优选的是形成的氮化硅膜 90 很薄以得到对蓝色的更好的灵敏度,厚度可以是 1nm 至 10nm,例如 5nm。该抗反射膜允许光高效地进入光电二极管 PD。

[0086] 根据第一实施例的固态成像器件 61,像素 64 中的晶体管 Tr1、Tr2 和 Tr3 中任意的至少一个晶体管的栅电极下面的元件隔离区上仅形成具有与栅绝缘膜 75 相同厚度的绝缘膜 84,即基本上是栅绝缘膜。在这样的结构中,不像先前的 STI 结构那样嵌入绝缘层,因

此不会由由于选择性的刻蚀所产生的任何缺陷而引起暗电流。

[0087] 利用先前提出的扩散层隔离区,厚绝缘层被形成在表面上。因此,如果栅电极被形成得延伸到所产生的元件隔离区上,则存在这样的可能性:被用于形成栅电极的多晶硅材料可能被留在厚绝缘层的部分上。此外,结构将变得复杂以应付更小的器件尺寸,例如栅电极被形成在绝缘层上。另一方面,在该实施例中,基本上相同的栅绝缘膜也覆盖元件隔离区。因此,即使在栅电极被形成之后也没有在绝缘层上留下多晶硅材料,并且栅电极被平坦地形成。因此这在尺寸减小的过程中并没有使表面结构变得复杂,而是简化了表面结构。

[0088] 元件隔离区 65 由 p 型掺杂区 81 形成,p 型掺杂区 81 的导电类型与晶体管的源极/漏极区的导电类型相反。因此这必定有助于防止到相邻像素的电荷泄漏,即使在元件隔离区 65 上仅形成栅绝缘膜的情况下也是如此。更有利的是,p 型掺杂区上的元件隔离不会像 STI 或涉及厚绝缘膜的元件隔离那样产生刻蚀损害,从而防止暗电流和白点的产生。元件隔离区 65 的表面浓度很高,因此即使栅电极被延伸到元件隔离区 65 上,实际的寄生 MOS 晶体管的形成也被防止了。

[0089] 至少在晶体管的沟道区域附近(即元件隔离区)形成 p 型掺杂区 81。利用这样的结构,当晶体管栅电极的电位被改变时,没有电流在沟道区域的附近流动。

[0090] 如图 7A 至图 10B 所示,在栅电极(76、77 和 78)中,可以利用 n 型/p 型、p 型/n 型、n 型/无掺杂或 p 型/无掺杂的杂质组合(即第一部分/第二部分的杂质分布)来进行到直接在沟道上方的第一部分 91 和在沟道附近处的部分(即在元件隔离区 65 上的第二部分 92)的离子注入。这有利地实现了即使晶体管被驱动,栅电压也不被施加到元件隔离区 65,并且防止从沟道区域到元件隔离区的电荷泄漏。这也减小了栅极和衬底之间(即栅极和元件隔离区之间)的绝缘膜的高度,并且使得该绝缘膜与栅绝缘膜具有相同的厚度。

[0091] 如图 11 所示,作为构成元件隔离区 65 的 p 型掺杂区 81,除了第一 p 型掺杂区 811 之外,第二 p 型掺杂区 812 被形成在第一 p 型掺杂区 811 之内或在与第一 p 型掺杂区 811 相邻处。这样的第二 p 型掺杂区 812 有助于进行更可靠的元件隔离。

[0092] 如图 12 所示,第二 p 型掺杂区 812 被形成到至少与晶体管相邻(本示例中即与复位晶体管 Tr2 的漏极区 71 相邻)的元件隔离区 65 上。利用这样的结构,可以可靠地对漏极区进行隔离,其中漏极电压(即电源电压 Vdd1)的电平变化。

[0093] 如图 6A 所示,直接在沟道区域上方形成使晶体管的栅电极与导线接触的触点部分 88。利用这样的结构,不再需要用于在沟道区域外形成接触部分的栅电极延伸部分区域。因此,光电二极管 PD 的光接收区域可以被增加,因此可以实现灵敏度的增加。

[0094] 图 4 至图 5C 示出了本发明实施例的固态成像器件的第二实施例。图 4 是像素区主要组件的平面布置图,图 5A 至图 5C 分别是沿线 A-A、线 B-B 和线 C-C 切割的图 4 的固态成像器件的横截面视图。

[0095] 第二实施例的固态成像器件 94 除了晶体管 Tr1、Tr2 和 Tr3 的栅电极 76、77 和 78 具有不同的平面布置的图案之外,与第一实施例中的固态成像器件类似。

[0096] 在第二实施例的固态成像器件 94 中,晶体管 Tr1、Tr2 和 Tr3 的栅电极 76、77 和 78 中的每一个都从直接在沟道区域上方处部分地延伸到元件隔离区 65 上。栅电极 76、77 和 78 的所述部分(即延伸部分 76a、77a 和 78a)形成触点部分 88,所述触点部分 88 在栅电极和导线之间建立接触。在本示例中,对栅电极[76 至 78]和它们的延伸部分[76a 至 78a]进

行相同导电类型的杂质注入,从而由一片导电膜形成。图 6C 示出了例如在放大晶体管 Tr3 的栅电极 78 和导线之间建立接触的触点部分 88。

[0097] 剩下的结构与第一实施例的结构类似,因此不再进行描述。

[0098] 如图 6B 所示,在第二实施例的固态成像器件 94 中,栅电极和导线之间的触点部分 88 被形成到栅电极 78 的延伸部分 78a 上,栅电极 78 的延伸部分 78a 是在沟道区域附近处(即元件隔离区 65)的栅电极上的延伸部分。即使在形成触点部分 88 的时候发生任何损害,照此形成的触点部分也不会影响沟道区域。当在形成触点部分的时候存在任何引起对衬底的损害的可能性时,如果沟道区域在接触建立之前被移除,则可以保护沟道区域不受损害。

[0099] 与第一实施例中类似,其他的作用包括结构的简化、白点和暗电流的抑制、防止形成寄生 MOS 晶体管、更可靠的元件隔离等等。

[0100] 如图 21 所示,在包括元件隔离区上的厚绝缘膜的结构中,栅电极被形成在绝缘膜上。利用这样的结构,当器件的尺寸被减小时,可能没有足够的空间来建立与栅电极的元件隔离区相对应的延伸部分的接触。然而在第二实施例中,元件隔离区的栅电极下仅形成栅绝缘膜,并且栅电极的延伸部分被平坦地形成。照此,即使器件的尺寸被减小,该延伸部分也有助于容易地建立这样的接触。

[0101] 在图 5 中,需要注意的是在元件隔离区 65 中可以不必提供 p 半导体区域 83。如果要提供 p 半导体区域 83,则可以用不允许穿通的水平的浓度来形成 p 型区域。此时的 p 型杂质通过与 p 型半导体阱区 63 分开的离子注入来控制。这也可以应用于图 3 的结构。

[0102] 在上述实施例中,作为本发明的另一示例性结构,像素驱动元件(例如外围电路)被设置在形成有多个像素的成像区域之外。像素驱动元件的元件隔离区由在晶体管沟道附近的栅电极下面的绝缘膜构成,该绝缘膜不同于栅绝缘膜。

[0103] 根据本实施例,和在用于形成像素驱动元件的区域中包括与栅绝缘膜分开的绝缘膜的这种结构一样,可以更可靠地进行元件隔离。而且,通过进行利用不包括这样分开形成的绝缘膜而是基本上仅包括沟道附近处的栅电极下方的栅绝缘膜的结构元件隔离,可以获得很多改进,即有助于纠正由高像素数的成像区域和由器件尺寸减小所引起的分开形成的隔离膜的任何缺点。更有利的是,该结构不那么凹凸不平,从而能够容易地建立与任何平坦电极的接触。因此减小了一直以来加在触点部分上的面积限制,以使得像素中的空间可以被有效地使用。

[0104] 作为本发明的另一示例性实施例,图 18 示出了图 6A、图 6B 或图 6C 的栅电极 78 沿沟道宽度方向的横截面结构。栅电极 78 被经由栅绝缘膜 75 以这样的方式形成:从 p 阱区 63 的沟道区域(沟道宽度)延伸到元件隔离区的 p+ 掺杂区上。在图 18 中,区域 A 与沟道区域相对应,区域 B 与元件隔离区 65 相对应。在这样的电极形成时,与元件隔离区 65 相对应的区域 B(晶体管)可以被构造为具有阈值  $V_{t2}$ , 阈值  $V_{t2}$  高于与沟道区域相对应的区域 A(晶体管)的阈值  $V_{t1}$ 。如果利用这样的结构,则区域 B 的晶体管几乎不存在,因为其性能能力比区域 A 的晶体管低。照此,基本上未形成寄生 MOS 晶体管。

[0105] 图 19A 和图 19B 示出了本发明的另一实施例。在该实施例中,元件隔离区被构造为包括两个掺杂区 205,这两个掺杂区 205 是由从两个将被分开的元件侧进行离子注入而形成的。也就是说,在图 19A 和图 19B 中,由于像素的尺寸被减小了,因此直接位于晶体管 Tr1 的栅电极 201 下方的沟道长度 S 被缩短了。因此,在与源极区 202 和漏极区 203 相邻的

沟道部分中通过成角度的离子注入而形成了 p 层。利用与通过这样的成角度的离子注入形成 p 层 204 相同的工艺,两个 p 区域 205 被经由抗蚀剂掩模 206 通过成角度的离子注入形成到元件隔离区 65 上。因此这防止了源极和漏极之间的穿通,并且可以使元件隔离区 65 的元件隔离宽度 d 与晶体管 Tr 的沟道长度 S 类似地变得更窄。照此,可以以与晶体管的尺寸减小相对应的方式形成尺寸减小的元件隔离区 65。

[0106] 图 7 至图 10 的栅电极结构的(即用于注入到栅电极的第一部分/第二部分的杂质组合的)固态成像器件可以被应用到其他具有被用于元件隔离的 STI 的固态成像器件。照此,具有 STI 的元件隔离可以获得关于  $V_g$ -Id 特性(锐弯(kink))的电阻。

[0107] 作为本发明的另一实施例,两个或更多个 p 型、n 型或无掺杂的掺杂区被在任何一个特定的栅电极中形成,并且在将触点部分形成到与沟道部分相对应的第一部分上的电极结构中,掺杂区被电连接到这些区域(包括无掺杂区)的任何边界部分,例如不包括金属硅化物、金属或任何其他导电层。也就是说,当任何所需水平的栅电压被施加到与沟道部分相对应的栅电极时,没有栅电压被施加到与沟道附近处的部分(即元件隔离区)相对应的栅电极上。

[0108] 在上述实施例中,本发明被应用于这样的固态成像器件:其中像素由光电二极管和三个晶体管构成。在固态成像器件中构成像素的 MOS 晶体管的数目不限制为三个,根据需要任何数目都是可以的,例如四个晶体管。本发明也可应用于这样的固态成像器件:其中例如复位晶体管和放大晶体管或在 4 晶体管配置的情况下还有选择晶体管的晶体管被多个光电二极管共享。

[0109] 本发明的固态成像器件被安装在图 25 所描述的像电子照相机、手机或 FA(工厂自动化)相机这样的成像设备中。本发明在成像设备的器件中的实现使得成像设备的成像质量得到提高。

[0110] 本发明的固态成像器件可以作为成像模块器件而被提供,在该成像模块器件中还装入了驱动控制电路、外围信号处理电路或电源电路。

[0111] 本领域技术人员应该了解的是可以根据设计要求或其他因素,在权利要求或其等价物的范围内做出各种修改、组合、副组合(sub-combination)和改变。

[0112] 本发明包含涉及 2005 年 12 月 5 日在日本特许厅提交的日本专利申请 JP 2005-351368 的主题,通过引用将其全部内容合并于此。







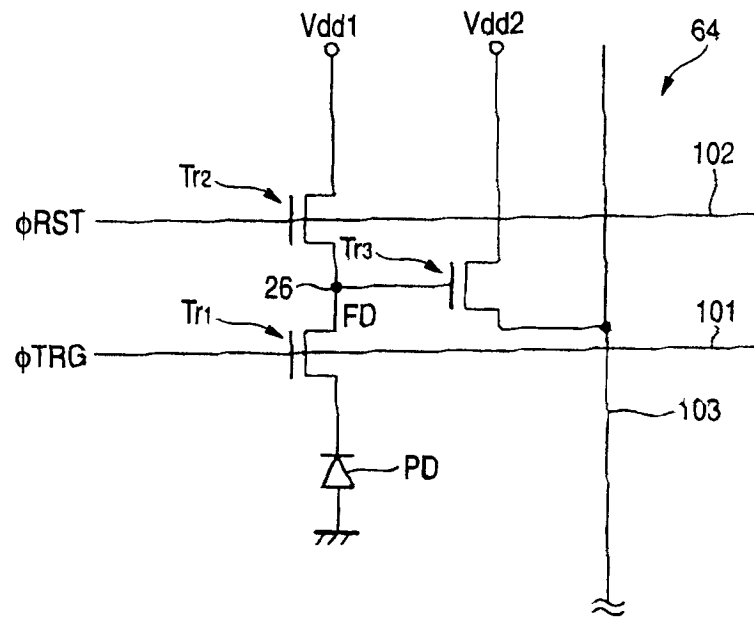


图 3

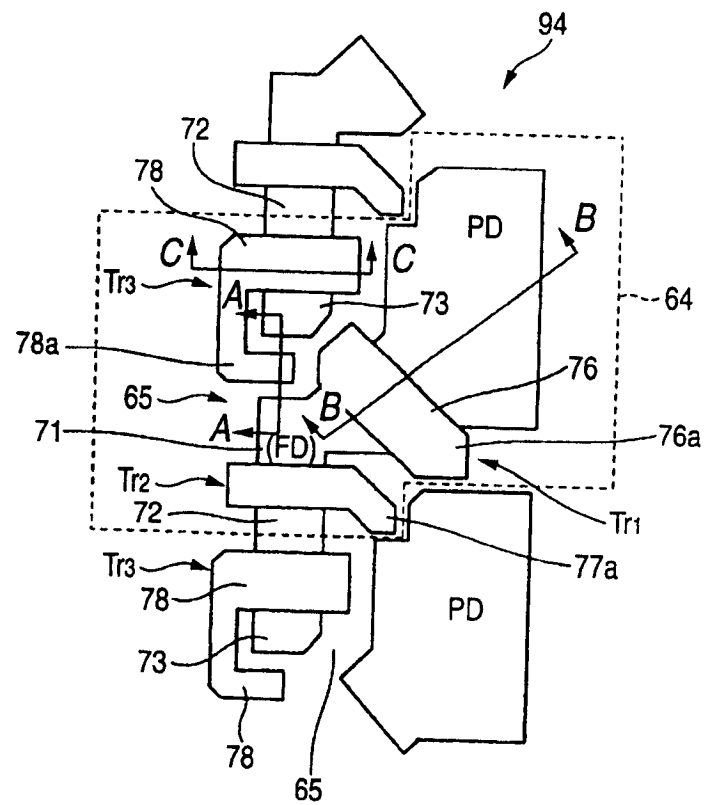


图 4

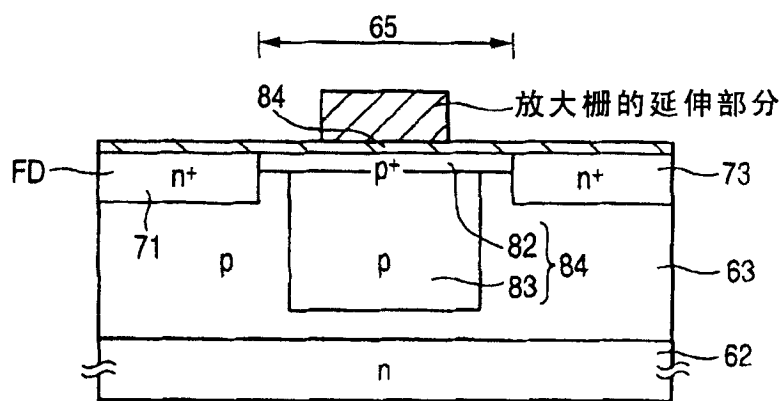


图 5A

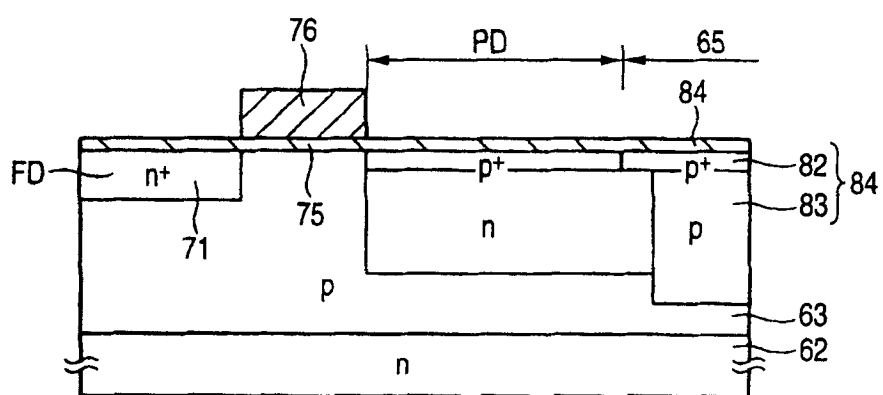


图 5B

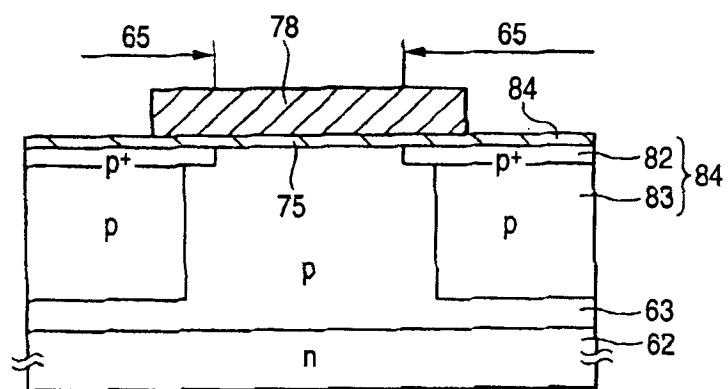


图 5C

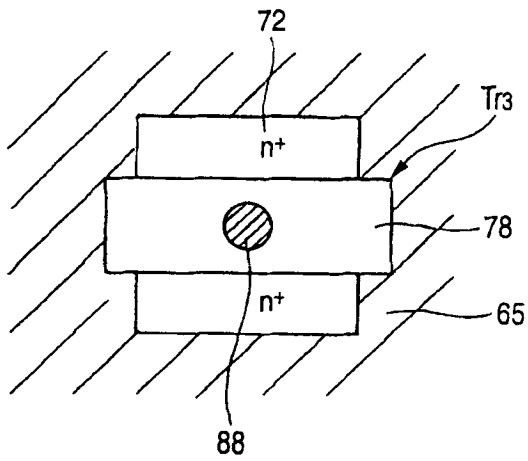


图 6A

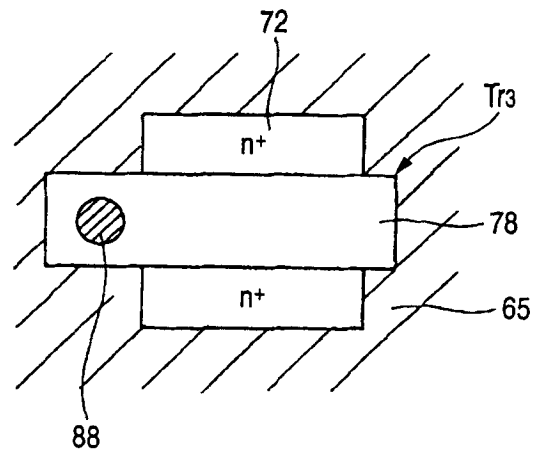


图 6B

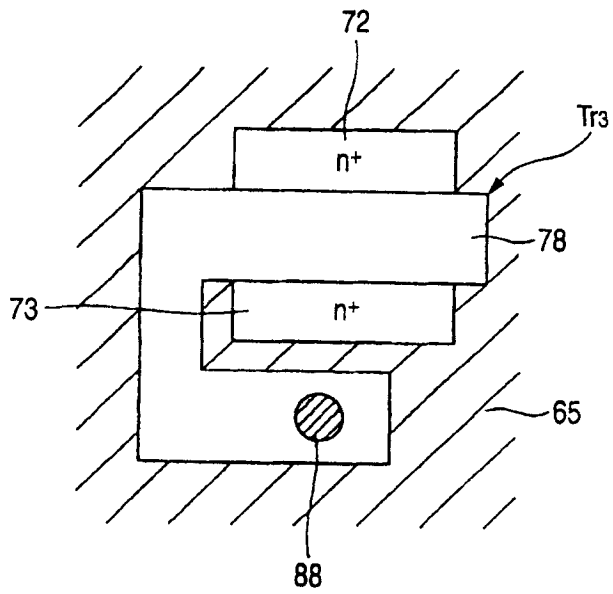


图 6C

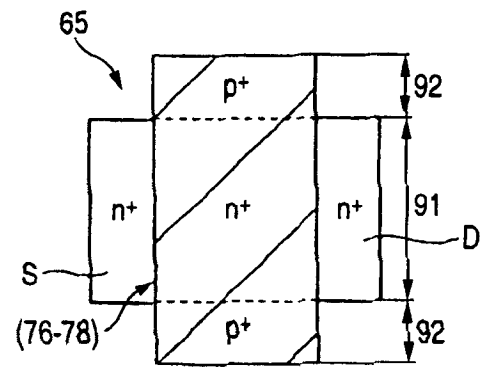


图 7A

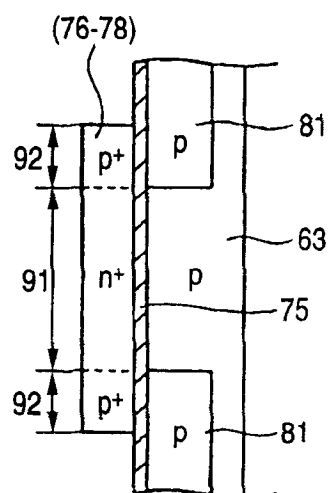


图 7B

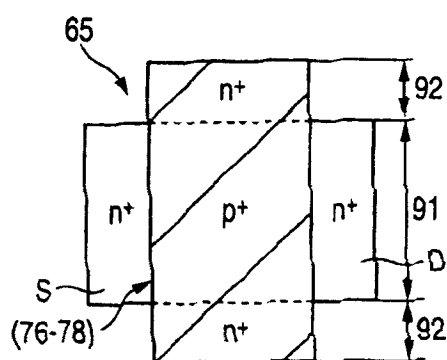


图 8A

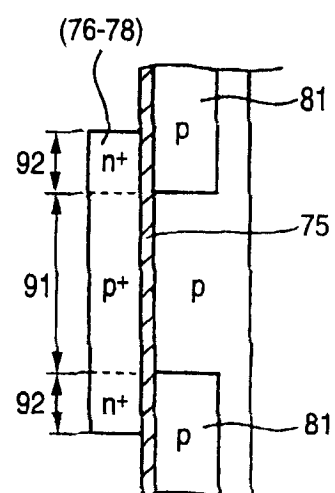


图 8B

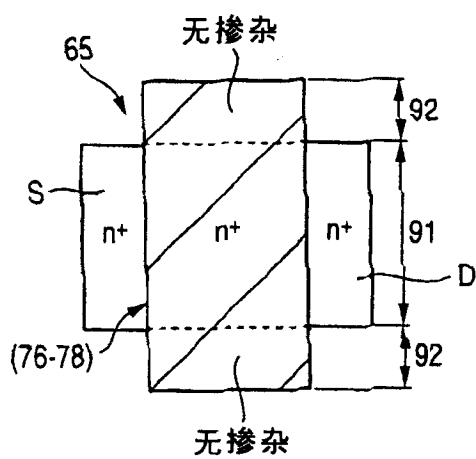


图 9A

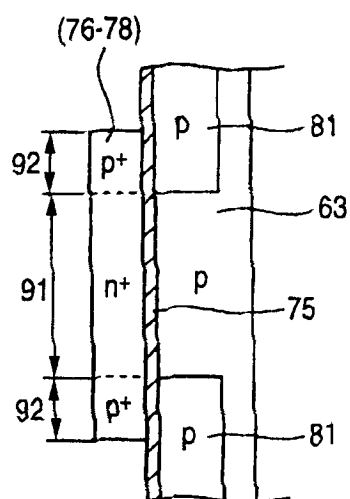


图 9B

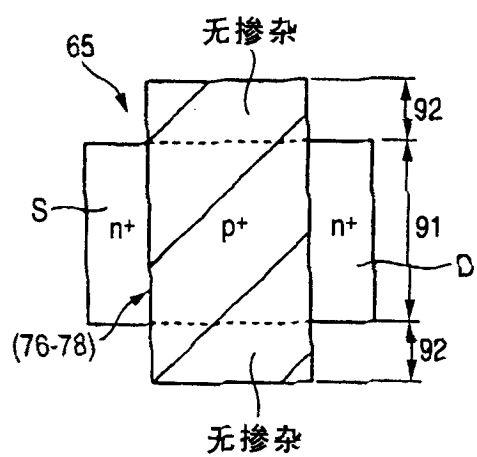


图 10A

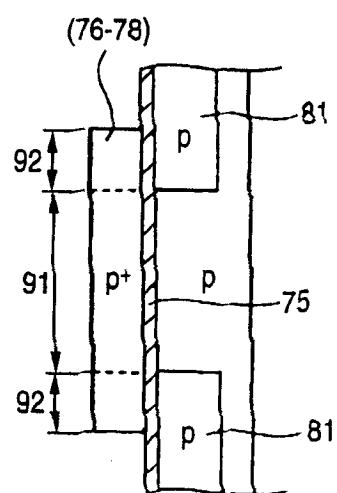


图 10B

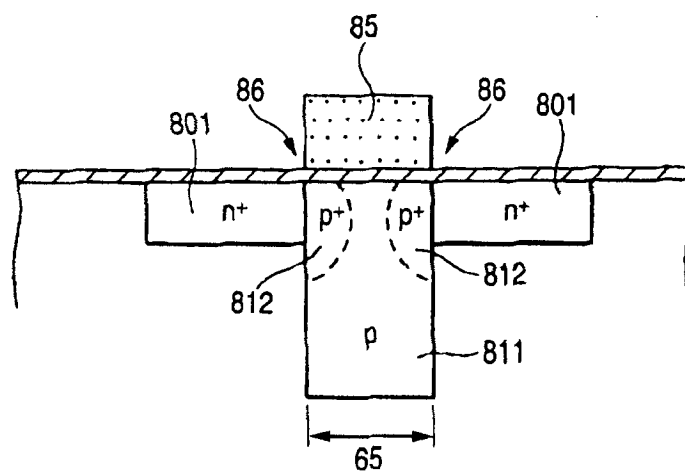


图 11

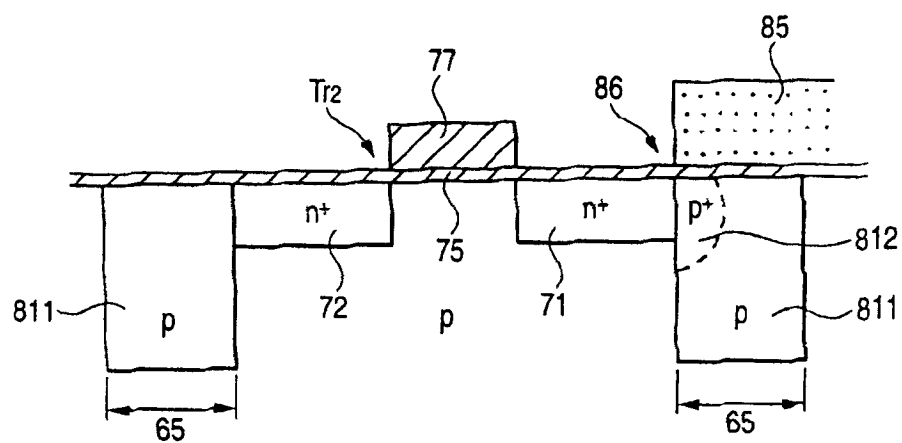


图 12

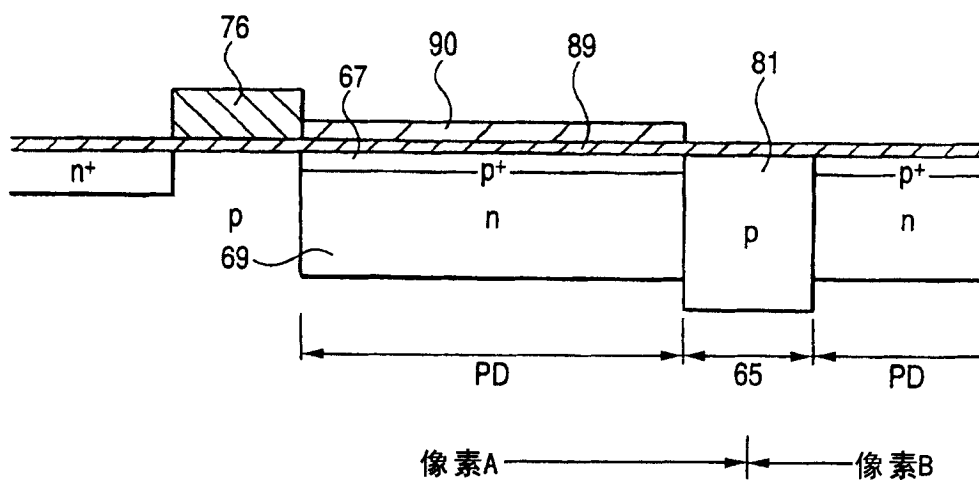


图 13

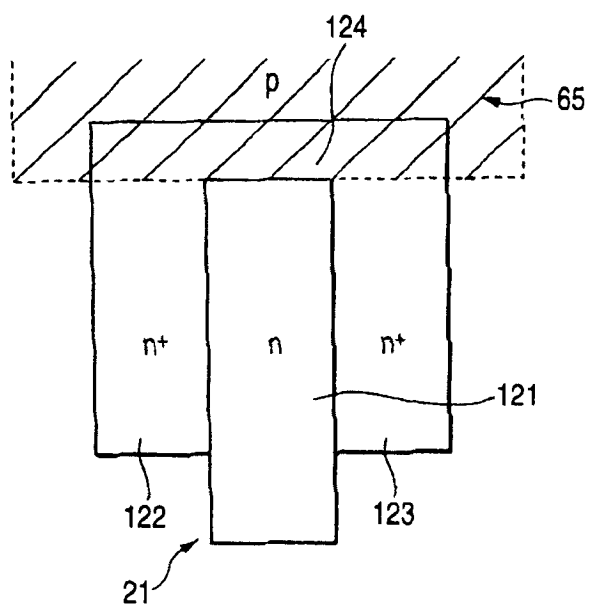


图 14

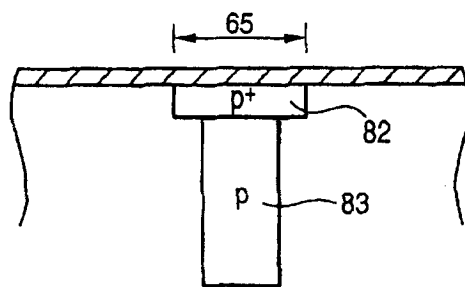


图 15A

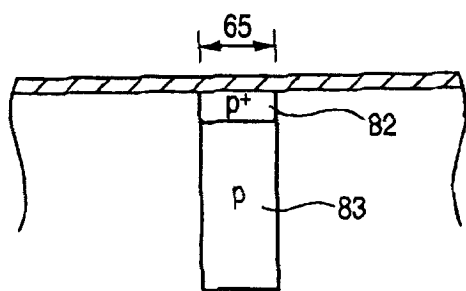


图 15B

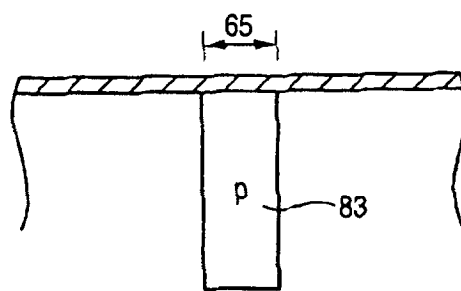


图 15C

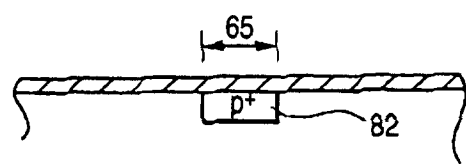


图 15D

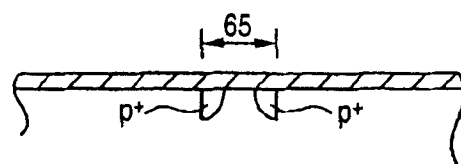


图 15E

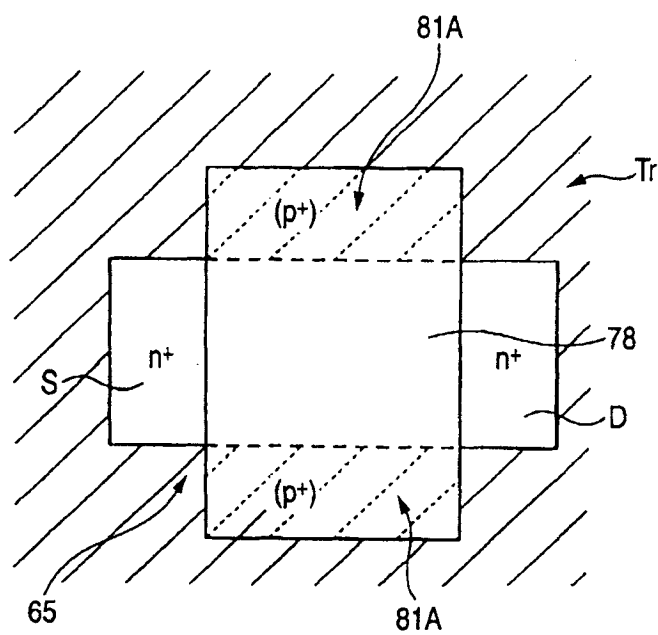


图 16A

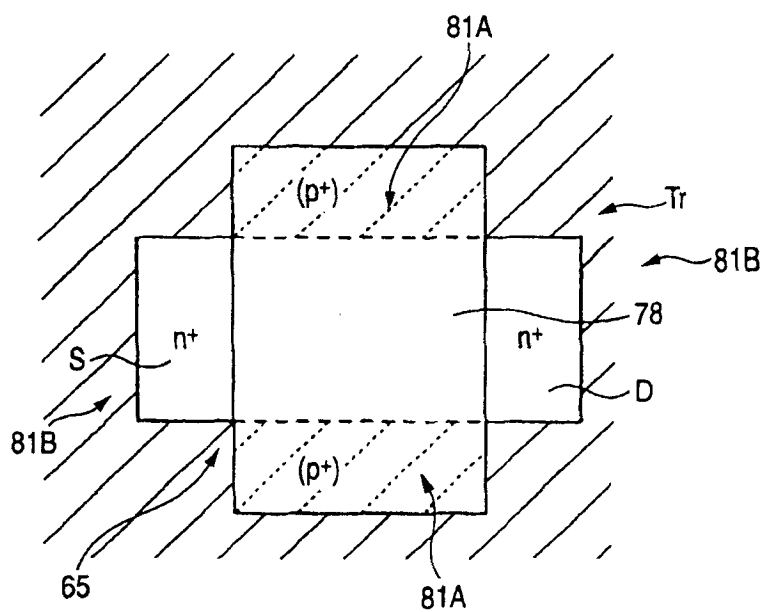


图 16B



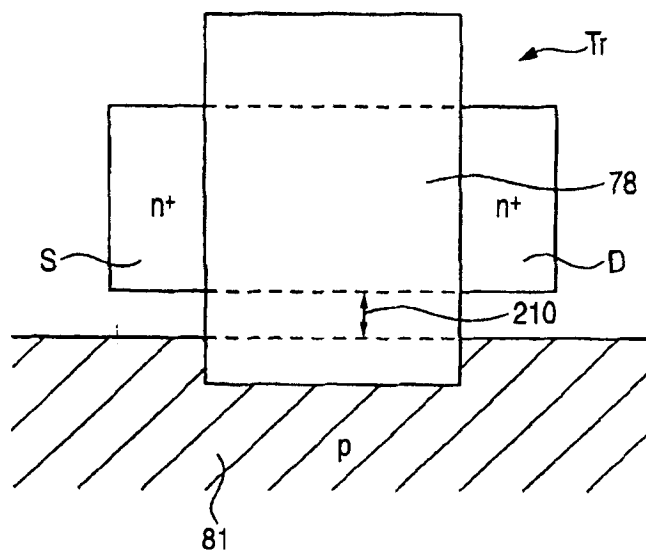


图 17

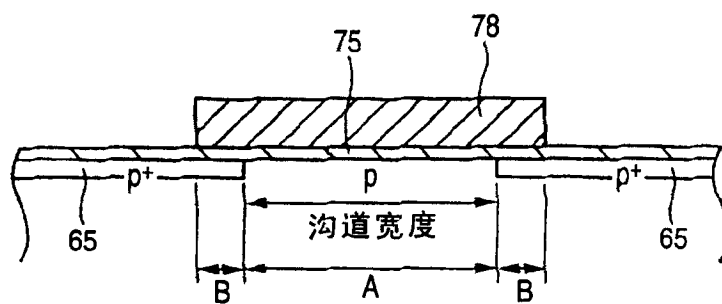


图 18

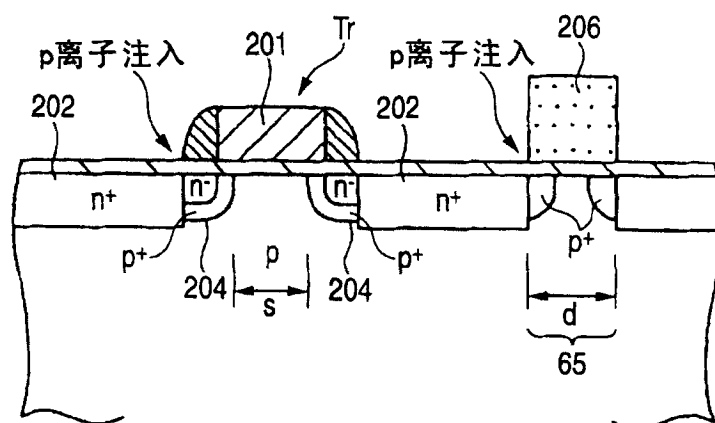


图 19A

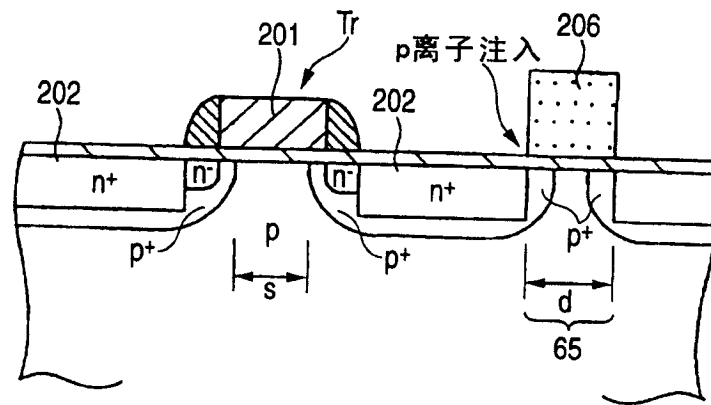


图 19B

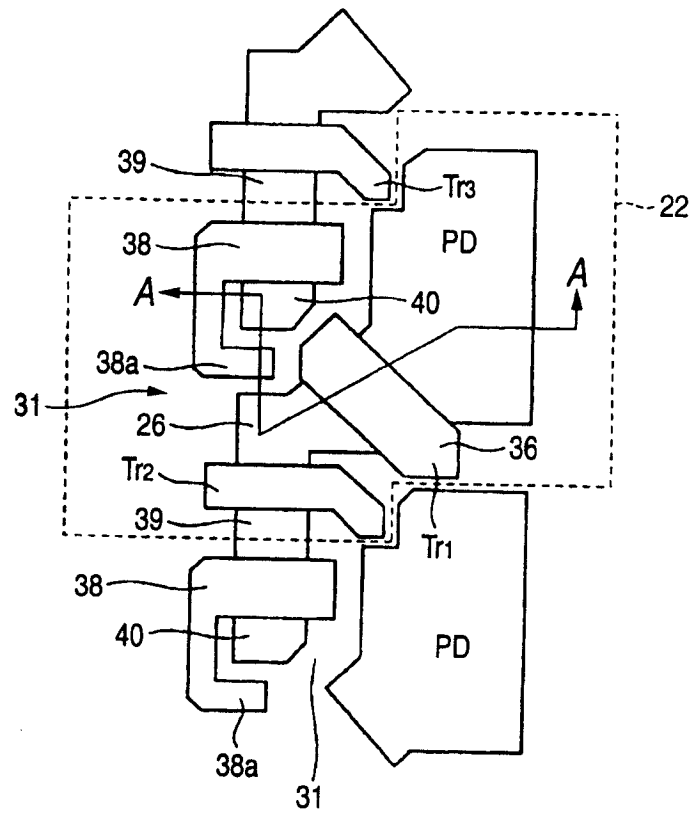


图 20

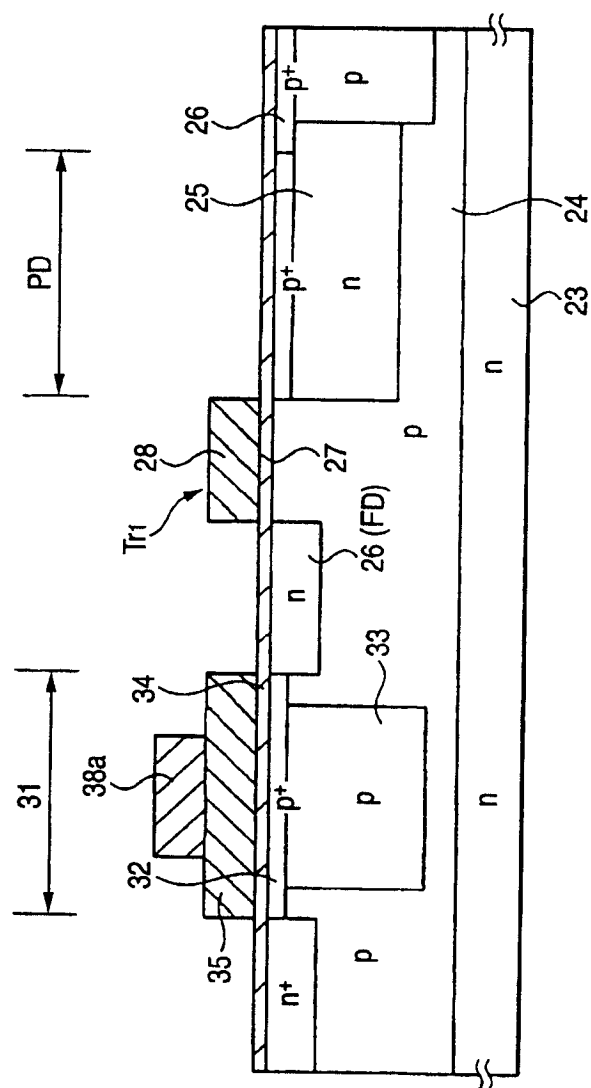


图 21

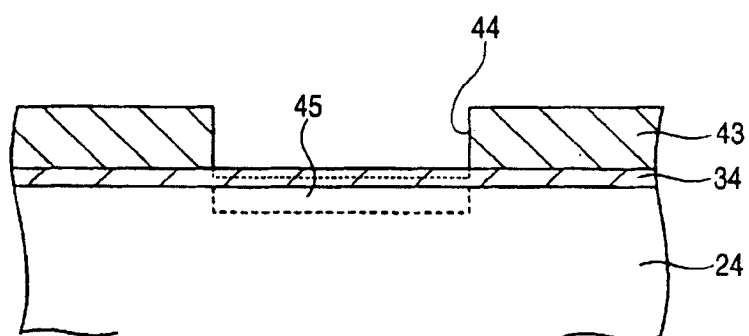


图 22A

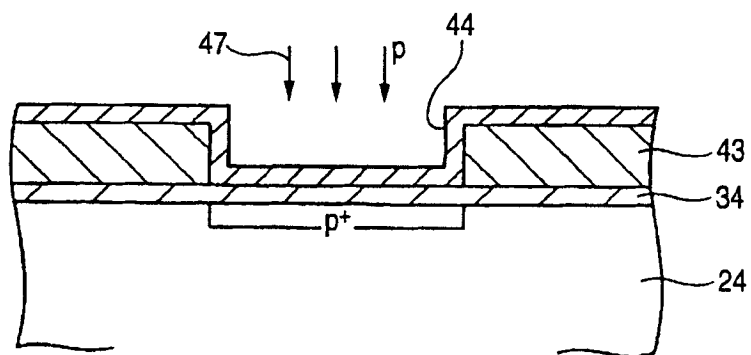


图 22B

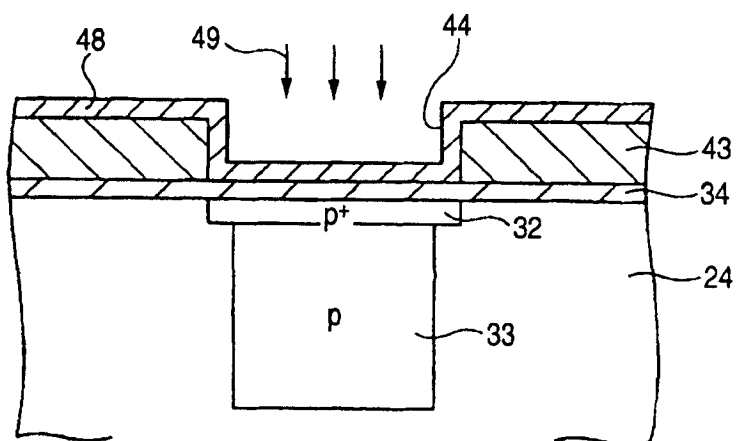


图 22C

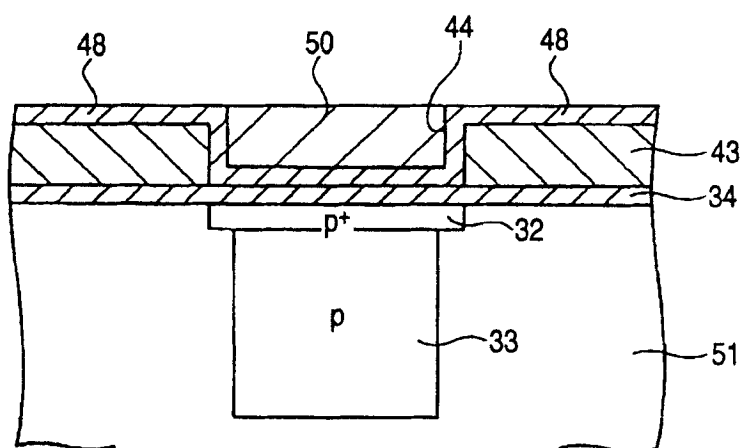


图 23D

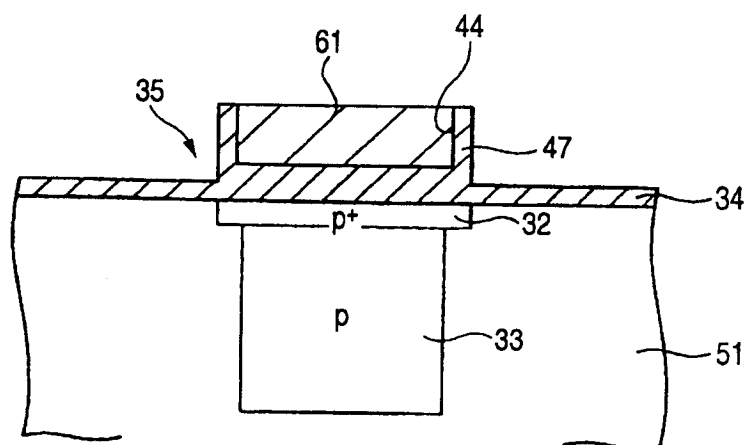


图 23E

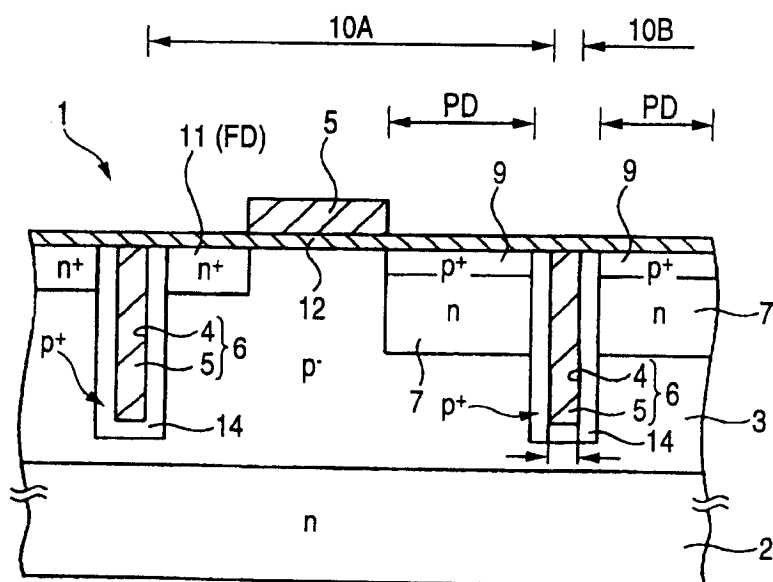


图 24

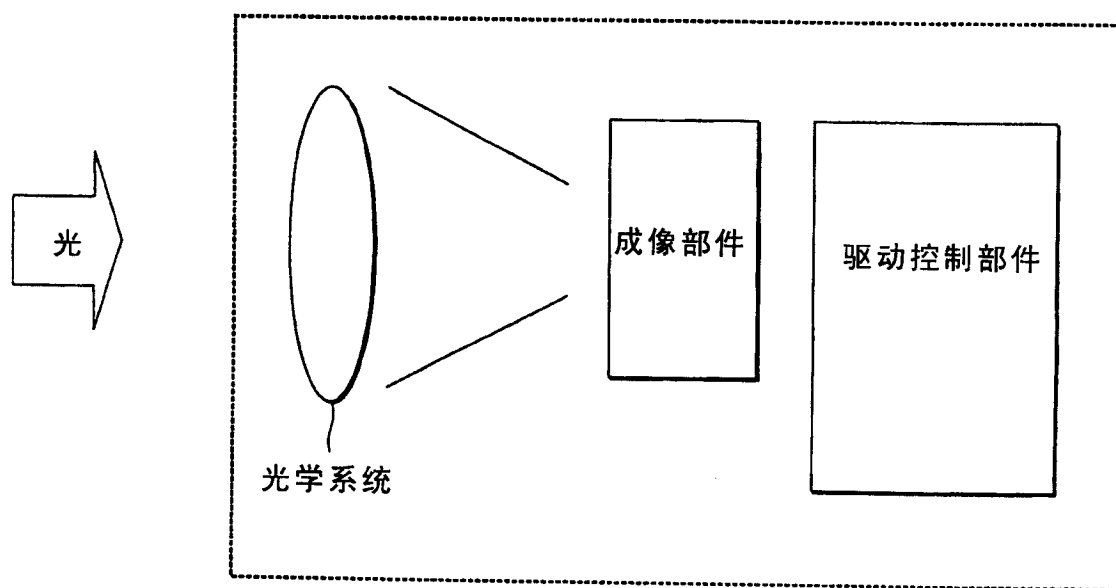


图 25