



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I521713 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：098112853

(22)申請日：中華民國 98 (2009) 年 04 月 17 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/205 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/04/18 日本

2008-109446

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP)；大力浩二 DAIRIKI, KOJI (JP)；惠木勇司
EGI, YUJI (JP)；神保安弘 JINBO, YASUHIRO (JP)；伊佐敏行 ISA, TOSHIYUKI
(JP)

(74)代理人：林志剛

(56)參考文獻：

US 5311040

US 6410372B2

US 2002/0063255A1

US 2007/0132022A1

審查人員：湯欽全

申請專利範圍項數：30 項 圖式數：35 共 124 頁

(54)名稱

薄膜電晶體和其製造方法

THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

一種薄膜電晶體，包括：覆蓋閘極電極的閘極絕緣層；與該閘極絕緣層接觸並在非晶結構中包含多個晶體區域的構成通道形成區域的半導體層；形成源區及汲區的包含賦予一導電型的雜質元素的半導體層；以及由位於該半導體層和該雜質元素的半導體層之間的非晶半導體構成的緩衝層，其中，所述晶體區域具有倒錐形或倒金字塔形的晶粒，該晶粒從離開介於閘極絕緣層和半導體層間的界面的位置，在徑向的成長在半導體層的沉積方向。

A thin film transistor includes, over a substrate having an insulating surface, a gate insulating layer covering a gate electrode; a semiconductor layer which includes a plurality of crystalline regions in an amorphous structure and which forms a channel formation region, in contact with the gate insulating layer; a semiconductor layer including an impurity element imparting one conductivity type, which forms source and drain regions; and a buffer layer including an amorphous semiconductor between the semiconductor layer and the semiconductor layer including an impurity element imparting one conductivity type. The crystalline regions have an inverted conical or inverted pyramidal crystal particle which grows approximately radially in a direction in which the semiconductor layer is deposited, from a position away from an interface between the gate insulating layer and the semiconductor layer.

指定代表圖：

圖2

符號簡單說明：

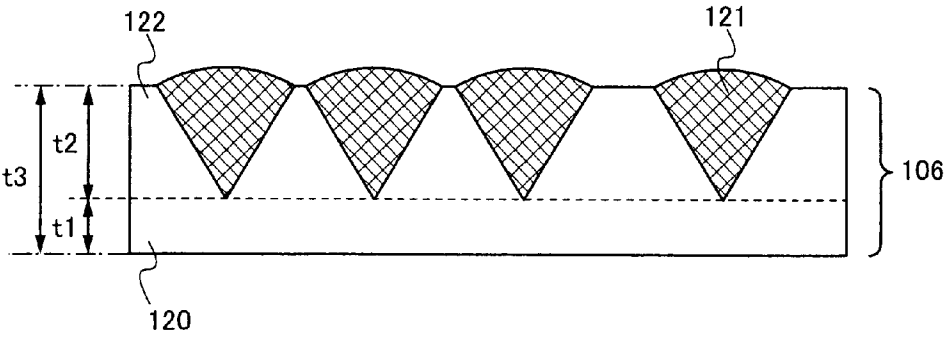
106 . . . 半導體層

120 . . . 第一區域

121 . . . 晶粒

122 . . . 第二區域

t1、t2、t3 . . . 厚度



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112853

※申請日：98年04月17日

※IPC分類：

H01L 29/786 (2006.01)

H01L 21/205 (2006.01)

一、發明名稱：(中文／英文)

H01L 21/336 (2006.01)

薄膜電晶體和其製造方法

Thin film transistor and method for manufacturing the same

二、中文發明摘要：

一種薄膜電晶體，包括：覆蓋閘極電極的閘極絕緣層；與該閘極絕緣層接觸並在非晶結構中包含多個晶體區域的構成通道形成區域的半導體層；形成源區及汲區的包含賦予一導電型的雜質元素的半導體層；以及由位於該半導體層和該雜質元素的半導體層之間的非晶半導體構成的緩衝層，其中，所述晶體區域具有倒錐形或倒金字塔形的晶粒，該晶粒從離開介於閘極絕緣層和半導體層間的界面的位置，在徑向的成長在半導體層的沉積方向。

三、英文發明摘要：

A thin film transistor includes, over a substrate having an insulating surface, a gate insulating layer covering a gate electrode; a semiconductor layer which includes a plurality of crystalline regions in an amorphous structure and which forms a channel formation region, in contact with the gate insulating layer; a semiconductor layer including an impurity element imparting one conductivity type, which forms source and drain regions; and a buffer layer including an amorphous semiconductor between the semiconductor layer and the semiconductor layer including an impurity element imparting one conductivity type. The crystalline regions have an inverted conical or inverted pyramidal crystal particle which grows approximately radially in a direction in which the semiconductor layer is deposited, from a position away from an interface between the gate insulating layer and the semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第 2 圖。

(二) 本代表圖之元件符號簡單說明：

106：半導體層

120：第一區域

121：晶粒

122：第二區域

t1、t2、t3：厚度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於薄膜電晶體及其製造方法、以及使用該薄膜電晶體的半導體裝置及顯示裝置。

【先前技術】

薄膜電晶體（以下也表示為“TFT”）已在液晶顯示器的技術領域中廣泛地被應用。TFT為一種電場效應電晶體，之所以如此稱呼是因為形成通道的半導體由薄膜構成。現在，作為該半導體的薄膜使用非晶矽或多晶矽來製造TFT的技術已被實際應用。

長期以來，與非晶矽或多晶矽相同，被稱為微晶矽的半導體材料是公知的，並且也有與電場效應電晶體有關的微晶矽的報告（例如，參照專利文獻1）。然而，直到現在，與非晶矽電晶體和多晶矽電晶體相比，使用微晶矽的TFT的實用化延遲，其報告只散見於學會等中（例如，參照非專利檔1）。

可以藉由被稱為電漿CVD法的方法利用電漿（弱電離電漿）使原料氣體分解而在如玻璃等的具有絕緣表面的基板上形成微晶矽膜，但是因為在非平衡狀態下進行反應，所以被認為難以控制晶核生成或晶體生長。

進行了各種研究，據一種說法，可以認為微晶矽的生長機理如下：首先，其中原子隨機集合的非晶相在基板上生長，之後發生晶體的核生長（參照非專利文獻2）。在

此情況下，當發生微晶矽的核生長時，在非晶表面上觀察到特異的矽-氫鍵，因此，被認為可以根據形成微晶矽膜時的氫氣濃度控制微晶矽的核密度。

另外，還對氧、氮等的雜質元素對微晶矽膜生長表面造成的影響進行研究，並且有如下發現：藉由降低雜質濃度，微晶矽膜的晶粒的粒徑增大，而缺陷密度（尤其是，電荷缺陷密度）降低（參照非專利文獻 3）。

存在爲了提高 TFT 的工作特性而需要微晶矽膜的高純度化的看法，並且已提出了將氧、氮、碳濃度分別設定爲 $5 \times 10^{16} \text{cm}^{-3}$ 、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \times 10^{18} \text{cm}^{-3}$ 而提高有效遷移率的報告（參照非專利文獻 4）。另外，已提出了將利用電漿 CVD 法的成膜溫度設定爲 150°C 並將氧濃度降低到 $1 \times 10^{16} \text{cm}^{-3}$ 而提高有效遷移率的報告（參照非專利文獻 5）。

[專利文獻 1] 美國專利第 5,591,987 號

[非專利文獻 1] Toshiaki Arai 以及其他，SID 07 DIGEST, 2007, p.1370-1373

[非專利文獻 2] Hiroyuki Fujiwara 以及其他，日本應用物理學雜誌（Jpn.J.Appl.Phys.）Vol.41, 2002, p.2821-2828

[非專利文獻 3] Toshihiro Kamei 以及其他，日本應用物理學雜誌（Jpn.J.Appl.Phys.）Vol.37, 1998, p.L265-268

[非專利文獻 4] C.-H.Lee 以及其他，Int. Electron

Devices Meeting Tech. Digest, 2006, p.295-298

[非專利文獻 5] Czang-Ho Lee 以及其他 人，應用物理快報 (Appl. Phys. Lett.)，89，2006，p.252101

然而，雖然藉由在形成非晶矽膜之後設置由金屬材料構成的光電轉換層並且照射雷射而形成微晶矽膜的方法可以提高結晶性，但是當從生產性的觀點來看時，不能發現比利用雷射退火製造的多晶矽膜有優勢。

在微晶矽的生長模型中，當發生微晶矽的核生長時在非晶表面觀察到特異的矽-氫鍵的知識雖然是有用的，但是實質上不能直接控制核生成位置和核生成密度。

另外，即使藉由謀求微晶矽膜的高度提純而降低雜質濃度，可以得到晶粒的粒徑增大且缺陷密度（尤其是電荷缺陷密度）降低的微晶矽膜，也只單純地表示微晶矽膜的物性值有變化的事實，而不一定改善 TFT 等的元件特性。這是因為如下緣故：半導體元件是意圖控制流過半導體中的電子或電洞導致的載流子的流動而進行工作的，但是若考慮該載流子流動的地方而不能改善該地方的微晶矽膜的膜品質，則沒有意義。

【發明內容】

於是，本發明的一個方式的目的是在於控制微晶半導體膜或包含晶粒的半導體膜的膜品質以改善以 TFT 為代表的半導體元件的工作特性。或者，本發明的一個方式的目的是在於藉由控制微晶半導體膜或包含晶粒的半導體膜的形

成過程而謀求以 TFT 爲代表的半導體元件的特性的提高。再者，本發明的一個方式的目的是在於提高薄膜電晶體的導通電流並且降低截止電流。

本發明的一個方式的目的是如下：在非晶結構中包含多個晶體區域的半導體層中，藉由控制成爲生成該晶體區域的起點的晶核的生成位置和生成密度，控制該半導體層的膜品質。本發明的一個方式的目的是如下：在將非晶結構中包含多個晶體區域的半導體層作爲通道形成區的薄膜電晶體中，根據載流子流過的區域控制成爲生成該半導體層的該晶體區域的起點的晶核的生成位置和生成密度。

以可以生成微晶半導體的混合比使用半導體材料氣體（例如，氫化矽氣體、氟化矽氣體或氮化矽氣體）和稀釋氣體作爲反應氣體來形成非晶結構中包含多個晶體區域的半導體層。將該反應氣體引入降低了氧濃度的超高真空反應室內，維持預定壓力而生成輝光放電電漿。由此，在安裝於反應室內的基板上沉積膜。在沉積初期步驟中將阻礙晶核生成的雜質元素包含在反應室中並開始膜的沉積，藉由降低該雜質元素的濃度而生成晶核，並且基於該核形成晶體區域。

作爲阻礙晶核生成的雜質，較佳的使用氮或氮化物。在將氮包含在半導體層中的情況下，藉由 SIMS 測量的該半導體層中的氮濃度爲 $1 \times 10^{20} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ 。藉由 SIMS 測量的閘極絕緣層和半導體層的介面附近的該氮濃度的峰值濃度爲 $3 \times 10^{20} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ ，並且藉由使氮

濃度從該介面附近向半導體層的厚度方向逐漸降低，而控制成為晶體區域的生長端的核生成位置和核生成密度。

另外，在此作為抑制晶核生成的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如，氮）。另一方面，降低生成矽的懸空鍵的雜質元素（例如，氧）的濃度。就是說，較佳的將藉由 SIMS 測量的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下。

本發明的一個方式的薄膜電晶體具有在非晶結構中包含多個晶體區域的半導體層，並且在該半導體層上具有由非晶半導體構成的緩衝層。該緩衝層被設置在半導體層與閘極絕緣層接觸的面的相反側，即配置在所謂的背通道側。就是說，該緩衝層設置在形成源區及汲區的一對包含一導電型的雜質元素的半導體層之間，以使在非晶結構中包含多個晶體區域的半導體層的該晶體區域被埋設，並使半導體層不露出在背通道側。

另外，在本說明書中，濃度是藉由二次離子質量分析法（Secondary Ion Mass Spectrometry。以下稱為 SIMS）而測量的。注意，當舉出其他測量法等有特別記載時，不局限於此。

另外，本說明書中的導通電流是指當電晶體處於導通狀態時流過源極電極和汲極電極之間的電流。

另外，截止電流是指當電晶體處於截止狀態時流過源極電極和汲極電極之間的電流。例如，在 N 型電晶體中，截止電流是當閘極電壓比電晶體的臨界值電壓低時流過

源極電極和汲極電極之間的電流。

在非晶結構中包含多個晶體區域的半導體層中，可以控制晶體區域的產生密度和產生位置。藉由將這種半導體層用作薄膜電晶體的通道形成區域，可以提高導通電流。另外，藉由在該半導體層上設置緩衝層，可以降低薄膜電晶體的截止電流。

【實施方式】

下面，將參照附圖詳細說明本發明的實施例模式。但是，本發明不局限於以下說明。所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的目的及其範圍的情況下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。另外，在使用附圖對本發明的結構進行說明時，在不同附圖中使用相同的附圖標記來表示相同的部分。另外，當表示相同部分時，有時採用相同的方格而不特別使用附圖標記。

實施例模式 1

在本實施例模式中，將參照附圖說明薄膜電晶體的方式的一例。

圖 1 示出本實施例模式的薄膜電晶體的俯視圖及截面圖。圖 1 所示的薄膜電晶體具有基板 100 上的閘極電極層 102、覆蓋閘極電極層 102 的閘極絕緣層 104、閘極絕緣

層 104 上並與其接觸的半導體層 106、半導體層 106 上的緩衝層 108、以及緩衝層 108 上並與其接觸的源區及汲區 110。另外，薄膜電晶體還具有源區及汲區 110 上並與其接觸的佈線層 112。佈線層 112 構成源極電極及汲極電極。在佈線層 112 上具有用作保護膜的絕緣層 114。另外，各個層形成爲所希望的圖案形狀。

另外，圖 1 所示的薄膜電晶體可以應用於設置在液晶顯示裝置的像素部中的像素電晶體。由此，在圖示的實例中，在絕緣層 114 中設置開口部，在絕緣層 114 上設置像素電極層 116，並且像素電極層 116 和佈線層 112 的一方相連接。

另外，將源極電極和汲極電極之一設置爲 U 字型（或日語片假名“コ”字型、馬蹄型），其圍繞源極電極和汲極電極之另一個。源極電極和汲極電極之間保持大致一定的距離（參照圖 1）。

藉由將薄膜電晶體的源極電極及汲極電極形成爲上述形狀，可以將該薄膜電晶體的通道寬度形成得較大，而增加電流量。另外，可以減少電特性的不均勻性。再者，可以抑制因製程中的掩模圖案偏差而導致的可靠性的降低。然而，本發明不局限於此，源極電極及汲極電極的一方不需要一定具有 U 字型。

在此，對圖 1 所示的薄膜電晶體的主要特徵之一的半導體層 106 進行說明。半導體層 106 用作薄膜電晶體的通道形成區域。在半導體層 106 中，由晶體半導體構成的晶

粒分散存在於包含非晶結構的半導體層中（參照圖 2）。

半導體層 106 具有第一區域 120 及第二區域 122。第一區域 120 具有非晶結構。第二區域 122 具有分散存在的多個晶粒 121 和多個晶粒 121 之間的非晶結構。第一區域 120 設置在閘極絕緣層 104 上並與其接觸，並且具有離第一區域 120 和閘極絕緣層 104 的介面的厚度 t_1 。第二區域 122 設置在第一區域 120 上並與其接觸，並且具有厚度 t_2 。就是說，晶粒 121 的核生成位置在半導體層 106 的厚度方向上被控制，以便其位於離第一區域 120 和閘極絕緣層 104 的介面有 t_1 的位置。晶粒 121 的核生長位置由包含在半導體層 106 中的抑制結晶化的雜質元素的濃度（例如氮濃度）控制。

晶粒 121 的形狀為倒錐形。在此，倒錐形是由（i）由多個平面構成的面（ii）連接所述面的外周和存在於所述面外部的頂點而成的線的集合構成的立體形狀，並且該頂點位於基板一側。換言之，“倒錐形”是晶粒 121 從離閘極絕緣層 104 和半導體層 106 的介面有距離的位置向半導體層 106 沉積的方向以大致放射狀生長的形狀。從分散形成的晶核各自晶粒隨著半導體層的形成沿晶體方位生長，而晶粒在與晶體的生長方向垂直的面的面內方向上擴展地生長。若像這樣具有晶粒，則可以比非晶半導體進一步提高導通電流。另外，晶粒 121 中包含單晶或雙晶。在此，在具有倒錐形的晶粒 121 中，側面的面方向一致，並且側面的截面形狀為直線（圖 2）。由此，可以認為，晶粒

121 的方式比含有多個結晶的方式更接近於含有單晶或雙晶的方式。與含有多個結晶的情況相比，含有雙晶時的懸空鍵少而缺陷少且截止電流小。此外，與含有多個結晶的情況相比，晶界少且截止電流大。另外，晶粒 121 也可以含有多個結晶。

另外，雙晶是指兩個晶粒在晶粒介面中匹配性極好地彼此接合的狀態。即，具有晶格在晶粒介面中連續連接，而極為不容易形成起因於結晶缺陷等的陷阱能級的結構。據此，可以看做在具有這種結晶結構的區域中實際上沒有晶粒介面。

在此，作為抑制晶核生成的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如，氮）。另一方面，降低生成矽的懸空鍵的雜質元素（例如，氧）的濃度。由此，較佳的不降低氮濃度地降低氧濃度。具體而言，較佳的將藉由 SIMS 測量的氧濃度設定為 $5 \times 10^{18} \text{cm}^{-3}$ 以下。

另外，在閘極絕緣層 104 的表面上存在有氮的情況下形成半導體層 106。在此，由於氮濃度決定核生成位置，所以很重要。當在存在有氮的閘極絕緣層 104 上形成半導體層 106 時，首先形成第一區域 120，然後形成第二區域 122。在此，第一區域 120 和第二區域 122 的介面位置取決於氮濃度。在藉由 SIMS 測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下時生成晶核，而形成第二區域 122。就是說，在成為晶粒 121 的生長起點的晶核的生成位置中，藉

由 SIMS 測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。換言之，在具有倒錐形的晶粒 121 的頂點，藉由 SIMS 測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。

另外，氮濃度隨著離與閘極絕緣層 104 的介面的距離的增加而逐漸下降。氮濃度較佳在 25nm 以上且 40nm 以下的範圍內比閘極絕緣層 104 的介面減少一個數位，更佳的在 30nm 以上且 35nm 以下的範圍內減少一個數位。

如上所說明，晶粒是分散而存在的。為了使晶粒分散而存在，需要控制晶體的核生成密度。藉由將氮濃度設定為上述濃度範圍，可以控制晶粒的核生成密度，而可以使晶粒分散而存在。

另外，如上那樣，若抑制晶核生成的雜質元素以高濃度（藉由 SIMS 測量的雜質元素的濃度大致為 $1 \times 10^{20} \text{cm}^{-3}$ 以上）存在，則晶體生長也被抑制，因此，只對半導體層 106 的被形成面添加要包含在半導體層 106 中的氮，或只對半導體層 106 形成初期引入要包含在半導體層 106 中的氮。

另外，在半導體層 106 上具有緩衝層 108。藉由具有緩衝層 108，可以降低截止電流。

接下來，對圖 1 所示的薄膜電晶體的製造方法進行說明。與 p 型薄膜電晶體相比，n 型薄膜電晶體的載流子遷移率高。另外，若使形成在同一基板上的所有薄膜電晶體

的極性一致，則可以抑制製程數，所以是較佳的。由此，在本實施例模式中，對 n 型薄膜電晶體的製造方法進行說明。

首先，在基板 100 上形成閘極電極層 102（參照圖 3A）。

作為基板 100，除了可以使用玻璃基板、陶瓷基板以外，還可以使用具有可承受本製程中的處理溫度的耐熱性的塑膠基板等。另外，當基板不需要具有透光性時，也可以使用在不銹鋼合金等的金屬基板表面上設置絕緣層的基板。作為玻璃基板，例如可以使用無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等。在基板 100 為母體玻璃的情況下，不僅可以使用第一代（例如， $320\text{mm}\times 400\text{mm}$ ）至第七代（例如， $1870\text{mm}\times 2200\text{mm}$ ）、第八代（例如， $2200\text{mm}\times 2400\text{mm}$ ）的基板，還可以使用第九代（例如， $2400\text{mm}\times 2800\text{mm}$ ）、第十代（例如， $2950\text{mm}\times 3400\text{mm}$ ）的基板。

可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹或銦等的金屬材料或以這些金屬材料為主要成分的合金材料，並且以單層或疊層形成閘極電極層 102。在使用鋁的情況下，較佳的使用添加鉭而合金化了的 Al-Ta 合金，因為它可以抑制小丘的產生。此外，更佳的使用添加釹而合金化了的 Al-Nd 合金，因為它可以抑制電阻並且抑制小丘的產生。此外，也可以使用以摻雜有磷等雜質元素的多晶矽為代表的半導體或 AgPdCu 合金。例如，較佳的採用在鋁層

上層疊鉬層的雙層的疊層結構、在銅層上層疊鉬層的雙層結構、或者在銅層上層疊氮化鈦層或氮化鉬層的雙層結構。藉由在電阻低的層上層疊起到阻擋層作用的金屬層，可以降低電阻，並且可以防止金屬元素從金屬層擴散到半導體層中。或者，也可以採用由氮化鈦層和鉬層構成的雙層的疊層結構；或者層疊厚度為 50nm 的鎢層、厚度為 500nm 的由鋁和矽的合金構成的層、以及厚度為 30nm 的氮化鈦層而成的三層的疊層結構。此外，當採用三層的疊層結構時，可以使用氮化鎢層代替第一導電層的鎢層，也可以使用由鋁和鈦的合金構成的層代替第二導電層的由鋁和矽的合金構成的層，也可以使用鈦層代替第三導電層的氮化鈦層。例如，當在由 Al-Nd 合金構成的層上層疊形成鉬層時，可以形成具有優越的耐熱性且電阻低的導電層。

可以藉由利用濺射法或真空蒸鍍法等使用上述材料在基板 100 上形成導電層，利用光微影法或噴墨法等在該導電層上形成抗蝕劑掩模，並使用該抗蝕劑掩模蝕刻導電層，來形成閘極電極層 102。另外，也可以利用噴墨法將銀、金或銅等的導電奈米膏噴射在基板上並進行焙燒來形成閘極電極層 102。另外，也可以在基板 100 和閘極電極層 102 之間設置上述金屬材料的氮化物層。在此，在基板 100 上形成導電層，然後利用使用光掩模形成的抗蝕劑掩模進行蝕刻。

另外，較佳的將閘極電極層 102 的側面形成為錐形。這是為了防止在後面的製程中將半導體層及佈線層等形成

在閘極電極層 102 上時，在有位準差的部分產生形成不良。爲了將閘極電極層 102 的側面形成爲錐形，一邊使抗蝕劑掩模縮小一邊進行蝕刻即可。例如，藉由在蝕刻氣體（例如，氟氣體）中包含氧氣體，可以一邊使抗蝕劑掩模縮小一邊進行蝕刻。

另外，在形成閘極電極層 102 的製程中，也可以同時形成閘極佈線（掃描線）。而且，還可以同時形成像素部所具有的電容線。另外，掃描線是指選擇像素的佈線，電容線是指連接於像素的儲存電容的一方電極上的佈線。然而，不局限於此，也可以分別設置閘極佈線及電容佈線的一方或雙方和閘極電極層 102。

接下來，覆蓋閘極電極層 102 地形成閘極絕緣層 104（參照圖 3B）。可以藉由利用 CVD 法或濺射法等，並且使用氧化矽、氮化矽、氧氮化矽或氮氧化矽以單層或疊層形成閘極絕緣層 104。另外，較佳的使用高頻率（1GHz 左右）的微波電漿 CVD 裝置形成閘極絕緣層 104。當使用微波電漿 CVD 裝置以高頻率形成閘極絕緣層 104 時，可以提高閘極電極和汲極電極或源極電極之間的耐壓性，因此，可以得到可靠性高的薄膜電晶體。另外，藉由使用氧氮化矽形成閘極絕緣層 104，可以抑制電晶體的臨界值電壓的變動。

另外，在本說明書中，氧氮化矽是指其組成中的氧含量大於氮含量的物質，較佳的是在使用盧瑟福背散射法（RBS:Rutherford Backscattering Spectrometry）及氬前散

射法 (HFS:Hydrogen Forward Scattering) 進行測量時，作為組成範圍包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的矽、以及 0.1 原子%至 10 原子%的氫的物質。另外，氮氧化矽是指其組成中的氮含量大於氧含量的物質，較佳的是在使用 RBS 及 HFS 進行測量時，作為組成範圍包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的矽、10 原子%至 30 原子%的氫的物質。注意，在將構成氧氮化矽或氮氧化矽的原子的總計設定為 100 原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

另外，在使用氮化矽形成閘極絕緣層 104 的情況下，藉由在閘極絕緣層 104 上設置薄的氧氮化矽層，可以抑制在薄膜電晶體的工作初期產生的退化。在此，將氧氮化矽層形成得極薄，即 1nm 以上即可。較佳的為 1nm 以上且 3nm 以下。

接下來，對半導體層 106 的形成方法進行說明。較佳的以 2nm 以上且 60nm 以下，更佳的為 10nm 以上且 30nm 以下的厚度形成半導體層 106。

另外，如上所述，半導體層 106 具有倒錐形的晶粒。例如，藉由降低半導體層 106 的氧濃度而使氮濃度高於氧濃度，並且氮濃度根據晶粒的生長方向上逐漸下降，可以控制晶粒的核生成地形成倒錐形的晶粒。在此，較佳的是，氮濃度比氧濃度高一個數位以上。更具體地說，將藉由 SIMS 測量的閘極絕緣層 104 和半導體層 106 的介面的氧

濃度設定為 $5 \times 10^{18} \text{cm}^{-3}$ 以下，氮濃度設定為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。另外，將氧濃度抑制得較低而使氮濃度高於氧濃度來形成倒錐形的晶粒。

將氧濃度抑制得較低而使氮濃度高於氧濃度的方法之一為當形成半導體層 106 之前多量的氮存在於閘極絕緣層 104 的表面上。為了多量的氮存在於閘極絕緣層 104 的表面上，在形成閘極絕緣層 104 之後且形成半導體層 106 之前利用由包含氮的氣體生成的電漿對閘極絕緣層 104 的表面進行處理，即可。在此，作為包含氮的氣體，例如可以舉出氨、氮、氯化氮、氟化氮等。

或者，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為使與半導體層 106 接觸的閘極絕緣層 104 包含高濃度氮的方法。即，使用氮化矽形成閘極絕緣層 104 的方法。另外，在實施例模式 2 中對該方法進行說明。

或者，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為使用包含高濃度氮的膜覆蓋用來形成半導體層 106 的處理室（反應室）的內壁的方法。作為包含高濃度氮的材料，例如可以舉出氮化矽。另外，也可以與閘極絕緣層 104 同時形成覆蓋處理室（反應室）內壁的包含高濃度氮的膜。這樣做，可以簡化製程，所以是較佳的。另外，在此情況下，用來形成閘極絕緣層 104 的處理室（反應室）和用來形成半導體層 106 的處理室（反應室）為同一的處理室，因此，可以將製造裝置小型化。另外，在

實施例模式 3 中對該方法進行說明。

或者，將氧濃度抑制得較低而使氮濃度高於氧濃度的其他方法之一為將包含在用來形成半導體層 106 的氣體中的氧濃度抑制得較低而提高氮濃度的方法。此時，只對在形成成為半導體層 106 的膜的初期使用的氣體中供給氮或逐漸減少供給的氮量即可。另外，在實施例模式 4 中說明該方法。

另外，可以使用上述方法中的任一種，也可以組合使用這些方法，來將氧濃度抑制得較低而使氮濃度高於氧濃度。在本實施例模式中，藉由以在氮化矽層上層疊氧氮化矽層的結構形成閘極絕緣層 104，並且將閘極絕緣層 104 暴露於氨中，而在閘極絕緣層 104 的表面供給氮。

在此，對形成閘極絕緣層 104、半導體層 106、以及源區及汲區 110 的一例進行詳細說明。使用 CVD 法等形成這些層。另外，閘極絕緣層 104 具有在氮化矽層上設置氧氮化矽層的疊層結構。藉由採用這種結構，由氮化矽層可以防止包含在基板中的影響到電特性的元素（當基板為玻璃時為鈉等的元素）進入半導體層 106 等中。圖 6 示出當形成這些層時使用的 CVD 裝置的示意圖。

圖 6 所示的電漿 CVD 裝置 161 連接於氣體供應單元 150 及排氣單元 151。

圖 6 所示的電漿 CVD 裝置 161 具備處理室 141、載物台 142、氣體供應部 143、簇射極板（shower plate）144、排氣口 145、上部電極 146、下部電極 147、交流電

源 148、以及溫度控制部 149。

處理室 141 由具有剛性的材料形成，且其內部構成爲可以進行真空排氣。在處理室 141 中具備有上部電極 146 和下部電極 147。另外，雖然在圖 6 示出了電容耦合型（平行平板型）的結構，但是只要是藉由施加兩種以上的不同高頻功率可以在處理室 141 內部產生電漿的結構，就還可以應用電感耦合型等其他結構。

在使用圖 6 所示的電漿 CVD 裝置進行處理時，從氣體供應部 143 引入預定氣體。被引入的氣體經過簇射極板 144 引入到處理室 141 中。藉由連接於上部電極 146 和下部電極 147 的交流電源 148 施加高頻功率，處理室 141 內的氣體被激發，而產生電漿。另外，藉由連接於真空泵的排氣口 145 排氣處理室 141 內的氣體。另外，藉由溫度控制部 149，可以一邊加熱被處理物一邊進行電漿處理。

氣體供應單元 150 由填充反應氣體的汽缸 152、壓力調節閥 153、停止閥 154、以及質量流量控制器 155 等構成。在處理室 141 內，在上部電極 146 和基板 100 之間具有加工成板狀並設置有多個細孔的簇射極板。被引入上部電極 146 的反應氣體經過內部的中空結構從該細孔引入處理室 141 內。

連接於處理室 141 的排氣單元 151 包括進行真空排氣和在引入反應氣體的情況下控制處理室 141 內的壓力以保持預定壓力的功能。作爲排氣單元 151 的結構包括蝶閥 156、導氣閥（conductance valve）157、渦輪分子泵 158

、乾燥泵 159 等。在並聯配置蝶閥 156 和導氣閥 157 的情況下，藉由關閉蝶閥 156 並使導氣閥 157 工作，可以控制反應氣體的排氣速度而將處理室 141 的壓力保持在預定範圍內。此外，藉由開放傳導性高的蝶閥 156，可以進行高真空排氣。

另外，在對處理室 141 進行超高真空排氣直到其壓力成為低於 10^{-5}Pa 的壓力的情況下，較佳的同時使用低溫泵 160。此外，在作為極限真空度進行排氣到超高真空的程度的情況下，也可以對處理室 141 的內壁進行鏡面加工，並且設置焙燒用加熱器以減少源於內壁的氣體釋放。

另外，若如圖 6 所示那樣以覆蓋處理室 141 整體地形成（沉積）膜的方式進行預塗處理，則可以防止附著在處理室 141 內壁的雜質元素或構成處理室 141 內壁的雜質元素混入元件中。在本實施例模式中，藉由預塗處理形成以矽為主要成分的膜即可，例如形成非晶矽膜等即可。注意，該膜較佳的不包含氧。

參照圖 7 以下說明從形成閘極絕緣膜 104 直到形成包含成為供體的雜質元素的半導體層 109（也稱為包含賦予一導電型的雜質元素的半導體層）的步驟。另外，在氮化矽層上層疊氧氮化矽層來形成閘極絕緣層 104。

首先，在 CVD 裝置的處理室 141 內加熱形成有閘極電極層 102 的基板，並且將用來形成氮化矽層的材料氣體引入處理室 141 內（圖 7 的預處理 A1）。在此，作為一例，藉由對處理室 141 內引入將 SiH_4 的流量設定為

40sccm， H_2 的流量設定為 500sccm， N_2 的流量設定為 550sccm， NH_3 的流量設定為 140sccm 的材料氣體並使流量穩定，並且在處理室 141 內的壓力為 100Pa、基板溫度為 $280^{\circ}C$ 的條件下以 370W 進行電漿放電，以形成大約 110nm 的氮化矽層。之後，只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 7 的 SiN_x 層的形成 B1）。這是因為若在 SiH_4 存在於處理室 141 內的狀態下停止電漿放電，則形成以矽為主要成分的粒狀物或粉狀物，而成為降低成品率的要素的緣故。另外，使用 N_2 氣體及 NH_3 氣體中的任一方即可。在混合使用它們的情況下，較佳的適當地調節流量。另外，適當地調節 H_2 氣體的引入及流量，而當不需要時也可以不引入它。

接下來，排氣用來形成氮化矽層的材料氣體，並且將用來形成氧氮化矽層的材料氣體引入處理室 141 內（圖 7 的氣體置換 C1）。在此，作為一例，藉由引入將 SiH_4 的流量設定為 30sccm， N_2O 的流量設定為 1200sccm 的材料氣體並使流量穩定，並且在處理室 141 內的壓力為 40Pa、基板溫度為 $280^{\circ}C$ 的條件下進行 50W 的電漿放電，以形成大約 110nm 的氧氮化矽層。之後，與氮化矽層同樣地只停止 SiH_4 的引入，並且其幾秒後停止電漿放電（圖 7 的 SiO_xN_y 層的形成 D1）。

藉由上述製程，可以形成閘極絕緣層 104。在形成閘極絕緣層 104 之後，從處理室 141 取出基板 100（圖 7 的 unloadE1）。

在從處理室 141 取出基板 100 之後，例如將 NF_3 氣體引入處理室 141 中，以進行處理室 141 內的清洗（圖 7 的清洗處理 F1）。之後，對處理室 141 進行形成非晶矽層的處理（圖 7 的預塗處理 G1）。與緩衝層 107 的形成同樣地形成非晶矽層，但是處理室 141 內可以引入或不引入氫。藉由該處理，在處理室 141 內壁上形成非晶矽層。可選地，也可以使用氮化矽進行預塗處理。此時的處理與形成閘極絕緣層 104 的處理同樣。之後，將基板 100 傳送到處理室 141 內（圖 7 的 loadH1）。

接下來，對閘極絕緣層 104 的表面供給氮。在此，藉由將閘極絕緣層 104 暴露於氮氣體而供給氮（圖 7 的沖洗處理 I1）。另外，也可以在氮氣體中包含氫。在此，作為一例，較佳的將處理室 141 內的壓力設定為 20Pa 至 30Pa 左右，基板溫度設定為 280°C ，處理時間設定為 60 秒。另外，雖然在本製程的處理中只暴露於氮氣體中，但是還可以進行電漿處理。之後，排氣在上述處理中使用的氣體，將用來形成半導體層 105 的材料氣體引入處理室 141 內（圖 7 的氣體置換 J1）。

接下來，在供給了氮的閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。首先，將用來形成半導體層 105 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 10sccm， H_2 的流量設定為 1500sccm 的材料氣體並使它穩定，並且將在處理室 141

內的壓力設定為 280Pa、將基板溫度設定為 280℃。然後進行 50W 的電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH₄ 的引入，並且在幾秒後停止電漿放電（圖 7 的半導體層的形成 K1）。之後，排氣這些氣體，引入用來形成成為緩衝層 107 的矽層的氣體（圖 7 的氣體置換 L1）。另外，不局限於此，不需要一定進行氣體置換。

在上述實例中，用來形成半導體層 105 的材料氣體中的 H₂ 的流量為 SiH₄ 的流量的 150 倍。由此，矽是逐漸沉積的。

對本實施例模式中的閘極絕緣層 104 的表面供給氮。如上所述，氮抑制矽的晶核生成。由此，在形成膜的初期步驟中不生成矽的晶核。在形成膜的初期步驟中形成的該層成為圖 2 所示的第一區域 120。半導體層 105 是根據固定條件形成的，即第一區域 120 和第二區域 122 藉由相同的條件形成。藉由如上所述那樣對閘極絕緣層 104 的表面供給氮，並且在該表面上形成半導體層 105，來形成包含氮的半導體層（圖 2 所示的第一區域 120）。一邊降低氮濃度一邊形成半導體層 105，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒 121。

接下來，在半導體層 105 的整個表面上形成緩衝層 107。緩衝層 107 是在後面的製程中被構圖而成為緩衝層 108 的層。在此，緩衝層 107 由非晶半導體形成。首先，將用來形成緩衝層 107 的材料氣體引入處理室 141 內。在

此，作為一例，藉由引入將 SiH_4 的流量設定為 280sccm ， H_2 的流量設定為 300sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 170Pa 、將基板溫度設定為 280°C 。然後進行 60W 的電漿放電，以形成大約 150nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 7 的 a-Si 層的形成 M1）。之後，排氣這些氣體，引入用來形成包含成為供體的雜質元素的半導體層 109 的氣體（圖 7 的氣體置換 N1）。

接下來，在緩衝層 107 的整個表面上形成包含成為供體的雜質元素的半導體層 109。包含成為供體的雜質元素的半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來形成包含成為供體的雜質元素的半導體層 109 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5\text{vol}\%$ 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa 、基板溫度設定為 280°C 。然後進行 60W 的電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 7 的雜質半導體層的形成 O1）。之後，排氣這些氣體（圖 7 的排氣 P1）。

如上所說明，可以進行直到形成包含成為供體的雜質元素的半導體層 109 的步驟（參照圖 4A）。

接下來，在包含成爲供體的雜質元素的半導體層 109 上形成導電層 111。

可以藉由使用鋁、銅、鈦、釹、銦、鉬、鉻、鉍或鎢等以單層或疊層形成導電層 111。也可以使用添加有防止小丘的產生的元素的鋁合金（可以用於閘極電極層 102 的 Al-Nd 合金等）形成。或者，也可以使用添加有成爲供體的雜質元素的晶體矽。也可以採用與添加有成爲供體的雜質元素的晶體矽接觸一側的層由鈦、鉍、鉬、鎢或這些元素的氮化物形成，並且在其上形成鋁或鋁合金而成的疊層結構。再者，也可以採用使用鈦、鉍、鉬、鎢或這些元素的氮化物夾住鋁或鋁合金的上面及下面而成的疊層結構。例如，作爲導電層 111，較佳的形成使用鉬層夾住鋁層而成的三層的疊層結構。

藉由使用 CVD 法、濺射法或真空蒸鍍法形成導電層 111。另外，也可以藉由使用絲網印刷法或噴墨法等噴射銀、金或銅等的導電奈米膏並進行焙燒來形成導電層 111。

接下來，在導電層 111 上形成第一抗蝕劑掩模 131（參照圖 4B）。第一抗蝕劑掩模 131 具有厚度不同的兩個區域，並且可以使用多級灰度掩模形成。藉由使用多級灰度掩模，要使用的光掩模的數量減少而減少製造製程數，所以是較佳的。在本實施例模式中，可以在形成半導體層 105、緩衝層 107、半導體層 109、以及導電層 111 的圖案的製程和對源區和汲區進行分離的製程中使用利用多級灰

度掩模形成的抗蝕劑掩模。

多級灰度掩模是可以以多級灰度的光量進行曝光的掩模，典型地說，進行曝光區域、半曝光區域以及未曝光區域的三級光量的曝光。若使用多級灰度掩模，則可以藉由一次曝光及顯影製程，形成具有多種（典型為兩種）厚度的抗蝕劑掩模。由此，藉由使用多級灰度掩模，可以削減光掩模的數量。

圖 8A-1 及 8B-1 示出典型的多級灰度掩模的截面圖。圖 8A-1 表示灰色調掩模 180，圖 8B-1 表示半色調掩模 185。

圖 8A-1 所示的灰色調掩模 180 由在具有透光性的基板 181 上使用遮光膜形成的遮光部 182 以及利用遮光膜的圖案設置的衍射光柵部 183 構成。

衍射光柵部 183 因為具有以用於曝光的光的解析度極限以下的間隔設置的狹縫、點或網眼等，而控制光的透過量。另外，設置在衍射光柵部 183 的狹縫、點或網眼既可以是週期性的，又可以是非週期性的。

作為具有透光性的基板 181，可以使用石英等。至於構成遮光部 182 及衍射光柵部 183 的遮光膜，使用金屬膜形成即可，較佳的使用鉻或氧化鉻等來設置。

在對灰色調掩模 180 照射用來曝光的光的情況下，如圖 8A-2 所示那樣與遮光部 182 重疊的區域的透光率成為 0%，並且不設置遮光部 182 或衍射光柵部 183 的區域的透光率成為 100%。另外，衍射光柵部 183 處的透光率大

致在 10%至 70%的範圍內，這可以根據衍射光柵的狹縫、點或網眼的間隔等調整。

圖 8B-1 所示的半色調掩模 185 由在具有透光性的基板 186 上使用半透過膜形成的半透光部 187 以及使用遮光膜形成的遮光部 188 構成。

可以使用 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等的膜形成半透光部 187。至於遮光部 188，使用與灰色調掩模的遮光膜相同的金屬形成即可，較佳的使用鉻或氧化鉻等來設置。

在對半色調掩模 185 照射用來曝光的光的情況下，如圖 8B-2 所示那樣與遮光部 188 重疊的區域的透光率成為 0%，並且不設置遮光部 188 或半透光部 187 的區域的透光率成為 100%。另外，半透光部 187 處的透光率大致在 10%至 70%的範圍內，這可以根據要形成的材料的種類或厚度等調整。

藉由使用多級灰度掩模進行曝光及顯影，可以形成具有厚度不同的區域的抗蝕劑掩模。

接下來，使用第一抗蝕劑掩模 131 對半導體層 105、緩衝層 107、包含成為供體的雜質元素的半導體層 109 以及導電層 111 進行蝕刻。藉由該製程，半導體層 105、緩衝層 107、包含成為供體的雜質元素的半導體層 109 以及導電層 111 被分離在各個元件（參照圖 4C）。

在此，縮小第一抗蝕劑掩模 131 而形成第二抗蝕劑掩模 132。藉由利用氧電漿的灰化而縮小抗蝕劑掩模即可。

接下來，使用第二抗蝕劑掩模 132 對導電層 111 進行蝕刻，形成佈線層 112（參照圖 5A）。佈線層 112 構成源極電極及汲極電極。較佳的使用濕蝕刻進行導電層 111 的蝕刻。藉由濕蝕刻，選擇性地蝕刻導電層，使導電層的側面比第二抗蝕劑掩模 132 更向內縮小，而形成佈線層 112。由此，佈線層 112 的側面和被蝕刻的包含成為供體的雜質元素的半導體層 109 的側面不一致，而在佈線層 112 的側面外側形成源區及汲區 110 的側面。佈線層 112 不僅起到源極電極及汲極電極的作用，而且還起到信號線的作用。但是，不局限於此，也可以分別設置信號線和佈線層 112。

接下來，在形成有第二抗蝕劑掩模 132 的狀態下對緩衝層 107 的一部分及包含成為供體的雜質元素的半導體層 109 進行蝕刻，形成緩衝層 108 以及源區及汲區 110（參照圖 5B）。

接下來，較佳的在形成有第二抗蝕劑掩模 132 的狀態下進行乾蝕刻。在此，作為乾蝕刻條件，採用不對露出的緩衝層 108 造成損傷並且緩衝層 108 的蝕刻速度低的條件。即，採用幾乎不對露出的緩衝層 108 的表面造成損傷並且緩衝層 108 的厚度幾乎不減少的條件。作為蝕刻氣體可以使用 Cl_2 氣體等。另外，對於蝕刻方法沒有特別限制，可以使用 ICP 方式、CCP 方式、ECR 方式、反應性離子蝕刻（RIE：Reactive Ion Etching）方式等。

作為這裏可使用的乾蝕刻條件的一例，將 Cl_2 氣體的

流量設定為 100sccm，將反應室內的壓力設定為 0.67Pa，將下部電極溫度設定為 -10℃，對上部電極的線圈施加 2000W 的 RF (13.56MHz) 功率來產生電漿，不對基板 100 側施加功率而將它成為 0W (即，無偏差 (bias free))，進行三十秒鐘的蝕刻。將反應室內壁的溫度較佳的設定為 80℃ 左右。

接下來，較佳的在形成有第二抗蝕劑掩模 132 的狀態下進行電漿處理。在此，較佳的例如利用水電漿進行電漿處理。

藉由在反應空間引入以水蒸氣 (H_2O 蒸氣) 為代表的以水為主要成分的氣體，產生電漿，而可以進行水電漿處理。藉由水電漿，可以去除第二抗蝕劑掩模 132。另外，有時藉由進行水電漿處理或暴露於大氣中後進行水電漿處理，在露出的緩衝層 108 上形成氧化膜。

另外，也可以在不使用水電漿處理，不對露出的緩衝層 108 造成損傷，並且緩衝層 108 的蝕刻速度低的條件下進行乾蝕刻。

如上所述，藉由在形成一對源區及汲區 110 之後，在不對緩衝層 108 造成損傷的條件下進一步進行乾蝕刻，可以去除存在於露出的緩衝層 108 上的殘渣等的雜質元素。另外，藉由進行乾蝕刻接著進行水電漿處理，也可以去除第二抗蝕劑掩模 132。藉由進行水電漿處理，可以使源區和汲區之間可靠地絕緣，並且降低完成的薄膜電晶體的截止電流並提高導通電流，而可以減少電特性的不均勻性。

另外，電漿處理等製程不局限於上述順序，也可以在去除第二抗蝕劑掩模 132 之後進行無偏差的蝕刻或電漿處理。

如上所說明，可以製造根據本實施例模式的薄膜電晶體（參照圖 5B）。根據本實施例模式的薄膜電晶體可以應用於設置在以液晶顯示裝置為代表的顯示裝置的像素中的開關電晶體。因此，覆蓋該薄膜電晶體地形成具有開口部的絕緣層 114，並且在該開口部中與由佈線層 112 構成的源極電極或汲極電極連接地形成像素電極層 116（參照圖 5C）。可以藉由光微影法形成該開口部。之後，在絕緣層 114 上設置像素電極層 116，以使它透過該開口部與佈線層 112 連接。像這樣，可以製造圖 1 所示的設置在顯示裝置的像素中的開關電晶體。

另外，可以與閘極絕緣層 104 同樣地形成絕緣層 114。緻密的氮化矽膜較佳的用作絕緣層 114，以便可以防止大氣中浮動的有機物、金屬或水蒸氣等的會成為污染源的雜質元素的進入。

另外，可以使用包含具有透光性的導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 116。較佳的是，像素電極層 116 的薄層電阻為 $10000\Omega/\text{cm}^2$ 以下，並且波長為 550nm 時的透光率為 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率較佳為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電

高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者這些的兩種以上的共聚物等。

例如，可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下表示為 ITO）、銦鋅氧化物或添加有氧化矽的銦錫氧化物等形成像素電極層 116。

至於像素電極層 116，與佈線層 112 等同樣地使用光微影法進行蝕刻而構圖即可。

另外，雖然未圖示，但是也可以在絕緣層 114 和像素電極層 116 之間具有藉由旋塗法等形成的由有機樹脂構成的絕緣層。

如本實施例模式所示，可以得到導通電流高且截止電流低的薄膜電晶體。

實施例模式 2

在本實施例模式中，對圖 1 所示的與實施例模式 1 不同的薄膜電晶體的製造方法進行說明。在本實施例模式中，與實施例模式 1 同樣形成包含具有倒錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例模式中，藉由使用氮化矽形成與半導體層接觸的閘極絕緣層，而抑制半導體層的氮濃度，以形成包含具有倒錐形的晶粒的半導體層。參照圖 9 以下說明從形成閘極絕緣層 104 直到形成包含成為供體的雜質元素的半

導體層 109 的步驟。

首先，在 CVD 裝置的處理室 141 內加熱形成有閘極電極層 102 的基板，並且將用來形成氮化矽層的材料氣體引入處理室 141 內（圖 9 的預處理 A2）。在此，作為一例，藉由引入將 SiH_4 的流量設定為 40sccm， H_2 的流量設定為 500sccm， N_2 的流量設定為 550sccm， NH_3 的流量設定為 140sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 100Pa、將基板溫度設定為 280℃。然後進行 370W 的電漿放電，以形成大約 300nm 的氮化矽層。之後，只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 9 的 SiN_x 層的形成 B2）。另外，使用 N_2 氣體及 NH_3 氣體中的任一方即可。在混合使用它們的情況下，較佳的適當地調節流量。另外，適當地調節 H_2 氣體的引入及流量，而當不需要時也可以不引入它。

接下來，排氣用來形成氮化矽層的材料氣體，將用來形成半導體層 105 的材料氣體引入處理室 141 內（圖 9 的氣體置換 C2）。

接下來，在閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。首先，將用來形成半導體層 105 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 10sccm， H_2 的流量設定為 1500sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa、將基板溫度設定為 280℃。然後進行 50W 的

電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 9 的半導體層的形成 D2）。之後，排氣這些氣體，引入用來形成緩衝層 107 的氣體（圖 9 的氣體置換 E2）。另外，不局限於此，不需要一定進行氣體置換。

在上述實例中，用來形成半導體層 105 的材料氣體中的 H_2 的流量為 SiH_4 的流量的 150 倍。由此，矽是逐漸沉積的。

在本實施例模式的閘極絕緣層 104 中，因為至少與半導體層 105 接觸的最上層由氮化矽形成，所以在閘極絕緣層 104 的表面有多量的氮。如上所述，氮抑制矽的晶核生成。由此，在形成膜的初期步驟中不生成矽的晶核。在形成膜的初期步驟中形成的該層成為圖 2 所示的第一區域 120。半導體層 105 是根據固定條件形成的，即第一區域 120 和第二區域 122 藉由相同的條件形成。如上所述，藉由對閘極絕緣層 104 的表面供給氮並且在該表面上形成半導體層 105，而形成包含氮的半導體層（圖 2 所示的第一區域 120）。一邊降低氮濃度一邊形成該半導體層，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒 121。另外，在成為晶粒 121 的生長起點的晶核的生成位置，藉由 SIMS 測量的氮濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下。

另外，在此，作為抑制晶核生成的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如，氮）。另一方面，降低生成矽的懸空鍵的雜質元素（例如，氧）的濃度。由此，較佳的不降低氮濃度地降低氧濃度。具體而言，較佳的將藉由 SIMS 測量的氧濃度設定為 $5 \times 10^{18} \text{cm}^{-3}$ 以下。

接下來，在半導體層 105 的整個表面上形成緩衝層 107。緩衝層 107 是在後面的製程中被構圖而成為緩衝層 108 的層。在此，緩衝層 107 由非晶半導體形成。首先，將用來形成緩衝層 107 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 280 sccm， H_2 的流量設定為 300 sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 170 Pa、將基板溫度設定為 280°C 。然後進行 60 W 的電漿放電，以形成大約 150 nm 的緩衝層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且其幾秒後停止電漿放電（圖 9 的 a-Si 層的形成 F2）。之後，排氣這些氣體，引入用來形成包含成為供體的雜質元素的半導體層 109 的氣體（圖 9 的氣體置換 G2）。

接下來，在緩衝層 107 的整個表面上形成包含成為供體的雜質元素的半導體層 109。包含成為供體的雜質元素的半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來形成包含成為供體的雜質元素的半導體層 109 的材料氣體引入處理室 141 內。在此，作

爲一例，藉由引入將 SiH_4 的流量設定爲 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5\text{vol}\%$ 的混合氣體的流量設定爲 170sccm 的材料氣體並使它穩定，並且在處理室 141 內的壓力爲 280Pa 、基板溫度爲 280°C 。然後進行 60W 的電漿放電，以形成大約 50nm 的包含成爲供體的雜質元素的半導體層 109。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且其幾秒後停止電漿放電（圖 9 的雜質半導體層的形成 H2）。之後，排氣這些氣體（圖 9 的排氣 I2）。

如上所說明，藉由使用氮化矽形成至少與半導體層接觸的閘極絕緣層的最上層，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有倒錐形的晶粒的半導體層。

實施例模式 3

在本實施例模式中，對圖 1 所示的與實施例模式 1 及實施例模式 2 不同的薄膜電晶體的製造方法進行說明。在本實施例模式中，與實施例模式 1 及實施例模式 2 同樣地形成包含具有倒錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例模式中，在形成半導體層之前進行處理室 141 內的清洗，之後使用氮化矽層覆蓋反應室內壁而使半導體層包含氮，將氧濃度抑制得較低而使氮濃度高於氧濃度。參照圖 10 以下說明從形成閘極絕緣層 104 直到形成

包含成爲供體的雜質元素的半導體層 109 的步驟。

首先，在 CVD 裝置的處理室 141 內（反應室內）加熱形成有閘極電極層 102 的基板，並且將用來形成氮化矽層的材料氣體引入處理室 141 內（圖 10 的預處理 A3）。在此，作爲一例，藉由引入將 SiH_4 的流量設定爲 40sccm， H_2 的流量設定爲 500sccm， N_2 的流量設定爲 550sccm， NH_3 的流量設定爲 140sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定爲 100Pa、將基板溫度設定爲 280℃。然後進行 370W 的電漿放電，以形成大約 110nm 的氮化矽層。之後，只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 10 的 SiN_x 層的形成 B3）。另外，使用 N_2 氣體及 NH_3 氣體中的任一方即可。在混合使用它們的情況下，較佳的適當地調節流量。另外，適當地調節 H_2 氣體的引入及流量，而當不需要時不引入它也可以。

接下來，排氣用來形成氮化矽層的材料氣體，並且將用來形成氧氮化矽層的材料氣體引入處理室 141 內（圖 10 的氣體置換 C3）。在此，作爲一例，藉由引入將 SiH_4 的流量設定爲 30sccm， N_2O 的流量設定爲 1200sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定爲 40Pa、將基板溫度設定爲 280℃。然後進行 50W 的電漿放電，以形成大約 110nm 的氧氮化矽層。之後，與氮化矽層同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 10 的 SiO_xN_y 層的形成 D3）。

藉由上述製程，可以形成閘極絕緣層 104。在形成閘極絕緣層 104 之後，從處理室 141 取出基板 100（圖 10 的 unloadE3）。

在從處理室 141 取出基板 100 之後，將 NF_3 氣體引入處理室 141，以進行處理室 141 內的清洗（圖 10 的清洗處理 F3）。之後，與閘極絕緣層 104 同樣地進行形成氮化矽層的處理（圖 10 的預塗處理 G3）。藉由該處理，在處理室 141 的內壁由氮化矽層覆蓋。之後，將基板 100 傳送到處理室 141 中，並且將用來形成半導體層 105 的材料氣體引入處理室 141 內（圖 10 的 loadH3）。

接下來，在閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。首先，將用來形成半導體層 105 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 10sccm， H_2 的流量設定為 1500sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa、將基板溫度設定為 280℃。然後進行 50W 的電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的供給，並且在幾秒後停止電漿放電（圖 10 的半導體層的形成 I3）。之後，排氣這些氣體，引入用來形成緩衝層 107 的氣體（圖 10 的氣體置換 J3）。另外，不局限於此，不需要一定進行氣體置換。

在上述實例中，用來形成半導體層 105 的材料氣體中

的 H_2 的流量為 SiH_4 的流量的 150 倍。由此，矽是逐漸沉積的。

對在本實施例模式中的閘極絕緣層 104 的表面由處理室 141 內壁上所形成的氮化矽層供給氮。如上所述，氮抑制矽的晶核生成。由此，在形成半導體層 105 的初期步驟中不生成矽的晶核。在形成半導體層 105 的初期步驟中形成的該層成為圖 2 所示的第一區域 120。半導體層 105 是根據固定條件形成的，即第一區域 120 和第二區域 122 藉由相同的條件形成。藉由如上所述那樣對閘極絕緣層 104 的表面供給氮，並且在該表面上形成半導體層 105，而形成包含氮的半導體層（圖 2 所示的第一區域 120）。一邊降低氮濃度一邊形成該半導體層 105，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒 121。

接下來，在半導體層 105 的整個表面上形成緩衝層 107。緩衝層 107 是在後面的製程中被構圖而成為緩衝層 108 的層。在此，緩衝層 107 由非晶半導體形成。首先，將用來形成緩衝層 107 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 280 sccm， H_2 的流量設定為 300 sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 170 Pa、將基板溫度設定為 280℃。然後進行 60 W 的電漿放電，以形成大約 150 nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（

圖 10 的 a-Si 層的形成 K3)。之後，排氣這些氣體，引入用來形成包含成為供體的雜質元素的半導體層 109 的氣體（圖 10 的氣體置換 L3）。

接下來，在緩衝層 107 的整個表面上形成包含成為供體的雜質元素的半導體層 109。包含成為供體的雜質元素的半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來形成包含成為供體的雜質元素的半導體層 109 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm，使用 H_2 將 PH_3 稀釋到 0.5vol% 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa、將基板溫度設定為 280℃。然後進行 60W 的電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的供給，並且在幾秒後停止電漿放電（圖 10 的包含成為供體的雜質元素的半導體層的形成 M3）。之後，排氣這些氣體（圖 10 的排氣 N3）。

如上所述，藉由至少緊接在形成半導體層 105 之前使用氮化矽層覆蓋處理室 141 的內壁，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有倒錐形的晶粒的半導體層。

另外，藉由使用氮化矽層覆蓋處理室 141 的內壁，也可以防止構成處理室 141 的內壁的元素等混入半導體層中。

另外，在上述說明中說明了一種方式，即由於在氮化矽層上層疊氮化矽層形成閘極絕緣層 104，所以在形成閘極絕緣層 104 之後進行清洗處理和預塗處理的方式。但是，本實施例模式也可以與實施例模式 2 組合來實施。就是說，也可以使用氮化矽形成閘極絕緣層 104，並且該閘極絕緣層 104 的形成步驟兼作預塗處理。藉由閘極絕緣層 104 的形成兼作預塗處理，簡化製程，而可以提高產率。

實施例模式 4

在本實施例模式中，對與實施例模式 1 至實施例模式 3 不同的半導體裝置的製造方法進行說明。在本實施例模式中，與實施例模式 1 同樣形成包含具有倒錐形的晶粒的半導體層。但是，使半導體層包含氮的方法不同。

在本實施例模式中，藉由將氮混入到半導體層的形成初期的氣體中，可以將氧濃度抑制得較低而使氮濃度高於氧濃度。參照圖 11 以下說明從形成閘極絕緣層 104 直到形成包含成為供體的雜質元素的半導體層 109 的步驟。

首先，在 CVD 裝置的處理室 141 內（反應室內）加熱形成有閘極電極層 102 的基板，並且將用來形成氮化矽層的材料氣體引入處理室 141 內（圖 11 的預處理 A4）。在此，作為一例，藉由引入將 SiH_4 的流量設定為 40sccm， H_2 的流量設定為 500sccm， N_2 的流量設定為 550sccm， NH_3 的流量設定為 140sccm 的材料氣體並使它穩定，將在處理室 141 內的壓力設定為 100Pa、將基板溫度設定為

280℃。然後進行 370W 的電漿放電，以形成大約 110nm 的氮化矽層。之後，只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 11 的 SiN_x 層的形成 B4）。另外，使用 N_2 氣體及 NH_3 氣體中的任一方即可。在混合使用它們的情況下，較佳適當地調節流量。另外，適當地調節 H_2 氣體的引入及流量，而當不需要時也可以不引入它。

接下來，排氣用來形成氮化矽層的材料氣體，並且將用來形成氧氮化矽層的材料氣體引入處理室 141 內（圖 11 的氣體置換 C4）。在此，作為一例，藉由引入將 SiH_4 的流量設定為 30sccm， N_2O 的流量設定為 1200sccm 的材料氣體並使它穩定，將在處理室 141 內的壓力設定為 40Pa、將基板溫度設定為 280℃。然後進行 50W 的電漿放電，以形成大約 110nm 的氧氮化矽層。之後，與氮化矽層同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 11 的 SiO_xN_y 層的形成 D4）。之後，排氣這些氣體，引入用來形成半導體層 105 的氣體（圖 11 的氣體置換 E4）。

接下來，在閘極絕緣層 104 的整個表面上形成半導體層 105。半導體層 105 是在後面的製程中被構圖而成為半導體層 106 的層。在此，作為一例，藉由引入將 SiH_4 的流量設定為 10sccm， H_2 的流量設定為 1500sccm， N_2 的流量設定為 1000sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa、將基板溫度設定為 280℃，然後進行 50W 的電漿放電，並且僅將 N_2 的流量設定

為 0 並使半導體層生長，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 11 的半導體層的形成 F4）。之後，排氣這些氣體，引入用來形成緩衝層 107 的氣體（圖 11 的氣體置換 G4）。注意，也可以使用 NH_3 而代替 N_2 。另外，不局限於此，不需要一定進行氣體置換。

在上述實例中，用來形成半導體層 105 的材料氣體中的 H_2 的流量為 SiH_4 的流量的 150 倍。由此，矽是逐漸沉積的。

在本實施例模式中的半導體層 105 的形成初期的氣體包含氮。如上所述，氮抑制矽的晶核生成。由此，在形成膜的初期步驟中不生成矽的晶核。在形成初期步驟中形成的該層成為圖 2 所示的第一區域 120。如上所述，藉由使在半導體層 105 的形成初期所使用的氣體包含氮並且在該表面上形成半導體層 105，而形成包含氮的半導體層（圖 2 所示的第一區域 120）。一邊降低氮濃度一邊形成該半導體層，並且氮濃度降低到一定值以下時，產生晶核。之後，其晶核生長，而形成晶粒 121。

接下來，在半導體層 105 的整個表面上形成緩衝層 107。緩衝層 107 是在後面的製程中被構圖而成為緩衝層 108 的層。在此，緩衝層 107 由非晶半導體形成。首先，將用來形成緩衝層 107 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 280sccm

， H_2 的流量設定為 300sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 170Pa 、將基板溫度設定為 280°C 。然後進行 60W 的電漿放電，以形成大約 150nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 11 的 a-Si 層的形成 H4）。之後，排氣這些氣體，引入用來形成包含成為供體的雜質元素的半導體層 109 的氣體（圖 11 的氣體置換 I4）。

接下來，在緩衝層 107 的整個表面上形成包含成為供體的雜質元素的半導體層 109。包含成為供體的雜質元素的半導體層 109 是在後面的製程中被構圖而成為源區及汲區 110 的層。首先，將用來形成包含成為供體的雜質元素的半導體層 109 的材料氣體引入處理室 141 內。在此，作為一例，藉由引入將 SiH_4 的流量設定為 100sccm ，使用 H_2 將 PH_3 稀釋到 $0.5\text{vol}\%$ 的混合氣體的流量設定為 170sccm 的材料氣體並使它穩定，並且將在處理室 141 內的壓力設定為 280Pa 、將基板溫度設定為 280°C 。然後進行 60W 的電漿放電，以形成大約 50nm 的半導體層。之後，與上述的氮化矽層等的形成同樣地只停止 SiH_4 的引入，並且在幾秒後停止電漿放電（圖 11 的雜質半導體層的形成 J4）。之後，排氣這些氣體（圖 11 的排氣 K4）。

如上所說明，藉由將氮包含在半導體層的形成初期的氣體中，可以將氧濃度抑制得較低而使氮濃度高於氧濃度，可以形成包含具有倒錐形的晶粒的半導體層。

實施例模式 5

在本實施例模式中，將參照附圖說明薄膜電晶體的方式的一例。在本實施例模式中，不使用多級灰度掩模地形成薄膜電晶體。

圖 12 示出本實施例模式的薄膜電晶體的俯視圖及截面圖。圖 12 所示的薄膜電晶體具有基板 200 上的閘極電極層 202、覆蓋閘極電極層 202 的閘極絕緣層 204、閘極絕緣層 204 上並與其接觸的半導體層 206、半導體層 206 上並與其接觸的緩衝層 208。薄膜電晶體具有緩衝層 208 的一部分上並與其接觸的源區及汲區 210，還具有閘極絕緣層 204 和源區及汲區 210 上並與其接觸的佈線層 212。佈線層 212 構成源極電極及汲極電極。在佈線層 212 上具有用作保護膜的絕緣層 214。另外，各個層形成爲所希望的圖案形狀。

另外，圖 12 所示的薄膜電晶體與圖 1 所示的薄膜電晶體同樣可以應用於設置在液晶顯示裝置的像素部中的像素電晶體。由此，在圖 12 示的實例中，在絕緣層 214 中設置開口部，在絕緣層 214 上設置像素電極層 216，並且像素電極層 216 和佈線層 212 彼此連接。

另外，將源極電極和汲極電極之一設置爲 U 字型(或日語片假名“コ”字型)，其圍繞源極電極和汲極電極之另一個。源極電極和汲極電極之間保持大致一定的距離(參照圖 12)。

藉由將薄膜電晶體的源極電極及汲極電極形成為上述形狀，可以將該薄膜電晶體的通道寬度形成得較大，而增加電流量。另外，可以減少電特性的不均勻性。再者，可以抑制因製程中的掩模圖案偏差而導致的可靠性的降低。然而，不局限於此，源極電極及汲極電極中的一方不需要一定具有 U 字型。

在本實施例模式中的半導體層 206 具有與實施例模式 1 中的半導體層 106 同樣的特徵，並且可以以同樣的材料及方法形成。另外，也可以如實施例模式 2 至實施例模式 4 所說明那樣形成。因此，在本實施例模式中，省略半導體層 206 的形成的詳細說明。

對圖 12 所示的薄膜電晶體的製造方法進行說明。與 p 型薄膜電晶體相比，n 型薄膜電晶體的載流子遷移率高。另外，若使形成在同一基板上的所有薄膜電晶體的極性一致，則可以抑制製數，所以是較佳的。由此，在本實施例模式中，對 n 型薄膜電晶體的製造方法進行說明。

首先，在基板 200 上形成閘極電極層 202（參照圖 13A）。

作為基板 200，可以使用與實施例模式 1 中的基板 100 同樣的基板。

閘極電極層 202 可以以與實施例模式 1 中的閘極電極層 102 同樣的材料及方法形成。

接下來，覆蓋閘極電極層 202 地形成閘極絕緣層 204（參照圖 13B）。閘極絕緣層 204 可以以與實施例模式 1

中的閘極絕緣層 104 同樣的材料及方法形成。

在此可以進行對閘極絕緣層 204 上供給氮的處理（參照圖 13C）。作為供給氮的處理，可以舉出實施例模式 1 所說明的將閘極絕緣層 204 暴露於 NH_3 氣體的處理。

接下來，在閘極絕緣層 204 上形成半導體層 205、緩衝層 207 及包含成為供體的雜質元素的半導體層 209（參照圖 14A）。之後，在包含成為供體的雜質元素的半導體層 209 上形成第一抗蝕劑掩模 231（參照圖 14B）。

半導體層 205 可以與實施例模式 1 中的半導體層 105 同樣地形成。緩衝層 207 可以與實施例模式 1 中的緩衝層 107 同樣地形成。包含成為供體的雜質元素的半導體層 209 可以與實施例模式 1 中的包含成為供體的雜質元素的半導體層 109 同樣地形成。

注意，半導體層 205 可以藉由實施例模式 2 至實施例模式 4 所說明的方法形成。

接下來，使用第一抗蝕劑掩模 231 蝕刻緩衝層 207 及包含成為供體的半導體層 209，來形成島狀的半導體層（參照圖 14C）。之後，去除第一抗蝕劑掩模 231（參照圖 15A）。

接下來，覆蓋被蝕刻的半導體層 205、緩衝層 207、以及包含成為供體的雜質元素的半導體層 209 形成導電層 211（參照圖 15B）。導電層 211 可以以與導電層 111 同樣的材料及方法形成。之後，在導電層 211 上形成第二抗蝕劑掩模 232（參照圖 15C）。

接下來，使用第二抗蝕劑掩模 232 對導電層 211 進行蝕刻，形成佈線層 212（參照圖 16A）。佈線層 212 構成源極電極及汲極電極。較佳的使用濕蝕刻進行導電層 211 的蝕刻。藉由濕蝕刻，選擇性地蝕刻導電層，並且使導電層的側面比第二抗蝕劑掩模 232 更向內縮小，而形成佈線層 212。由此，佈線層 212 的側面和被蝕刻的包含成為供體的雜質元素的半導體層 209 的側面不一致，而在佈線層 212 的側面外側形成源區及汲區的側面。佈線層 212 不僅起到源極電極及汲極電極的作用，而且還起到信號線的作用。但是，不局限於此，也可以分別設置信號線和佈線層 212。

接下來，使用第二抗蝕劑掩模 232 蝕刻島狀半導體層的緩衝層 207 的一部的上部分和包含成為供體的雜質元素的半導體層 209（參照圖 16B）。到此為止，形成半導體層 206、緩衝層 208、以及源區及汲區 210。

接下來，在與實施例模式 1 同樣地形成第二抗蝕劑掩模 232 的狀態下，較佳的以不對緩衝層 208 造成損傷，並且對於緩衝層 208 的蝕刻速度低的條件進行乾蝕刻。再者，較佳的藉由水電漿處理去除第二抗蝕劑掩模 232。

藉由上述製程，可以製造根據本實施例模式的薄膜電晶體。根據本實施例模式的薄膜電晶體可以與實施例模式 1 所說明的薄膜電晶體同樣地應用於在以液晶顯示裝置為代表的顯示裝置的像素中設置的開關電晶體。因此，覆蓋該薄膜電晶體地形成絕緣層 214。絕緣層 214 形成有到達

由佈線層 212 構成的源極電極及汲極電極的開口部。該開口部可以藉由光微影法形成。之後，當藉由在絕緣層 214 上設置像素電極層 216 以使它透過該開口部與佈線層 212 連接時，可以製造在圖 12 所示的顯示裝置的像素中設置的開關電晶體。

另外，絕緣層 214 可以與實施例模式 1 中的絕緣層 114 同樣地形成。另外，像素電極層 216 可以與實施例模式 1 中的像素電極層 116 同樣地形成。

注意，雖然未圖示，但是也可以在絕緣層 214 和像素電極層 216 之間具有藉由旋塗法等形成並由有機樹脂膜構成的絕緣層。

如本實施例模式所說明，可以得到導通電流高且截止電流低的薄膜電晶體，而不使用多級灰度掩模。

實施例模式 6

在本實施例模式中，說明包括實施例模式 5 所示的薄膜電晶體的液晶顯示裝置作為顯示裝置的一個方式。在此，參照圖 17 至圖 19 說明 VA（垂直取向）型液晶顯示裝置。VA 型是指控制液晶面板的液晶分子的排列的方式之一。在 VA 型液晶顯示裝置中當不施加電壓時液晶分子朝向垂直於面板的方向。在本實施例模式中，特別設法將像素分為幾個區域（子像素），並且將分子分別放倒於不同方向上。將此稱為多區設計化、或者多區設計。在以下說明中，將說明考慮了多區設計的液晶顯示裝置。

圖 17 及圖 18 示出 VA 型液晶顯示裝置的像素結構。圖 18 是本實施例模式所示的像素結構的平面圖，而圖 17 示出對應於圖 18 中的切斷線 Y-Z 的截面結構。在以下說明中，參照圖 17 及 18 進行說明。

在本實施例模式所示的像素結構中，設置在基板 250 上的一個像素具有多個像素電極，並且各像素電極隔著平坦化膜 258 及絕緣層 257 連接到薄膜電晶體。各薄膜電晶體由不同的閘極信號驅動。就是說，在多區設計的像素中，獨立控制施加到各像素電極的信號。

像素電極 260 在開口部 259 中透過佈線 255 與薄膜電晶體 264 連接。此外，像素電極 262 在開口部 263 中透過佈線 256 與薄膜電晶體 265 連接。薄膜電晶體 264 的閘極電極 252 和薄膜電晶體 265 的閘極電極 253 彼此分離，以便能夠提供不同的閘極信號。另一方面，薄膜電晶體 264 和薄膜電晶體 265 共同使用用作資料線的佈線 254。可以藉由使用實施例模式 5 所示的方法，來製造薄膜電晶體 264 及薄膜電晶體 265。

像素電極 260 和像素電極 262 具有不同的形狀，並且由狹縫 261 彼此分離。像素電極 262 以圍繞擴展為 V 字型的像素電極 260 的外側的方式形成。藉由根據薄膜電晶體 264 及薄膜電晶體 265 使施加到像素電極 260 和像素電極 262 的電壓時序不同，來控制液晶的取向。藉由對閘極電極 252 和閘極電極 253 施加不同的閘極信號，可以使薄膜電晶體 264 及薄膜電晶體 265 的工作時序互不相同。此

外，在像素電極 260 及像素電極 262 上形成有對準膜 272。

在對置基板 251 上形成有遮光膜 266、著色膜 267、對置電極 269。此外，在著色膜 267 和對置電極 269 之間形成平坦化膜 268，以防止液晶取向的錯亂。此外，在對置電極 269 上形成有對準膜 271。圖 19 示出對置基板 251 一側的像素結構。對置電極 269 在不同的像素之間共同使用，並且具有狹縫 270。藉由交替地配置該狹縫 270 和在像素電極 260 及像素電極 262 的狹縫 261，可以產生傾斜電場來控制液晶的取向。其結果，可以使液晶的取向方向根據位置不同，從而擴大視角。

這裏，利用基板、著色膜、遮光膜以及平坦化膜構成顏色濾光片。注意，也可以在基板上不形成遮光膜以及平坦化膜中的任一方或者雙方。

此外，著色膜具有使可見光的波長範圍中的任意波長範圍的光的成分優先透過的功能。通常，在很多情況下，組合使紅色波長範圍的光、藍色波長範圍的光、以及綠色波長範圍的光分別優先透過的著色膜，用於顏色濾光片。然而，著色膜的組合不局限於此。

藉由像素電極 260 和對置電極 269 夾有液晶層 273，形成第一液晶元件。此外，藉由像素電極 262 和對置電極 269 夾有液晶層 273，形成第二液晶元件。此外，採用在一個像素中設置有第一液晶元件和第二液晶元件的多區結構。

注意，雖然在此示出 VA 型液晶顯示裝置作為液晶顯示裝置，但是不局限於此。就是說，可以將藉由使用實施例模式 5 所示的薄膜電晶體形成的元件基板用於 FFS 型液晶顯示裝置、IPS 型液晶顯示裝置、TN 型液晶顯示裝置、或其他液晶顯示裝置。

另外，在本實施例模式中使用實施例模式 5 中所製造的薄膜電晶體，但是也可以使用實施例模式 1 中所製造的薄膜電晶體。

如上所說明，可以製造液晶顯示裝置。本實施例模式的液晶顯示裝置因為將導通電流高且截止電流低的薄膜電晶體，所以可以製造圖像品質良好（例如高對比度）且耗電量低的液晶顯示裝置。

實施例模式 7

在本實施例模式中，作為顯示裝置的一個方式，對具有實施例模式 5 所示的薄膜電晶體的發光顯示裝置進行說明。在此，對發光顯示裝置所具有的像素的構成的一例進行說明。圖 20A 示出像素的平面圖，圖 20B 示出對應於圖 20A 中的切斷線 A-B 的截面結構。

在本實施例模式中表示使用利用電致發光的發光元件的發光顯示裝置。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物而被大致分類，一般而言，前者被稱為有機 EL 元件，後者被稱為無機 EL 元件。另外，雖然在此作為薄膜電晶體的製造方法利用實施例模式

5，但是不局限於此，也可以為藉由實施例模式 1 所示的製造方法製造的薄膜電晶體。

在有機 EL 元件中，藉由對發光元件施加電壓，從一對電極將電子及電洞分別注入到包含發光性有機化合物的層，而電流流過。因此，藉由這些載流子（電子及電洞）重新組合，發光性有機化合物成為激發態，而當從激發態回到基態時發光。由於這種機理，上述發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構被分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括將發光材料顆粒分散在粘合劑中的發光層，並且其發光機理是利用供體能級和受體能級的供體－受體複合型發光。薄膜型無機 EL 元件具有在電介質層之間夾住發光層且在電極之間夾住該在電介質層之間夾住的發光層的結構，並且其發光機理是利用金屬離子內殼層電子躍遷的局部存在型發光。注意，這裏使用有機 EL 元件作為發光元件進行說明。

在圖 20A 及 20B 中，第一薄膜電晶體 281a 是用來控制對於像素電極的信號的輸入的開關用薄膜電晶體，第二薄膜電晶體 281b 是用來控制對於發光元件 282 的電流或電壓的驅動用薄膜電晶體。

第一薄膜電晶體 281a 的閘極電極連接到掃描線 283a，源區及汲區的一方連接到信號線 284a，源區及汲區的另一方透過佈線 284b 連接到第二薄膜電晶體 281b 的閘極

電極 283b。另外，第二薄膜電晶體 281b 的源區及汲區的一方連接到電源線 285a，源區及汲區的另一方透過佈線 285b 連接到發光元件的像素電極（陰極 288）。第二薄膜電晶體 281b 的閘極電極、閘極絕緣膜、以及電源線 285a 構成電容元件 280，第一薄膜電晶體 281a 的源極電極及汲極電極的另一方連接到電容元件 280。

注意，電容元件 280 相當於保持如下電位差的電容元件，即當第一薄膜電晶體 281a 截止時的第二薄膜電晶體 281b 的閘極電極和源極電極之間的電位差，或閘極電極和汲極電極之間的電位差（下面稱為閘極電壓），並且無需設置這些電容元件 280。

在本實施例模式中，第一薄膜電晶體 281a 及第二薄膜電晶體 281b 由 n 通道型薄膜電晶體形成，但是這些的一方或雙方也可以由 p 通道型薄膜電晶體形成。

在第一薄膜電晶體 281a 及第二薄膜電晶體 281b 上形成有絕緣層 286，在絕緣層 286 上形成有平坦化膜 287，在平坦化膜 287 及絕緣層 286 中形成有開口部，在該開口部中形成有連接到佈線 285b 的陰極 288。平坦化膜 287 較佳的使用丙烯酸樹脂、聚醯亞胺、聚醯胺等有機樹脂或矽氧烷聚合物而形成。在該開口部中，因為陰極 288 具有凹凸，所以設置覆蓋該陰極 288 的凹凸區域且具有開口部的隔壁 291。在隔壁 291 的開口部中接觸於陰極 288 地形成 EL 層 289，覆蓋 EL 層 289 地形成陽極 290，並且覆蓋陽極 290 及隔壁 291 地形成保護絕緣膜 292。

在此，作為發光元件示出頂部發射（top emission）結構的發光元件 282。頂部發射結構的發光元件 282 可以取出在與第一薄膜電晶體 281a 及第二薄膜電晶體 281b 重疊的區域中的發光，因此可以確保較廣的發光面積。然而，如果 EL 層 289 的基底具有凹凸，則在該凹凸上膜厚度的分佈不均勻，有時陽極 290 和陰極 288 短路而導致顯示缺陷。從而，較佳的設置平坦化膜 287。藉由設置平坦化膜 287，可以提高成品率。

在陰極 288 和陽極 290 之間夾住 EL 層 289 的區域相當於發光元件 282。在圖 20A 和 20B 示出的像素中，從發光元件 282 發射的光如圖 20B 的空心箭頭所示那樣發射到陽極 290 一側。

陰極 288 只要是功函數小且反射光的導電膜，就可以使用已知的材料。例如，較佳的使用 Ca、Al、MgAg、AlLi 等。EL 層 289 既可以由單獨層構成，又可以由多層的疊層構成。在層疊多層而構成的情況下，在陰極 288 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。此外，無需設置發光層以外的層，例如電子注入層、電子傳輸層、電洞傳輸層、電洞注入層的所有的層，根據需要適當地設置必要的層即可。陽極 290 使用透過光的透光導電材料而形成，例如也可以使用具有透光性的導電膜如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等

雖然在此示出從與基板相反一側的面取出發光的頂部發射結構的發光元件，但是不局限於此。就是說，也可以採用從基板一側的面取出發光的底部發射（bottom emission）結構的發光元件、從基板一側及與基板相反一側的面取出發光的雙面發射（dual emission）結構的發光元件。

另外，雖然在此對作為發光元件的有機 EL 元件進行說明，但是也可以採用無機 EL 元件作為發光元件。

注意，雖然在本實施例模式中示出控制發光元件的驅動的薄膜電晶體（驅動用薄膜電晶體）和發光元件連接的實例，但是也可以在驅動用薄膜電晶體和發光元件之間連接有電流控制用薄膜電晶體。

如上所說明，可以製造發光顯示裝置。因為本實施例模式的發光顯示裝置將導通電流高且截止電流低的薄膜晶體管用作像素電晶體而使用，所以可以製造圖像品質良好（例如高對比度）且耗電量低的發光顯示裝置。

實施例模式 8

接下來，對顯示裝置所具有的顯示面板的結構的一例進行說明。

圖 21A 表示只另行形成信號線驅動電路 303，並且將它與形成在基板 301 上的像素部 302 連接的顯示面板的方式。形成有像素部 302、保護電路 306、以及掃描線驅動

電路 304 的元件基板，藉由使用實施例模式 1 等所示的薄膜電晶體而形成。信號線驅動電路 303 由使用單晶半導體的電晶體、使用多晶半導體的電晶體、或使用 SOI (Silicon On Insulator) 的電晶體構成即可。在使用 SOI 的電晶體中，包括使用設置在玻璃基板上設置單晶半導體層的電晶體。電源的電位及各種信號等透過 FPC305 輸入到像素部 302、信號線驅動電路 303、掃描線驅動電路 304 的每一個。也可以使用另外結構的薄膜電晶體、二極體、電阻元件及電容元件等中選擇的一個或多個元件設置保護電路 306。

注意，也可以將信號線驅動電路及掃描線驅動電路形成在與像素部的像素電晶體同一個基板上。

此外，在另行形成驅動電路的情況下，並不需要將形成有驅動電路的基板貼附到形成有像素部的基板上，例如也可以貼附到 FPC 上。圖 21B 示出只另行形成信號線驅動電路 313，將 FPC315 與形成在基板 311 上的形成有像素部 312、保護電路 316、以及掃描線驅動電路 314 的元件基板連接的顯示面板的方式。像素部 312、保護電路 316 以及掃描線驅動電路 314 藉由使用上述實施例模式所說明的薄膜電晶體形成。信號線驅動電路 313 透過 FPC315 及保護電路 316，與像素部 312 連接。電源的電位及各種信號等透過 FPC315 輸入到像素部 312、信號線驅動電路 313、以及掃描線驅動電路 314 的每一個。

另外，也可以藉由使用上述實施例模式所示的薄膜電

晶體在與像素部同一個基板上形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另行形成其他部分且將該部分與像素部電連接。圖 21C 示出將信號線驅動電路所具有的類比開關 323a 形成在與像素部 322 及掃描線驅動電路 324 相同的基板 321 上，將信號線驅動電路所具有的移位寄存器 323b 另行形成在不同的基板上，並且彼此貼合的顯示面板的方式。像素部 322、保護電路 326 及掃描線驅動電路 324 藉由使用上述實施例模式所示的薄膜電晶體形成。信號線驅動電路所具有的移位寄存器 323b 透過類比開關 323a 及保護電路 326 與像素部 322 連接。電源的電位及各種信號等透過 FPC325 輸入到像素部 322、信號線驅動電路、掃描線驅動電路 324 的每一個。

如圖 21A 至 21C 所示，在本實施例模式的顯示裝置中，可以在與像素部同一個基板上形成信號線驅動電路和掃描線驅動電路的一部分或全部。設置在其一部分或全部形成在與像素部同一個基板上的信號線驅動電路和掃描線驅動電路上的薄膜電晶體也可以如上述實施例模式所說明地形成。另外，顯示裝置的結構不局限於上述說明。例如，沒有特殊需要的情況下也可以不設置保護電路。

此外，對另行形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方式、引線鍵合方式、或者 TAB 方式等。此外，連接的位置只要是能夠電連接，就不局限於圖 21A 至 21C 所示的位置。另外，也可以另行形成控制器、CPU、或記憶體等而連接。

此外，信號線驅動電路具有移位暫存器和類比開關。除了移位暫存器和類比開關之外，還可以具有緩衝器、位準轉移電路、源極跟隨器等其他電路。另外，不需要一定設置移位暫存器和類比開關，例如既可以使用像解碼器電路那樣的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

實施例模式 9

可以將由上述實施例模式的薄膜電晶體構成的元件基板、以及使用此的顯示裝置等用於主動矩陣型顯示裝置面板。再者，可以應用於將這些組裝在顯示部中的電子設備。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位相機等、頭戴式顯示器(護目鏡型顯示器)、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終端(移動電腦、行動電話或電子書等)等。圖 22A 至 22D 示出了其一例。

圖 22A 表示電視裝置。可以將應用上述實施例模式的顯示面板組裝在框體中來完成電視裝置。由顯示面板形成主畫面 333，作為其他附屬裝置還具有揚聲器部 339 及操作開關等。

如圖 22A 所示那樣，在框體 331 中組裝利用顯示元件的顯示面板 332，並且可以由接收機 335 接收普通的電視廣播，而且還可以藉由介於數據機 334 連接到有線或無

線方式的通訊網絡，從而進行單向(從發送者到接收者)或雙向(在發送者和接收者之間，或者在接收者之間)的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或遙控單元 336 進行，並且該遙控單元 336 也可以設置有顯示輸出資訊的顯示部 337，還可以顯示部 337 設置有實施例模式 1 等的薄膜電晶體。另外，還可以附加有如下結構：除了主畫面 333 以外，使用第二顯示面板形成輔助畫面 338，來顯示頻道或音量等。在這種結構中，可以將實施例模式 1 等的薄膜電晶體應用於主畫面 333 及輔助畫面 338 的一方或雙方。

圖 23 示出說明電視裝置的主要結構的方塊圖。顯示面板形成有像素部 371。信號線驅動電路 372 和掃描線驅動電路 373 也可以藉由 COG 方式安裝在顯示面板。

另外，作為其他外部電路的結構，在視頻信號的輸入一側設置有：放大由調諧器 374 接收的信號中的視頻信號的視頻信號放大電路 375；將從視頻信號放大電路 375 輸出的信號轉換為對應於紅、綠、藍的每一個顏色的顏色信號的視頻信號處理電路 376；以及將該視頻信號轉換為驅動器 IC 的輸入規格的控制電路 377 等。控制電路 377 對掃描線一側和信號線一側分別輸出信號。在進行數位驅動的情況下，也可以在信號線一側設置信號分割電路 378 而使得輸入數位信號分割成 m 個來輸入。

由調諧器 374 接收的信號中的音頻信號發送到音頻信號放大電路 379，其輸出透過音頻信號處理電路 380 輸入

到揚聲器 383。控制電路 381 從輸入部 382 接收接收站(接收頻率)或音量的控制資訊，並且將信號發送到調諧器 374 和音頻信號處理電路 380。

當然，不局限於電視裝置，還可以應用於如個人電腦的監視器、火車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

如上所述，藉由將實施例模式 1 等所說明的薄膜電晶體應用於主畫面 333 及輔助畫面 338 的一方或雙方，可以製造圖像品質高且耗電量低的電視裝置。

圖 22B 表示行動電話 341 的一例。該行動電話 341 包括顯示部 342、操作部 343 等。藉由將上述實施例模式 1 等所說明的薄膜電晶體應用於顯示部 342，可以提高圖像品質且降低耗電量。

圖 22C 所示的筆記型電腦包括主體 351、顯示部 352 等。藉由對顯示部 352 應用實施例模式 1 等所說明的薄膜電晶體，可以提高圖像品質且降低耗電量。

圖 22D 表示臺式照明設備，包括照明部 361、燈罩 362、可變臂(adjustable arm)363、支柱 364、台 365、以及電源 366 等。藉由對照明部 361 應用上述實施例模式所說明的發光顯示裝置來製造。藉由將實施例模式 1 等所說明的薄膜電晶體應用於照明部 361，可以降低耗電量。

圖 24A 至 24C 表示行動電話的結構的一例，例如在顯示部中，應用具有實施例模式 1 等所示的薄膜電晶體的元件基板及具有此的顯示裝置。圖 24A 是正視圖，圖 24B

是後視圖，圖 24C 是展開圖。圖 24A 至 24C 中示出的行動電話由框體 394 及框體 385 的兩個框體構成。圖 24A 至 24C 所示的行動電話具備行動電話和可攜式資訊終端的雙重的功能，且內置有電腦，除了進行聲音對話外還可以處理各種各樣的資料，也稱為智慧手機(Smartphone)。

在框體 394 中備有顯示部 386、揚聲器 387、麥克風 388、操作鍵 389、定位裝置 390、表面相機用透鏡 391、外部連接端子插孔 392、耳機端子 393 等，在框體 385 中備有鍵盤 395、外部儲存器插槽 396、背面相機用透鏡 397、燈 398 等。此外，天線內置在框體 394 內。

此外，在上述構成的基礎上，還可以內置有非接觸 IC 晶片、或小型儲存裝置等。

在圖 24A 中框體 394 和框體 385 相重合，框體 394 和框體 385 滑動，則行動電話如圖 24C 那樣展開。可以將實施例模式 1 等中的顯示裝置組裝於顯示部 386 中，根據使用方式顯示的方向適當地變化。注意由於在與顯示部 386 同一個面上具備表面影像拍攝裝置用透鏡 391，所以行動電話可以進行視頻通話。此外，藉由將顯示部 386 用作取景器，可以利用背面影像拍攝裝置 397 以及燈 398 進行靜態圖像以及動態圖像的攝影。

除了聲音通話之外，揚聲器 387 和麥克風 388 可以用於視頻通話、聲音的錄音以及再生等的用途。利用操作鍵 389 可以進行電話的撥打和接收、電子郵件等的簡單的資訊輸入、畫面的滾動、以及指標移動等。

此外，當處理的資訊較多時如製作檔、用作可攜式資訊終端等，使用鍵盤 395 是較方便的。再者，藉由使相重合的框體 394 和框體 385（圖 24A）滑動，可以行動電話如圖 24C 那樣展開，而行動電話可以使用可攜式資訊終端。另外，可以使用鍵盤 395 及定位裝置 390 順利地進行指標操作。外部連接端子插口 392 可以與 AC 適配器以及 USB 電纜等的各種電纜連接，並藉由這些可以進行充電及與個人電腦等的資料通信。此外，藉由對外部記憶體插槽 396 插入記錄媒體且使用，可以進行更大量的資料儲存以及移動。

框體 385 的背面（圖 24B）具備背面影像拍攝裝置 397 及燈 398，並且可以將顯示部 386 用作取景器而進行靜態圖像以及動態圖像的攝影。

此外，除了上述結構之外，行動電話還可以具備紅外線通信功能、USB 埠、數位電視（one-seg）接收功能、非接觸 IC 晶片或耳機插口等。

藉由將實施例模式 1 等所說明的薄膜電晶體應用於像素，可以提高圖像品質且降低耗電量。

實施例 1

在本實施例中，對層疊有閘極絕緣層、半導體層、以及緩衝層的樣品的製程以及測量所製造的樣品的結果進行說明。

首先，對樣品的製造方法進行說明。

在同一個處理室內，在基板上形成閘極絕緣層、半導體層、以及緩衝層。作為基板使用玻璃基板。

首先，將基板傳送到電漿 CVD 裝置的處理室，在基板上形成厚度 300nm 的氧氮化矽層作為閘極絕緣層。在此，RF 電源頻率為 13.56MHz，RF 電源電力為 50W，溫度為 280℃，矽烷流量：一氧化二氮流量的比為 1：40，並且壓力為 40Pa。

在將基板從處理室搬送到電漿 CVD 裝置的外部，使用氟自由基清潔處理室內。之後，將基板再傳送到電漿 CVD 裝置的處理室內。

接下來，進行將氮供給到處理室內的處理。作為將氮供給到處理室內的處理，將流量為 1000sccm 的 NH_3 氣體流入到處理室內 60 秒。由此將 NH_3 附著於處理室內壁。注意，作為 NH_3 氣體使用 100vol% 的 NH_3 。

在閘極絕緣層上形成厚度為 50nm 的微晶矽膜作為半導體層。在此，RF 電源頻率為 13.56MHz，RF 電源的電力為 50W，溫度為 280℃，矽烷流量：氫流量的比為 1：150，並且壓力為 280Pa。

接下來，在半導體層上形成厚度為 100nm 的非晶矽膜作為緩衝層。在此，RF 電源頻率為 13.56MHz，RF 電源的電力為 60W，溫度為 280℃，矽烷流量：氫流量的比為 14：15，並且壓力為 170Pa。

之後，在以 STEM (Scanning Transmission Microscope；掃描透射電子顯微鏡，下面被稱為 STEM) 的觀察中，在

緩衝層上形成導電層，以便防止樣品產生充電損傷。在此，作為導電層形成碳膜。

關於如上所述製造的樣品的截面，而獲得 STEM 圖像。圖 25 示出該圖像。

由圖 25 可知，在從絕緣層 400 表面向成長方向 10nm 至 15nm 左右的半導體層 401 的區域中不存在矽晶粒。半導體層 401 的區域相當於實施例模式 1 所示的圖 2 中的第一區域 120。另外，在從絕緣層 400 表面向成長方向 10nm 至 15nm 的區域到緩衝層 404 之間的以虛線 403 圍繞的區域中所示，可觀察到矽晶粒。該矽晶粒具有其頂點在於絕緣層 400 一側且隨著接近於緩衝層 404 一側其幅度變大的倒錐形狀。該矽晶粒相當於實施例模式 1 所示的圖 2 中的晶粒 121。

另外，利用 SIMS 測量上述樣品的氧濃度、氮濃度、氟濃度、矽濃度、以及氫濃度。圖 26 示出其結果。

由圖 26 可知，隨著接近於緩衝層 404，半導體層的氮濃度減少。而且，還可知從以 SIMS 測量的氮的濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $3 \times 10^{20} \text{cm}^{-3}$ 以下的區域形成倒錐形狀的矽晶粒的頂點。如上可知，藉由在半導體層中將氮濃度降低到一定濃度（以 SIMS 測量的氮的濃度為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $7 \times 10^{20} \text{cm}^{-3}$ 以下），可以生成晶核。

圖 27 示出將上述樣品的 SIMS 分佈（圖 26）重疊於利用 STEM 拍攝的上述樣品的截面的 STEM 圖像（圖 25

）的圖。在深度大約為 100nm 至 140nm 的區域中形成有緩衝層 404。在深度大約為 140nm 至 190nm 的區域中形成有包含以虛線 403 圍繞的區域的半導體層。在深度大約為 190nm 至 220nm 的區域中形成有絕緣層 400。

注意，圖 35 示出將 SIMS 分佈重疊於截面 STEM 圖像，該 STEM 圖像是使用與圖 26 進行比較的現有的實例而製造的樣品的截面。圖 35 所示的樣品不進行將 NH_3 流入處理室內的製程製造。在該樣品的製造方法中，只有該一點與圖 26 所示的樣品不同。圖 35 所示的 STEM 圖像中的整個面上不均勻地形成有柱狀的結晶，並且鄰接的晶粒彼此接觸。另外，與圖 35 相比，圖 26 所示的 SIMS 分佈中，隨著從絕緣層和半導體層的介面向緩衝層的方向（成長方向），氮濃度逐漸降低。就是說，藉由在本實施例中說明的方法，可以使半導體層中的晶核的生成並控制晶成長。此外，氟的濃度也低。

另外，圖 28 示出觀察包含上述樣品的晶粒的層的平面的 STEM 圖像。如圖 28 所示那樣，根據平面的 STEM 圖像，可知存在有第一部分 405 或第二部分 407 那樣的黑色斑點狀的部分（電子線難以透過的部分）和第三部分 409 那樣的白色斑點狀的部分（電子線容易透過的部分）。因此，可以估計在半導體層中混在有原子密度高的部分和原子密度低的部分。

實施例 2

本實施例示出製造圖 12 所示的薄膜電晶體且測量所製造的薄膜電晶體的電特性的結果和該薄膜電晶體的截面的 STEM 圖像。

首先，對薄膜電晶體的製程進行說明。如圖 13A 所示那樣，在基板 200 上形成閘極電極層 202。在此作為基板 200 使用玻璃基板。另外，作為閘極電極層 202，以氬濺射鉬靶，形成厚度為 150nm 的鉬膜之後，藉由光微影法蝕刻該鉬膜而形成。之後，去除抗蝕劑掩模。

接下來，如圖 13B 及圖 14A 所示那樣，在閘極電極層 202 及基板 200 上連續形成閘極絕緣層 204、半導體層 205、緩衝層 207、以及包含成為供體的雜質元素的半導體層 209。

作為閘極絕緣層 204 形成厚度 300nm 的氮化矽膜。在此，RF 電源頻率為 13.56MHz，RF 電源電力為 370W，溫度為 280℃，矽烷流量：氬流量：氮流量：氨流量的比為 4：50：55：14，並且壓力為 100Pa。另外，藉由該製程，電漿 CVD 裝置的處理室內壁上也形成有氮化矽膜。

另外，作為半導體層 205 形成厚度 30nm 的微晶矽膜。在此，RF 電源頻率為 60MHz，RF 電源電力為 50W，溫度為 280℃，矽烷流量：氬流量的比為 1：150，並且壓力為 280Pa。注意，在該步驟中，與獲取形成在電漿 CVD 裝置的處理室內壁上的氮化矽膜所包含的氮的同時形成微晶矽膜，因此可以使微晶矽膜包含氮。

另外，作為緩衝層 207，形成厚度為 80nm 的非晶矽

膜。在此，RF 電源頻率為 13.56MHz，RF 電源電力為 60W，溫度為 280℃，矽烷流量：氫流量的比為 14：15，並且壓力為 170Pa。

作為包含成為供體的雜質元素的半導體層 209，形成厚度為 50nm 的添加有磷的非晶矽膜。在此，RF 電源頻率為 13.56MHz，RF 電源電力為 60W，溫度為 280℃，矽烷流量：0.5vol% 的磷化氫（以 H₂ 將 PH₃ 稀釋到 0.5%）流量的比為 10：17，並且壓力為 170Pa。

接著，在包含成為供體的雜質元素的半導體層 209 上塗敷抗蝕劑，然後如圖 14B 所示，藉由光微影法形成第一抗蝕劑掩模 231，並且藉由使用第一抗蝕劑掩模 231 蝕刻半導體層 205、緩衝層 207、以及包含成為供體的雜質元素的半導體層 209，以形成圖 14C 所示的島狀半導體層。這裏，使用平行平板型 RIE(reactive ion etching；反應離子蝕刻)設備，以 ICP(Inductively Coupled Plasma；感應耦合電漿)功率為 150W，偏壓功率為 40W，壓力為 1.0Pa，將流量為 100sccm 的氯用於蝕刻氣體，以及蝕刻時間為 103 秒的條件蝕刻半導體層 205、緩衝層 207、以及包含成為供體的雜質元素的半導體層 209。然後，去除第一抗蝕劑掩模 231。

接下來，如圖 15B 所示，覆蓋被蝕刻的半導體層 205、緩衝層 207、以及包含成為供體的雜質元素的半導體層 209 地形成導電層 211。在此，以氫濺射鉬靶，形成厚度為 300nm 的鉬層。

接著，在導電層 211 上塗敷抗蝕劑，然後如圖 15C 所示，藉由進行光微影法形成第二抗蝕劑掩模 232，並且藉由使用該第二抗蝕劑掩模 232 對導電層 211 進行濕蝕刻，以如圖 16A 所示那樣形成佈線層 212。

接著，藉由使用第二抗蝕劑掩模 232 蝕刻包含成為供應的雜質元素的半導體層 209，以形成如圖 16B 所示的一對源區及汲區 210。藉由上述製程，島狀的緩衝層的表面的一部分被蝕刻，從而成為緩衝層 208。這裏，使用平行平板型 RIE 設備，以 ICP 功率為 150W，偏壓功率為 40W，壓力為 1.0Pa，將流量為 100sccm 的氯用於蝕刻氣體，以及蝕刻時間為 44 秒的條件蝕刻緩衝層及雜質半導體層。然後，去除抗蝕劑掩模。另外，如實施例模式 1 及實施例模式 5 所說明，在該步驟中也可以進行水電漿處理等。在該步驟中進行水電漿處理的情況下，藉由該製程可以去除第二抗蝕劑掩模 232。

接著，藉由將氯電漿照射到緩衝層 208 的表面，去除殘留在緩衝層 208 的背通道部的雜質。這裏，電源功率為 2000W，壓力為 0.67Pa，將流量為 100sccm 的氯用於蝕刻氣體，蝕刻時間為 30 秒。

接下來，將以電漿放電氣化的水而生成的自由基照射到緩衝層 208、一對源區及汲區 210、以及佈線層 212 的露出部（包括背通道部）。藉由該製程，可以在將緩衝層 208 的表面氧化的同時飽和緩衝層的表面上的懸空鍵而恢復由於電漿的損傷，因此可以減少截止電流且提高導通電流。

。注意，對上述所說明的背通道部進行的處理不局限於這些條件，可以適當地進行。

接著，作為保護絕緣層形成厚度為 30nm 的氮化矽層。這裏，RF 電源頻率為 13.56MHz，RF 電源電力為 150W，溫度為 280℃，矽烷流量：氨流量：氮流量：氫流量的比為 2：22：45：45，並且壓力為 160Pa。

接著，在保護絕緣層上塗敷抗蝕劑之後，藉由光微影法形成抗蝕劑掩模，使用該抗蝕劑掩模對保護絕緣層的一部分進行乾蝕刻，以暴露佈線層 212。這裏，使用平行平板型 RIE 設備，以 ICP 功率為 475W，偏壓功率為 300W，壓力為 5.5Pa，藉由引入流量為 50sccm 的 CHF_3 及流量為 100sccm 的氮產生電漿。然後以流量為 7.5sccm 的 CHF_3 及流量為 142.5sccm 的氮作為蝕刻氣體，蝕刻時間為 154 秒蝕刻保護絕緣層及閘極絕緣層 204。然後，去除抗蝕劑掩模。另外，在該蝕刻製程中，也可以在使佈線層 212 和閘極電極層 202 接觸的部分中，對保護絕緣層及閘極絕緣層 204 的一部進行乾蝕刻以露出閘極電極層 202。

接著，在保護絕緣層上形成導電層。這裏，藉由濺射法形成厚度為 50nm 的 ITO 作為導電層。另外，也可以不形成該 ITO。

藉由上述步驟，製造圖 12 所示的薄膜電晶體。

測量如上述說明所製造的薄膜電晶體的電特性。圖 29 示出其結果。此外，在此薄膜電晶體的通道長度為 6 μm ，通道寬度為 25 μm 。另外，以實線示出汲極電壓為 1V

的電流-電壓特性及場效應遷移率，並以虛線示出當汲極電壓為 14V 時的電流-電壓特性及場效應遷移率。最大場效應遷移率為 $1.4\text{cm}^2/\text{V}\cdot\text{s}$ 。另外，當閘極電壓為 20V 時的導通電流為 $1\times 10^{-6}\text{A}$ 以上，並且當閘極電壓為 -20V 時的導通電流為 $1\times 10^{-10}\text{A}$ 以下。因此，在本實施例中製造的薄膜電晶體可以說是導通電流高且截止電流低的薄膜電晶體。

接下來，圖 30A 和 30B 示出在本實施例中形成的薄膜電晶體的截面 STEM 圖像。

圖 30A 是薄膜電晶體的通道蝕刻部附近的 STEM 圖像。此時的放大率為 13000 倍。圖 30B 示出擴大圖 30A 的虛線 411 的區域。此時的放大率為 300000 倍。

由氮化矽層形成閘極絕緣層 413，在閘極絕緣層 413 上形成微晶矽膜作為半導體層 415，並且在半導體層 415 上形成非晶矽膜作為緩衝層 417。在緩衝層 417 上形成添加有磷的非晶矽膜作為包含成為供體的雜質元素的半導體層 419。在包含成為供體的雜質元素的半導體層 419 上形成鉬層作為導電層 421。另外，在以虛線 423 示出的區域中，可觀察其頂點在於閘極絕緣層 413 一側且相對於緩衝層 417 的方向向上方擴大的倒錐形狀的矽晶粒。

實施例 3

本實施例示出在實施例 1 中參照圖 25 說明的以虛線 403 圍繞的部分的電子衍射圖像。

圖 31 示出如上述說明所製造的晶粒的電子顯微鏡圖像（TEM 圖像）。參照圖 31，可以估計晶粒的頂點的角度大約為 63° 。

圖 32A 至 34B 示出圖 31 所示的在位置 1 至 6 取得的電子衍射圖像。圖 32A 是在圖 31 中的位置 1 取得的圖；圖 32B 是在圖 31 中的位置 2 取得的圖；圖 33A 是在圖 31 中的位置 3 取得的圖；圖 33B 是在圖 31 中的位置 4 取得的圖；圖 34A 是在圖 31 中的位置 5 取得的圖；圖 34B 是在圖 31 中的位置 6 取得的圖。

根據這些電子衍射圖像，這些的面方位不同。例如，對圖 32B 所示的電子衍射圖像和圖 33C 所示的電子衍射圖像進行比較，明顯可知這些的面方位不同，也可以說取得圖 32B 的區域（位置 2）的結晶和取得圖 33A 的區域（位置 3）的結晶近似於單晶。另外，取得圖 32B 的區域（位置 2）的結晶和取得圖 33A 的區域（位置 3）的結晶，由其形狀可知，可以認為形成雙晶。

另外，在位置 6 取得了的電子衍射圖像表示具有優先方位的德拜－謝樂環 (Debye-Scherrer ring)。然而，這是因為取得電子衍射圖像的分析區域狹小的緣故，位置 6 的部分可以認為非晶結構。

由圖 31 至 34B 所示的在位置 1 至 5 取得的電子衍射圖像可知，以虛線 403 圍繞的部分存在有的晶粒近似於單晶，並且該晶粒包含雙晶。另外，由在位置 6 取得的電子衍射圖像可知，該部分是非晶結構。因此，圖 31 所示的

半導體層在絕緣層上形成非晶結構中包含多個晶體區域且構成通道形成區域的半導體層，其中該晶體區域成為如下結構，即從絕緣層和半導體層的介面有相離的位置向半導體層被沉積的方向且不到達接觸於半導體層上的層的區域內以大致放射狀生長的倒錐形。該晶體區域近似於單晶，並且可知該晶粒中包含雙晶。

【圖式簡單說明】

圖 1 為說明薄膜電晶體的一例的圖；

圖 2 為說明薄膜電晶體所具有的半導體層的圖；

圖 3A 至 3C 為說明薄膜電晶體的製造方法的一例的圖；

圖 4A 至 4C 為說明薄膜電晶體的製造方法的一例的圖；

圖 5A 至 5C 為說明薄膜電晶體的製造方法的一例的圖；

圖 6 為說明可應用於薄膜電晶體的製造方法的裝置的圖；

圖 7 為說明薄膜電晶體的製造方法的一例的圖；

圖 8A 和 8B 為說明薄膜電晶體的製造方法的一例的圖；

圖 9 為說明薄膜電晶體的製造方法的一例的圖；

圖 10 為說明薄膜電晶體的製造方法的一例的圖；

圖 11 為說明薄膜電晶體的製造方法的一例的圖；

圖 12 為說明薄膜電晶體的一例的圖；

圖 13A 至 13C 為說明薄膜電晶體的製造方法的一例的圖；

圖 14A 至 14C 為說明薄膜電晶體的製造方法的一例的圖；

圖 15A 至 15C 為說明薄膜電晶體的製造方法的一例的圖；

圖 16A 至 16C 為說明薄膜電晶體的製造方法的一例的圖；

圖 17 為說明電子設備等的圖；

圖 18 為說明電子設備等的圖；

圖 19 為說明電子設備等的圖；

圖 20A 和 20B 為說明電子設備等的圖；

圖 21A 至 21C 為說明電子設備等的圖；

圖 22A 至 22D 為說明電子設備等的圖；

圖 23 為說明電子設備等的圖；

圖 24A 至 24C 為說明電子設備等的圖；

圖 25 為示出藉由實施例 1 得到的樣品的截面的圖像；

圖 26 為示出藉由實施例 1 得到的樣品的在厚度方向上的氧濃度、氮濃度、矽濃度、氫濃度及氟濃度的圖；

圖 27 為將圖 25 和圖 26 重合而示出的圖；

圖 28 為示出藉由實施例 1 得到的樣品中的包含晶粒的半導體層的平面的圖像；

圖 29 爲示出藉由實施例 2 得到的薄膜電晶體的電特性的圖；

圖 30A 和 30B 爲示出藉由實施例 2 得到的薄膜電晶體的截面的圖像；

圖 31 爲說明得到實施例 3 中的電子衍射圖的地方的圖；

圖 32A 和 32B 爲在圖 31 的位置 1 及位置 2 得到的電子衍射圖；

圖 33A 和 33B 爲在圖 31 的位置 3 及位置 4 得到的電子衍射圖；

圖 34A 和 34B 爲在圖 31 的位置 5 及位置 6 得到的電子衍射圖；以及

圖 35 爲示出與圖 26 進行比較的樣品的截面的圖像、以及藉由實施例 1 獲得的樣品的厚度方向的氧濃度、氮濃度、矽濃度、氫濃度及氟濃度的圖。

【主要元件符號說明】

100：基板

102：閘極電極層

104：閘極絕緣層

105：半導體層

106：半導體層

107：緩衝層

108：緩衝層

- 109：包含成為供體的雜質元素的半導體層
- 110：源區及汲區
- 111：導電層
- 112：佈線層
- 114：絕緣層
- 116：像素電極層
- 120：第一區域
- 121：晶粒
- 122：第二區域
- 131：第一抗蝕劑掩模
- 132：第二抗蝕劑掩模
- 141：處理室
- 142：載物台
- 143：氣體供應部
- 144：簇射極板
- 145：排氣口
- 146：上部電極
- 147：下部電極
- 148：交流電源
- 149：溫度控制部
- 150：氣體供應單元
- 151：排氣單元
- 152：氣缸
- 153：壓力調節閥

- 154：停止閥
- 155：質量流量控制器
- 156：蝶閥
- 157：導氣閥
- 158：渦輪分子泵
- 159：乾燥泵
- 160：低溫泵
- 161：電漿 CVD 裝置
- 180：灰色調掩模
- 181：基板
- 182：遮光部
- 183：衍射光柵部
- 185：半色調掩模
- 186：基板
- 187：半透光部
- 188：遮光部
- 200：基板
- 202：閘極電極層
- 204：閘極絕緣層
- 205：半導體層
- 206：半導體層
- 207：緩衝層
- 208：緩衝層
- 209：包含成為供體的雜質元素的半導體層

210：源區及汲區

211：導電層

212：佈線層

214：絕緣層

216：像素電極層

231：第一抗蝕劑掩模

232：第二抗蝕劑掩模

250：基板

251：對置基板

252：閘極電極

253：閘極電極

254：佈線

255：佈線

256：佈線

257：絕緣層

258：平坦化膜

259：開口部

260：像素電極

261：狹縫

262：像素電極

263：開口部

264：薄膜電晶體

265：薄膜電晶體

266：遮光膜

- 267：著色膜
- 268：平坦化膜
- 269：對置電極
- 270：狹縫
- 271：對準膜
- 272：對準膜
- 273：液晶層
- 280：電容元件
- 281a：薄膜電晶體
- 281b：薄膜電晶體
- 282：發光元件
- 283a：掃描線
- 283b：閘極電極
- 284a：信號線
- 284b：佈線
- 285a：電源線
- 285b：佈線
- 286：絕緣層
- 287：平坦化膜
- 288：陰極
- 289：EL層
- 290：陽極
- 291：分隔壁
- 292：保護絕緣膜

301 : 基板
302 : 像素部
303 : 信號線驅動電路
304 : 掃描線驅動電路
305 : FPC
306 : 保護電路
311 : 基板
312 : 像素部
313 : 信號線驅動電路
314 : 掃描線驅動電路
315 : FPC
316 : 保護電路
321 : 基板
322 : 像素部
323a : 類比開關
323b : 移位暫存器
324 : 掃描線驅動電路
325 : FPC
326 : 保護電路
331 : 框體
332 : 顯示面板
333 : 主畫面
334 : 數據機
335 : 接收機

- 336：遙控單元
- 337：顯示部
- 338：子畫面
- 339：揚聲器部
- 341：行動電話
- 342：顯示部
- 343：操作部
- 351：主體
- 352：顯示部
- 361：照明部
- 362：燈罩
- 363：可變臂
- 364：支柱
- 365：台
- 366：電源
- 371：像素部
- 372：信號線驅動電路
- 373：掃描線驅動電路
- 374：調諧器
- 375：視頻信號放大電路
- 376：視頻信號處理電路
- 377：控制電路
- 378：信號分割電路
- 379：音頻信號放大電路

380：音頻信號處理電路

381：控制電路

382：輸入部

383：揚聲器

385：框體

386：顯示部

387：揚聲器

388：麥克風

389：操作鍵

390：定位裝置

391：表面照相用透鏡

392：外部連接端子插孔

393：耳機端子

394：框體

395：鍵盤

396：外部儲存器插槽

397：背面相機

398：燈

400：絕緣層

401：半導體層

403：虛線

404：緩衝層

405：第一部分

407：第二部分

409：第三部分

411：虛線

413：閘極絕緣層

415：半導體層

417：緩衝層

419：成為供體的雜質元素的半導體層

421：導電層

423：虛線

七、申請專利範圍：

1. 一種薄膜電晶體的製造方法，包含如下步驟：

在具有絕緣表面的基板上形成閘極電極；

在該閘極電極上形成閘極絕緣層；

在該閘極絕緣層上形成半導體層；

在該半導體層上形成緩衝層，該緩衝層包括非晶半導體的緩衝層；

在該緩衝層上形成源區及汲區，該源區及汲區包含雜質元素；以及

在該源區及汲區上分別形成源極電極及汲極電極，

其中，形成該半導體層的步驟包括：

使用半導體源氣體和含有氮之氣體形成第一區域，以使該第一區域具有非晶結構；以及

在沒有該含有氮之氣體時使用該半導體源氣體，在該第一區域上形成第二區域，以使該第二區域具有半導體之晶粒。

2.如申請專利範圍第 1 項的薄膜電晶體的製造方法，

其中，形成該半導體層係於電漿存在下被實施。

3.如申請專利範圍第 1 項的薄膜電晶體的製造方法，

其中，該閘極絕緣層包括氮。

4.如申請專利範圍第 1 項的薄膜電晶體的製造方法，

其中，該含有氮之氣體係選自氮、氨、氯化氮、以及氟化氮。

5.如申請專利範圍第 1 項的薄膜電晶體的製造方法，

其中，該半導體源氣體為氫化矽氣體、氟化矽氣體、或氯化矽氣體。

6.如申請專利範圍第 1 項的薄膜電晶體的製造方法，其中，該含有氮之氣體的濃度隨著該半導體層之該形成而被降低，以使待被供應之氮的數量逐漸地被降低。

7.一種薄膜電晶體的製造方法，包含如下步驟：

在具有絕緣表面的基板上形成閘極電極；

在該閘極電極上形成閘極絕緣層；

在該閘極絕緣層上形成第一半導體層；

在該第一半導體層上形成緩衝層，該緩衝層包含非晶半導體；

在該緩衝層上形成第二半導體層，該第二半導體層包括雜質元素；

在該第二半導體層上形成源極電極及汲極電極；

去除不被該源極電極及汲極電極覆蓋的該緩衝層的一部分及該第二半導體層的一部分；以及

對藉由去除該緩衝層的該部分及該第二半導體層的該部分所露出的該緩衝層的表面進行電漿處理，

其中，形成該第一半導體層的步驟包括：

使用半導體源氣體和含有氮之氣體形成第一區域，以使該第一區域具有非晶結構；以及

在沒有該含有氮之氣體時使用該半導體源氣體，在該第一區域上形成第二區域，以使該第二區域具有半導體之晶粒。

8.如申請專利範圍第 7 項的薄膜電晶體的製造方法，其中，形成該半導體層係於電漿存在下被實施。

9.如申請專利範圍第 7 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮。

10.如申請專利範圍第 7 項的薄膜電晶體的製造方法，其中，該含有氮之氣體係選自氮、氬、氯化氮、以及氟化氮。

11.如申請專利範圍第 7 項的薄膜電晶體的製造方法，

其中，該含有氮之氣體的濃度隨著該半導體層之該形成而被降低，以使待被供應之氮的數量逐漸地被降低。

12.一種薄膜電晶體，包含：

具有絕緣表面的基板上的閘極電極；

該閘極電極上的閘極絕緣層；

該閘極絕緣層上並與其接觸的第一半導體層，其中該第一半導體層處於在非晶結構中分散多個晶體區域的狀態；

該第一半導體層上的包含非晶結構的第二半導體層；以及

該第二半導體層上的源區及汲區，該源區及汲區包含賦予一導電型的雜質元素，

其中，該晶體區域具有倒錐形或倒金字塔形的晶粒，其頂點位於該閘極絕緣層一側。

13.如申請專利範圍第 12 項的薄膜電晶體，

其中，該第一半導體層中的藉由二次離子質量分析法測量的氧濃度為小於或等於 $5 \times 10^{18} \text{cm}^{-3}$ ，並且藉由二次離子質量分析法測量的氮濃度的範圍為 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。

14. 如申請專利範圍第 13 項的薄膜電晶體，

其中，該第一半導體層中的藉由二次離子質量分析法測量的氮的峰值濃度的範圍為 $3 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，並且該氮濃度隨著離該閘極絕緣層的距離增加而下降。

15. 如申請專利範圍第 13 項的薄膜電晶體，

其中，該頂點位於該第一半導體層的氮濃度為大於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 且小於或等於 $3 \times 10^{20} \text{cm}^{-3}$ 的區域中。

16. 如申請專利範圍第 12 項的薄膜電晶體，

其中該倒錐形或倒金字塔形的晶粒為單晶。

17. 如申請專利範圍第 12 項的薄膜電晶體，

其中，該晶粒包括雙晶。

18. 如申請專利範圍第 1 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽。

19. 如申請專利範圍第 1 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽層以及在該氮化矽層上的氧氮化矽層。

20. 如申請專利範圍第 7 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽。

21. 如申請專利範圍第 7 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽層以及在該氮化矽層

上的氧氮化矽層。

22. 一種薄膜電晶體的製造方法，包含如下步驟：

在具有絕緣表面的基板上形成閘極電極；

在該閘極電極上形成閘極絕緣層；

暴露該閘極絕緣層的表面以含有氮之氣體；

在該閘極絕緣層上形成半導體層；

在該半導體層上形成緩衝層，該緩衝層包括非晶半導體的緩衝層；

在該緩衝層上形成源區及汲區，該源區及汲區包含雜質元素；以及

在該源區及汲區上分別形成源極電極及汲極電極，以及

其中，該半導體層係藉由使用包含半導體材料氣體與含有氮之氣體的混合氣體而被形成，以及

其中，該含有氮之氣體的濃度隨著該半導體層之該形成而被降低，以使待被供應之氮的數量逐漸地被降低。

23. 如申請專利範圍第 22 項的薄膜電晶體的製造方法，其中，暴露該閘極絕緣層的表面以含有氮之氣體係於電漿存在下被實施。

24. 如申請專利範圍第 22 項的薄膜電晶體的製造方法，其中，該含有氮之氣體係選自氮、氬、氯化氮、以及氟化氮。

25. 如申請專利範圍第 22 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包含氮。

26. 如申請專利範圍第 22 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽。

27. 如申請專利範圍第 22 項的薄膜電晶體的製造方法，其中，該閘極絕緣層包括氮化矽層以及在該氮化矽層上的氧氮化矽層。

28. 如申請專利範圍第 12 項的薄膜電晶體，

其中，在該半導體層中之氮的濃度隨著自介於該閘極絕緣層與該半導體層間的該介面之距離變長而逐漸地被降低。

29. 如申請專利範圍第 1 或 22 項的薄膜電晶體的製造方法，

其中，該半導體層係於電漿之存在中被形成。

30. 如申請專利範圍第 7 項的薄膜電晶體的製造方法，

其中，該第一半導體層係於電漿之存在中被形成。

圖 1

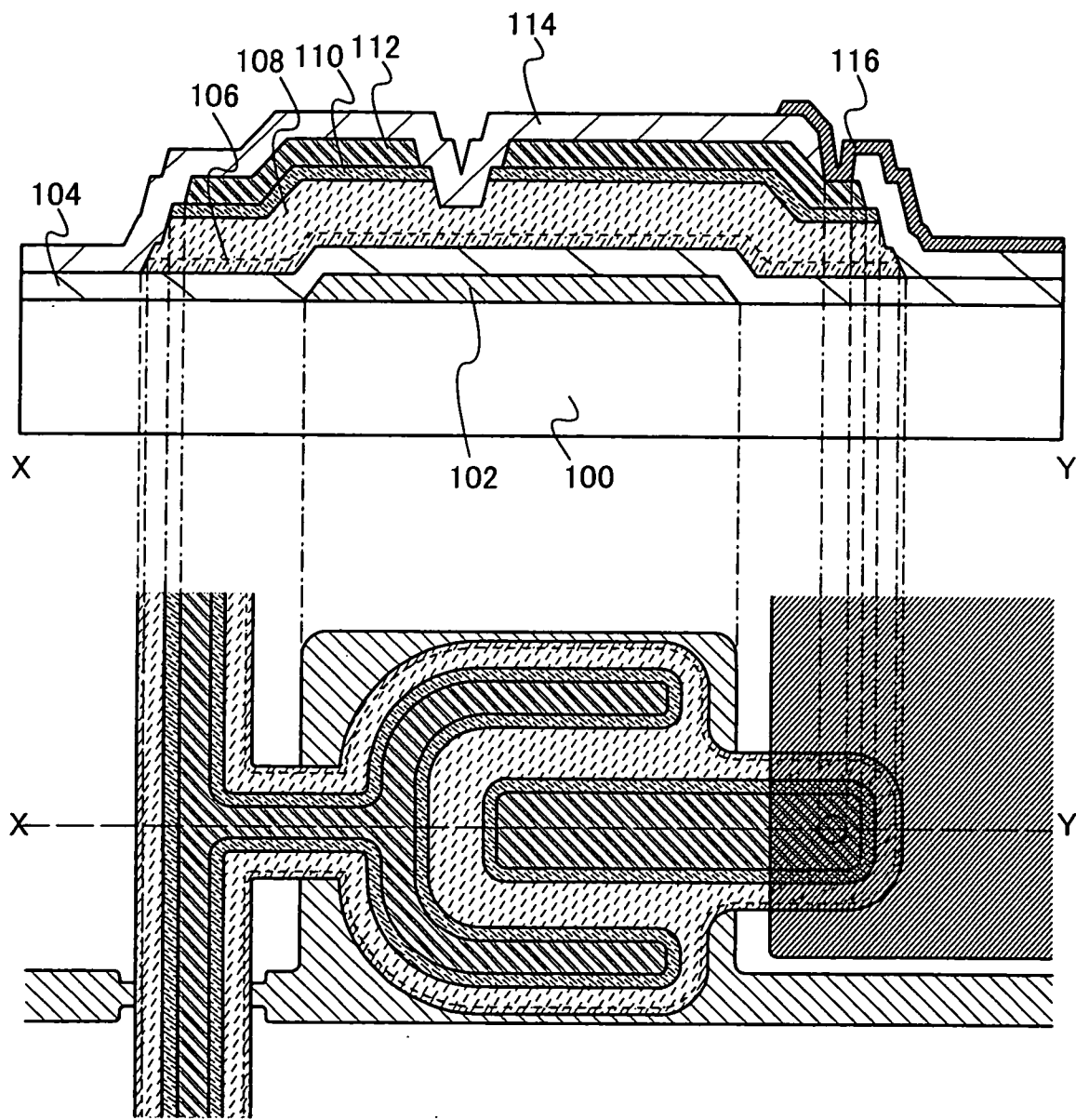


圖2

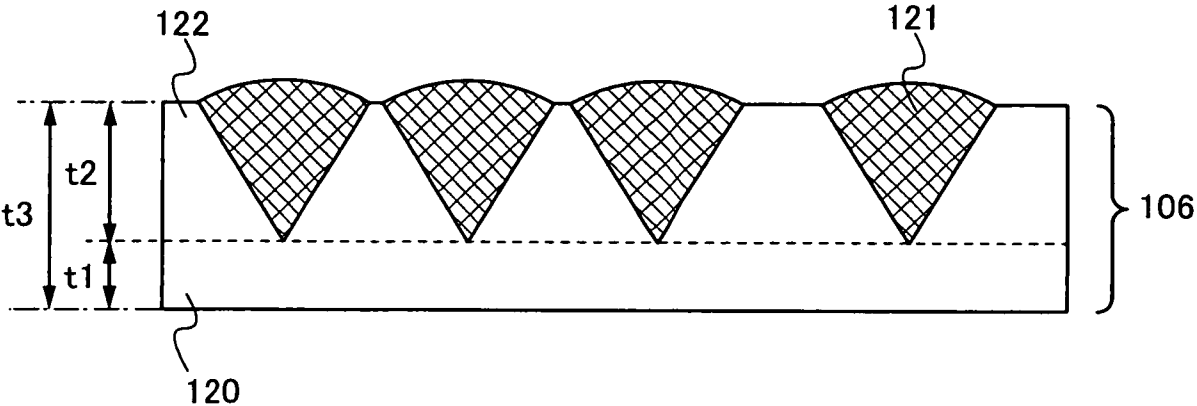


圖 3A

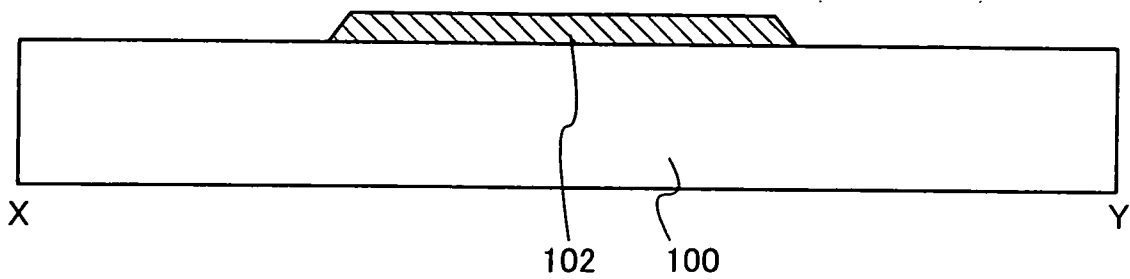


圖 3B

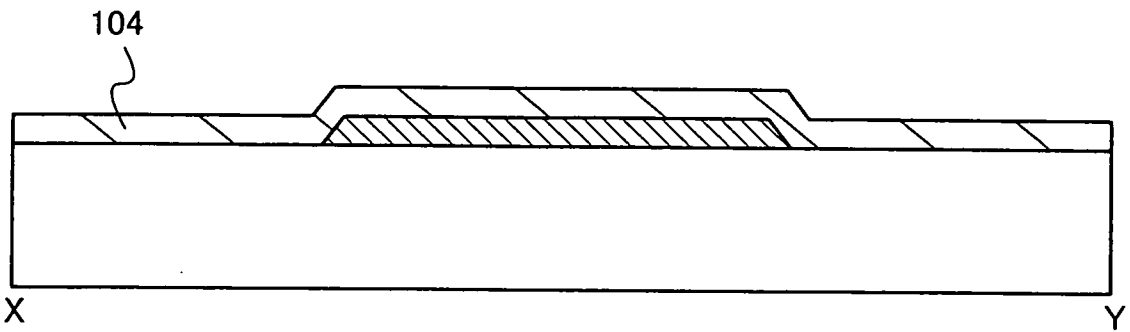


圖 3C

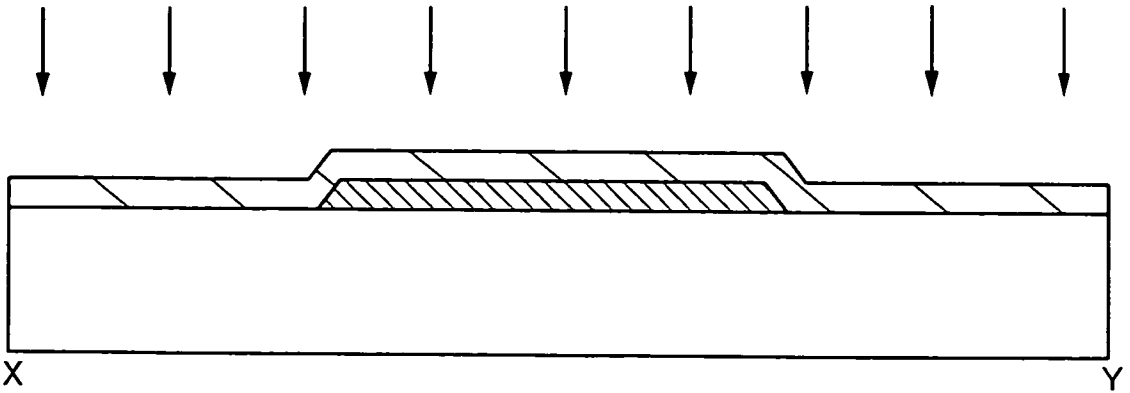


圖 4A

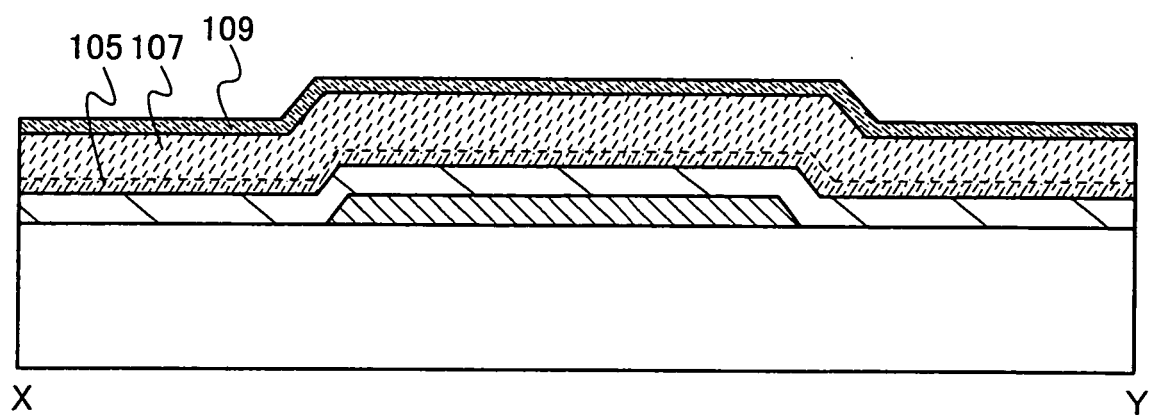


圖 4B

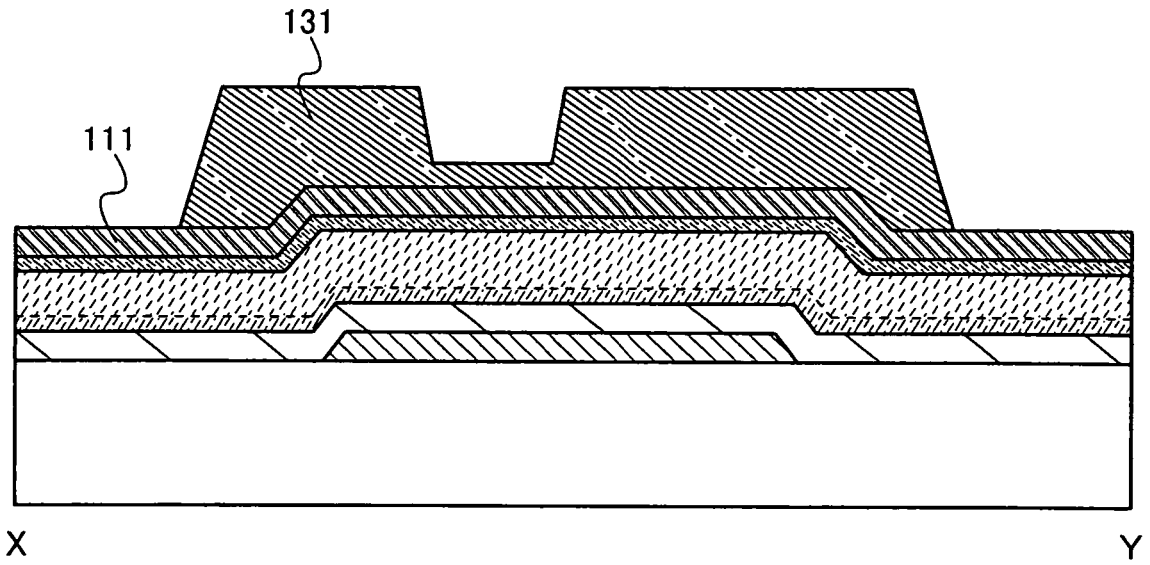


圖 4C

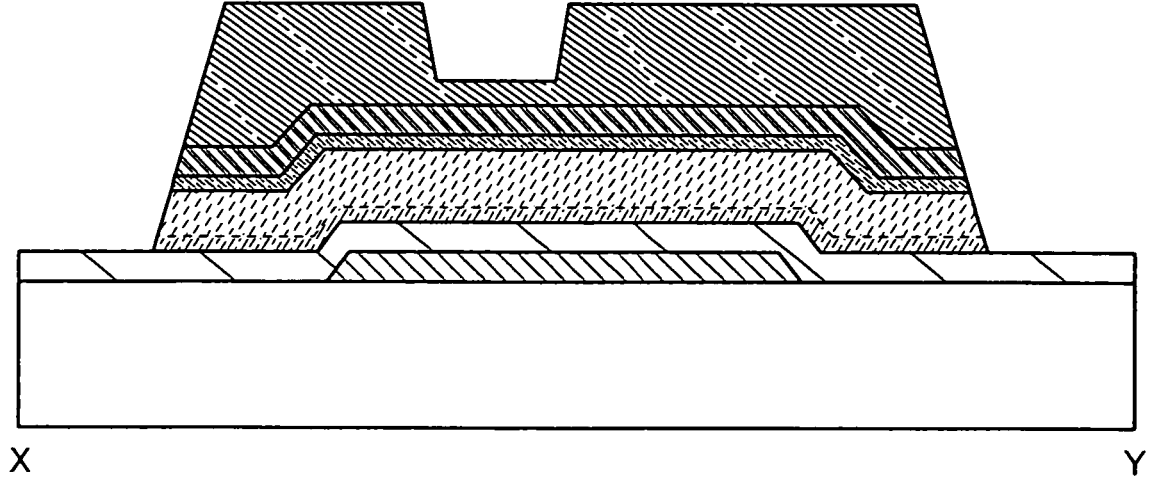


圖 5A

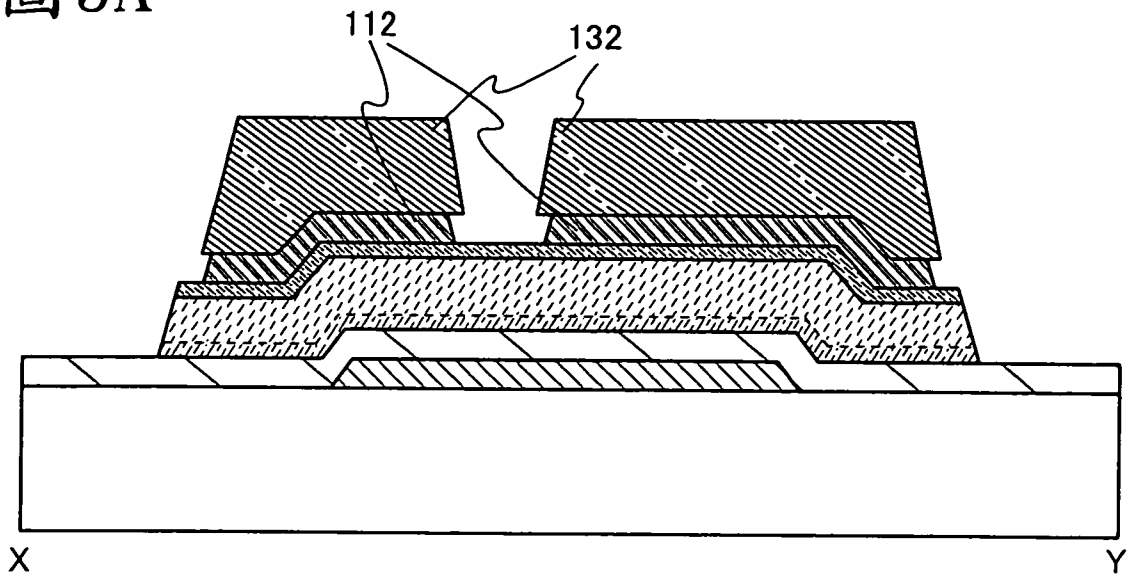


圖 5B

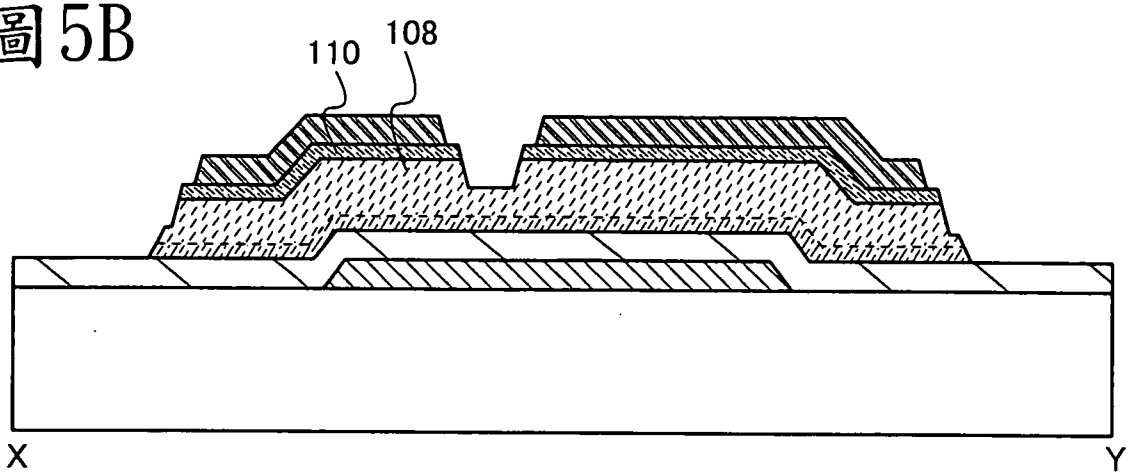


圖 5C

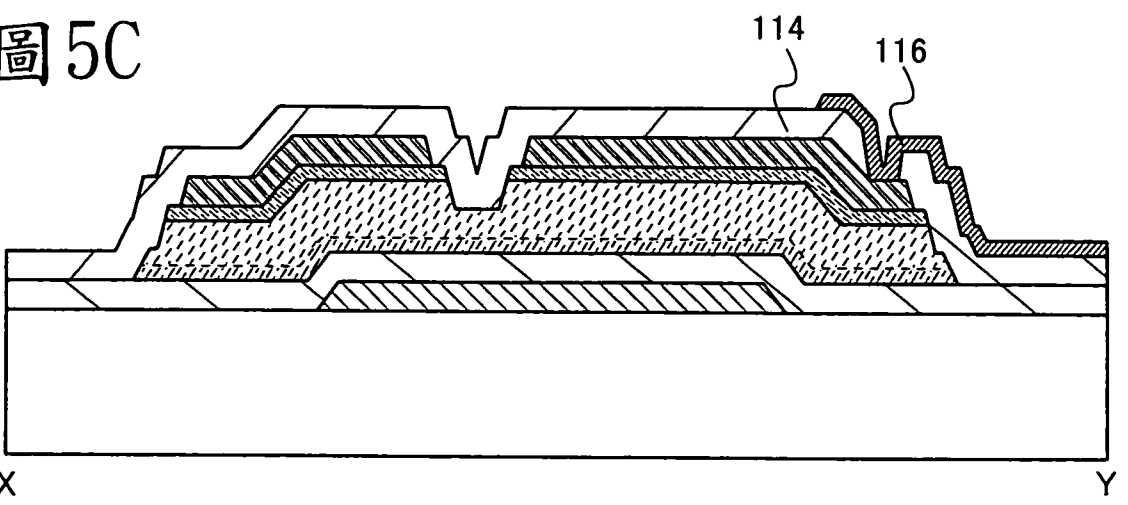
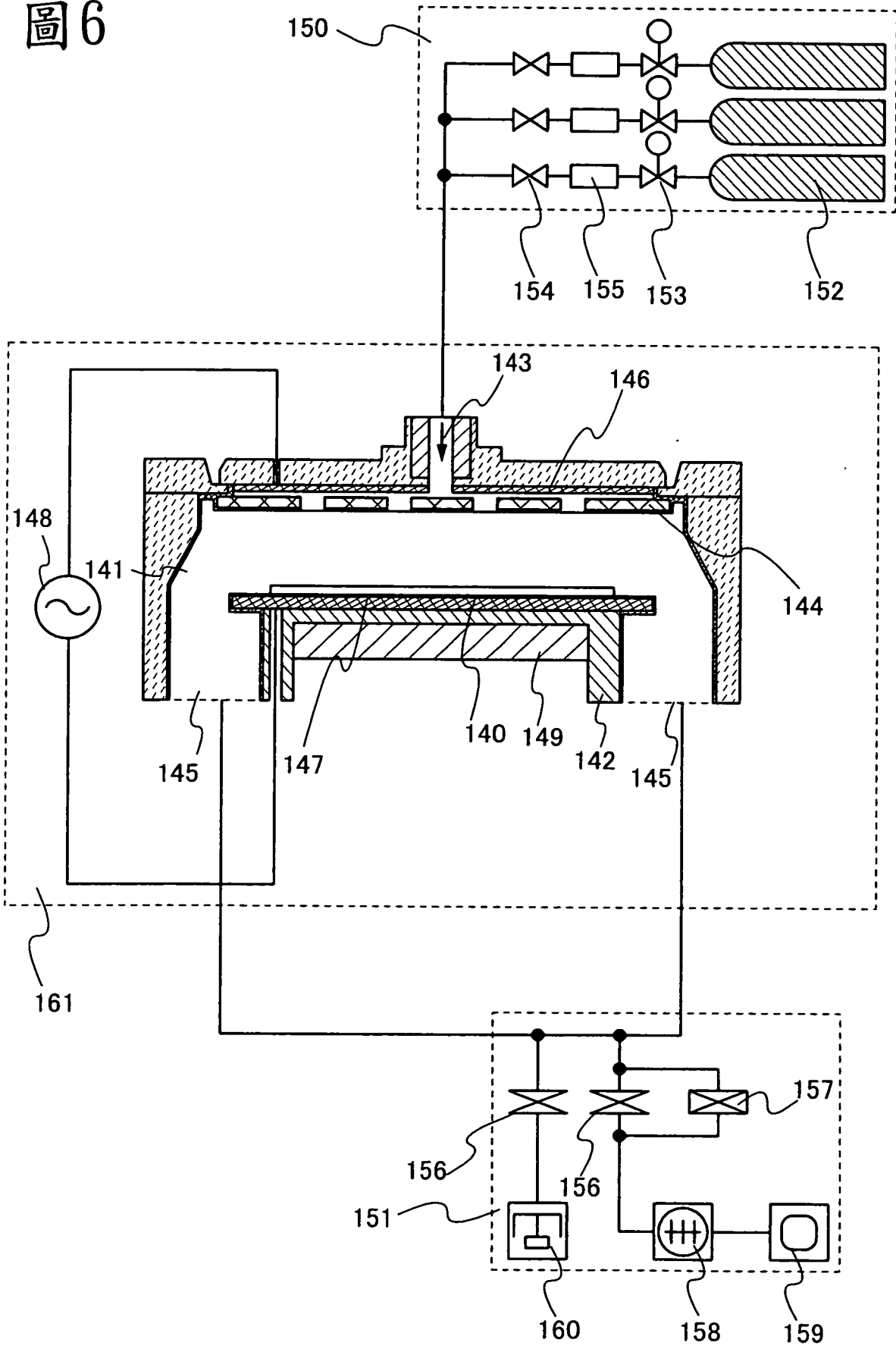


圖 6



-

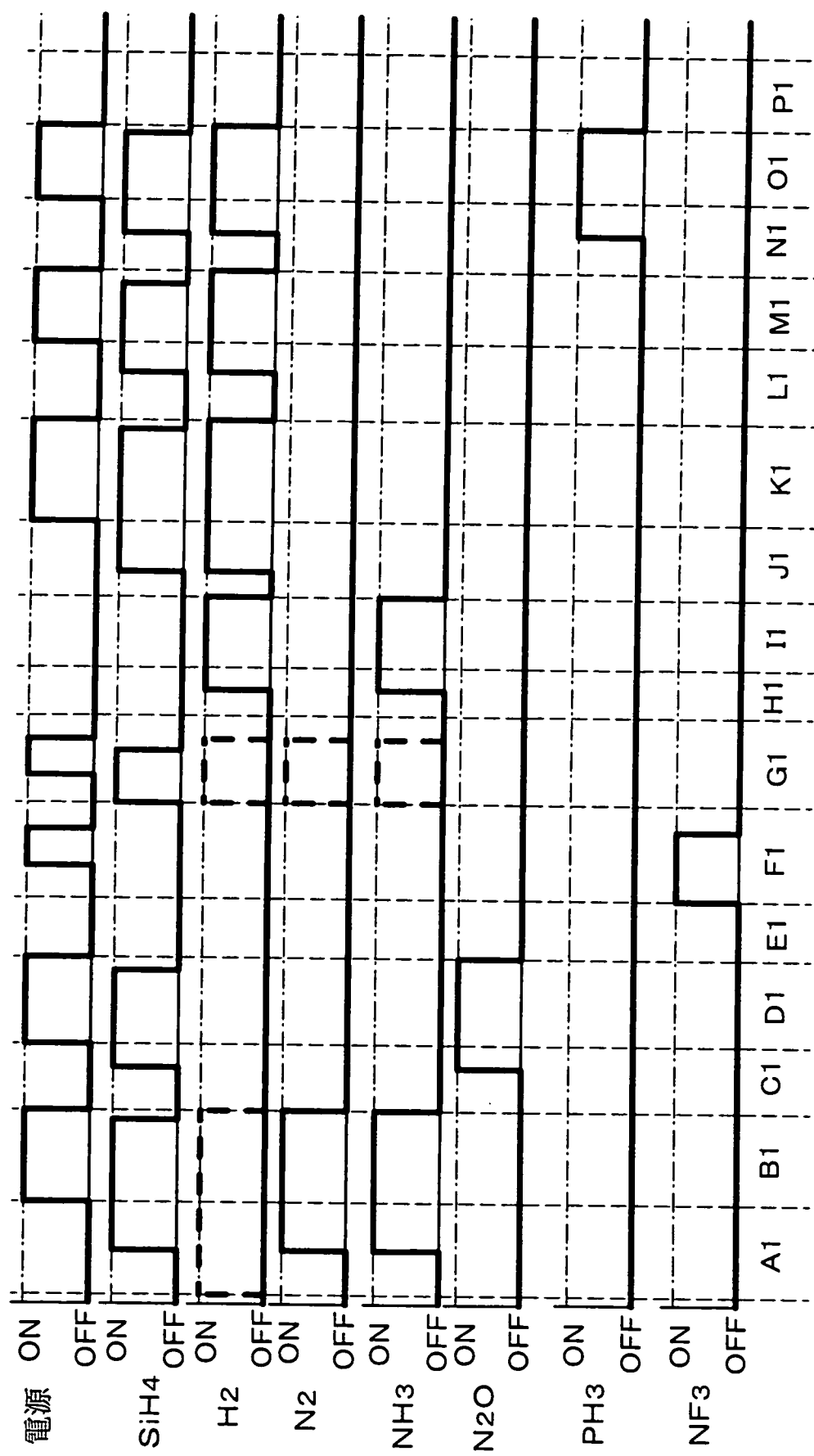


圖 8A

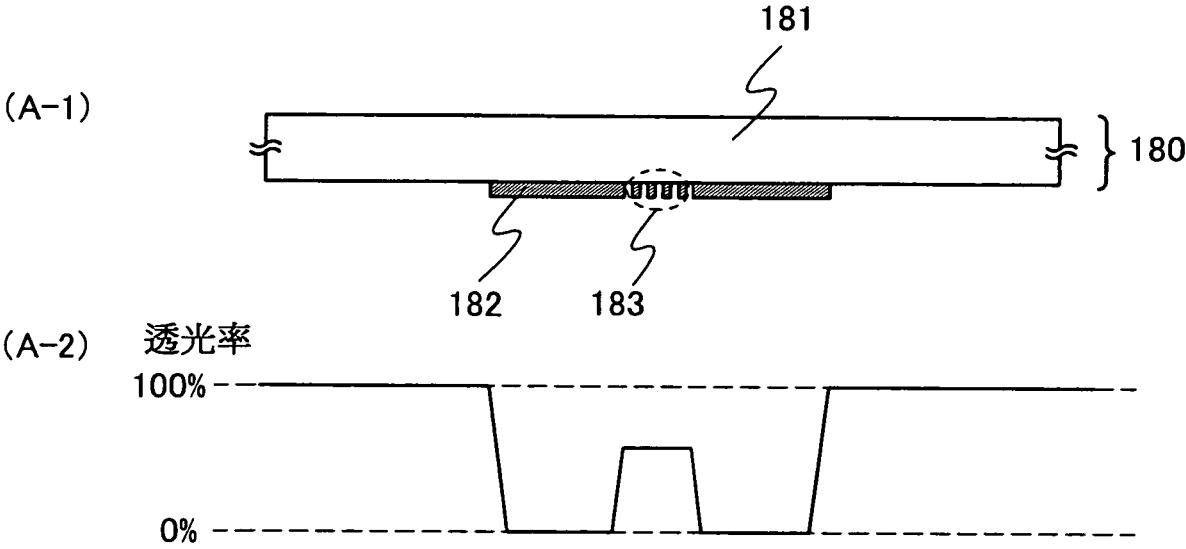
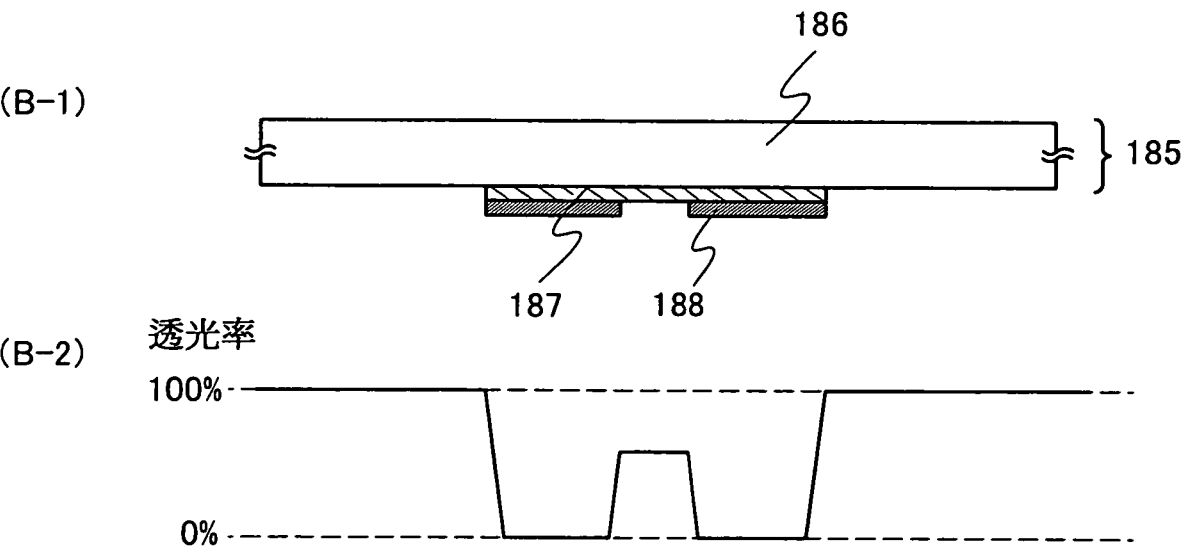
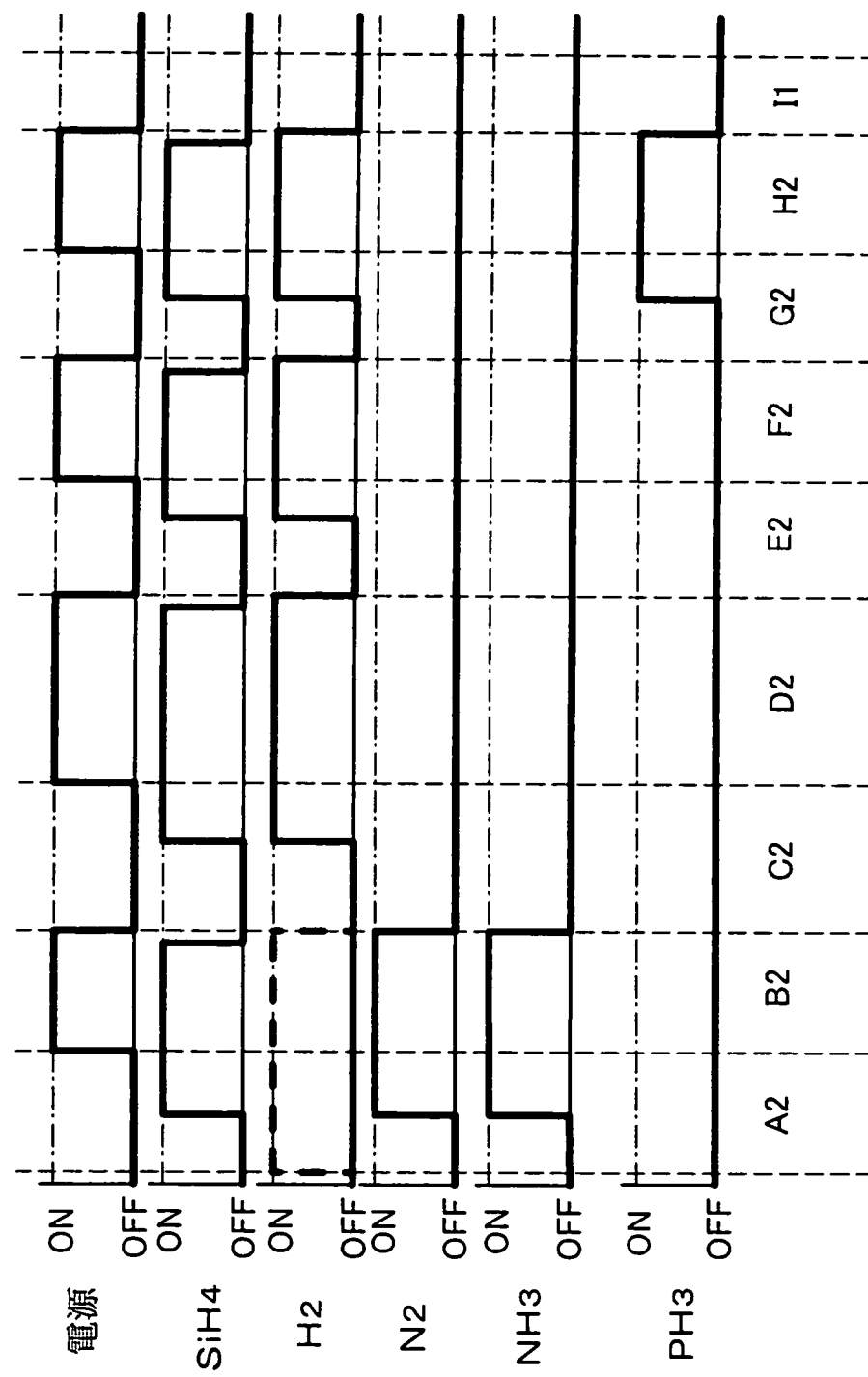


圖 8B





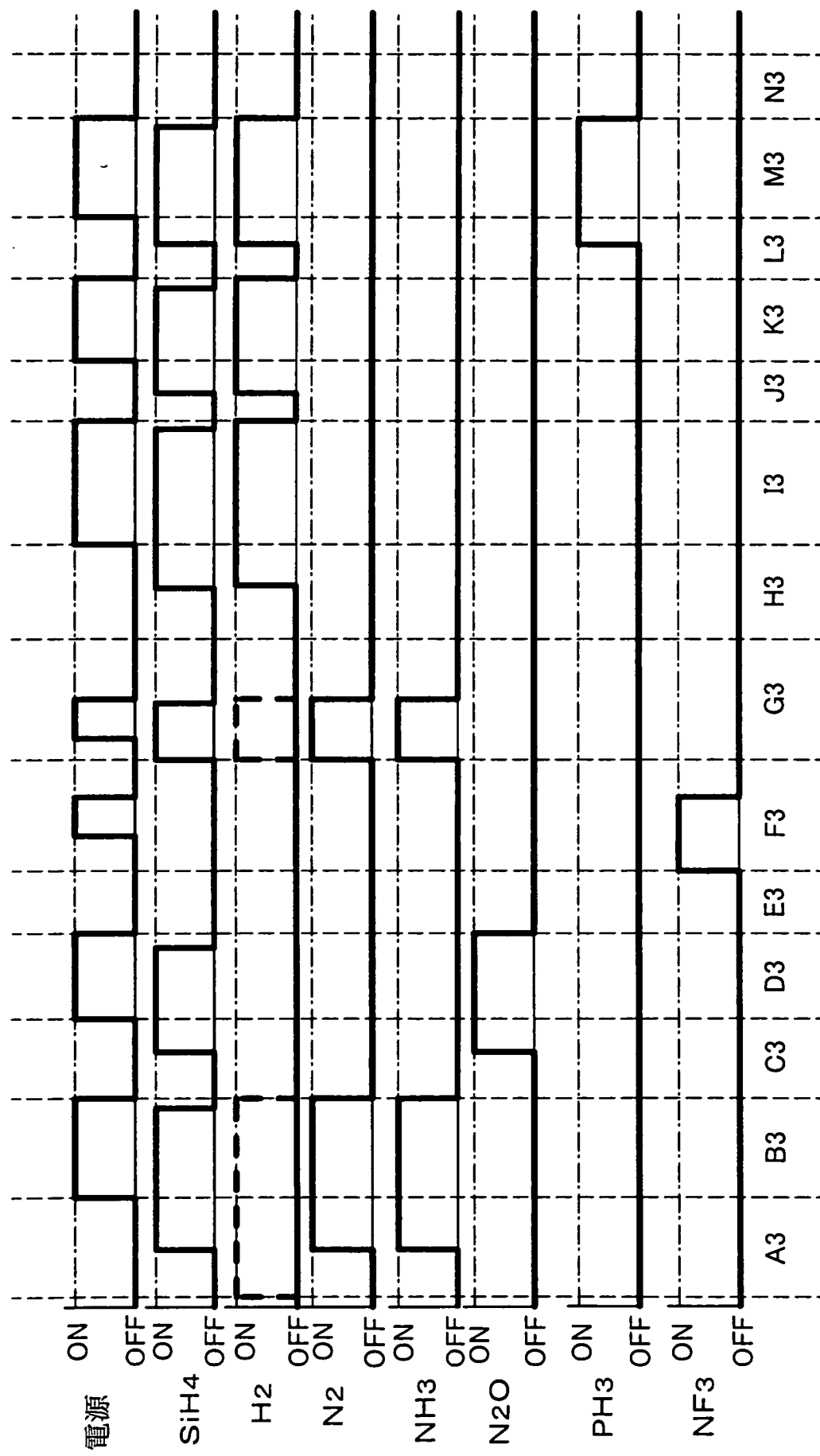


圖11

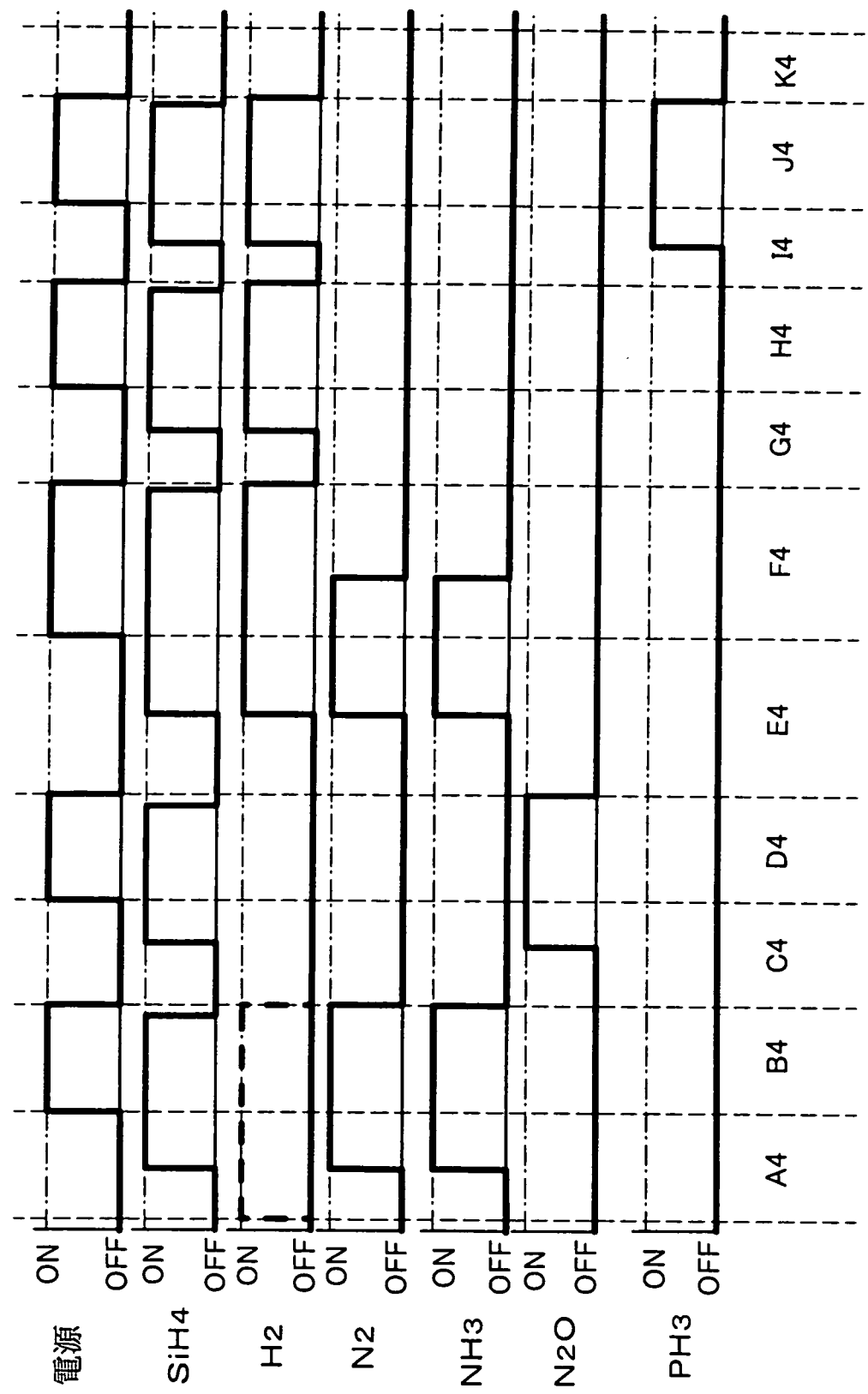


圖12

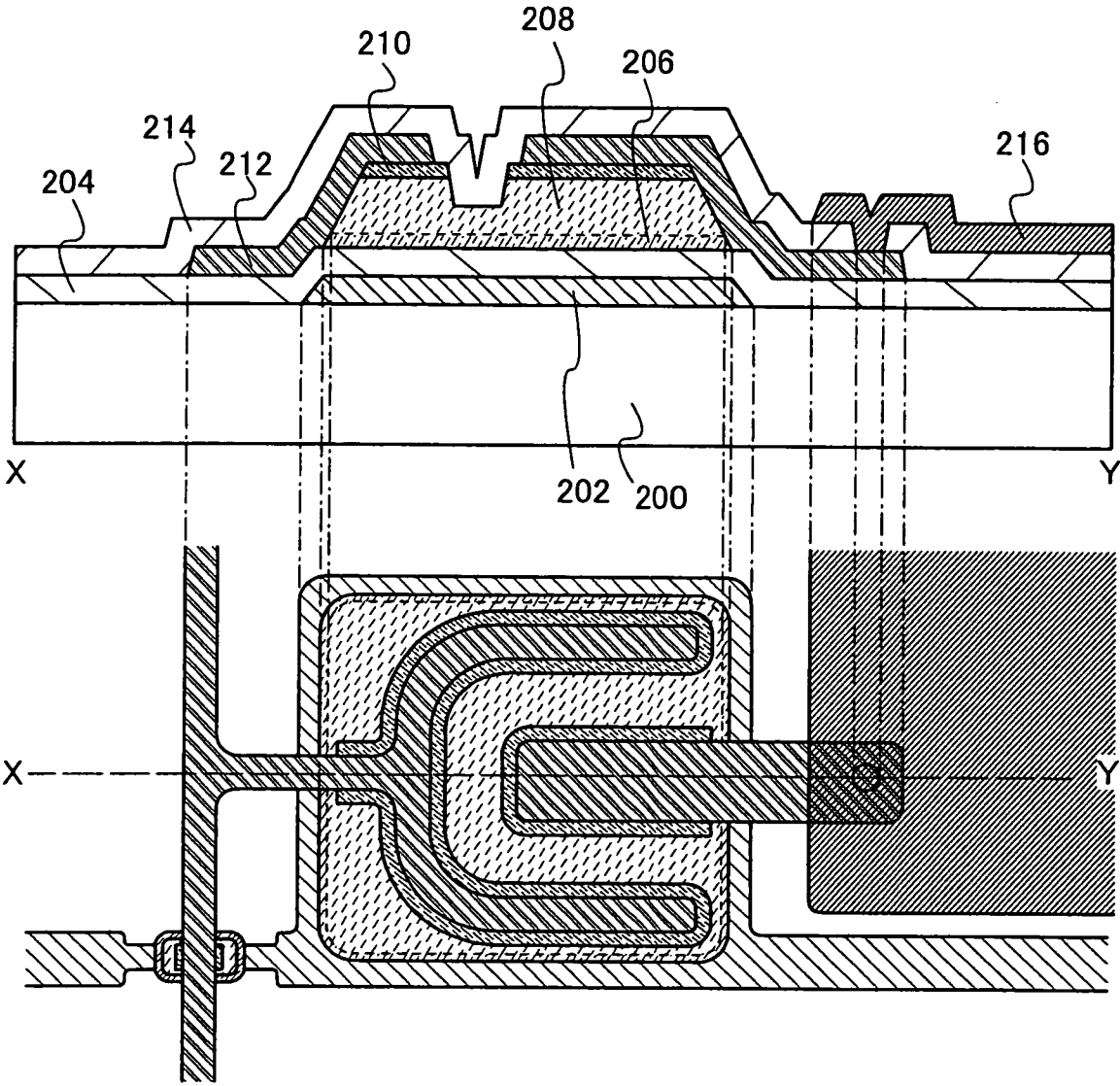


圖 13A

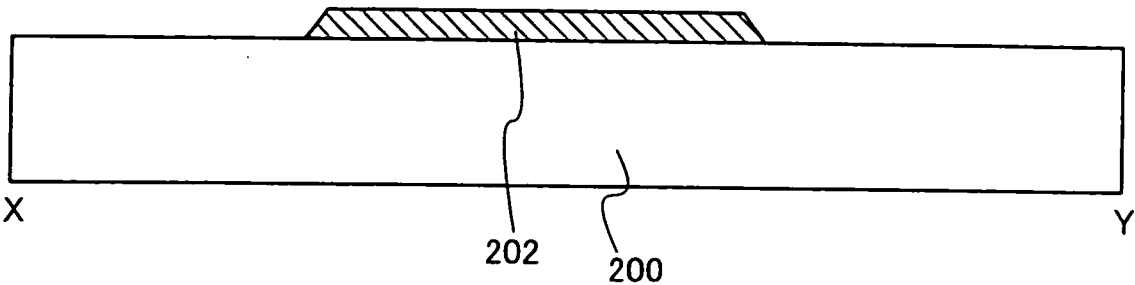


圖 13B

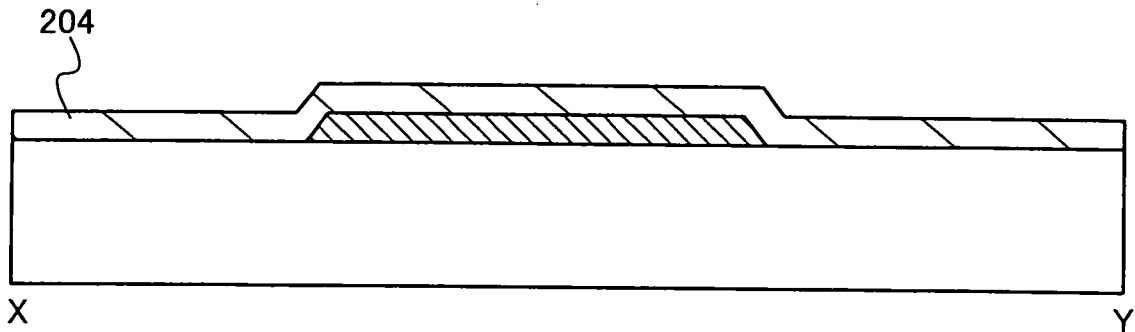


圖 13C

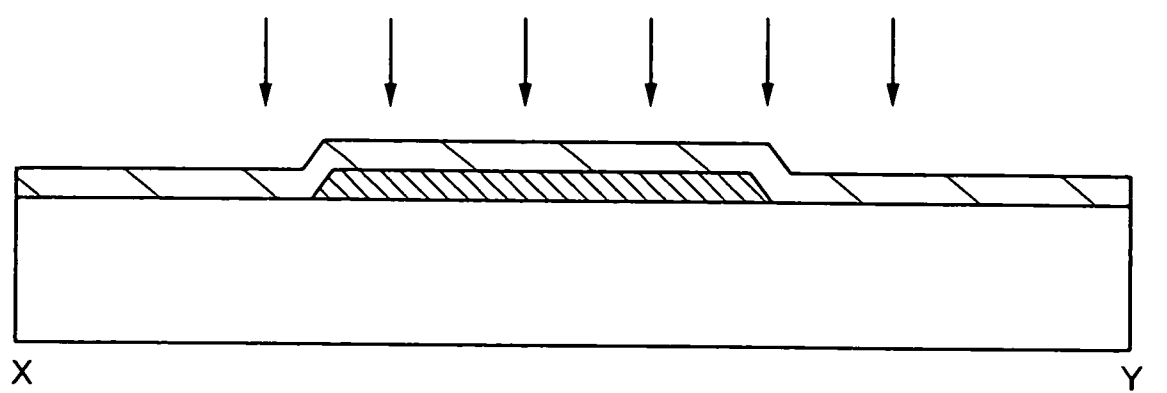


圖 14A

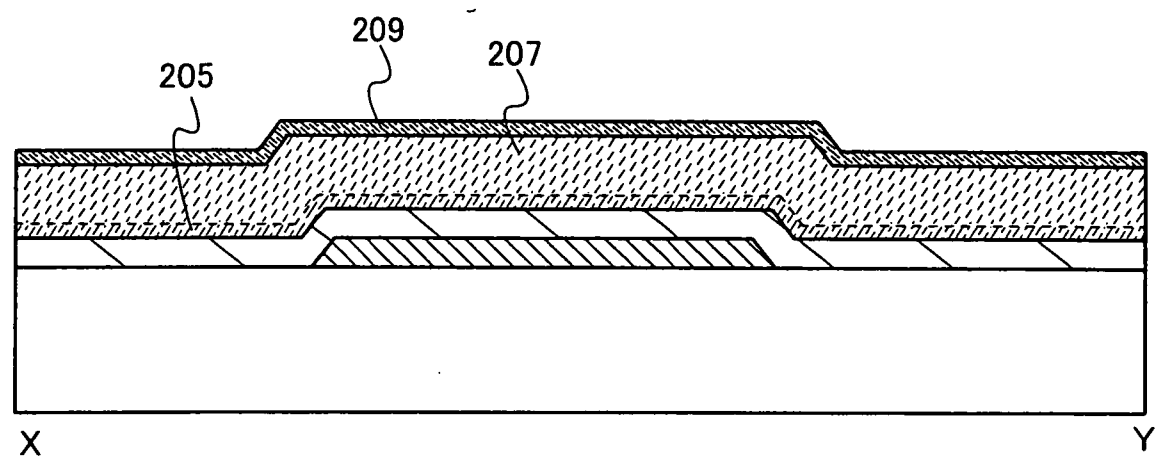


圖 14B

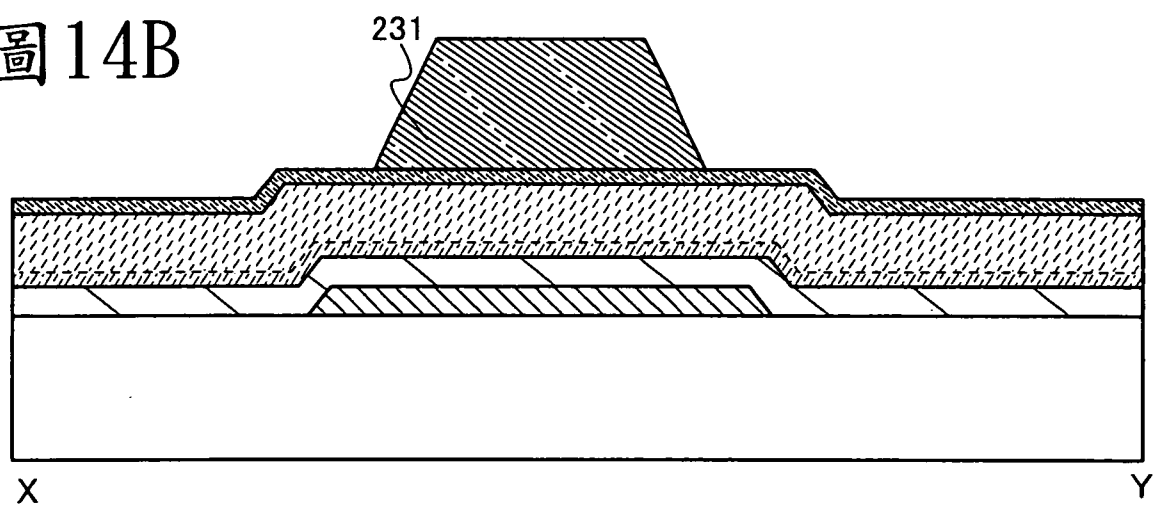


圖 14C

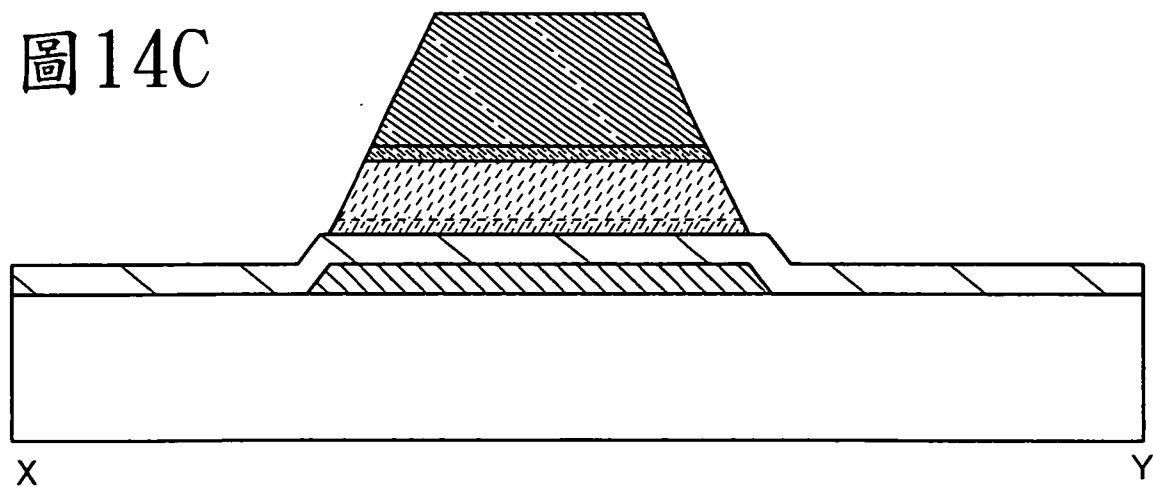


圖 15A

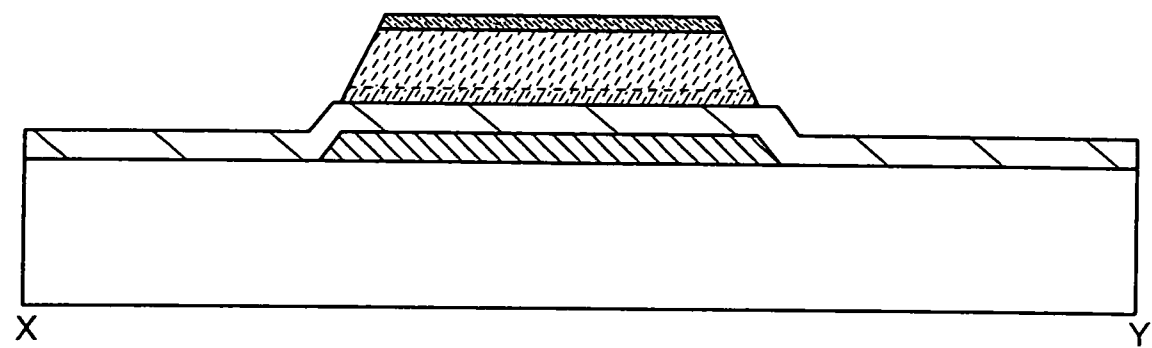


圖 15B

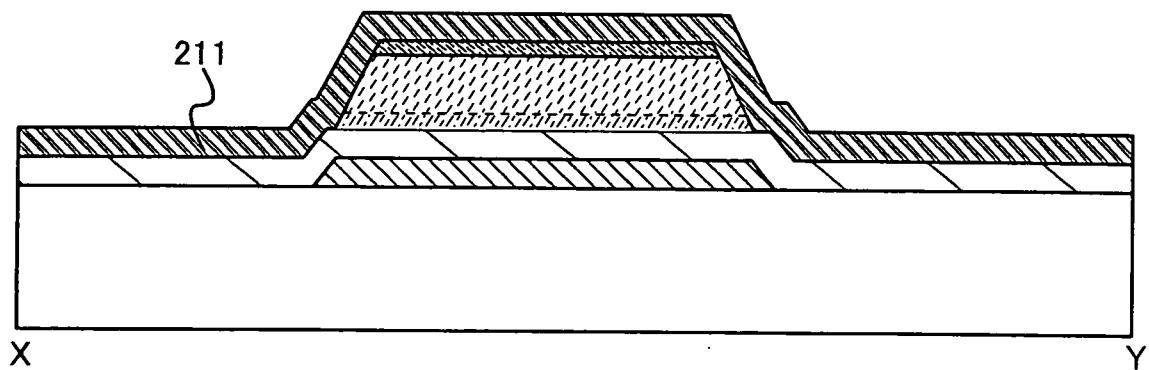


圖 15C

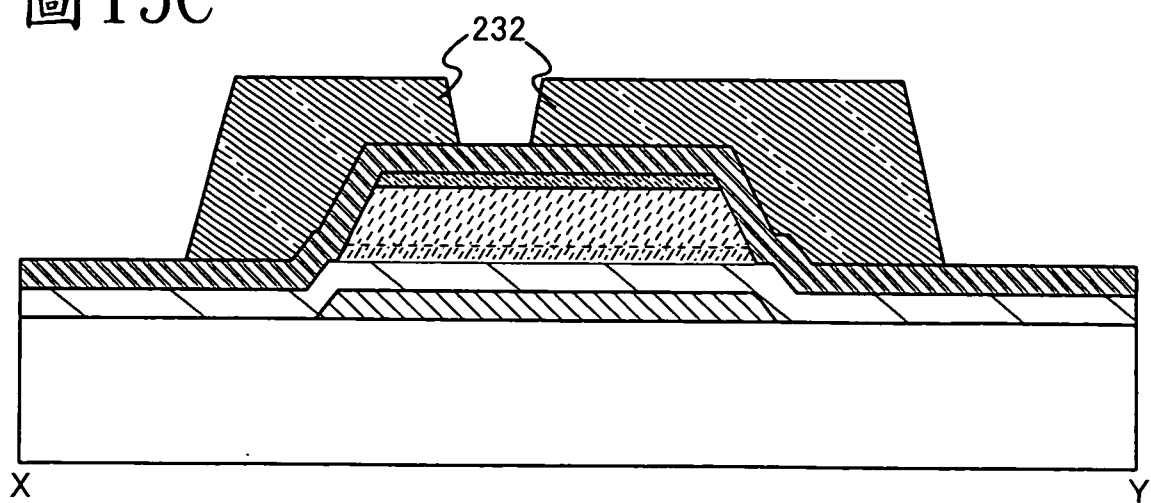


圖 16A

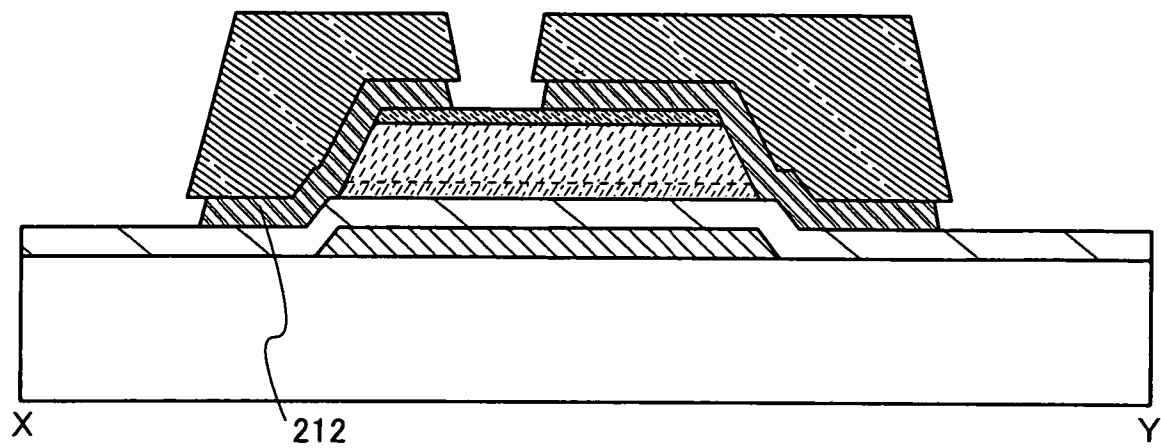


圖 16B

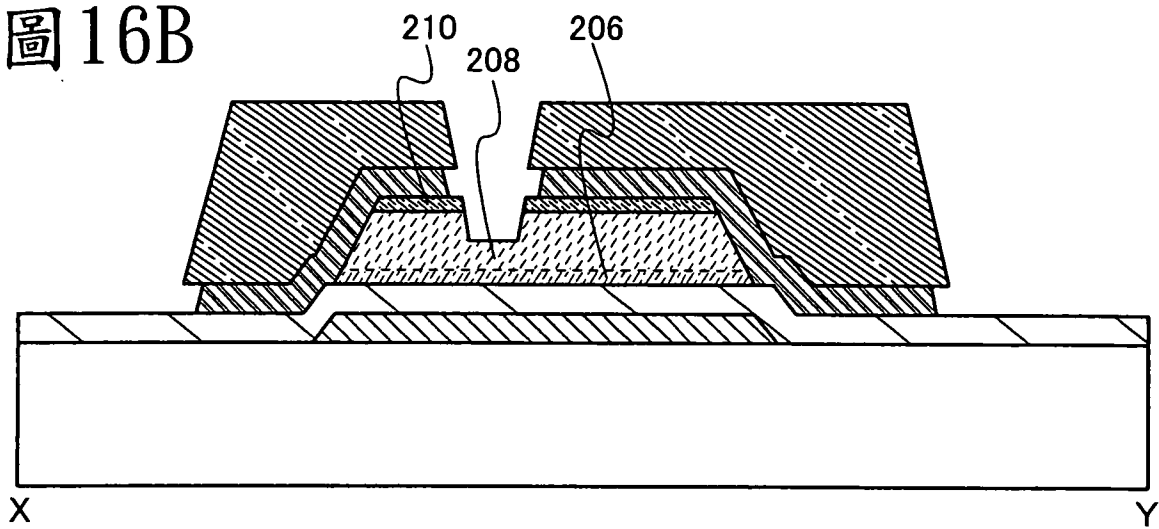


圖 16C

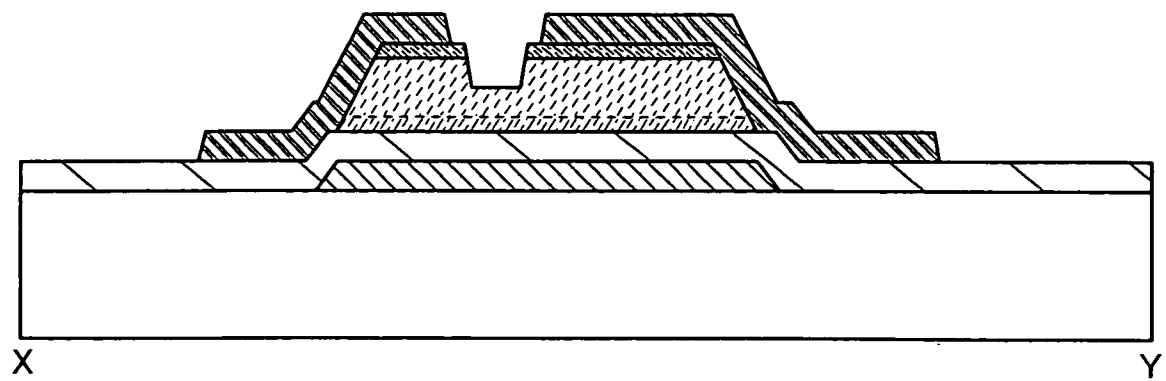


圖17

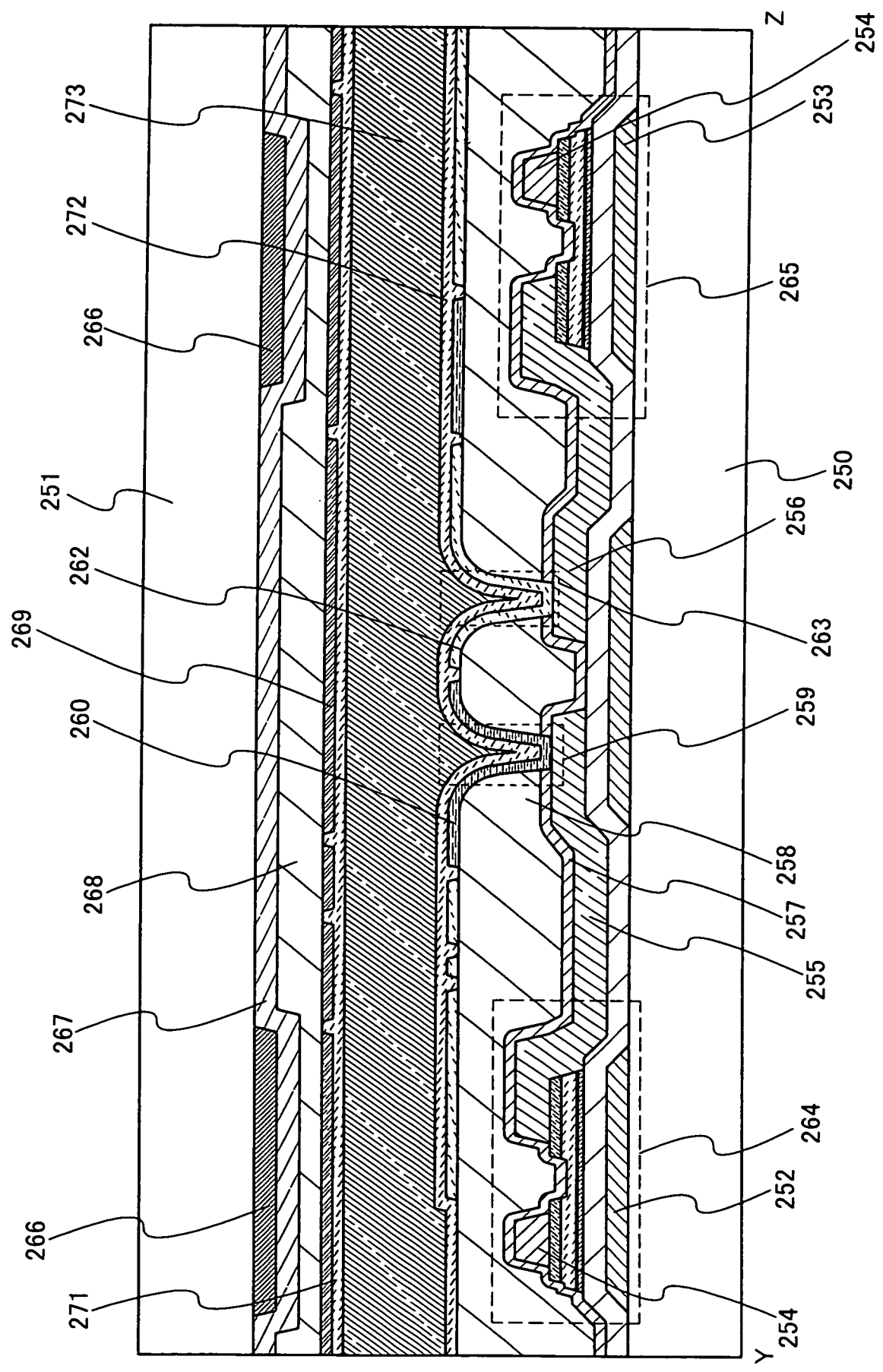


圖18

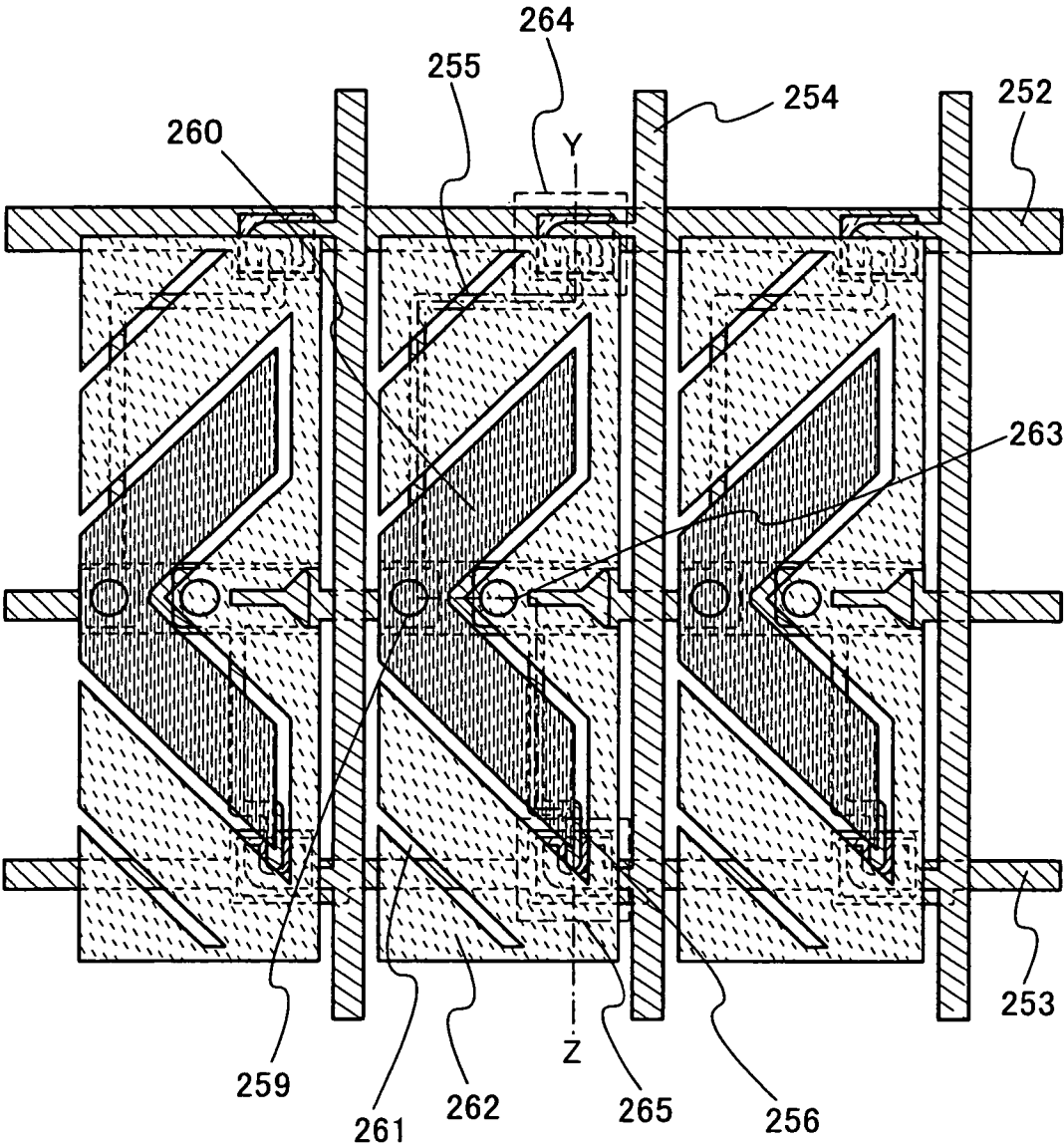


圖 19

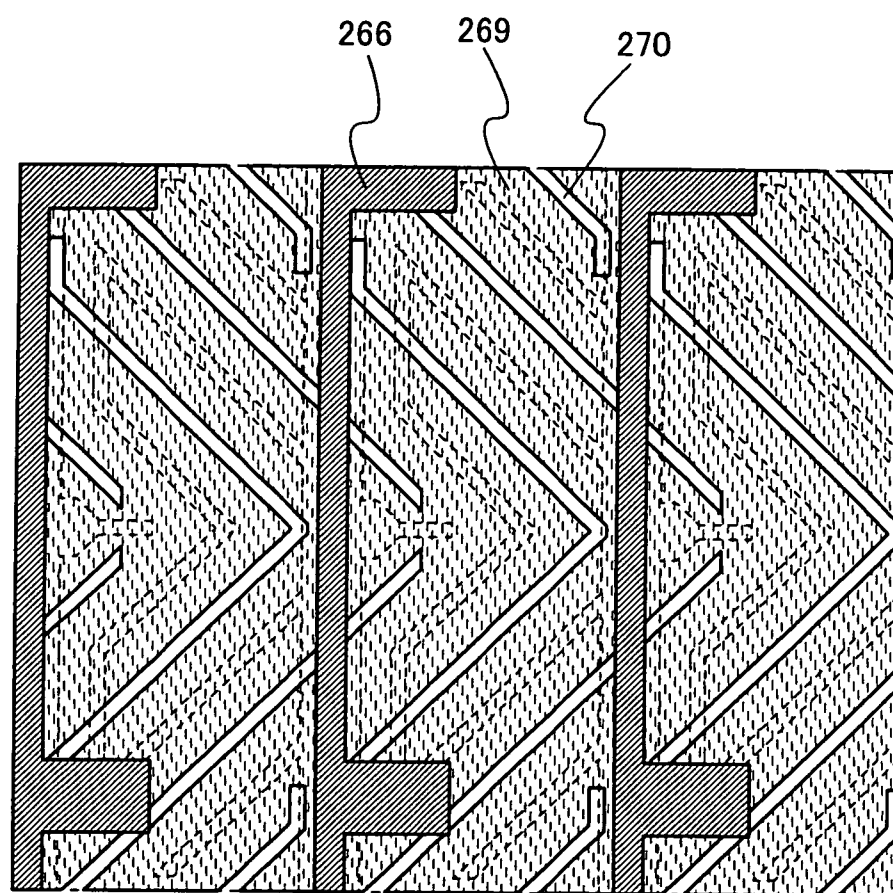


圖 20A

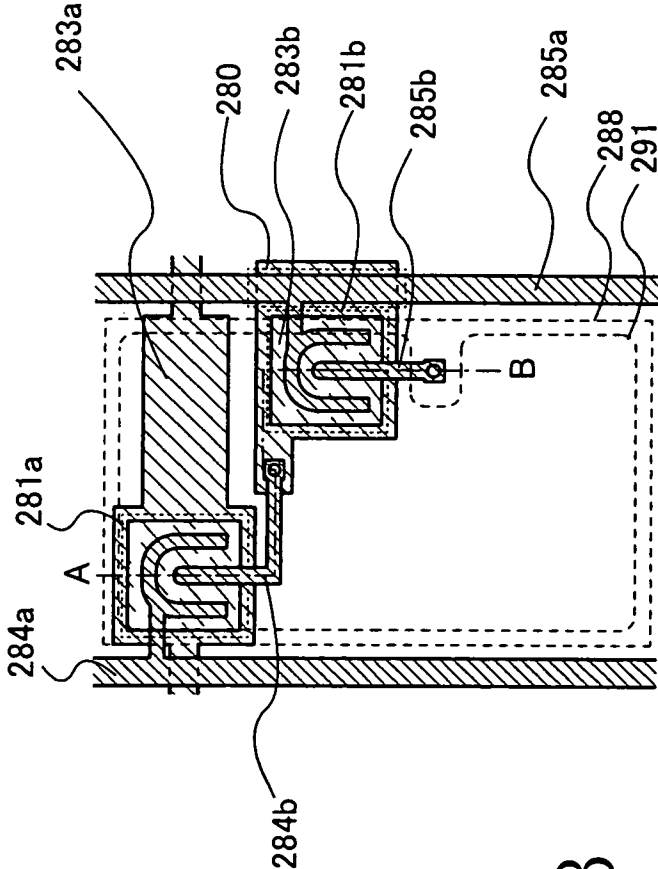


圖 20B

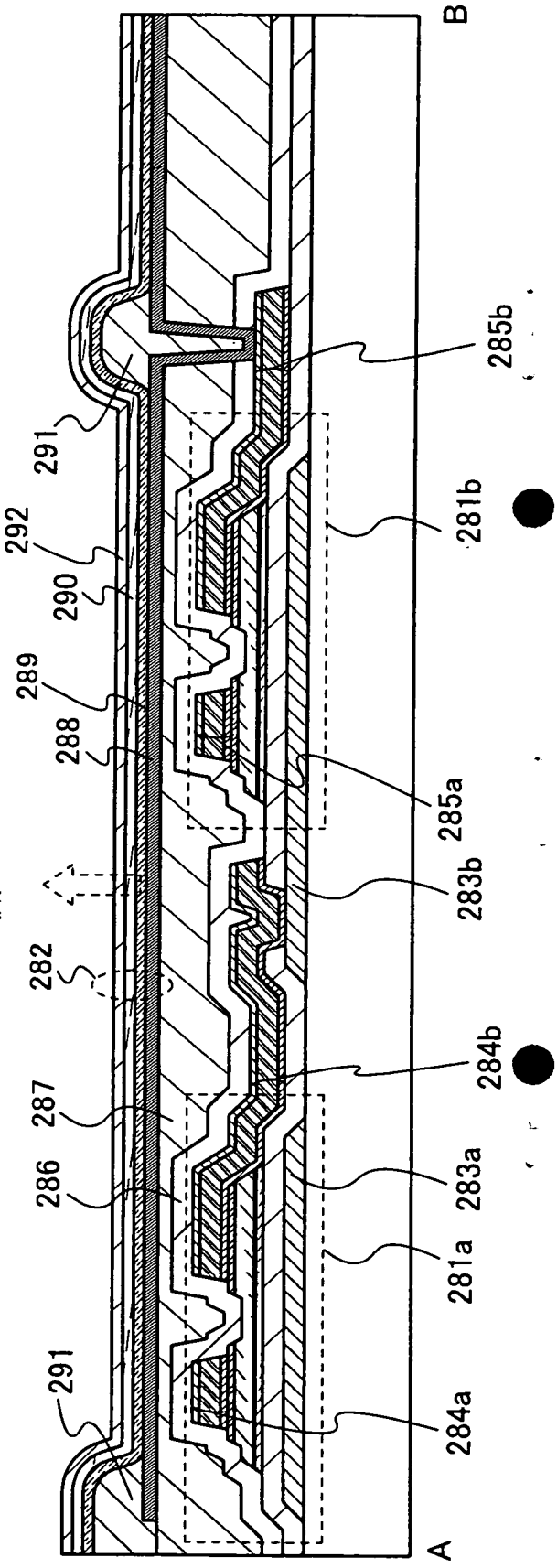


圖21A

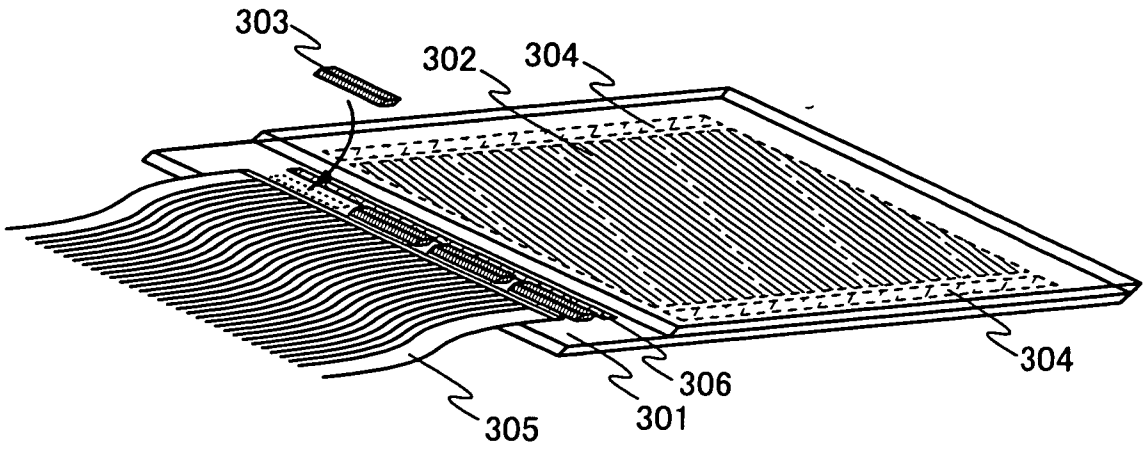


圖21B

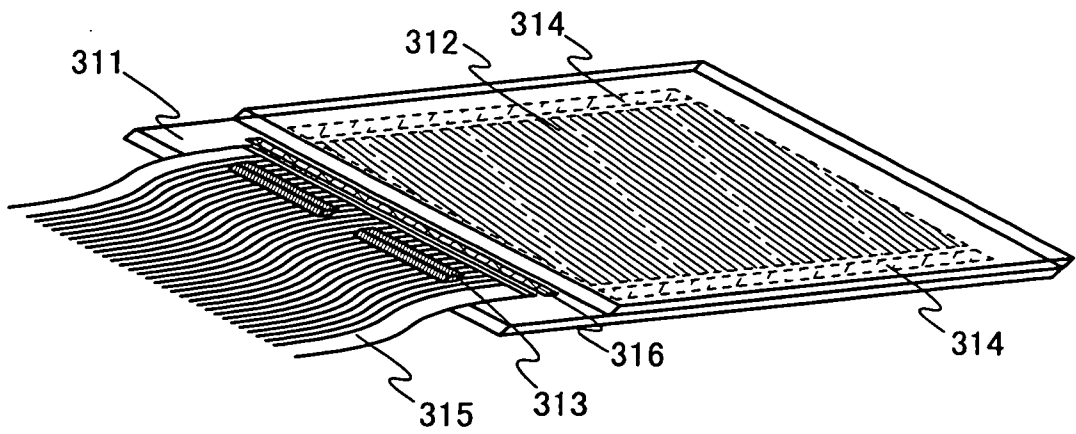


圖21C

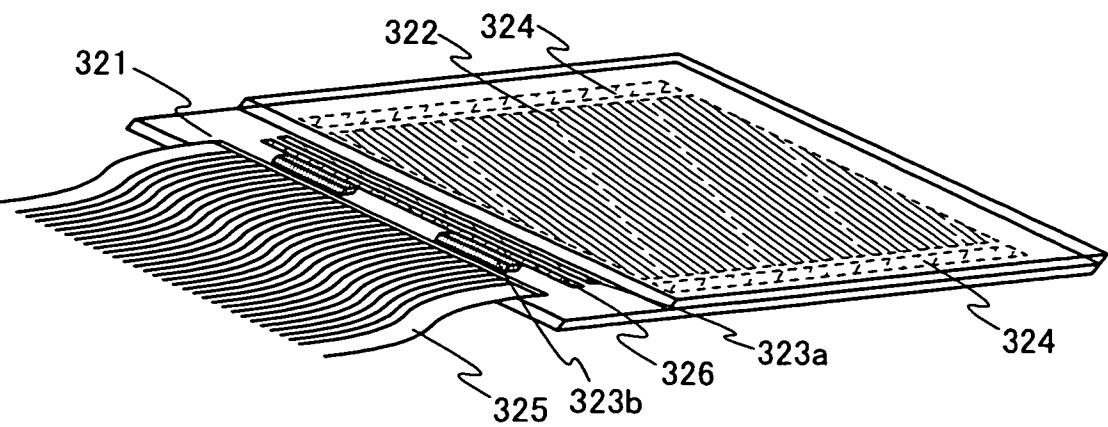


圖 22A

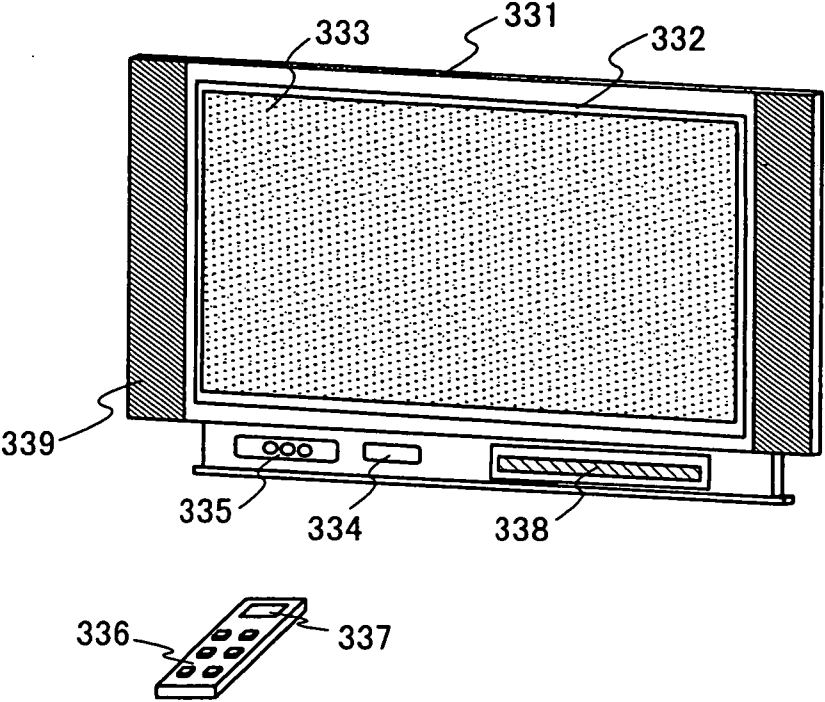


圖 22B

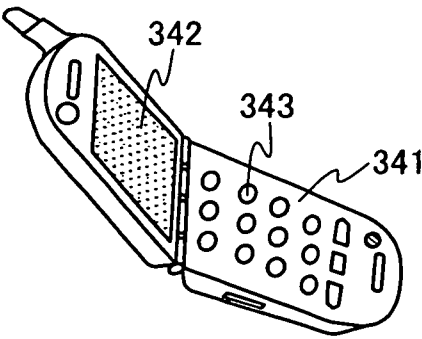


圖 22C

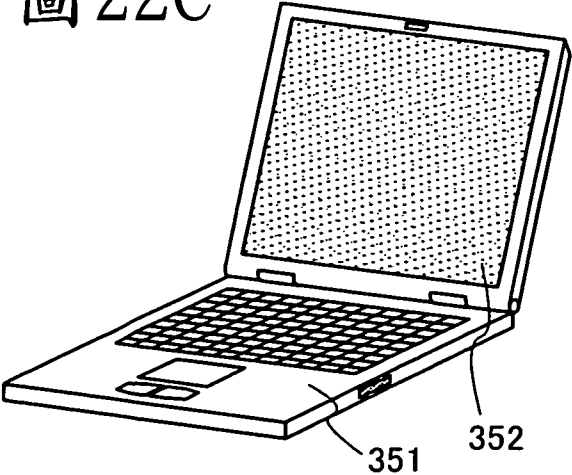


圖 22D

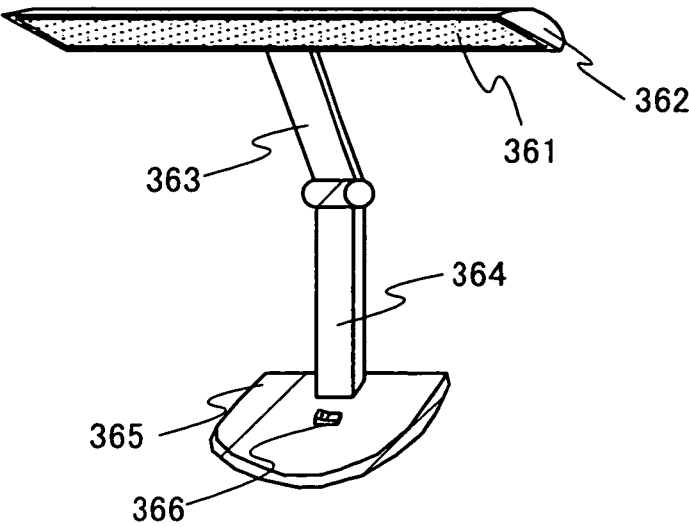


圖 23

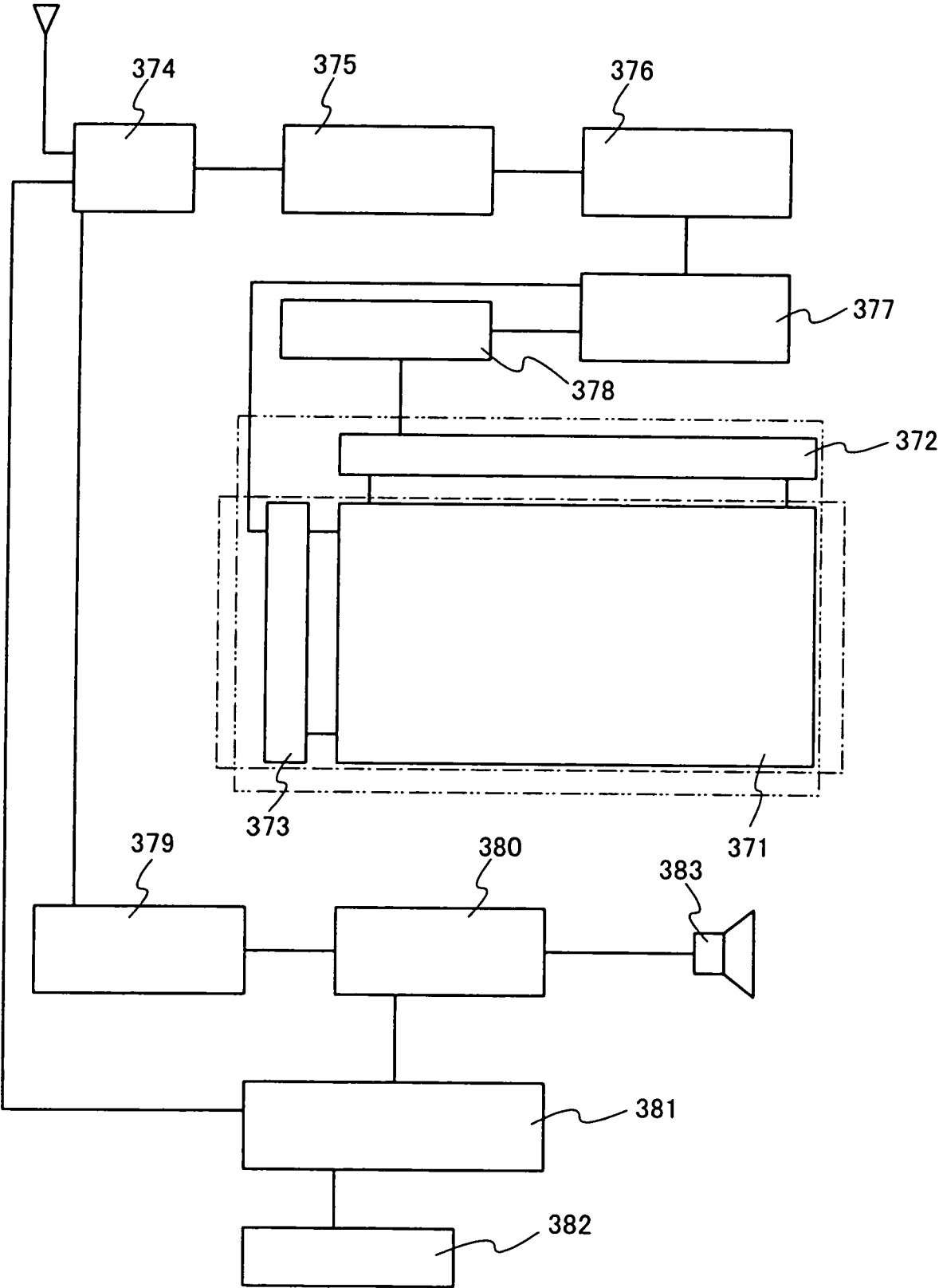


圖 24A

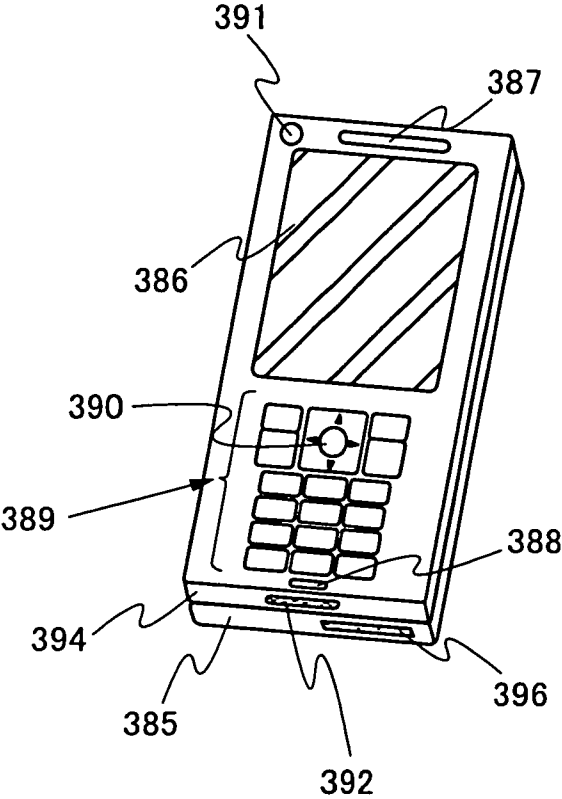


圖 24B

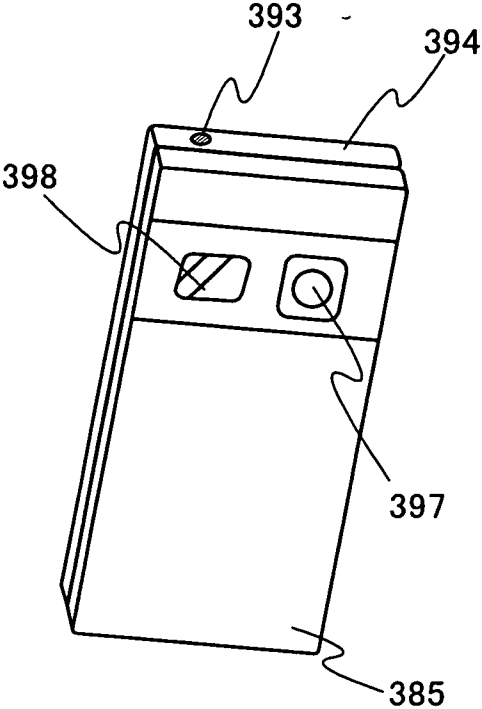


圖 24C

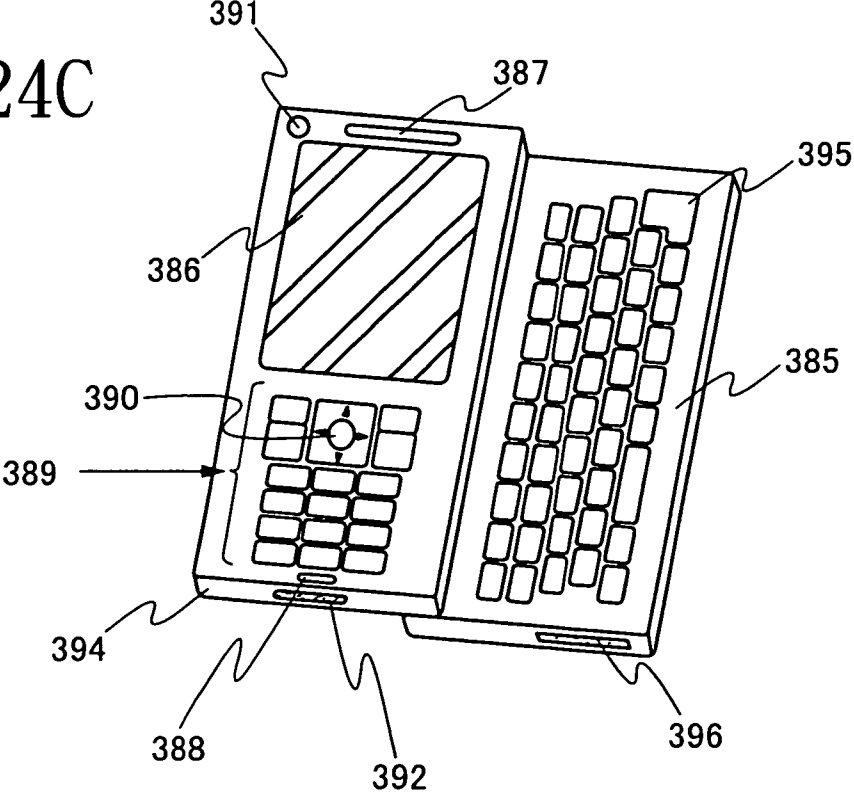


圖25

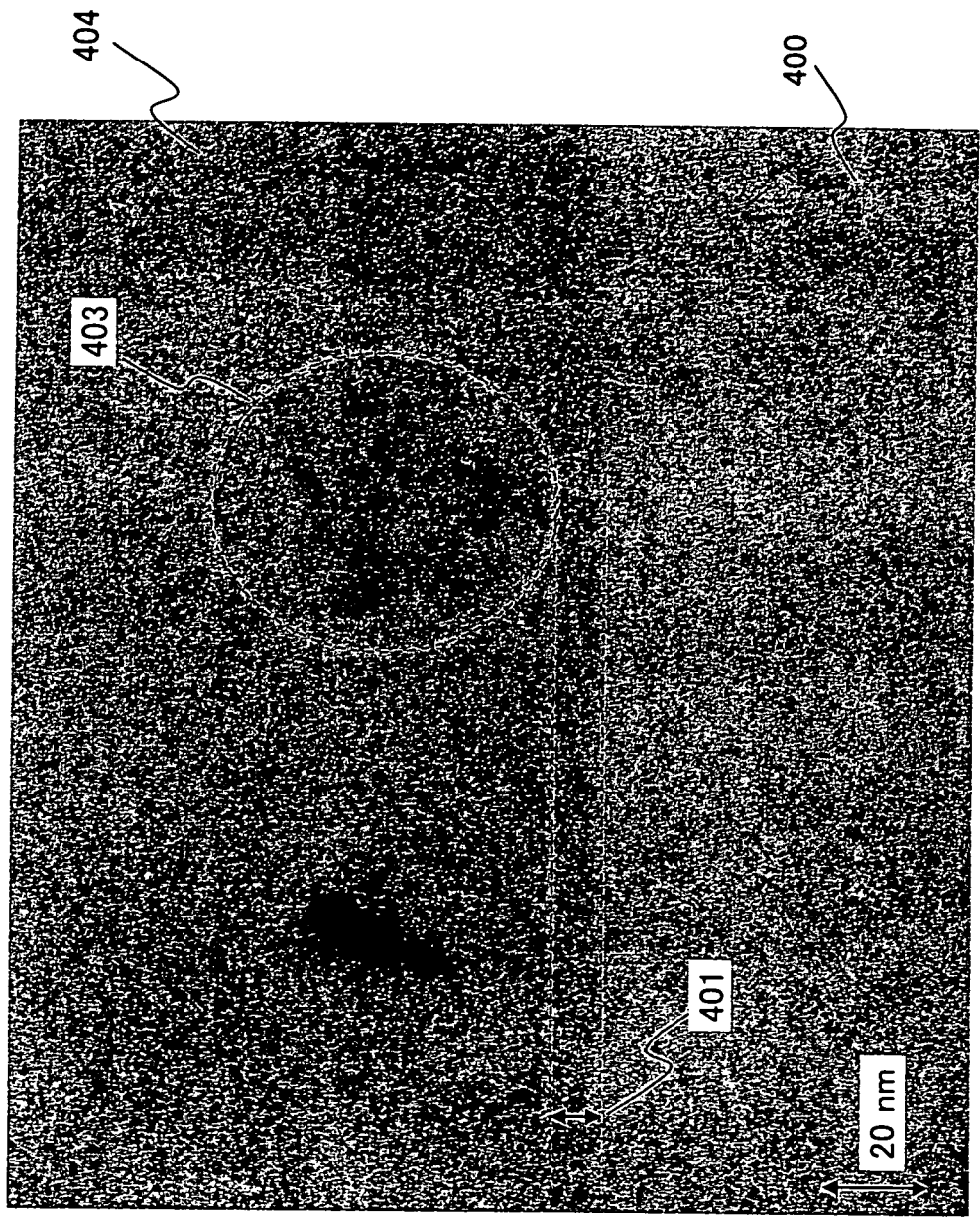


圖 26

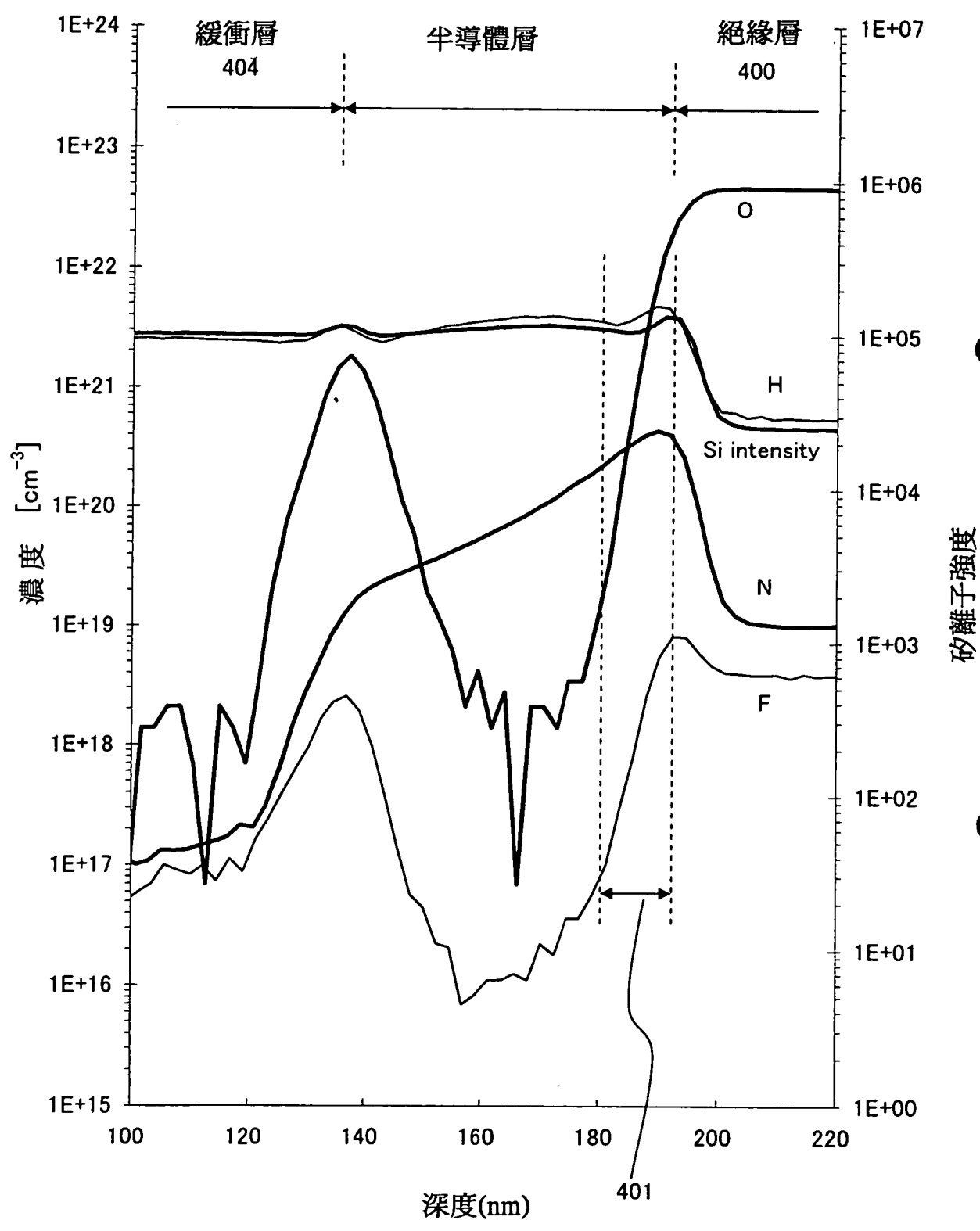


圖27

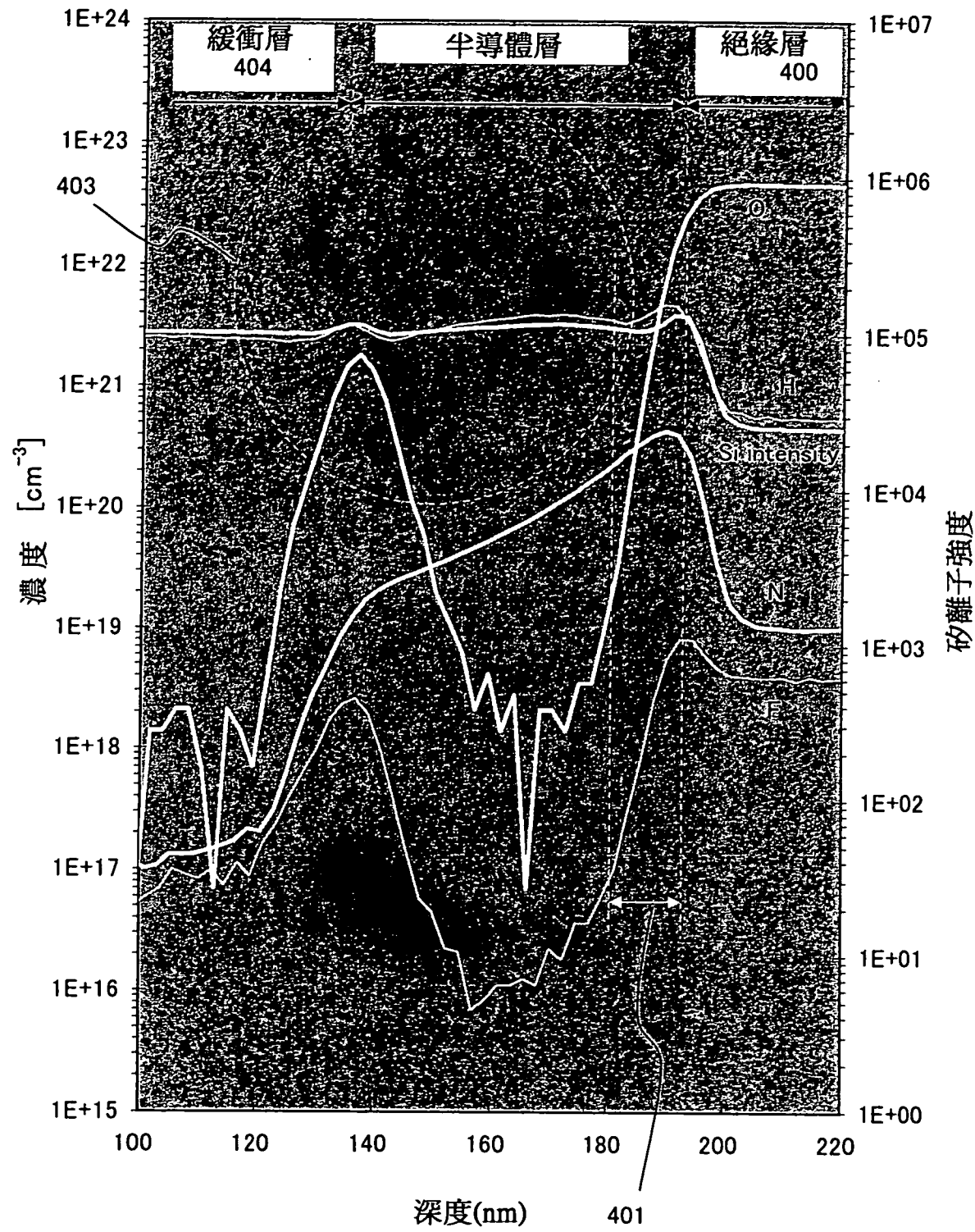


圖 28

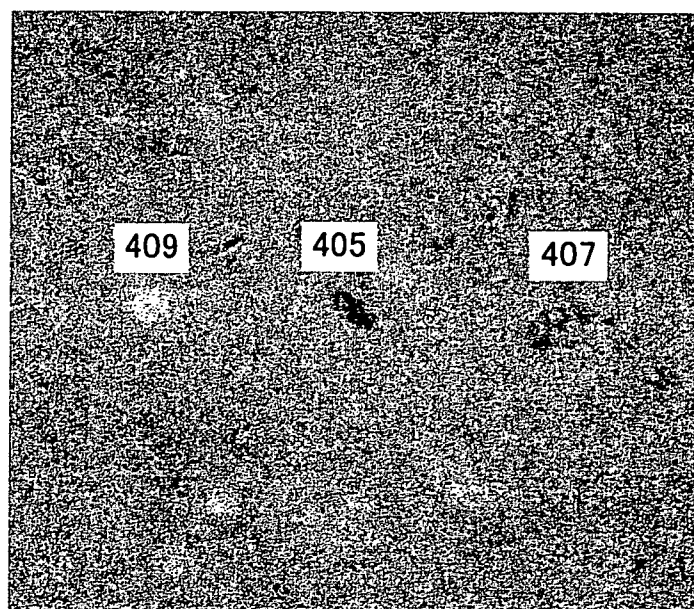


圖 29

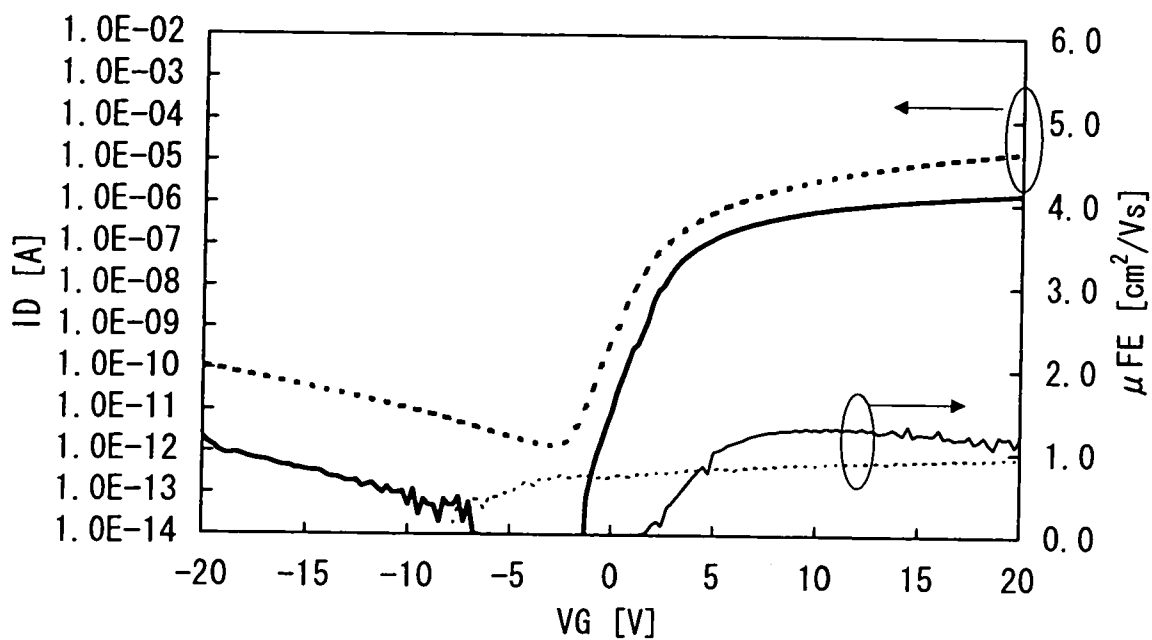


圖 30A

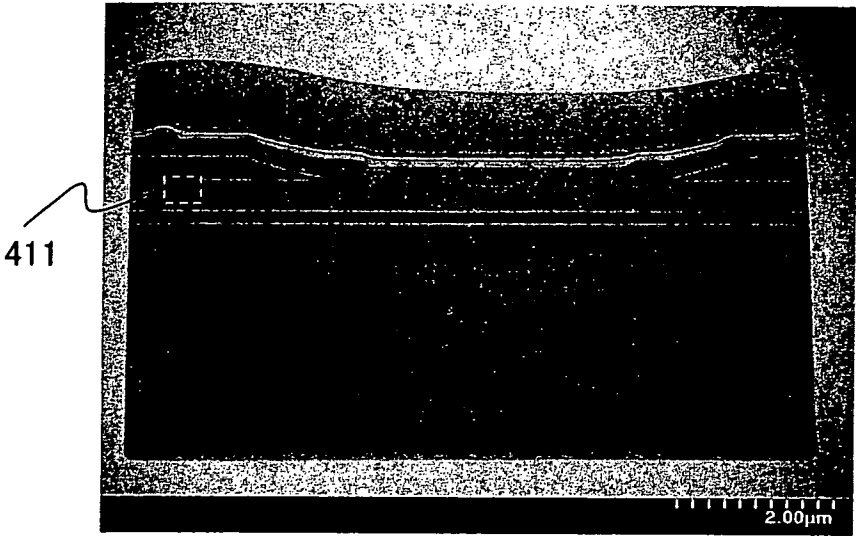


圖 30B

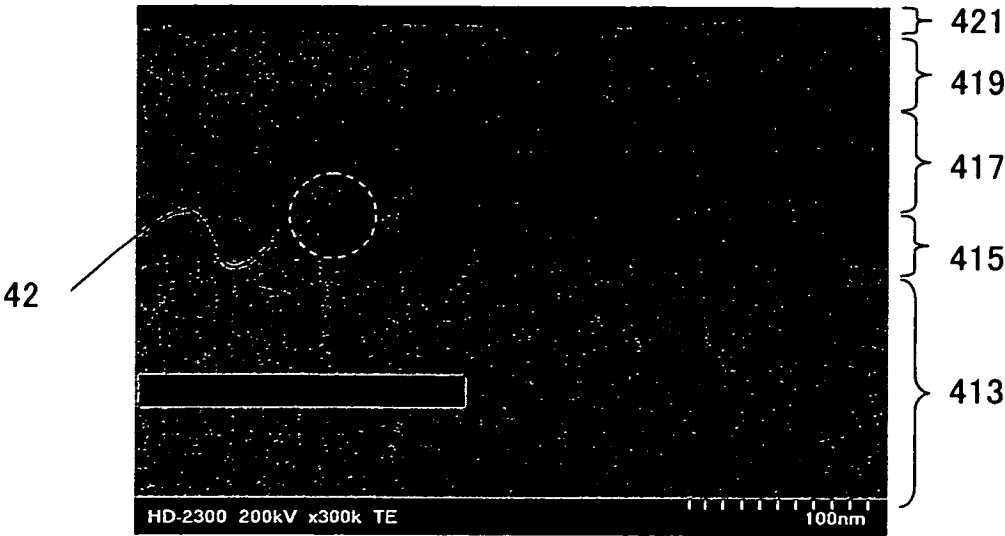


圖 31

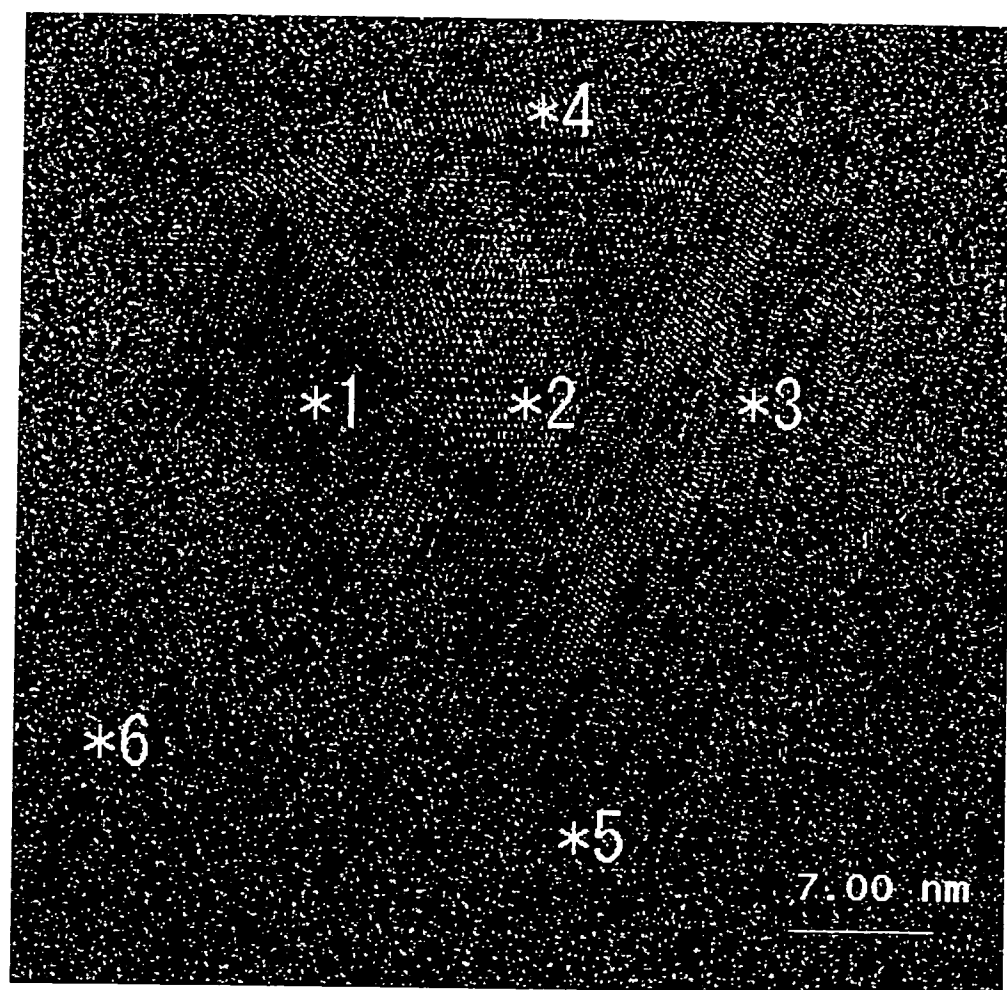


圖 32A

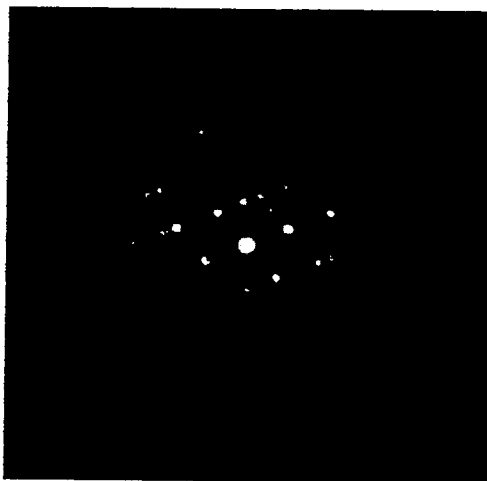


圖 32B



圖 33A

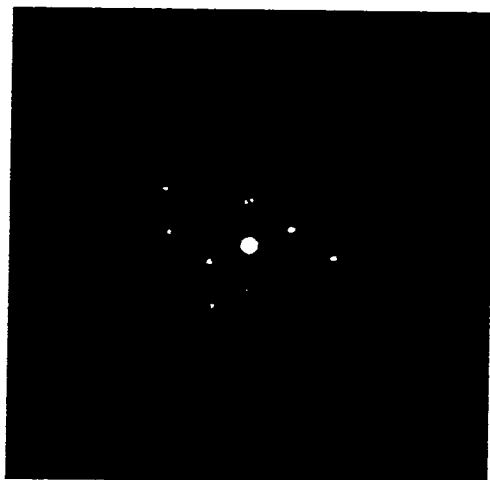


圖 33B

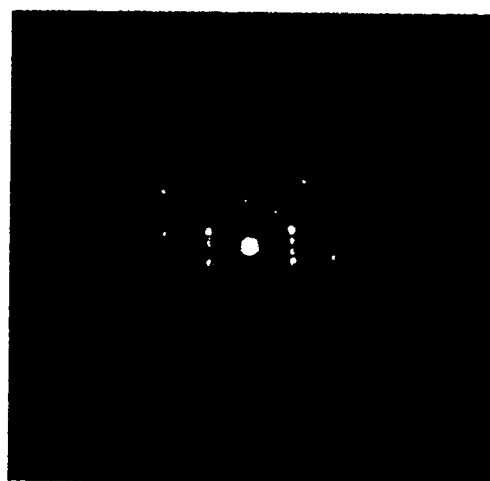


圖 34A

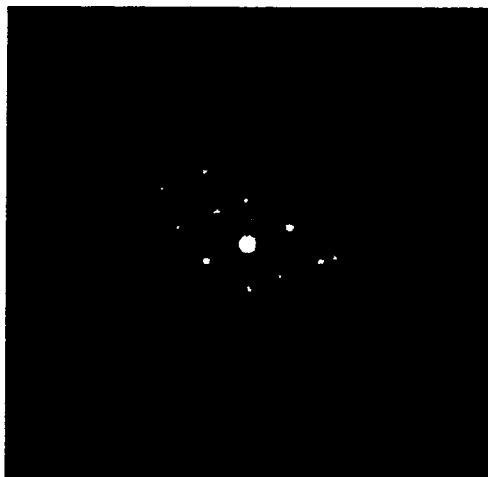


圖 34B

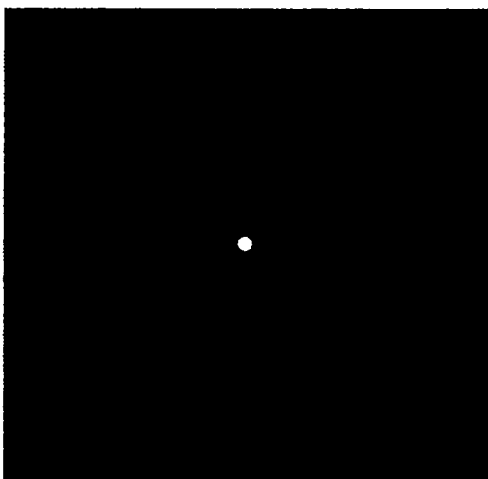


圖 35

