

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 21/335	(11) 공개번호 특 1997-0077363	(43) 공개일자 1997년 12월 12일
(21) 출원번호 특 1996-0017528		
(22) 출원일자 1996년 05월 22일		
(71) 출원인 삼성전자 주식회사 김광호		
(72) 발명자 정규철	경기도 수원시 팔달구 매탄동 416번지	
(74) 대리인 이건주	서울특별시 강남구 도곡 1동 895-8 역삼한신아파트 5-606	

**심사청구 : 있음**

**(54) 박막 트랜지스터 및 그 제조 방법**

**요약**

1. 청구 범위에 기재된 발명이 속한 기술분야  
본 발명은 박막 트랜지스터에 관한 것이다.
2. 발명이 해결하려고 하는 기술적 과제  
본 발명은 하부 게이트 TFT의 채널 도전층을 채널 영역과 소오스 및 드레인 영역을 분리 형성하여 부정합을 제거하여 안정된 특성을 가지며 또한 오프셋 영역을 게이트 도전층과 수직으로 형성하여 SRAM 셀의 고집적화를 가질 수 있는 TFT 및 그 제조 방법을 제공한다.
3. 발명의 해결방법의 요지  
본 발명은 게이트 도전층 상부에 채널을 가지는 박막 트랜지스터에 있어서, 상기 게이트 도전층 상부표면 양끝단의 소정거리의 안쪽부분과 상기 게이트 도전층을 제외한 기판 상부표면에, 상기 기판으로부터 상기 게이트 도전층 상부표면 높이에서 소정 높이까지 형성된 제1절연막과, 상기 게이트 도전층 상부표면과 상기 제1절연막 측벽을 따라 소정 두께를 가지며 오프셋 영역의 길이만큼 상기 제1절연막의 상부표면 높이와 동일한 높이로 형성된 제2절연막과, 상기 제2절연막의 상부표면 및 측벽을 따라 소정 두께로 형성된 제1도전층과, 제1채널 도전층의 상부표면 및 측벽을 따라 상기 제1절연막의 상부표면 높이와 동일한 높이까지 채워져 형성된 제3절연막과, 상기 제3절연막을 사이에 두고 상기 제1절연막 양쪽 상부표면에서 상기 제3절연막 상부표면의 소정 부분까지 소정 두께로 각각 분리 형성된 제2도전층을 가짐을 특징으로 한다.
4. 발명의 중요한 용도  
본 발명은 박막 트랜지스터에 적합하게 사용된다.

**대표도**

**도2**

**명세서**

[발명의 명칭]  
박막 트랜지스터 및 그 제조 방법

[도면의 간단한 설명]  
제2a도~제2f도는 본 발명의 일실시예에 따른 TFT 제조 공정 순서를 보여주는 공정 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

게이트 도전층 상부에 채널을 가지는 박막 트랜지스터에 있어서, 상기 게이트 도전층 상부표면 양끝단의 소정거리의 안쪽부분과 상기 게이트 도전층을 제외한 기판 상부표면에, 상기 기판으로부터 상기 게이트 도전층 상부 표면 높이에서 소정 높이까지 형성된 제1절연막과, 상기 게이트 도전층 상부표면과 상기

제1절연막 측벽을 따라 소정 두께를 가지며 오프셋 영역의 길이만큼 상기 제1절연막의 상부표면 높이와 동일한 높이로 형성된 제2절연막과, 상기 제2절연막의 상부표면 및 측벽을 따라 소정 두께로 형성된 제1도전층과, 상기 제1채널 도전층의 상부표면 및 측벽을 따라 상기 제1절연막의 상부표면 높이와 동일한 높이까지 채워져 형성된 제3절연막과, 상기 제3절연막을 사이에 두고 상기 제1절연막 양쪽 상부표면에서 상기 제3절연막 상부표면의 소정 부분까지 소정 두께로 각각 분리 형성된 제2도전층을 포함함을 특징으로 하는 박막 트랜지스터.

**청구항 2**

제1항에 있어서, 상기 오프셋 영역이 상기 제2, 제3절연막 및 제1도전층으로 수직 형성됨을 특징으로 하는 박막 트랜지스터.

**청구항 3**

제2항에 있어서, 상기 오프셋 영역이 상기 폴리싱된 양에 의해 길이가 결정됨을 특징으로 하는 박막 트랜지스터.

**청구항 4**

제1항에 있어서, 상기 제1도전층 및 제2도전층이 상기 게이트 도전층과 동일한 도핑물질로써 이온 주입된 폴리 실리콘 또는 비정질 실리콘으로 이루어짐을 특징으로 하는 박막 트랜지스터.

**청구항 5**

제1항 또는 제4항에 있어서, 상기 제1 및 제2도전층이 도우너 또는 억셉터 물질로 이온 주입됨을 특징으로 하는 박막 트랜지스터.

**청구항 6**

제1항에 있어서, 상기 제1, 제2 및 제3절연막이 실리콘 산화막으로 이루어짐을 특징으로 하는 박막 트랜지스터.

**청구항 7**

제1항에 있어서, 상기 제1, 제2 및 제3절연막이 실리콘 질화막으로 이루어짐을 특징으로 하는 박막 트랜지스터.

**청구항 8**

제1항에 있어서, 상기 제2도전층이 소오스 영역 및 드레인 영역으로 각각 분리됨을 특징으로 하는 박막 트랜지스터.

**청구항 9**

박막 트랜지스터의 제조 방법에 있어서, 게이트 도전층 상부표면과 기판 상부표면을 오프셋 영역 길이만큼 소정 두께로 제1절연막을 침적하면, 상기 제1절연막을 상기 게이트 도전층 상부표면까지 상기 게이트 도전층 길이만큼 식각하여 접촉구를 형성하는 과정과, 상기 제1절연막의 상부표면과 상기 게이트 도전층 상부표면에 걸쳐 소정 두께로 제2절연막을 침적하는 과정과, 상기 제2절연막의 상부표면에 제1도전층을 침적하며 도전물질로써 이온주입을 통하여 소정 두께의 채널을 형성하는 과정과, 상기 제1도전층 상부표면에 소정 두께로 제3절연막을 형성하는 과정과, 상기 제1절연막 상부표면까지 소정 부분을 폴리싱하여 상기 제1, 2, 3절연막 및 제1도전층의 상부표면을 노출시키는 과정과, 상기 노출된 제1, 2, 3절연막 및 제1도전층의 상부표면에 제2도전층을 상기 도전물질로써 이온 주입을 통하여 형성하는 과정과, 상기 형성된 제2도전층을 상기 제3절연막 상부표면중 양끝단에서 소정거리 이전까지만 상기 제3절연막 상부표면중 일부가 노출되도록 식각하는 과정을 포함함을 특징으로 하는 박막 트랜지스터의 제조 방법.

**청구항 10**

제9항에 있어서, 상기 폴리싱이 기계 및 화학적 폴리싱임을 특징으로 하는 박막 트랜지스터의 제조 방법.

**청구항 11**

제9항에 있어서, 상기 제1절연막, 제1도전층 및 제2절연막의 두께가 기계 및 화학적 폴리싱을 하여 상기 폴리싱의 양에 따라 상기 오프셋 영역의 길이를 결정함을 특징으로 하는 박막 트랜지스터의 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

도면2

