



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0135622
(43) 공개일자 2017년12월08일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) H03M 1/12 (2006.01)
(52) CPC특허분류
H03M 1/1009 (2013.01)
H03M 1/1245 (2013.01)
(21) 출원번호 10-2016-0103052
(22) 출원일자 2016년08월12일
심사청구일자 2016년08월12일
(30) 우선권주장
1020160067176 2016년05월31일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호
박윤수
서울특별시 성북구 보문로26길 49, 101호
(74) 대리인
심경식, 홍성욱

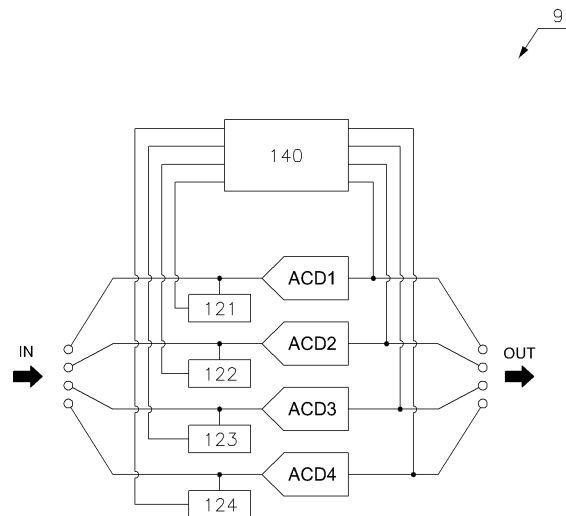
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 시분할 아날로그-디지털 변환기 및 그 캘리브레이션 방법

(57) 요약

본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기는, 복수의 채널 각각에 위치하고, 입력되는 아날로그 신호를 복수의 부분 디지털 신호로 변환시키는 복수의 아날로그-디지털 변환부; 상기 복수의 채널 각각에 위치하고, 복수의 대역폭 조정 신호에 따라 상기 복수의 채널의 복수의 샘플링 대역폭을 조정하는 복수의 샘플링 대역폭 조정부; 및 상기 복수의 샘플링 대역폭을 추정하고, 상기 복수의 샘플링 대역폭을 서로 일치시키는 상기 복수의 대역폭 조정 신호를 생성하는 샘플링 대역폭 제어부를 포함한다.

대표도 - 도1



(52) CPC특허분류

H03M 2201/6354 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2013070988

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원 도약연구(전략)

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2015.12.01 ~ 2016.11.30

명세서

청구범위

청구항 1

복수의 채널 각각에 위치하고, 입력되는 아날로그 신호를 복수의 부분 디지털 신호로 변환시키는 복수의 아날로그-디지털 변환부;

상기 복수의 채널 각각에 위치하고, 복수의 대역폭 조정 신호에 따라 상기 복수의 채널의 복수의 샘플링 대역폭을 조정하는 복수의 샘플링 대역폭 조정부; 및

상기 복수의 샘플링 대역폭을 추정하고, 상기 복수의 샘플링 대역폭을 서로 일치시키는 상기 복수의 대역폭 조정 신호를 생성하는 샘플링 대역폭 제어부를 포함하는

시분할 아날로그-디지털 변환기.

청구항 2

제1 항에 있어서,

입력되는 상기 아날로그 신호를 상기 복수의 채널에 선택적으로 전달하는 입력 스위칭부; 및

상기 복수의 채널에 연결되어 상기 복수의 부분 디지털 신호를 순차적으로 출력하는 출력 스위칭부를 더 포함하는

시분할 아날로그-디지털 변환기.

청구항 3

제1 항에 있어서,

상기 샘플링 대역폭 제어부는 상기 복수의 채널에 대한 복수의 이득(gain)을 이용하여 상기 복수의 샘플링 대역폭을 추정하는,

시분할 아날로그-디지털 변환기.

청구항 4

제3 항에 있어서,

상기 샘플링 대역폭 제어부는 이득의 크기에 비례하여 샘플링 대역폭을 추정하는,

시분할 아날로그-디지털 변환기.

청구항 5

제3 항에 있어서,

상기 샘플링 대역폭 제어부는 상기 복수의 샘플링 대역폭이 그 중 가장 작은 샘플링 대역폭과 일치하도록 상기 복수의 대역폭 조정 신호를 생성하는,

시분할 아날로그-디지털 변환기.

청구항 6

제4 항에 있어서,

상기 복수의 부분 디지털 신호가 입력되는 복수의 하이-패스 필터부를 더 포함하고,

상기 샘플링 대역폭 제어부는 상기 복수의 하이-패스 필터부를 통과한 상기 부분 디지털 신호를 이용하여 각 채널의 이득을 계산하는,

시분할 아날로그-디지털 변환기.

청구항 7

제1 항에 있어서,

상기 복수의 샘플링 대역폭 조정부는 대응하는 각 채널의 샘플링 노드에 각각 연결된,

시분할 아날로그-디지털 변환기.

청구항 8

제7 항에 있어서,

상기 복수의 샘플링 대역폭 조정부는 상기 복수의 대역폭 조정 신호에 따라 대응하는 샘플링 노드에 연결되는 정전 용량값을 조정하는,

시분할 아날로그-디지털 변환기.

청구항 9

제8 항에 있어서,

상기 복수의 샘플링 대역폭 조정부는

대응하는 샘플링 노드에 일단이 연결된 복수의 커패시터; 및

대응하는 상기 복수의 커패시터의 타단이 연결된 출력단을 갖고, 기준 전압 및 대응하는 샘플링 노드를 입력단으로 갖는 복수의 멀티플렉서를 포함하는,

시분할 아날로그-디지털 변환기.

청구항 10

제9 항에 있어서,

상기 복수의 샘플링 대역폭 조정부는 상기 복수의 대역폭 조정 신호에 따라 대응하는 상기 복수의 멀티플렉서를 제어함으로써, 대응하는 샘플링 노드에 연결되는 정전 용량값을 조정하는,

시분할 아날로그-디지털 변환기.

청구항 11

제3 항에 있어서,

상기 복수의 이득은 상기 아날로그 신호에 대한 대응하는 상기 복수의 부분 디지털 신호의 크기 비율로 계산되는,

시분할 아날로그-디지털 변환기.

청구항 12

제3 항에 있어서,

상기 복수의 이득은 고주파수 영역의 이득인,

시분할 아날로그-디지털 변환기.

청구항 13

제12 항에 있어서,

상기 복수의 이득은 나이퀴스트 주파수(Nyquist frequency)로부터 일정 범위 내의 주파수에 대한 이득인,

시분할 아날로그-디지털 변환기.

청구항 14

제13 항에 있어서,
상기 나이퀴스트 주파수는 시분할 아날로그-디지털 변환기의 샘플링 주파수의 절반인,
시분할 아날로그-디지털 변환기.

청구항 15

시분할 아날로그-디지털 변환기의 채널간 대역폭 불일치를 해결하기 위한 캘리브레이션 방법으로서,
입력되는 아날로그 신호를 복수의 채널에 대응하는 복수의 부분 디지털 신호로 변환시키는 복수의 아날로그-디지털 변환 단계;
복수의 대역폭 조정 신호에 따라 상기 복수의 채널의 복수의 샘플링 대역폭을 조정하는 복수의 샘플링 대역폭 조정 단계; 및
상기 복수의 샘플링 대역폭을 추정하고, 상기 복수의 샘플링 대역폭을 서로 일치시키는 상기 복수의 대역폭 조정 신호를 생성하는 샘플링 대역폭 제어 단계를 포함하는
캘리브레이션 방법.

청구항 16

제15 항에 있어서,
상기 샘플링 대역폭 제어 단계에서, 상기 복수의 채널에 대한 복수의 이득을 이용하여 상기 복수의 샘플링 대역폭을 추정하는,
캘리브레이션 방법.

청구항 17

제16 항에 있어서,
상기 샘플링 대역폭 제어 단계에서, 이득의 크기에 비례하여 샘플링 대역폭을 추정하는,
캘리브레이션 방법.

청구항 18

제16 항에 있어서,
상기 샘플링 대역폭 제어 단계에서, 상기 복수의 샘플링 대역폭이 그 중 가장 작은 샘플링 대역폭과 일치하도록 상기 복수의 대역폭 조정 신호를 생성하는,
캘리브레이션 방법.

청구항 19

제17 항에 있어서,
상기 복수의 부분 디지털 신호를 하이-패스 필터링시키는 복수의 하이-패스 필터 단계를 더 포함하고,
상기 샘플링 대역폭 제어 단계에서, 상기 복수의 하이-패스 필터 단계를 통과한 상기 부분 디지털 신호를 이용하여 각 채널의 이득을 계산하는,
캘리브레이션 방법.

청구항 20

제19 항에 있어서,
상기 복수의 샘플링 대역폭 조정 단계에서, 상기 복수의 대역폭 조정 신호에 따라 대응하는 각 채널의 샘플링

노드에 연결되는 정전 용량값을 조정하는,
캘리브레이션 방법.

발명의 설명

기술 분야

[0001] 본 발명은 시분할 아날로그-디지털 변환기 및 그 캘리브레이션 방법에 관한 것이다.

배경 기술

[0002] 무인 자동차, 사물인터넷(IoT) 등의 발달로 인해, 저가형 레이더, 무선통신 칩의 수요가 증가하고 있다.

[0003] 시분할 아날로그-디지털 변환기(Time-interleaved ADC)는 여러 개의 아날로그 디지털 변환기를 병렬로 연결하여 하나의 빠른 아날로그 디지털 변환기처럼 동작하게 하는 장치이다. 시분할 아날로그-디지털 변환기는 저렴한 CMOS 공정을 통해 고속, 고효율의 아날로그 디지털 변환기를 구현할 수 있도록 한다.

[0004] 그러나 반도체 공정 과정에서 발생하는 각 채널 간의 이득(gain), 오프셋(offset), 타이밍(timing), 및 대역폭(bandwidth)의 불일치는 시분할 아날로그-디지털 변환기의 선형성에 열화를 발생시키는 문제점이 있다. 그 중에서도 타이밍과 대역폭의 불일치는 각 채널의 신호에 위상의 불일치를 야기하며, 고주파수 입력에 대해서 더 큰 에러를 발생시키게 된다.

[0005] 특히, 대역폭의 불일치는 타이밍의 불일치와는 달리 이득의 불일치도 발생시키면서, 입력 주파수에 대해 비선형적인 위상과 이득을 발생시키는 데, 이러한 점은 대역폭 불일치의 해결에 큰 어려움이 되고 있다.

[0006] 이에 관한 선행기술문헌으로서 아래 특허문헌 1이 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국등록특허공보 제10-1461784호 (2014.11.07)

발명의 내용

해결하려는 과제

[0008] 해결하고자 하는 기술적 과제는 대역폭의 불일치를 캘리브레이션 할 수 있는 시분할 아날로그-디지털 변환기 및 그 캘리브레이션 방법을 제공하는 데 있다.

과제의 해결 수단

[0009] 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기는, 복수의 채널 각각에 위치하고, 입력되는 아날로그 신호를 복수의 부분 디지털 신호로 변환시키는 복수의 아날로그-디지털 변환부; 상기 복수의 채널 각각에 위치하고, 복수의 대역폭 조정 신호에 따라 상기 복수의 채널의 복수의 샘플링 대역폭을 조정하는 복수의 샘플링 대역폭 조정부; 및 상기 복수의 샘플링 대역폭을 추정하고, 상기 복수의 샘플링 대역폭을 서로 일치시키는 상기 복수의 대역폭 조정 신호를 생성하는 샘플링 대역폭 제어부를 포함한다.

[0010] 상기 시분할 아날로그-디지털 변환기는 입력되는 상기 아날로그 신호를 상기 복수의 채널에 선택적으로 전달하는 입력 스위칭부; 및 상기 복수의 채널에 연결되어 상기 복수의 부분 디지털 신호를 순차적으로 출력하는 출력 스위칭부를 더 포함할 수 있다.

[0011] 상기 샘플링 대역폭 제어부는 상기 복수의 채널에 대한 복수의 이득(gain)을 이용하여 상기 복수의 샘플링 대역폭을 추정할 수 있다.

[0012] 상기 샘플링 대역폭 제어부는 이득의 크기에 비례하여 샘플링 대역폭을 추정할 수 있다.

- [0013] 상기 샘플링 대역폭 제어부는 상기 복수의 샘플링 대역폭이 그 중 가장 작은 샘플링 대역폭과 일치하도록 상기 복수의 대역폭 조정 신호를 생성할 수 있다.
- [0014] 상기 시분할 아날로그-디지털 변환기는 상기 복수의 부분 디지털 신호가 입력되는 복수의 하이-패스 필터부를 더 포함하고, 상기 샘플링 대역폭 제어부는 상기 복수의 하이-패스 필터부를 통과한 상기 부분 디지털 신호를 이용하여 각 채널의 이득을 계산할 수 있다.
- [0015] 상기 복수의 샘플링 대역폭 조정부는 대응하는 각 채널의 샘플링 노드에 각각 연결될 수 있다.
- [0016] 상기 복수의 샘플링 대역폭 조정부는 상기 복수의 대역폭 조정 신호에 따라 대응하는 샘플링 노드에 연결되는 정전 용량값을 조정할 수 있다.
- [0017] 상기 복수의 샘플링 대역폭 조정부는 대응하는 샘플링 노드에 일단이 연결된 복수의 커패시터; 및 대응하는 상기 복수의 커패시터의 타단이 연결된 출력단을 갖고, 기준 전압 및 대응하는 샘플링 노드를 입력단으로 갖는 복수의 멀티플렉서를 포함할 수 있다.
- [0018] 상기 복수의 샘플링 대역폭 조정부는 상기 복수의 대역폭 조정 신호에 따라 대응하는 상기 복수의 멀티플렉서를 제어함으로써, 대응하는 샘플링 노드에 연결되는 정전 용량값을 조정할 수 있다.
- [0019] 상기 시분할 아날로그-디지털 변환기에서, 상기 복수의 이득은 상기 아날로그 신호에 대한 대응하는 상기 복수의 부분 디지털 신호의 크기 비율로 계산될 수 있다.
- [0020] 상기 복수의 이득은 고주파수 영역의 이득일 수 있다.
- [0021] 상기 복수의 이득은 나이퀴스트 주파수(Nyquist frequency)로부터 일정 범위 내의 주파수에 대한 이득일 수 있다.
- [0022] 상기 나이퀴스트 주파수는 시분할 아날로그-디지털 변환기의 샘플링 주파수의 절반일 수 있다.
- [0023] 본 발명의 한 실시예에 따른 캘리브레이션 방법은, 시분할 아날로그-디지털 변환기의 채널간 대역폭 불일치를 해결하기 위한 캘리브레이션 방법으로서, 입력되는 아날로그 신호를 복수의 채널에 대응하는 복수의 부분 디지털 신호로 변환시키는 복수의 아날로그-디지털 변환 단계; 복수의 대역폭 조정 신호에 따라 상기 복수의 채널의 복수의 샘플링 대역폭을 조정하는 복수의 샘플링 대역폭 조정 단계; 및 상기 복수의 샘플링 대역폭을 추정하고, 상기 복수의 샘플링 대역폭을 서로 일치시키는 상기 복수의 대역폭 조정 신호를 생성하는 샘플링 대역폭 제어 단계를 포함한다.
- [0024] 상기 캘리브레이션 방법은, 상기 샘플링 대역폭 제어 단계에서, 상기 복수의 채널에 대한 복수의 이득을 이용하여 상기 복수의 샘플링 대역폭을 추정할 수 있다.
- [0025] 상기 캘리브레이션 방법은, 상기 샘플링 대역폭 제어 단계에서, 이득의 크기에 비례하여 샘플링 대역폭을 추정할 수 있다.
- [0026] 상기 캘리브레이션 방법은, 상기 샘플링 대역폭 제어 단계에서, 상기 복수의 샘플링 대역폭이 그 중 가장 작은 샘플링 대역폭과 일치하도록 상기 복수의 대역폭 조정 신호를 생성할 수 있다.
- [0027] 상기 캘리브레이션 방법은, 상기 복수의 부분 디지털 신호를 하이-패스 필터링시키는 복수의 하이-패스 필터 단계를 더 포함하고, 상기 샘플링 대역폭 제어 단계에서, 상기 복수의 하이-패스 필터 단계를 통과한 상기 부분 디지털 신호를 이용하여 각 채널의 이득을 계산할 수 있다.
- [0028] 상기 캘리브레이션 방법은, 상기 복수의 샘플링 대역폭 조정 단계에서, 상기 복수의 대역폭 조정 신호에 따라 대응하는 각 채널의 샘플링 노드에 연결되는 정전 용량값을 조정할 수 있다.

발명의 효과

- [0029] 본 발명에 따른 시분할 아날로그-디지털 변환기 및 그 캘리브레이션 방법은 대역폭의 불일치를 캘리브레이션 할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기를 설명하기 위한 도면이다.

도 2는 본 발명의 한 실시예에 따른 입력 스위칭부와 출력 스위칭부를 설명하기 위한 도면이다.

도 3은 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.

도 4는 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.

도 5는 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.

도 6은 본 발명의 한 실시예에 따른 복수의 샘플링 대역폭 조정부를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [0032] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 따라서 앞서 설명한 참조 부호는 다른 도면에 서도 사용할 수 있다.
- [0033] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 과장되게 나타낼 수 있다.
- [0034] 도 1은 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기를 설명하기 위한 도면이다.
- [0035] 도 1을 참조하면, 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기(9)는 복수의 샘플링 대역폭 조정부(121, 122, 123, 124), 복수의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4), 및 샘플링 대역폭 제어부(140)를 포함한다.
- [0036] 복수의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4)는 대응하는 복수의 채널(channel) 각각에 위치하고, 입력되는 아날로그 신호를 복수의 부분 디지털 신호로 변환시킨다.
- [0037] 시분할 아날로그-디지털 변환기(9)의 복수의 채널은 그 개수에 제한이 없다. 당업자는 복수의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4)의 성능 및 최종적으로 구현하고자 하는 입출력에 대응하여 채널의 개수를 결정할 수 있다.
- [0038] 이하에서, 시분할 아날로그-디지털 변환기(9, 10, 11, 12, 13)는 예시적으로 4 개의 채널을 포함하고, 그에 대응하는 개수인 4 개의 샘플링 대역폭 조정부(121, 122, 123, 124) 및 4 개의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4)를 포함하는 것으로 설명한다(도 2 내지 5 참조).
- [0039] 각각의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4)는 종래 기술에 따른 아날로그-디지털 변환기를 채용할 수 있다.
- [0040] 복수의 샘플링 대역폭 조정부(121, 122, 123, 124)는 복수의 채널 각각에 위치하고, 복수의 대역폭 조정 신호에 따라 복수의 채널의 복수의 샘플링 대역폭을 조정한다.
- [0041] 샘플링 대역폭 조정부(121)는 아날로그-디지털 변환부(ADC1)의 입력단에 연결될 수 있다. 이때 이러한 입력단이 해당 채널의 샘플링 노드일 수 있다.
- [0042] 유사하게, 샘플링 대역폭 조정부(122)는 아날로그-디지털 변환부(ADC2)의 입력단에 연결될 수 있고, 샘플링 대역폭 조정부(123)는 아날로그-디지털 변환부(ADC3)의 입력단에 연결될 수 있고, 샘플링 대역폭 조정부(124)는 아날로그-디지털 변환부(ADC4)의 입력단에 연결될 수 있다.
- [0043] 복수의 샘플링 대역폭 조정부(121, 122, 123, 124)는 복수의 대역폭 조정 신호에 따라 대응하는 샘플링 노드에 연결되는 정전 용량 값을 조정할 수 있고, 이러한 정전 용량 값 조정으로 인해서 복수의 채널의 복수의 샘플링 대역폭이 조정될 수 있다. 복수의 샘플링 대역폭 조정부(121, 122, 123, 124)의 내부 구성에 대해서는 도 6을 참조하여 더 상세히 설명한다.
- [0044] 샘플링 대역폭 제어부(140)는 복수의 샘플링 대역폭을 추정하고, 복수의 샘플링 대역폭을 서로 일치시키는 복수의 대역폭 조정 신호를 생성한다.

- [0045] 샘플링 대역폭 제어부(140)는 복수의 채널에 대한 복수의 이득(gain)을 이용하여 복수의 샘플링 대역폭을 추정할 수 있다. 이러한 복수의 이득은 아날로그 신호에 대한 대응하는 복수의 부분 디지털 신호의 크기 비율로 계산될 수 있다.
- [0046] 한 실시예에서, 복수의 이득은 고주파수 영역의 이득일 수 있다. 이때, 복수의 이득은 나이퀴스트 주파수(Nyquist frequency)에서의 이득일 수 있다. 또한 복수의 이득은 나이퀴스트 주파수로부터 일정 범위 내의 주파수에 대한 이득일 수도 있다.
- [0047] 이러한 나이퀴스트 주파수는 시분할 아날로그-디지털 변환기(9)의 샘플링 주파수의 절반에 해당할 수 있다.
- [0048] 한 실시예로서, 샘플링 대역폭 제어부(140)는 이득의 크기에 비례하여 샘플링 대역폭을 추정할 수 있다. 즉, 이득이 가장 큰 채널의 샘플링 대역폭이 가장 크고, 이득이 가장 작은 채널의 샘플링 대역폭이 가장 작다고 추정할 수 있다.
- [0049] 모든 채널의 입력이 하나의 아날로그 신호에 기초하므로, 모든 채널의 입력 스펙트럼(input spectrum)이 같다고 가정할 수 있다. 또한 각 채널의 이득의 크기에 따라 3dB 대역폭의 값을 유추할 수 있고, 따라서 어떤 채널이 가장 작은 대역폭을 갖는지 알 수 있다.
- [0050] 샘플링 대역폭 제어부(140)는 복수의 샘플링 대역폭이 그 중 가장 작은 샘플링 대역폭과 일치하도록 복수의 대역폭 조정 신호를 생성할 수 있다.
- [0051] 생성된 복수의 대역폭 조정 신호는 다시 복수의 샘플링 대역폭 조정부(121, 122, 123, 124)에 입력되고, 복수의 샘플링 대역폭 조정부(121, 122, 123, 124)가 대응하는 복수의 채널의 복수의 샘플링 대역폭을 조정하는 캘리브레이션 과정을 통해서 대역폭의 불일치가 해소될 수 있다.
- [0052] 도 2는 본 발명의 한 실시예에 따른 입력 스위칭부와 출력 스위칭부를 설명하기 위한 도면이다.
- [0053] 도 2를 참조하면, 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기(10)는 입력 스위칭부(110), 복수의 샘플링 대역폭 조정부(121, 122, 123, 124), 복수의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4), 출력 스위칭부(130), 및 샘플링 대역폭 제어부(140)를 포함한다.
- [0054] 시분할 아날로그-디지털 변환기(10)의 복수의 샘플링 대역폭 조정부(121, 122, 123, 124), 복수의 아날로그-디지털 변환부(ADC1, ADC2, ADC3, ADC4), 및 샘플링 대역폭 제어부(140)는 도 1의 시분할 아날로그-디지털 변환기(9)의 그것과 동일 유사하므로 중복 설명은 생략한다.
- [0055] 입력 스위칭부(110)는 입력 신호인 아날로그 신호를 복수의 채널에 선택적으로 전달할 수 있다.
- [0056] 출력 스위칭부(130)는 복수의 채널에 연결되어 복수의 부분 디지털 신호를 순차적으로 출력할 수 있다. 순차적으로 출력된 복수의 부분 디지털 신호는 하나의 출력 디지털 신호를 구성함으로써, 시분할 아날로그-디지털 변환기(10)의 출력 신호가 된다.
- [0057] 도 2의 실시예의 시분할 아날로그-디지털 변환기(10)와 도 1의 실시예의 시분할 아날로그-디지털 변환기(9)는 대역폭 캘리브레이션이라는 동일한 기능을 수행하나, 주위 전자부품과 다양한 방식으로 연결될 수 있음을 설명하기 위해서 실시예를 나누어 도시하였다. 따라서, 당업자라면 본 발명의 시분할 아날로그-디지털 변환기와 주위 전자 부품 간의 입출력 연결 관계를 상황에 따라 구체적으로 변경 및 최적화시킬 수 있을 것이다.
- [0058] 도 3은 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.
- [0059] 도 3을 참조하면, 본 발명의 한 실시예에 따른 시분할 아날로그-디지털 변환기(11)는 도 2의 시분할 아날로그-디지털 변환기(10)에 비해서 복수의 하이-패스 필터부(251, 252, 253, 254)를 더 포함하고 있다. 다른 구성은 시분할 아날로그-디지털 변환기(10)와 동일 유사하므로 중복 설명하지 않는다.
- [0060] 복수의 하이-패스 필터부(high-pass filters)(251, 252, 253, 254)는 대응하는 채널의 복수의 부분 디지털 신호를 입력받는다. 하이-패스 필터부(251, 252, 253, 254)를 통과한 각각의 부분 디지털 신호는 고주파 성분이 남게 된다.
- [0061] 샘플링 대역폭 제어부(140)는 복수의 하이-패스 필터부(251, 252, 253, 254)를 통과한 복수의 부분 디지털 신호를 이용하여 각 채널의 이득을 계산할 수 있다.
- [0062] 이러한 구성은 입력 신호의 입력 주파수가 높으면 높을수록 대역폭을 정확히 추정할 수 있는 점에 기초한다. 따

라서, 시분할 아날로그-디지털 변환기(11)는 보다 더 정확히 대역폭을 추정할 수 있고, 결과적으로 더 정확한 대역폭 캘리브레이션을 수행할 수 있는 장점이 있다.

- [0063] 본 실시예에서, 하이-패스 필터부(251)는 제1 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다. 유사하게, 하이-패스 필터부(252)는 제2 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(253)는 제3 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(254)는 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다.
- [0064] 복수의 하이-패스 필터부(251, 252, 253, 254)와 복수의 채널 간의 연결 관계는 달라질 수 있는데, 이하 도 4 및 도 5를 참조하여 더 상세히 설명한다.
- [0065] 도 4는 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.
- [0066] 도 4의 실시예에 따른 시분할 아날로그-디지털 변환기(12)는 복수의 하이-패스 필터부(251, 252, 253, 254)가 복수의 채널에 연결되는 점에서 도 3의 실시예와 차이가 있다.
- [0067] 본 실시예에서, 하이-패스 필터부(251)는 제1 채널, 제2 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다. 유사하게, 하이-패스 필터부(252)는 제1 채널, 제2 채널, 제3 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(253)는 제2 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(254)는 제1 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다.
- [0068] 도 5는 본 발명의 한 실시예에 따른 복수의 하이-패스 필터부를 설명하기 위한 도면이다.
- [0069] 도 5의 실시예에 따른 시분할 아날로그-디지털 변환기(13)는 각각의 하이-패스 필터부(251, 252, 253, 254)가 모든 채널에 연결되는 점에서 도 3 및 도 4의 실시예와 차이가 있다.
- [0070] 본 실시예에서, 하이-패스 필터부(251)는 제1 채널, 제2 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다. 유사하게, 하이-패스 필터부(252)는 제1 채널, 제2 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(253)는 제1 채널, 제2 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력하고, 하이-패스 필터부(254)는 제1 채널, 제2 채널, 제3 채널, 제4 채널의 부분 디지털 신호를 입력받고 이를 필터링하여 샘플링 대역폭 제어부(140)에 출력한다.
- [0071] 도 3 내지 5는 복수의 하이-패스 필터부(251, 252, 253, 254)와 복수의 채널 간의 연결 관계를 다양하게 설명하게 하고 있는데, 당업자라면 이외에도 다른 적절한 연결 관계를 채용하여 본 발명의 기능을 구현할 수도 있다.
- [0072] 도 6은 본 발명의 한 실시예에 따른 복수의 샘플링 대역폭 조정부를 설명하기 위한 도면이다.
- [0073] 도 6을 참조하면, 샘플링 대역폭 조정부(121)가 확대되어 도시되어 있다. 다른 샘플링 대역폭 조정부(122, 123, 124) 또한 샘플링 대역폭 조정부(121)와 동일 유사한 구성을 가지므로 중복하여 설명하지 않는다.
- [0074] 샘플링 대역폭 조정부(121)는 대응하는 채널의 샘플링 노드(SN)에 연결될 수 있다.
- [0075] 샘플링 대역폭 조정부(121)는 대역폭 조정 신호에 따라 대응하는 샘플링 노드(SN)에 연결되는 정전 용량값을 조정한다. 예를 들어, 해당 샘플링 노드(SN)에 연결되는 정전 용량값이 높아질수록 해당 채널의 샘플링 대역폭은 감소될 수 있다.
- [0076] 샘플링 대역폭 조정부(121)는 대응하는 샘플링 노드(SN)에 일단이 연결된 복수의 커패시터(C1, C2, C3)를 포함할 수 있다. 또한 샘플링 대역폭 조정부(121)는 대응하는 복수의 커패시터(C1, C2, C3)의 타단이 연결된 출력단을 갖고, 기준 전압(e.g. 접지 전압) 및 대응하는 샘플링 노드(SN)를 입력단으로 갖는 복수의 멀티플렉서(MUX1, MUX2, MUX3)를 포함할 수 있다.
- [0077] 샘플링 대역폭 조정부(121)는 복수의 대역폭 조정 신호에 따라 대응하는 복수의 멀티플렉서(MUX1, MUX2, MUX3)를 제어함으로써, 대응하는 샘플링 노드에 연결되는 정전 용량값을 조정할 수 있다.
- [0078] 예를 들어서, 커패시터(C1)가 멀티플렉서(MUX1)를 통해서 그 일단과 타단이 모두 샘플링 노드(SN)에 연결되면, 커패시터(C1) 양단의 전압이 같아지므로, 커패시터(C1)는 전기적으로 무시할 수 있다. 이때 커패시터(C2, C3)의

타단이 멀티플렉서(MUX2, MUX3)를 통해서 기준 전압과 연결되는 경우, 샘플링 노드(SN)의 정전 용량값은 커패시터(C1)를 제외한 커패시터(C2, C3)로 결정되게 된다.

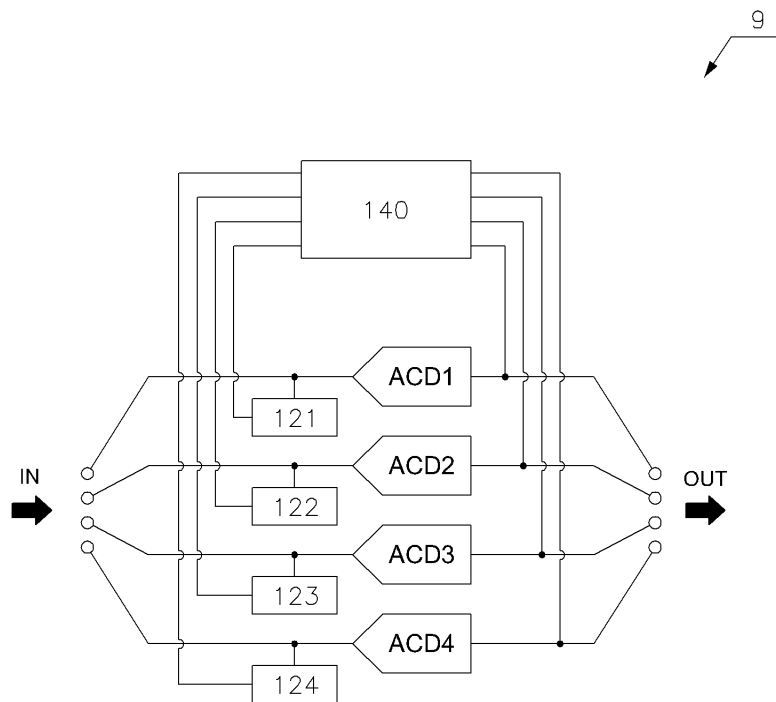
- [0079] 본 실시예에서는 커패시터(C1, C2, C3) 및 멀티플렉서(MUX1, MUX2, MUX3)가 각각 3 개씩이지만, 각각 2 개 이하일 수도 있고, 4 개 이상일 수도 있다. 즉, 커패시터(C1, C2, C3) 및 멀티플렉서(MUX1, MUX2, MUX3)의 개수는 어느 정도의 정전 용량 변화를 가능하게 할 것인지에 대한 당업자의 의도에 의해 결정될 수 있다.
- [0080] 한 실시예에서, 각각의 커패시터(C1, C2, C3)의 정전 용량은 서로 동일하게 구성될 수 있다. 이로써 선형적인 정전 용량의 변화가 가능할 수 있다.
- [0081] 다른 실시예에서, 각각의 커패시터(C1, C2, C3)의 정전 용량은 서로 다르게 구성될 수도 있다. 이러한 경우, 보다 적은 개수의 커패시터를 이용하여도, 목표하는 다양한 정전 용량 값을 만들어 낼 수 있다.
- [0082] 지금까지 각 실시예에 따른 시분할 아날로그-디지털 변환기(9, 10, 11, 12, 13)는 액티브(active)하게 샘플링 대역폭이 조정가능하므로, 룩업테이블(LUT)이 필요치 않아 메모리 용량이 감소될 수 있는 장점을 갖는다. 이러한 샘플링 대역폭 캘리브레이션은 시분할 아날로그-디지털 변환기(10, 20)를 포함한 제품을 통해 언제든지 수행될 수 있다.
- [0083] 본 발명의 실시예에 따른 시분할 아날로그-디지털 변환기(9, 10, 11, 12, 13)는 디지털 영역에서 채널간 대역폭 불일치를 측정하여 아날로그 영역에서 불일치를 해결하는 알고리즘을 제안한다. 이러한 알고리즘은 기존 알고리즘들과 비교하여 복잡성이 낮기 때문에 반도체 칩으로 구현함이 용이하고, 낮은 가격에 적은 전력소비량을 갖는 시분할 아날로그-디지털 변환기(9, 10, 11, 12, 13)를 구현할 수 있다.
- [0084] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

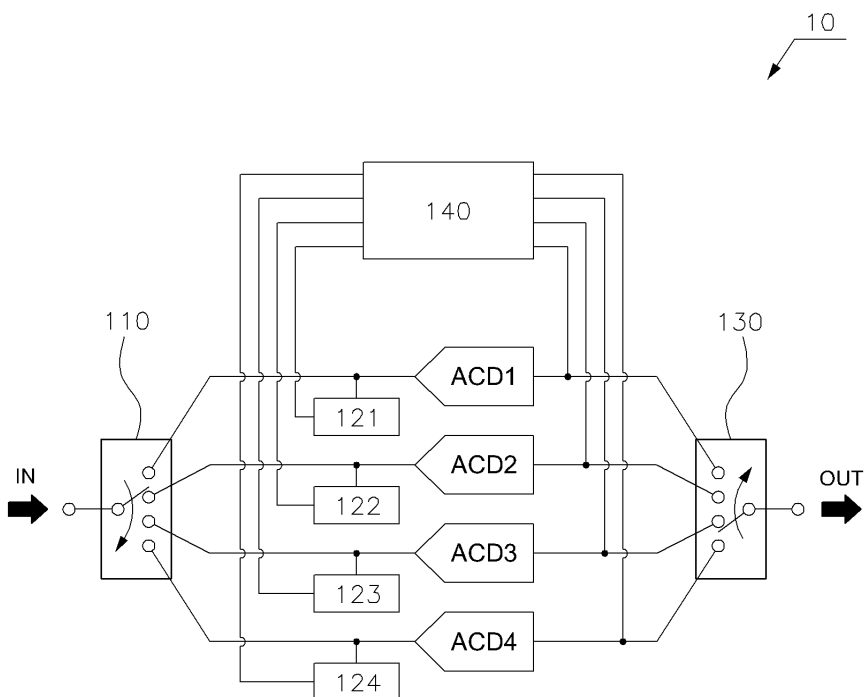
- [0085] 9, 10, 11, 12, 13: 시분할 아날로그-디지털 변환기
- 110: 입력 스위칭부
- 121, 122, 123, 124: 샘플링 대역폭 조정부
- 130: 출력 스위칭부
- 140: 샘플링 대역폭 제어부
- 251, 252, 253, 254, 255: 하이-패스 필터부
- ADC1, ADC2, ADC3, ADC4: 아날로그-디지털 변환부
- C1, C2, C3: 커패시터
- MUX1, MUX2, MUX3: 멀티플렉서
- SN: 샘플링 노드

도면

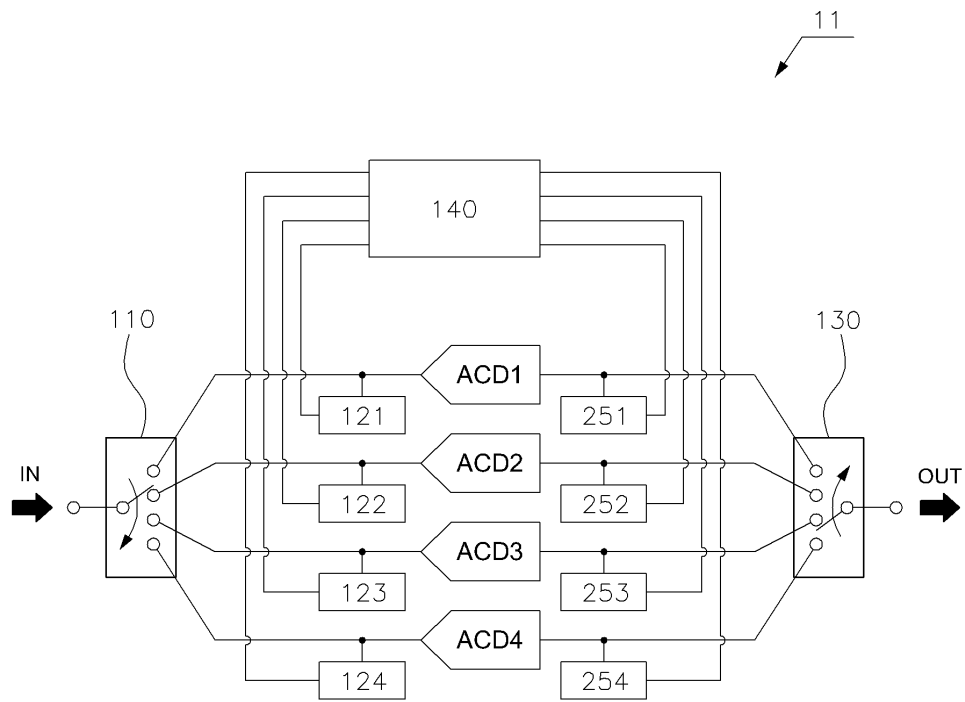
도면1



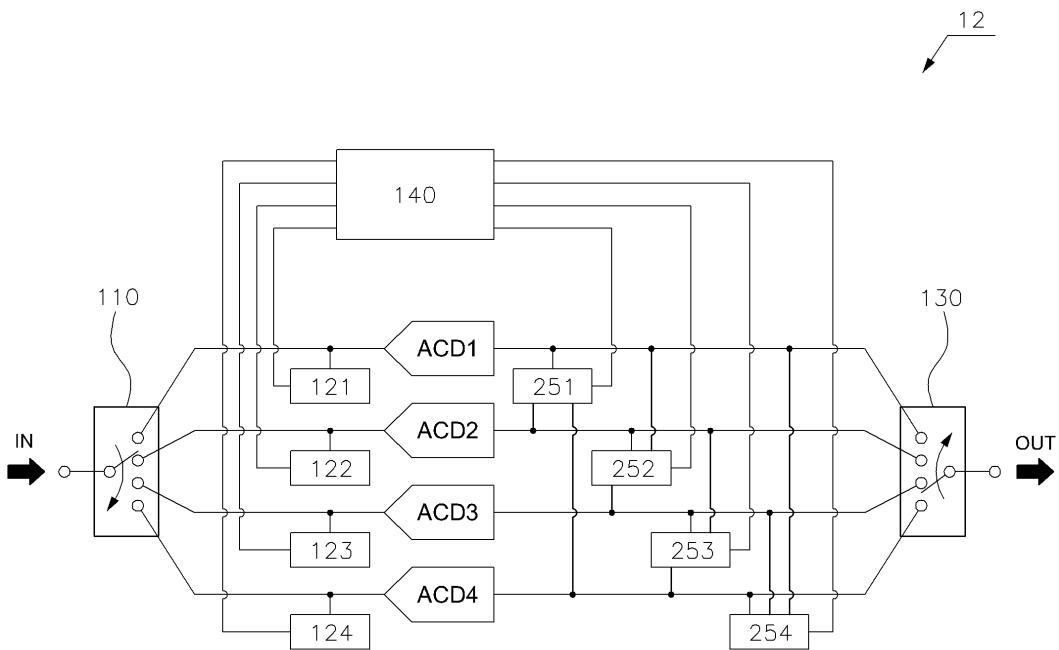
도면2



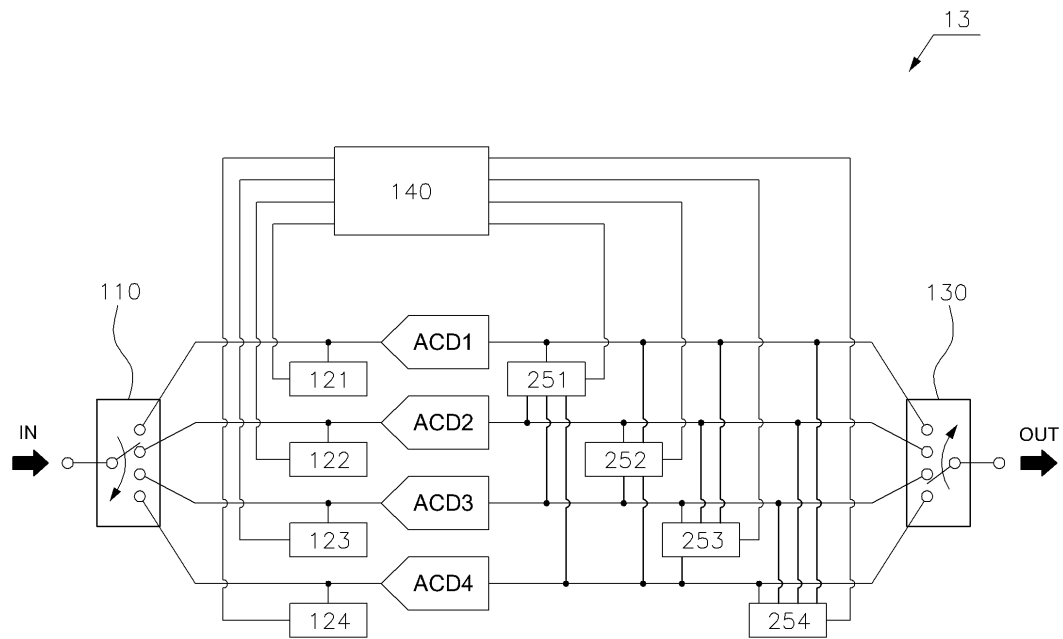
도면3



도면4



도면5



도면6

