

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 11 月 14 日 (14.11.2019)



(10) 国际公布号
WO 2019/213858 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) *H01L 21/77* (2017.01)

(21) 国际申请号: PCT/CN2018/086124

(22) 国际申请日: 2018 年 5 月 9 日 (09.05.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市柔宇科技有限公司
(SHENZHEN ROYOLE TECHNOLOGIES CO., LTD)
[CN/CN]; 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。

(72) 发明人: 晏国文 (YAN, Guowen); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运

软件小镇 43 栋, Guangdong 518172 (CN)。林致远 (LIN, Zhiyuan); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。林俊仪 (LIN, Junyi); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。周启华 (ZHOU, Qihua); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518172 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司
(SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREOF, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法、显示装置

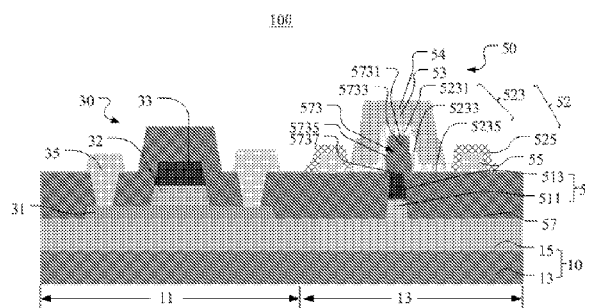


图 1

(57) Abstract: An array substrate, a manufacturing method of an array substrate, and a display device. The array substrate comprises a base substrate (10). The base substrate comprises at least one first region (11) and at least one second region (13). The first region is provided with a low-temperature polysilicon transistor (30). The second region is provided with an oxide transistor (50). The oxide transistor comprises an oxide semiconductor layer (52), a gate insulation layer (53), a gate (54), and a source and a drain (55). The oxide semiconductor layer comprises a trench portion (523) and a contact portion (525) provided in a connected manner. The trench portion, the gate insulation layer, and the gate are sequentially stacked. The source and the drain are in contact with the contact portion. At least one portion of the trench portion is provided so as to protrude away from the base substrate.

(57) 摘要: 一种阵列基板、阵列基板的制作方法及显示装置, 该阵列基板包括衬底 (10), 衬底包括至少一第一区域 (11) 及至少一第二区域 (13), 第一区域设置有低温多晶硅晶体管 (30), 第二区域设置有氧化物晶体管 (50), 氧化物晶体管包括氧化物半导体层 (52)、栅极绝缘层 (53)、栅极 (54)、源漏极 (55), 氧化物半导体层包括连接设置的沟道部 (523) 及接触部 (525), 沟道部、栅极绝缘层及栅极依次层叠设置, 源漏极与接触部接触, 沟道部至少部分朝向远离衬底的方向凸起设置。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制作方法、显示装置

技术领域

本发明涉及显示技术领域，特别涉及一种阵列基板及其制作方法、显示装置。

背景技术

LTPO(Low Temperature Polycrystalline Oxide, 低温多晶氧化物)技术结合了 LTPS-TFT(Low Temperature Poly-silicon Thin Film Transistor, 低温多晶硅薄膜晶体管)和 Oxide-TFT(氧化物薄膜晶体管)这两种 TFT 各自的优势, 具备高 PPI (Pixels Per Inch, 像素密度)、低功耗、高画质等方面的技术优势。一般输出管使用具有高迁移率的 LTPS, 以提高发光亮度; 开关管使用具有低关态电流的 Oxide-TFT (例如 IGZO), 以降低器件功耗。但是, Oxide-TFT 的导电区域会有微量 (例如约 $1\ \mu\text{m}$) 的载流子扩散至半导体区域, 为此, 非晶氧化物的晶体管的沟道需要留足充分的长度, 影响到分辨率的提升, 从而影响显示品质。

发明内容

为解决上述问题, 本发明实施例公开一种阵列基板及其制作方法、显示装置。

一种阵列基板, 包括衬底, 所述衬底包括至少一第一区域及至少一第二区域, 所述第一区域设置有低温多晶硅晶体管, 所述第二区域设置有氧化物晶体管, 所述氧化物晶体管包括氧化物半导体层、栅极绝缘层、栅极、源漏极, 所述氧化物半导体层包括连接设置的沟道部及接触部, 所述沟道部、所述栅极绝缘层及所述栅极依次层叠设置, 所述源漏极与所述接触部接触, 所述沟道部至少部分朝向远离所述衬底的方向凸起设置。

进一步地, 所述沟道部包括第一部分及二分别设置于所述第一部分相对两侧的第二部分, 每个第二部分由所述第一部分的一端朝向所述衬底偏折。

进一步地, 所述第一部分平行于所述衬底, 每一第二部分相对所述第一部

分的夹角大于 90 度小于 180 度。

进一步地,所述沟道部还包括两个第三部分,每个第三部分连接于一个第二部分与一个接触部之间。

进一步地,两个所述第三部分均平行于所述第一部分。

进一步地,所述氧化物晶体管还包括衬垫部,所述衬垫部凸设于所述衬底的第二区域,所述沟道部至少部分位于所述衬垫部的上方。

进一步地,所述衬垫部包括第一衬垫层及叠设于所述第一衬垫层上的第二衬垫层,所述第一衬垫层与所述衬底相邻设置。

进一步地,所述第一衬垫层为刻蚀形成所述低温多晶硅晶体管的栅极绝缘层时在所述第二区域保留下来的栅极绝缘层材料形成,所述第二衬垫层为刻蚀形成所述低温多晶硅晶体管的栅极在所述第二区域保留下来的栅极材料形成。

进一步地,所述衬垫部的宽度由所述衬垫部与所述衬底相邻的第一端向远离所述衬底的第二端减小。

进一步地,所述接触部在所述衬底上的正投影与所述衬垫部在所述衬底上的正投影的交叠面积为零。

进一步地,所述氧化物晶体管还包括介质层,所述介质层覆盖所述衬底,所述介质层部分朝远离所述衬底的方向形成凸起部,所述源漏极设置在所述介质层上且间隔所述凸起部设置,所述氧化物半导体层覆盖所述源漏极及所述介质层,所述沟道部至少部分与所述凸起部层叠设置。

进一步地,所述凸起部的宽度由所述凸起部与所述衬底相邻的第一端向所述凸起部远离所述衬底的第二端减小。

进一步地,所述氧化物半导体层的材质包括铟镓锌氧化物。

进一步地,所述衬底包括基底及设于所述基底上的缓冲层,所述缓冲层设于所述衬底远离所述氧化物半导体层的一侧。

一种显示装置,包括如上所述的阵列基板。

一种阵列基板的制作方法,包括以下步骤:

提供一衬底,在所述衬底的第一区域上形成低温多晶硅晶体管,在所述衬底的第二区域上形成氧化物晶体管的源漏极;

在所述衬底的第二区域上形成覆盖所述氧化物晶体管的源漏极的氧化物半导体层,所述氧化物半导体层部分朝远离所述衬底的方向凸起设置形成凸设结构;

在所述氧化物半导体层上依次形成所述氧化物晶体管的栅极绝缘层及栅极,所述氧化物晶体管的栅极绝缘层及所述氧化物晶体管的栅极层叠设置于所述凸设结构上;及

对所述氧化物半导体层的端部进行导电化处理形成接触部,所述接触部与所述氧化物晶体管的源漏极接触,所述氧化物半导体层未进行导电化处理的部分构成沟道部,所述沟道部至少部分由所述凸设结构构成。

进一步地,所述“提供一衬底,在所述衬底的第一区域上形成低温多晶硅晶体管,在所述衬底的第二区域上形成氧化物晶体管的源漏极”,包括:

在所述衬底的第一区域上形成所述低温多晶硅晶体管的低温多晶硅层;

在所述低温多晶硅层上依次形成栅极绝缘层及栅极,及在所述衬底的第二区域形成衬垫部,从而形成预制结构;

在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极。

进一步地,所述“在所述低温多晶硅层上依次形成栅极绝缘层及栅极,及在所述衬底的第二区域形成衬垫部,从而形成预制结构”与所述“在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极”之间,

所述“提供一衬底,在所述衬底的第一区域上形成低温多晶硅晶体管,在所述衬底的第二区域上形成氧化物晶体管的源漏极”,还包括:在所述预制结构上形成介质层,所述介质层部分朝远离所述衬底的方向凸起形成凸起部,所述凸起部覆盖所述衬垫部,

所述“在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极”,包括:在位于所述第一区域的介质层上形成所述低温多晶硅晶体管的源漏极,及在位于所述第二区域上的介质层上形成所述氧化物晶体管的源漏极。

进一步地，所述“在所述低温多晶硅层上依次形成栅极绝缘层及栅极，及在所述衬底的第二区域形成衬垫部，从而形成预制结构”，所述衬垫部包括分层设置的第一衬垫层及叠设于所述第一衬垫层上的第二衬垫层，所述第一衬垫层与所述衬底相邻设置，所述第一衬垫层由刻蚀形成所述低温多晶硅晶体管的栅极绝缘层时在所述第二区域保留下来的栅极绝缘层的材料形成，所述第二衬垫层由刻蚀形成所述低温多晶硅晶体管的栅极时在所述第二区域保留下来的栅极的材料形成。

进一步地，所述“提供一衬底，在所述衬底的第一区域上形成低温多晶硅晶体管，在所述衬底的第二区域上形成氧化物晶体管的源漏极”，包括：

在所述衬底的第一区域上形成所述低温多晶硅晶体管的低温多晶硅层；

在所述低温多晶硅晶体管的低温多晶硅层上依次形成图形化的栅极绝缘层及栅极，从而形成预制结构；

在所述预制结构上形成介质层，所述介质层部分朝远离所述衬底的方向凸起形成凸起部；

在位于所述第一区域的介质层上形成所述低温多晶硅晶体管的源漏极，及在位于所述第二区域上的介质层上形成所述氧化物晶体管的源漏极，

所述“在所述衬底的第二区域上形成覆盖所述氧化物晶体管的源漏极的氧化物半导体层，所述氧化物半导体层部分朝远离所述衬底的方向凸起设置形成凸设结构”还包括：所述氧化物半导体层覆盖所述凸起部及所述氧化物晶体管的源漏极，所述凸设结构覆盖所述凸起部。

本发明提供的阵列基板及其制作方法、显示装置，由于所述沟道部朝向远离所述衬底的方向凸起设置从而形成弯曲结构，即在不增加所述氧化物晶体管横向所占区域的情况下，增加了所述沟道部的整体长度。换言之，通过将器件垂直设计，在沟道占相同长度的情况下，降低了薄膜晶体管横向占有长度，进而提升分辨率。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例中所需要

使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明实施方式提供的阵列基板的剖面示意图。

图 2 为本发明实施方式提供的阵列基板的制作方法的流程图。

图 3 为图 2 的步骤 201 中所形成的结构示意图。

图 4 为图 2 的步骤 202 中所形成的结构示意图。

图 5 为图 2 的步骤 203 中所形成的结构示意图。

图 6 为图 2 的步骤 201 中的一实施方式提供的流程示意图。

图 7 为图 6 的步骤 2011 中所形成的结构示意图。

图 8 为图 6 的步骤 2012 中所形成的结构示意图。

图 9 为图 6 的步骤 2013 中所形成的结构示意图。

图 10 为图 2 的步骤 201 中的另一实施方式提供的流程示意图。

图 11 为本发明实施方式提供的显示装置的示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1，本发明实施方式提供一种阵列基板 100。所述阵列基板 100 包括衬底 10，所述衬底 10 包括至少一第一区域 11 及至少一第二区域 13，所述第一区域 11 设置有低温多晶硅晶体管 30，所述第二区域 13 设置有氧化物晶体管 50，所述氧化物晶体管 50 包括氧化物半导体层 52、栅极绝缘层 53、栅极 54 及源漏极 55，所述氧化物半导体层 52 包括连接设置的沟道部 523 及接触部 525，所述沟道部 523、所述栅极绝缘层 53 及所述栅极 54 依次层叠设

置, 所述源漏极 55 与所述接触部 525 接触, 所述沟道部 523 至少部分朝向远离所述衬底 10 的方向凸起设置。

由于所述沟道部 523 至少部分朝向远离所述衬底 10 的方向凸起设置, 即所述沟道部 523 至少部分朝向所述栅极 54 凸起设置, 所述沟道部 523 呈弯曲状, 即在不增加所述氧化物晶体管 50 横向所占区域的情况下, 增长了所述沟道部 523 的整体长度。换言之, 在保证所述沟道部 523 的长度的情况下, 缩短了所述氧化物晶体管 50 的横向有效面积, 有利于提高显示装置的 PPI。

所述沟道部 523 包括第一部分 5231 及分别位于第一部分 5231 相对两侧的第二部分 5233, 每个第二部分 5233 由所述第一部分 5231 的一端朝向所述衬底 10 偏折。所述第一部分 5231 及所述第二部分 5233 共同形成相对所述衬底 10 凸设的凸起。所述沟道部 5231 还包括两个第三部分 5235, 每个第三部分 5235 连接于一个第二部分 5233 与一个所述接触部 525 之间。本实施方式中, 所述第一部分 5231 大致平行于所述衬底 10, 每一第二部分 5233 相对所述第一部分 5231 的夹角大于 90 度小于 180 度; 两个所述第三部分 5235 均平行于所述第一部分 5231。

在一具体实施例中, 所述低温多晶硅晶体管 30 包括低温多晶硅层 31、栅极绝缘层 32、栅极 33、介质层 57 及源漏极 35。低温多晶硅层 31、栅极绝缘层 32、栅极 33、介质层 57 依次层叠于所述衬底 10 上。源漏极 35 形成于所述介质层 57 上, 所述源漏极 35 与所述低温多晶硅层 31 的非沟道区域接触。本实施方式中, 介质层 57 亦作为所述氧化物晶体管 50 的缓冲层使用。

进一步地, 所述氧化物晶体管 50 还包括衬垫部 51, 所述衬垫部 51 凸设于所述衬底 10 的第二区域 13, 所述沟道部 523 至少部分位于所述衬垫部 51 的上方。具体的, 所述衬垫部 51 包括分层设置的第一衬垫层 511 及叠设于所述第一衬垫层 511 上的第二衬垫层 513, 所述第一衬垫层 511 与所述衬底 10 相邻设置, 所述第一衬垫层 511 由刻蚀形成所述低温多晶硅晶体管 30 的栅极绝缘层 32 时在第二区域 13 保留下来的栅极绝缘层 32 的材料形成, 所述第二衬垫层 513 由刻蚀形成所述低温多晶硅晶体管 30 的栅极 33 时在第二区域 13 保留下来的栅极 33 的材料形成。

利用制造所述低温多晶硅晶体管 30 保留下来的栅极绝缘层 32 的材料及栅极 33 的材料形成衬垫部 51，如此在提高阵列基板 100 性能的同时，节约了成本。

其中，所述衬垫部 51 的宽度由所述衬垫部 51 与所述衬底 10 相邻的第一端向所述衬垫部 51 靠近所述氧化物晶体管 50 的栅极 54 的第二端减小。本实施方式中，所述衬垫部 51 的截面大致呈梯形，可以理解，所述衬垫部 51 的截面不限定为梯形，其也可以为方形、三角形等其他形状。

较佳地，所述氧化物半导体层 52 可以是金属氧化物半导体，例如可以包括铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO)、铟铪锌氧化物 (Hafnium Indium Zinc Oxide, HIZO)、铟锌氧化物 (Indium Zinc Oxide, IZO)、非晶铟锌氧化物 a-InZnO、非晶氧化锌掺杂氟氧化物 ZnO:F、氧化铟掺杂锡氧化物 In₂O₃:Sn、非晶氧化铟掺杂钼氧化物 In₂O₃:Mo、铬锡氧化物 Cd₂SnO₄、非晶氧化锌掺杂铝氧化物 ZnO:Al、非晶氧化钛掺杂铌氧化物 TiO₂:Nb、铬锡氧化物 Cd-Sn-O 或其他金属氧化物。本实施方式中，所述氧化物半导体为 IGZO。

进一步地，所述介质层 57 形成于所述衬底 10 及所述衬垫部 51 上，所述介质层 57 对应所述衬垫部 51 形成凸起部 573，所述源漏极 35 设置在所述介质层 57 上且间隔所述凸起部 573 设置。所述凸起部 573 覆盖于所述衬垫部 51 上。换言之，所述沟道部 523 的第一部分 5231、所述凸起部 573 及所述衬垫部 51 层叠设置。所述衬垫部 51 位于所述凸起部 573 与所述衬底 10 之间。所述沟道部 523 在所述衬底 10 上的正投影、所述凸起部 573 在所述衬底 10 上的正投影，以及所述衬垫部 51 在所述衬底 10 上的正投影交叠面积不为零。

所述凸起部 573 包括顶壁 5731、第一侧壁 5733、第二侧壁 5735 及底壁 5737，所述顶壁 5731 与所述底壁 5737 相对设置，所述顶壁 5731 连接于所述第一侧壁 5733 与所述第二侧壁 5735 之间，所述沟道部 523 的第一部分 5231 贴设于所述顶壁 5731，两个第二部分 5233 分别贴设于所述第一侧壁 5733 及所述第二侧壁 5735，两个第三部分 5235 贴合于介质层 57 上。所述氧化物晶体管 50 的沟道部 523 横跨所述凸起部 573。

进一步地，所述凸起部 573 与所述衬垫部 51 相邻的第一端向所述凸起部 573 靠近所述氧化物晶体管 50 的栅极 54 的第二端减小。

进一步地，所述氧化物半导体层 52 的材质包括铟镓锌氧化物。

进一步地，所述接触部 525 在衬底 10 的正投影与所述凸起部 573 在衬底 10 的正投影的交叠面积为零。

进一步地，所述衬底 10 包括基底 13 及设于所述基底 13 上的缓冲层 15，所述衬垫部 51 与所述缓冲层 15 相邻设置。所述基底 13 的材质选用玻璃，当然在其他实施例中，所述基底 13 的材质可以选用其它材质，例如聚酰亚胺（Polyimide, PI）等。所述缓冲层 15 的材质包括氧化硅、氮化硅中的至少一种。

可以理解，不限定衬垫部 51 由所述低温多晶硅晶体管 30 保留下来的栅极绝缘层 32 的材料及栅极 33 的材料形成，其可以为其它材料制成，例如氧化硅或氮化硅等。可以理解，所述衬垫部 51、所述介质层 57 可以省略，所述氧化物半导体层 52 的沟道部 523 至少部分朝向所述栅极 54 凸起设置形成弯曲结构即可，如此，在不增加所述氧化物晶体管 50 所占横向区域的情况下，增加了所述沟道部 523 的长度。

除了横向方向外，沟道部 523 也延伸至竖向方向，因而可增加沟道部 523 的整体长度，给载流子的扩散留足充分的长度。并且，由于横向方向的长度较小，因而可提升应用薄膜晶体管的显示面板的分辨率。

本发明实施例还提供一种上述阵列基板的制作方法，请参阅图 2，具体包括以下步骤：

步骤 201，请参阅图 3，提供一衬底 10，在所述衬底 10 的第一区域 11 上形成低温多晶硅晶体管 30，在所述衬底 10 的第二区域 13 上形成氧化物晶体管 50 的源漏极 55。

步骤 202，请参阅图 4，在所述衬底 10 的第二区域 13 上形成覆盖所述氧化物晶体管 50 的源漏极 55 的氧化物半导体层 52，所述氧化物半导体层 52 部分朝远离所述衬底 10 的方向凸起设置形成凸设结构 501。

步骤 203，请参阅图 5，在所述氧化物半导体层 52 上依次形成所述氧化物晶体管 50 的栅极绝缘层 53 及栅极 54，所述栅极绝缘层 53 及所述栅极 54 层叠设置于所述凸设结构 501 上。

步骤 204, 请接合参阅图 1, 对所述氧化物半导体层 52 的端部进行导电化处理形成接触部 525, 所述接触部 525 与所述氧化物晶体管 50 的源漏极 55 接触, 所述氧化物半导体层 52 未进行导电化处理的部分构成沟道部 523, 所述沟道部 523 至少部分由所述凸设结构 501 构成, 所述沟道部 523、所述栅极绝缘层 53 及所述栅极 54 层叠设置。

请参阅图 6, 步骤 201 中具体包括以下步骤:

步骤 2011, 请参阅图 7, 在所述衬底 10 的第一区域 11 上形成所述低温多晶硅晶体管 30 的低温多晶硅层 31。

具体地, 在衬底 10 进行非晶硅 (A-Si) 膜层成膜、曝光、刻蚀, 将图形化的非晶硅膜层转化为低温多晶硅层 31。

步骤 2012, 请参阅图 8, 在所述低温多晶硅晶体管 30 的低温多晶硅层 31 上依次形成栅极绝缘层 32 及栅极 33, 及在所述衬底 10 的第二区域 13 形成衬垫部 51, 从而形成预制结构 101。所述衬垫部 51 朝远离所述衬底 10 的方向凸起设置。

所述衬垫部 51 包括分层设置的第一衬垫层 511 及叠设于所述第一衬垫层 511 上的第二衬垫层 513, 所述第一衬垫层 511 与所述衬底 10 相邻设置, 所述第一衬垫层 511 由刻蚀形成所述低温多晶硅晶体管 30 的栅极绝缘层 32 时在第二区域 13 保留下来的栅极绝缘层 32 的材料形成, 所述第二衬垫层 513 由刻蚀形成所述低温多晶硅晶体管 30 的栅极 33 时在第二区域 13 保留下来的栅极 33 的材料形成。

步骤 2013, 请参阅图 9, 在所述预制结构 101 上形成介质层 57, 所述介质层 57 部分朝远离所述衬底 10 的方向凸起形成凸起部 573, 所述凸起部 573 覆盖所述衬垫部 51。本实施方式中, 位于所述第二区域 13 上方的介质层 57 亦作为氧化物晶体管 50 的缓冲层使用。

步骤 2014, 请再次参阅图 3, 在位于所述第一区域 11 的介质层 57 上形成所述低温多晶硅晶体管 30 的源漏极 35, 及在位于所述第二区域 13 上的介质层 57 上形成所述氧化物晶体管 50 的源漏极 55。所述低温多晶硅晶体管 30 的源漏极 35 与所述低温多晶硅层 31 的非沟道区域接触。

步骤 202, 还包括: 所述氧化物半导体层 52 覆盖所述凸起部 573, 所述凸设结构 501 覆盖所述凸起部 573。

可以理解, 在一实施例中, 步骤 2012 中不包括在所述衬底 10 的第二区域 13 形成衬垫部 51。

可以理解, 在一实施例中, 步骤 2013 省略, 请参阅图 10, 步骤 201 具体包括以下步骤:

步骤 2031, 在所述衬底 10 的第一区域 11 上形成所述低温多晶硅晶体管 30 的低温多晶硅层 31。

步骤 2032, 在所述低温多晶硅晶体管 30 的低温多晶硅层 31 上依次形成栅极绝缘层 32 及栅极 33, 及在所述衬底 10 的第二区域 13 形成衬垫部 51。

步骤 2033, 在所述低温多晶硅层 31 上形成所述低温多晶硅晶体管 30 的源漏极 35, 及所述衬底 10 的第二区域 13 上形成所述氧化物晶体管 50 的源漏极 55。

其中, 在步骤 202 中, 所述氧化物半导体层 52 覆盖所述衬垫部 51。

请参阅图 11, 一种显示装置 200, 包括如上所述的阵列基板 100。

本发明提供的阵列基板 100 及其制作方法、显示装置 200, 由于所述沟道部 523 朝向所述栅极 54 凸起设置, 从而形成弯曲结构, 即在不增加所述氧化物晶体管 50 横向所占区域的情况下, 增长了所述沟道部 523 的整体长度。换言之, 通过将器件垂直设计, 在沟道长度相同的情况下, 降低氧化物晶体管 50 的横向占有长度。由于在保证所述沟道部 523 的长度的情况下, 缩短了所述氧化物晶体管 50 的横向有效面积, 有利于提高显示装置的 PPI, 从而提高显示装置 200 的显示品质。此外, 利用制造所述低温多晶硅晶体管 30 的保留下来的栅极绝缘层 32 的材料及栅极 33 的材料形成衬垫部 51, 使得所述介质层 57 在对应所述衬垫部 51 的区域堆叠形成凸起部 573, 降低了制造成本。

以上所述是本发明的优选实施例, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本发明原理的前提下, 还可以做出若干改进和润饰, 这些改进和润饰也视为本发明的保护范围。

权 利 要 求 书

1、一种阵列基板，其特征在于，包括衬底，所述衬底包括至少一第一区域及至少一第二区域，所述第一区域设置有低温多晶硅晶体管，所述第二区域设置有氧化物晶体管，所述氧化物晶体管包括氧化物半导体层、栅极绝缘层、栅极、源漏极，所述氧化物半导体层包括连接设置的沟道部及接触部，所述沟道部、所述栅极绝缘层及所述栅极依次层叠设置，所述源漏极与所述接触部接触，所述沟道部至少部分朝向远离所述衬底的方向凸起设置。

2、如权利要求 1 所述的阵列基板，其特征在于，所述沟道部包括第一部分及二分别设置于所述第一部分相对两侧的第二部分，每个第二部分由所述第一部分的一端朝向所述衬底偏折。

3、如权利要求 2 所述的阵列基板，其特征在于，所述第一部分平行于所述衬底，每一第二部分相对所述第一部分的夹角大于 90 度小于 180 度。

4、如权利要求 3 所述的阵列基板，其特征在于，所述沟道部还包括两个第三部分，每个第三部分连接于一个第二部分与一个接触部之间。

5、如权利要求 4 所述的阵列基板，其特征在于，两个所述第三部分均平行于所述第一部分。

6、如权利要求 1 所述的阵列基板，其特征在于，所述氧化物晶体管还包括衬垫部，所述衬垫部凸设于所述衬底的第二区域，所述沟道部至少部分位于所述衬垫部的上方。

7、如权利要求 6 所述的阵列基板，其特征在于，所述衬垫部包括第一衬垫层及叠设于所述第一衬垫层上的第二衬垫层，所述第一衬垫层与所述衬底相邻设置。

8、如权利要求 7 所述的阵列基板，其特征在于，所述第一衬垫层为刻蚀形成所述低温多晶硅晶体管的栅极绝缘层时在所述第二区域保留下来的栅极绝缘层材料形成，所述第二衬垫层为刻蚀形成所述低温多晶硅晶体管的栅极在所述第二区域保留下来的栅极材料形成。

9、如权利要求 7 所述的阵列基板，其特征在于，所述衬垫部的宽度由所述衬垫部与所述衬底相邻的第一端向远离所述衬底的第二端减小。

10、如权利要求 6 所述的阵列基板，其特征在于，所述接触部在所述衬底上的正投影与所述衬垫部在所述衬底上的正投影的交叠面积为零。

11、如权利要求 1 所述的阵列基板，其特征在于，所述氧化物晶体管还包括介质层，所述介质层覆盖所述衬底，所述介质层部分朝远离所述衬底的方向形成凸起部，所述源漏极设置在所述介质层上且间隔所述凸起部设置，所述氧化物半导体层覆盖所述源漏极及所述介质层，所述沟道部至少部分与所述凸起部层叠设置。

12、如权利要求 11 所述的阵列基板，其特征在于，所述凸起部的宽度由所述凸起部与所述衬底相邻的第一端向远离所述衬底的第二端减小。

13、如权利要求 1 所述的阵列基板，其特征在于，所述氧化物半导体层的材质包括铟镓锌氧化物。

14、如权利要求 1 所述的阵列基板，其特征在于，所述衬底包括基底及设于所述基底上的缓冲层，所述缓冲层设于所述衬底远离所述氧化物半导体层的一侧。

15、如权利要求 14 所述的阵列基板，其特征在于，所述缓冲层的材质包括氧化硅、氮化硅中的至少一种。

16、一种显示装置，其特征在于，包括如权利要求 1-15 项中任意一项所述的阵列基板。

17、一种阵列基板的制作方法，其特征在于，包括以下步骤：

提供一衬底，在所述衬底的第一区域上形成低温多晶硅晶体管，在所述衬底的第二区域上形成氧化物晶体管的源漏极；

在所述衬底的第二区域上形成覆盖所述氧化物晶体管的源漏极的氧化物半导体层，所述氧化物半导体层部分朝远离所述衬底的方向凸起设置形成凸设结构；

在所述氧化物半导体层上依次形成所述氧化物晶体管的栅极绝缘层及栅极，所述氧化物晶体管的栅极绝缘层及所述氧化物晶体管的栅极层叠设置于所述凸设结构上；及

对所述氧化物半导体层的端部进行导电化处理形成接触部,所述接触部与所述氧化物晶体管的源漏极接触,所述氧化物半导体层未进行导电化处理的部分构成沟道部,所述沟道部至少部分由所述凸设结构构成。

18、如权利要求 17 所述的制作方法,其特征在于,所述“提供一衬底,在所述衬底的第一区域上形成低温多晶硅晶体管,在所述衬底的第二区域上形成氧化物晶体管的源漏极”,包括:

在所述衬底的第一区域上形成所述低温多晶硅晶体管的低温多晶硅层;

在所述低温多晶硅层上依次形成栅极绝缘层及栅极,及在所述衬底的第二区域形成衬垫部,从而形成预制结构;

在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极。

19、如权利要求 18 所述的制作方法,其特征在于,所述“在所述低温多晶硅层上依次形成栅极绝缘层及栅极,及在所述衬底的第二区域形成衬垫部,从而形成预制结构”与所述“在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极”之间,

所述“提供一衬底,在所述衬底的第一区域上形成低温多晶硅晶体管,在所述衬底的第二区域上形成氧化物晶体管的源漏极”,还包括:在所述预制结构上形成介质层,所述介质层部分朝远离所述衬底的方向凸起形成凸起部,所述凸起部覆盖所述衬垫部,

所述“在所述低温多晶硅层上形成所述低温多晶硅晶体管的源漏极,及所述衬底的第二区域上形成所述氧化物晶体管的源漏极”,包括:在位于所述第一区域的介质层上形成所述低温多晶硅晶体管的源漏极,及在位于所述第二区域上的介质层上形成所述氧化物晶体管的源漏极。

20、如权利要求 19 所述的制作方法,其特征在于,所述衬垫部包括分层设置的第一衬垫层及叠设于所述第一衬垫层上的第二衬垫层,所述第一衬垫层与所述衬底相邻设置,所述第一衬垫层由刻蚀形成所述低温多晶硅晶体管的栅极绝缘层时在所述第二区域保留下来的栅极绝缘层的材料形成,所述第二衬垫层由刻蚀形成所述低温多晶硅晶体管的栅极时在所述第二区域保留下来的栅极的材料形成。

21、如权利要求 17 所述的制作方法，其特征在于，所述“提供一衬底，在所述衬底的第一区域上形成低温多晶硅晶体管，在所述衬底的第二区域上形成氧化物晶体管的源漏极”，包括：

在所述衬底的第一区域上形成所述低温多晶硅晶体管的低温多晶硅层；

在所述低温多晶硅晶体管的低温多晶硅层上依次形成栅极绝缘层及栅极，从而形成预制结构；

在所述预制结构上形成介质层，所述介质层部分朝远离所述衬底的方向凸起形成凸起部；

在位于所述第一区域的介质层上形成所述低温多晶硅晶体管的源漏极，及在位于所述第二区域上的介质层上形成所述氧化物晶体管的源漏极，

所述“在所述衬底的第二区域上形成覆盖所述氧化物晶体管的源漏极的氧化物半导体层，所述氧化物半导体层部分朝远离所述衬底的方向凸起设置形成凸设结构”还包括：所述氧化物半导体层覆盖所述凸起部及所述氧化物晶体管的源漏极，所述凸设结构覆盖所述凸起部。

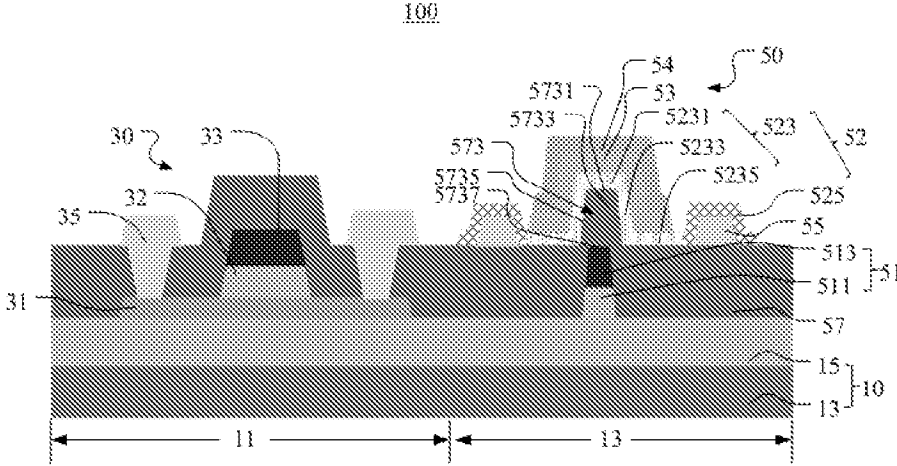


图 1

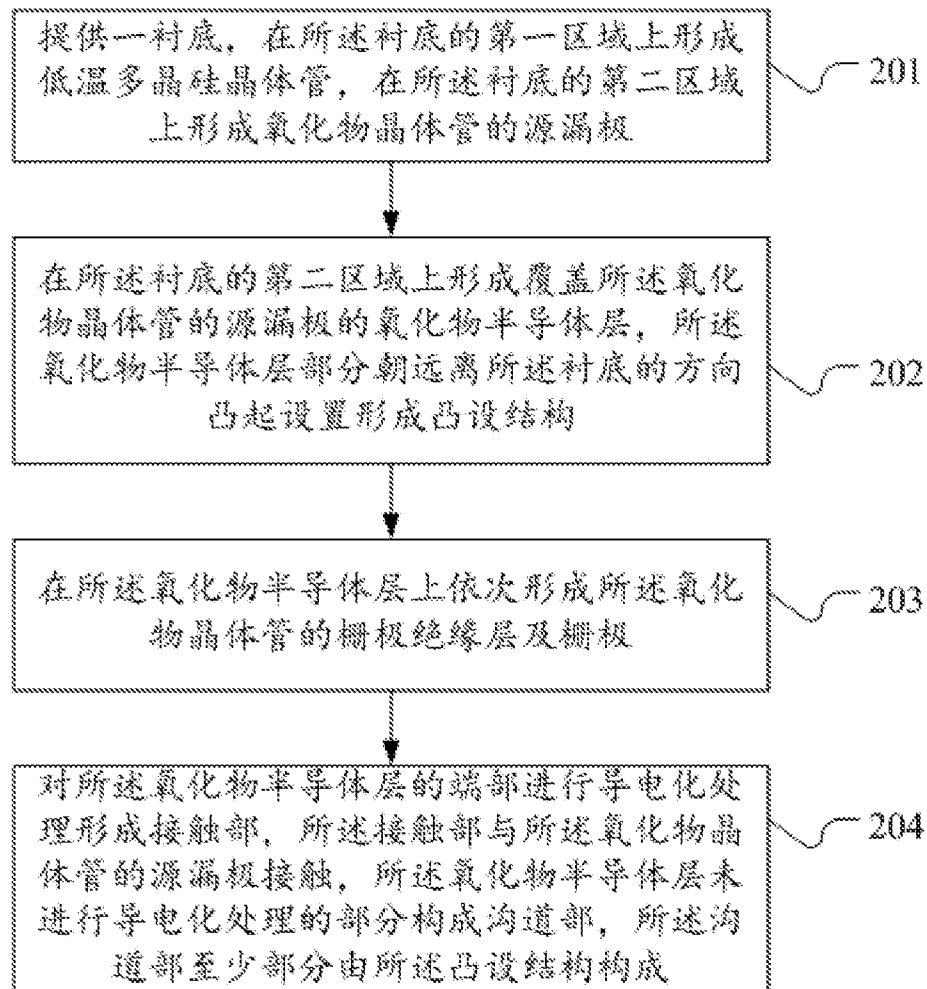


图 2

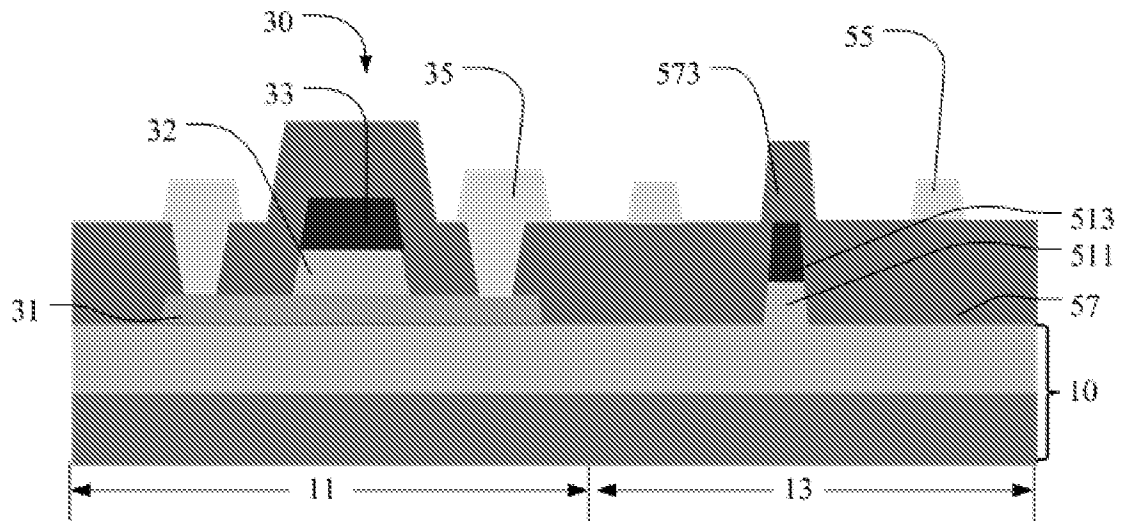


图 3

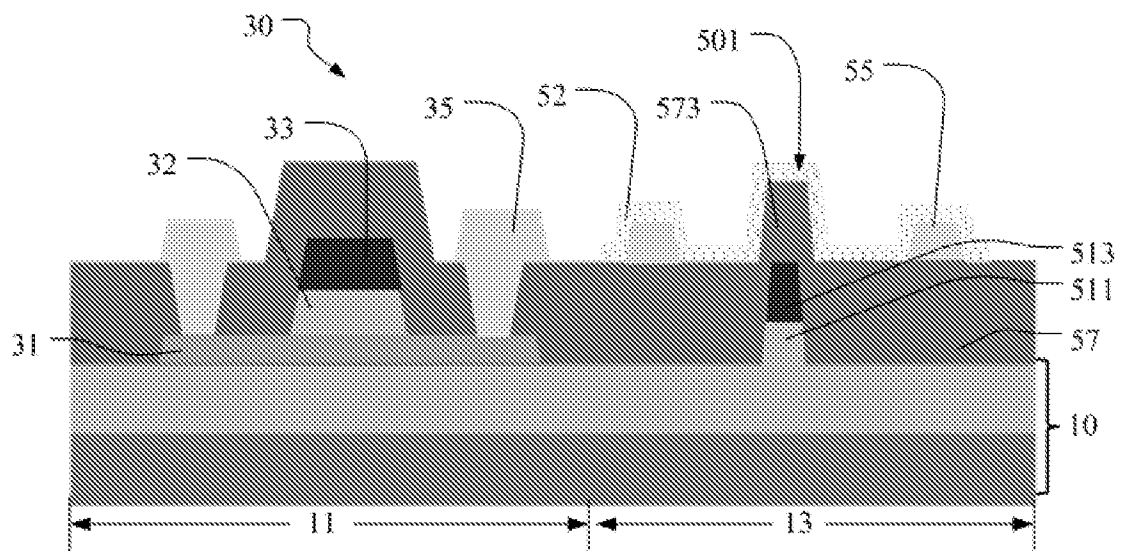


图 4

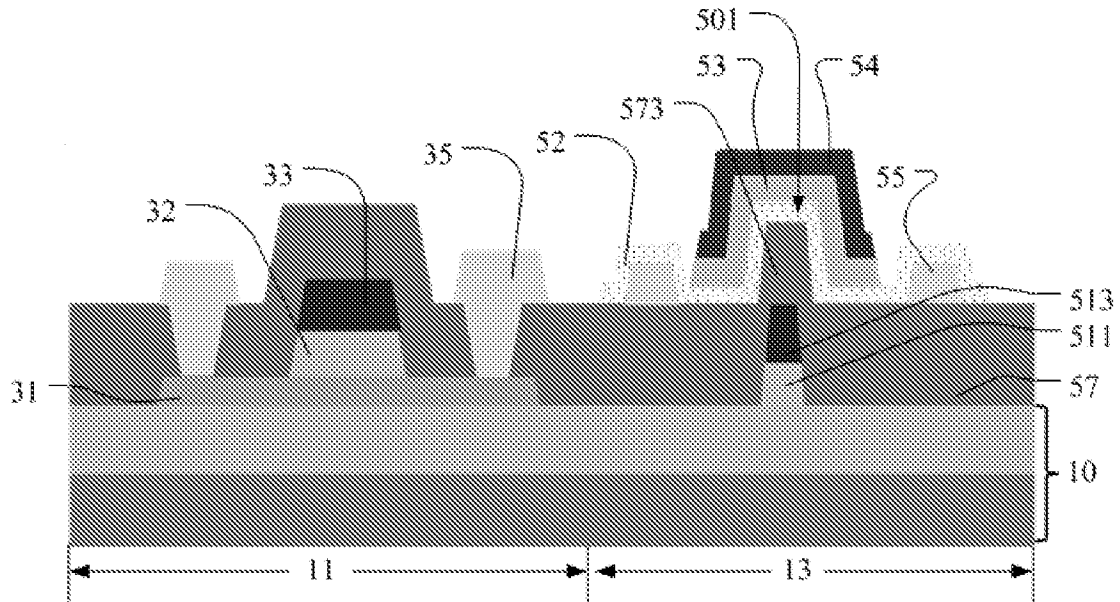


图 5

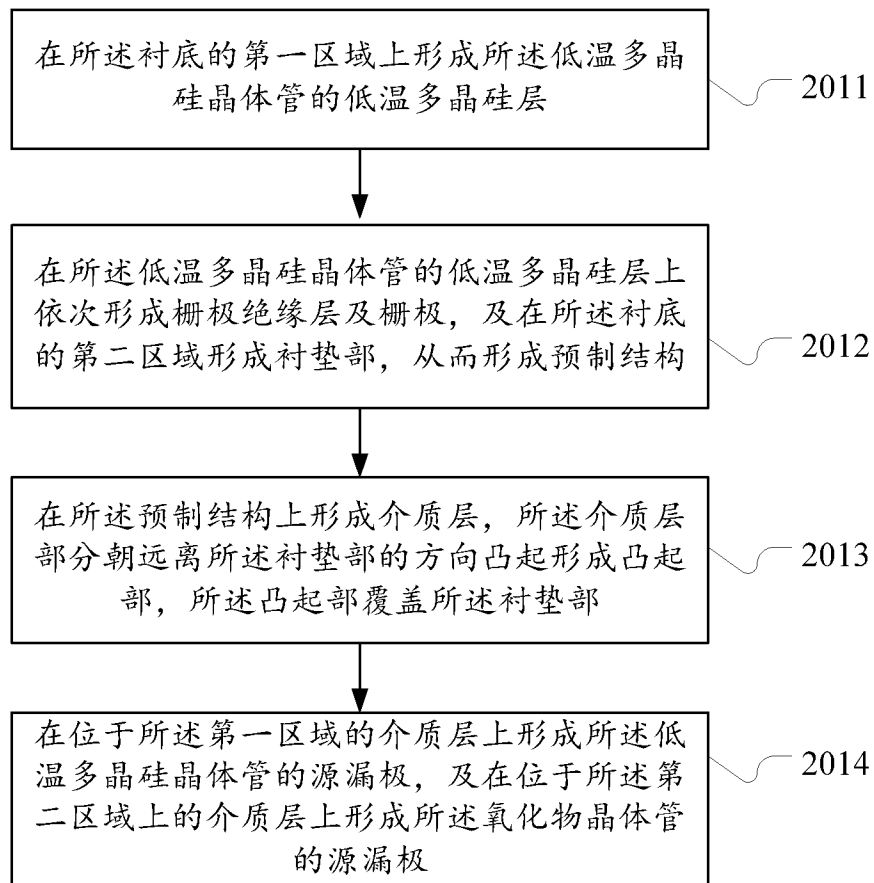


图 6

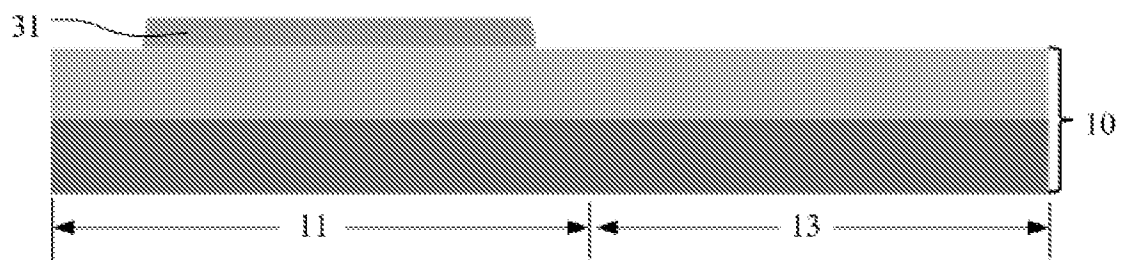


图 7

101

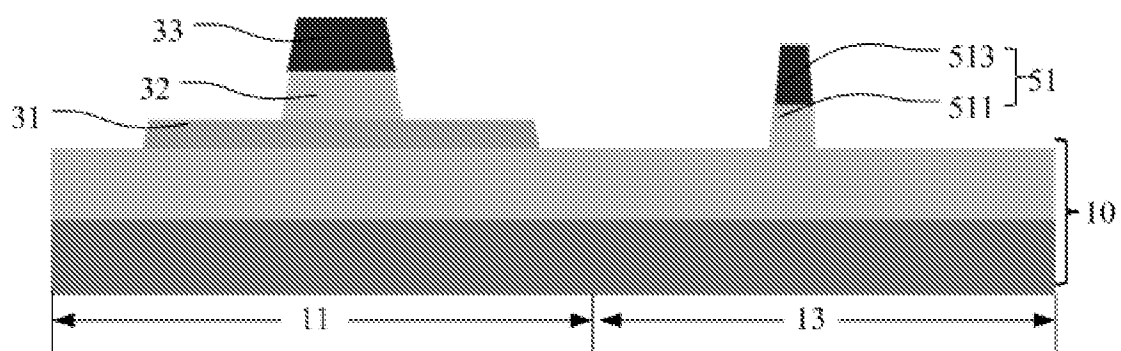


图 8

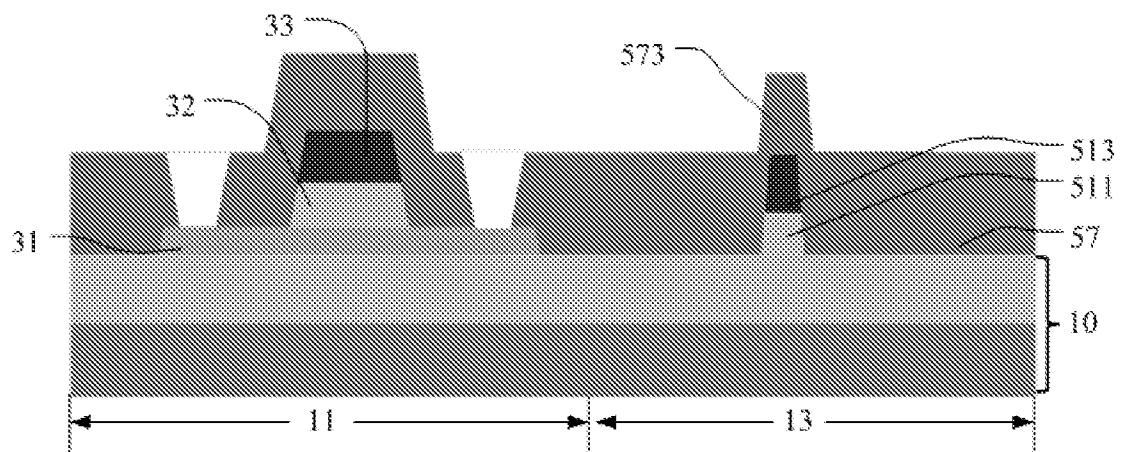


图 9

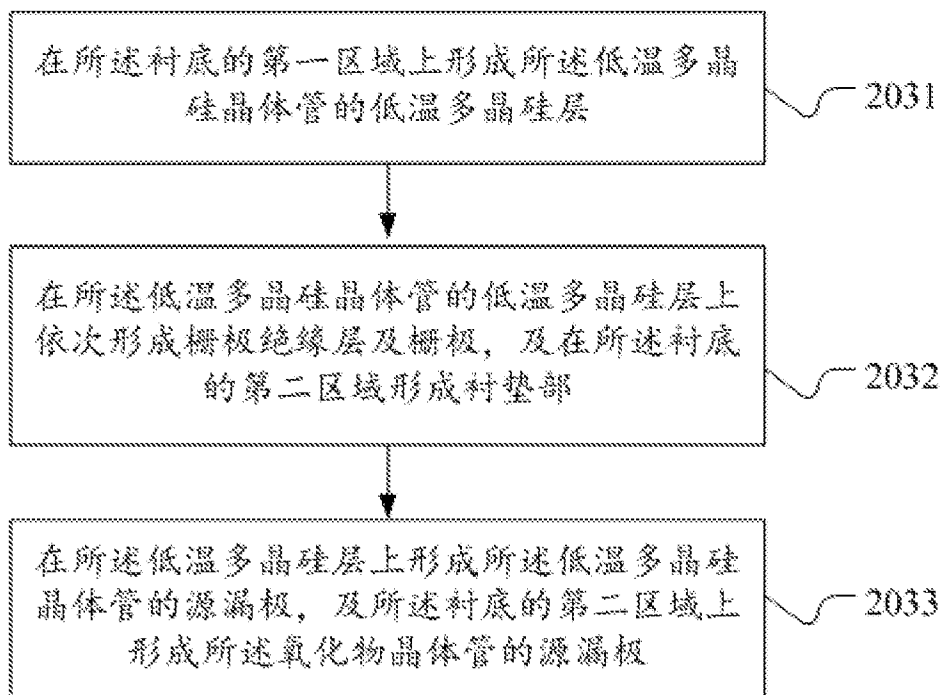


图 10

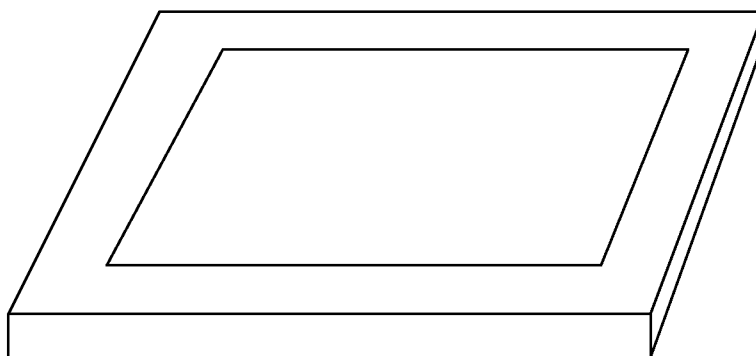
200

图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/086124

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, IEEE, CNKI: 氧化物晶体管, 低温多晶硅晶体管, 沟道, 凸起, LTPO, LTPS, TFT, oxide, IZGO, channel, bulge

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106449653 A (BOE TECHNOLOGY GROUP CO., LTD.) 22 February 2017 (2017-02-22) description, paragraphs [0020]-[0066], and figures 1-10	1-21
A	CN 107492500 A (GALAXYCORE INC.) 19 December 2017 (2017-12-19) description, paragraphs [0015]-[0018], and figures 1-5	1-21
A	CN 107026178 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 August 2017 (2017-08-08) entire document	1-21
A	CN 103824780 A (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED) 28 May 2014 (2014-05-28) entire document	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 January 2019

Date of mailing of the international search report

31 January 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/086124

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106449653	A	22 February 2017	CN	106449653	B	21 December 2018
CN	107492500	A	19 December 2017	None			
CN	107026178	A	08 August 2017	WO	2018196087	A1	01 November 2018
CN	103824780	A	28 May 2014	CN	103824780	B	30 March 2016

国际检索报告

国际申请号

PCT/CN2018/086124

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, DWPI, SIPOABS, IEEE, CNKI:氧化物晶体管, 低温多晶硅晶体管, 沟道, 凸起, LTPO, LTPS, TFT, oxide, IZGO, channel, bulge																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 106449653 A (京东方科技集团股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第20-66段, 附图1-10</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 107492500 A (格科微电子上海有限公司) 2017年 12月 19日 (2017 - 12 - 19) 说明书第15-18段, 附图1-5</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 107026178 A (深圳市华星光电技术有限公司) 2017年 8月 8日 (2017 - 08 - 08) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 103824780 A (上海和辉光电有限公司) 2014年 5月 28日 (2014 - 05 - 28) 全文</td> <td>1-21</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 106449653 A (京东方科技集团股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第20-66段, 附图1-10	1-21	A	CN 107492500 A (格科微电子上海有限公司) 2017年 12月 19日 (2017 - 12 - 19) 说明书第15-18段, 附图1-5	1-21	A	CN 107026178 A (深圳市华星光电技术有限公司) 2017年 8月 8日 (2017 - 08 - 08) 全文	1-21	A	CN 103824780 A (上海和辉光电有限公司) 2014年 5月 28日 (2014 - 05 - 28) 全文	1-21
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 106449653 A (京东方科技集团股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第20-66段, 附图1-10	1-21															
A	CN 107492500 A (格科微电子上海有限公司) 2017年 12月 19日 (2017 - 12 - 19) 说明书第15-18段, 附图1-5	1-21															
A	CN 107026178 A (深圳市华星光电技术有限公司) 2017年 8月 8日 (2017 - 08 - 08) 全文	1-21															
A	CN 103824780 A (上海和辉光电有限公司) 2014年 5月 28日 (2014 - 05 - 28) 全文	1-21															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2019年 1月 17日		国际检索报告邮寄日期 2019年 1月 31日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 吴海涛 电话号码 62412214															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/086124

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106449653	A	2017年 2月 22日	CN	106449653	B	2018年 12月 21日
CN	107492500	A	2017年 12月 19日	无			
CN	107026178	A	2017年 8月 8日	WO	2018196087	A1	2018年 11月 1日
CN	103824780	A	2014年 5月 28日	CN	103824780	B	2016年 3月 30日