



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월07일  
(11) 등록번호 10-2791694  
(24) 등록일자 2025년04월01일

- (51) 국제특허분류(Int. Cl.)  
H01G 4/40 (2006.01) H01C 7/10 (2006.01)  
H01C 7/18 (2006.01) H01G 4/232 (2006.01)  
H01G 4/30 (2006.01) H01G 4/38 (2006.01)
- (52) CPC특허분류  
H01G 4/40 (2021.01)  
H01C 7/1013 (2013.01)
- (21) 출원번호 10-2021-7032360
- (22) 출원일자(국제) 2020년04월17일  
심사청구일자 2022년04월29일
- (85) 번역문제출일자 2021년10월07일
- (65) 공개번호 10-2021-0146321
- (43) 공개일자 2021년12월03일
- (86) 국제출원번호 PCT/US2020/028748
- (87) 국제공개번호 WO 2020/219359  
국제공개일자 2020년10월29일
- (30) 우선권주장  
62/838,421 2019년04월25일 미국(US)
- (56) 선행기술조사문헌  
JP02240907 A\*  
WO2018043397 A1\*  
WO2018144987 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
교세라 에이브이엑스 컴포넌츠 코포레이션  
미국 29644-9039 사우스 캐롤라이나주 윈 에이브  
이엑스 불바드 파운틴 인
- (72) 발명자  
커크 마이클 더블유.  
미국 29644 사우스 캐롤라이나주 윈 에이브이엑스  
불바드 파운틴 인 에이브이엑스 코포레이션 씨/오  
베로리니 마리안네  
미국 29644 사우스 캐롤라이나주 윈 에이브이엑스  
불바드 파운틴 인 에이브이엑스 코포레이션 씨/오
- (74) 대리인  
박장원

전체 청구항 수 : 총 17 항

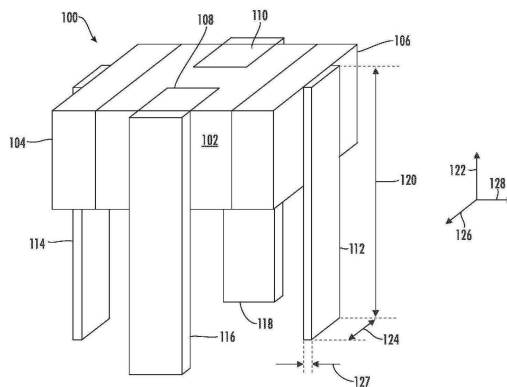
심사관 : 전한철

(54) 발명의 명칭 저 인덕턴스 컴포넌트

(57) 요약

저 인덕턴스 컴포넌트는 제1 능동 종단, 제2 능동 종단, 적어도 하나의 접지 종단, 및 상기 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결된 한 쌍의 커패시터를 포함하는 적층, 모놀리식 디바이스를 포함할 수 있다. 리드(들)는 제1 능동 종단, 제2 능동 종단 및/또는 적어도 하나의 접지 종단 중 적어도 하나에 연결될 수 있다. 리드(들)는 각각 길이(들)와 최대 폭(들)을 구비할 수 있다. 리드(들)의 최대 폭(들)에 대한 각각 길이(들)의 비는 약 20 미만일 수 있다.

대표도 - 도1a



(52) CPC특허분류

- H01C 7/18* (2013.01)
  - H01G 4/232* (2013.01)
  - H01G 4/30* (2013.01)
  - H01G 4/385* (2013.01)
-

**명세서**

**청구범위**

**청구항 1**

저 인덕턴스 컴포넌트로, 상기 저 인덕턴스 컴포넌트는,

제1 능동 종단, 제2 능동 종단, 적어도 하나의 접지 종단, 및 상기 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결된 한 쌍의 커패시터를 포함하는 적층, 모놀리식 디바이스로, 상기 한 쌍의 커패시터는,

본체 내에 배치된 복수의 제1 전극 층으로, 상기 복수의 제1 전극 층의 각 전극 층은 상기 제1 능동 종단에 연결된 제1 전극 및 상기 제2 능동 종단에 연결된 제2 전극을 포함하는, 복수의 제1 전극 층, 및

본체 내에 배치된 복수의 제2 전극 층으로, 상기 복수의 제2 전극 층의 각 전극 층은 십자형 전극을 포함하는, 복수의 제2 전극 층을 포함 하되,

상기 복수의 제1 전극 층은 상기 복수의 제2 전극 층과 교대로 적층되어 있는,

적층, 모놀리식 디바이스; 및

제1 능동 종단, 제2 능동 종단 또는 적어도 하나의 접지 종단 중 적어도 하나에 연결된 적어도 하나의 리드로, 상기 적어도 하나의 리드는 길이와 최대 폭을 구비하되, 상기 적어도 하나의 리드의 최대 폭에 대한 길이의 비가 20 미만인, 적어도 하나의 리드를 포함하고,

적어도 하나의 리드의 단면이 직사각형이고, 적어도 하나의 접지 종단에 연결된 적어도 하나의 리드는 적층 방향과 수직인 Y-방향으로 최대 폭을 가지고, 적어도 하나의 접지 종단에 연결된 적어도 하나의 리드의 최대 폭과 적어도 하나의 접지 종단의 Y-방향으로의 폭이 동일하며,

상기 제1 및 제2 능동 종단에 연결된 적어도 하나의 리드의 Y-방향과 수직인 X-방향으로의 최대 폭은 제1 및 제2 능동 종단의 최대 폭보다 작은 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

적어도 하나의 리드는 Y-방향으로 최소 폭을 가지며, 최소 폭에 대한 최대 폭의 비가 2보다 큰 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 4**

제1항에 있어서,

적어도 하나의 리드는 제1 능동 리드, 제2 능동 리드, 및 각각이 제1 능동 종단, 제2 능동 종단 및 적어도 하나의 접지 종단에 연결된 적어도 하나의 접지 리드를 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 5**

제1항에 있어서,

제1 외부 배리스터 종단 및 제2 외부 배리스터 종단을 포함하는 이산 배리스터를 추가로 포함하고, 적어도 하나의 리드는 제1 능동 종단 및 제2 외부 배리스터 종단 각각에 연결된 제1 리드를 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 6**

제1항에 있어서,

적어도 하나의 리드는 복수의 직조 세장형 전도성 부재를 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 7**

제1항에 있어서,

복수의 제2 전극 층이 적어도 하나의 접지 종단에 연결되며, 복수의 제1 전극 층의 제1 전극과 제2 전극 각각에 용량적으로 체결되어, 제1 전극과 십자형 전극 사이에 상기 쌍의 커패시터의 제1 커패시터를 형성하고, 제2 전극과 십자형 전극 사이에 상기 쌍의 커패시터의 제2 커패시터를 형성하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 8**

삭제

**청구항 9**

제7항에 있어서,

적어도 하나의 접지 종단은 제1 접지 종단 및 제2 접지 종단을 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 10**

제9항에 있어서,

십자형 전극은 한 쌍의 대향 에지를 포함하고, 상기 대향 에지 중 하나는 제1 접지 종단에 연결되고, 상기 대향 에지 중 다른 하나는 제2 접지 종단에 연결되는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 11**

제9항에 있어서,

제1 접지 종단은 제2 접지 종단 반대편에 위치하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 12**

제1항에 있어서,

제1 커패시터는 제1 커패시턴스를 가지고, 제2 커패시터는 제1 커패시턴스와 동일한 제2 커패시턴스를 가지는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 13**

제12항에 있어서,

제1 커패시턴스 또는 제2 커패시턴스 중 적어도 하나는 10nF 내지 3 $\mu$ F 사이의 범위인 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 14**

제1항에 있어서,

십자형 전극은 제1 중첩 영역을 따라 제1 전극과 중첩되고;

십자형 전극은 제1 중첩 영역과 동일한 제2 중첩 영역을 따라 제2 전극과 중첩되는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 15**

제5항에 있어서,

이산 배리스터는 적층, 모놀리식 디바이스에 대해 적층되는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 16**

제1항에 있어서,

이산 배리스터 및 적층, 모놀리식 디바이스를 봉입하는 오버-몰딩된 층을 추가로 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 17**

제1항에 있어서,

모놀리식 본체의 두께에 대한 전극 스택-업의 두께의 비가 0.4보다 큰 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 18**

제1항에 있어서,

제1 능동 종단에 연결된 복수의 제4 전극 및 제2 능동 종단에 연결되고 상기 복수의 제4 전극과 인터리빙 되어 제3 커패시터를 형성하는 복수의 제5 전극을 추가로 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트.

**청구항 19**

저 인덕턴스 컴포넌트를 형성하는 방법으로, 상기 방법은,

한 쌍의 커패시터를 형성하는 전극을 포함하는 적층 커패시터 본체를 제공하는 단계;

상기 한 쌍의 커패시터가 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결되도록, 제1 능동 종단, 제2 능동 종단, 및 적층 커패시터 본체 외부의 적어도 하나의 접지 종단을 형성하는 단계; 및

적어도 하나의 리드를 제1 능동 종단, 제2 능동 종단, 또는 적어도 하나의 접지 종단 중 적어도 하나와 연결하는 단계로, 적어도 하나의 리드는 길이와 최대 폭을 가지고, 적어도 하나의 리드의 폭에 대한 길이의 비가 20 미만이며,

상기 한 쌍의 커패시터를 형성하는 전극들은,

본체 내에 배치된 복수의 제1 전극 층으로, 상기 복수의 제1 전극 층의 각 전극 층은 상기 제1 능동 종단에 연결된 제1 전극 및 상기 제2 능동 종단에 연결된 제2 전극을 포함하는, 복수의 제1 전극 층, 및

본체 내에 배치된 복수의 제2 전극 층으로, 상기 복수의 제2 전극 층의 각 전극 층은 십자형 전극을 포함하는, 복수의 제2 전극 층을 포함 하되,

상기 복수의 제1 전극 층은 상기 복수의 제2 전극 층과 교대로 적층되어 있고, 제1 전극과 복수의 제2 전극 층 사이의 중첩 영역과 제2 전극과 복수의 전극 층 사이의 중첩 영역이 동일하고,

적어도 하나의 리드의 단면이 직사각형이고, 적어도 하나의 접지 종단에 연결된 적어도 하나의 리드는 적층 방향과 수직인 Y-방향으로 최대 폭을 가지고, 적어도 하나의 접지 종단에 연결된 적어도 하나의 리드의 최대 폭과 적어도 하나의 접지 종단의 Y-방향으로의 폭이 동일하며,

상기 제1 및 제2 능동 종단에 연결된 적어도 하나의 리드의 Y-방향과 수직인 X-방향으로의 최대 폭은 제1 및 제2 능동 종단의 최대 폭보다 작은,

연결 단계를 포함하는 것을 특징으로 하는 저 인덕턴스 컴포넌트 형성 방법.

**발명의 설명**

**기술분야**

[0001] 본 출원은 2019년 4월 25일에 출원된 미국 가특허 출원 일련 번호 62/838,421호의 출원 이익을 주장하며, 이는 그 전체가 참고로 본 명세서에 포함된다.

**배경기술**

[0002] 얼마 동안, 다양한 전자 부품의 설계는 기능의 향상뿐만 아니라 소형화를 향한 일반적인 산업 경향에 의해 주도되어 왔다. 적층 세라믹 커패시터 또는 배리스터와 같은 적층 세라믹 디바이스는 때때로 복수의 유전체-전극 층들로 구성된다. 제조하는 중에, 층들은 수직으로 적층된 구조로 압착되어 형성될 수 있다. 적층 세라믹 디바이스는 단일 커패시터 또는 다중 커패시터를 포함할 수 있다. 이러한 디바이스에는 다른 전기 컴포넌트와의 연결을 위한 리드 와이어가 제공될 수 있다. 그러나 리드 와이어는 컴포넌트의 전체 인덕턴스를 바람직하지 않게 증가시키는 자체 인덕턴스를 나타낸다.

**선행기술문헌**

**특허문헌**

(특허문헌 0001) US 5973906A, US 6266229 B1, US 4475143 A, US 5146200 A, US 2012-0268860 A1

**발명의 내용**

**과제의 해결 수단**

[0003] 본 발명의 일 실시형태에 따르면, 저 인덕턴스 컴포넌트는, 제1 능동 종단(active termination), 제2 능동 종단, 적어도 하나의 접지 종단(ground termination), 및 상기 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결된 한 쌍의 커패시터를 포함하는 적층, 모놀리식 디바이스를 포함할 수 있다. 리드(들)는 제1 능동 종단, 제2 능동 종단 또는 적어도 하나의 접지 종단 중 적어도 하나에 연결될 수 있다. 리드(들)는 각각 길이(들)와 최대 폭(들)을 구비할 수 있다. 리드(들)의 최대 폭(들)에 대한 길이(들)의 비는 약 20 미만일 수 있다.

[0004] 본 발명의 다른 실시형태에 따르면, 저 인덕턴스 컴포넌트를 형성하는 방법은 한 쌍의 커패시터를 형성하는 전극을 포함하는 적층 커패시터 본체를 제공하는 단계; 상기 한 쌍의 커패시터가 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결되도록, 제1 능동 종단, 제2 능동 종단, 및 적층 커패시터 본체 외부의 적어도 하나의 접지 종단을 형성하는 단계; 및 적어도 하나의 리드를 제1 능동 종단, 제2 능동 종단, 또는 적어도 하나의 접지 종단 중 적어도 하나와 연결하는 단계로, 적어도 하나의 리드는 길이와 최대 폭을 가지고, 적어도 하나의 리드의 폭에 대한 길이의 비가 약 20 미만인, 연결 단계를 포함한다.

[0005] 아래에서 본 발명의 다른 특징들 및 측면들을 더 상세히 논의한다.

**도면의 간단한 설명**

[0006] 본 기술분야의 통상의 지식을 가진 자에 대한 최상의 모드를 포함하여 현재 개시된 주제의 완전하고 실시 가능한 개시가 첨부된 도면들을 참조하는 명세서에 설명되어 있다.

도 1a는 현재 개시된 주제에 따른, 리드를 포함하는 저 인덕턴스 컴포넌트의 예시적인 실시형태의 외부 사시도이다.

도 1b는 본 개시의 측면에 따른, 도 1a의 디바이스의 리드의 다른 실시형태를 도시한다.

도 2는 현재 개시되어 있는 주제에 따른, 이산 배리스터를 포함하는 저 인덕턴스 컴포넌트의 다른 실시형태의 외부 사시도이다.

도 3a 및 3b는 현재 개시된 주제의 측면에 따른, 도 1a의 컴포넌트의 제1 전극 층 및 제2 전극 층을 각각 도시한다.

도 3c는 도 3a의 제1 전극 층 및 도 3b의 제2 전극 층을 포함하는 전극 스택-업을 도시한다.

도 3d는 도 1a의 디바이스의 개략도이다.

도 3e는 도 2의 디바이스의 개략도이다.

도 4a 및 도 4b는 본 개시내용의 양태에 따른, 저 인덕턴스 컴포넌트의 다른 실시형태의 전극 구성의 제1 전극 층 및 제2 전극 층을 각각 도시한다.

도 4c는 도 4a의 제1 전극 층 및 도 4b의 제2 전극 층을 포함하는 전극 스택-업을 도시한다.

도 5a는 도 3a 내지 도 4c를 참조하여 설명한 전극 구성과 비교하여 추가 커패시터를 포함하는 추가 전극 구성을 도시한다.

도 5b는 도 3a 내지 도 4c를 참조하여 설명한 전극 구성과 비교하여 추가 커패시터를 포함하는 다른 추가 전극 구성을 도시한다.

도 6a는 도 5a의 디바이스의 개략도이다.

도 6b는 도 5b의 디바이스의 개략도이다.

도 7은 현재 개시된 주제에 따른 저 인덕턴스 컴포넌트를 형성하기 위한 방법의 흐름도이다.

본 명세서 및 첨부된 도면 전체에 걸쳐 참조 문자의 반복 사용은 동일하거나 유사한 특징, 요소 또는 이들의 단계를 나타내는 것으로 의도된다.

**발명을 실시하기 위한 구체적인 내용**

[0007] 이제 본 발명의 다양한 실시형태에 대해 상세하게 참조할 것이며, 아래에서 이들 중 하나 이상의 예를 설명한다. 각각의 예는 본 발명을 제한하는 것이 아니라 본 발명을 설명하기 위해 제공된다. 사실, 본 발명의 범위 또는 사상을 벗어남이 없이 본 발명에서 다양한 수정 및 변형이 이루어질 수 있음은 당업자에게 명백할 것이다. 예를 들어, 일 실시형태의 일부로서 예시되거나 설명된 특징은 또 다른 실시형태를 생성하기 위해 다른 실시형태에서 사용될 수 있다. 따라서 본 발명은 첨부된 청구범위 및 그 균등물의 범위 내에 있는 그러한 수정 및 변형을 포함하도록 의도된다.

[0008] 일반적으로 말해서, 본 발명은 저 인덕턴스 컴포넌트에 관한 것이다. 저 인덕턴스 컴포넌트는 하나 또는 그 이상의 커패시터를 포함할 수 있다. 이론에 제한되지 않고, 커패시터는 전기장에 전기 에너지를 저장하는 전기 부품이다. 일부 실시형태에서, 컴포넌트는 또한 하나 또는 그 이상의 커패시터와 연결된 이산 배리스터(discrete varistor)를 포함할 수 있다. 이론에 제한되지 않고, 배리스터는 인가된 전압에 따라 전기 저항이 변할 수 있는 전기 컴포넌트이며, 이에 따라 이를 전압-종속 레지스터가 되게 한다.

[0009] 컴포넌트는 저 인덕턴스를 나타내도록 구성된 하나 또는 그 이상의 리드를 포함할 수 있다. 특정 애플리케이션에서는 저 인덕턴스가 매우 바람직할 수 있다. 예를 들어, 본 개시의 양태는 모터 스타트-스톱 애플리케이션과 같은 자동차 애플리케이션에 특히 유용할 수 있다.

[0010] 저 인덕턴스 리드(들)는 컴포넌트의 제1 능동 종단, 제2 능동 종단, 및/또는 접지 종단과 결합될 수 있다. 리드(들)는 각각의 길이(들) 및 최대 폭(들)을 가질 수 있다. 리드(들)의 각각의 최대 폭(들)에 대한 길이(들)의 비는 약 50 미만, 일부 실시형태에서는 약 30 미만, 일부 실시형태에서는 약 20 미만, 일부 실시형태에서는 약 15 미만, 일부 실시형태에서는 약 10 미만, 일부 실시형태에서는 약 8 미만, 일부 실시형태에서는 약 5 미만, 일부 실시형태에서는 약 4 미만, 일부 실시형태에서는 약 2 미만일 수 있다.

[0011] 리드(들)는 다양한 적절한 단면 형상을 가질 수 있다. 예를 들어, 하나 또는 그 이상의 리드는 대략 직사각형 단면을 가질 수 있다. 대략적으로 직사각형 단면은 제1 방향으로 최대 폭을 가질 수 있고, 제1 방향에 수직인 제2 방향으로 최소 폭을 가질 수 있다. 최소 폭에 대한 최대 폭의 비는 약 2보다 클 수 있고, 일부 실시형태에서는 약 3보다 크고, 일부 실시형태에서는 약 4보다 크고, 일부 실시형태에서는 약 5보다 크고, 일부 실시형태에서는 약 8보다 클 수 있다. 일부 실시형태에서는 약 10보다 크고, 일부 실시형태에서는 약 20보다 더 크고, 일부 실시형태에서는 50보다 더 크고, 일부 실시형태에서는 100보다 더 클 수 있다. 그러나, 다른 실시형태에서, 리드(들)의 단면은 원형, 타원형, 다각형 또는 기타 다른 적절한 형상일 수 있다.

[0012] 일부 실시형태에서, 리드(들) 중 하나 또는 그 이상은 리드를 형성하기 위해 함께 직조, 편조 또는 배열되는 복수의 세장형 전도성 부재를 포함할 수 있다.

- [0013] 상기 피쳐들은 하나 또는 그 이상의 커패시터를 포함할 수 있는 저 인덕턴스 컴포넌트를 초래할 수 있다. 예를 들어, 제1 커패시터 및 제2 커패시터는 제1 능동 종단, 제2 능동 종단, 및 적어도 하나의 접지 종단에 대해 분할 피드스루 타입의 구성으로 배열될 수 있다. 제1 및 제2 커패시터는 유전체 층에 의해 분리된 내부 전극에 의해 형성될 수 있다.
- [0014] 일부 실시형태에서, 이산 배리스터는 커패시터 기능 및 배리스터 기능 모두를 갖는 저 인덕턴스 집적 컴포넌트를 형성하기 위해 적층, 모놀리식 디바이스에 결합될 수 있다. 이산 배리스터는 제1 능동 종단에 연결된 제1 외부 배리스터 종단 및 적층 커패시터의 제2 능동 종단에 연결된 제2 외부 배리스터 종단을 포함할 수 있다. 예를 들어, 이산 배리스터와 적층 커패시터를 적층하여 단일 모놀리식 컴포넌트를 형성할 수 있다. 결합하여, 커패시터와 배리스터는 단일 패키지에서 저 인덕턴스 필터링과 EMI 및/또는 EMI/ESD 회로 보호를 제공할 수 있으며, 이는 공간이 제한적일 때 특히 유용할 수 있다. 또한 단일 컴포넌트에 커패시터 및 배리스터 기능을 통합하면, 각각 고유한 기생 인덕턴스(예컨대 각 리드로 인해 발생)를 나타내는 두 개의 개별 컴포넌트에 비해 인덕턴스가 감소한다.
- [0015] 일부 실시형태에서, 리드는 외부 단자와 연결될 수 있고/있거나 컴포넌트는 오버-몰딩될 수 있다. 따라서, 오버-몰딩된 층은 이산 배리스터와 적층, 모놀리식 커패시터 디바이스를 봉입할 수 있다. 오버-몰딩된 층은 예를 들어 충격이나 습기에 의한 손상으로부터 컴포넌트를 보호할 수 있다.
- [0016] 전술한 바와 같이, 제1 및 제2 커패시터는 분할 피드스루 유형 구성으로 배열될 수 있다. 예를 들어, 제1 복수의 전극 층은 본체 내에 배치되고, 제1 능동 종단과 연결될 수 있다. 제2 복수의 전극 층이 본체 내에 배치되고, 제2 능동 종단과 연결될 수 있다. 제3의 복수의 전극 층은 접지 종단(들)과 연결될 수 있고, 제1의 복수의 전극 층 및 제2의 복수의 전극 층 각각과 용량적으로 결합될 수 있다(예를 들어, 분할 피드스루 유형 배열로). 제1 커패시터는 제1 복수의 전극 층과 제3 복수의 전극 층 사이의 제1 중첩 영역에 형성될 수 있다. 제2 커패시터는 제2 복수의 전극 층과 제3 복수의 전극 층 사이의 제2 중첩 영역에 형성될 수 있다.
- [0017] 일 실시형태에서, 제1 커패시터는 제1 커패시턴스를 가질 수 있고, 제2 커패시터는 제2 커패시턴스를 가질 수 있다. 일부 실시형태에서, 제1 및 제2 중첩 영역은 제2 커패시턴스가 제1 커패시턴스와 대략 동일할 수 있도록 대략 동일할 수 있다. 그러나, 다른 실시형태에서, 제1 및 제2 중첩 영역은, 제1 커패시턴스가 제2 커패시턴스보다 크거나 작을 수 있도록 상이할 수 있다.
- [0018] 예를 들어, 제2 커패시턴스와 제1 커패시턴스 중 적어도 하나는 약 10nF 내지 약 3μF, 일부 실시형태에서 약 200nF 내지 약 2μF, 일부 실시형태에서 약 400nF 내지 약 1.5μF의 범위일 수 있다. 제2 커패시턴스는 제1 커패시턴스의 약 5% 내지 약 500%, 일부 실시형태에서는 약 10% 내지 약 300%, 일부 실시형태에서는 약 25% 내지 약 200%, 일부 실시형태에서는 약 50% 내지 약 150%의 범위일 수 있다.
- [0019] 일부 실시형태에서, 제3 복수의 전극 층은 일반적으로 십자형일 수 있고 한 쌍의 대향 접지 단자와 연결될 수 있다. 예를 들어, 제3 복수의 전극 층은 각각 한 쌍의 대향 에지를 포함할 수 있다. 대향 에지들 중 하나는 제1 접지 종단에 연결될 수 있고, 대향 에지들 중 다른 하나는 제2 접지 종단에 연결될 수 있다.
- [0020] 적층, 모놀리식 커패시터 디바이스는 모놀리식 본체 내에 형성된 임의의 추가 커패시터가 없을 수 있다. 예를 들어, 제1, 제2 및 제3 복수의 전극은 모놀리식 본체의 두께의 많은 부분을 통해 연장되는 전극 스택-업으로 배열될 수 있다. 예를 들어, 모놀리식 본체의 두께에 대한 전극 스택-업의 두께의 비는 약 0.5 내지 약 0.97, 일부 실시형태에서는 약 0.6 내지 약 0.95, 및 일부 실시형태에서는 약 0.7 내지 약 0.9의 범위일 수 있다.
- [0021] 일반적으로, 적층, 모놀리식 디바이스의 유전체 층은 당 업계에서 일반적으로 사용되는 임의의 재료로 제조될 수 있다. 예를 들어, 유전체 층은 티타네이트를 주 성분으로 하는 세라믹 재료로 제작될 수 있다. 티타네이트는 바륨 티타네이트(BaTiO<sub>3</sub>)를 포함할 수 있지만 이에 제한되지 않는다. 세라믹 재료는 또한 희토류 금속의 산화물 및/또는 Mn, V, Cr, Mo, Fe, Ni, Cu, Co 등과 같은 액티브 유형 원소의 화합물을 함유할 수 있다. 티타네이트는 또한 MgO, CaO, Mn<sub>3</sub>O<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, V<sub>2</sub>O<sub>5</sub>, ZnO, ZrO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, Cr<sub>2</sub>O<sub>3</sub>, Fe<sub>2</sub>O<sub>3</sub>, P<sub>2</sub>O<sub>5</sub>, SrO, Na<sub>2</sub>O, K<sub>2</sub>O, Li<sub>2</sub>O, SiO<sub>2</sub>, WO<sub>3</sub> 등을 함유할 수 있다. 세라믹 재료는 세라믹 분말 외에 다른 첨가제, 유기 용매, 가소제, 바인더, 분산제 등을 포함할 수도 있다.
- [0022] 일반적으로, 적층, 모놀리식 디바이스의 내부 전극은 당 업계에서 일반적으로 사용되는 임의의 재료로 제조될 수 있다. 예를 들어, 귀금속 재료를 주 성분으로 하는 도전성 페이스트를 소결하여 내부 전극을 형성할 수 있다. 이러한 재료는 팔라듐, 팔라듐-은 합금, 니켈 및 구리를 포함할 수 있지만 이에 국한되지 않는다. 예를 들

어, 일 실시형태에서, 전극은 니켈 또는 니켈 합금으로 만들어질 수 있다. 상기 합금은 Mn, Cr, Co, Al, W 등 중 하나 또는 그 이상을 포함할 수 있으며, 합금 내 Ni 함량은 95 중량% 이상인 것이 바람직하다. Ni 또는 Ni 합금은 P, C, Nb, Fe, Cl, B, Li, Na, K, F, S 등과 같은 다양한 미량 성분을 0.1 중량% 이하로 함유할 수 있다.

- [0023] 적층, 모놀리식 디바이스의 세라믹 본체는 당 업계에 일반적으로 공지된 임의의 방법을 사용하여 형성될 수 있다. 예를 들어, 세라믹 본체는 세라믹 시트와 패터닝된 내부 전극이 교대로 적층된 적층체를 형성하고, 적층체에서 바인더를 제거하고, 바인더가 제거된 적층체를 비산화성 분위기에서 1200℃ 내지 1300℃에서 소결하고, 및 산화성 분위기에서 소결 적층체를 재산화하여 형성될 수 있다.
- [0024] 일반적으로, 배리스터는 전기 서지를 접지로 전환하도록 구성될 수 있다. 예를 들어, 배리스터는 약 3 볼트 내지 약 150 볼트, 일부 실시형태에서 약 5 볼트 내지 약 100 볼트, 일부 실시형태에서 약 10 볼트 내지 약 50 볼트, 및 일부 실시형태에서 약 15 볼트 내지 약 30 볼트의 범위의 클램프 전압을 가질 수 있다.
- [0025] 배리스터는 외부 전극을 갖는 세라믹 본체를 포함할 수 있다. 세라믹 본체는 세라믹 층과 내부 전극이 교대로 적층된 적층체를 소결하여 제작된다. 이웃하는 내부 전극들의 각 쌍은 세라믹 층을 사이에 두고 서로 마주보고 있으며, 각각 서로 다른 외부 전극에 전기적으로 연결될 수 있다.
- [0026] 일반적으로, 유전체 층은 예를 들어 티탄산바륨, 산화아연, 또는 임의의 다른 적절한 유전 재료와 같은 임의의 적절한 유전 재료를 포함할 수 있다. 예를 들어, 유전 재료의 전압-중속 저항을 생성하거나 향상시키는 다양한 첨가제가 유전 재료에 포함될 수 있다. 예를 들어, 일부 실시형태에서, 첨가제는 코발트, 비스무트, 망간, 또는 이들의 조합의 산화물을 포함할 수 있다. 일부 실시형태에서, 첨가제는 갈륨, 알루미늄, 안티몬, 크롬, 붕소, 티타늄, 납, 바륨, 니켈, 바나듐, 주석, 또는 이들의 조합의 산화물을 포함할 수 있다. 유전 재료는 약 0.5 몰% 내지 약 3 몰%, 일부 실시형태에서는 약 1 몰% 내지 약 2 몰% 범위의 첨가제(들)로 도핑될 수 있다. 유전 재료의 평균 결정립 크기는 유전 재료의 비선형 특성에 기여할 수 있다. 일부 실시 형태에서, 평균 결정립 크기는 약 10 마이크로미터 내지 100 마이크로미터, 일부 실시 형태에서는 약 20 마이크로미터 내지 80 마이크로미터의 범위일 수 있다. 배리스터는 또한 두 개의 단자를 포함할 수 있으며, 각 전극은 각각의 단자와 연결될 수 있다. 전극은 전극의 길이를 따라 및/또는 전극과 단자 사이의 연결에서 저항을 제공할 수 있다.
- [0027] 일반적으로, 내부 전극은 당 업계에서 일반적으로 사용되는 임의의 재료로 제조될 수 있다. 예를 들어, 귀금속 재료를 주 성분으로 하는 도전성 페이스트를 소결하여 내부 전극을 형성할 수 있다. 이러한 재료는 팔라듐, 팔라듐-은 합금, 은, 니켈 및 구리를 포함할 수 있지만 이에 국한되지 않는다. 예를 들어, 일 실시형태에서, 전극은 니켈 또는 니켈 합금으로 만들어질 수 있다. 상기 합금은 Mn, Cr, Co, Al, W 등 중 하나 또는 그 이상을 포함할 수 있으며, 합금 내 Ni 함량은 95 중량% 이상인 것이 바람직하다. Ni 또는 Ni 합금은 P, C, Nb, Fe, Cl, B, Li, Na, K, F, S 등과 같은 다양한 미량 성분을 0.1 중량% 이하로 함유할 수 있다.
- [0028] 컴포넌트는 다양한 크기를 가질 수 있다. 예를 들어, 컴포넌트는 EIA 0504 내지 EIA 2920보다 작은 범위 또는 그보다 큰 케이스 크기를 가질 수 있다. 케이스 크기의 예는 0805, 1206, 1806, 2020 등을 포함한다.
- [0029] 이하에서 도면들을 참고하여 예시적인 실시형태를 설명한다. 도 1a는 일반적으로 현재 개시된 주제에 따른 저인덕턴스 컴포넌트(100)의 예시적인 실시형태의 외부 사시도이다. 도시된 바와 같이, 컴포넌트(100)는 육면체와 같은 본체(102)를 포함할 수 있다. 컴포넌트(100)는 제1 능동 종단(104), 제2 능동 종단(106), 제1 접지 종단(108), 및 제2 접지 종단(110)을 포함할 수 있다.
- [0030] 제1 능동 리드(112) 및 제2 능동 리드(114)는 각각 제1 능동 종단(104) 및 제2 능동 종단(106)에 연결될 수 있다. 제1 접지 리드(116) 및 제2 접지 리드(118)는 각각 제1 접지 종단(108) 및 제2 접지 종단(110)에 연결될 수 있다.
- [0031] 하나 또는 그 이상의 리드(112, 114, 116, 118)는 길이 및 최대 폭을 가질 수 있다. 적어도 하나의 리드의 최대 폭에 대한 길이의 비는 약 20보다 작을 수 있다. 예를 들어, 제1 능동 리드(112)는 Z 방향(122)으로 길이(120), X-방향(126)으로 최대 폭(124), Y-방향(128)으로 최소 폭(127)을 가질 수 있다. 최소 폭(127)에 대한 최대 폭(124)의 비는 약 2보다 클 수 있다. 제1 능동 리드(112)는 예를 들어 대략 직사각형 단면 형상을 가질 수 있고, 제1 능동 리드(112)는 일반적으로 평평하거나 리본 형상일 수 있다. 일부 실시형태에서, 하나 이상의 리드(112, 114, 116, 118)의 최대 폭에 대한 길이의 비는 약 20 미만일 수 있다. 일부 실시형태에서 각각의 리드는 이들 사이의 비가 약 20 미만인 길이와 폭을 가질 수 있다.
- [0032] 도 1b는 본 개시의 양상들에 따른 리드(132)의 다른 실시형태를 예시한다. 리드(132)는 일반적으로 원형 또는

타원형 단면 형상을 가질 수 있다. 리드(132)는 최대 폭(134) 및 최소 폭(136)을 가질 수 있다. 다른 실시형태에서, 리드는 복수의 세장형 직조 전도성 부재를 포함할 수 있다.

- [0033] 도 2는 현재 개시된 주제에 따른 컴포넌트(200)의 다른 실시형태의 외부 사시도이다. 컴포넌트(200)는, 예를 들어 도 1a를 참조하여 위에서 설명한 바와 같이, 육면체와 같은 본체(202), 제1 능동 종단(204), 제2 능동 종단(206), 제1 접지 종단(208), 및 제2 접지 종단(210)을 포함할 수 있는 적층, 모놀리식 디바이스(201)를 포함할 수 있다.
- [0034] 컴포넌트(200)는 제1 외부 배리스터 종단(242) 및 제2 외부 배리스터 종단(244)을 갖는 이산 배리스터(240)를 포함할 수 있다. 컴포넌트(200)는 적층, 모놀리식 커패시터 디바이스(201)의 제1 능동 종단(204) 및 제1 외부 배리스터 종단(242) 각각과 결합된 제1 능동 리드(246)를 포함할 수 있다. 컴포넌트(200)는 적층, 모놀리식 커패시터 디바이스(201)의 제2 능동 종단(206) 및 제2 외부 배리스터 종단(244) 각각과 결합된 제2 능동 리드(248)를 포함할 수 있다.
- [0035] 리드(246, 248, 250, 251) 중 하나 또는 그 이상은, 예를 들어 도 1a를 참조하여 기술한 바와 같이, 길이 및 최대 폭을 가질 수 있다. 하나 또는 그 이상의 리드(246, 248, 250, 251)의 최대 폭에 대한 길이의 비는 약 20보다 작을 수 있다. 예를 들어, 도 2를 참조하면, 제1 능동 리드(248)는 Z-방향(122)으로 길이(252)를, X-방향(126)의 최대 폭(254), 및 Y-방향(128)의 최소 폭(256)을 가질 수 있다. 최소 폭(256)에 대한 최대 폭(254)의 비는 약 2보다 클 수 있다. 제1 능동 리드(248)는 대략 직사각형 단면 형상을 가질 수 있다. 예를 들어, 제1 능동 리드(248)는 일반적으로 평평할 수 있다(예를 들어, 리본 형상). 일부 실시형태에서, 리드(246, 248, 250, 251) 각각은 리드(246, 248, 250, 251)의 각각의 최대 폭보다 적어도 20배 더 큰 각각의 길이를 가질 수 있다.
- [0036] 도 1a의 저 인덕턴스 컴포넌트(100) 및/또는 도 2의 적층, 모놀리식 커패시터 디바이스(201)는 예를 들어 본 명세서에 설명된 바와 같이 제1 단자와 제2 단자 사이에 직렬로 형성된 2개의 커패시터를 포함할 수 있다. 본 명세서에 기술된 모든 실시형태와 관련하여 당 업자에 의해 이해되는 바와 같이, 본 적층 구성의 협력 층들은 차례로 통합된 용량성 구조를 형성하는 전극 층을 포함한다.
- [0037] 도 3a는 제1 전극 층(320)을 도시한다. 제1 전극 층(320)은 도 1a의 컴포넌트(100)를 참조하여 설명될 것이다. 그러나, 도 2의 적층, 모놀리식 커패시터 디바이스(201)가 유사하게 구성될 수 있다는 것을 이해해야 한다. 제1 전극 층(320)은 도 1a의 컴포넌트(100)의 제1 및 제2 접지 종단(108, 110)에 각각 연결된 한 쌍의 대향 예지(324, 326)를 갖는 십자형 전극(322)을 포함할 수 있다. 도 3b는 제1 능동 종단(104)(도 1a)과 연결된 제1 전극(330) 및 제2 능동 종단(106)(도 1a)과 연결된 제2 전극(332)을 포함하는 제2 전극 층(328)을 도시한다. 도 3c는 교번하는 제1 및 제2 전극 층(320, 328)의 스택-업을 도시한다.
- [0038] 도 3d는 도 1a의 디바이스(100)의 개략도(300)를 예시한다. 디바이스(100)는 직렬 및 병렬 커패시터를 포함하기 위한 단일 디바이스 솔루션을 제공할 수 있다. 디바이스(100)는 제1 커패시터(338) 및 제2 커패시터(340)를 포함할 수 있다. 다시 도 3a 및 도 3b를 참조하면, 제1 커패시터(338)는 제1 중첩 영역(334)에서 십자형 전극(322)과 제1 전극(330) 사이에 형성될 수 있다. 제2 커패시터(356)는 제2 중첩 영역(336)에서 십자형 전극(322)과 제2 전극(332) 사이에 형성될 수 있다. 제1 커패시터와 제2 커패시터가 대략적으로 동일한 커패시턴스를 나타내도록, 제1 중첩 영역(334)은 대략적으로 제2 중첩 영역(336)과 동일할 수 있다. 그러나, 다른 실시형태에서, 제1 중첩 영역(334)은 제2 중첩 영역(336)보다 크거나 작을 수 있어 제1 커패시턴스가 제2 커패시턴스보다 크거나 작을 수 있다. 제1 커패시턴스 및 제2 커패시턴스 중 하나 또는 둘 모두는 약 10nF 내지 약 3 $\mu$ F의 범위일 수 있다.
- [0039] 제1 능동 리드(112)는 (예를 들어, 도 1에 도시된 제1 능동 종단(104)을 통해) 제1 커패시터(338)에 연결될 수 있다. 제2 능동 리드(114)는 (예를 들어, 도 1에 도시된 제2 능동 종단(106)을 통해) 제2 커패시터(340)에 연결될 수 있다. 제1 및 제2 접지 리드(116, 118)는 분할 피드스루 구성으로 제1 및 제2 커패시터(338, 340) 사이의 위치에 연결될 수 있다. 예를 들어, 제1 및 제2 접지 리드(116, 118)는 각각 접지 종단(180, 110)과 연결될 수 있다(도 1a).
- [0040] 도 3e는 도 2의 디바이스(200)의 개략도(350)를 예시한다. 배리스터(352)는 능동 리드들(112, 114) 사이에 전기적으로 연결될 수 있다.
- [0041] 도 4a 및 도 4b는 본 개시내용의 양태에 따른 적층 커패시터의 다른 실시형태의 전극 구성을 예시한다. 도 4a를 참조하면, 제1 전극 층(420)은 제1 및 제2 접지 종단(108, 110)(도 1a)에 각각 연결될 수 있는 한 쌍의 대향 예지(424, 426)를 갖는 십자형 전극(222)을 포함할 수 있다. 도 4b는 제1 능동 종단(104)과 연결된 제1 전극(430)

및 제2 능동 종단(106)과 연결된 제2 전극(432)을 포함하는 제2 전극 층(428)을 도시한다. 도 4c는 교번하는 제1 및 제2 전극 층(420, 428)의 스택-업을 도시한다. 다시 도 4a를 참조하면, 십자형 전극(422)은 제1 중첩 영역(434)을 따라 제1 전극(430)과 중첩하여 제1 커패시터(438)를 형성할 수 있고, 제2 중첩 영역(436)을 따라 제2 전극(432)과 중첩하여 제2 커패시터(440)를 형성할 수 있다.

- [0042] 도 5a 및 도 5b는 도 3a 내지 도 4c를 참조하여 전술한 전극 구성에 대한 추가 커패시터를 포함하는 각각의 추가 전극 구성을 예시한다. 도 5a 및 5b의 전극 구성은 도 1a의 컴포넌트(100)를 참조하여 설명될 것이다. 그러나, 도 2의 적층, 모놀리식 커패시터 디바이스(201)가 유사하게 구성될 수 있다는 것을 이해해야 한다. 도 5a를 참조하면, 제1 전극 구성(500)은 제1 영역(501) 및 제2 영역(508)을 포함할 수 있다. 제1 영역은 예를 들어 도 3a 내지 3c를 참조하여 위에서 설명된 바와 같이, 십자형 전극(502), 제1 전극(504), 및 제2 전극(506)을 포함할 수 있다.
- [0043] 제2 영역(508)은 복수의 제4 전극(512)이 인터리빙된 복수의 제3 전극(510)에 의해 형성된 제3 커패시터를 포함할 수 있다. 제3 전극(510)은 제1 능동 종단(104)(도 1a)에 연결될 수 있고, 제4 전극(512)은 제2 능동 종단(106)(도 1a)과 연결될 수 있다.
- [0044] 도 5b는 제1 영역(552), 제2 영역(554), 및 제3 영역(556)을 포함하는 제2 전극 구성(550)을 예시한다. 제1 영역(552)은 예를 들어 도 3a 내지 도 3c를 참조하여 전술한 바와 같이, 하나 또는 그 이상의 십자형 전극(558), 하나 또는 그 이상의 제1 전극(560), 및 하나 또는 그 이상의 제2 전극(562)을 포함하는 전극 스택-업을 포함할 수 있다.
- [0045] 제2 영역(554)은 복수의 제4 전극(566)이 인터리빙된 복수의 제3 전극(564)을 포함할 수 있다. 제3 전극(564)은 제1 능동 종단(104)(도 1a)에 연결될 수 있고, 제4 전극(566)은 제2 능동 종단(106)(도 1a)과 연결될 수 있다.
- [0046] 제3 영역(556)은 예를 들어 도 3a 내지 도 3c를 참조하여 전술한 바와 같이, 십자형 전극(568), 제1 전극(570), 및 제2 전극(572)을 포함하는 전극 스택-업을 포함할 수 있다.
- [0047] 도 6a는 도 5a의 디바이스(500)의 개략도(600)를 예시한다. 보다 구체적으로, 디바이스(500)는 능동 리드(602, 603)를 포함할 수 있다. 제1 커패시터(604) 및 제2 커패시터(606)는 예를 들어 도 5a와 관련하여 위에서 설명된 바와 같이 제1 영역(607)에 형성될 수 있다. 접지 리드(610)는 제1 및 제2 커패시터(604, 606) 사이의 위치에 연결될 수 있다(예를 들어, 도 5a를 참조하여 위에서 설명된 십자형 전극(502)과 연결됨). 제3 커패시터(608)는 예를 들어 도 5a와 관련하여 전술한 바와 같이 제2 영역(609)에서 능동 리드(602, 603) 사이에 그리고 제1 및 제2 커패시터(604, 606)와 병렬로 전기적으로 연결될 수 있다.
- [0048] 도 6b는 도 5b의 디바이스(550)의 개략도(650)를 예시한다. 디바이스(550)는 일반적으로 도 5a의 디바이스(500)와 유사하게 구성될 수 있다. 또한, 배리스터(660)가 활성 리드(648, 652) 사이에 그리고 커패시터(654, 656, 658)와 병렬로 연결될 수 있다.
- [0049] 도 7은 저 인덕턴스 컴포넌트를 형성하기 위한 방법(700)의 흐름도이다. 일반적으로, 본 명세서에서 방법(700)은 도 1a 및 도 2의 컴포넌트(100, 200)를 참조하여 설명될 것이다. 그러나, 개시된 방법(700)은 임의의 적절한 컴포넌트로 구현될 수 있음을 이해해야 한다. 또한, 도 7은 예시 및 논의를 위해 특정 순서로 수행되는 단계를 도시하지만, 여기서 논의된 방법은 임의의 특정 순서 또는 배열에 제한되지 않는다. 본 명세서에 제공된 개시내용을 사용하여, 당 업자는 본 개시내용의 범위를 벗어나지 않고 다양한 방식으로 본 명세서에 개시된 방법의 다양한 단계가 생략, 재배열, 조합 및/또는 적용될 수 있음을 이해할 것이다.
- [0050] 방법(700)은, 단계 702에서, 예를 들어 도 1a 내지 도 6b를 참조하여 위에서 설명된 바와 같이, 한 쌍의 커패시터를 형성하는 전극을 포함하는 적층 커패시터 본체를 제공하는 단계를 포함할 수 있다.
- [0051] 방법(700)은, 단계 704에서, 예를 들어 도 1a 내지 도 6b를 참조하여 전술한 바와 같이, 커패시터 쌍이 제1 능동 종단과 제2 능동 종단 사이에 직렬로 연결되도록, 제1 능동 종단, 제2 능동 종단, 및 적층 커패시터 본체 외부의 적어도 하나의 접지 종단을 형성하는 단계를 포함할 수 있다.
- [0052] 방법(700)은 단계 706에서, 적어도 하나의 리드를 제1 능동 종단, 제2 능동 종단, 또는 적어도 하나의 접지 종단 중 적어도 하나와 연결하는 단계를 포함할 수 있다. 리드(들)는 각각 길이와 최대 폭을 가질 수 있다. 적어도 하나의 리드(둘 이상의 리드가 존재하는 경우)의 각각의 폭에 대한 길이의 비율은 약 20 미만일 수 있다.
- [0053] 개시된 구성을 달성하기 위한 개별 단계는 단지 그 대표적인 것으로 의도되며, 달리 표시된 개시 내용의 일반적인 특성을 넘어서는 다른 측면의 필수 사용을 나타내지 않는다는 것을 이해해야 한다. 예를 들어, 당 업자는 선

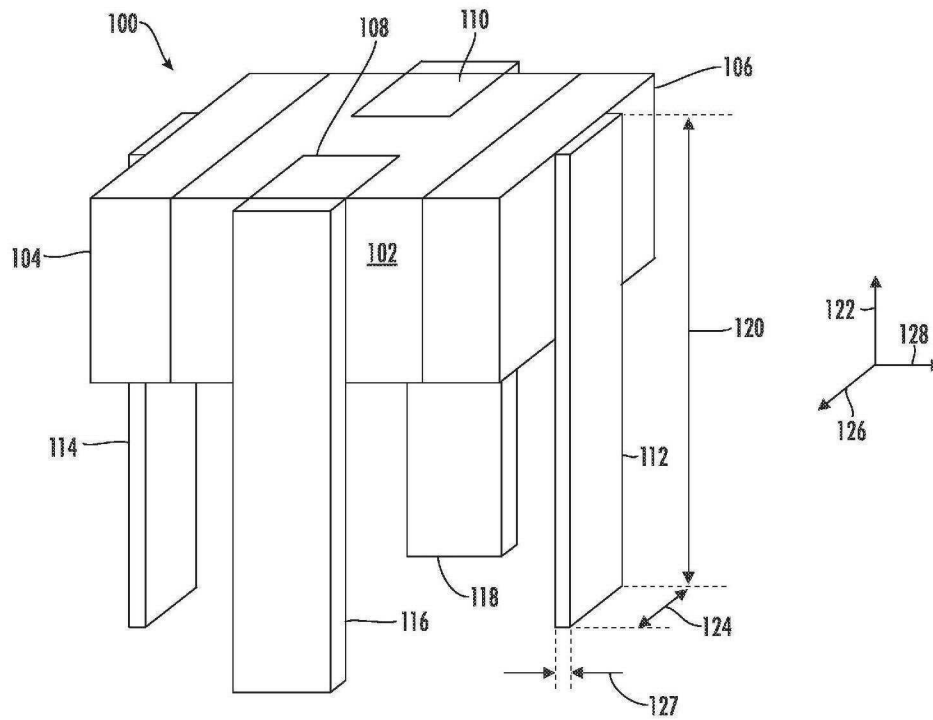
택된 단계가 현재 게시된 주제의 주어진 애플리케이션을 위해 선택된 특정 디자인을 생성하기 위해 실행될 수 있음을 인식할 것이다.

[0054]

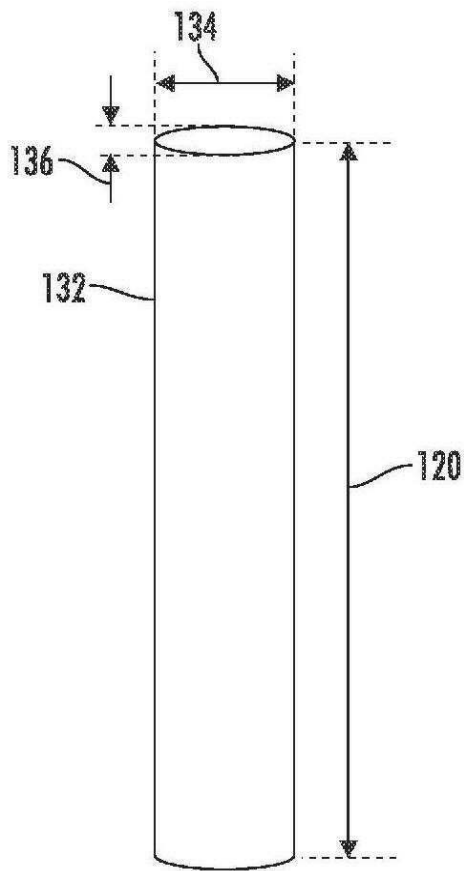
이러한 현재 게시된 주제가 그의 특정 실시형태와 관련하여 상세하게 설명되었지만, 당 업자는 전술한 내용을 이해하면 그러한 실시형태에 대한 변경, 변형 및 등가물을 용이하게 생성할 수 있음을 이해할 것이다. 따라서, 본 개시내용의 범위는 제한이 아니라 예시에 의한 것이며, 당해 분야의 통상의 기술을 가진 자에게 자명한 바와 같이, 본 개시내용은 누구나 쉽게 자명할 수 있는 현재 게시된 주제에 대한 그러한 수정, 변형 및/또는 추가의 포함을 배제하지 않는다.

**도면**

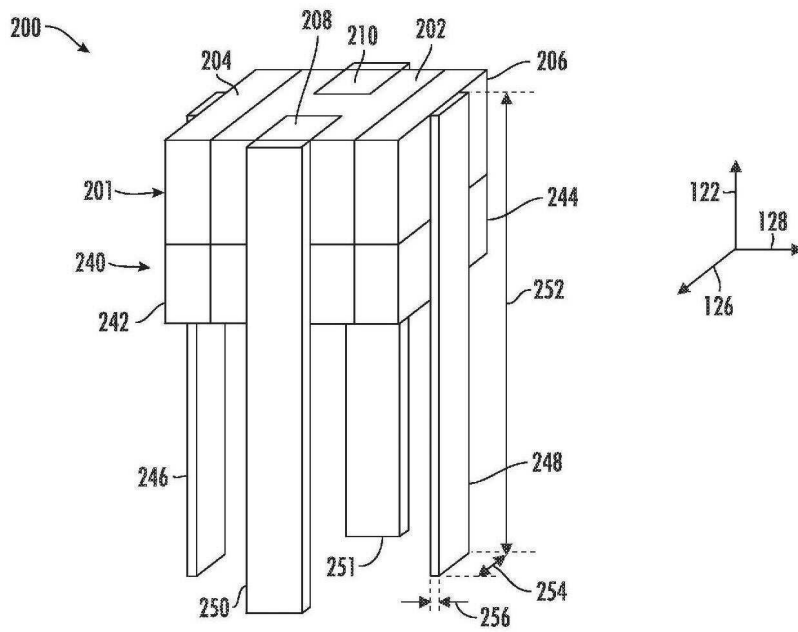
**도면1a**



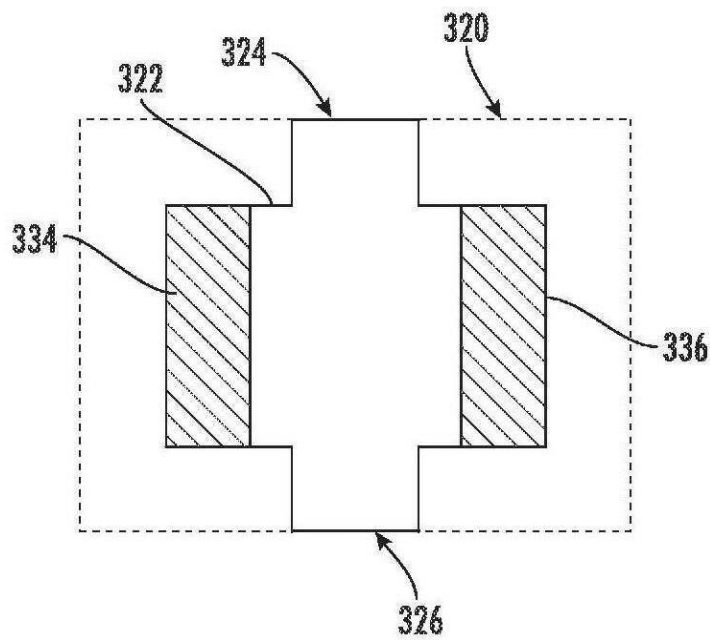
도면1b



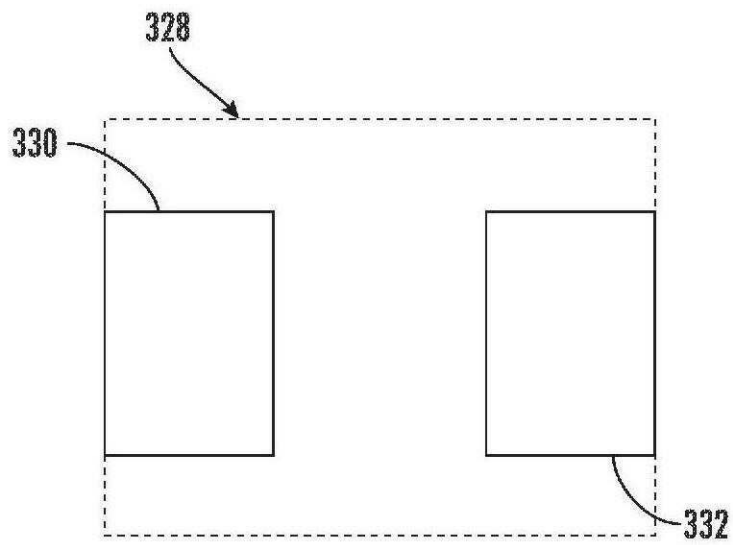
도면2



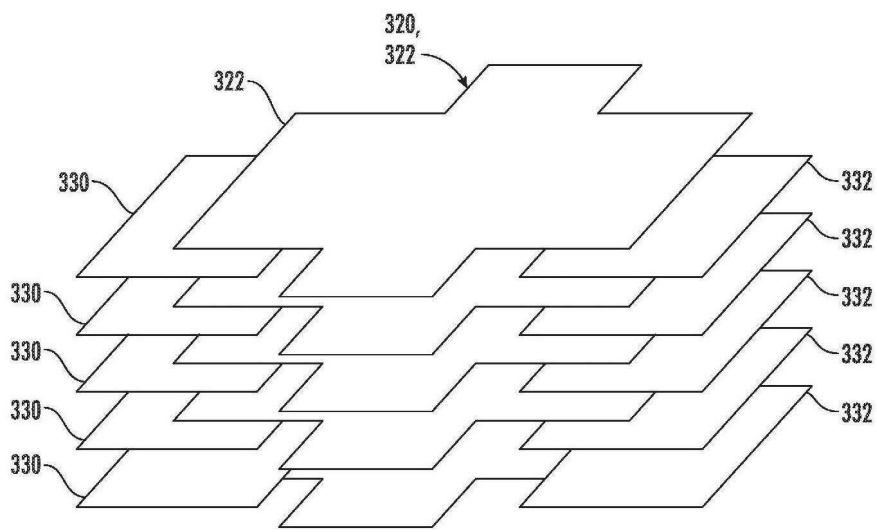
도면3a



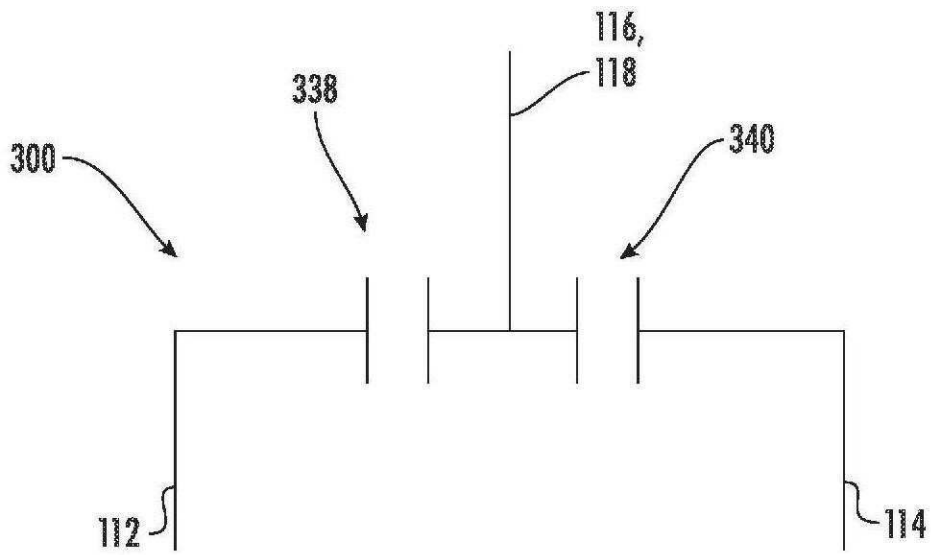
도면3b



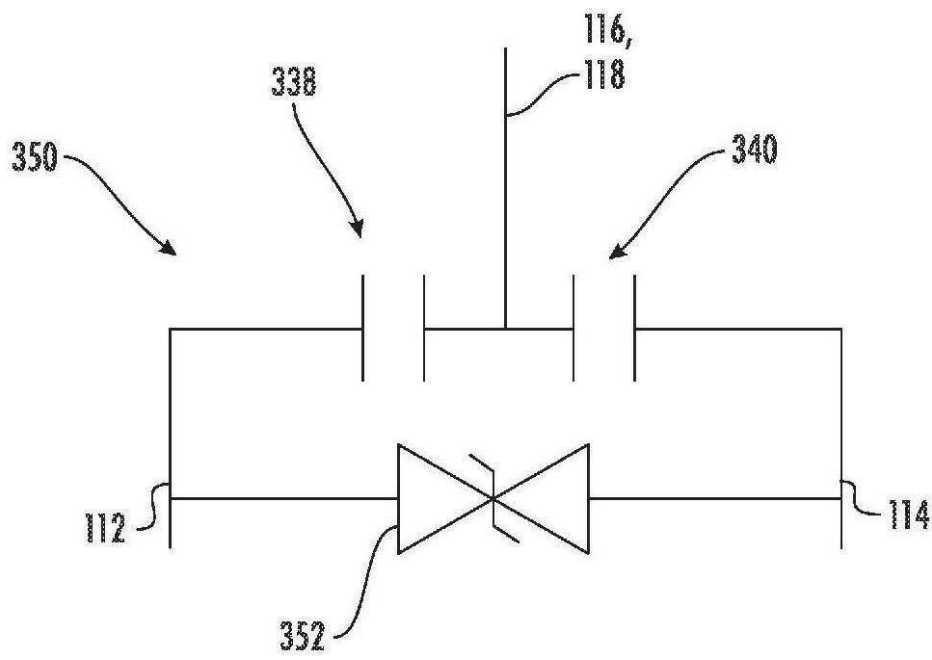
도면3c



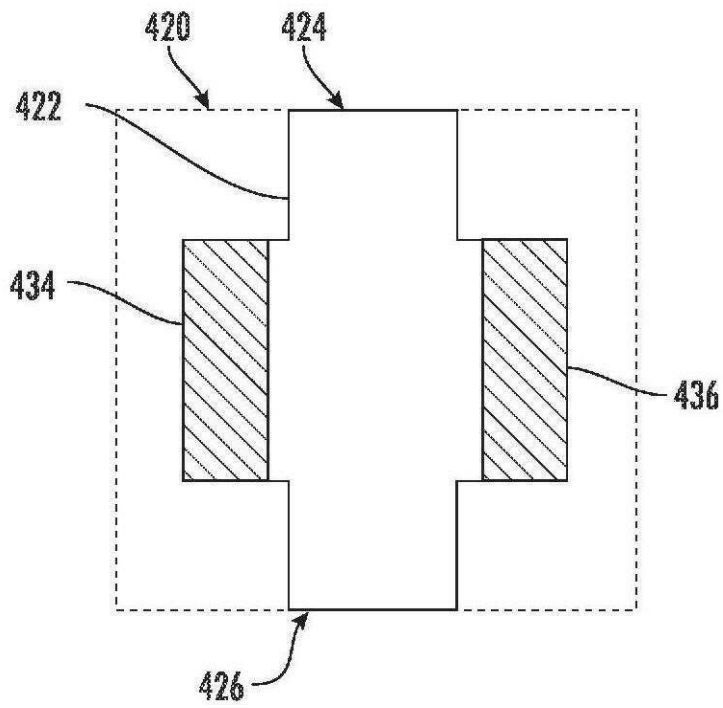
도면3d



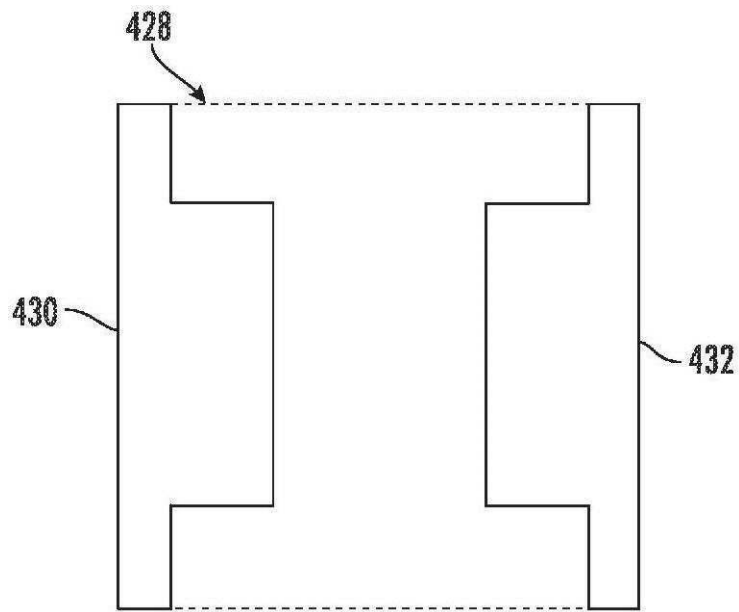
도면3e



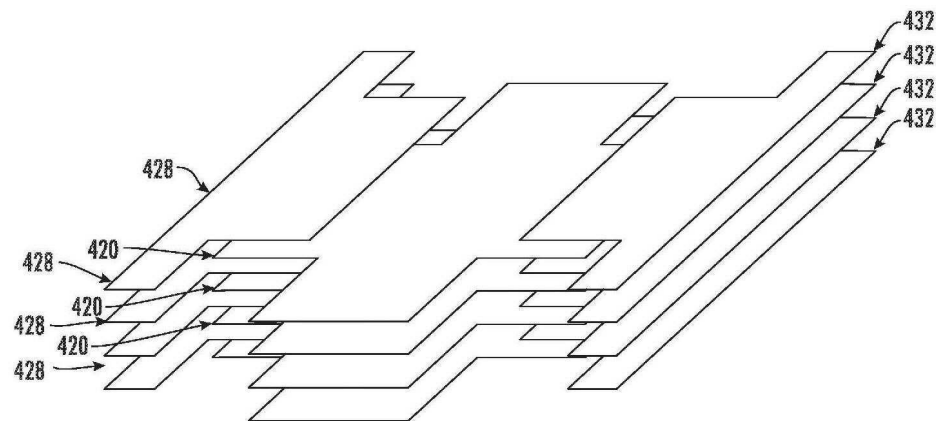
도면4a



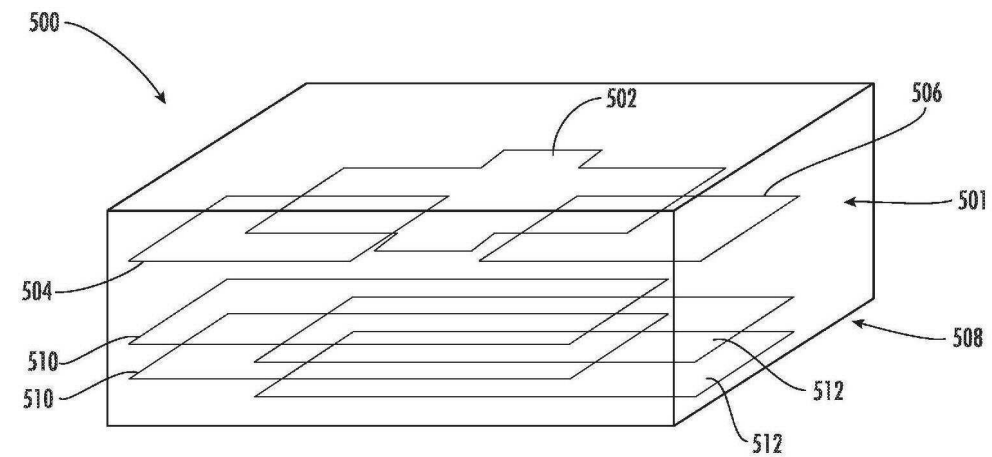
도면4b



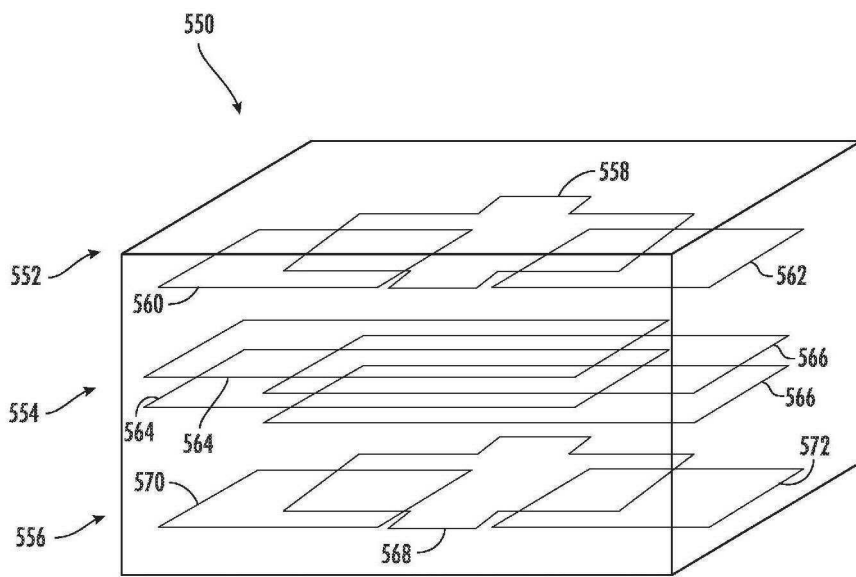
도면4c



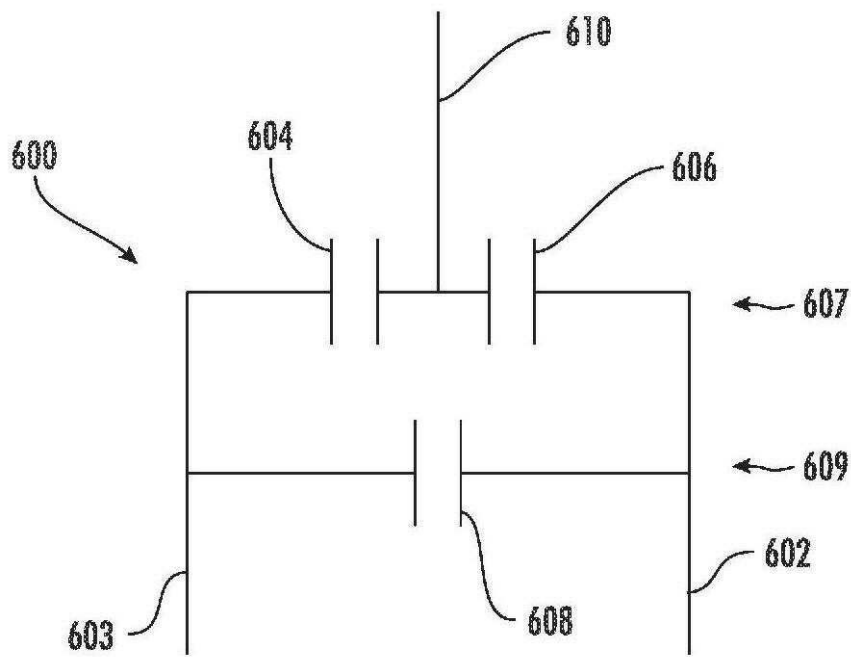
도면5a



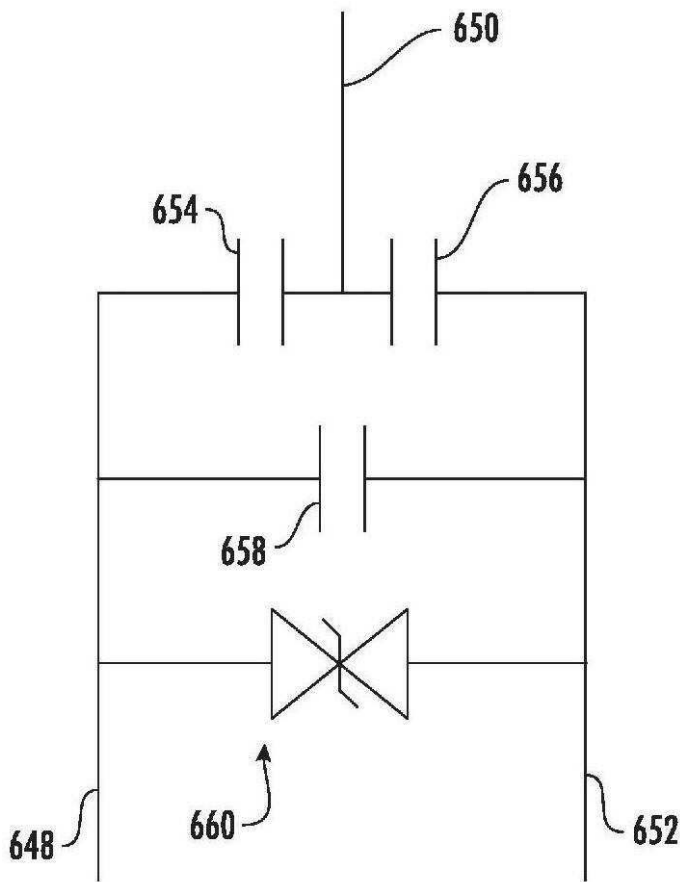
도면5b



도면6a



도면6b



도면7

700 →

