



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

231 127

K AUTORSKÉMU OSVĚDČENÍ

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 16 12 82
(21) PV 9254-82

(51) Int. Cl.³

H 03 K 23/00

(40) Zveřejněno 15 02 84
(45) Vydáno 01 06 86

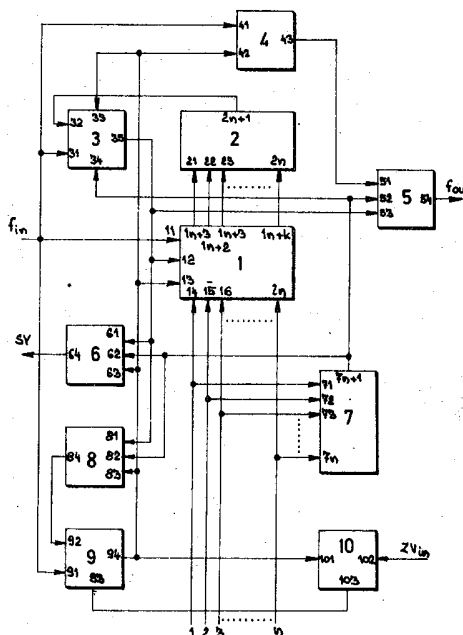
(75)
Autor vynálezu

NĚMEC ALEXEJ ing., PRAHA

(54)

Zapojení programovatelného předděliče kmitočtu
typu $n; (n + 1)/1$

Zapojení programovatelného předděliče kmitočtu typu $n; (n + 1)/1$, který sestává z programovatelného děliče, koicidenčního obvodu, prvního pomocného klopného obvodu, blokovacího obvodu, prvního elektronického přepínače, detektora čísla, třetího elektronického přepínače, druhého pomocného klopného obvodu a z hradla.



Vynález se týká zapojení programovatelného předděliče kmitočtu typu $n; (n+1)/1$.

V současné době je na principu děliče kmitočtu s vícenásobnou zpětnou vazbou vyráběn obvod HEF 4751 - univerzální dělič kmitočtu, jehož funkce je podrobně popsána v práci Gileseho "Versatile LSI Frequency Synthesiser System" Electronic Components and Application č.2, 1980. Není však popsáno detailní řešení programovatelného předděliče typu $n; (n+1)/1$, to je jeho jednotlivé součásti, ze kterých se skládá. Detailní řešení předděliče není popsáno ani v katalogových listech

"Frequency Synthesiser Integrated Circuits LN 123 -
- Frequency Synthesiser, LN 124 - Universal Divider" leden 1980,
ani v technických informacích "Use of LN 123 and LN 124
LOC MOS LSI Devices In Frequency Synthesiser Systems" 1979,
a ani v katalogu "Digital
Integrated Circuits LOC MOS HE 4000 B Family" říjen 1980 (LN 123
a LN 124 jsou vývojová značení obvodů HEF 4750 a HEF 4751). Proto
nelze jednoznačně formulovat výhody a nevýhody programovatelného
předděliče podle vynálezu.

Zapojení programovatelného předděliče kmitočtu typu $n; (n+1)/1$ podle vynálezu sestává z programovatelného děliče, koincidenčního obvodu, prvního pomocného klopného obvodu, blokovacího obvodu, prvního elektronického přepínače, druhého elektronického přepínače, detektoru čísla, třetího elektronického přepínače, druhého pomocného klopného obvodu a z hradla, přičemž vstup f_{in} programovatelného předděliče kmitočtu je připojen současně na první vstup blokovacího obvodu, první vstup prvního pomocného klopného obvodu, první vstup druhého pomocného klopného obvodu a na první

vstup programovatelného děliče, jehož druhý vstup je připojen současně k výstupu prvního pomocného klopného obvodu, k třetímu vstupu prvního elektronického přepínače, prvnímu vstupu druhého elektronického přepínače a k prvnímu vstupu třetího elektronického přepínače, přičemž třetí vstup programovatelného děliče je současně připojen k druhému vstupu blokovacího obvodu, třetímu vstupu prvního pomocného klopného obvodu, třetímu vstupu druhého elektronického přepínače, třetímu vstupu třetího elektronického přepínače, prvnímu vstupu hradla a k výstupu druhého pomocného klopného obvodu, jehož druhý vstup je připojen na výstup třetího elektronického přepínače, který má druhý vstup připojen na druhý vstup druhého elektronického přepínače, druhý vstup prvního elektronického přepínače, čtvrtý vstup prvního pomocného klopného obvodu a na výstup detektoru čísla, jehož první vstup, druhý vstup, třetí vstup, až n -tý vstup je současně připojen na první datový vstup, na druhý datový vstup, na třetí datový vstup, až na n -tý datový vstup a na čtvrtý vstup, pátý vstup, na šestý vstup, až na n -tý vstup programovatelného děliče, jehož první výstup, druhý výstup, třetí výstup, až s -tý výstup je připojen na první vstup, druhý vstup, třetí vstup až na n -tý vstup koincidenčního obvodu, jehož výstup je připojen na druhý vstup prvního pomocného klopného obvodu, přičemž výstup blokovacího obvodu je připojen na první vstup prvního elektronického přepínače, jehož výstup je připojen na výstup f_{ou} programovatelného předděliče kmitočtu, přičemž jeho synchronizační výstup SY je připojen na výstup druhého elektronického přepínače a jeho zpětnovazební vstup ZV_{in} je připojen na druhý vstup hradla, jehož výstup je připojen na třetí vstup druhého pomocného klopného obvodu.

Zapojení programovatelného předděliče kmitočtu typu n ; $(n+1)/1$ podle vynálezu je na obr. 3. Toto zapojení programovatelného předděliče kmitočtu typu n ; $(n+1)/1$ sestává z programovatelného děliče 1, koincidenčního obvodu 2, prvního pomocného klopného obvodu 3, blokovacího obvodu 4, prvního elektronického přepínače 5, druhého elektronického přepínače 6, detektoru čísla 7, třetího elektronického přepínače 8, z druhého pomocného klopného obvodu 9 a z hradla 10, přičemž vstup f_{in} programovatelného předděliče kmi-

točtu 1 je připojen současně na první vstup 41 blokovacího obvodu 4, na první vstup 31 prvního pomocného klopného obvodu 3, na první vstup 91 druhého pomocného obvodu 9 a na první vstup 11 programovatelného děliče 1, jehož druhý vstup 12 je připojen současně k výstupu 35 prvního klopného obvodu 3, ke třetímu vstupu 53 prvního elektronického přepínače 5, k prvnímu vstupu 61 druhého elektronického přepínače 6 a k prvnímu vstupu 81 třetího elektronického přepínače 8, přičemž třetí vstup 13 programovatelného děliče 1 je současně připojen k druhému vstupu 42 blokovacího obvodu 4, k třetímu vstupu 33 prvního pomocného klopného obvodu 3, k třetímu vstupu 63 druhého elektronického přepínače 6, k třetímu vstupu 83 třetího elektronického přepínače 8, k prvnímu vstupu 101 hradla 10 a k výstupu 94 druhého pomocného klopného obvodu 9, jehož druhý vstup 92 je připojen na výstup 84 třetího elektronického přepínače 8, který má druhý vstup 82 připojen současně na druhý vstup 62 druhého elektronického přepínače 6, na druhý vstup 52 prvního elektronického přepínače 5, na čtvrtý vstup 34 prvního pomocného klopného obvodu 3 a na výstup 7n+1 detektoru čísla 7, jehož první vstup 71, druhý vstup 72, třetí vstup 73 až n-tý vstup 7n je současně připojen na první datový vstup 1, na druhý datový vstup 2, na třetí datový vstup 3 až n-tý datový vstup n a na čtvrtý vstup 14, na pátý vstup 15, na šestý vstup 16, až na n-tý vstup 1n programovatelného děliče 1, jehož první výstup 1n+k je připojen na první vstup 21, na druhý vstup 22, na třetí vstup 23, až na n-tý vstup 2n koincidenčního obvodu 2, jehož výstup 2n+1 je připojen na druhý vstup 32 prvního pomocného klopného obvodu 3, přičemž výstup 43 blokovacího obvodu 4 je připojen na první vstup 51 prvního elektronického přepínače 5, jehož výstup 54 je připojen na výstup f_{ou} programovatelného předděliče, přičemž jeho synchronizační výstup SY je připojen na výstup 64 druhého elektronického přepínače 6, a jeho zpětnovazební vstup ZV_{in} je připojen na druhý vstup 102 hradla 10, jehož výstup 103 je připojen na třetí vstup 93 druhého pomocného klopného obvodu 9.

Zapojení programovatelného předděliče typu $n; (n+1)/1$ podle vynálezu je nové, dosud nevznikl požadavek na řešení takového předděliče v oblasti řízených děličů kmitočtu. Z dostupných mate-

riálů nebylo možné porovnat výhody předděliče podle vynálezu s předděličem, který je použit v obvodu HEF 4751 výrobcem Philips. Řešení předděliče kmitočtu podle vynálezu (obr. 3) respektuje všechny požadavky vyplývající z použití předděliče v systému univerzálního programovatelného předděliče kmitočtu s vícenásobnou zpětnou vazbou (především maximální mezní kmitočet a možnost nastavení $n=1$).

Funkce programovatelného předděliče kmitočtu typu n ; $(n+1)/1$ bude dále vysvětlena v zapojení programovatelného předděliče podle obr. 1, kde je detailní logická struktura jednotlivých bloků ze zapojení podle obr. 3. Pro snazší vysvětlení funkce předděliče kmitočtu podle obr. 1 jsou na obr. 2a, b, c přiloženy časové diagramy signálů v některých důležitých bodech předděliče kmitočtu. Funkci předděliče kmitočtu podle obr. 1 může se z hlediska nastavení n rozdělit do tří etap: $n = 1$, $n = 2$ a $n > 2$ (max 15).

a) Nastavení $n = 1$ detekuje detektor čísla 7 nastavením výstupní logické úrovně "H". Ta zajišťuje trvalé nastavení prvního pomocného klopného obvodu 3 do stavu $Q_3 = H$, přepnutí prvního elektronického přepínače 5, tak, aby byl umožněn průchod vstupního signálu f_{in} na výstup f_{ou} přes blokovací obvod 4 a současně přepíná druhý elektronický přepínač 6 tak, aby byl průchodný pro signál z výstupu Q_9 druhého klopného obvodu 2. Na obr. 2a jsou idealizované časové průběhy signálů v důležitých bodech programovatelného předděliče podle obr. 1 při nastavení $n = 1$. Z obr. 2a je vidět, že předdělič kmitočtu má při logické úrovni "L" na vstupu ZV_{in} dělicí poměr 1. Při logické úrovni "H" má předdělič kmitočtu dělicí poměr 2.

b) Nastavení $n = 2$ detekuje detektor čísla 7 nastavením výstupní logické úrovně "L". Ta zajišťuje trvalé přepnutí prvního elektronického přepínače 5 tak, že signál Q_3 prvního pomocného klopného obvodu 3 je připojen na výstup f_{ou} , pomocný klopný obvod není nastavován, a přepnutí druhého elektronického přepínače 6 tak, aby byl umožněn průchod signálu z výstupu Q_3 prvního pomocného klopného obvodu 3 na synchronizační výstup SY. Na obr. 2b jsou

idealizované časové průběhy signálů v některých bodech programovatelného předděliče podle obr. 1 při nastavení $n=1$. Z obr. 2b je vidět, že předdělič má při logické úrovni "L" na vstupu ZV_{in} dělicí poměr 2. Se změnou logické úrovně na "H" se změní dělicí poměr/předděliče na 3.

c) Při nastavení $2 < n < 15$ je funkce obvodu podle obr. 1 stejná jako podle b) ($n = 2$). Do funkce se navíc automaticky zařazuje programovatelný dělič kmity 1 (16/1 čítá dolů), který zajišťuje požadovanou kapacitu čítače odpovídající nastavenému číslu n z intervalu celých čísel 3 až 15. Na obr. 2c jsou idealizované časové průběhy signálů v některých bodech programovatelného předděliče kmity podle obr. 1 při nastavení $n = 3$. Z obr. 2c je vidět, že předdělič má při logické úrovni "L" na vstupu ZV_{in} dělicí poměr 3. Změna logické úrovně z "L" na "H" vyvolá změnu dělicího poměru ze 3 na 4.

Často není požadováno nastavení n v celém rozsahu celých čísel 1 až 15. V těchto případech lze zapojení podle obr. 1 a 3 zjednodušit. Při požadavku na nastavení pouze $n = 1$ lze vypustit první pomocný klopný obvod 3, koincidenční obvod 2, programovatelný dělič kmity 1, první, druhý a třetí elektronické přepínače 5, 6 a 8 a detektor čísla 7. Požadavek na nastavení pouze $n = 2$ umožňuje vypustit blokovací obvod 4, koincidenční obvod 2, programovatelný dělič kmity 1, elektronické první, druhý a třetí přepínače 5, 6, 8 a detektor čísla 7. Musí-li být n nastavováno v rozsahu celých čísel 3 až 15, pak lze vypustit v obr. 3 blokovací obvod 4, elektronické první, druhý a třetí přepínače 5, 6 a 8 a detektor čísla 7. Z hlediska univerzálnosti, například pro monolitický obvod, je nejvhodnější zapojení podle obr. 1 nebo obr. 3.

Zapojení programovatelného předděliče kmity typu n ; $(n+1)/1$ v součinnosti se zapojením základního modulu programovatelného děliče kmity podle AO 231126 a se zapojením programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmity podle AO 231128 ze sestavit univerzální programovatelný dělič kmity s vícenásobnou zpětnou vazbou.

Toto zapojení programovatelného univerzálního děliče kmitočtu umožňuje předřazení několika programovatelných předděličů typu 10; (11)/1 (data v BCD kódu) nebo typu 16 (17)/1 (data v binárním kódu). Typ programovatelného předděliče je přitom nezávislý na rozdělení digitu s nejnižší váhou, čemuž odpovídá určitý kmitočtový rastr výstupního signálu syntezátoru. To umožňuje velmi jednoduché programování nejnižšího digitu bez zásahu do programování vyšších digitů. Proto lze systém děliče kmitočtu s vícenásobnou zpětnou vazbou považovat za nejmodernější a současně i za nejuniverzálnější v celosvětovém měřítku.

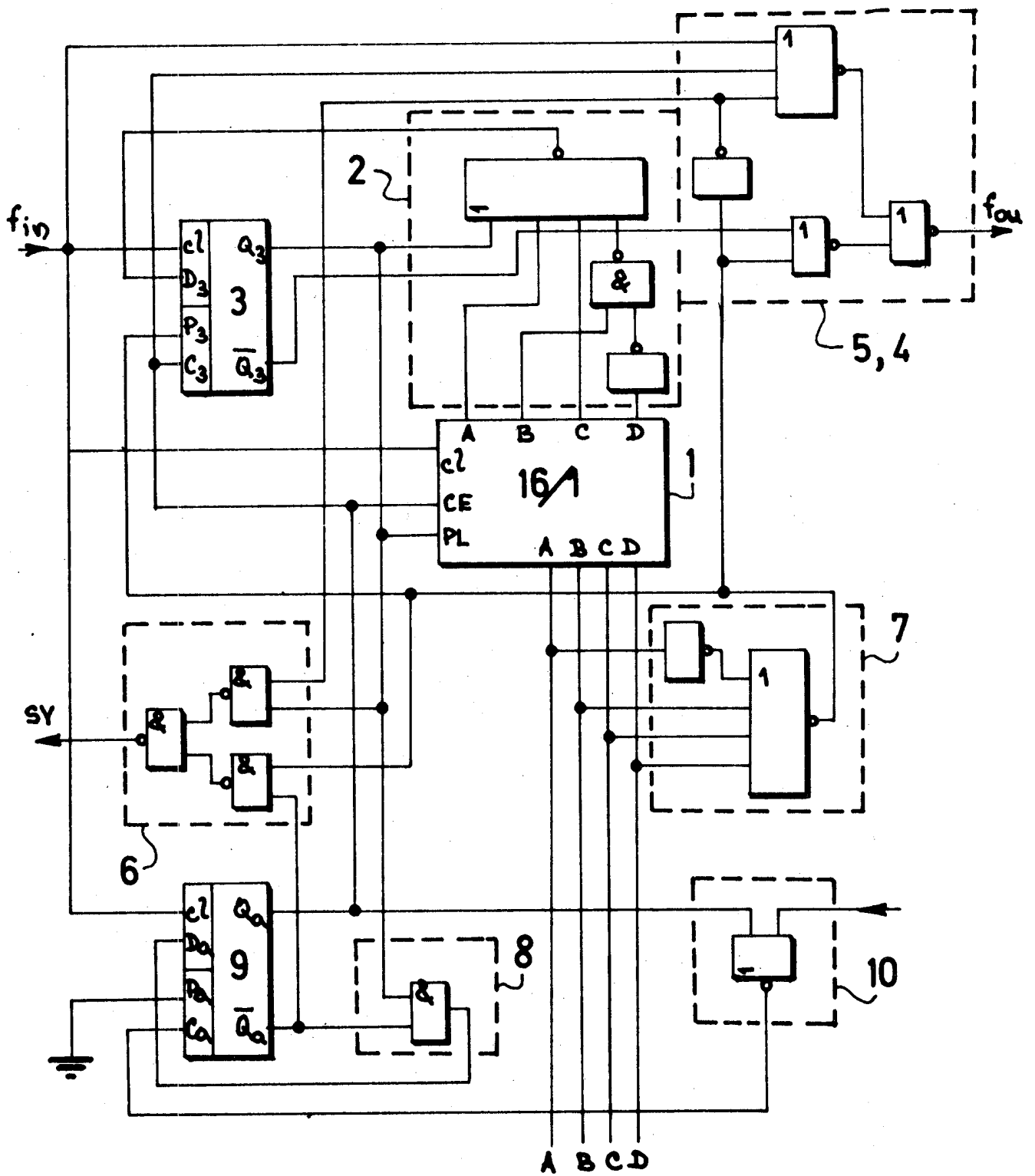
PŘEDMĚT VYNÁLEZU

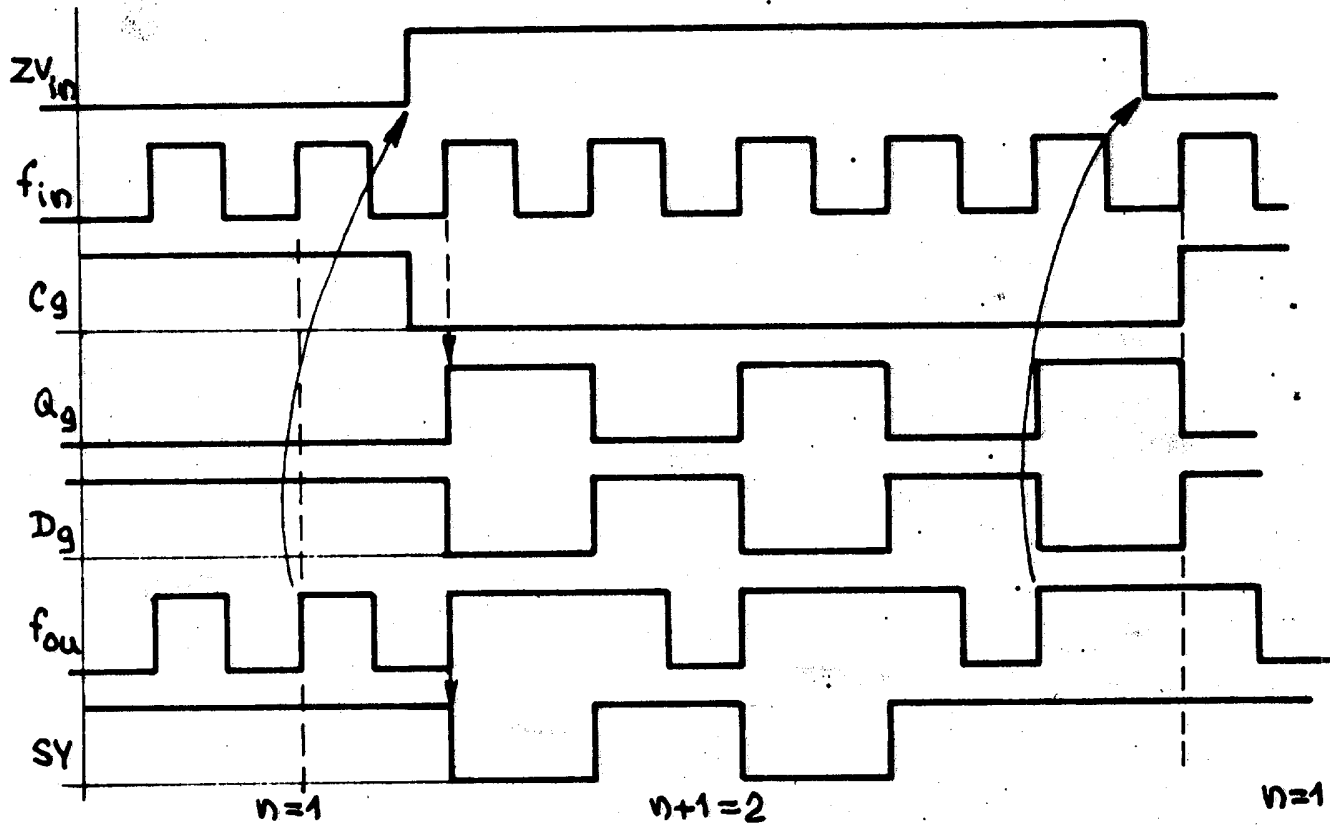
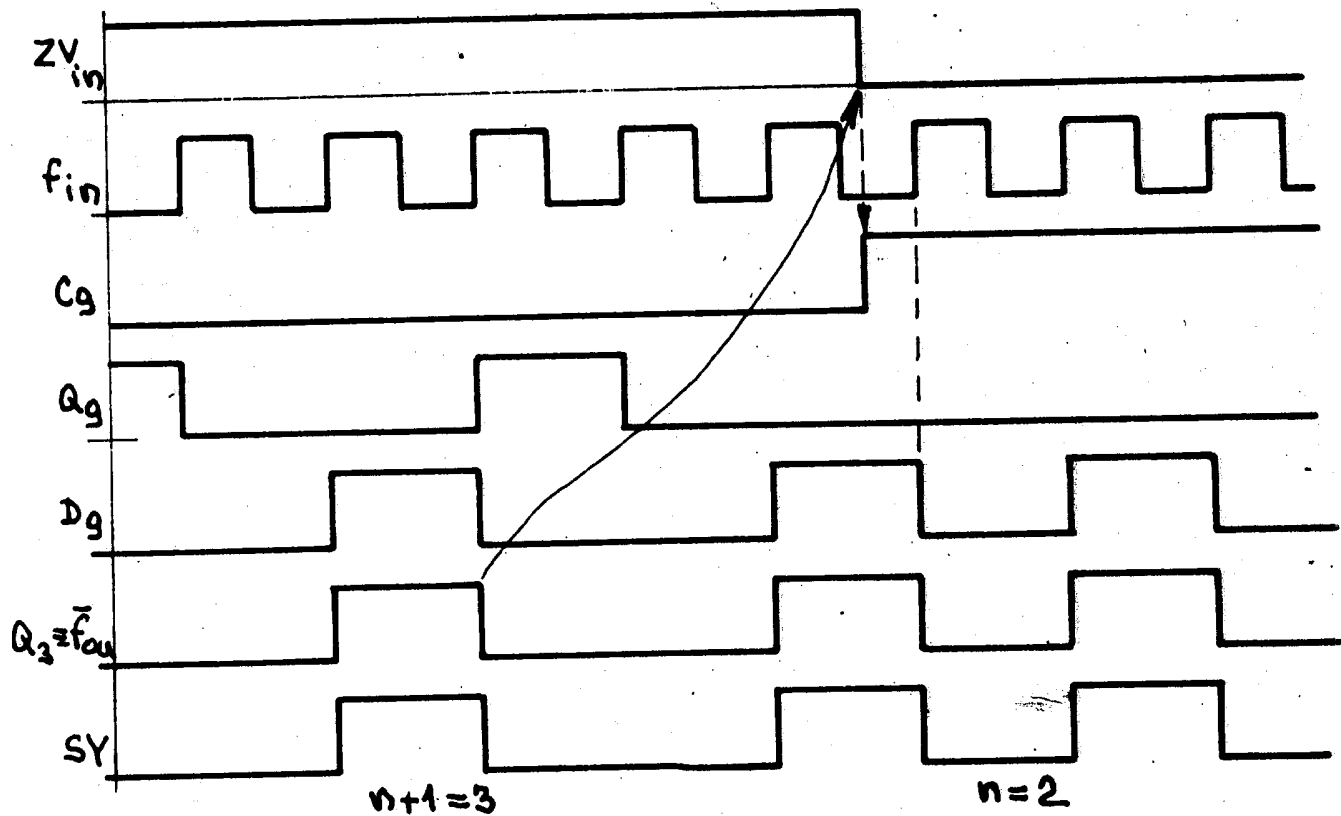
231 127

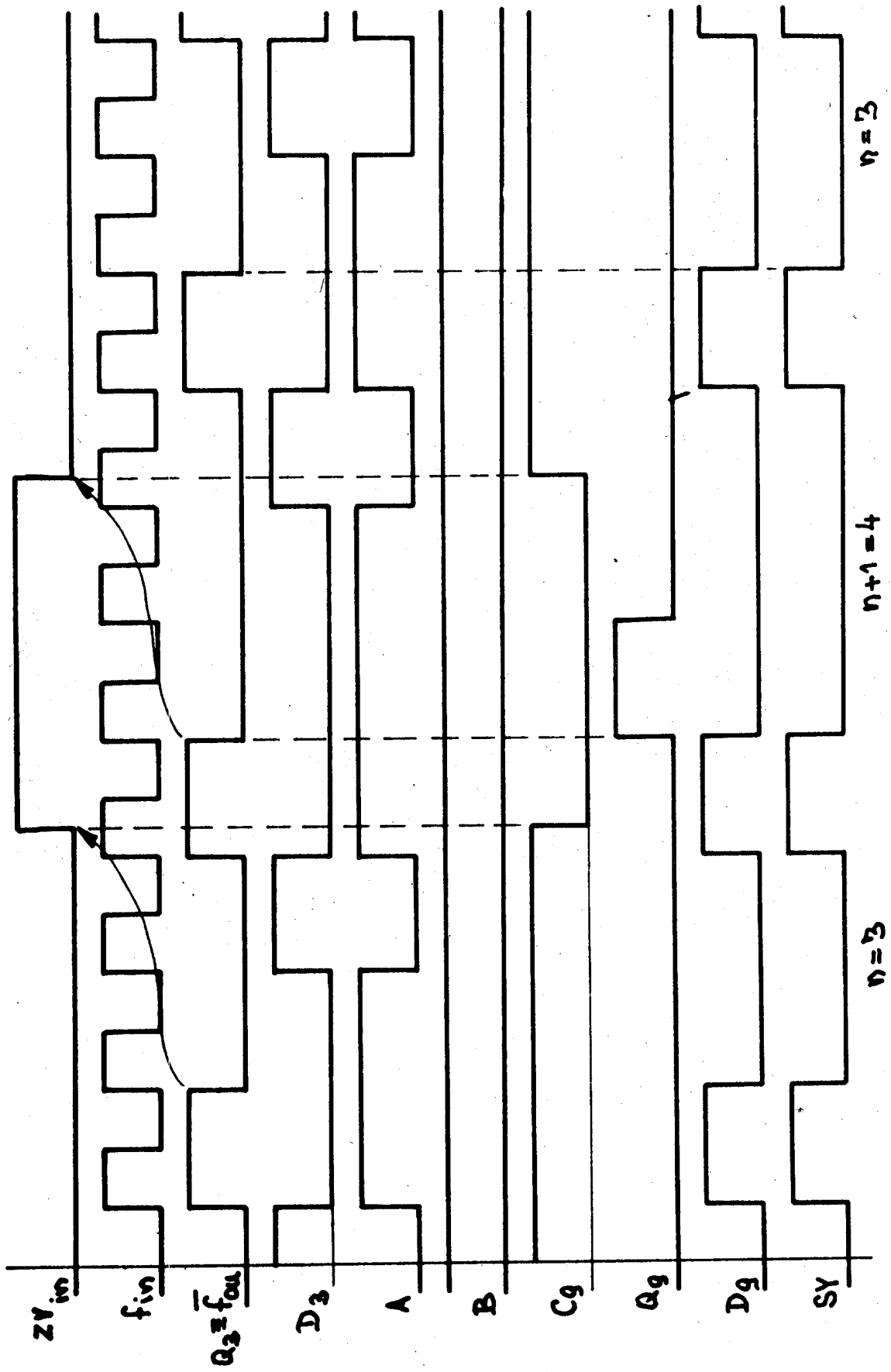
Zapojení programovatelného předděliče kmitočtu typu n ; $(n+1)/1$, vyznačené tím, že sestává z programovatelného děliče (1), koincidenčního obvodu (2), prvního pomocného klopného obvodu (3), blokovacího obvodu (4), prvního elektronického přepínače (5), druhého elektronického přepínače (6), detektoru čísla (7), třetího elektronického přepínače (8), druhého pomocného klopného obvodu (9) a z hradla (10), přičemž vstup f_{in} programovatelného předděliče kmitočtu je připojen současně na první vstup (41) blokovacího obvodu (4), první vstup (31) prvního pomocného klopného obvodu (3), první vstup (91) druhého pomocného klopného obvodu (9) a na první vstup (11) programovatelného děliče (1), jehož druhý vstup je připojen současně k výstupu (35) prvního pomocného klopného obvodu (3), třetímu vstupu (53) prvního elektronického přepínače (5), prvnímu vstupu (61) druhého elektronického přepínače (6) a k prvnímu vstupu (81) třetího elektronického přepínače (8), přičemž třetí vstup (13) programovatelného děliče (1) je současně připojen k druhému vstupu (42) blokovacího obvodu (4), třetímu vstupu (33) prvního pomocného klopného obvodu (3), třetímu vstupu (63) druhého elektronického přepínače (6), třetímu vstupu (83) třetího elektronického přepínače (8), prvnímu vstupu (101) hradla (10) a k výstupu (94) druhého pomocného klopného obvodu (9), jehož druhý vstup (92) je připojen na výstup (84) třetího elektronického přepínače (8), který má druhý vstup (82) připojen současně na druhý vstup (62) elektronického přepínače (6), druhý vstup (52) prvního elektronického přepínače (5), čtvrtý vstup (34) prvního pomocného klopného obvodu (3) a na výstup (7n+1) detektoru čísla (7), jehož první vstup (71), druhý vstup (72), třetí vstup (73), až n -tý vstup (7n) je současně připojen na první datový vstup (1), na druhý datový vstup (2), na třetí datový vstup (2), na třetí datový vstup (3), až na n -tý datový vstup (n) a na čtvrtý vstup (14), pátý vstup (15), na šestý vstup (16), až na n -tý vstup (1n) programovatelného děliče (1), jehož první výstup (1n+1), druhý výstup (1n+2), třetí výstup

($1n+3$), až s -tý výstup ($1n+k$) je připojen na první vstup (21), druhý vstup (22), třetí vstup (23) až n -tý vstup ($2n$) koincidenčního obvodu (2), jehož výstup ($2n+1$) je připojen na druhý vstup (32) prvního pomocného klopného obvodu (3), přičemž výstup (43) blokovacího obvodu (4) je připojen na první vstup (51) prvního elektronického přepínače (5), jehož výstup (54) je připojen na výstup f_{ou} programovatelného předděliče kmitočtu, přičemž jeho synchronizační výstup SY je připojen na výstup (64) druhého elektronického přepínače (6) a jeho zpětnovazební vstup ZV_{in} je připojen na druhý vstup (102) hradla (10), jehož výstup (103) je připojen na třetí vstup (93) druhého pomocného klopného obvodu (9).

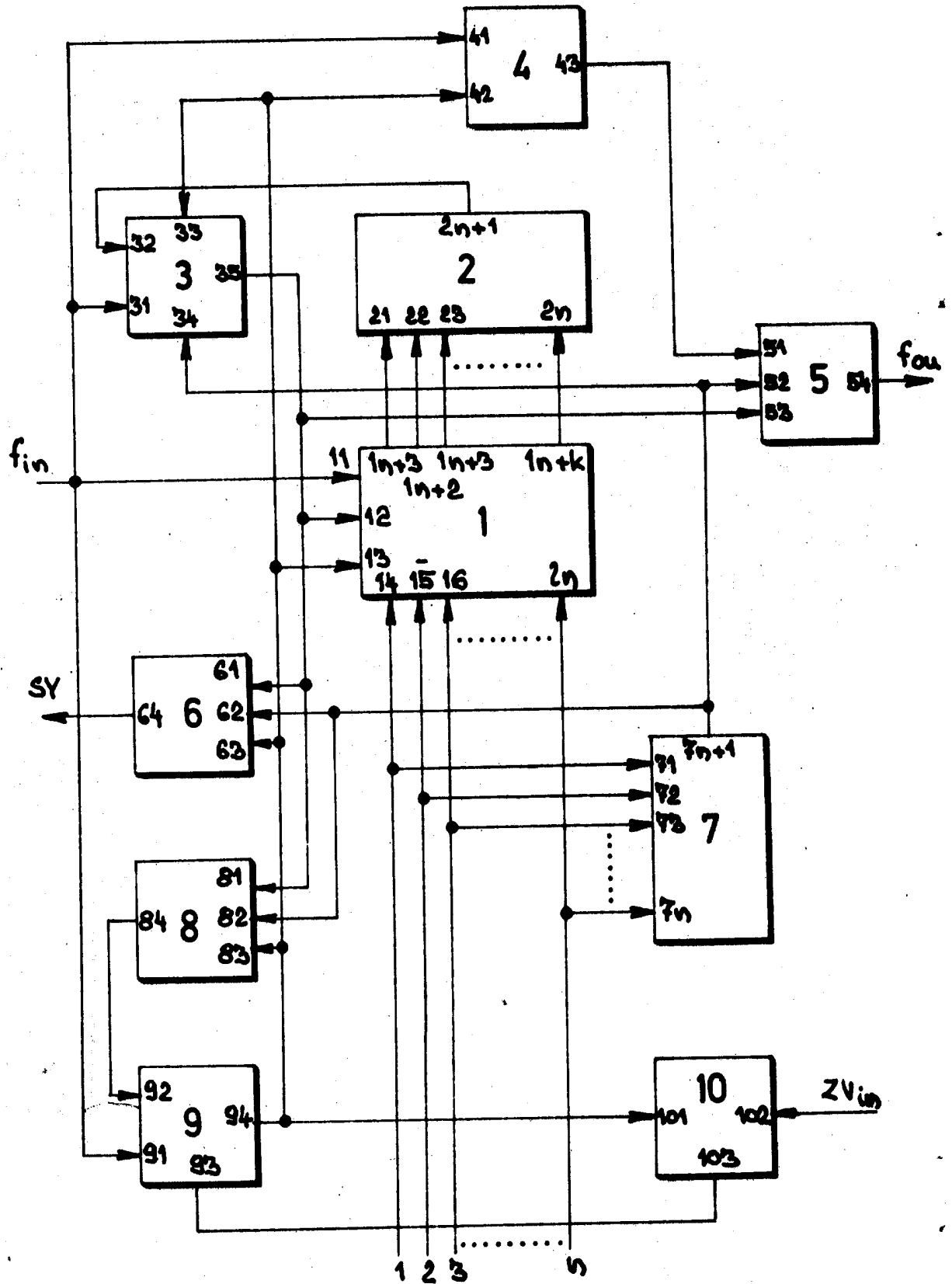
4 výkresy

OBR.1

OBR.2aOBR.2b



OBR. 2c

OBR. 3