

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 1 月 25 日 (25.01.2007)

PCT

(10) 国際公開番号
WO 2007/010660 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2006/309094
- (22) 国際出願日: 2006 年 5 月 1 日 (01.05.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-210245 2005 年 7 月 20 日 (20.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 近間 義雅 (CHIKAMA, Yoshimasa).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).

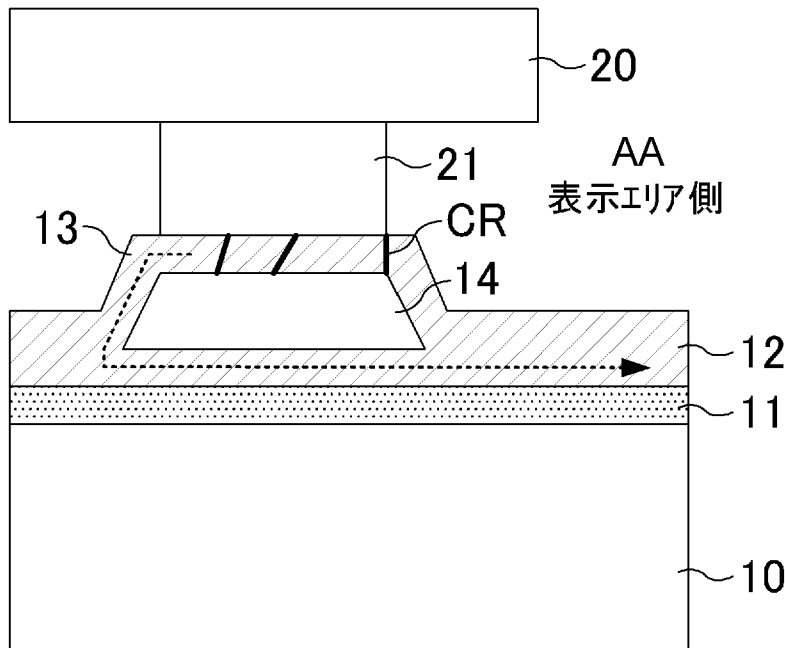
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: WIRING BOARD

(54) 発明の名称: 配線基板



AA... DISPLAY AREA SIDE

(57) Abstract: Wiring comprises an upper wiring layer, a lower wiring layer, and an insulating film. The lower wiring layer is formed on the substrate side than the upper wiring layer. The insulating film is formed between the upper and lower wiring layers. The upper wiring layer includes a stress-applied area that receives a stress applied from a bump of an IC chip. The insulating film is formed in an area including at least the stress-applied area. The upper and lower wiring layers are connected with each other in an area, where the two wiring layers overlap each other in a plan view but the stress-applied area is excluded.

(57) 要約: 【解決手段】 配線は、上層配線部と、上層配線部よりも基板側に形成された下層配線部と、上層配線部および下層配線部の間に形成された絶縁膜とを有する。上層

配線部は IC チップの bumps により加圧を受ける被加圧領域を含む。絶縁膜は、前記被加圧領域を少なくとも含む領域に形成されている。上層配線部および下層配線部は、平面視において両配線部が重なる領域のうち前記被加圧領域を除く領域にて接続されている。

WO 2007/010660 A1



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

配線基板

技術分野

[0001] 本発明は電子デバイスの製造技術に関する。例えば、フィルムまたはガラス基板に集積回路(IC)チップを実装するための技術、薄膜トランジスタ(TFT)などの半導体素子が形成された素子基板にフレキシブルプリント基板(FPC)を実装するための技術、さらにはシール材を介して一对の基板を貼り合わせるための技術に関する。

背景技術

[0002] 画像表示装置の周縁領域には、ICチップ、FPCおよびTCP(Tape Carrier Package)などが実装される。図19は、従来の表示パネルにおいて、ガラス基板にICチップを実装した状態を模式的に示す断面図である。ガラス基板100上には配線120が形成され、ICチップ200の bumps 210が配線120に接続されている。ICチップ200の bumps 210、配線120およびガラス基板100は共に硬いので、ICチップ200を圧着する際に、ICチップ200の押し圧力を高くしても配線120にクラックが発生するおそれは殆どない。

[0003] 一方、薄膜化や軽量化などの要請に応えるべく、ガラス基板に代えてプラスチック基板が採用されつつある。図20はICチップをプラスチック基板に実装する工程を模式的に示す断面図であり、図21はその部分拡大図である。プラスチック基板150は形状が変化し易いので、実装装置のヘッド300を用いてICチップ200を圧着する際にICチップ200のバランスが崩れていると、ICチップ200の bumps 210が基板150へめり込んだりして、基板150が変形する。このため、配線120やコート層110などが変形して、図21に示すように、配線120にクラックCRが発生するおそれがある。クラックCRが発生すると、断線により信号の入出力ができなくなるおそれがある。

[0004] また、典型的には、ICチップの実装時に異方性導電膜(ACF)が用いられている(例えば特許文献1を参照)。ACFを用いた場合、ACF中の導電性粒子は $3\mu\text{m}$ ~ $5\mu\text{m}$ 程度と小さいために、配線に局所的な圧力が負荷され、クラックが発生する可能性が高くなる。図22はACFを挟んでICチップを実装した状態を模式的に示す断面

図である。図22に示すように、ACF中の導電性粒子400がICチップ200の bumps 210により押圧されて、プラスチック基板150へめり込むことがある。したがって、ACFを用いる場合にも、配線120にクラックが発生して、配線120の断線や膜剥がれが生じるおそれがある。

- [0005] このように、配線にクラックが発生すると、断線や膜剥がれによる実装不良が生じて、製造歩留りの低下や製造コストの上昇を招くことになる。なお、ICチップを基板に実装する場合だけでなく、FPCやTCPを基板へ実装する場合やICチップをFPCへテープ自動化実装(TAB)する場合にも、配線に膜剥がれやクラックが発生することがある。また、シール材を介して一对の基板を貼り合わせる場合にも、シール材中のスペーサなどにより引き出し配線にクラックが発生するおそれがある。

特許文献1:特開2004-205551 号公報

発明の開示

発明が解決しようとする課題

- [0006] 上述の問題点を解決するために、配線にクラックが発生するのを抑制する技術の実現が望まれている。

課題を解決するための手段

- [0007] 本発明の目的は、ICチップの bumps やスペーサなどにより配線が加圧されたときに、配線にクラックが発生する可能性を低減することである。本発明の他の目的は、配線にクラックが発生した場合であっても、断線を防止して、実装不良の発生率を抑えることである。

- [0008] 本発明は、絶縁基板と、前記絶縁基板上に形成された配線とを有する配線基板を提供する。前記配線は、上層配線部と、前記上層配線部よりも前記絶縁基板側に形成された下層配線部と、前記上層配線部および前記下層配線部の間に形成された絶縁膜とを有する。前記上層配線部は加圧を受ける被加圧領域を含む。前記絶縁膜は、前記被加圧領域を少なくとも含む領域に形成されている。前記上層配線部および前記下層配線部は、平面視において両配線部が重なる領域のうち前記被加圧領域を除く領域にて接続されている。

発明の効果

- [0009] 本発明によれば、配線の被加圧領域に加圧を受けたときに、配線にクラックが発生する可能性を低減することができる。また、配線にクラックが発生した場合であっても、断線を防止して、実装不良の発生率を抑えることができる。

図面の簡単な説明

- [0010] [図1]液晶表示装置を模式的に示す平面図である。
- [図2]素子基板10の周縁領域にICチップ20が実装された状態を模式的に示す断面図である。
- [図3]実施形態1の端子を模式的に示す平面図である。
- [図4]図4(a)は図3中のA-A'線断面図、図4(b)は図3中のB-B'線断面図、図4(c)は図3中のC-C'線断面図である。
- [図5]実施形態2の端子を模式的に示す平面図である。
- [図6]図6(a)は図5中のA-A'線断面図、図6(b)は図5中のB-B'線断面図、図6(c)は図5中のC-C'線断面図である。
- [図7]実施形態3の端子を模式的に示す平面図である。
- [図8]図8(a)は図7中のA-A'線断面図、図8(b)は図7中のB-B'線断面図、図8(c)は図7中のC-C'線断面図である。
- [図9]実施形態4の端子を模式的に示す平面図である。
- [図10]図10(a)は図9中のA-A'線断面図、図10(b)は図9中のB-B'線断面図、図10(c)は図9中のC-C'線断面図である。
- [図11]実施形態5の端子を模式的に示す平面図である。
- [図12]図12(a)は図11中のA-A'線断面図、図12(b)は図11中のB-B'線断面図、図12(c)は図11中のC-C'線断面図である。
- [図13]実施形態6の端子を模式的に示す平面図である。
- [図14]図14(a)は図13中のA-A'線断面図、図14(b)は図13中のB-B'線断面図、図14(c)は図13中のC-C'線断面図である。
- [図15]実施形態7の端子を模式的に示す平面図である。
- [図16]図16(a)は図15中のA-A'線断面図、図16(b)は図15中のB-B'線断面図

図、図16(c)は図15中のC-C'線断面図である。

[図17]実施形態8の引き出し配線を模式的に示す平面図である。

[図18]図18(a)は図17中のA-A'線断面図、図18(b)は図17中のB-B'線断面図、図18(c)は図17中のC-C'線断面図である。

[図19]従来の表示パネルにおいて、ガラス基板にICチップを実装した状態を模式的に示す断面図である。

[図20]ICチップをプラスチック基板に実装した場合にクラックが入っている様子を模式的に示す断面図である。

[図21]図20の部分拡大図である。

[図22]ACFを挟んでICチップを実装した状態を模式的に示す断面図である。

符号の説明

[0011]	10	素子基板
	11	コート層
	12	下層配線部
	13	上層配線部
	14	絶縁膜
	30	FPC
	31	実装用配線
	40	シール材
	41	スペーサ
	50	対向基板
	60	液晶層
	100	ガラス基板
	110	コート層
	120	配線
	150	プラスチック基板
	200	ICチップ
	210	バンパ

300 ヘッド

400 導電性粒子

発明を実施するための最良の形態

[0012] 図面を参照しながら、本発明の実施形態を説明する。なお、以下の実施形態では、液晶表示装置を例にして説明するが、本発明の配線基板は、液晶表示装置のみならず種々の表示装置、例えば有機または無機エレクトロルミネッセンス表示装置、プラズマディスプレイパネル、真空蛍光表示装置、電子ペーパーなどの各種表示装置に適用することができる。

[0013] 図1は液晶表示装置を模式的に示す平面図である。この液晶表示装置は、液晶パネルPと、液晶パネルPの周縁領域に実装された液晶駆動用のICチップ20と、液晶パネルPの端部に接続されたFPC30とを有する。

[0014] 液晶パネルPは、TFT(Thin Film Transistor)が形成された素子基板10と、素子基板10に対向して配置された対向基板50と、両基板10, 50間に介在する液晶層60とを有する。液晶層60は対向基板50の周縁に設けられたシール材40に包囲されている。素子基板10にはマトリクス状に配置された複数の画素電極が形成され、対向基板50には共通電極が形成されている。マトリクス状に配置された複数の画素電極は、それぞれの電圧印加を制御するTFTに接続されている。TFTに接続されたソース配線やゲート配線は、素子基板10の周縁領域まで延びてICチップ20に接続されている。FPC30を介してICチップ20に信号が入力されると、ICチップ20からTFT駆動用信号が出力され、マトリクス状に配置された複数の画素電極への電圧印加が制御される。これにより、画素ごとに液晶層の透過率が制御されて、階調表示が行われる。

[0015] 図2は素子基板10の周縁領域にICチップ20を実装した状態を模式的に示す断面図である。基板10上には、コート層11を介して配線が形成されている。配線は、上層配線部13と、上層配線部13よりも基板10側に形成された下層配線部12と、上層配線部13および下層配線部12の間に形成された絶縁膜14とを有する。上層配線部13はICチップ20の bumps 21により加圧を受ける被加圧領域を含む。絶縁膜14は、前記被加圧領域を少なくとも含む領域に形成されている。図2では、上層配線部13と

下層配線部12とが絶縁膜14を挟んでいる。これにより、ICチップ20を実装したときに、絶縁膜14の下の下層配線部12にクラックなどのダメージが発生するのを抑えることができる。したがって、下層配線部12やコート層11の膜剥がれ、下層配線部12の断線を防ぐことができる。

[0016] また、上層配線部13および下層配線部12は、平面視において両配線部12, 13が重なる領域のうち前記被加圧領域を除く領域にて接続されている。これにより、ICチップ20を実装したときに、絶縁膜14の上の上層配線部13にクラックCRが発生した場合でも、バンプ21からの信号がクラックCRを迂回して表示エリア側に届く。

[0017] (実施形態1)

ICチップ20をソース配線やゲート配線(以下、総括的に信号線とも言う。)の端子に接続する場合の実施形態について説明する。図3はICチップ20が信号線の端子に接続した状態を模式的に示す平面図であり、図4(a)は図3中のA-A'線断面図、図4(b)は図3中のB-B'線断面図、図4(c)は図3中のC-C'線断面図である。なお、図3では、記載の簡略化のために、ICチップ20を透視して記載している。また、ICチップ20と端子との間にはACFが介在し、ACFに含まれている導電性粒子を介してICチップ20のバンプ21と端子とが接続されているが、以下の図面ではACFの記載を省いている。

[0018] 素子基板10は可とう性を有する可とう性基板であり、典型的な可とう性基板はプラスチック基板である。素子基板10は表面にコート層11が形成されることがある。コート層11は、無機膜または樹脂膜などの有機膜からなる単層膜であっても良く、無機膜と有機膜との積層膜であっても良い。プラスチックからなる素子基板10を用いた場合には、表面にコート層11を形成することにより、水分やガスなどに対するバリア性や表面平滑性などを向上させることができるので、特に有利である。但し、素子基板10は可とう性基板に限定されず、可とう性の殆どない基板(例えばガラス基板)であっても良い。なお、記載の簡略化のために、図面中のコート層11の記載を省略することがある。

[0019] 素子基板10上には複数の端子が形成され、各端子は信号線に接続されている。複数の端子はそれぞれ上層配線部13および下層配線部12を含む。上層配線部13

はICチップ20のバンプ21により加圧を受ける被加圧領域を含む。本実施形態では、各端子の被加圧領域が横方向(端子が延びる方向に対して交差する方向)に千鳥状に配列されている。なお、各端子の被加圧領域の配列は、図3に示す千鳥状配列に限定されない。

[0020] 各端子の被加圧領域を含む領域には、上層配線部13と下層配線部12とにより厚み方向に挟まれた絶縁膜14が形成されている。絶縁膜14は無機または樹脂を含む膜で構成される。絶縁膜14が上層配線部13と下層配線部12との間に介在することにより、ICチップ20を実装したときに、絶縁膜14の下の下層配線部12にクラックなどのダメージが発生するのを抑えることができる。

[0021] 絶縁膜14が無機膜である場合には、無機膜は硬度が高いために圧力がかかった場合に変形しにくい。このため、基板10の変形を抑えることができるので、クラックの発生を防ぐことができる。また、絶縁膜14が樹脂膜である場合には、ICチップ20を実装する際の加圧が緩衝されるので、ダメージの発生をより確実に抑えることができる。さらに、導電性粒子を含まないNCF(Non Conductive Film)やNCP(Non Conductive Paste)を用いた接続方法(低温接続方法や超音波接続方法)を採用した場合であっても、樹脂膜が導電性粒子に代わってクッション効果を奏する。したがって、絶縁膜14として樹脂膜を用いることにより、ICチップ20のバンプ21と端子とのコンタクト不良が発生し難くすることができる。

[0022] 絶縁膜14は、単層膜に限らず、無機膜と樹脂膜との積層膜であっても良い。例えば、樹脂膜と無機膜との二層膜、第1無機膜と樹脂膜と第2無機膜が順次積層された三層膜であっても良い。絶縁膜14を積層膜から構成することによって、無機膜の硬度によるクラック低減効果と、樹脂膜によるクッション効果の両方が期待できるため、クラックの発生をより抑えることができる。特に無機膜はACF中に含まれる導電粒子よりも高い硬度を有することが好ましい。これにより、絶縁膜14が単層の樹脂膜である場合に比して、上層配線部13や下層配線部12にクラックなどのダメージが発生するのをより確実に抑えることができる。導電粒子よりも高い硬度を有する無機膜としては、例えばゲート絶縁膜を用いることができる。具体的に例示すれば、 SiN_x 、 SiON 、 SiO_2 などの絶縁膜を用いることができる。絶縁膜14の膜厚は、非限定的に例示すれば、

樹脂膜である場合には $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、無機膜である場合には $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下である。

[0023] 本実施形態の絶縁膜14は上面が平坦であるので、絶縁膜14上に形成される上層配線部13とバンプ21や導電性粒子とが均一に接触する。したがって、端子とバンプ21とのコンタクト不良の発生が抑えられる。

[0024] 上層配線部13と下層配線部12は、端子が延びる方向における絶縁膜14の両端にて、接続されている。言い換えれば、上層配線部13および下層配線部12は平面視において被加圧領域を挟む2箇所にて接続されている。したがって、上層配線部13の被加圧領域よりも表示エリア側(図3では被加圧領域よりも上方)で断線が発生した場合でも、ICチップ20のバンプ21から入力された信号は、上層配線部13の被加圧領域よりもパネル周縁側(図3では被加圧領域よりも下方)から下層配線部12を介して表示エリアへと供給される。このように、ICチップ20のバンプ21から信号線へ信号が入力される経路を2通りとすることにより、言い換えれば端子を冗長構造にすることにより、いずれか一方の経路で断線が発生した場合でも、バンプ21から信号線へ信号を入力することができる。すなわち、実装不良の発生率を抑えることができる。なお、上層配線部13と下層配線部12との間に保護膜やゲート絶縁膜が介在する場合には、これら保護膜等に形成されたコンタクトホールを介して両配線部12, 13が接続される。

[0025] 上層配線部13は単層または積層構造を有する。上層配線部13を構成する少なくとも1つの層は、銅、アルミニウム、金、銀およびチタンからなる群から選ばれる少なくとも一種を含有する(これらの合金を含有することもある)。これらの金属は柔らかく展性が良好であるので、バンプ21や導電性粒子がめり込み難く、クラックが発生し難い。また、上層配線部13を構成する少なくとも1つの層は、導電性樹脂または非導電性樹脂を含有する導電性膜であっても良い。導電性膜が樹脂を含有することによってクッション効果が期待できるため、クラックの発生をより抑えることができる。

[0026] 次に、本実施形態の端子の製造工程について説明する。まず、ガラスまたはプラスチックからなる素子基板10上に、ゲートまたはソース配線材料を成膜する。例えば、銅、チタン、クロム、アルミニウム、モリブデン、銅、タンタル等の金属膜、これらの合金

膜、金属膜および／または合金膜の積層膜を形成する。なお、素子基板10に形成されたTFTが逆スタガ構造であればゲート配線材料を成膜し、スタガ構造であればソース配線材料を成膜する。

[0027] ゲート配線またはソース配線のパターニングとともに、下層配線部12のパターニングを行なう。複数の下層配線部12を覆う絶縁膜14を形成する。例えば、ゲート絶縁膜、有機層間絶縁膜、ブラックマトリクス、カラーフィルタ、フォトスペーサなどを塗布法や印刷法などにより形成し、必要に応じてパターニングして、複数の被加圧領域を含む領域に絶縁膜14を形成する。本実施形態の絶縁膜14は複数の端子に共通して設けられているので、構造(形状)が単純である。具体的には、図3に示すように、平面視において絶縁膜14は四角形状である。したがって、絶縁膜14の形成が容易である。

[0028] ITO(インジウム錫酸化物)などの画素電極材料、アルミニウムなどの反射電極材料、銅などのゲートまたはソース配線材料などを成膜した後、パターニングを行なって上層配線部13を形成する。なお、下層配線部12と上層配線部13との間に保護膜やゲート絶縁膜が介在する場合には、これら保護膜等にコンタクトホールを形成した後に、画素電極材料等の成膜を行なう。

[0029] 以上のように、素子基板10を作成する際に使用する樹脂膜や無機膜、配線材料などを用いて端子を形成することができるので、工程の短縮化、製造コストや不良発生率の低減を図ることができる。

[0030] 但し、本発明は上記の製造方法に限定されず、素子基板10を作成する工程と異なる別工程により端子を形成しても良い。例えば、絶縁膜14や上層配線部13、下層配線部12などを印刷法やインクジェット法にて形成しても良い。より具体的には、 CF_4 ガスや O_2 ガスが導入されたプラズマ雰囲気中に、マスクされた素子基板10を曝す表面処理を行うことによって、上層配線部13を形成する領域を親水性に、その他の領域を撥水性にすることができる。この結果、上層配線部13上にインクジェット法により、導電性樹脂や金属材料などを含む端子材料を滴下することで、上層配線部13を形成する領域に端子材料を選択的に塗布することができる。

[0031] また、上層配線部13を形成する領域の外周に樹脂壁を形成し、あるいは互いに隣

接する上層配線部13の境界に樹脂壁を形成し、樹脂壁に囲まれた領域に端子材料を滴下しても良い。なお、前述の表面処理を行うことで、より確実に選択的に上層配線部13を形成することができる。

[0032] 一般に、素子基板がプラスチック基板の場合には、ガラス基板の場合よりも、ICチップを実装したときのクラックの発生率が高くなる。本実施形態では、上層配線部13と下層配線部12との間に絶縁膜14が介在するので、素子基板10がプラスチック基板の場合であっても、ガラス基板の場合と同様に、クラックの発生率を抑えることができる。したがって、本実施形態の構成をプラスチック基板に適用することは特に有効である。

[0033] 本実施形態では、下層配線部12は上層配線部13よりも幅が狭いが、この逆でも良い。また下層配線部12が信号線に接続されているが、上層配線部13が信号線に接続されていても良い。

[0034] (実施形態2)

図5は実施形態2の端子を模式的に示す平面図であり、図6(a)は図5中のA-A'線断面図、図6(b)は図5中のB-B'線断面図、図6(c)は図5中のC-C'線断面図である。なお、実施形態1と同様に、図5ではICチップ20の記載を省いている。以降の図面において実施形態1の構成要素と実質的に同じ機能を有する構成要素を同じ参照符号で示し、その説明を省略する。

[0035] 本実施形態は、複数の端子のそれぞれに絶縁膜14が形成されている点で、複数の端子に共通する絶縁膜14が形成されている実施形態1と異なる。言い換えれば、本実施形態では、複数の端子における絶縁膜14がそれぞれ分離している。また、各端子における絶縁膜14は、各端子の被加圧領域およびその近傍領域にのみ形成されている。したがって、ICチップ20のバンプ21により端子が加圧を受けたときに、端子に加えられた圧力が絶縁膜14を介して隣接する端子に影響を及ぼさないで、隣接する端子にクラックなどを発生させるおそれが低減される。

[0036] 本実施形態の端子は、絶縁膜14のパターンが異なることを除いて、実施形態1と同様であるので、フォトマスク等を実施形態1のものと変更することにより作成することができる。

[0037] (実施形態3)

図7は実施形態3の端子を模式的に示す平面図であり、図8(a)は図7中のA-A'線断面図、図8(b)は図7中のB-B'線断面図、図8(c)は図7中のC-C'線断面図である。なお、実施形態1と同様に、図7ではICチップ20の記載を省いている。

[0038] 本実施形態の絶縁膜14は、実施形態1のものよりも平面視において端子の長手方向に伸びて形成されている。また、絶縁膜14に形成されたコンタクトホールCHを介して、上層配線部13と下層配線部12とが接続されている。さらに、本実施形態の絶縁膜14は、上面が平坦であるので、ICチップ20を実装する際に、上層配線部13上にバランス良く置くことができる。

[0039] 絶縁膜14にコンタクトホールCHを形成する方法としては、例えばフォトリソグラフィ法が挙げられる。なお、コンタクトホールCHを形成する工程は、表示エリア内の有機層間絶縁膜にコンタクトホールを形成する工程と同時にあるいは別に行なっても良い。

[0040] (実施形態4)

図9は実施形態4の端子を模式的に示す平面図であり、図10(a)は図9中のA-A'線断面図、図10(b)は図9中のB-B'線断面図、図10(c)は図9中のC-C'線断面図である。なお、実施形態1と同様に、図9ではICチップ20の記載を省いている。

[0041] 本実施形態の端子は、下層配線部12がバンプ21の下を通らずに、迂回して形成されている。言い換えれば、下層配線部12が被加圧領域を除く領域に形成されている。したがって、ICチップ20を実装する際に、上層配線部13がバンプ21や導電性粒子により加圧されて、素子基板10が変形した場合でも、下層配線部12にクラックが発生する可能性をさらに低減することができる。また、ICチップ20の実装により下層配線部12にクラックの発生する可能性が低いので、下層配線部12の材料を自由に選定することができる。言い換えれば、上層配線部13にクラックが発生し難くなるように、絶縁膜14の材料を選定すれば良いので、端子設計の自由度が拡大される。

[0042] 本実施形態の絶縁膜14は、実施形態2のように、複数の端子における絶縁膜14がそれぞれ分離していても良い。また、実施形態3のように、コンタクトホールが形成され、コンタクトホールを介して上層配線部13と下層配線部12とが接続されていても良

い。

[0043] 本実施形態の端子は、下層配線部12のパターンが異なることを除いて、実施形態1と同様であるので、下層配線部12をパターンニングする際に用いるフォトリソ等を実施形態1のものと変更することにより作成することができる。

[0044] (実施形態5)

図11は実施形態5の端子を模式的に示す平面図であり、図12(a)は図11中のA-A'線断面図、図12(b)は図11中のB-B'線断面図、図12(c)は図11中のC-C'線断面図である。なお、実施形態1と同様に、図11ではICチップ20の記載を省いている。

[0045] 実施形態1～4では本発明を信号線に接続された端子に適用した場合について説明したが、本実施形態では本発明を信号線以外の配線(例えば電源ライン)に接続された端子について説明する。本実施形態の端子は、バンプ21の接続領域(被加圧領域)に対して少なくとも2方向にて上層配線部13と下層配線部12とが接続されている。図11では、バンプ21の少なくとも右側および下側で両配線部12, 13が接続されている。

[0046] 本実施形態では下層配線部12がバンプ21の下(被加圧領域)にも形成されているが、実施形態4のように、下層配線部12がバンプ21の下を避けて形成されていても良い。

[0047] (実施形態6)

実施形態1～5では、ガラスまたはプラスチックからなる素子基板10上にICチップ20を実装する場合、すなわちCOG(Chip On Glass)やCOF(Chip On Film)について説明した。本実施形態では、FPC、TCP、COFなどのフィルム基板を素子基板に実装する場合、例えば図1中の液晶パネルPの端部にFPC30を接続する場合について説明する。

[0048] FPC30の裏面には銅などからなる実装用配線31が形成され、図1に示すように、素子基板10上に形成された端子(不図示)にFPC30の実装用配線31が接続される。素子基板10上に形成された端子(不図示)は配線を介してICチップ20に接続され、FPC30から端子および配線を介してICチップ20に信号が入力される。

- [0049] 図13は本実施形態の端子を模式的に示す平面図であり、図14(a)は図13中のA-A'線断面図、図14(b)は図13中のB-B'線断面図、図14(c)は図13中のC-C'線断面図である。なお、図13ではFPC30の記載を省いている。
- [0050] 各端子はそれぞれ上層配線部13および下層配線部12を含み、上層配線部13はFPC30の実装用配線31により加圧を受ける被加圧領域を含む。上層配線部13と下層配線部12との間には絶縁膜14が介在している。本実施形態の絶縁膜14は複数の端子に共通して設けられている。上層配線部13と下層配線部12は、端子の長手方向における絶縁膜14の両端にて、接続されている。言い換えれば、上層配線部13および下層配線部12は平面視において被加圧領域を縦方向に挟む2箇所にて接続されている。
- [0051] したがって、上層配線部13の被加圧領域よりもICチップ20側(図13では被加圧領域よりも上方)で断線が発生した場合でも、FPC30の実装用配線31から入力された信号は、上層配線部13の被加圧領域よりもパネル周縁側(図13では被加圧領域よりも下方)から下層配線部12を介してICチップ20へと供給される。このように、FPC30の実装用配線31からICチップ20へ信号が入力される経路を2通りとすることにより、言い換えれば端子を冗長構造にすることにより、いずれか一方の経路で断線が発生した場合でも、実装用配線31からICチップ20へ信号を入力することができる。すなわち、実装不良の発生率を抑えることができる。
- [0052] 本実施形態の絶縁膜14は、実施形態2のように、複数の端子における絶縁膜14がそれぞれ分離していても良い。また、実施形態3のように、絶縁膜14にコンタクトホールが形成され、コンタクトホールを介して上層配線部13と下層配線部12とが接続されていても良い。さらに、本実施形態では下層配線部12が被加圧領域にも形成されているが、実施形態4のように、下層配線部12が被加圧領域を避けて形成されていても良い。また、本実施形態では下層配線部12がICチップ20に接続されているが、上層配線部13がICチップ20に接続されていても良い。
- [0053] (実施形態7)

図15は実施形態7の端子を模式的に示す平面図であり、図16(a)は図15中のA-A'線断面図、図16(b)は図15中のB-B'線断面図、図16(c)は図15中のC-

C'線断面図である。なお、実施形態6と同様に、図15ではFPC30の記載を省いている。

[0054] 本実施形態は、複数の端子のそれぞれに絶縁膜14が形成されている点で、複数の端子に共通する絶縁膜14が形成されている実施形態6と異なる。言い換えれば、本実施形態では、複数の端子における絶縁膜14がそれぞれ分離している。また、本実施形態は、上層配線部13および下層配線部12が端子の長手方向に対して交差する方向(図15の横方向)における絶縁膜14の両端にて接続されている。言い換えれば、上層配線部13と下層配線部12とが、平面視において被加圧領域を横方向に挟む2箇所にて接続されている。

[0055] 本実施形態では、平面視において被加圧領域を横方向に挟む2箇所にて、上層配線部13と下層配線部12とが接続されているが、さらに平面視において被加圧領域を縦方向に挟む2箇所でも両配線部12, 13が接続されていても良い。また、絶縁膜14にコンタクトホールが形成され、コンタクトホールを介して上層配線部13と下層配線部12とが接続されていても良い。さらに、本実施形態では下層配線部12が被加圧領域にも形成されているが、実施形態4のように、下層配線部12が被加圧領域を避けて形成されていても良い。また、本実施形態では下層配線部12がICチップ20に接続されているが、上層配線部13がICチップ20に接続されていても良い。

[0056] (実施形態8)

本実施形態では、図1に示すシール材40の領域における配線に本発明を適用した場合について説明する。表示エリア内からICチップ20側へ引き出された引き出し配線は、シール材40の形成領域を横断して延びている。素子基板10と対向基板50とのセルギャップを一定に保持するために、典型的には、プラスチックビーズなどのスペーサがシール材40中に含まれている。また、シール材40の領域の所定位置に、フォトスペーサが形成されることがある。したがって、両基板10, 50の貼り合わせ箇所であるシール材40の領域において、引き出し配線がスペーサやフォトスペーサにより加圧され、引き出し配線にクラックが発生するおそれがある。本実施形態では引き出し配線に本発明を適用する。

[0057] 図17は本実施形態の引き出し配線を模式的に示す平面図であり、図18(a)は図1

7中のA-A'線断面図、図18(b)は図17中のB-B'線断面図、図18(c)は図17中のC-C'線断面図である。なお、図17では対向基板50およびスペーサ41の記載を省いている。

[0058] 図17に示す複数の引き出し配線はそれぞれ上層配線部13および下層配線部12を含む。上層配線部13はシール材40中のスペーサ41により加圧を受ける可能性がある被加圧領域を含む。本実施形態では、シール材40に重なる領域が被加圧領域となり、引き出し配線が延びる方向に対して交差する方向にシール材40が形成されている。

[0059] 各引き出し配線の被加圧領域を含む領域には、上層配線部13と下層配線部12とにより厚み方向に挟まれた絶縁膜14が形成されている。本実施形態ではシール材40の下方に、シール材40が延びる方向に沿って絶縁膜14が形成されている。上層配線部13と下層配線部12は、引き出し配線が延びる方向(図17の横方向)における絶縁膜14の両端にて、接続されている。

[0060] 絶縁膜14が上層配線部13と下層配線部12との間に介在することにより、両基板10, 50を貼り合わせるときに、絶縁膜14の下の下層配線部12にクラックなどのダメージが発生するのを抑えることができる。特に、絶縁膜14が樹脂膜であれば、シール材40中のスペーサ41による加圧が緩衝されるので、下層配線部12のダメージの発生をより確実に抑えることができる。また、上層配線部13にクラックが発生するおそれも低減される。

[0061] 上層配線部13と下層配線部12は被加圧領域において2つの経路を構成しているので、両配線部12, 13の一方において断線が発生した場合でも、ICチップ20から表示エリア内へ信号を送ることができる。すなわち、貼り合わせによる引き出し配線の断線を抑えることができる。

[0062] 本実施形態ではシール材40中のスペーサ41が上層配線部13に圧力を加える被加圧領域を特定できないので、シール材40の形成領域を被加圧領域に設定し、シール材40の下方に絶縁膜14を形成している。しかし、フォトスペーサなどを形成する場合では、上層配線部13が加圧を受ける被加圧領域を特定できるので、その被加圧領域にのみ絶縁膜14を形成しても良い。すなわち、フォトスペーサと上層配線部1

3とが重なる領域にのみ絶縁膜14を形成しても良い。

[0063] 本実施形態の絶縁膜14は、実施形態2のように、複数の引き出し配線における絶縁膜14がそれぞれ分離していても良い。また、実施形態3のように、絶縁膜14にコンタクトホールが形成され、コンタクトホールを介して上層配線部13と下層配線部12とが接続されていても良い。さらに、本実施形態では下層配線部12が被加圧領域にも形成されているが、実施形態4のように、下層配線部12が被加圧領域を避けて形成されていても良い。また、上層配線部13上に、別の樹脂膜や無機膜などが形成されていても良い。

[0064] 以上の実施形態1～8では、ICチップ20を素子基板10に実装する場合（実施形態1～5）、FPCなどのフィルム基板を素子基板10に実装する場合（実施形態6, 7）、シール材40を介して一对の基板10, 50を貼り合わせる場合（実施形態8）について説明した。しかし、本発明はこれらに限定されず、加圧によって配線（端子を含む）にクラックが発生する可能性のある全ての場合に本発明を適用することができる。例えば、ICチップをFPCへTABする場合にも本発明を適用することができる。

[0065] 以上、実施形態に基づいて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態は例示であり、それらの各構成要素や各処理プロセスの組合せに、さらにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。例えば、上記実施形態ではTFTを用いたアクティブマトリクス型液晶表示装置を例にして説明した。しかし、MIM(Metal Insulator Metal)などの二端子素子をスイッチング素子とするアクティブマトリクス型の表示装置やパッシブ(マルチプレックス)駆動型の表示装置にも本発明を適用することができる。また、透過型、反射型、透過反射両用型のいずれのタイプの表示装置にも本発明を適用することができる。

産業上の利用可能性

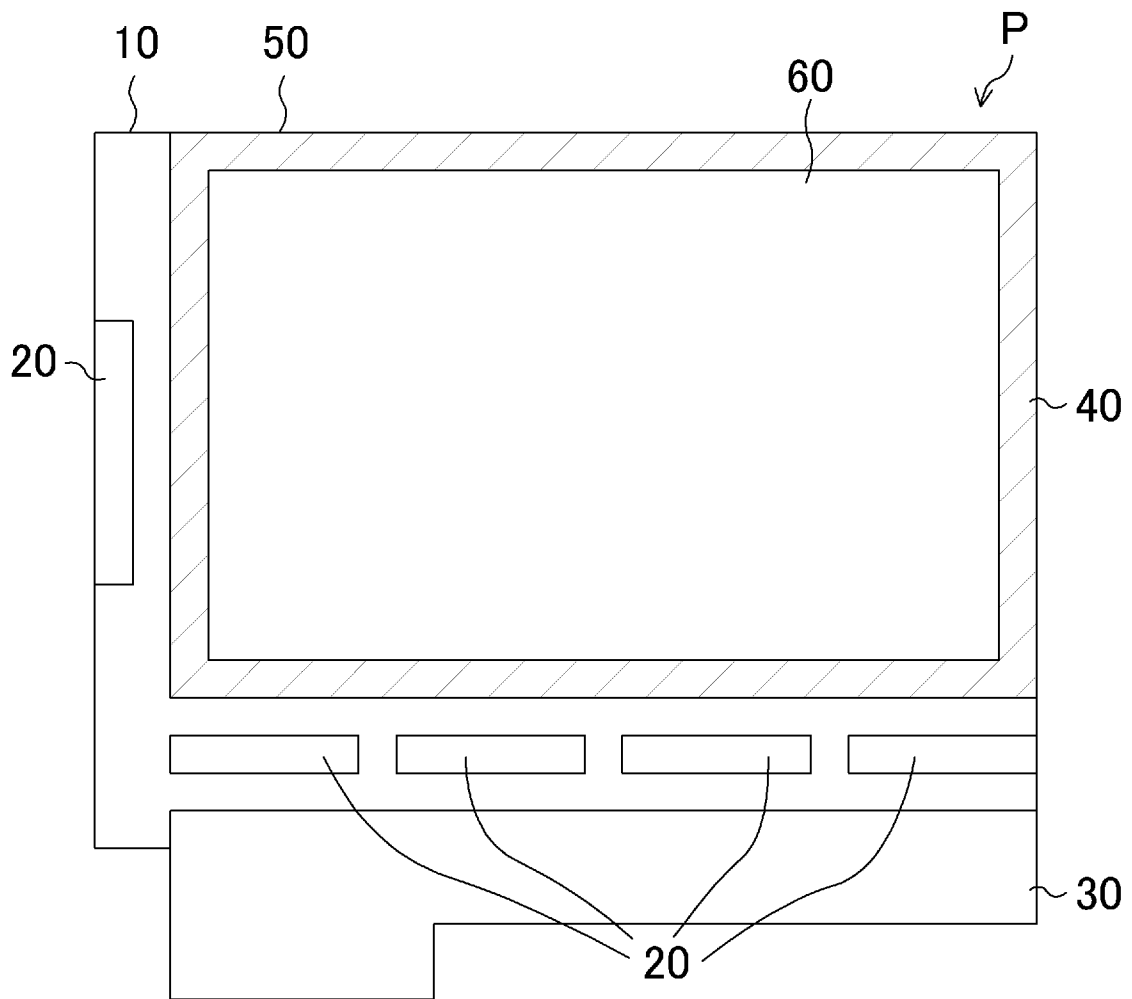
[0066] 以上説明したように、本発明は、本発明は電子デバイスの製造技術について有用である。

請求の範囲

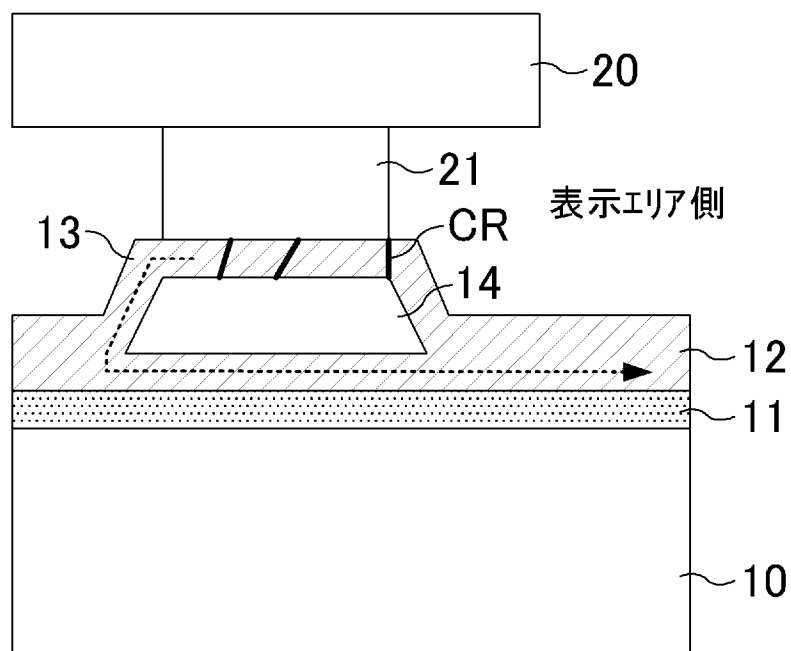
- [1] 絶縁基板と、前記絶縁基板上に形成された配線とを有する配線基板であって、
前記配線は、上層配線部と、前記上層配線部よりも前記絶縁基板側に形成された下層配線部と、前記上層配線部および前記下層配線部の間に形成された絶縁膜とを有しており、前記上層配線部は加圧を受ける被加圧領域を含み、
前記絶縁膜は前記被加圧領域を少なくとも含む領域に形成され、
前記上層配線部および前記下層配線部は平面視において両配線部が重なる領域のうち前記被加圧領域を除く領域にて接続されている配線基板。
- [2] 前記配線を複数有しており、前記絶縁膜は前記複数の配線に共通する請求項1に記載の配線基板。
- [3] 前記配線を複数有しており、前記複数の配線における前記絶縁膜はそれぞれ分離している請求項1に記載の配線基板。
- [4] 前記上層配線部および前記下層配線部は前記絶縁膜に形成されたコンタクトホールを介して接続されている請求項1に記載の配線基板。
- [5] 前記下層配線部は前記被加圧領域を除く領域に形成されている請求項1に記載の配線基板。
- [6] 前記上層配線部および前記下層配線部は平面視において前記被加圧領域を挟む2箇所にて少なくとも接続されている請求項1に記載の配線基板。
- [7] 前記絶縁膜は樹脂膜である請求項1に記載の配線基板。
- [8] 前記絶縁膜は無機膜である請求項1に記載の配線基板
- [9] 前記絶縁膜は、樹脂膜と、異方性導電膜中に含まれる粒子よりも高い硬度を有する無機膜との積層構造を有する請求項1に記載の配線基板。
- [10] 前記上層配線部は単層または積層構造を有しており、少なくとも1つの層はCu、Al、Au、AgおよびTiからなる群から選ばれる少なくとも一種を含有する請求項1に記載の配線基板。
- [11] 前記上層配線部は単層または積層構造を有しており、少なくとも1つの層は導電性樹脂または非導電性樹脂を含有する導電性膜である請求項1に記載の配線基板。
- [12] 前記絶縁基板は可とう性基板である請求項1に記載の配線基板。

- [13] 前記可とう性基板はプラスチック基板である請求項12に記載の配線基板。
- [14] 前記可とう性基板は表面に形成されたコート層を有しており、前記コート層は無機膜もしくは有機膜からなる単層膜または無機膜と有機膜との積層膜である請求項12に記載の配線基板。
- [15] 前記被加圧領域は、フレキシブルプリント基板の実装用配線、集積回路チップのバンプまたはスペーサにより加圧を受ける請求項1に記載の配線基板。
- [16] 前記被加圧領域は異方性導電膜を介して加圧を受ける請求項1に記載の配線基板。

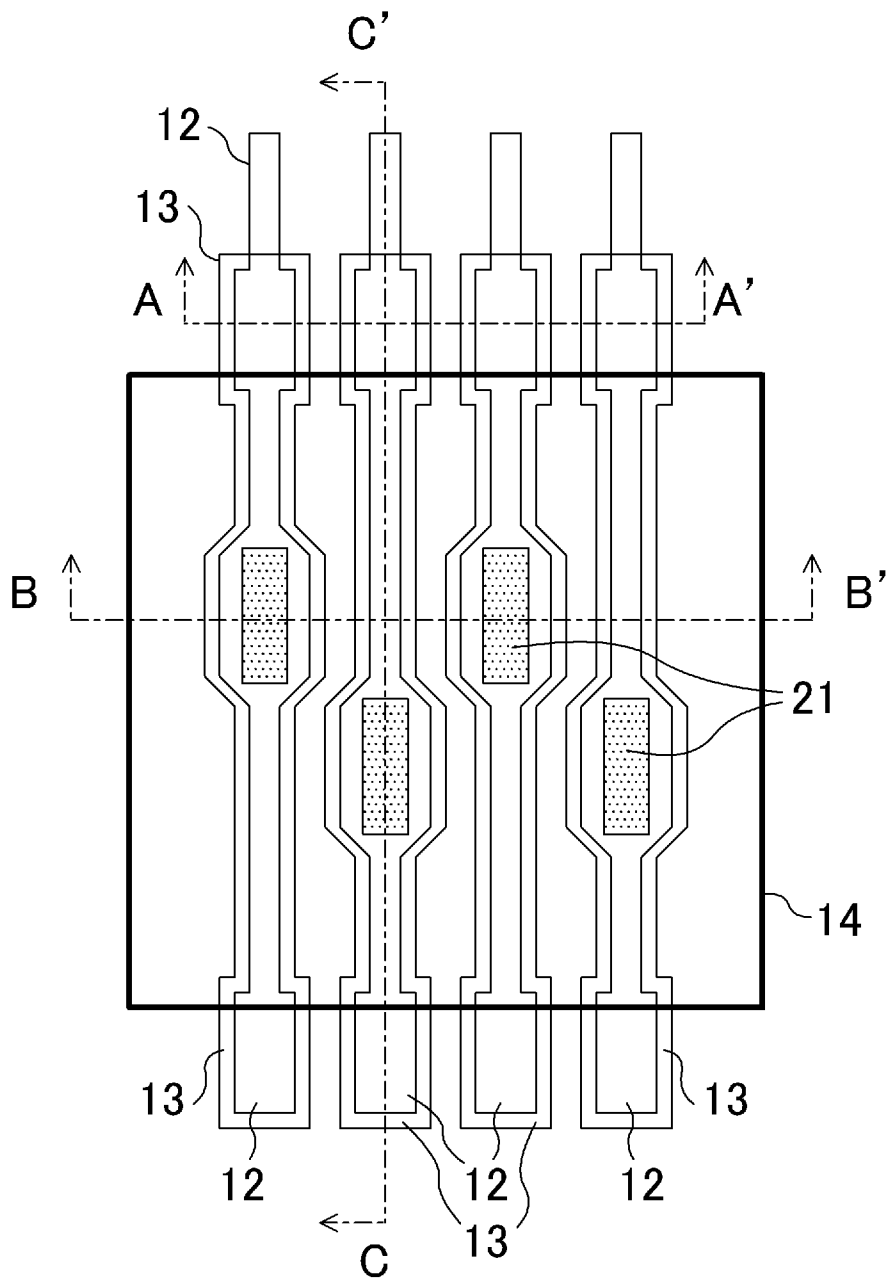
〔図1〕



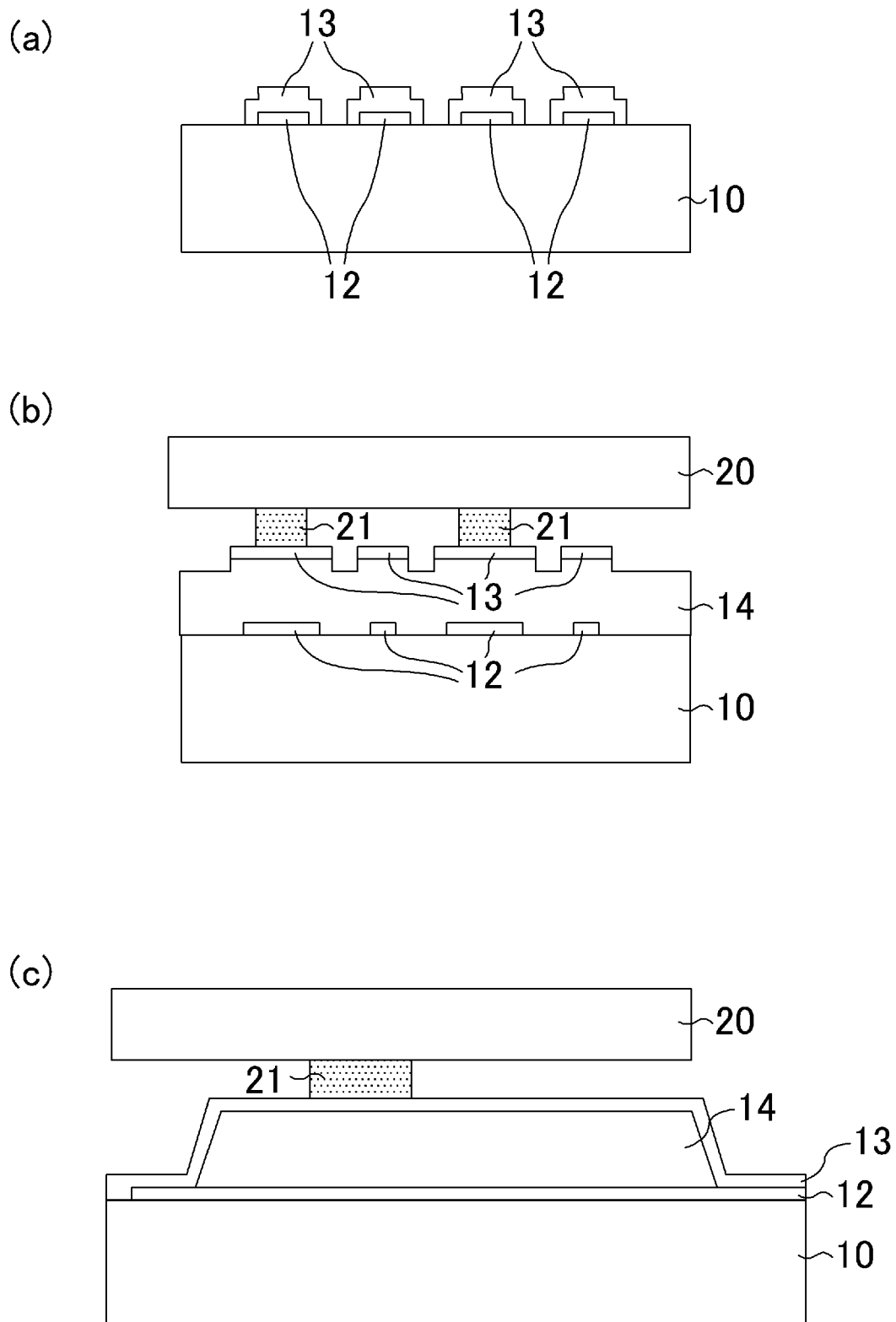
〔図2〕



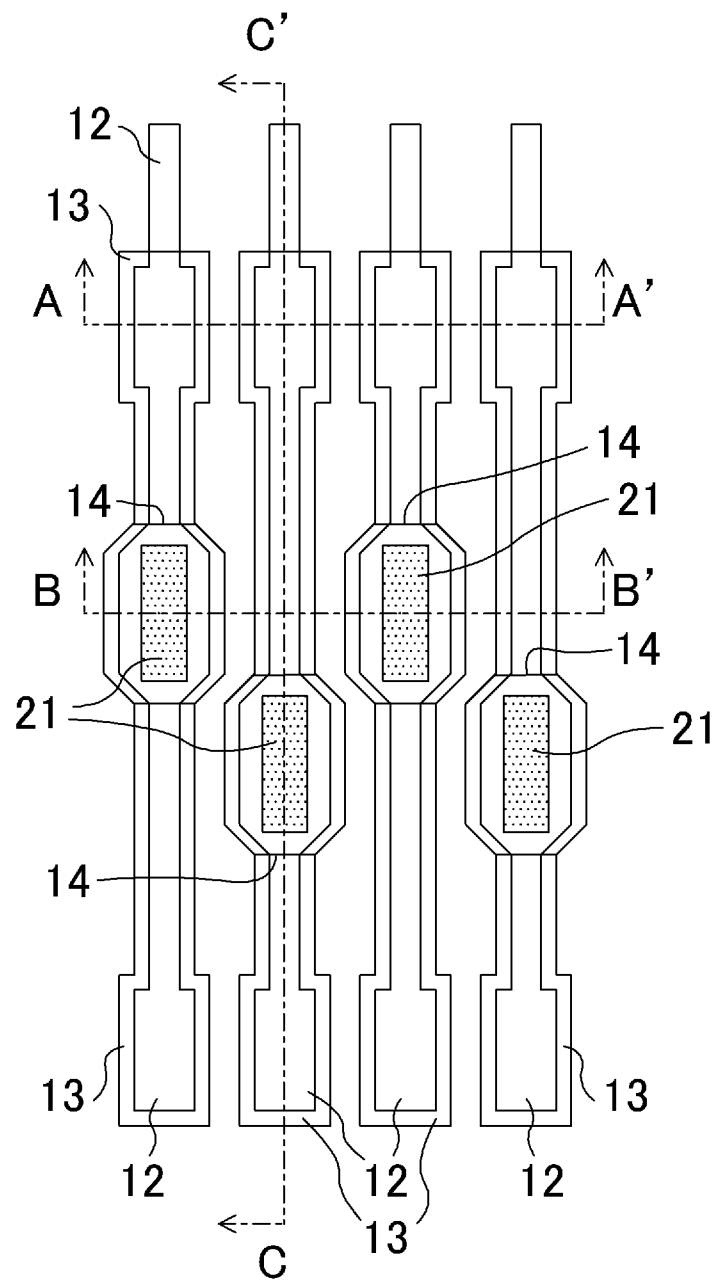
[図3]



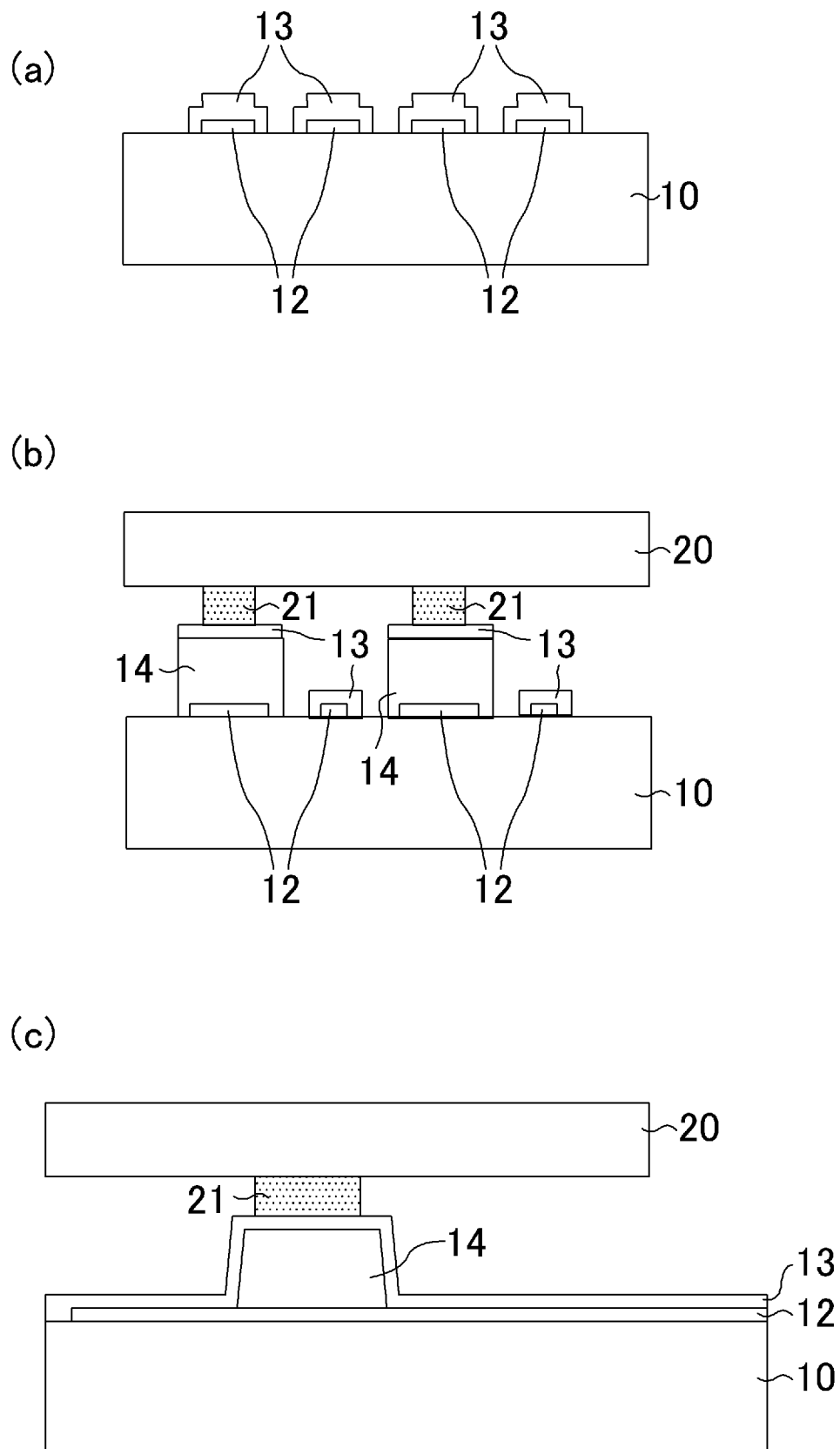
[図4]



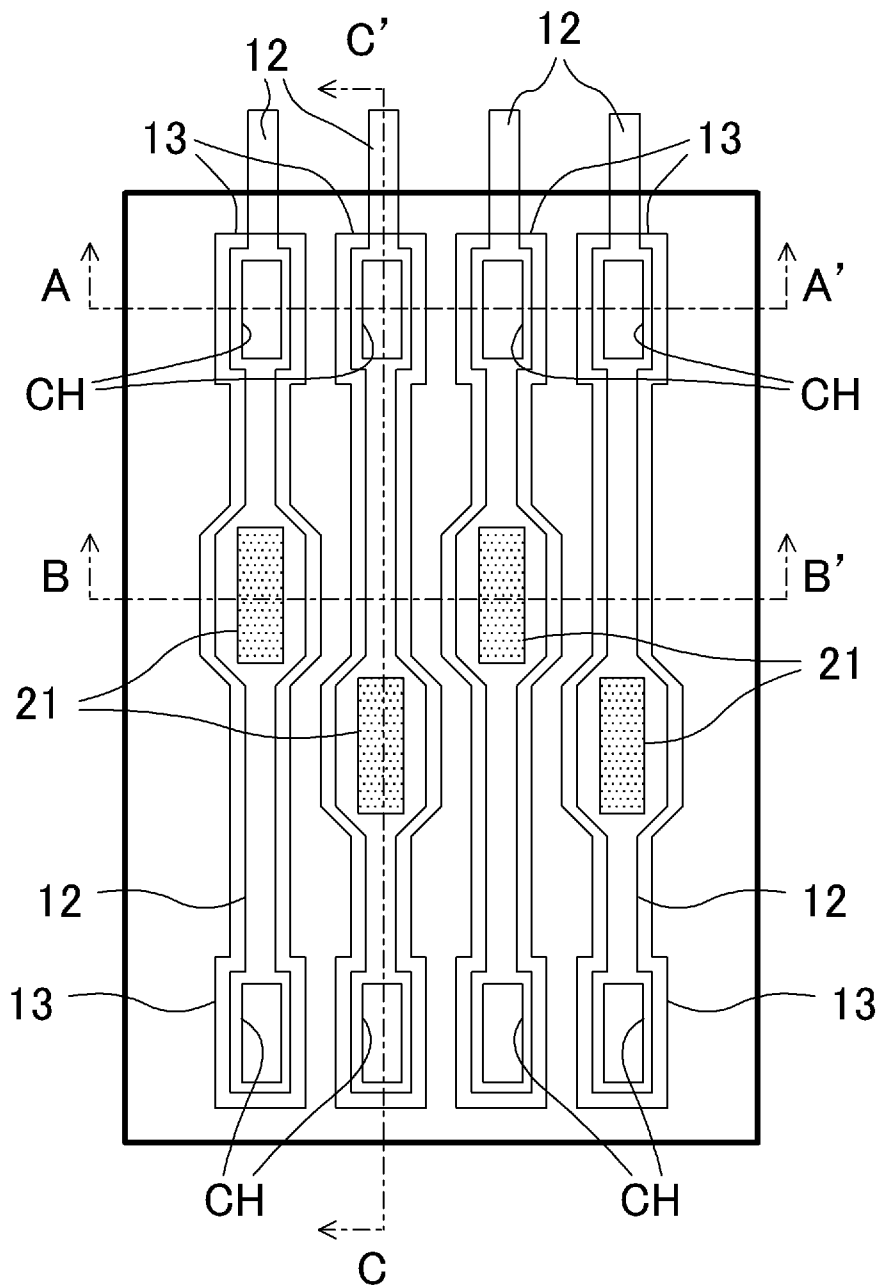
[図5]



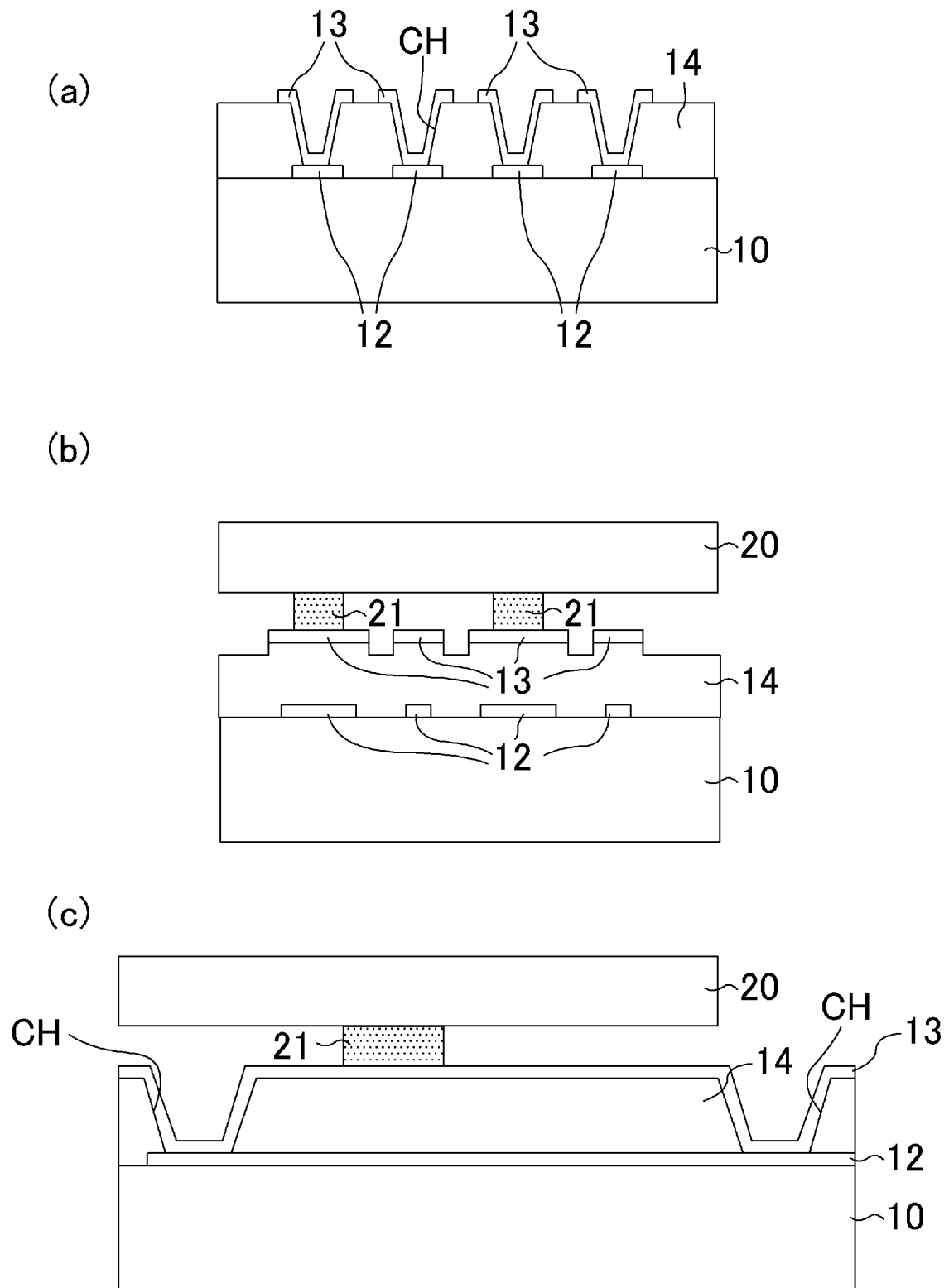
[図6]



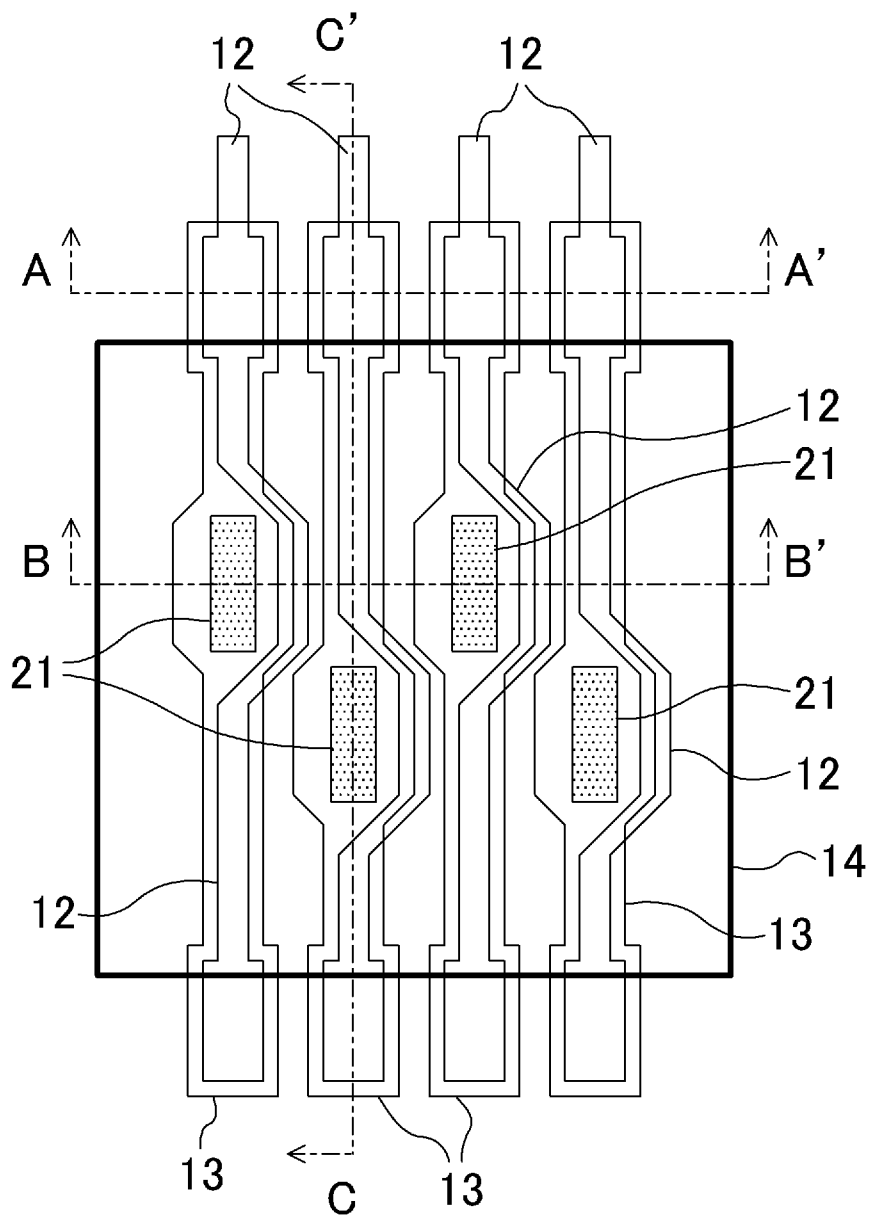
[図7]



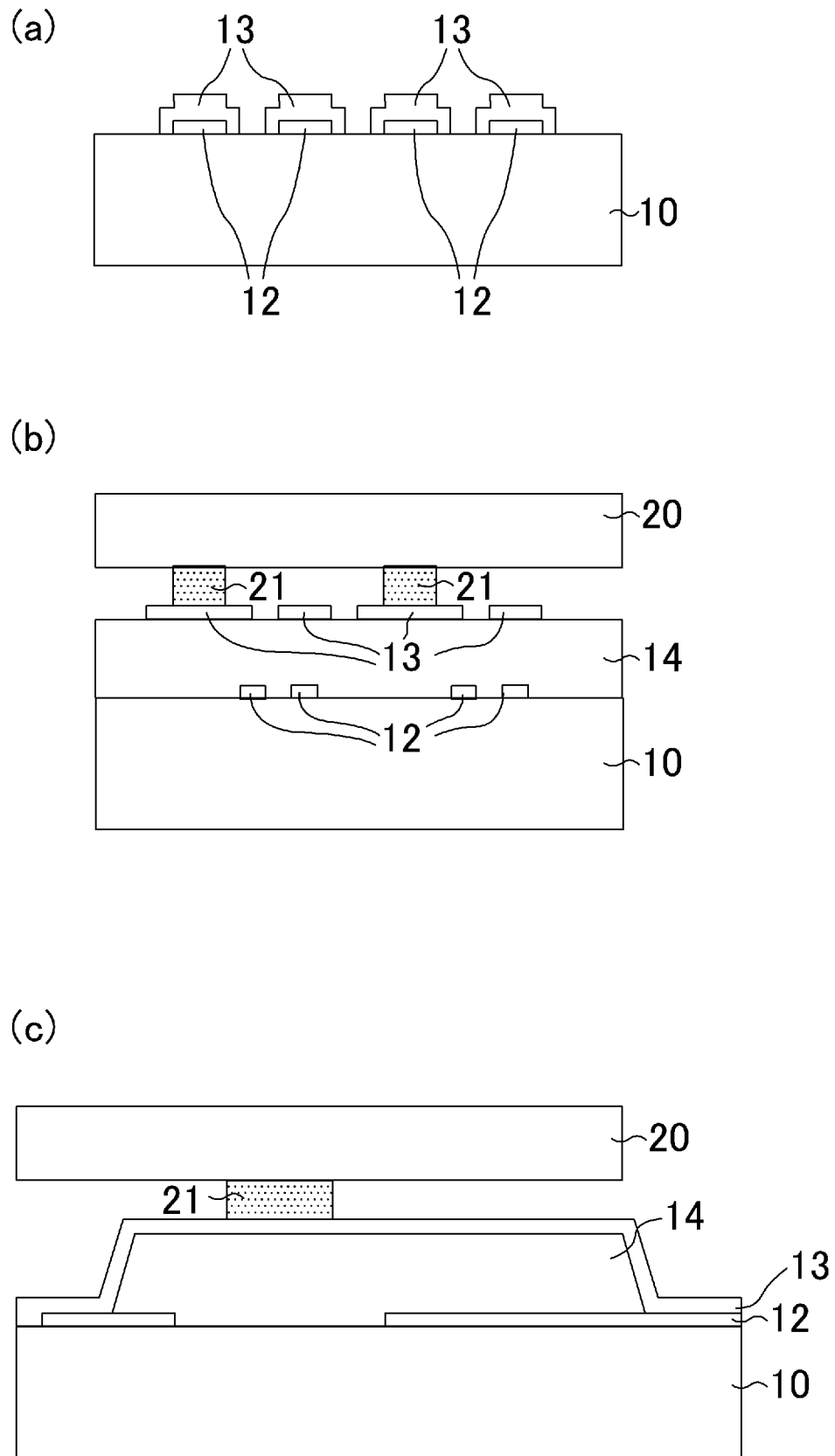
[図8]



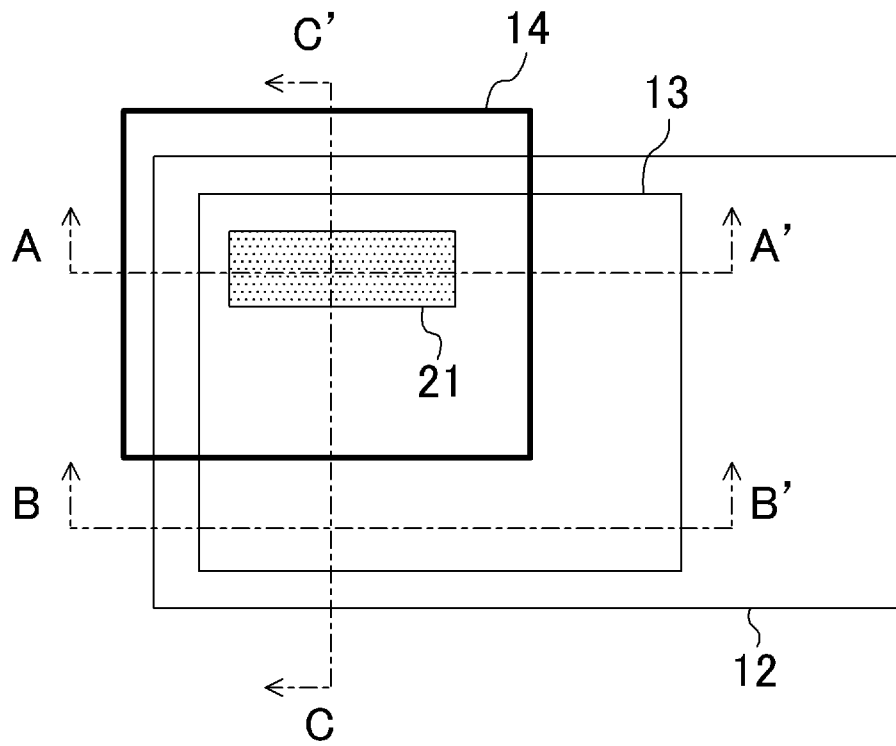
[図9]



[図10]

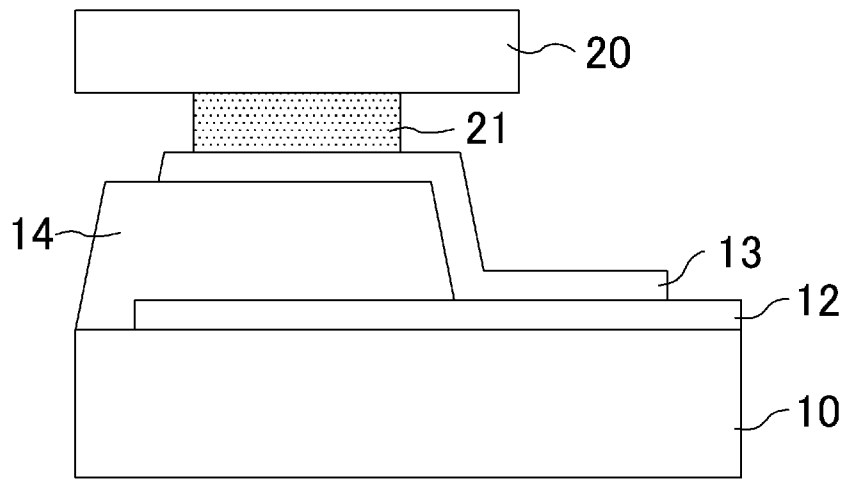


[図11]

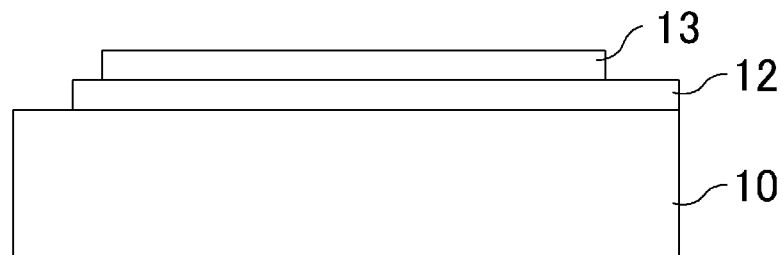


[図12]

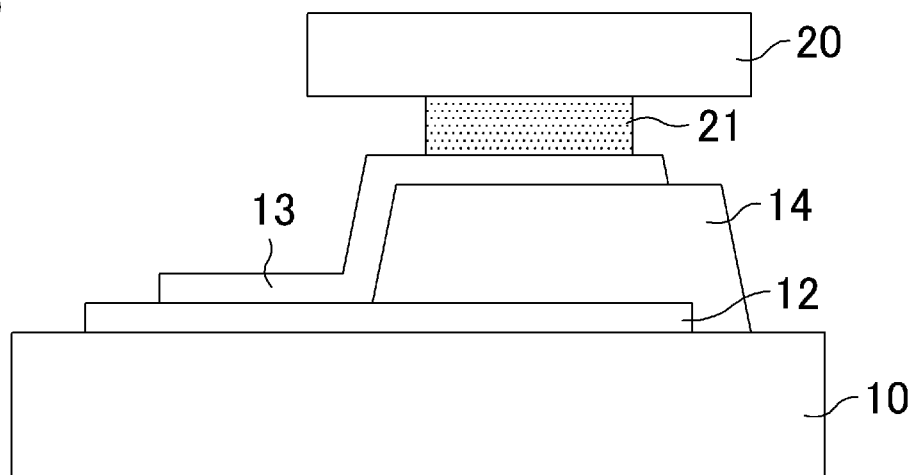
(a)



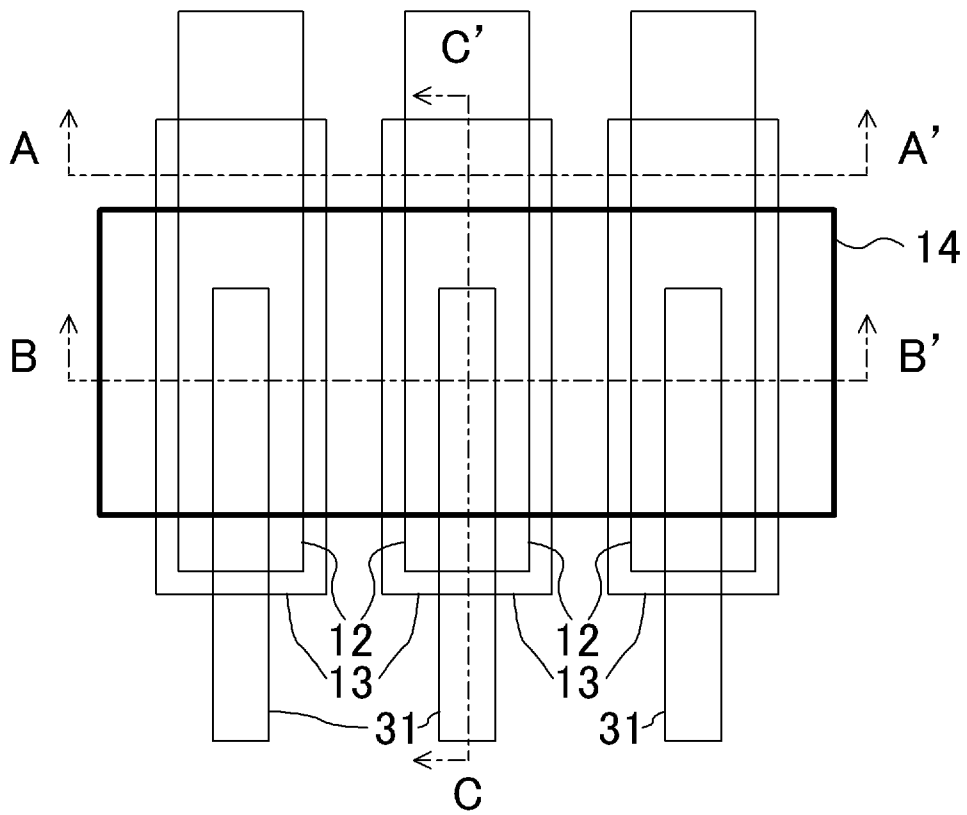
(b)



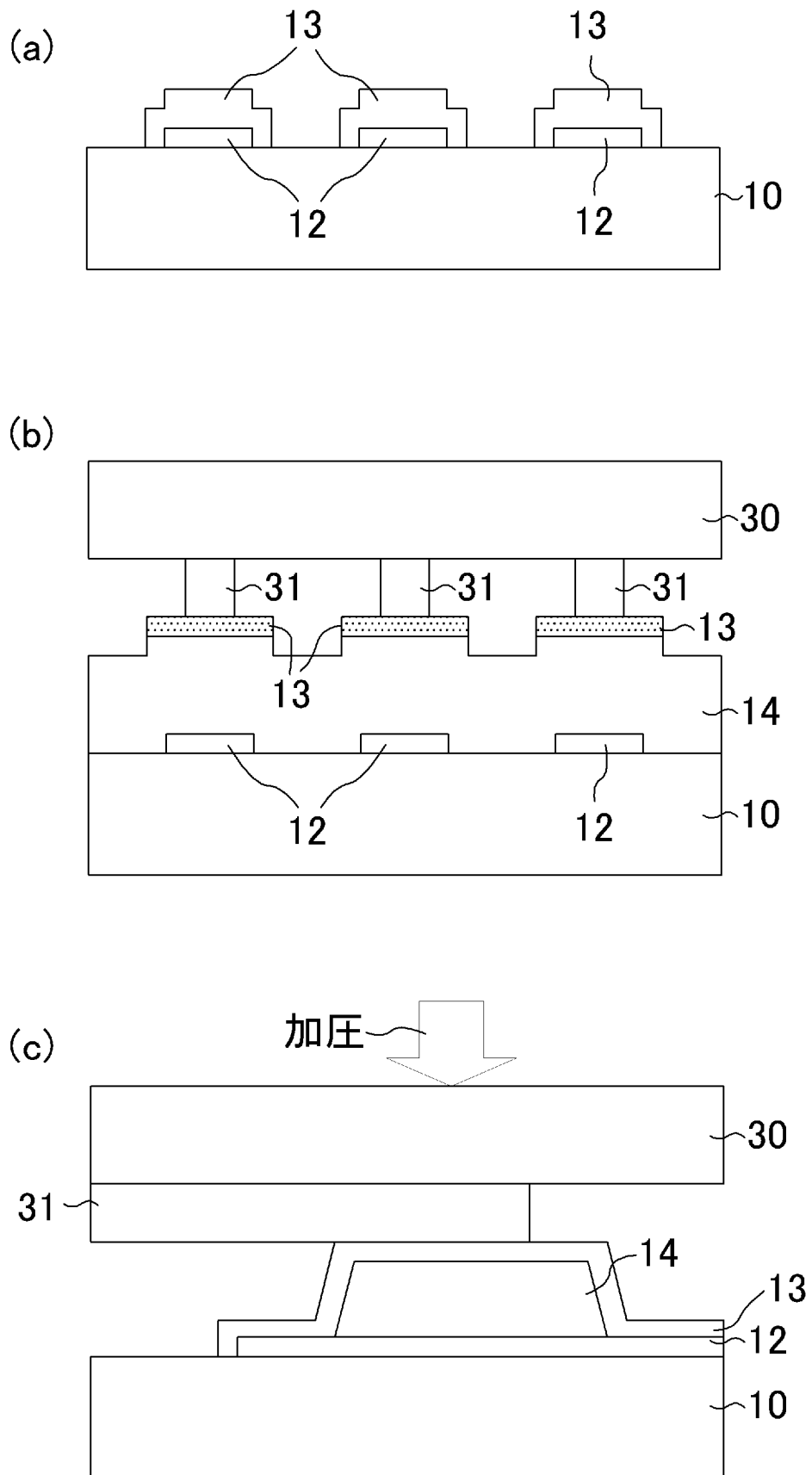
(c)



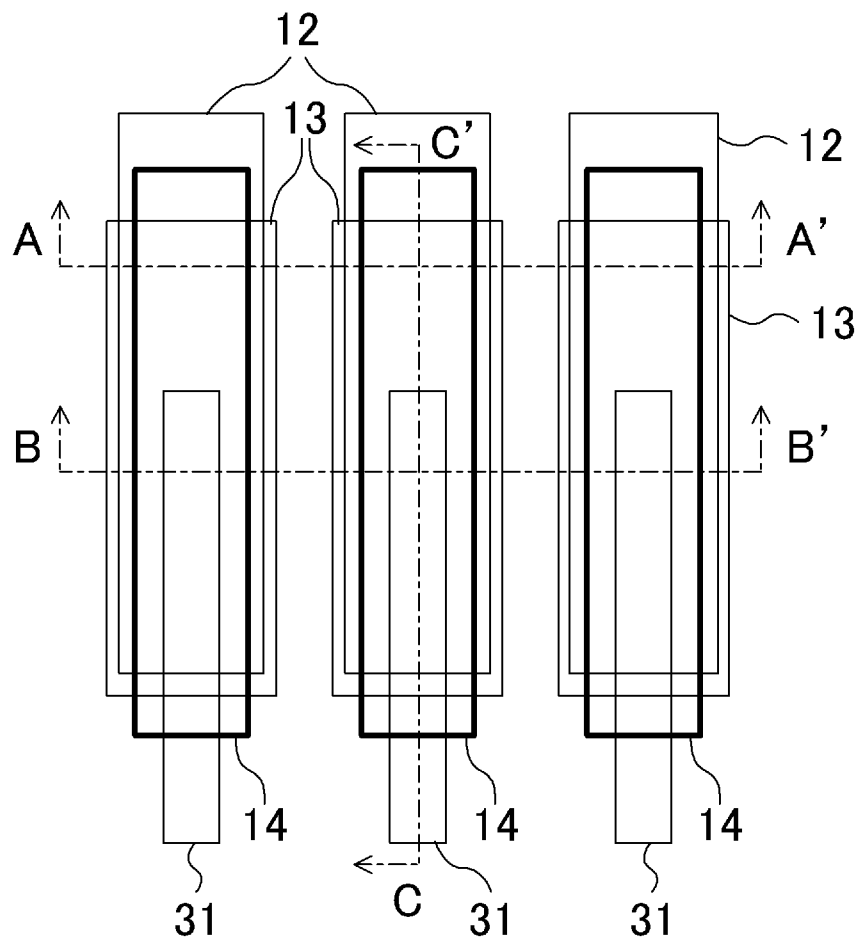
[図13]



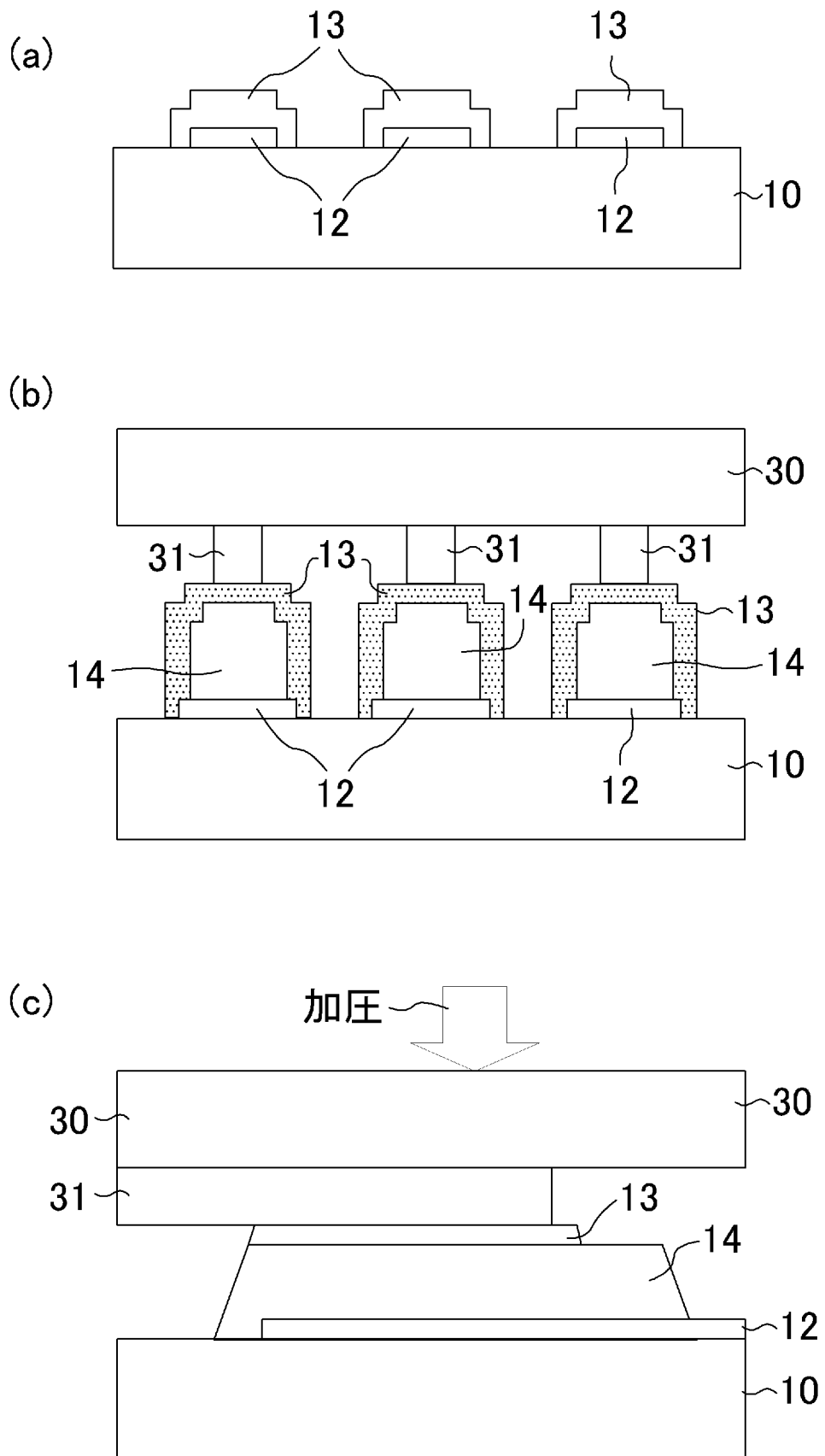
[図14]



[図15]

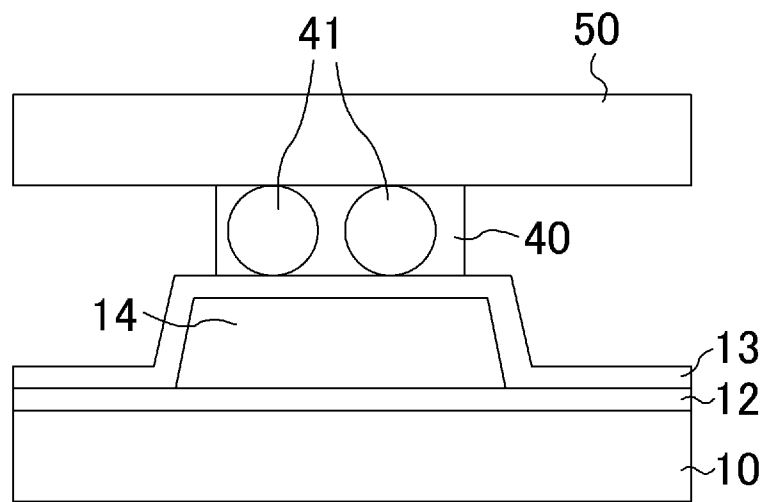


[図16]

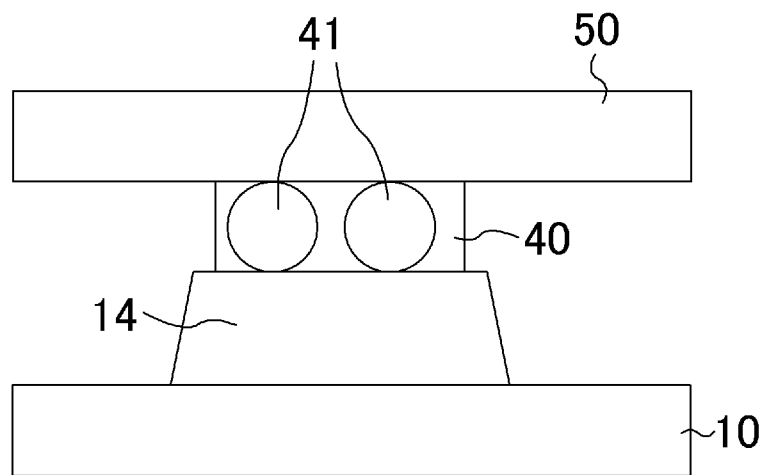


[図18]

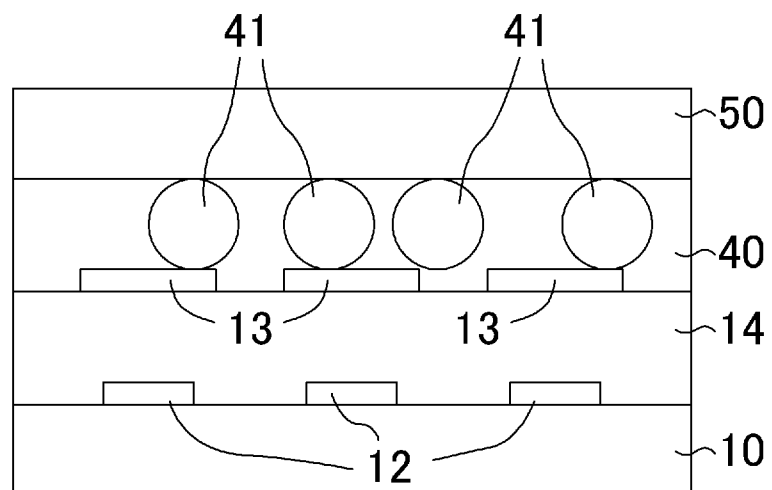
(a)



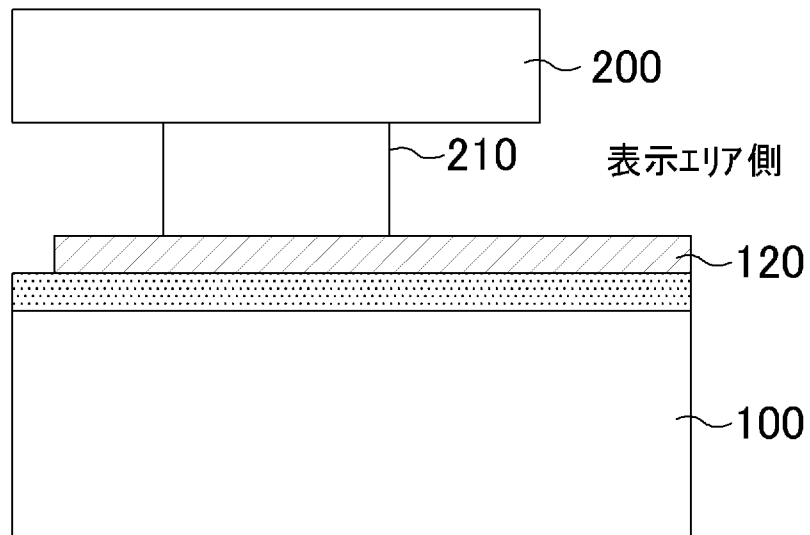
(b)



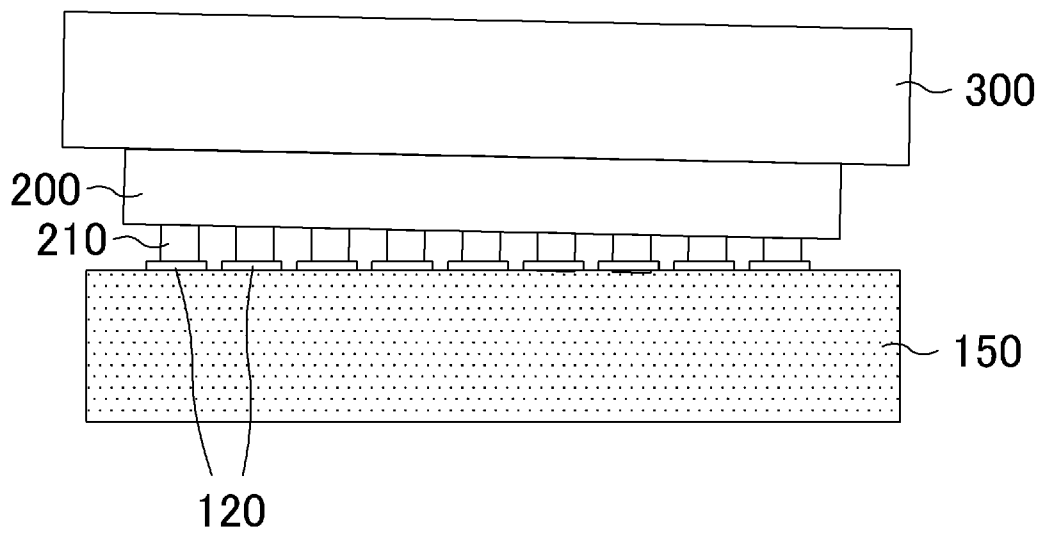
(c)



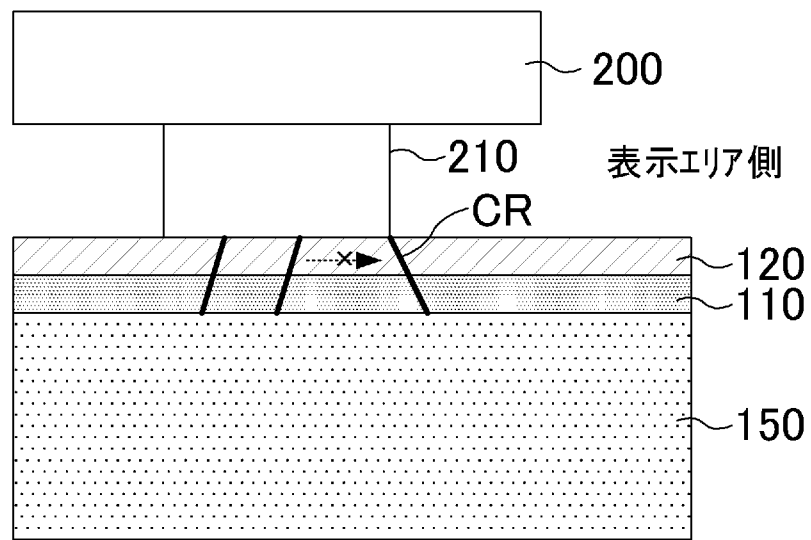
[図19]



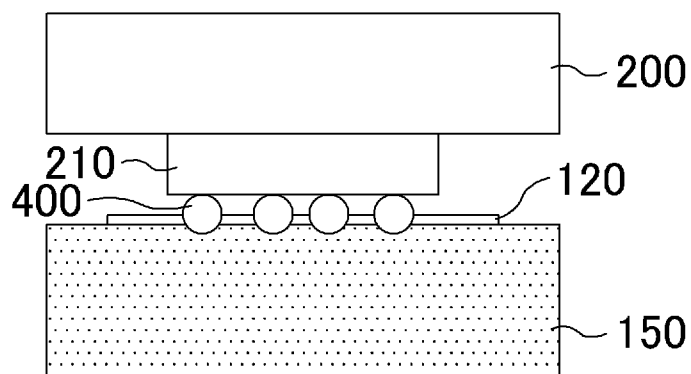
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/309094

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01) , **H01L21/60**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12(2006.01) , **H01L21/60**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-92879 A (Kyocera Corp.), 10 April, 1998 (10.04.98), Par. Nos. [0013] to [0031]; Fig. 1 (Family: none)	1-11, 15 12-14, 16
Y	JP 2004-193277 A (Sharp Corp.), 08 July, 2004 (08.07.04), Full text; all drawings (Family: none)	12-14, 16
A	JP 59-21036 A (Mitsubishi Electric Corp.), 02 February, 1984 (02.02.84), (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June, 2006 (14.06.06)

Date of mailing of the international search report
27 June, 2006 (27.06.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L23/12(2006. 01), H01L21/60(2006. 01)			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L23/12(2006. 01), H01L21/60(2006. 01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	JP 10-92879 A(京セラ株式会社)1998. 04. 10, 【0013】 - 【0031】, 図 1 (ファミリーなし)	1-11, 15 12-14, 16	
Y	JP 2004-193277 A(シャープ株式会社)2004. 07. 08, 全文, 全図 (ファミリーなし)	12-14, 16	
A	JP 59-21036 A(三菱電機株式会社)1984. 02. 02, (ファミリーなし)	1-16	
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技术水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 4 . 0 6 . 2 0 0 6		国際調査報告の発送日 2 7 . 0 6 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 坂本 薫昭 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1	4 R 9 2 6 5