



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월22일
(11) 등록번호 10-0769031
(24) 등록일자 2007년10월16일

(51) Int. Cl.

H01C 7/10 (2006.01)

(21) 출원번호 10-2006-0071441

(22) 출원일자 2006년07월28일

심사청구일자 2006년07월28일

(65) 공개번호 10-2007-0015071

공개일자 2007년02월01일

(30) 우선권주장

JP-P-2005-00221665 2005년07월29일 일본(JP)

(56) 선행기술조사문헌

등록공보 10-0470115 (2005.02.04)

(뒷면에 계속)

(73) 특허권자

티디케이가부시기가이샤

일본 도쿄도 추오구 니혼바시 1조메 13반 1고

(72) 발명자

테라다 유지

일본, 도쿄도 103-8272, 추오구, 니혼바시, 1조메 13반 1고

마쯔오카 다이

일본, 도쿄도 103-8272, 추오구, 니혼바시, 1조메 13반 1고

치다 나오키

일본, 도쿄도 103-8272, 추오구, 니혼바시, 1조메 13반 1고

(74) 대리인

장훈

전체 청구항 수 : 총 13 항

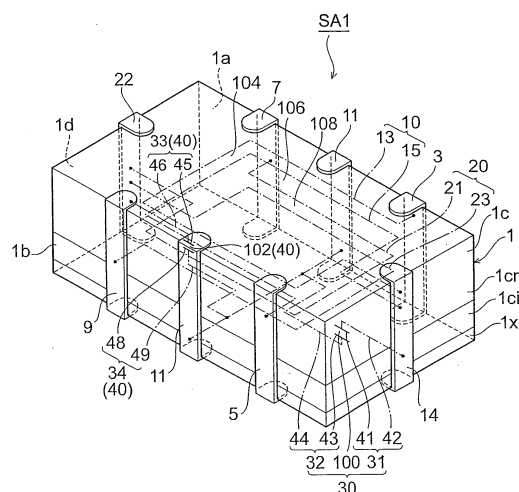
심사관 : 박정식

(54) 서지 흡수 소자 및 서지 흡수 회로

(57) 요약

본 발명은 고속 신호에 대해서도 임피던스 정합이 우수하고, 또한, 소형인 서지 흡수 소자 및 서지 흡수 회로를 제공하는 것을 목적으로 한다. 서지 흡수 소자(SA1)는, 제 1 및 제 2 인덕터부(10, 20)와, 제 1 및 제 2 서지 흡수부(30, 40)를 구비하고 있다. 제 1 인덕터부(10)는 제 1 및 제 2 코일(13, 15)을 갖고, 제 2 인덕터부(20)는 제 3 및 제 4 코일(21, 23)을 갖고 있다. 각 코일간의 결합 계수 및 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 적절하게 설정함으로써, 광대역에 걸쳐서 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다. 또한, 제 1 내지 제 4 코일(13, 15, 21, 23)은 서로 정(正)의 자기 결합 상태를 갖고 있기 때문에, 정의 자기 결합 상태를 가지지 않을 때와 비교하여 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 작게 할 수 있다.

대표도 - 도1a



(56) 선행기술조사문헌

등록공보 10-0470116 (2005.02.04)

공개특허공보 10-2005-14094(2005.02.07.)

일본공개특허 P2001-60838A(2001.03.06.)

특허청구의 범위

청구항 1

서지 흡수 소자에 있어서,
 일단이 제 1 입력단자에 접속된 제 1 코일,
 일단이 제 1 출력단자에 접속되고 타단이 상기 제 1 코일의 타단에 접속된 제 2 코일,
 일단이 제 2 입력단자에 접속된 제 3 코일, 및
 일단이 제 2 출력단자에 접속되고 타단이 상기 제 3 코일의 타단에 접속된 제 4 코일을 갖는 인덕터부와,
 상기 인덕터부에서의 상기 제 1 코일과 상기 제 2 코일의 제 1 접속점과 접속된 제 1 내부전극,
 상기 제 1 내부전극에 대향하여 기준단자에 접속된 제 2 내부전극, 및
 상기 제 1 내부전극 및 상기 제 2 내부전극간에 개재(介在)하는 제 1 서지 흡수층을 갖는 제 1 서지 흡수부와,

 상기 인덕터부에서의 상기 제 3 코일과 상기 제 4 코일의 제 2 접속점에 접속된 제 3 내부전극,
 상기 제 3 내부전극에 대향하여 상기 기준단자에 접속된 제 4 내부전극, 및
 상기 제 3 내부전극 및 제 4 내부전극간에 개재하는 제 2 서지 흡수층을 갖는 제 2 서지 흡수부를 구비하고,
 상기 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 상기 제 1 코일, 상기 제 2 코일, 상기 제 3 코일, 및 상기 제 4 코일은 서로 정(正)의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 2

제 1 항에 있어서,
 상기 제 1 서지 흡수층은 반도체 세라믹으로 이루어지고,
 상기 제 2 서지 흡수층은 반도체 세라믹으로 이루어지는 것을 특징으로 하는, 서지 흡수 소자.

청구항 3

제 1 항에 있어서,
 상기 인덕터부는,
 상기 제 1 코일과 상기 제 2 코일의 사이에 개재하는 제 1 절연층과,
 상기 제 2 코일과 상기 제 3 코일의 사이에 개재하는 제 2 절연층과,
 상기 제 3 코일과 상기 제 4 코일의 사이에 개재하는 제 3 절연층을 구비하고,
 상기 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 상기 제 1, 제 2, 제 3 및 제 4 코일에 있어서 발생하는 자계의 방향이 동일한 방향으로 되도록 배치되고, 또한, 상기 제 1 코일내의 영역과, 상기 제 2 코일내의 영역과, 상기 제 3 코일내의 영역과, 상기 제 4 코일내의 영역과는, 코일 적층 방향에서 보아 적어도 일부가 겹치도록 배치되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 4

제 3 항에 있어서,
 상기 제 1 서지 흡수층, 상기 제 2 서지 흡수층, 상기 제 1 절연층, 제 2 절연층 및 제 3 절연층은 전체로서 직방체의 소체를 구성하고 있고,
 상기 제 1 및 제 2 입력단자는 상기 소체의 제 1 측면상에 형성되고,
 상기 제 1 및 제 2 출력단자는 상기 소체의 제 2 측면상에 형성되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 5

제 4 항에 있어서,

상기 제 1 측면과 상기 제 2 측면은 대향하고 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 6

제 4 항에 있어서,

상기 제 1 코일의 타단은 상기 소체의 외표면상에서 노출되고,

상기 제 2 코일의 타단은 상기 소체의 외표면상에서 노출되고,

상기 제 1 및 제 2 코일의 노출부는 상기 소체의 외표면상에 형성된 제 1 외부도체를 통하여 접속되어 있고,

상기 제 3 코일의 타단은 상기 소체의 외표면상에서 노출되고,

상기 제 4 코일의 타단은 상기 소체의 외표면상에서 노출되고,

상기 제 3 및 제 4 코일의 노출부는 상기 소체의 외표면상에 형성된 제 2 외부도체를 통하여 접속되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 7

제 4 항에 있어서,

상기 기준단자는,

상기 소체의 외표면상에 형성되어 있고, 또한,

상기 제 1 및 제 2 입력단자간, 또는, 상기 제 1 및 제 2 출력단자간에 배치되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 8

제 1 항에 있어서,

상기 제 1 입력단자와 상기 제 1 출력단자의 사이에 개재하는 제 1 커패시터와,

상기 제 2 입력단자와 상기 제 2 출력단자의 사이에 개재하는 제 2 커패시터를 더 구비하는 것을 특징으로 하는, 서지 흡수 소자.

청구항 9

제 8 항에 있어서,

상기 제 1 커패시터는,

상기 제 1 입력단자에 접속된 제 5 내부전극과,

상기 제 1 출력단자에 접속된 제 6 내부전극과,

상기 제 5 및 제 6 내부전극간에 개재하는 절연층을 갖고,

상기 제 2 커패시터는,

상기 제 2 입력단자에 접속된 제 7 내부전극과,

상기 제 2 출력단자에 접속된 제 8 내부전극과,

상기 제 7 및 제 8 내부전극간에 개재하는 절연층을 갖는 것을 특징으로 하는, 서지 흡수 소자.

청구항 10

서지 흡수 소자에 있어서,
 일단이 제 1 입력단자에 접속된 제 1 코일,
 일단이 제 1 출력단자에 접속되고 타단이 상기 제 1 코일의 타단에 접속된 제 2 코일,
 일단이 제 2 입력단자에 접속된 제 3 코일, 및
 일단이 제 2 출력단자에 접속되고 타단이 상기 제 3 코일의 타단에 접속된 제 4 코일을 갖는 인덕터부와,
 상기 인덕터부에서의 상기 제 1 코일과 상기 제 2 코일의 제 1 접속점에 접속된 제 1 내부전극,
 상기 제 1 내부전극에 대향하여 기준단자에 접속된 제 2 내부전극, 및
 상기 제 1 내부전극 및 상기 제 2 내부전극간에 개재하는 제 1 서지 흡수층을 갖는 제 1 서지 흡수부와,
 상기 인덕터부에서의 상기 제 3 코일과 상기 제 4 코일의 제 2 접속점에 접속된 제 3 내부전극,
 상기 제 3 내부전극에 대향하여 상기 기준단자에 접속된 제 4 내부전극, 및
 상기 제 3 내부전극 및 제 4 내부전극간에 개재하는 제 2 서지 흡수층을 갖는 제 2 서지 흡수부와,
 상기 제 1 입력단자와 상기 제 1 출력단자의 사이에 개재하는 제 1 커패시터와,
 상기 제 2 입력단자와 상기 제 2 출력단자의 사이에 개재하는 제 2 커패시터를 구비하고,
 상기 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에,
 상기 제 1 코일은 상기 제 3 코일과 서로 정의 자기 결합 상태를 갖고,
 상기 제 2 코일은 상기 제 4 코일과 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 하는, 서지 흡수 소자.

청구항 11

서지 흡수 회로에 있어서,
 일단이 제 1 입력단자에 접속된 제 1 코일과,
 일단이 제 1 출력단자에 접속되고 타단이 상기 제 1 코일의 타단에 접속된 제 2 코일과,
 일단이 제 2 입력단자에 접속된 제 3 코일과,
 일단이 제 2 출력단자에 접속되고 타단이 상기 제 3 코일의 타단에 접속된 제 4 코일과,
 상기 제 1 코일과 상기 제 2 코일의 제 1 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 1 서지 흡수부와,
 상기 제 3 코일과 상기 제 4 코일의 제 2 접속점에 일단이 접속되고, 타단이 상기 기준단자에 접속된 제 2 서지 흡수부를 구비하고,
 상기 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 상기 제 1 코일, 상기 제 2 코일, 상기 제 3 코일, 및 상기 제 4 코일은, 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 하는, 서지 흡수 회로.

청구항 12

제 11 항에 있어서,
 일단이 상기 제 1 입력단자에 접속되고, 타단이 상기 제 1 출력단자에 접속된 제 1 커패시터와,
 일단이 상기 제 2 입력단자에 접속되고, 타단이 상기 제 2 출력단자에 접속된 제 2 커패시터를 더 구비하는 것을 특징으로 하는, 서지 흡수 회로.

청구항 13

서지 흡수 회로에 있어서,

일단이 제 1 입력단자에 접속된 제 1 코일과,
 일단이 제 1 출력단자에 접속되고 타단이 상기 제 1 코일의 타단에 접속된 제 2 코일과,
 일단이 제 2 입력단자에 접속된 제 3 코일과,
 일단이 제 2 출력단자에 접속되고 타단이 상기 제 3 코일의 타단에 접속된 제 4 코일과,
 상기 제 1 코일과 상기 제 2 코일의 제 1 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 1 서지 흡수부와,
 상기 제 3 코일과 상기 제 4 코일의 제 2 접속점에 일단이 접속되고, 타단이 상기 기준단자에 접속된 제 2 서지 흡수부와,
 일단이 상기 제 1 입력단자에 접속되고, 타단이 상기 제 1 출력단자에 접속된 제 1 커패시터와,
 일단이 상기 제 2 입력단자에 접속되고, 타단이 상기 제 2 출력단자에 접속된 제 2 커패시터를 구비하고,
 상기 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에,
 상기 제 1 코일과 상기 제 3 코일이 서로 정의 자기 결합 상태를 갖고,
 상기 제 2 코일과 상기 제 4 코일이 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 하는, 서지 흡수 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은, 서지 흡수 소자 및 서지 흡수 회로에 관한 것이다.
- <15> IC나 LSI 등의 반도체 디바이스는, 고압의 정전기에 의해서 파괴되거나, 또는, 특성이 열화된다. 이 때문에, 반도체 디바이스에는, 정전기 대책으로서 배리스터 등의 서지 흡수 소자가 사용되고 있다.
- <16> 그런데, 배리스터를 비롯한 서지 흡수 소자는 부유 용량 성분이나 부유 유도 성분을 갖는다. 이 때문에, 고속 신호를 취급하는 회로에 서지 흡수 소자를 적용하면 고속 신호를 열화시켜 버린다. 고속 신호를 취급하는 회로에 서지 흡수 소자를 적용하기 위해서는, 서지 흡수 소자의 부유 용량 성분을 작게 하지 않으면, 고속 신호의 상승 특성이나 지연 특성의 열화를 피할 수 없다. 그렇지만, 서지 흡수 소자의 부유 용량 성분을 작게 하면, 서지 흡수 소자의 제어전압의 상승이나 에너지 내량을 감소시켜 버린다.
- <17> 부유 용량 성분의 영향을 경감시키는 서지 흡수 소자로서, 인덕터(inductor)와 2개의 배리스터를 구비하는 서지 흡수 소자가 알려져 있다(예를 들면, 특허문헌 1: 일본 공개특허공보 2001-60838호 참조). 특허문헌 1에 기재된 서지 흡수 소자는, 제 1 배리스터와 인덕터로 이루어지는 병렬회로와, 병렬회로에 전기적으로 직렬로 접속된 제 2 배리스터와, 제 2 배리스터와 병렬회로의 직렬 회로의 양단에 접속된 입출력전극 및 그라운드 전극(grounding electrode)을 구비하고 있다.

발명이 이루고자 하는 기술적 과제

- <18> 그러나, 특허문헌 1에 기재된 서지 흡수 소자에서는, 제 1 배리스터의 부유 용량과 인덕터에 의해 밴드패스 필터(bandpass filter)가 구성되기 때문에, 광대역에 걸쳐서 임피던스 정합(impedance matching)을 취하는 것은 곤란하다. 따라서, 고속 신호에 대해서는 충분한 특성을 실현할 수 없다. 또한, 고속 신호에 대한 임피던스 정합을 양호하게 할뿐만 아니라, 소자 자체의 소형화도 요망되고 있다.
- <19> 본 발명의 목적은, 고속 신호에 대해서도 임피던스 정합이 우수하고, 또한, 소형인 서지 흡수 소자 및 서지 흡수 회로를 제공하는 것이다.

발명의 구성 및 작용

- <20> 제 1 발명에 따른 서지 흡수 소자는, (A)일단이 제 1 입력단자에 접속된 제 1 코일과, 일단이 제 1 출력단자에 접속되고 타단이 제 1 코일의 타단에 접속된 제 2 코일과, 일단이 제 2 입력단자에 접속된 제 3 코일과, 일단이 제 2 출력단자에 접속되고 타단이 제 3 코일의 타단에 접속된 제 4 코일을 갖는 인덕터부와, (B)인덕터부에서의 제 1 코일과 제 2 코일의 제 1 접속점에 접속된 제 1 내부전극과, 제 1 내부전극에 대하여 기준단자에 접속된 제 2 내부전극과, 제 1 내부전극 및 제 2 내부전극간에 개재하는 제 1 서지 흡수층을 갖는 제 1 서지 흡수부와, (C)인덕터부에서의 제 3 코일과 제 4 코일의 제 2 접속점에 접속된 제 3 내부전극과, 제 3 내부전극에 대하여 기준단자에 접속된 제 4 내부전극과, 제 3 내부전극 및 제 4 내부전극간에 개재하는 제 2 서지 흡수층을 갖는 제 2 서지 흡수부를 구비하고, (D)제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 제 1 코일, 제 2 코일, 제 3 코일, 및 제 4 코일은 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 한다.
- <21> 제 1 및 제 2 입력단자에는 역상의 신호가 입력된다.
- <22> 인덕터부에서의 제 1 입력단자가 속하는 쪽을 제 1 인덕터부, 제 2 입력단자가 속하는 쪽을 제 2 인덕터부로 한다. 제 1 인덕터부에서의 제 1 입력단자에 신호가 입력된 경우, 제 1 서지 흡수부의 클램프 전압(clamp voltage)은, 통상, 입력된 신호의 전압보다도 높게 설정되어 있기 때문에, 제 1 서지 흡수부는 고저항으로 보이고, 그 결과, 제 1 코일 및 제 2 코일을 통하여 제 1 출력단자에 신호가 전달된다.
- <23> 제 1 입력단자에 입력되는 신호에 서지가 포함되는 경우에는, 서지가 높은 전압은, 제 1 서지 흡수부의 클램프 전압을 초과하기 때문에, 기준단자에 클램프된다. 보다 확실하게 서지를 흡수하기 위해서는, 클램프 전압을 낮추면 좋지만, 클램프 전압의 저하에 반비례하여 서지 흡수부의 부유 용량이 증가한다. 부유 용량은, 고속 신호의 전달에 영향을 주기 때문에, 그 증가는 바람직하지 못하다.
- <24> 또한, 제 1 코일, 용량 성분을 갖는 제 1 서지 흡수부, 제 2 코일은, T형의 로패스 필터(lowpass filter)를 구성하고 있다. 로패스 필터의 영상 임피던스(image impedance)는, 신호통과대역에서는 일정하지만, 차단 주파수 이상에서는 크게 변동한다. 차단 주파수는, LC 정수(LC constant)에 의해서 결정되기 때문에, 고속 신호에 포함되는 고차 고조파 성분이 임피던스 부정합에 의해 반사되고, 펄스파형(pulse waveform)이 완화되고, 또한 불요 복사의 원인이 된다. 그 때문에, LC 정수에 의한 이 고속 신호의 반사는 바람직하지 못하다. 높은 주파수의 신호를 반사시키지 않고서 전달하기 위해서는, 임피던스 정합되어 있는 주파수 대역을 확대하는 것이 바람직하다.
- <25> 한편, 제 2 인덕터부에서의 제 2 입력단자에는, 제 1 입력단자로의 입력신호와 역상의 신호가 입력되고, 제 2 인덕터부와 제 2 서지 흡수부는, 제 1인덕터부 및 제 1 서지 흡수부와 함께 동작한다.
- <26> 즉, 제 2 인덕터부에서의 제 2 입력단자에 신호가 입력된 경우, 제 2 서지 흡수부의 클램프 전압은, 통상, 신호 전압보다도 높게 설정되어 있기 때문에, 제 2 서지 흡수부는 고저항으로 보이고, 그 결과, 제 3 코일 및 제 4 코일을 통하여 제 2 출력단자에 신호가 전달된다.
- <27> 제 2 입력단자에 입력되는 신호에 서지가 포함되는 경우에는, 서지가 높은 전압은, 제 2 서지 흡수부의 클램프 전압을 초과하기 때문에, 기준단자에 클램프된다.
- <28> 또한, 제 3 코일, 용량 성분을 갖는 제 2 서지 흡수부, 제 4 코일은, T형의 로패스 필터를 구성하고 있다. 상술한 경우와 마찬가지로, 이 로패스 필터의 LC 정수에 의해서 생기는 고속 신호의 반사는, 바람직하지 못하다. 그 때문에, 높은 주파수의 신호를 전달하기 위해서는, 임피던스 정합되어 있는 주파수 대역을 확대하는 것이 바람직하다.
- <29> 그래서, 영상 임피던스는 코일의 결합 계수에 의존한 주파수 특성을 갖기 때문에, 제 1, 제 2, 제 3, 제 4 코일간의 결합 계수를 각각 적절하게 설정함으로써, 주파수에 의존하지 않는 영상 임피던스를 얻을 수 있다. 또한, 제 1 및 제 2 코일의 유도 계수를 적절하게 설정함으로써, 제 1 서지 흡수부의 부유 용량 성분의 영향을 캔슬하고, 제 3 및 제 4 코일의 유도 계수를 적절하게 설정함으로써, 제 2 서지 흡수부의 부유 용량 성분의 영향을 캔슬할 수 있다.
- <30> 이 경우, 서지 흡수 소자의 영상 임피던스와 서지 흡수 소자가 삽입되는 신호라인(signal line)의 특성 임피던스(characteristic impedance)를 정합시키면, 고속 신호의 반사를 억제하여, 광대역에 걸쳐 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다.
- <31> 즉, 신호라인의 특성 임피던스와, 소자의 영상 임피던스가 정합한 상태에서는, 신호가 거의 100% 서지 흡수 소자를 통과할 수 있다. 반대로 부정합이면, 신호의 일부가 서지 흡수 소자의 입력단에서 반사되고, 이 반사된

신호가 과형의 호트러짐이나 불요 복사의 원인이 된다.

- <32> 또한, 역상의 신호를 입력하는 차동라인(differential line)에서는, 라인간의 자기결합을 이용함으로써, 실효적인 인덕턴스를 크게 할 수 있고, 바꾸어 말하면, 소망의 인덕턴스를 얻기 위해서 필요한 코일의 치수를 작게 할 수 있다. 즉, 본 발명에서는, 제 1 및 제 2 입력단자에 차동신호를 인가한 경우에, 제 1, 제 2, 제 3 및 제 4 코일은, 서로 정의 자기 결합 상태를 갖고 있다. 즉, 각 코일에서 발생하는 자계는 강화할 수 있다.
- <33> 제 1 내지 제 4 코일이 서로 정의 자기 결합 상태를 갖도록 구성되어 있기 때문에, 제 1 내지 제 4 코일의 유도 계수를, 제 1 내지 제 4 코일이 정의 자기 결합 상태를 가질 때의 그것과 비교하여 작게 할 수 있다. 따라서, 제 1 내지 제 4 코일의 길이를 짧게 하는 것이 가능해진다. 이 결과, 서지 흡수 소자의 소형화를 도모할 수 있다.
- <34> 또한, 제 1 서지 흡수층은 반도체 세라믹으로 이루어지고, 제 2 서지 흡수층은 반도체 세라믹으로 이루어지는 것이 바람직하다.
- <35> 이 경우, 제 1 및 제 2 서지 흡수층에 반도체 세라믹을 사용함으로써, 제 1 및 제 2 서지 흡수부를 배리스터로 할 수 있다. 즉, 각 서지 흡수부에 인가되는 내압이 임계치를 넘으면 반도체 세라믹의 저항치가 급격하게 저하하고, 커다란 서지 전압을 기준단자에 흘릴 수 있다.
- <36> 또한, 인덕터부는, 제 1 코일과 제 2 코일의 사이에 개재하는 제 1 절연층과, 제 2 코일과 제 3 코일의 사이에 개재하는 제 2 절연층과, 제 3 코일과 제 4 코일의 사이에 개재하는 제 3 절연층을 구비하고, 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 제 1, 제 2, 제 3 및 제 4 코일에 있어서 발생하는 자계의 방향이 동일한 방향으로 되도록 배치되고, 또한, 제 1 코일내의 영역과, 제 2 코일내의 영역과, 제 3 코일내의 영역과, 제 4 코일내의 영역은, 코일 적층 방향에서 보아 적어도 일부가 겹치도록 배치되어 있는 것이 바람직하다.
- <37> 이와 같이, 제 1 및 제 2 코일의 사이에 제 1 절연층을, 제 2 및 제 3 코일의 사이에 제 2 절연층을, 제 3 및 제 4 코일의 사이에 제 3 절연층을 설치하고, 또한, 제 1 코일내의 영역, 제 2 코일내의 영역, 제 3 코일내의 영역, 및 제 4 코일내의 영역이 코일 적층 방향에서 보아 적어도 일부 겹치도록 제 1 내지 제 4 코일을 배치함으로써, 제 1 내지 제 4 코일에 전류를 흘릴 때, 제 1 내지 제 4 코일을 자기적으로 보다 강하게 결합시킬 수 있다.
- <38> 또한, 제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우, 제 1 내지 제 4 코일에 있어서 발생하는 자계의 방향이 동일한 방향으로 되도록 제 1 내지 제 4 코일은 배치되어 있기 때문에, 제 1 내지 제 4 코일은 서로 자계를 강화하는, 즉 정의 자기 결합 상태를 갖게 된다. 따라서, 제 1 내지 제 4 코일의 유도 계수를, 제 1 내지 제 4 코일이 정의 자기 결합 상태를 가질 때의 그것과 비교하여 작게 할 수 있다. 이 결과, 서지 흡수 소자의 소형화를 보다 확실하게 도모할 수 있다.
- <39> 제 1 서지 흡수층, 제 2 서지 흡수층, 제 1 절연층, 제 2 절연층 및 제 3 절연층은 전체로서 직방체의 소체를 구성하고 있고, 제 1 및 제 2 입력단자는 소체의 제 1 측면상에 형성되고, 제 1 및 제 2 출력단자는 소체의 제 2 측면상에 형성되어 있는 것이 바람직하다.
- <40> 이와 같이, 제 1 서지 흡수층, 제 2 서지 흡수층, 제 1 절연층, 제 2 절연층 및 제 3 절연층에 의해 전체적으로 구성되는 직방체의 소체의 제 1 측면에 제 1 및 제 2 입력단자를 형성하고, 이러한 소체의 제 2 측면에 제 1 및 제 2 출력단자를 형성함으로써, 제 1 입력단자, 제 2 입력단자, 제 1 출력단자, 및 제 2 출력단자를 외부회로와 접속하는 것이 용이해진다.
- <41> 또한, 제 1 측면과 제 2 측면과는 대향하고 있는 것이 바람직하다.
- <42> 이 경우, 제 1 측면에 형성된 제 1 및 제 2 입력단자와, 제 2 측면에 형성된 제 1 및 제 2 출력단자가 대향하게 되기 때문에, 제 1 및 제 2 입력단자와 제 1 및 제 2 출력단자의 대응부여가 용이해진다. 그 결과, 제 1 및 제 2 입력단자와 제 1 및 제 2 출력단자를 외부회로에 접속할 때, 접속 오류를 미연에 막을 수 있다.
- <43> 또한, 제 1 코일의 타단은 소체의 외표면 상에서 노출되고, 제 2 코일의 타단은 소체의 외표면 상에서 노출되고, 제 1 및 제 2 코일의 노출부는 소체의 외표면에 형성된 제 1 외부도체를 통하여 접속되어 있고, 제 3 코일의 타단은 소체의 외표면상에서 노출되고, 제 4 코일의 타단은 소체의 외표면상에서 노출되고, 제 3 및 제 4 코일의 노출부는 소체의 외표면에 형성된 제 2 외부도체를 통하여 접속되어 있는 것이 바람직하다.
- <44> 이 경우, 제 1 내지 제 4 코일의 타단에서, 소체의 외표면상에 노출된 노출부끼리를, 소체의 외표면에 형성된

제 1 및 제 2 외부도체를 통하여 접속하게 된다. 이와 같이 외부도체를 사용하여 코일을 접속하기 때문에, 제 1 내지 제 4 코일의 타단을 용이하고 또한 확실하게 접속할 수 있다.

<45> 또한, 기준단자는, 소체의 외표면상에 형성되어 있고, 또한, 제 1 및 제 2 입력단자간, 또는, 제 1 및 제 2 출력단자간에 배치되어 있는 것이 바람직하다.

<46> 이 경우, 기준단자는 소체의 외표면상에 형성되어 있기 때문에, 기준단자를 접지하는 것이 용이해진다. 또한, 제 1 및 제 2 입력단자간, 또는, 제 1 및 제 2 출력단자간에 기준단자를 배치함으로써, 제 1 입력단자와 제 2 입력단자, 또는, 제 1 출력단자와 제 2 출력단자의 사이에 불필요한 결합이 발생하여 임피던스 정합이 악화되는 것을 미연에 방지할 수 있다.

<47> 또한, 제 1 입력단자와 제 1 출력단자의 사이에 개재하는 제 1 커패시터(capacitor)와, 제 2 입력단자와 제 2 출력단자의 사이에 개재하는 제 2 커패시터를 더 구비하는 것이 바람직하다.

<48> 제 1 및 제 2 입력단자에 신호가 인가되면, 제 1 입력단자와 제 1 출력단자의 사이에 개재하는 제 1 커패시터, 및 제 2 입력단자와 제 2 출력단자의 사이에 개재하는 제 2 커패시터가, 제 1 코일과 제 2 코일의 자기결합, 및 제 3 코일과 제 4 코일의 자기결합과 동일한 작용을 갖는다. 따라서, 제 1 및 제 2 커패시터의 용량치를 적절한 값으로 한 경우, 제 1 코일과 제 2 코일의 자기결합, 및 제 3 코일과 제 4 코일의 자기결합을 플렉시블하게 변경할 수 있다.

<49> 또한, 제 1 커패시터는, 제 1 입력단자에 접속된 제 5 내부전극과, 제 1 출력단자에 접속된 제 6 내부전극과, 제 5 및 제 6 내부전극간에 개재하는 절연층을 갖고, 제 2 커패시터는, 제 2 입력단자에 접속된 제 7 내부전극과, 제 2 출력단자에 접속된 제 8 내부전극과, 제 7 및 제 8 내부전극간에 개재하는 절연층을 갖는 것이 바람직하다.

<50> 이와 같이, 제 5 내지 제 8 내부전극과 절연층을 적층함으로써 용이하게 형성할 수 있다.

<51> 제 2 발명에 따른 서지 흡수 소자는, (A)일단이 제 1 입력단자에 접속된 제 1 코일과, 일단이 제 1 출력단자에 접속되고 타단이 제 1 코일의 타단에 접속된 제 2 코일과, 일단이 제 2 입력단자에 접속된 제 3 코일과, 일단이 제 2 출력단자에 접속되고 타단이 제 3 코일의 타단과 접속된 제 4 코일을 갖는 인덕터부와, (B)인덕터부에서의 제 1 코일과 제 2 코일의 제 1 접속점에 접속된 제 1 내부전극과, 제 1 내부전극에 대하여 기준단자에 접속된 제 2 내부전극과, 제 1 내부전극 및 제 2 내부전극간에 개재하는 제 1 서지 흡수층을 갖는 제 1 서지 흡수부와, (C)인덕터부에서의 제 3 코일과 제 4 코일의 제 2 접속점에 접속된 제 3 내부전극과, 제 3 내부전극에 대하여 기준단자에 접속된 제 4 내부전극과, 제 3 내부전극 및 제 4 내부전극간에 개재하는 제 2 서지 흡수층을 갖는 제 2 서지 흡수부와, (D)제 1 입력단자와 제 1 출력단자의 사이에 개재하는 제 1 커패시터와, (E)제 2 입력단자와 제 2 출력단자의 사이에 개재하는 제 2 커패시터를 구비하고, (F)제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 제 1 코일은 제 3 코일과 서로 정의 자기 결합 상태를 갖고, 제 2 코일은 제 4 코일과 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 한다.

<52> 본 발명에서는, 인덕터부와 제 1 및 제 2 서지부의 기능은 상술한 제 1 발명과 동일하지만, 각 입출력단자간에 제 1 및 제 2 커패시터가 개재하고 있는 점이 다르다. 또한, 제 1 발명에서는, 모든 코일이 정의 자기결합을 하고 있었지만, 본 발명에서는, 적어도 제 1 코일은 제 3 코일과 서로 정의 자기 결합 상태를 갖고, 제 2 코일은 제 4 코일과 서로 정의 자기 결합 상태를 갖고 있으면 좋다.

<53> 즉, 제 1 발명에서는, 각 코일간의 결합 계수를 각각 적절하게 설정함으로써, 주파수에 의존하지 않는 영상 임피던스를 얻고, 제 1 및 제 2 코일의 유도 계수, 제 3 및 제 4 코일의 유도 계수를 적절하게 설정함으로써, 제 1, 제 2 서지 흡수부의 부유 용량 성분의 영향도 캔슬하여, 임피던스 정합을 취하고 있다.

<54> 이것에 대하여 본 발명에서는, 입출력단자간에 개재하는 커패시터를 사용하여, 제 1 및 제 2 커패시터의 용량치를 적절한 값으로서 주파수에 의존하지 않는 영상 임피던스를 얻을 수 있고, 이들의 용량치와 제 1 내지 제 4 코일의 유도 계수를 적절하게 설정함으로써, 제 1, 제 2 서지 흡수부의 부유 용량 성분의 영향을 캔슬시키고, 서지 흡수 소자의 영상 임피던스와 특성 임피던스를 정합시킬 수 있다. 이들의 결과, 고속 신호의 반사를 억제하여, 광대역에 걸쳐 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다.

<55> 또한, 제 1 및 제 3 코일이 서로 정의 자기 결합 상태를 갖고, 제 2 및 제 4 코일이 서로 정의 자기 결합 상태를 갖도록 구성되어 있기 때문에, 제 1 내지 제 4 코일의 유도 계수를, 제 1 내지 제 4 코일이 정의 자기 결합 상태를 가질 때의 그것과 비교하여 작게 할 수 있다. 따라서, 제 1 내지 제 4 코일의 길이를 짧게 하는 것이

가능해진다. 이 결과, 서지 흡수 소자의 소형화를 도모할 수 있다.

- <56> 제 3 발명에 따른 서지 흡수 회로는, (A)일단이 제 1 입력단자에 접속된 제 1 코일과, (B)일단이 제 1 출력단자에 접속되고 타단이 제 1 코일의 타단에 접속된 제 2 코일과, (C)일단이 제 2 입력단자에 접속된 제 3 코일과, (D)일단이 제 2 출력단자에 접속되고 타단이 제 3 코일의 타단에 접속된 제 4 코일과, (E)제 1 코일과 제 2 코일의 제 1 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 1 서지 흡수부와, (F)제 3 코일과 제 4 코일의 제 2 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 2 서지 흡수부를 구비하고, (G)제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 제 1 코일, 제 2 코일, 제 3 코일 및 제 4 코일은, 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 한다.
- <57> 본 발명의 서지 흡수 회로에서는, 제 1 내지 제 4 코일과 제 1 및 제 2 서지부의 기능은, 상술한 제 1 발명의 서지 흡수 소자에 있어서의 그것과 동일하다. 따라서, 고속 신호의 반사를 억제하여, 광대역에 걸쳐 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다. 또한, 본 발명의 서지 흡수 회로를 사용한 소자에서는, 소형화를 도모하는 것이 가능해진다.
- <58> 또한, 일단이 제 1 입력단자에 접속되고, 타단이 제 1 출력단자에 접속된 제 1 커패시터와, 일단이 제 2 입력단자에 접속되고, 타단이 제 2 출력단자에 접속된 제 2 커패시터를 더 구비하는 것이 바람직하다.
- <59> 제 1 및 제 2 입력단자에 신호가 인가되면, 제 1 입력단자와 제 1 출력단자의 사이에 개재하는 제 1 커패시터, 및 제 2 입력단자와 제 2 출력단자의 사이에 개재하는 제 2 커패시터가, 제 1 코일과 제 2 코일의 자기결합, 및 제 3 코일과 제 4 코일의 자기결합과 동일한 작용을 갖는다. 따라서, 제 1 및 제 2 커패시터의 용량치를 적절한 값으로 한 경우, 제 1 코일과 제 2 코일의 자기결합, 및 제 3 코일과 제 4 코일의 자기결합을 플렉시블하게 변경할 수 있다.
- <60> 제 4 발명에 따른 서지 흡수 회로는, (A)일단이 제 1 입력단자에 접속된 제 1 코일과, (B)일단이 제 1 출력단자에 접속되고 타단이 제 1 코일의 타단에 접속된 제 2 코일과, (C)일단이 제 2 입력단자에 접속된 제 3 코일과, (D)일단이 제 2 출력단자에 접속되고 타단이 제 3 코일의 타단에 접속된 제 4 코일과, (E)제 1 코일과 제 2 코일의 제 1 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 1 서지 흡수부와, (F)제 3 코일과 제 4 코일의 제 2 접속점에 일단이 접속되고, 타단이 기준단자에 접속된 제 2 서지 흡수부와, (G)일단이 제 1 입력단자에 접속되고, 타단이 제 1 출력단자에 접속된 제 1 커패시터와, (H)일단이 제 2 입력단자에 접속되고, 타단이 제 2 출력단자에 접속된 제 2 커패시터를 구비하고, (I)제 1 및 제 2 입력단자에 역상의 신호를 인가한 경우에, 제 1 코일과 제 3 코일이 서로 정의 자기 결합 상태를 갖고, 제 2 코일과 제 4 코일이 서로 정의 자기 결합 상태를 갖도록 구성되어 있는 것을 특징으로 한다.
- <61> 본 발명의 서지 흡수 회로에서는, 제 1 내지 제 4 코일과 제 1 및 제 2 서지부의 기능은, 상술한 제 2 발명의 서지 흡수 소자에 있어서의 그것과 동일하다. 따라서, 고속 신호의 반사를 억제하여, 광대역에 걸쳐 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다. 또한, 본 발명의 서지 흡수 회로를 사용한 소자에서는, 소형화를 도모하는 것이 가능해진다.
- <62> 본 발명에 의하면, 고속 신호에 대해서도 임피던스 정합이 우수하고, 또한, 소형인 서지 흡수 소자를 제공할 수 있다.
- <63> 이하, 첨부 도면을 참조하여, 본 발명의 적합한 실시형태에 관해서 상세하게 설명한다. 또한, 설명에 있어서, 동일 요소 또는 동일 기능을 갖는 요소에는, 동일 부호를 사용하는 것으로 하고, 중복되는 설명은 생략한다. 또한, 설명 중, 「상」 및 「하」인 단어를 사용하는 것이 있지만, 이것은 각 도면의 상하 방향에 대응한 것이다.
- <64> (제 1 실시형태)
- <65> 우선, 도 1a 및 도 1b에 기초하여, 제 1 실시형태에 따른 서지 흡수 소자(SA1)의 구성을 설명한다. 도 1a 및 도 1b는, 제 1 실시형태에 따른 서지 흡수 소자를 도시하는 개략 사시도이다.
- <66> 서지 흡수 소자(SA1)는, 도 1a에 도시된 바와 같이, 소체(1), 제 1 입력단자(3), 제 1 출력단자(5), 제 2 입력단자(7), 제 2 출력단자(9), 기준단자(11), 제 1 외부도체(14), 및 제 2 외부도체(22)를 구비하고 있다.
- <67> 소체(1)는, 직방체 형상을 나타내고 있고, 예를 들면, 길이가 1.4mm 정도로 설정되고, 폭이 1.0mm 정도로 설정되고, 높이가 0.5mm 정도로 설정되어 있다.

- <68> 제 1 입력단자(3), 제 1 출력단자(5), 제 2 입력단자(7), 제 2 출력단자(9), 기준단자(11), 제 1 외부도체(14), 및 제 2 외부도체(22)는, 소체(1)의 외표면상에 형성되어 있다. 보다 구체적으로는, 제 1 입력단자(3) 및 제 2 입력단자(7)는 제 1 측면(1a)상에 형성되어 있고, 제 1 측면(1a)과 대향하는 제 2 측면(1b)상에는 제 1 출력단자(5) 및 제 2 출력단자(9)가 형성되어 있다. 제 1 입력단자(3)는 제 1 출력단자(5)와 대향하고, 제 2 입력단자(7)는 제 2 출력단자(9)와 대향한다.
- <69> 기준단자(11)는 2개 형성되어 있고, 한쪽의 기준단자(11)는 제 1 입력단자(3)와 제 2 입력단자(7)의 사이에 배치되고, 다른쪽의 기준단자(11)는 제 1 출력단자(5)와 제 2 출력단자(9)의 사이에 형성되어 있다. 제 1 및 제 2 입력단자(3, 7) 사이에 배치된 기준단자(11)와, 제 1 및 제 2 출력단자(5, 9) 사이에 배치된 기준단자(11)는, 소체(1)내에서 접속되어 있다. 또한, 각각의 기준단자(11)가 소체(1)내에서 반드시 접속되어 있을 필요는 없다. 서지 흡수 소자(SA1)가 기판에 실장되었을 때에, 각각의 기준단자(11)가 그라운드에 접속되고, 그것에 의해서 각각의 기준단자(11)가 그라운드 단자전극으로서 기능하는 한, 소체(1)내에서의 기준단자(11)간의 접속은 필수가 아니다.
- <70> 제 1 외부도체(14)는 제 1 단면(1c)상에 형성되어 있고, 제 2 외부도체(22)는 제 1 단면(1c)과 대향하는 제 2 단면(1d)상에 형성되어 있다. 제 1 외부도체(14)는, 내부전극부분(42), 서지 흡수부(30)를 개재하여 기준단자(11)에 접속되고, 제 2 외부도체(22)는, 내부전극부분(46), 서지 흡수부(40)를 개재하여 기준단자(11)에 접속되어 있다.
- <71> 제 1 입력단자(3)와 제 2 입력단자(7)에는, 역상의 신호, 즉 상보적인 차동신호가 입력된다. 보다 구체적으로는, 제 1 입력단자(3)에 정상신호가 입력될 때, 제 2 입력단자(7)에는 역상신호가 입력되게 된다. 기준단자(11)는, 서지 흡수 소자(SA1)의 그라운드 단자전극으로서 기능한다.
- <72> 소체(1)는, 인덕터 영역(1cn)과, 배리스터 영역(1ci)과, 절연영역(1x)을 갖고, 이들은 적층되어 있다.
- <73> 인덕터 영역(1cn)은, 인덕터부로서 제 1 인덕터부(10) 및 제 2 인덕터부(20)를 갖고 있다. 제 1 인덕터부(10)는, 제 1 코일(13)과, 제 2 코일(15)과, 제 1 코일(13)과 제 2 코일(15)의 사이에 개재하는 제 1 절연층(104)을 포함하고 있다. 제 1 코일(13) 및 제 2 코일(15)은, 일단을 개방한 대략 직사각형의 고리형상 부분을 갖고 있다.
- <74> 제 1 코일(13)의 일단은, 소체(1)의 제 1 측면(1a)상에 노출되어 제 1 입력단자(3)에 접속되어 있다. 제 2 코일(15)의 일단은 소체(1)의 제 2 측면(1b)상에 노출되어 제 1 출력단자(5)에 접속되어 있다. 제 2 코일(15)의 타단은 제 1 코일(13)의 타단에 접속되어 있다.
- <75> 제 1 코일(13)의 타단 및 제 2 코일(15)의 타단은, 소체(1)의 외표면상에서 노출되어 있다. 보다 구체적으로는, 제 1 및 제 2 코일(13, 15)의 타단은, 소체(1)의 제 1 단면(1c)상에 노출되어 있고, 제 1 및 제 2 코일(13, 15)의 노출부는 제 1 외부도체(14)에 각각 접속되어 있다. 이로써, 제 1 코일(13)의 타단과 제 2 코일(15)의 타단은, 제 1 외부도체(14)를 통하여 전기적으로 접속되게 된다. 또한, 제 1 코일(13)의 타단과 제 2 코일(15)의 타단은, 제 1 외부도체(14)를 통해서가 아닌, 소체(1) 내부에 형성된 스루홀 도체 등을 통하여 접속되는 것으로 해도 좋다.
- <76> 제 2 인덕터부(20)는, 제 3 코일(21)과, 제 4 코일(23)과, 제 3 코일(21)과 제 4 코일(23)의 사이에 개재하는 제 3 절연층(108)을 포함하고 있다. 또한, 제 3 코일(21)과 제 1 인덕터부(10)의 제 2 코일(15)의 사이에는, 제 2 절연층(106)이 개재하고 있다. 제 3 코일(21) 및 제 4 코일(23)은, 일단을 개방한 대략 직사각형의 고리형상 부분을 갖고 있다.
- <77> 제 3 코일(21)의 일단은, 소체(1)의 제 1 측면(1a)상에 노출되어 제 2 입력단자(7)에 접속되어 있다. 제 4 코일(23)의 일단은 소체(1)의 제 2 측면(1b)상에 노출되어 제 2 출력단자(9)에 접속되어 있다. 제 4 코일(23)의 타단은 제 3 코일(21)의 타단에 접속되어 있다.
- <78> 제 3 코일(21)의 타단 및 제 4 코일(23)의 타단은, 소체(1)의 외표면상에서 노출되어 있다. 보다 구체적으로는, 제 3 및 제 4 코일(21, 23)의 타단은 소체(1)의 제 2 단면(1d)상에 노출되어 있고, 제 3 및 제 4 코일(21, 23)의 노출부는 제 2 외부도체(22)에 접속되어 있다. 이로써, 제 3 코일(21)의 타단과 제 4 코일(23)의 타단은, 제 2 외부도체(22)를 통하여 전기적으로 접속되게 된다. 또한, 제 3 코일(21)과 제 4 코일(23)은, 외부도체(22)를 통해서가 아닌, 소체(1) 내부에 형성된 스루홀 도체 등을 통하여 접속되는 것으로 해도 좋다.

- <79> 앞서 언급한 것처럼, 제 1 코일(13)은, 일단을 개방한 대략 직사각형의 고리형상 부분을 갖고 있다. 이하, 도 1b에 도시된 바와 같이, 이 고리형상 부분에 의해서 둘러싸이는 대략 직사각형의 영역을 제 1 코일(13)의 내부영역(제 1 코일내의 영역; 13a)이라고 한다. 제 2 내지 제 4 코일(15, 21, 23)에 대해서도 마찬가지로, 고리형상 부분에 의해서 둘러싸이는 영역을 제 2 내지 제 4 코일(15, 21, 23)의 내부영역(15a, 21a, 23a)이라고 한다.
- <80> 제 1 코일(13)의 내부영역(13a)과, 제 2 코일(15)의 내부영역(15a)과, 제 3 코일(21)의 내부영역(21a)와, 제 4 코일(23)의 내부영역(23a)은, 코일 적층 방향, 즉 제 1 내지 제 4 코일(13, 15, 21, 23)의 적층방향에서 보아, 적어도 일부가 겹치도록 배치되어 있다. 본 실시형태에 있어서는, 제 1 내지 제 4 코일(13, 15, 21, 23)의 내부영역(13a, 15a, 21a, 23a)은 전체적으로 서로 겹치고 있다. 또한, 실효적인 정의 자기결합을 하기 위해서는, 겹치는 부분의 면적은, 제 1 내지 제 4 코일(13, 15, 21, 23)의 내부영역(13a, 15a, 21a, 23a) 각각의 면적의 약 50% 이상인 것이 바람직하다.
- <81> 제 1 내지 제 4 코일(13, 15, 21, 23)은, 제 1 및 제 2 입력단자(3, 7)에 차동신호를 인가한 경우에, 제 1 내지 제 4 코일(13, 15, 21, 23)에 있어서 발생하는 자계의 방향이 동일한 방향으로 되도록 배치되어 있다.
- <82> 보다 구체적으로는, 제 1 내지 제 4 코일(13, 15, 21, 23)은, 제 1 입력단자(3)에 정상신호가 입력되고, 또한, 제 2 입력단자(7)에 역상신호가 입력된 경우, 코일 적층 방향에서 보아 화살표 A 방향, 즉 반시계방향에 속하는 방향으로 전류가 흐르도록 배치되어 있다. 화살표 A 방향으로 전류가 흐르면, 제 1 내지 제 4 코일(13, 15, 21, 23)의 내부영역(13a, 15a, 21a, 23a)에서는 화살표 E 방향에 자계가 각각 생긴다. 제 1 내지 제 4 코일(13, 15, 21, 23)의 내부영역(13a, 15a, 21a, 23a)은 겹치고 있기 때문에, 제 1 내지 제 4 코일(13, 15, 21, 23)은 서로 자계를 강화하게 된다. 이와 같이 자계를 강화하는 상태를 「정의 자기 결합 상태」라고 한다.
- <83> 배리스터 영역(1ci)은, 제 1 서지 흡수부(30) 및 제 2 서지 흡수부(40)를 포함하고 있다. 제 1 및 제 2 서지 흡수부(30, 40)는 배리스터이다. 제 1 서지 흡수부(30)는, 제 1 외부도체(14)에 접속된 제 1 내부전극(31)과, 기준단자(11)에 접속된 제 2 내부전극(32)과, 제 1 내부전극(31) 및 제 2 내부전극(32)간에 개재하는 제 1 서지 흡수층(100)을 갖고 있다.
- <84> 제 1 내부전극(31)은, 제 1 전극부분(41)과 제 2 전극부분(42)을 포함하고 있다. 제 2 전극부분(42)은, 제 1 전극부분(41)으로부터 소체(1)의 제 1 단면(1c)상에 노출되도록 끌려나오고 있고, 인출 도체로서 기능한다. 제 1 단면(1c)상에 노출된 제 2 전극부분(42)은 제 1 외부도체(14)에 접속된다. 제 1 전극부분(41)은, 제 2 전극부분(42)을 통하여 제 1 외부도체(14)와 전기적으로 접속된다.
- <85> 제 2 내부전극(32)은, 제 1 전극부분(43)과 제 2 전극부분(44)을 포함하고 있다. 제 2 전극부분(44)은, 제 1 전극부분(43)으로부터 소체(1)의 제 1 측면(1a)상에 노출되도록 끌려나오고 있고, 인출 도체로서 기능한다. 제 1 측면(1a)상에 노출된 제 2 전극부분(44)은 기준단자(11)에 접속된다. 제 1 전극부분(43)은, 제 2 전극부분(44)을 통하여 기준단자(11)와 전기적으로 접속된다.
- <86> 제 2 서지 흡수부(40)는, 제 2 외부도체(22)에 접속된 제 3 내부전극(33)과, 기준단자(11)에 접속된 제 4 내부전극(34)과, 제 3 내부전극(33) 및 제 4 내부전극(34)간에 개재하는 제 2 서지 흡수층(102)을 갖고 있다.
- <87> 제 3 내부전극(33)은, 제 1 전극부분(45)과 제 2 전극부분(46)을 포함하고 있다. 제 2 전극부분(46)은, 제 1 전극부분(45)으로부터 소체(1)의 제 2 단면(1d)상에 노출되도록 끌려나오고 있고, 인출 도체로서 기능한다. 제 2 단면(1d)상에 노출된 제 2 전극부분(46)은 제 2 외부도체(22)에 접속된다. 제 1 전극부분(45)은, 제 2 전극부분(46)을 통하여 제 2 외부도체(22)와 전기적으로 접속된다.
- <88> 제 4 내부전극(34)은, 제 1 전극부분(48)과 제 2 전극부분(49)을 포함하고 있다. 제 2 전극부분(49)은, 제 1 전극부분(48)으로부터 소체(1)의 제 2 측면(1b)에 노출되도록 각각 끌려나오고 있고, 인출 도체로서 기능한다. 제 2 측면(1b)상에 노출된 제 2 전극부분(49)은 기준단자(11)에 접속된다. 제 1 전극부분(48)은, 제 2 전극부분(49)을 통하여 기준단자(11)와 전기적으로 접속된다.
- <89> 인덕터 영역(1cn)은, ZnO를 주성분으로 하는 세라믹 재료로 구성된다. 인덕터 영역(1cn)을 구성하는 반도체 세라믹 재료는, ZnO 외에, 첨가물로서 희토류(예를 들면, Pr), K, Na, Cs, Rb 등의 금속원소를 함유하여도 좋다. 그 중에서도, 희토류를 첨가하면 특히 바람직하다. 희토류의 첨가에 의해, 인덕터 영역(1cn)과 배리스터 영역(1ci)의 체적 변화율의 차를 용이하게 저감시킬 수 있다.
- <90> 또한, 인덕터 영역(1cn)에는, 배리스터 영역(1ci)과의 접합성의 향상을 목적으로서, Cr, Ca나 Si가 더 포함되어

있어도 좋다. 인덕터 영역(1cn)중에 포함되는 이들 금속원소는, 금속 단체나 산화물 등의 다양한 형태로 존재할 수 있다. 인덕터 영역(1cn)에 포함되는 첨가물의 적합한 함유량은, 상기 인덕터 영역(1cn)에 포함되는 ZnO의 총량 중, 0.02mol% 이상 2mol% 이하로 바람직하다. 이들의 금속원소의 함유량은, 예를 들면, 유도결합 고주파 플라즈마 발광분석장치(ICP)를 사용하여 측정할 수 있다.

<91> 인덕터 영역(1cn)은, 배리스터 영역(1ci)에 포함되는 Co를 실질적으로 함유하고 있지 않는 것이다. 여기에서, 「실질적으로 함유하고 있지 않는」 상태란, 이들의 원소를, 인덕터 영역(1cn)을 형성할 때에 원료로서 의도적으로 함유시키지 않은 경우의 상태를 말하는 것으로 한다(중량%으로 1% 이하로 한다). 예를 들면, 배리스터 영역(1ci)으로부터 인덕터 영역(1cn)으로의 확산 등에 의해서, 의도하지 않고서 이들의 원소가 포함되는 경우는, 「실질적으로 함유하지 않고 있는」 상태에 해당한다. 또한, 인덕터 영역(1cn)은, 또한 특성의 향상 등을 목적으로서, 그 밖의 금속원소 등을 더 포함하여도 좋다. 제 1 내지 제 4 코일(13, 15, 21, 23)에 포함되는 도전재로서는, 특히 한정되지 않지만, Pd 또는 Ag-Pd 합금으로 이루어지는 것이 바람직하다.

<92> 배리스터 영역(1ci)은, ZnO를 주성분으로 하는 반도체 세라믹 재료로 구성되어 있다. 이 세라믹 재료 중에는, 첨가물로서, 희토류 및 Bi로 이루어지는 그룹으로부터 선택되는 적어도 일종의 원소, Co가 더 포함되어 있다. 즉, 배리스터 영역(1ci)은, 임계치 이상의 전압이 인가된 경우에는 저항치가 급격하게 감소하는 반도체 세라믹 재료로 이루어지고, 희토류에 더하여 Co를 포함하게 된다. 배리스터 영역(1ci)을 이러한 재료로 구성함으로써, 배리스터 영역(1ci)에 포함되는 제 1 서지 흡수부(30)에서는, 그 클램프 전압이 제 1 입력단자에 입력된 신호의 전압보다도 높아진다. 제 1 및 제 2 서지 흡수부(30, 40)의 제 1 및 제 2 서지 흡수층(100, 102)은, 배리스터 영역(1ci)과 동일한 재료에 의해 형성된다.

<93> 따라서, 제 1 및 제 2 서지 흡수층(100, 102)은, 우수한 전압 비직선 특성, 즉 배리스터 특성을 갖고, 또한, 높은 유전율(ϵ)을 갖게 된다. 배리스터 영역(1ci)을 구성하는 반도체 세라믹 재료는, 첨가물로서 Al을 더 포함하여도 좋다. Al을 포함하는 경우, 배리스터 영역(1ci)은 저저항으로 된다. 첨가물로서 포함되는 희토류는, Pr이라도 좋다.

<94> 이들의 첨가물로서의 금속원소는, 배리스터 영역(1ci)에서, 금속단체나 산화물 등의 형태로 존재할 수 있다. 또한, 배리스터 영역(1ci)은, 또한 특성의 향상을 목적으로서, 첨가물로서 상술한 것 이외의 금속원소 등(예를 들면, Cr, Ca, Si, K 등)을 더 함유하여도 좋다. 제 1 내지 제 4 내부전극(31, 32, 33, 34)에 포함되는 도전재로서는, 특히 한정되지 않지만, Pd 또는 Ag-Pd 합금으로 이루어지는 것이 바람직하다.

<95> 절연영역(1x)의 구성재료는 특히 한정되지 않고, 다양한 세라믹 재료 등을 적용 가능하다. 배리스터 영역(1ci)으로부터의 박리를 저감시키는 관점에서는, 배리스터 영역(1ci)과 동일하게 ZnO를 주성분으로서 포함하는 재료가 바람직하다.

<96> 제 1 및 제 2 입력단자(3, 7), 제 1 및 제 2 출력단자(5, 9), 기준단자(11), 및 제 1 및 제 2 외부도체(14, 22)는, 제 1 내지 제 4 코일(13, 15, 21, 23)이나 제 1 내지 제 4 내부전극(31, 32, 33, 34)을 구성하고 있는 Pd 등의 금속과 전기적으로 양호하게 접속할 수 있는 금속재료로 이루어지는 것이 바람직하다. 예를 들면, Ag는, Pd로 이루어지는 제 1 내지 제 4 코일(13, 15, 21, 23)이나 제 1 내지 제 4 내부전극(31, 32, 33, 34)과의 전기적인 접속성이 양호한 재료이고, 더구나 소체(1)의 단면에 대한 접착성이 양호하므로, 외부 전극용의 재료로서 적합하다.

<97> 제 1 및 제 2 입력단자(3, 7), 제 1 및 제 2 출력단자(5, 9), 기준단자(11), 및 제 1 및 제 2 외부도체(14, 22)의 표면에는, Ni 도금층(도시 생략) 및 Sn 도금층(도시 생략) 등이 차례로 형성되어 있다. 이러한 도금층을 형성함으로써, 주로 서지 흡수 소자(SA1)를 땀납 리플로(solder reflow)에 의해 기판 등에 탑재할 때, 땀납 내열성이나 땀납 젖음성을 향상시킬 수 있다.

<98> 다음에, 도 2 및 도 3에 기초하여, 상술한 구성을 갖는 서지 흡수 소자(SA1)의 회로(서지 흡수 회로)의 구성을 설명한다. 도 2는, 제 1 실시형태에 따른 서지 흡수 소자의 회로 구성을 설명하기 위한 도면이다. 도 3은 도 2에 도시된 회로 구성의 등가회로를 도시하는 도면이다.

<99> 도 2에 도시된 바와 같이, 제 1 서지 흡수부(30)는, 제 1 코일(13)과 제 2 코일(15)의 제 1 접속점(제 1 외부도체(14))과, 기준단자(11)의 사이에 접속된다. 제 2 서지 흡수부(40)는, 제 3 코일(21)과 제 4 코일(23)의 제 2 접속점(제 2 외부도체(22))과, 기준단자(11)의 사이에 접속된다.

<100> 제 1 인덕터부(10)는, 제 1 입력단자(3)와 제 1 출력단자(5)의 사이에 접속된다. 제 2 인덕터부(20)는, 제 2 입력단자(7)와 제 2 출력단자(9)의 사이에 접속된다. 제 1 코일(13)의 권취시작은 제 1 입력단자(3)측으로 되

어 있다. 제 2 코일(15)의 권취시작은 제 1 코일(13)과 접속하는 측(본 실시형태에 있어서는, 외부도체(14)측)으로 되어 있다. 제 3 코일(21)의 권취시작은 제 4 코일(23)과 접속하는 측(본 실시형태에 있어서는, 외부도체(22)측)으로 되어 있다. 제 4 코일(23)의 권취시작은 제 2 출력단자(9)측으로 되어 있다. 제 1 내지 제 4 코일(13, 15, 21, 23)은, 앞서 언급한 것처럼 서로 정의 자기 결합 상태를 갖고 있다.

<101> 제 1 인덕터부(10)는, 도 3에 도시된 바와 같이, 제 1 인덕턴스 성분(90), 제 2 인덕턴스 성분(91), 및 제 3 인덕턴스 성분(92)으로 변환할 수 있다. 제 1 인덕턴스 성분(90)과 제 2 인덕턴스 성분(91)은, 제 1 입력단자(3)와 제 1 출력단자(5)의 사이에 직렬로 접속된다. 제 3 인덕턴스 성분(92)은, 직렬로 접속된 제 1 인덕턴스 성분(90) 및 제 2 인덕턴스 성분(91)의 접속점과, 제 1 서지 흡수부(30)의 사이에 접속된다.

<102> 제 2 인덕터부(20)는, 제 4 인덕턴스 성분(95), 제 5 인덕턴스 성분(96), 및 제 6 인덕턴스 성분(97)으로 변환할 수 있다. 제 4 인덕턴스 성분(95)과 제 5 인덕턴스 성분(96)은, 제 2 입력단자(7)와 제 2 출력단자(9)의 사이에 직렬로 접속된다. 제 6 인덕턴스 성분(97)은, 직렬로 접속된 제 4 인덕턴스 성분(95) 및 제 5 인덕턴스 성분(96)의 접속점과, 제 2 서지 흡수부(40)의 사이에 접속된다.

<103> 여기에서, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 각각 L_z 로 하고, 제 1 코일(13)과 제 2 코일(15)의 사이, 및 제 3 코일(21)과 제 4 코일(23)과 사이의 결합 계수를 각각 K_z 로 하고, 제 1 코일(13)과 제 3 코일(21)의 사이, 및 제 2 코일(15)과 제 4 코일(23)의 사이의 결합 계수를 각각 K_c 로 하면, 제 1, 제 2, 제 4, 및 제 5 인덕턴스 성분(90, 91, 95, 96)의 유도 계수는 $(1+K_z+K_c)L_z$ 로 되고, 제 3 및 제 6 인덕턴스 성분(92, 97)의 유도 계수는 $-K_zL_z$ 로 된다.

<104> 제 1 서지 흡수부(30)는, 도 3에 도시된 바와 같이, 제 3 인덕턴스 성분(92)과 기준단자(11)의 사이에 병렬 접속되는 가변저항(93) 및 부유 용량 성분(94)으로 변환할 수 있다. 제 2 서지 흡수부(40)는, 제 6 인덕턴스 성분(97)과 기준단자(11)의 사이에 병렬 접속되는 가변저항(98) 및 부유 용량 성분(99)으로 변환할 수 있다. 가변저항(93, 98)은, 통상은 저항치가 크고, 고압 서지가 인가되면 저항치가 작아진다. 제 1 및 제 2 서지 흡수부(30, 40)에 있어서, 소진폭의 고속 신호에 대해서는, 부유 용량 성분(94, 99)만으로 근사할 수 있다.

<105> 도 3에 도시된 서지 흡수 소자(SA1)의 영상 임피던스 Z_{din} 은, 하기 식 1로 나타난다. 여기에서, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 용량 성분(94, 99)의 용량을 각각 C_z 로 하고 있다.

수학식 1

$$Z_{din} = \sqrt{\frac{8(1 + K_z + K_c) L_z \cdot \left\{ 1 - \frac{1}{2} \omega^2 L_z C_z (1 - K_z + K_c) \right\}}{C_z}}$$

<106> 식 1에 있어서, 하기 식 2를 만족시키도록 결합 계수 K_z , K_c 를 설정하면, 영상 임피던스 Z_{din} 은 주파수에 의존하지 않게 된다. 결합 계수 K_z , K_c 를 하기 식 2에 설정한 후에, 하기 식 3을 만족시키도록 유도 계수 L_z 를 설정하면, 영상 임피던스 Z_{din} 과 서지 흡수 소자(SA1)가 삽입되는 신호라인의 특성 임피던스 Z_0 를 정합시킬 수 있다.

수학식 2

$$K_z - K_c = 1$$

수학식 3

$$L_z = \frac{Z_0^2 C_z}{8(1 + K_z + K_c)}$$

<109> 상기 식 2 및 식 3에서도 알 수 있는 것처럼, 결합 계수 K_z , K_c 를 임의로 선택할 수 있기 때문에, 유연성이 높은 회로 설계가 가능해진다.

<111> 제 1 내지 제 4 코일(13, 15, 21, 23)은 서로 정의 자기 결합 상태를 갖고 있기 때문에, 결합 계수 K_z , K_c 는 양

의 값으로 된다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)이 정의 자기 결합 상태를 갖지 않는 경우, 즉 결합 계수 K_z , K_c 가 모두 제로인 경우와 비교하여, 상기 식 2로부터, 유도 계수 L_z 를 작게 할 수 있는 것을 알 수 있다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)의 길이를 짧게 하는 것이 가능해진다. 이와 같이, 본 실시형태에 의하면, 서지 흡수 소자를 소형인 것으로 할 수 있다.

<112> 그런데, 도 4에 도시된 바와 같이, 제 1 및 제 2 서지 흡수부(30, 40)는 부유 인덕턴스 성분(62, 67)도 포함하고 있다. 가변저항(93, 98)의 저항치는, 통상의 상태에서는 크고, 고압 서지가 인가되면 작아진다. 그렇지만, 부유 용량 성분(94, 99) 및 부유 인덕턴스 성분(62, 67)이 존재하기 때문에, 입력신호로서 고속 신호를 취급하는 반도체 디바이스의 입력측에 서지 흡수 소자(SA1)를 부가한 경우에는, 부유 용량 성분(94, 99) 및 부유 인덕턴스 성분(62, 67)이 고속 신호의 열화의 원인으로 되는 경우가 있다. 따라서, 고속 신호를 취급하는 회로에 서지 흡수 소자(SA1)를 적용하기 위해서는, 부유 용량 성분(94, 99) 뿐만 아니라 부유 인덕턴스 성분(62, 67)의 영향도 작게 하는 쪽이 바람직하다.

<113> 도 3에 도시된 등가회로부터도 알 수 있는 것처럼, 부성 유도 계수를 가지는 제 3 및 제 6 인덕턴스 성분(92, 97)을 이용하면, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 인덕턴스 성분(62, 67)을 캔슬할 수 있다. 따라서, 서지 흡수 소자(SA1)에 부유 용량 성분(94, 99) 및 부유 인덕턴스 성분(62, 67)이 포함되어 있더라도, 영상 임피던스 Z_{din} 을 특성 임피던스 Z_{do} 에 정합시킬 수 있다. 또한, 부유 인덕턴스 성분(62, 67)의 유도 계수를 L_e 로 하면, 영상 임피던스 din 은, 하기 식 4로 제시되므로, 각각의 계수를 하기 식 5를 만족시키도록 설정하면, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 인덕턴스 성분(62, 67)도 캔슬할 수 있다.

수학식 4

$$Z_{din} = \sqrt{\frac{8(1 + K_z + K_c)L_z}{C_z} \cdot \left\{ 1 - \frac{1}{2} \omega^2 L_z C_z \left(1 - K_z + K_c + \frac{2L_e}{L_z} \right) \right\}}$$

<114>

수학식 5

$$K_z - K_c - \frac{2L_e}{L_z} = 1$$

<115>

<116> 이와 같이, 본 실시형태에 의하면, 서지 흡수 소자(SA1)를, 반도체 디바이스 등을 고압의 정전기로부터 보호하면서, 고속 신호에 대해서도 임피던스 정합이 우수한 서지 흡수 소자로 할 수 있다. 본 실시형태의 서지 흡수 소자에서는, 영상 임피던스 Z_{din} 과 특성 임피던스 Z_{do} 를 $\pm 10\%$ 이내의 오차로 정합 가능한 것이 실험에 의해 확인되어 있다.

<117> 다음에, 제 1 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 보다 구체적으로 설명한다. 도 5는, 제 1 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도이다.

<118> 도 5에 도시된 바와 같이, 소체(1)는, 절연체층(29)과, 제 1 서지 흡수부(30) 및 제 2 서지 흡수부(40)와, 절연체층(28)과, 제 2 인덕터부(20)와, 제 1 인덕터부(10)와, 보호층(50)이 하방으로부터 차례로 적층된 구조를 나타내고 있다.

<119> 보호층(50)은, 세라믹 재료로 이루어지는 층이고, 제 1 인덕터부(10) 및 제 2 인덕터부(20)를 보호한다. 보호층(50)의 구성재료는 특히 한정되지 않고, 다양한 세라믹 재료 등을 적용 가능하지만, 박리를 저감시키는 관점에서는, 인덕터층(17, 19, 25, 27)과 마찬가지로 ZnO를 주성분으로서 포함하는 재료가 바람직하다.

<120> 제 1 인덕터부(10)의 제 1 코일(13)은 인덕터층(17)상에 형성되고, 제 2 코일(15)은 인덕터층(19)상에 형성되어 있다. 제 2 인덕터부(20)의 제 3 코일(21)은 인덕터층(25)상에 형성되고, 제 4 코일(23)은 인덕터층(27)상에 형성되어 있다. 인덕터층(17)은 도 1a, 도 1b에 도시된 제 1 절연층(104)으로서, 인덕터층(19)은 제 2 절연층(106)으로서, 인덕터층(25)은 제 3 절연층(108)으로서 각각 기능한다. 인덕터층(17, 19, 25, 27)은, ZnO를 주성분으로 하는 세라믹 재료로 구성되어 있다. 제 1 내지 제 4 코일(13, 15, 21, 23)이 형성된 인덕터층(17, 19, 25, 27)에 의해, 도 1a, 도 1b에 도시된 바와 같은 인덕터 영역(1cn)이 형성된다.

- <121> 제 1 및 제 2 인덕터부(10, 20)와 제 1 및 제 2 서지 흡수부(30, 40)의 사이에는, 내부도체가 형성되어 있지 않은 복수의 절연체층(더미층; 28)이 위치하고 있다. 절연체층(28)의 구성재료는 특히 한정되지 않고, 다양한 세라믹 재료 등을 적용 가능하지만, 박리를 저감시키는 관점에서, 인덕터층(17, 19, 25, 27)이나 서지 흡수층(35, 37)과 마찬가지로 ZnO를 주성분으로서 포함하는 재료가 바람직하다.
- <122> 제 1 서지 흡수부(30)의 제 1 내부전극(31)과 제 2 서지 흡수부(40)의 제 3 내부전극(33)은, 배리스터층(35)상에 형성되어 있다. 제 1 서지 흡수부(30)의 제 2 내부전극(32)과 제 2 서지 흡수부(40)의 제 4 내부전극(34)은, 배리스터층(37)상에 형성되어 있다. 배리스터층(35)의, 제 1 내부전극(31) 및 제 2 내부전극(32)에 끼워진 부분은, 도 1a, 도 1b에 도시된 제 1 서지 흡수층(100)으로서 기능하고, 제 3 내부전극(33) 및 제 4 내부전극(34)에 끼워진 부분은 제 2 서지 흡수층(102)으로서 기능한다. 배리스터층(35, 37)은, ZnO를 주성분으로 하는 반도체 세라믹 재료로 구성되어 있다. 이 반도체 세라믹 재료 중에는, CO가 더 포함되어 있다.
- <123> 또한, 배리스터층(35)과 배리스터층(37)의 사이에, 내부도체가 형성되어 있지 않은 절연체층이 위치하여도 좋다. 배리스터층(35, 37)은, ZnO를 주성분으로 하는 세라믹 재료로 구성되어 있다. 제 1 내지 제 4 내부전극(31, 32, 33, 34)이 형성된 배리스터층(35, 37)에 의해, 도 1a, 도 1b에 도시된 바와 같은 배리스터 영역(1ci)이 형성된다.
- <124> 다음에, 도 6을 참조하여 제 1 실시형태에 따른 서지 흡수 소자(SA1)를 제조하는 방법에 관해서 설명한다. 도 6은 제 1 실시형태에 따른 서지 흡수 소자를 제조하는 공정을 설명하기 위한 플로우도이다.
- <125> 서지 흡수 소자(SA1)의 제조에 있어서는, 우선, 인덕터층(17, 19, 25, 27), 및, 배리스터층(35, 37)의 원료가 되는 세라믹 재료를 포함하는 페이스트(paste)를 제조한다(스텝 S101). 구체적으로는, 배리스터층(35, 37) 형성용의 페이스트는, 주성분인 ZnO에 대하여, 첨가물로서, 희토류(예를 들면, Pr) 및 Bi로 이루어지는 그룹으로부터 선택되는 적어도 일종의 원소 및 Co 외에, 필요에 따라서는 Al, Cr, Ca, Si, K 등을, 소성 후에 소망의 함유량이 되도록 첨가하고, 이들의 결합제(binder) 등을 첨가하여 혼합함으로써 조제할 수 있다. 이 경우의 금속원소는, 예를 들면, 산화물로서 첨가할 수 있다.
- <126> 인덕터층(17, 19, 25, 27) 형성용의 페이스트는, 주성분인 ZnO에 대하여, 필요에 따라서는, 첨가물로서 희토류, Bi 등의 금속원소를 첨가하고, 또한 이들에 결합제 등을 첨가하여 혼합함으로써 조제 가능하다. 인덕터층(17, 19, 25, 27)형성용의 페이스트에는, 배리스터층(35, 37) 형성용의 페이스트와는 달리, Co는 첨가하지 않는다. 상기 금속원소는, 예를 들면, 산화물, 옥살산염, 탄산염 등의 화합물의 형태로 첨가할 수도 있다. 이 경우, 화합물의 첨가량은, 후술하는 바와 같은 소성을 한 후의 소체(1)에 있어서, 금속원소가 상술한 바와 같은 소망의 함유량이 되도록 조정한다.
- <127> 제조한 페이스트를, 플라스틱필름 등의 위에 닥터 블레이드법(doctor blade method) 등에 의해 도포한 후에 건조시키고, 세라믹 재료로 이루어지는 그린 시트(green sheet)를 형성한다(스텝 S102). 이로써, 인덕터층(17, 19, 25, 27) 형성용의 그린 시트(이하, 「인덕터 시트(inductor sheet)」라고 한다), 및, 배리스터층(35, 37) 형성용의 그린 시트(이하, 「배리스터 시트(varistor sheet)」라고 한다)를, 각각 소요의 매수씩 얻는다. 상기 그린 시트의 형성에 있어서, 플라스틱필름 등은, 도포·건조 후 즉시 각 시트로부터 박리하여도 좋고, 후술하는 적층 직전에 박리하여도 좋다. 또한, 그린 시트의 형성 공정에서는, 인덕터 시트 및 배리스터 시트와 동일한 방법으로, ZnO를 포함하는 절연체층(28, 29) 및 보호층(50) 형성용의 그린 시트를 형성한다.
- <128> 다음에, 인덕터 시트 또는 배리스터 시트의 위에, 제 1 내지 제 4 코일(13, 15, 21, 23) 또는 제 1 내지 제 4 내부전극(31, 32, 33, 34)을 형성하기 위한 도체 페이스트를, 각각의 시트에 대하여 소망의 패턴이 되도록 스크린 인쇄한다(스텝 S103). 이로써, 소망의 패턴을 갖는 도체 페이스트층이 설치된 각 시트를 얻는다. 예를 들면, 도체 페이스트로서는, Pd나 Ag-Pd 합금을 주성분으로서 포함하는 도체 페이스트를 들 수 있다.
- <129> 계속해서, 절연체층(29)과, 제 1 내지 제 4 내부전극(31, 32, 33, 34)에 각각 대응하는 도체 페이스트층이 설치된 배리스터 시트를, 차례로 적층한다(스텝 S104). 계속해서, 이 위에, 절연체층(28)과, 제 1 내지 제 4 코일(13, 15, 21, 23)에 각각 대응하는 도체 페이스트층이 설치된 인덕터 시트를 차례로 적층한다(스텝 S105). 또한, 이들의 적층구조의 위에, 보호층(50) 형성용의 그린 시트를 더욱 겹치고, 이들을 압착함으로써, 소체(1)의 전구체인 적층체를 얻는다.
- <130> 그 후, 얻어진 적층체를, 소망의 사이즈(size)가 되도록 칩 단위로 절단한 후, 이 칩을, 소정 온도(예를 들면, 1000 내지 1400℃)에서 소성하여, 소체(1)를 얻는다(스텝 S106). 계속해서, 얻어진 소체(1)의 표면에서 그 내

부에 Li를 확산시킨다. 여기에서는, 얻어진 소체(1)의 표면에 Li 화합물을 부착시킨 후, 열처리 등을 한다. Li 화합물의 부착에는, 밀폐 회전 포트를 사용할 수 있다. Li 화합물로서는, 특히 한정되지 않지만, 열처리함으로써 Li가 소체(1)의 표면에서 제 1 내지 제 4 코일(13, 15, 21, 23)이나 제 1 내지 제 4 내부전극(31, 32, 33, 34)의 근방으로까지 확산할 수 있는 화합물이고, 예를 들면, Li의 산화물, 수산화물, 염화물, 질산염, 붕산염, 탄산염 및 옥살산염 등을 들 수 있다. 또한, 서지 흡수 소자(SA1)의 제조에 있어서, 이 Li 확산의 공정은 반드시 필수가 아니다.

<131> 그리고, 이 Li 확산된 소체(1)의 측면에, 은을 주성분으로 하는 페이스트를 전사한 후에 소결한 후, 더욱 도금을 실시함으로써, 제 1 및 제 2 입력단자(3, 7), 제 1 및 제 2 출력단자(5, 9), 기준단자(11), 및 제 1 및 제 2 외부도체(14, 22)를 각각 형성하고, 서지 흡수 소자(SA1)를 얻는다(스텝 S107). 도금은, 전기도금에 의해 행할 수 있고, 예를 들면, Cu와 Ni와 Sn, Ni와 Sn, Ni와 Au, Ni와 Pd와 Au, Ni와 Pd와 Ag, 또는, Ni와 Ag 등을 사용할 수 있다.

<132> 이상과 같이, 본 제 1 실시형태에서는, 제 1 및 제 2 입력단자(3, 7)에는 역상의 신호가 입력된다. 제 1 입력단자(3)에 신호가 입력된 경우, 제 1 서지 흡수부(30)의 클램프 전압은, 입력된 신호의 전압보다도 높게 설정되어 있기 때문에, 제 1 서지 흡수부(30)는 고저항으로 보이게 된다. 그 결과, 제 1 코일(13) 및 제 2 코일(15)을 통하여 제 1 출력단자(5)에 신호가 전달된다. 제 1 입력단자(3)에 입력되는 신호에 서지가 포함되는 경우에는, 서지가 높은 전압은, 제 1 서지 흡수부(30)의 클램프 전압을 초과하기 때문에, 기준단자(11)에 클램프된다.

<133> 또한, 제 2 입력단자(7)에 제 1 입력단자(3)로의 입력신호와 역상의 신호가 입력된 경우, 제 3 코일(21) 및 제 4 코일(23)을 통하여 제 2 출력단자(9)에 신호가 전달된다. 제 2 입력단자(7)에 입력되는 신호에 서지가 포함되는 경우에는, 서지가 높은 전압은, 제 2 서지 흡수부(40)의 클램프 전압을 초과하기 때문에, 기준단자(11)에 클램프된다.

<134> 한편, 제 1 코일(13), 용량 성분을 갖는 제 1 서지 흡수부(30), 제 2 코일(15)은, T형의 로패스 필터를 구성하고 있다. 제 3 코일(21), 용량 성분을 갖는 제 2 서지 흡수부(40), 제 4 코일(23)도 또한, T형의 로패스 필터를 구성하고 있다. 로패스 필터의 영상 임피던스는, 신호 통과 대역으로서는 일정하지만, 차단 주파수 이상에서는 크게 변동한다. 차단 주파수는 LC 정수에 의해서 결정되기 때문에, 고속 신호에 포함되는 고차 고조파 성분은, 임피던스 부정합의 경우에 반사하여 버릴 우려가 있다. 높은 주파수의 신호를 반사시키지 않고서 전달하기 위해서는, 임피던스 정합되어 있는 주파수 대역을 확대하는 것이 바람직하다.

<135> 영상 임피던스는 코일의 결합 계수에 의존한 주파수 특성을 갖기 때문에, 제 1 내지 제 4 코일(13, 15, 21, 23)간의 결합 계수를 각각 적절하게 설정함으로써, 주파수에 의존하지 않는 영상 임피던스 Z_{in} 을 얻을 수 있다. 또한, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 적절하게 설정함으로써, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 용량 성분의 영향을 캔슬할 수 있다.

<136> 이와 같이, 주파수에 의존하지 않고, 또한, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 용량 성분의 영향이 캔슬된 영상 임피던스와, 서지 흡수 소자가 삽입되는 신호라인의 특성 임피던스를 정합시킴으로써, 고속 신호의 반사를 억제하여, 광대역에 걸쳐 주파수 특성이 평탄한 영상 임피던스를 실현하는 것이 가능해진다.

<137> 또한, 본 제 1 실시형태에서는, 제 1 및 제 2 입력단자에 차동신호를 인가한 경우에, 제 1, 제 2, 제 3 및 제 4 코일은, 서로 정의 자기 결합 상태를 갖고 있다. 즉, 각 코일에서 발생하는 자계는 강화한다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)의 실효적인 인덕턴스를 크게 할 수 있고, 바꾸어 말하면, 소망의 인덕턴스를 얻기 위해서 필요한 제 1 내지 제 4 코일(13, 15, 21, 23)의 치수를 작게 할 수 있다. 이 결과, 서지 흡수 소자(SA1)의 소형화를 도모할 수 있다.

<138> 또한, 제 1 및 제 2 서지 흡수층(100, 102)은 배리스터층(37)에 의해 형성되어 있고, 이러한 배리스터층(37)은 ZnO를 주성분으로 하고, 첨가물로서 Co를 포함하는 반도체 세라믹 재료로 구성되어 있다. 그 때문에, 제 1 및 제 2 서지 흡수층(100, 102)은, 우수한 전압 비직선 특성, 즉 배리스터 특성을 갖고, 또한, 높은 유전율을 갖게 된다. 그 결과, 제 1 및 제 2 서지 흡수부(30, 40)를, 인가되는 내압이 임계치를 넘은 경우에, 큰 서지 전압을 기준단자(11)에 흘리는 것이 가능한 배리스터로 할 수 있다.

<139> 본 제 1 실시형태에서는, 제 1 내지 제 4 코일(13, 15, 21, 23)의 사이에 제 1 내지 제 3 절연층(104, 106, 108)을 갖고 있다. 제 1 내지 제 3 절연층(104, 106, 108)은 인덕터층(17, 19, 25)에 의해 형성되어 있고, 이러한 인덕터층(17, 19, 25)은, ZnO를 주성분으로 하고, 첨가물로서 Co를 실질적으로 함유하는 세라믹 재료로 구

성되어 있다. 이러한 재료는, 인덕터의 구성재료로서 충분한 정도로 높은 저항율을 갖고 있다. 구체적으로는, 인덕터재료로서 적합한 1MΩ을 초과하는 저항율을 갖는 것으로 되기 쉽다. 이 때문에, 제 1 내지 제 3 절연층(104, 106, 108)을 개재한 제 1 내지 제 4 코일(13, 15, 21, 23)은, 자기적으로 보다 강하게 결합하게 되어, 우수한 인덕터 특성을 발휘할 수 있는 것으로 된다.

<140> 또한, 제 1 내지 제 4 코일(13, 15, 21, 23)은, 그 내부영역(13a, 15a, 21a, 23a)이 코일 적층 방향에서 보아서 서로 겹치고 있다. 이 때문에, 제 1 내지 제 4 코일에 전류를 흘렸을 때, 제 1 내지 제 4 코일(13, 15, 21, 23)을 자기적으로 결합시킬 수 있다. 또한, 제 1 내지 제 4 코일(13, 15, 21, 23)은, 제 1 및 제 2 입력단자(3, 7)에 차동신호를 인가하였을 때에, 제 1 내지 제 4 코일(13, 15, 21, 23)에 있어서 발생하는 자계의 방향이 동일하게 되도록 형성되어 있다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)은 서로 정의 자기 결합 상태를 확실하게 갖는 것으로 되기 때문에, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를, 제 1 내지 제 4 코일(13, 15, 21, 23)이 정의 자기 결합 상태를 가질 때의 그것과 비교하여 확실하게 작게 할 수 있다. 이 결과, 서지 흡수 소자의 소형화를 보다 확실하게 도모할 수 있다.

<141> 본 제 1 실시형태에서는, 직방체의 소체(1)의 제 1 측면(1a)에 상기 제 1 및 제 2 입력단자(3, 7)를 형성하고, 소체(1)의 제 2 측면(1b)상에 제 1 및 제 2 출력단자(5, 9)를 형성함으로써, 제 1 및 제 2 입력단자(3, 7)와, 제 1 및 제 2 출력단자(5, 9)를 외부회로에 접속하는 것이 용이해진다. 제 1 측면(1a)과 제 2 측면(1b)은 대향하고 있기 때문에, 제 1 및 제 2 입력단자(3, 7)와 제 1 및 제 2 출력단자(5, 9)의 대응부여가 용이해진다. 그 결과, 단자의 접속 오류를 미연에 막을 수 있다.

<142> 본 제 1 실시형태에서는, 소체(1)의 제 1 단면(1c)상에 제 1 코일(13)의 타단과 제 2 코일(15)의 타단을 접속하는 제 1 외부도체(14)가 형성되고, 제 2 단면(1d)상에 제 3 코일(21)의 타단과 제 4 코일(23)의 타단을 접속하는 제 2 외부도체(14)가 형성되어 있다. 이와 같이 접속에 외부도체를 사용함으로써, 제 1 코일(13)과 제 2 코일(15), 및 제 3 코일(21)과 제 4 코일(23)의 접속을 용이하고 또한 확실하게 할 수 있다.

<143> 본 제 1 실시형태에서는, 제 1 및 제 2 입력단자(3, 7) 사이 및 제 1 및 제 2 출력단자(5, 9)간에 기준단자(11)가 배치되어 있다. 이 경우, 기준단자(11)는 소체(1)의 외표면상에 형성되어 있기 때문에, 기준단자(11)를 접지하는 것이 용이해진다. 또한, 제 1 및 제 2 입력단자(3, 7) 사이, 또는, 제 1 및 제 2 출력단자(5, 9) 사이에 기준단자(11)를 배치함으로써, 제 1 입력단자(3)와 제 2 입력단자(7), 또는, 제 1 출력단자(5)와 제 2 출력단자(9)의 사이에 불필요한 결합이 발생하여 임피던스 정합이 악화되는 것을 미연에 방지할 수 있다.

<144> (제 2 실시형태)

<145> 다음에, 제 2 실시형태에 따른 서지 흡수 소자(SA2)에 관해서 설명한다. 도 7은, 제 2 실시형태에 따른 서지 흡수 소자를 도시하는 개략 사시도이다. 제 2 실시형태에 따른 서지 흡수 소자의 회로 구성은, 도 2에 도시된 제 1 실시형태에 따른 서지 흡수 소자(SA1)의 회로 구성과 동일하다.

<146> 제 2 실시형태에 따른 서지 흡수 소자(SA2)는, 도 7에 도시된 바와 같이, 소체(1), 제 1 입력단자(3), 제 2 입력단자(7), 제 1 출력단자(5), 제 2 출력단자(9), 및 한 쌍의 기준단자(11)를 구비하고 있다. 제 2 실시형태에 따른 서지 흡수 소자(SA2)는, 외부도체를 구비하고 있지 않는 점에서 제 1 실시형태에 따른 서지 흡수 소자(SA1)와 상이하다.

<147> 서지 흡수 소자(SA2)의 소체(1)는, 직방체 형상을 나타내고 있고, 예를 들면, 길이가 1mm 정도로 설정되고, 폭이 0.5mm 정도로 설정되고, 높이가 0.3mm 정도로 설정되어 있다. 한 쌍의 기준단자(11)는, 소체(1)의 제 1 단면(1c) 및 제 2 단면(1d)에 대향하여 형성되어 있다. 제 1 입력단자(3) 및 제 2 입력단자(7)는 제 1 측면(1a)에 형성되어 있고, 제 1 측면(1a)과 대향하는 제 2 측면(1b)에는 제 1 출력단자(5) 및 제 2 출력단자(9)가 형성되어 있다. 제 1 입력단자(3)와 제 1 출력단자(5)는, 서로 대향하도록 각각 형성되어 있다. 마찬가지로, 제 2 입력단자(7) 및 제 2 출력단자(9)도, 서로 대향하도록 각각 형성되어 있다.

<148> 도 8은 제 2 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해 사시도이다. 제 2 실시형태에 따른 서지 흡수 소자(SA2)에서는, 제 1 인덕터부(10)의 제 2 코일(15) 및 제 2 인덕터부(20)의 제 4 코일(23)이 모두 인덕터층(74)상에 형성되고, 제 1 인덕터부(10)의 제 1 코일(13) 및 제 2 인덕터부(20)의 제 3 코일(21)이 모두 인덕터층(75)상에 형성되어 있는 점에서, 제 1 실시형태에 따른 서지 흡수 소자(SA1)와 상이하다.

<149> 제 1 코일(13)은, 그 일단이 소체(1)의 제 1 측면(1a)으로 노출되도록, 인덕터층(75)의 1번으로 끝나오고 있다. 제 1 코일(13)의 일단은, 제 1 입력단자(3)에 접속된다. 제 2 코일(15)의 일단은, 소체(1)의 제 2 측면

(1b)으로 노출되도록, 인덕터층(74)의 1번으로 끝나오고 있다. 제 2 코일(15)의 일단은, 제 1 출력단자(5)에 접속된다. 제 1 코일(13)의 타단과 제 2 코일(15)의 타단은, 스루홀 도체(4)를 통하여 접속되어 있다.

<150> 제 3 코일(21)의 일단은, 소체(1)의 제 1 측면(1a)으로 노출되도록, 인덕터층(75)의 1번으로 끝나오고 있다. 제 3 코일(21)의 일단은, 제 2 입력단자(7)에 접속된다. 제 4 코일(23)의 일단은, 소체(1)의 제 2 측면(1b)으로 노출되도록, 인덕터층(74)의 1번으로 끝나오고 있다. 제 4 코일(23)의 일단은, 제 2 출력단자(9)에 접속되어 있다. 제 3 코일(21)의 타단과 제 4 코일(23)의 타단은, 스루홀 도체(6)를 통하여 접속되어 있다.

<151> 인덕터층(74, 75)에 있어서, 제 1 코일(13)의 내부영역(13a) 및 제 2 코일(15)의 내부영역(15a)는, 코일 적층 방향에서 보아 서로 겹치고 있다. 제 3 코일(21)의 내부영역(21a) 및 제 4 코일(23)의 내부영역(23a)도 또한, 코일 적층 방향에서 보아 서로 겹치고 있다. 제 1 코일(13) 및 제 3 코일(21)은, 코일 적층 방향에서 보아 서로 인접하는 부분(13b, 21b)을 각각 포함하고 있다. 제 2 코일(15) 및 제 4 코일(23)도 또한, 코일 적층 방향에서 보아 서로 인접하는 부분(15b, 23b)을 각각 포함하고 있다.

<152> 제 1 입력단자(3)에 정상신호를 입력하고, 제 2 입력단자(5)에 역상신호를 입력한 경우, 제 1 및 제 2 코일(13, 15)에는, 코일 적층 방향에서 보아 화살표 B 방향, 즉 시계방향에 속하는 방향으로 전류가 흐른다. 따라서, 제 1 및 제 2 코일(13, 15)은 서로 자계를 강화하게 된다. 제 3 및 제 4 코일(21, 23)에는, 코일 적층 방향에서 보아 화살표 C 방향, 즉 반시계방향에 속하는 방향으로 전류가 흐른다. 따라서, 제 3 및 제 4 코일(21, 23)은 서로 자계를 강화하게 된다.

<153> 제 1 및 제 2 코일(13, 15)에는 화살표 B 방향으로 전류가 흐르고, 제 3 및 제 4 코일(21, 23)에는 화살표 C 방향으로 전류가 흐르기 때문에, 제 1 코일(13) 및 제 3 코일(21)의 서로 인접하는 부분(13b, 21b)에서는, 전류는 동일 방향으로 흐르게 된다. 제 2 코일(15) 및 제 4 코일(23)의 서로 인접하는 부분(15b, 23b)에서도, 전류는 동일 방향으로 흐르게 된다. 따라서, 제 1 코일(13)과 제 3 코일(21)의 사이, 및 제 2 코일(15)과 제 4 코일(23)의 사이에서는, 서로 자계를 강화하게 된다. 이렇게 하여, 제 1 내지 제 4 코일(13, 15, 21, 23)은 서로 정의 자기 결합 상태를 갖게 된다.

<154> 제 1 서지 흡수부(30)의 제 1 내부전극(31) 및 제 2 서지 흡수부(40)의 제 3 내부전극(33)은, 서지 흡수층(65)상에 형성되어 있다. 제 1 서지 흡수부(30)의 제 2 내부전극(32) 및 제 2 서지 흡수부(40)의 제 4 내부전극(34)은, 서지 흡수층(67)상에 형성되어 있다.

<155> 제 1 내부전극(31) 및 제 3 내부전극(33)은, 각각 대략 직사각형상을 갖고 있다. 제 1 내부전극(31)은, 제 1 코일(13)의 타단 및 제 2 코일(15)의 타단과, 스루홀 도체(4)를 통하여 전기적으로 접속되어 있다. 제 3 내부전극(33)은, 제 3 코일(21)의 타단 및 제 4 코일(23)의 타단과, 스루홀 도체(6)를 통하여 전기적으로 접속되어 있다.

<156> 제 2 내부전극(32)과 제 4 내부전극(34)은, 일체로 형성되어 있다. 일체로 형성된 제 2 및 제 4 내부전극(32, 34)은, 소체(1)의 긴변 방향을 따라 연장되는 스트레이트라인형의 패턴(straight-line pattern)을 갖고 있고, 소체(1)의 제 1 및 제 2 단면(1c, 1d)에 노출되도록 각각 끝나오고 있다. 제 2 내부전극(32) 및 제 4 내부전극(34)은, 기준단자(11)에 전기적으로 접속되어 있다.

<157> 제 1 내부전극(31)과 제 2 내부전극(32)은, 코일 적층 방향에서 보아 서로 겹치는 부분(31a, 32a)을 각각 포함하고 있다. 따라서, 이 서로 겹치는 부분(31a, 32a)에 끼워진 서지 흡수층(65)의 부분이, 제 1 서지 흡수층으로서 기능한다. 제 3 내부전극(33)과 제 4 내부전극(34)은, 서지 흡수층(65, 67)의 적층방향에서 보아 서로 겹치는 부분(33a, 34a)을 각각 포함하고 있다. 따라서, 이 서로 겹치는 부분(33a, 34a)에 끼워진 서지 흡수층(65)의 부분이, 제 2 서지 흡수층으로서 기능한다.

<158> 이상과 같이, 본 제 2 실시형태에 있어서도, 제 1 실시형태와 동일하게, 제 1 및 제 2 서지 흡수부(30, 40) 외에, 제 1 및 제 2 인덕터부(10, 20)도 작동하게 된다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)간의 결합 계수와, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 적절한 값으로 한 경우, 주파수에 의존하지 않은 영상 임피던스 Z_{din} 을 얻을 수 있는 동시에, 영상 임피던스와 특성 임피던스를 정합시킬 수 있다.

<159> (제 3 실시형태)

<160> 다음에, 제 3 실시형태에 따른 서지 흡수 소자에 관해서 설명한다. 도 9는, 제 3 실시형태에 따른 서지 흡수 소자의 회로(서지 흡수 회로)의 구성을 설명하기 위한 도면이다. 도 10은, 도 9에 도시된 회로 구성의 등가회

로를 도시하는 도면이다. 제 3 실시형태에 따른 서지 흡수 소자(SA3)의 회로 구성은, 제 1 커패시터(60) 및 제 2 커패시터(70)를 구비하는 점에서, 도 2에 도시된 제 1 실시형태에 따른 서지 흡수 소자(SA1) 및 제 2 실시형태에 따른 서지 흡수 소자(SA2)의 회로 구성과 상이하다.

<161> 제 1 커패시터(60)는, 도 9 및 도 10에 도시된 바와 같이, 제 1 입력단자(3)와 제 1 출력단자(5) 사이에 개재하고 있다. 제 1 커패시터(60)의 일단은 제 1 입력단자(3)에 접속되고, 타단은 제 1 출력단자(5)에 접속되어 있다. 제 2 커패시터(70)는, 제 2 입력단자(7)와 제 2 출력단자(9)와의 간에 개재하고 있다. 제 2 커패시터(70)의 일단은 제 2 입력단자(7)에 접속되고, 타단은 제 1 출력단자(9)에 접속되어 있다.

<162> 도 9에 도시된 서지 흡수 소자(SA3)의 영상 임피던스 Z_{din} 은, 하기 식 6으로 나타난다. 여기에서, 제 1 및 제 2 커패시터(60, 70)의 용량을 각각 C_s 로 하고 있다.

수학식 6

$$Z_{din} = \sqrt{\frac{8(1 + K_z + K_c)L_z}{C_z} \cdot \frac{1 - \frac{1}{2}\omega^2 L_z C_z (1 - K_z + K_c)}{1 - 2\omega^2 L_z C_s (1 + K_z + K_c)}}$$

<163> 식 6에 있어서, 하기 식 7을 만족시키도록 제 1 및 제 2 커패시터(60, 70)의 용량 C_s 를 설정하면, 영상 임피던스 Z_{din} 은 주파수에 의존하지 않게 된다. 제 1 및 제 2 커패시터(60, 70)의 용량 C_s 를 하기 식 7에 설정한 후에, 하기 식 8에 나타나는 것처럼 각 내부도체의 유도 계수 L_z 를 설정하면, 영상 임피던스 Z_{din} 과 특성 임피던스 Z_{do} 를 정합시킬 수 있다.

수학식 7

$$C_s = \frac{C_z (1 - K_z + K_c)}{4(1 + K_z + K_c)}$$

수학식 8

$$L_z = \frac{Z_{do}^2 C_z}{8(1 + K_z + K_c)}$$

<164> 상기 식 7 및 식 8로부터도 알 수 있는 것처럼, 결합 계수 K_z 를 임의로 선택할 수 있기 때문에, 유연성이 높은 회로 설계가 가능해진다.

<165> 그런데, 고속 신호를 취급하는 회로에 서지 흡수 소자(SA3)를 적용하기 위해서는, 도 10에 도시된 부유 용량 성분(94, 99) 뿐만 아니라, 도 4에 도시된 제 1 및 제 2 서지 흡수부(30, 40)의 부유 인덕턴스 성분(62, 67)의 영향도 작게 하는 편이 바람직하다. 부성 유도 계수를 가지는 제 3 인덕턴스 성분(92, 97)을 이용하면, 도 10에 도시된 등가회로로부터도 알 수 있는 것처럼, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 인덕턴스 성분(62, 67)을 캔슬할 수 있지만, 외관상, 자기결합이 작아진 상태와 같아진다. 그 때문에, 결합 계수 K_z , K_c 및 유도 계수 L_z 는 그대로이며, 제 1 및 제 2 커패시터(60, 70)의 용량 C_s 를 하기 식 9와 만족시키도록 하는 것이 바람직하다.

수학식 9

$$C_s = \frac{1 - K_z + K_c + 2 \frac{L_e}{L_z}}{4(1 + K_z + K_c)} C_z$$

<166> 단, $K_z L_z \geq L_e$ 이다. 이렇게 설계하면, 서지 흡수 소자(SA3)에 부유 용량 성분(94, 99) 및 부유 인덕턴스 성분

(62, 67)이 포함되어 있어도, 영상 임피던스 Z_{din} 을 특성 임피던스 Z_{do} 에 대해서 보다 확실하게 정합시킬 수 있다.

- <171> 다음에, 제 3 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명한다. 도 11은, 제 3 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도이다. 제 3 실시형태에 따른 서지 흡수 소자(SA3)는, 제 1 커패시터(60) 및 제 2 커패시터(70)를 구비하는 점에서, 제 2 실시형태에 따른 서지 흡수 소자(SA2)와 상이하다.
- <172> 제 3 실시형태의 서지 흡수 소자(SA3)는, 도 7에 도시된 서지 흡수 소자(SA2)와 동일하게, 소체(1), 제 1 입력단자(3), 제 1 출력단자(5), 제 2 입력단자(7), 제 2 출력단자(9), 및 기준단자(11)를 구비하고 있다. 소체(1)는, 도 11에 도시된 바와 같이, 제 1 및 제 2 서지 흡수부(30, 40)와, 제 1 및 제 2 인덕터부(10, 20)와, 제 1 및 제 2 커패시터(60, 70)와, 보호층(50)이 하방으로부터 차례로 적층된 구조를 보이고 있다. 제 1 및 제 2 서지 흡수부(30, 40), 제 1 및 제 2 인덕터부(10, 20), 및 보호층(50)의 구성은, 제 2 실시형태에 따른 서지 흡수 소자(SA2)와 동일하다.
- <173> 제 1 커패시터(60)는, 제 1 입력단자(3)에 접속된 제 5 내부전극(71)과, 제 1 출력단자(5)에 접속된 제 6 내부전극(72)과, 제 5 내부전극(71)과 제 6 내부전극(72)의 사이에 개재하는 제 1 절연층을 갖고 있다. 제 5 내부전극(71)은 절연체층(64)상에 형성되고, 제 6 내부전극(72)은 절연체층(66)상에 형성되어 있다. 절연체층(64)중, 제 5 내부전극(71)과 제 6 내부전극(72)의 사이에 끼워진 부분이 제 1 절연층으로 된다.
- <174> 제 5 내부전극(71)은, 제 1 전극부분(71a)과, 제 2 전극부분(71b)을 포함하고 있다. 제 1 전극부분(71a)은 대략 직사각형상을 보이고 있다. 제 2 전극부분(71b)은, 제 1 전극부분(71a)에서 소체(1)의 제 1 측면(1a)으로 노출되도록 끌려나오고, 제 1 입력단자(3)에 접속되어 있다. 제 1 전극부분(71a)은, 제 2 전극부분(71b)을 통하여 제 1 입력단자(3)에 전기적으로 접속되게 된다. 제 1 전극부분(71a)과 제 2 전극부분(71b)은 일체로 형성되어 있다.
- <175> 제 6 내부전극(72)은, 제 1 전극부분(72a)과, 제 2 전극부분(72b)을 포함하고 있다. 제 1 전극부분(72a)은, 절연체층(64, 66)의 적층방향에서 보아, 제 5 내부전극(71)의 제 1 전극부분(71a)과 서로 겹친다. 제 1 전극부분(72a)은, 대략 직사각형상을 보이고 있다. 제 2 전극부분(72b)은, 제 1 전극부분(72a)에서 소체(1)의 제 2 측면(1b)에 노출되도록 끌려나오고, 제 1 출력단자(5)에 접속되어 있다. 제 1 전극부분(72a)은, 제 2 전극부분(72b)을 통하여 제 1 출력단자(5)에 전기적으로 접속되게 된다. 제 1 전극부분(72a)과 제 2 전극부분(72b)은 일체로 형성되어 있다.
- <176> 제 2 커패시터(70)는, 제 2 입력단자(7)에 접속된 제 7 내부전극(73)과, 제 2 출력단자(9)에 접속된 제 8 내부전극(76)과, 제 7 내부전극(73)과 제 8 내부전극(76)의 사이에 개재하는 제 2 절연층을 갖고 있다. 제 7 내부전극(73)은 절연체층(64)상에 형성되고, 제 8 내부전극(76)은 절연체층(66)상에 형성되어 있다. 절연체층(64)중, 제 7 내부전극(73)과 제 8 내부전극(76)의 사이에 끼워진 부분이 제 2 절연층으로 된다.
- <177> 제 7 내부전극(73)은, 제 1 전극부분(73a)과, 제 2 전극부분(73b)을 포함하고 있다. 제 1 전극부분(73a)은, 절연체층(64, 66)의 적층방향에서 보아, 후술하는 제 8 내부전극(76)의 제 1 전극부분(76a)와 서로 겹친다. 제 1 전극부분(73a)은, 대략 직사각형상을 띠고 있다. 제 2 전극부분(73b)은, 제 1 전극부분(73a)에서 소체(1)의 제 1 측면(1a)으로 노출되도록 끌려나오고, 제 2 입력단자(7)에 접속되어 있다. 제 1 전극부분(73a)은, 제 2 전극부분(73b)을 통하여 제 2 입력단자(7)에 전기적으로 접속되게 된다. 제 1 전극부분(73a)과 제 2 전극부분(73b)은 일체로 형성되어 있다.
- <178> 제 8 내부전극(76)은, 제 1 전극부분(76a)과, 제 2 전극부분(76b)을 포함하고 있다. 제 1 전극부분(76a)은, 절연체층(64, 66)의 적층방향에서 보아, 제 7 내부전극(73)의 제 1 전극부분(73a)과 서로 겹쳐진다. 제 1 전극부분(76a)은, 대략 직사각형상을 띠고 있다. 제 2 전극부분(76b)은, 제 1 전극부분(76a)에서 소체(1)의 제 2 측면(1b)으로 노출되도록 끌려나오고, 제 2 출력단자(9)에 접속되어 있다. 제 1 전극부분(76a)은, 제 2 전극부분(76b)을 통하여 제 2 출력단자(9)에 전기적으로 접속되게 된다. 제 1 전극부분(76a)과 제 2 전극부분(76b)은 일체로 형성되어 있다.
- <179> 절연체층(64, 66)은, 각각 세라믹 재료로 이루어지는 층이다. 절연체층(64, 66)의 구성 재료는 특히 한정되지 않고, 다양한 세라믹 재료 등을 적용 가능하지만, 박리를 저감시키는 관점에서는, 인덕터층(74, 75)과 동일하게 ZnO를 주성분으로서 포함하는 재료가 바람직하다.
- <180> 이상과 같이, 본 제 3 실시형태에서는, 제 1 및 제 2 서지 흡수부(30, 40) 및 제 1 및 제 2 인덕터부(10, 20)

외에, 제 1 및 제 2 커패시터(60, 70)를 구비하고 있다. 제 1 및 제 2 서지 흡수부(30, 40)가 작동할 때에는, 제 1 및 제 2 인덕터부(10, 20)와 제 1 및 제 2 커패시터(60, 70)가 작동하게 된다. 제 1 및 제 2 커패시터(60, 70)는, 제 1 코일(13)과 제 2 코일(15)의 자기결합, 및 제 3 코일(21)과 제 4 코일(23)의 자기결합과 동일한 작용을 갖는다. 따라서, 제 1 및 제 2 커패시터(60, 70)의 용량치를 적절한 값으로 한 경우, 제 1 내지 제 4 코일(13, 15, 21, 23)간의 결합 계수를 플렉시블하게 변경할 수 있다.

<181> 또한, 제 1 내지 제 4 코일(13, 15, 21, 23)이 서로 정의 자기 결합 상태를 갖도록 구성되어 있기 때문에, 제 1 내지 제 4 코일(13, 15, 21, 23)이 정의 자기 결합 상태를 가질 때와 비교하여 제 1 내지 제 4 코일(13, 15, 21, 23)의 길이를 짧게 하는 것이 가능해진다.

<182> 또한, 제 1 및 제 2 커패시터(60, 70)는, 제 5 내지 제 8 내부전극(71, 72, 73, 76)과 절연체층(64)을 적층함으로써 형성할 수 있기 때문에, 형성이 용이하다.

<183> (제 4 실시형태)

<184> 다음에, 제 4 실시형태에 따른 서지 흡수 소자에 관해서 설명한다. 도 12는, 제 4 실시형태에 따른 서지 흡수 소자의 회로(서지 흡수 회로)의 구성을 설명하기 위한 도면이다.

<185> 제 4 실시형태에 따른 서지 흡수 소자(SA4)에서는, 제 1 코일(13)과 제 2 코일(15)의 사이, 및 제 3 코일(21)과 제 4 코일(23) 사이에 있어서, 발생하는 자계의 영향을 서로 받기 어렵게 되어 있다. 즉, 제 1 코일(13)과 제 2 코일(15)의 사이, 및 제 3 코일(21)과 제 4 코일(23)의 사이에서는 자기결합이 대단히 작아지고 있고, 이들 2개의 코일간에서는 서로의 특성에 실질적으로 영향을 미치게 하지 않는다. 제 1 코일(13)과 제 2 코일(15)의 사이, 및 제 3 코일(21)과 제 4 코일(23)의 사이의 결합 계수는, 서로 영향을 서로 미치게 하지 않은 한 특히 한정되지 않지만, 0.01 이하로 하는 것이 바람직하다.

<186> 이러한 회로에서는, 앞서 언급한 식 6에 있어서의 결합 계수 K_z 를 실질적으로 제로라고 간주할 수 있다. 따라서, 서지 흡수 소자(SA4)의 영상 임피던스 Z_{din} 은, 하기 식 10으로 나타난다.

수학식 10

$$Z_{din} = \sqrt{\frac{8(1 + K_c)L_z}{C_z} \cdot \frac{1 - \frac{1}{2}\omega^2 L_z C_z (1 + K_c)}{1 - 2\omega^2 L_z C_s (1 + K_c)}}$$

<187>

<188> 상기 식 10에 있어서, 하기 식 11을 만족시키도록 제 1 및 제 2 커패시터(60, 70)의 용량 C_s 를 설정하면, 영상 임피던스 Z_{din} 은 주파수에 의존하지 않게 된다. 제 1 및 제 2 커패시터(60, 70)의 용량 C_s 를 하기 식 11에 설정한 후에, 하기 식 12에 나타내는 바와 같이, 내부도체의 유도 계수 L_z 를 설정하면, 영상 임피던스 Z_{din} 을 특성 임피던스 Z_{d0} 에 정합시킬 수 있다.

수학식 11

$$C_s = \frac{C_z}{4}$$

<189>

수학식 12

$$L_z = \frac{Z_{d0}^2 C_z}{8(1 + K_c)}$$

<190>

<191> 다음에, 도 13에 기초하여, 제 4 실시형태에 따른 서지 흡수 소자의 구성을 설명한다. 도 13은, 제 4 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도이다. 제 4 실시형태에 따른 서지

흡수 소자는, 제 1 인덕터부(10) 및 제 2 인덕터부(20)의 구성에 관해서, 제 3 실시형태에 따른 서지 흡수 소자(SA3)와 상이하다.

- <192> 제 4 실시형태에 따른 서지 흡수 소자(SA4)는, 도 7에 도시된 서지 흡수 소자(SA2)와 동일하게, 소체 L, 제 1 입력단자(3), 제 1 출력단자(5), 제 2 입력단자(7), 제 2 출력단자(9), 및 기준단자(11)를 구비하고 있다.
- <193> 제 1 내지 제 4 코일(13, 15, 21, 23)은, 도 13에 도시된 바와 같이, 인덕터층(80)상에 형성되어 있다. 인덕터층(80)과 인덕터층(82)은 적층되어 있다. 제 1 코일(13)과 제 2 코일(15)을 접속하는 내부도체(83)와, 제 3 코일(21)과 제 4 코일(23)을 접속하는 내부도체(84)는 인덕터층(82)상에 형성되어 있다.
- <194> 제 1 코일(13)의 일단은, 제 1 측면(1a)으로 노출되도록 끌려나오고, 제 1 입력단자(3)에 접속되어 있다. 제 1 코일(13)의 타단은, 인덕터층(82)에 형성된 내부도체(83)의 일단과 스루홀 도체(85)를 통하여 접속되어 있다. 제 2 코일(15)의 일단은, 제 2 측면(1b)에 노출되도록 끌려나오고, 제 1 출력단자(5)에 접속되어 있다. 제 2 코일(15)의 타단은, 인덕터층(82)에 형성된 내부도체(83)의 타단과 스루홀 도체(86)를 통하여 접속되어 있다.
- <195> 제 3 코일(21)의 일단은, 제 1 측면(1a)으로 노출되도록 끌려나오고, 제 2 입력단자(7)에 접속되어 있다. 제 3 코일(21)의 타단은, 인덕터층(82)에 형성된 내부도체(84)의 일단과 스루홀 도체(87)를 통하여 접속되어 있다. 제 4 코일(23)의 일단은, 제 2 측면(1b)에 노출되도록 끌려나오고, 제 2 출력단자(9)에 접속되어 있다. 제 4 코일(23)의 타단은, 인덕터층(82)에 형성된 내부도체(84)의 타단과 스루홀 도체(88)를 통하여 접속되어 있다.
- <196> 제 1 코일(13)과 제 3 코일(21)은, 코일 적층 방향에서 보아 서로 인접하는 부분(13c, 21c)을 각각 포함하고 있다. 제 2 코일(15)과 제 4 코일(23)은, 코일 적층 방향에서 보아 서로 인접하는 부분(15c, 23c)을 각각 포함하고 있다. 제 1 코일(13)과 제 2 코일(15)은, 코일 적층 방향에서 보아 서로 인접하는 부분(13d, 15d)을 각각 포함하고 있다. 이 인접하는 부분(13d, 15d)의 사이의 거리는, 인접하는 부분(13c, 21c)의 사이의 거리와 비교하여 길게 되어 있다. 제 3 코일(21)과 제 4 코일(23)은, 소체(1)를 위에서 보아 서로 인접하는 부분(21d, 23d)을 각각 포함하고 있다. 이 인접하는 부분(21d, 23d)의 사이의 거리는, 인접하는 부분(15c, 23c)의 사이의 거리와 비교하여 길게 되어 있다.
- <197> 이러한 소체(1)를 구비하는 서지 흡수 소자(SA4)의, 제 1 입력단자(3)에 정상신호를 입력하고, 제 2 입력단자(5)에 역상신호를 입력한 경우를 생각한다. 제 1 및 제 2 코일(13, 15)에서는, 도 13에 도시된 바와 같이, 코일 적층 방향에서 보아 화살표 D 방향, 즉 반시계방향에 속하는 방향으로 전류가 흐른다. 제 3 및 제 4 코일(21, 23)에서는, 코일 적층 방향에서 보아 화살표 F 방향, 즉 시계방향에 속하는 방향으로 전류가 흐른다. 그 때문에, 제 1 코일(13) 및 제 3 코일(21)의 서로 인접하는 부분(13c, 21c)에서는, 전류는 동일 방향으로 흐르게 된다. 제 2 코일(15) 및 제 4 코일(23)의 서로 인접하는 부분(15c, 23c)에서도, 전류는 동일 방향으로 흐르게 된다. 따라서, 제 1 코일(13)과 제 3 코일(21), 및 제 2 코일(15)과 제 4 코일(23)은, 서로 정의 자기 결합 상태를 갖게 된다.
- <198> 제 1 및 제 2 코일(13, 15)이 인접하는 부분(13d, 15d)에서는, 흐르는 전류의 방향이 서로 반대로 된다. 또한, 제 3 및 제 4 코일(21, 23)이 인접하는 부분(21d, 23d)에서도, 흐르는 전류의 방향이 서로 반대로 된다. 이와 같이 역방향의 전류가 흐르는 경우라도, 인접하는 부분(13d, 15d) 사이, 및 인접하는 부분(21d, 23d) 사이의 거리는 떨어져 있기 때문에, 제 1 및 제 2 코일(13, 15)간, 및 제 3 및 제 4 코일(21, 23)간에서는, 발생하는 자계의 영향을 서로 받기 어렵다. 즉, 제 1 코일(13)과 제 2 코일(15), 및 제 3 코일(21)과 제 4 코일(23)은, 자기 결합 상태를 갖지 않게 된다.
- <199> 이상과 같이, 본 제 4 실시형태에 있어서는, 제 1 및 제 2 서지 흡수부(30, 40) 외에, 제 1 및 제 2 인덕터부(10, 20) 및 제 1 및 제 2 커패시터(60, 70)를 구비하고 있다. 제 1 및 제 2 서지 흡수부(30, 40)가 작동할 때에는, 제 1 및 제 2 인덕터부(10, 20), 및 제 1 및 제 2 커패시터(60, 70)도 작동하게 된다. 제 1 및 제 2 커패시터(60, 70)는 제 1 코일(13)과 제 2 코일(15)의 자기결합, 및 제 3 코일(21)과 제 4 코일(23)의 자기결합과 동일한 작용을 갖는다. 그 때문에, 제 1 코일(13)과 제 2 코일(15)의 사이, 및 제 3 코일(21)과 제 4 코일(23)의 사이에서 자기결합이 거의 생기고 있지 않더라도, 제 1 및 제 2 커패시터(60, 70)의 용량치를 적절한 값으로 한 경우, 주파수에 의존하지 않은 영상 임피던스를 얻을 수 있다. 또한, 제 2 커패시터(60, 70)의 용량치와, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를 적절하게 설정함으로써, 제 1 및 제 2 서지 흡수부(30, 40)의 부유 용량 성분의 영향을 캔슬시키고, 서지 흡수 소자의 영상 임피던스와 특성 임피던스를 정합시킬

수 있다.

- <200> 또한, 제 1 및 제 3 코일(13, 21)이 서로 정의 자기 결합 상태를 갖고, 제 2 및 제 4 코일(15, 23)이 서로 정의 자기 결합 상태를 갖도록 구성되어 있기 때문에, 제 1 내지 제 4 코일(13, 15, 21, 23)의 유도 계수를, 제 1 내지 제 4 코일(13, 15, 21, 23)이 서로 정의 자기 결합 상태를 가질 때의 그것과 비교하여 작게 할 수 있다. 따라서, 제 1 내지 제 4 코일(13, 15, 21, 23)의 길이를 짧게 하는 것이 가능해진다. 이 결과, 서지 흡수 소자의 소형화를 도모할 수 있다.
- <201> 이상, 본 발명의 적합한 실시형태에 관해서 설명하였지만, 본 발명은 반드시 상술한 실시형태에 한정되지 않으며, 그 요지를 이탈하지 않는 범위에서 여러 가지 변경이 가능하다.
- <202> 본 발명의 서지 흡수 소자는, 상술한 등가회로나 이것과 동등한 기능을 갖는 것을 구성할 수 있으면, 그 적층 구조나 전극 등의 형성 위치를 임의로 변화시킬 수 있다. 즉, 제 1 및 제 2 입력단자(3, 7), 제 1 및 제 2 출력단자(5, 9), 기준단자(11), 및 제 1 및 제 2 외부도체(14, 22)의 위치관계는 임의로 변경하여도 좋다.
- <203> 본 실시형태에서는, 제 1 및 제 2 서지 흡수부(30, 40)는 배리스터로 하였지만, 이것에 한정되지 않는다. 제 1 및 제 2 서지 흡수부는, PN 접합(예를 들면, 제너다이오드나, 실리콘 서지 클램퍼 등), 갭 방전소자 등을 사용한 것이라도 좋다.
- <204> 인덕터층, 배리스터층, 절연체층, 및 보호층의 각 적층수는, 반드시 상술한 실시형태에 한정되지 않는다. 즉, 예를 들면, 내부도체가 형성된 인덕터층을 반복 적층함으로써, 코일패턴에 있어서의 턴수를 더욱 증가시켜도 좋다. 또한, 내부전극이 형성된 배리스터층을 더욱 반복하여 적층하여도 좋다. 이들의 적층수는, 소망으로 하는 서지 흡수 소자의 특성에 맞추어 적절하게 조정할 수 있다.
- <205> 그런데, 서지 흡수 소자의 제 1 및 제 2 인덕터부(10, 20)에 있어서 내부도체를 적층하고 있으면, 인덕터층을 구성하는 재료가 고유전율을 갖는 경우, 적층방향에 인접하는 내부도체가 결합하여, 상기 내부도체간에 기생용량이 생기게 된다. 따라서, 제 1 및 제 2 인덕터부(10, 20)에 있어서 내부도체를 적층한 구성의 것에서는, 특히, 고주파 용도로의 적용이 곤란한 경향이 있다. 이러한 관점에서, 인덕터층은, 그 유전율이 낮은 쪽이 바람직하고, 구체적으로는, 비유전율이 50 이하이면 바람직하다.
- <206> 또한 본 실시형태에서는, 도 11 및 도 13에 도시하는 바와 같이, 제 1 커패시터(60)를 제 5 내부전극(71) 및 제 6 내부전극(72)에 의해서 형성하는 동시에, 제 2 커패시터(70)를 제 7 내부전극(73) 및 제 8 내부전극(76)에 의해서 형성한 경우에 대하여 언급하였지만, 반드시 이 구성에 한정되지 않는다. 예를 들면 제 1 인덕터부 및 제 2 인덕터부를 형성하는 도체의 도체간 용량을 이용하여 제 1 커패시터 및 제 2 커패시터를 형성하도록 하여도 좋다. 즉, 도 9 및 도 12에 도시하는 바와 같이, 회로적으로 제 1 입력단자(3)와 제 1 출력단자(5)의 사이에 제 1 커패시터(60)가 형성되고, 제 2 입력단자(7)와 제 2 출력단자(9)의 사이에 제 2 커패시터(70)가 형성되어 있으면 좋다.

발명의 효과

- <207> 본 발명은, 고속 신호에 대해서도 임피던스 정합이 우수하고, 또한, 소형인 서지 흡수 소자 및 서지 흡수 회로를 제공하고 있다.

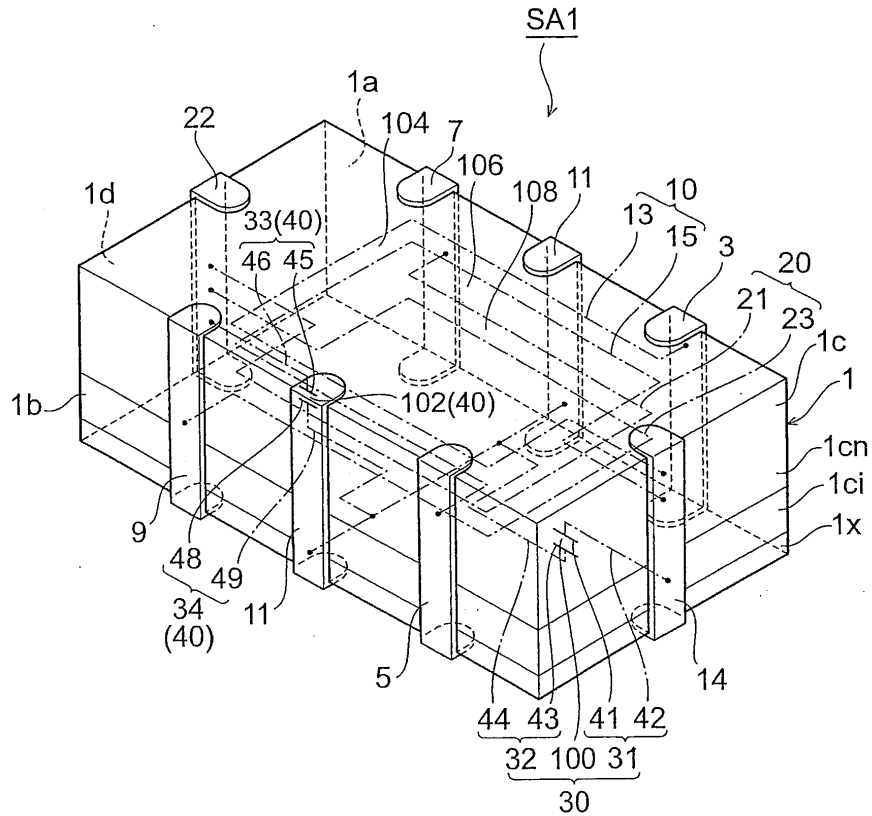
도면의 간단한 설명

- <1> 도 1a 및 도 1b는 제 1 실시형태에 따른 서지 흡수 소자를 도시하는 개략 사시도.
- <2> 도 2는 제 1 실시형태에 따른 서지 흡수 소자의 회로의 구성을 설명하기 위한 도면.
- <3> 도 3은 도 2에 도시된 회로 구성의 등가회로를 도시하는 도면.
- <4> 도 4는 제 1 및 제 2 서지 흡수부의 등가회로를 도시하는 도면.
- <5> 도 5는 제 1 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도.
- <6> 도 6은 제 1 실시형태에 따른 서지 흡수 소자를 제조하는 공정을 설명하기 위한 플로우도.
- <7> 도 7은 제 2 실시형태에 따른 서지 흡수 소자를 도시하는 개략 사시도.
- <8> 도 8은 제 2 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도.

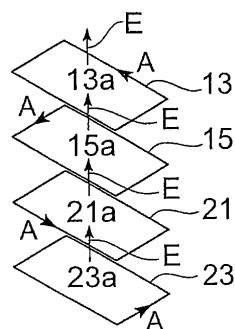
- <9> 도 9는 제 3 실시형태에 따른 서지 흡수 소자의 회로의 구성을 설명하기 위한 도면.
- <10> 도 10은 도 9에 도시된 회로 구성의 등가회로를 도시하는 도면.
- <11> 도 11은 제 3 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도.
- <12> 도 12는 제 4 실시형태에 따른 서지 흡수 소자의 회로의 구성을 설명하기 위한 도면.
- <13> 도 13은 제 4 실시형태에 따른 서지 흡수 소자에 포함되는 소체의 구성을 설명하기 위한 분해사시도.

도면

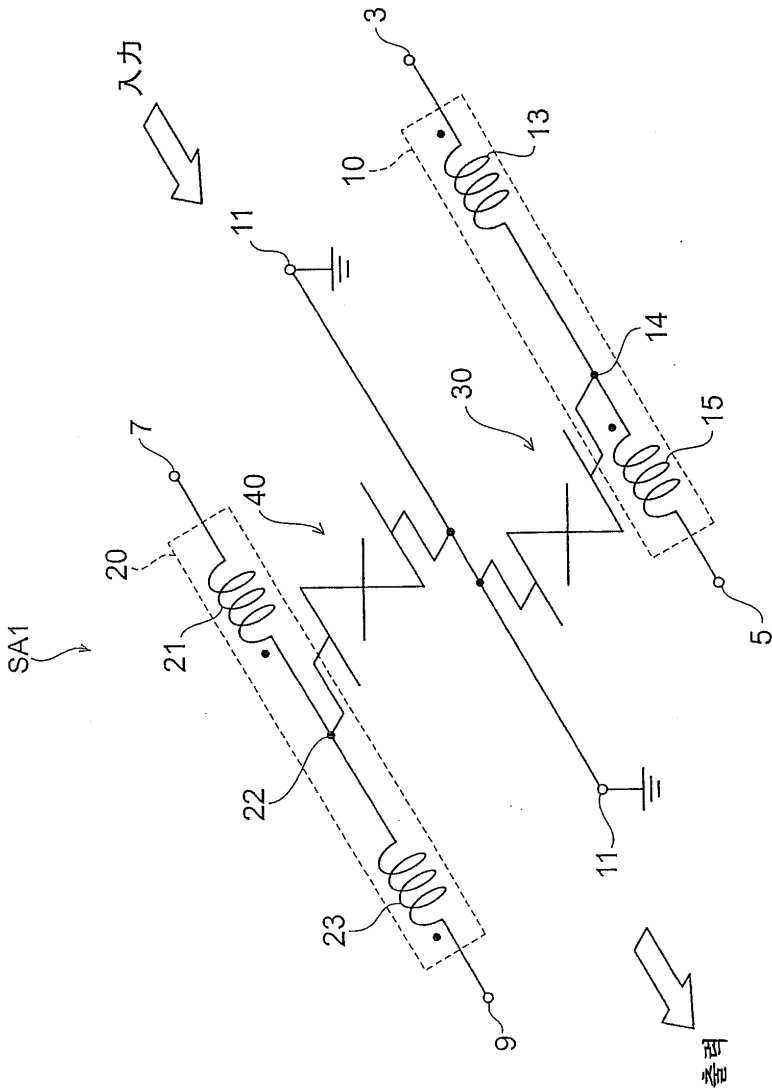
도면1a



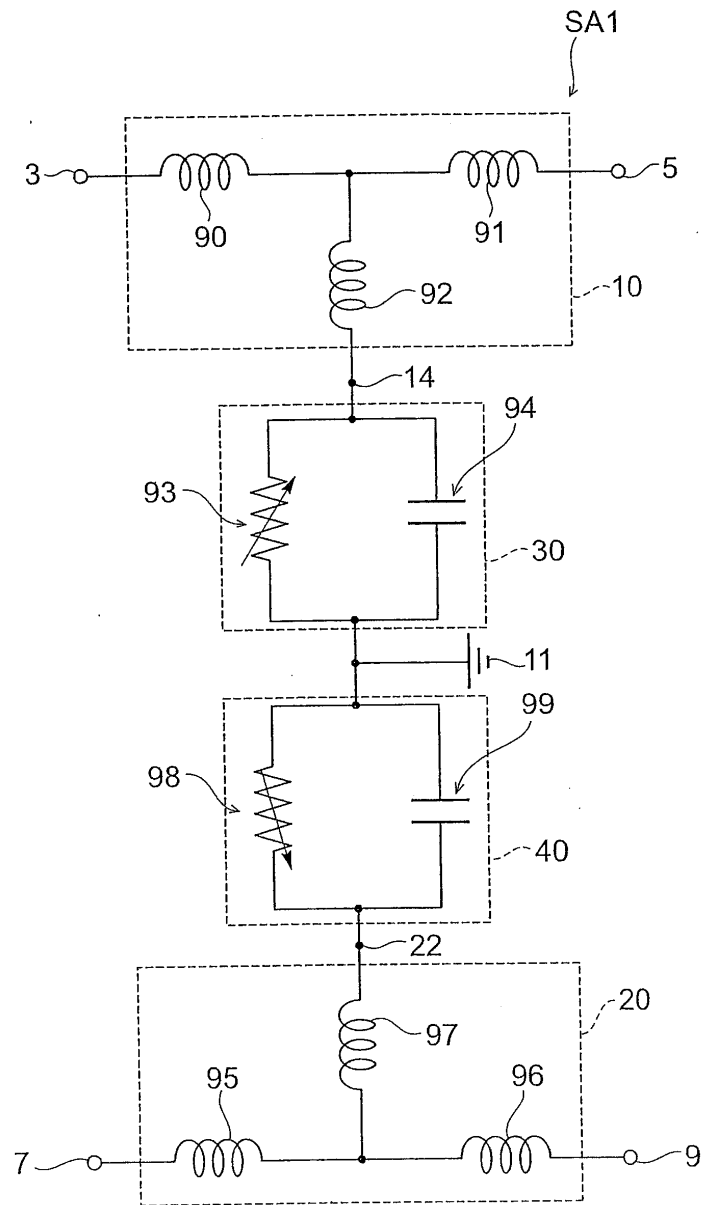
도면1b



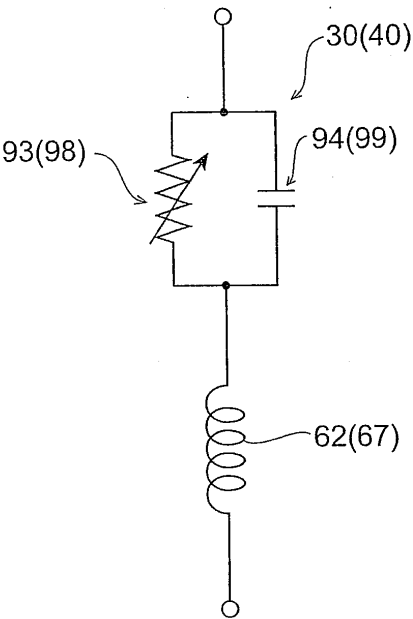
도면2



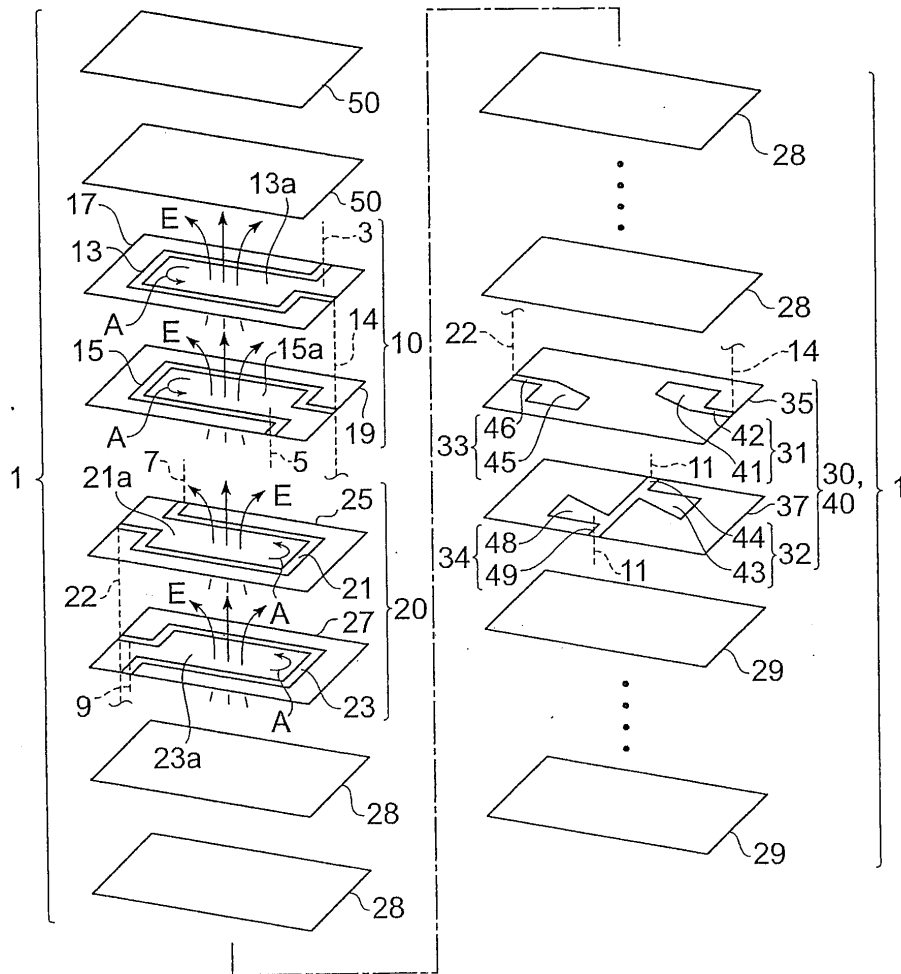
도면3



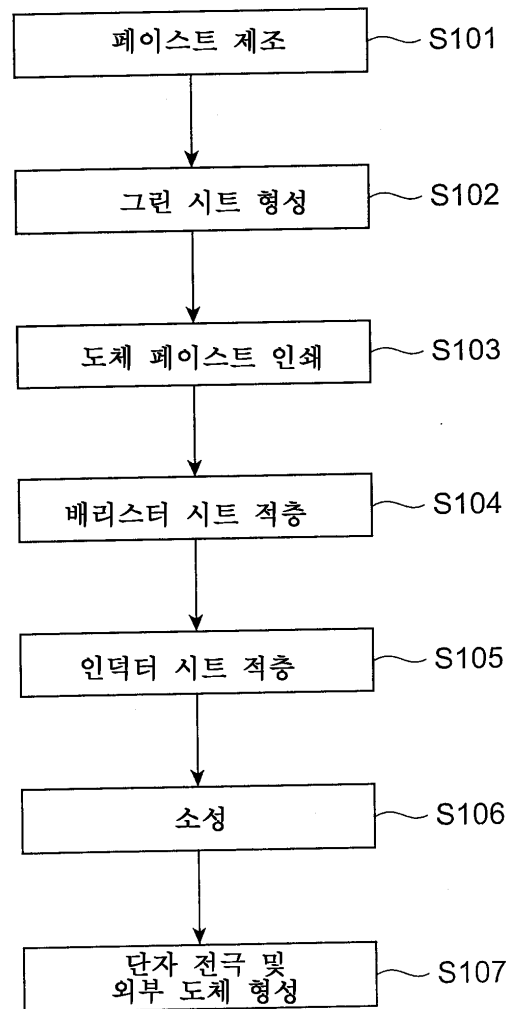
도면4



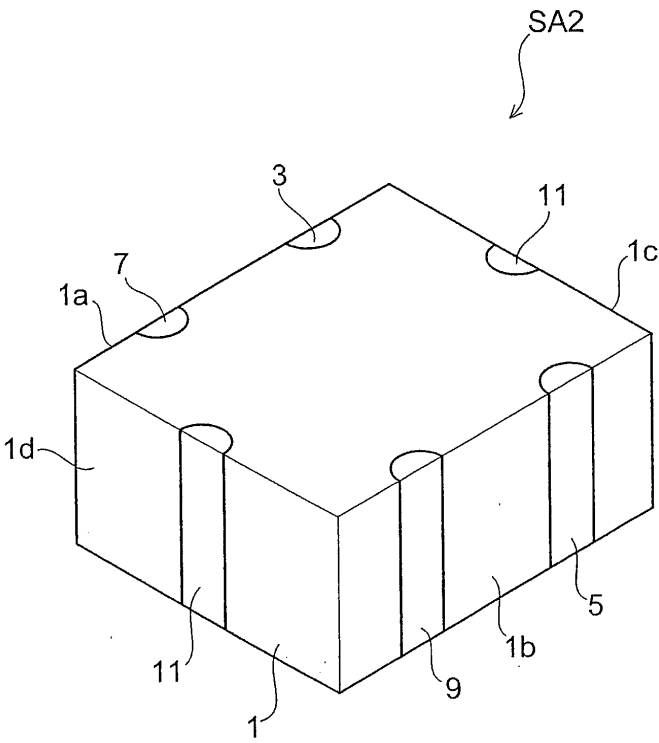
도면5



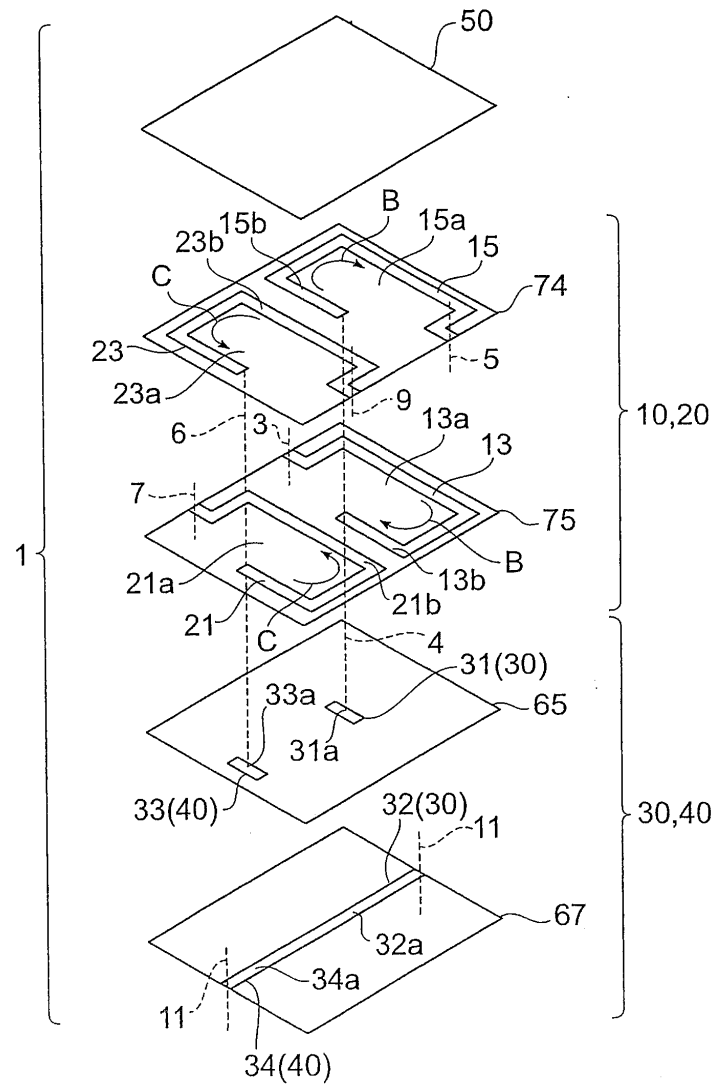
도면6



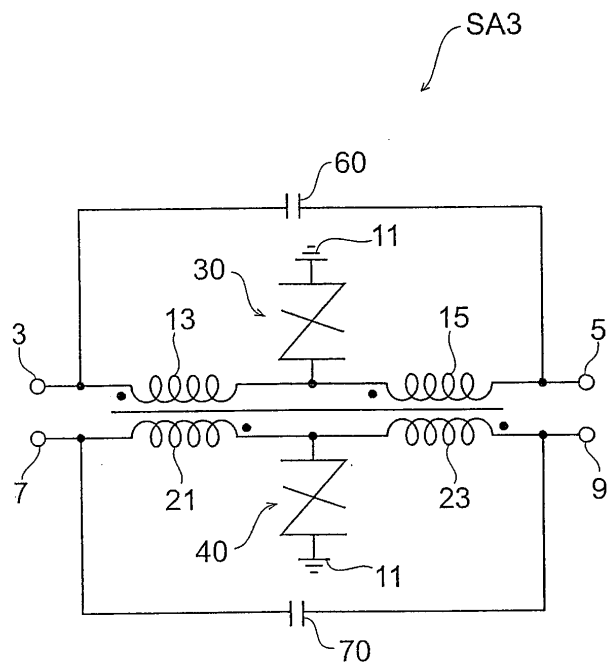
도면7



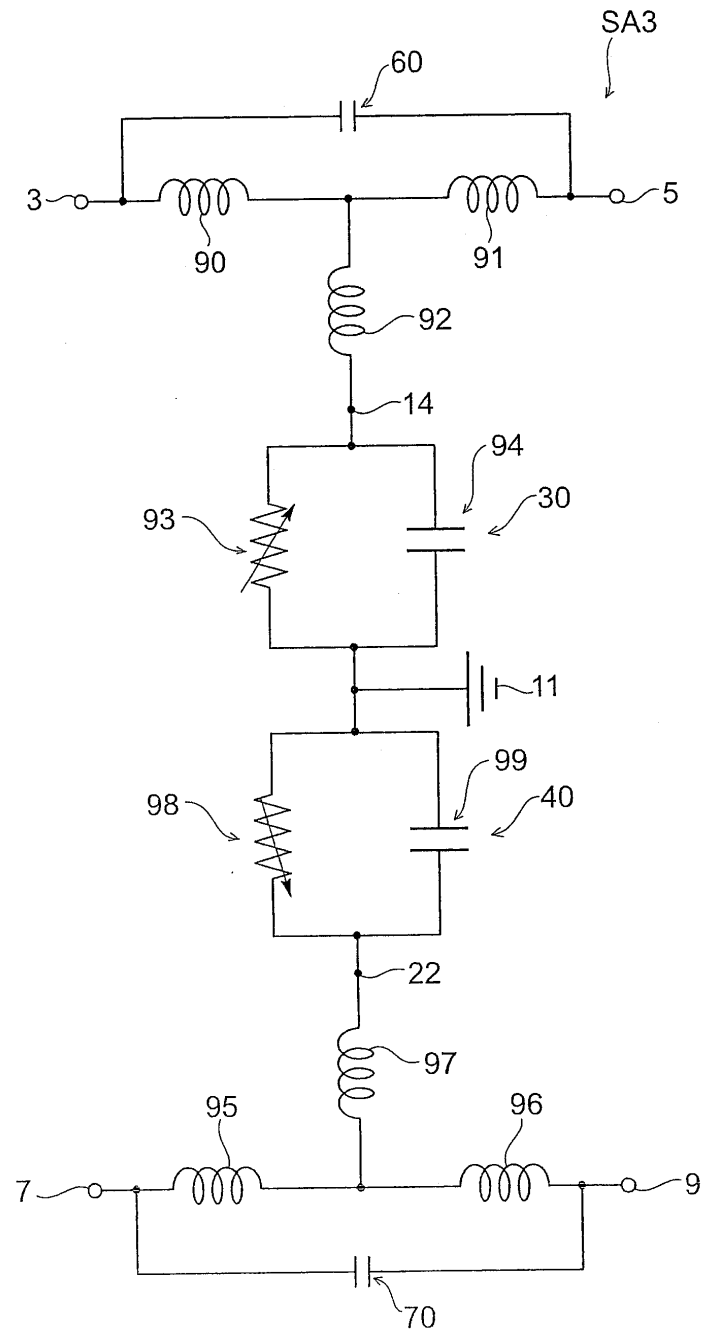
도면8



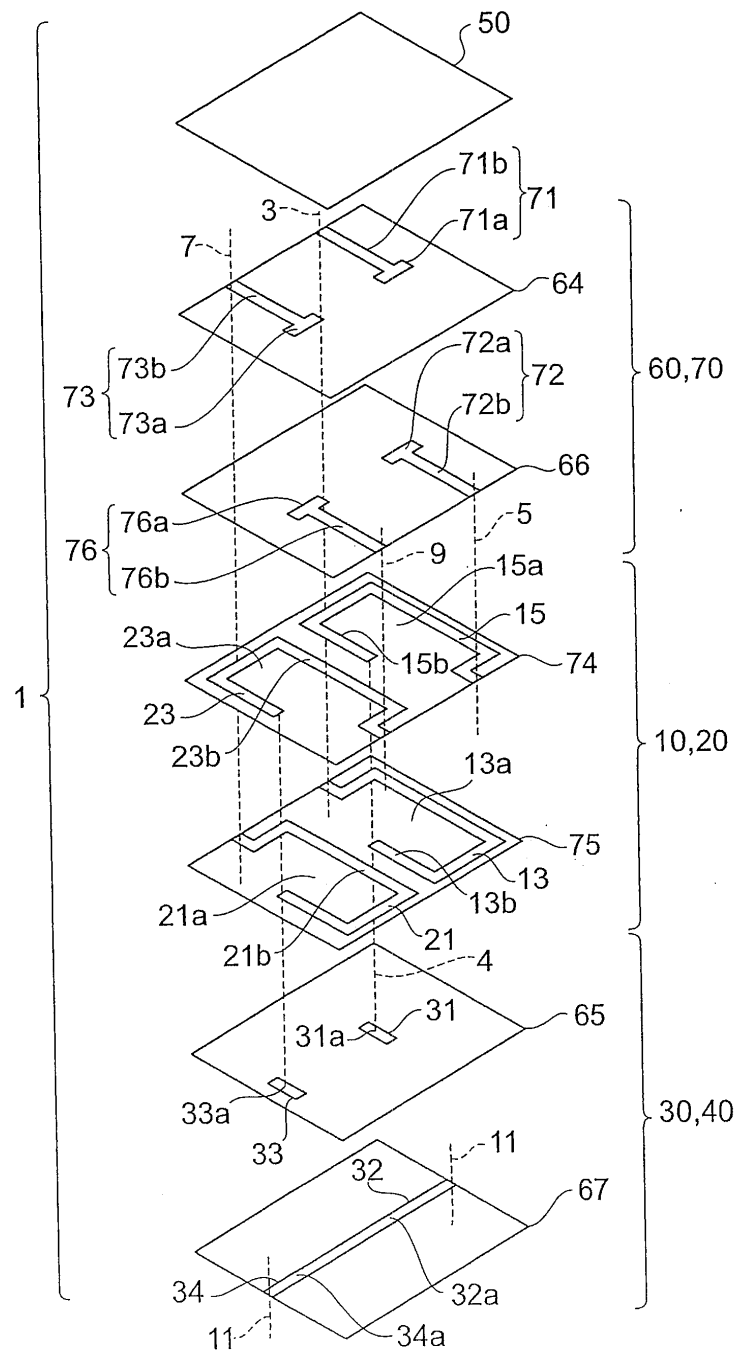
도면9



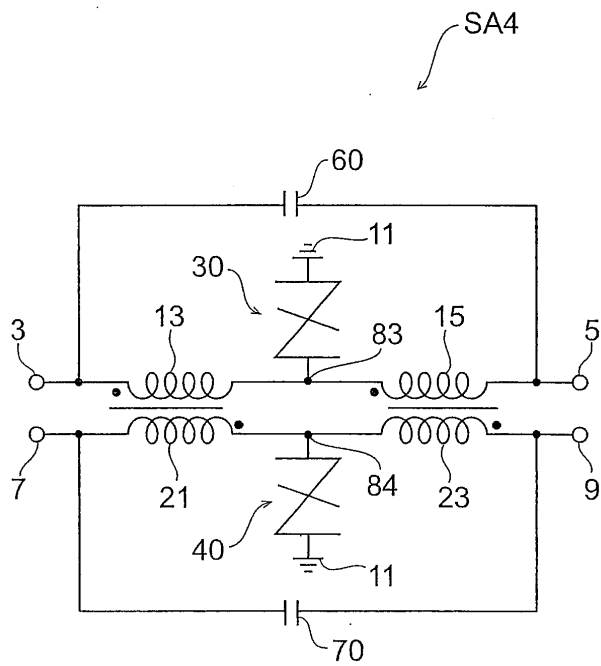
도면10



도면11



도면12



도면13

