



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월09일  
(11) 등록번호 10-1091042  
(24) 등록일자 2011년12월01일

(51) Int. Cl.

*H04N 5/14* (2006.01) *H04N 5/44* (2011.01)

(21) 출원번호 10-2006-7016917

(22) 출원일자(국제출원일자) 2005년02월25일

심사청구일자 2010년02월24일

(85) 번역문제출일자 2006년08월23일

(65) 공개번호 10-2007-0028314

(43) 공개일자 2007년03월12일

(86) 국제출원번호 PCT/US2005/006252

(87) 국제공개번호 WO 2005/084037

국제공개일자 2005년09월09일

(30) 우선권주장

60/548,145 2004년02월26일 미국(US)

(56) 선행기술조사문현

US05612981 A\*

\*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 14 항

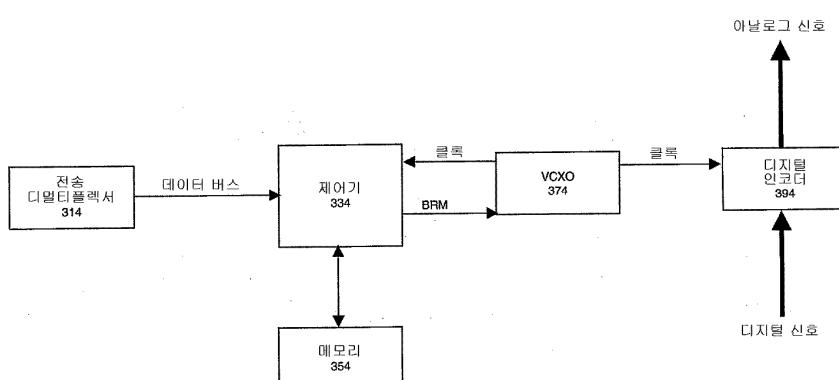
심사관 : 김기호

(54) 비디오 처리 디바이스에서 전압 제어되는 수정 발진기를 설정하기 위한 방법 및 장치

### (57) 요 약

본 발명은 집적된 수신기 디코더(integrated receiver decoder: IRD)에서 주파수 기준을 설정하기 위한 방법 및 장치와 관련이 있다. 보다 특별히, 본 발명은 전기 회로 배열을 개시하는데, 이 배열에서 전압 제어된 수정 발진기(voltage controlled crystal oscillator: VCXO)는 그 초기 사용 이전에 요구되는 주파수에서 발진하도록 설정되고, 그 주파수는 비휘발성 메모리 유닛에서 저장된다. 초기 사용시에, IRD는 주파수 기준에 대응하는 데이터 신호를 수신한다. IRD는 진입하는 데이터 신호의 주파수 기준을 비휘발성 메모리에 저장된 주파수와 비교하기 위한 임계값을 사용한다. 만약 그 주파수가 미리 결정된 값만큼 다르다면, 진입된 데이터 신호로부터의 주파수는 비휘발성 메모리에 저장되고, VCXO를 설정하기 위해 사용된다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

로컬 발진기의 주파수를 조정하기 위한 방법으로서:

시간 기준(a timing reference)를 포함하는 텔레비전 신호를 수신하는 단계;

메모리에 저장된 제1 비트율 승산기 값(bit rate multiplier value)을 사용하여 상기 로컬 발진기의 주파수를 조정하는 단계;

상기 시간 기준으로부터 제2 비트율 승산기 값을 결정하는 단계;

메모리에 저장된 상기 제1 비트율 승산기 값을 상기 제2 비트율 승산기 값으로 대체시키는 단계;

상기 시간 기준의 부재시, 메모리에 저장된 제2 비트율 승산기 값을 사용하여 상기 로컬 발진기의 주파수를 조정하는 단계를

포함하는, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 2

제1항에 있어서, 상기 제1 비트율 승산기 값을 상기 제2 비트율 승산기 값으로 대체시키는 단계는 상기 제2 비트율 승산기 값이 상기 제1 비트율 승산기 값과 다른 경우에만 수행되는, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 3

제1항에 있어서, 상기 제1 비트율 승산기 값을 상기 제2 비트율 승산기 값으로 대체시키는 단계는, 상기 제2 비트율 승산기 값이 상기 제1 비트율 승산기 값과 백만분의 15 부분 이상만큼 다른 경우에만 수행되는, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 4

제1항에 있어서, 상기 제1 비트율 승산기 값을 상기 제2 비트율 승산기 값으로 대체시키는 단계는, 상기 제2 비트율 승산기 값이 제1 비트율 승산기 값과 0.0015% 이상만큼 다른 경우에만 수행되는, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 5

제1항에 있어서, 상기 텔레비전 신호로부터 제2 비트율 승산기 값을 결정하는 단계는:

제1 데이터 패킷을 수신하는 단계;

제2 데이터 패킷을 수신하는 단계; 및

상기 제2 비트율 승산기 값을 계산하기 위하여, 상기 제1 데이터 패킷에서 수신된 정보와 상기 제2 데이터 패킷에서의 정보 사이의 차이를 사용하는 단계를

포함하는, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 6

제5항에 있어서, 상기 제1 데이터 패킷과 상기 제2 데이터 패킷에서 수신된 정보는 시간 기준(time reference)인, 로컬 발진기의 주파수를 조정하기 위한 방법.

### 청구항 7

텔레비전 신호 수신 장치로서:

제1 발진기 비트율 승산기 파라미터를 저장하기 위한 메모리;

시간 기준 데이터를 포함하는 텔레비전 신호를 수신하기 위한 입력;

상기 제1 발진기 비트율 승산기 파라미터에 응답하여 제1 주파수에서, 그리고 제2 발진기 비트율 승산기 파라미터에 응답하여 제2 주파수에서 신호를 생성하기 위한 전압 제어 수정 발진기로서, 상기 신호는 시간 기준 데이터를 포함하는 텔레비전 신호의 부재시에도 생성되는, 전압 제어 수정 발진기; 및

상기 시간 기준 데이터로부터 제2 발진기 비트율 승산기 파라미터를 결정하고, 상기 제2 발진기 비트율 승산기 파라미터를 상기 메모리에 저장하기 위한 처리 수단을

포함하는, 텔레비전 신호 수신 장치.

#### 청구항 8

제7항에 있어서, 상기 처리 수단은, 상기 제2 발진기 비트율 승산기 파라미터가 상기 제1 발진기 비트율 승산기 파라미터와 다를 때, 상기 제1 발진기 비트율 승산기 파라미터를 상기 제2 발진기 비트율 승산기 파라미터로 대체시키는, 텔레비전 신호 수신 장치.

#### 청구항 9

제7항에 있어서, 상기 처리 수단은, 상기 제2 발진기 비트율 승산기 파라미터가 상기 제1 발진기 비트율 승산기 파라미터와 0.0015% 이상만큼 다를 때, 상기 제1 발진기 비트율 승산기 파라미터를 상기 제2 발진기 비트율 승산기 파라미터로 대체시키는, 텔레비전 신호 수신 장치.

#### 청구항 10

제7항에 있어서, 상기 처리 수단은, 상기 제2 발진기 비트율 승산기 파라미터가 상기 제1 발진기 비트율 승산기 파라미터와 백만분의 15 부분 이상만큼 다를 때, 상기 제1 발진기 비트율 승산기 파라미터를 상기 제2 발진기 비트율 승산기 파라미터로 대체시키는, 텔레비전 신호 수신 장치.

#### 청구항 11

삭제

#### 청구항 12

로컬 발진기의 주파수를 조정하기 위한 디지털 비디오 신호 프로세서 파라미터를 갱신하기 위한 방법으로서:

제1 데이터 패킷으로부터 제1 시간 스템프를 추출하는 단계;

제2 데이터 패킷으로부터 제2 시간 스템프를 추출하는 단계;

제1 시간 스템프와 제2 시간 스템프 사이의 시간 간격을 결정하는 단계;

상기 시간 간격을 기초로 하여 비디오 신호 프로세서의 비트율 승산기 파라미터를 계산하는 단계; 및

저장된 비디오 신호 프로세서 파라미터를 상기 비디오 신호 프로세서의 비트율 승산기 파라미터로 대체시키는 단계를

포함하는, 디지털 비디오 신호 프로세서 파라미터를 갱신하기 위한 방법.

#### 청구항 13

제12항에 있어서, 상기 저장된 비디오 신호 프로세서 파라미터는, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터가 상기 저장된 비디오 신호 프로세서 파라미터와 다른 경우에만, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터로 대체되는, 디지털 비디오 신호 프로세서 파라미터를 갱신하기 위한 방법.

#### 청구항 14

제12항에 있어서, 상기 저장된 비디오 신호 프로세서 파라미터는, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터가 상기 저장된 비디오 신호 프로세서 파라미터와 0.0015% 이상만큼 다른 경우에만, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터로 대체되는, 디지털 비디오 신호 프로세서 파라미터를 갱신하기 위한 방법.

## 청구항 15

제12항에 있어서, 상기 저장된 비디오 신호 프로세서 파라미터는, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터가 상기 저장된 비디오 신호 프로세서 파라미터와 백만 분의 15개 부분 이상만큼 다른 경우에만, 상기 비디오 신호 프로세서의 비트율 승산기 파라미터로 대체되는, 디지털 비디오 신호 프로세서 파라미터를 갱신하기 위한 방법.

## 명세서

### 기술 분야

[0001] 우선권 주장

[0002] 본 출원은 본 명세서에 참조로 병합되는, 2004년 2월 26일에 제출된 "비디오 재생 디바이스에서 전압 제어된 수정 발진기를 설정하기 위한 방법 및 장치(METHOD AND APPARATUS FOR SETTING A VOLTAGE CONTROLLED CRYSTAL OSCILLATOR IN A VIDEO PLAYBACK DEVICE)"라는 명칭의 미국 가출원 60/548145의 혜택을 주장한다.

[0003] 본 발명은 비디오 처리 시스템과 관련이 있다.

## 배경 기술

[0004] 위성 텔레비전 수신 시스템은 일반적으로 디쉬형 안테나(disk like antenna)와 저잡음 블록(low noise block: LNB) 증폭기를 포함하는 옥외 유닛 및 집적 수신기 디코더(integrated receiver decoder: IRD)라고 부르는 옥내 유닛을 포함한다. IRD는 동조기와 신호 처리 섹션을 포함한다. IRD의 신호 처리 섹션은 사용자에 요청시에 디스플레이될 원하는 텔레비전 신호를 동조하기 위해 사용되는 복수의 타이밍 신호 또는 클록을 생성하는데, 이 신호 또는 클록의 일부는 전압 제어되는 수정 발진기(voltage controlled crystal oscillator: VCXO)에 의해 생성된다.

[0005] VCXO는 비트율 승산기 값(bit rate multiplier value: BRM 값)에 응답하여 특별한 주파수에서 발진한다. BRM이 변할 때, VCXO의 출력 주파수가 변경된다. 일반적으로, IRD의 공장 설정 동안에, 적절한 BRM 값이 특별한 범위의 VCXO 출력 주파수를 위해 결정되고, 이러한 BRM 값들은 비휘발성 메모리에 저장된다. 하지만, 수정의 물리적 특성과, 온도, 차단된(cut) 주파수, 수정의 연수와 같은 IRD가 사용되는 환경의 물리적 특성은 VCXO의 주파수 출력에 영향을 줄 수 있다. VCXO 드리프트(drift)와 연관된 하나의 특별한 문제점은 컬러 부반송파(subcarrier)를 생성하기 위한 IRD의 능력인데, 여기서 VCXO는 3.579545 MHz를 생성하기 위해 PLL에 의해 사용되는 27 MHz의 주파수를 유지해야 한다. 이 VCXO 또는 연관된 BRM에서의 어떠한 불일치라도 디스플레이가 컬러 버스트(colorburst) 신호에 동기(locking)되는 것을 방해할 수 있으며, 따라서 비디오 신호가 모노크롬, 부분적 컬러, 및/또는 컬러 전이에서 디스플레이되게 야기시킨다.

[0006] VCXO에서 임의의 불일치를 보상하기 위해, IRD 마이크로 프로세서는 인입 위성 신호에 포함된 시간 스템프 사이의 간격을 추적할 것이고, 이 간격을 VCXO의 출력 주파수를 기초로 하여 로컬 클록으로부터 유사하게 유도된 간격과 비교할 것이다. 만약 비교된 간격이 상당히 변한다면, 마이크로프로세서는 VCXO 클록 출력을 정정하기 위해 BRM을 변경할 것이다. 일반적으로, VCXO 클록에 대한 허용 가능한 변동은 15 ppm 이하이다. 수정 또는 환경의 물리적 특성이 IRD의 공장 설정 동안에 제공되는 것으로부터 변하게 됨에 따라, 마이크로프로세서가 BRM을 정정하기 위해 요구되는 시간은 점점 상당하게(significant) 되고 점점 허용 가능하지 않을 정도가 된다. 더 나아가, 만약 아무런 기준 시간 스템프가 존재하지 않는다면, 이 프로세스는 불가능하게 되고, 마이크로프로세서는 편향을 보상하기 위해 공장에서 설정된 BRM 값을 정정할 수 없을 것이다. 마이크로프로세서가 비교를 위해 사용하기 위한 어떠한 시간 스템프도 이용 가능하지 않은 순간에, 수정 또는 환경의 물리적 특성에서의 변화를 정정할 수 있는 것이 바람직할 것이다.

## 발명의 상세한 설명

[0007] 하나의 양상에서, 본 발명은 비디오 처리 디바이스에서 전압 제어되는 수정 발진기를 설정하기 위한 방법과 관련이 있는데, 이 방법은 텔레비전 신호를 수신하는 단계, 상기 텔레비전 신호로부터 제1 값을 결정하는 단계, 상기 제1 값을 가지고 메모리에 저장된 제2 값을 대체시키는 단계를 포함한다. 제2 양상에서, 본 발명은 하나의 장치와 관련이 있는데, 이 장치는 제1 발진기 파라미터를 저장하기 위한 메모리, 시간 기준 데이터를 포함하는 텔레비전 신호를 수신하기 위한 입력, 상기 시간 기준 데이터에 응답하여 제2 발진기 파라미터를 결정하

고, 상기 제2 발진기 파라미터를 상기 메모리에 저장하기 위한 처리 수단을 포함한다.

## 실시예

[0016] 본 발명의 특징과 이점은 예시에 의해서 주어진, 다음에 나오는 설명으로부터 보다 명백해질 것이다. 본 발명의 하나의 실시예는 집적 회로 이내에서 포함될 것이다. 본 발명의 다른 하나의 실시예는 회로를 형성하는 이산(discrete) 소자를 포함할 수 있다. 여기서 제시된 예시는 본 발명의 바람직한 실시예를 설명하며, 이러한 예시는 어떤 식으로든 본 발명의 범위를 제한하는 것으로 해석되지 말아야 한다.

[0017] 본 발명은 집적된 수신기 디코더(IRD)에서 주파수 기준을 설정하기 위한 방법 및 장치와 관련이 있다. 보다 특별히, 본 발명은 전기 회로 배열을 개시하는데, 이 배열에서 전압 제어된 수정 발진기(voltage controlled crystal oscillator: VCXO)는 그 초기 사용 이전에 요구되는 주파수에서 발진하도록 설정된다. 바람직하게 VCXO는, IRD가 인입 데이터 신호로부터의 컬러버스트 신호를 생성하여 이 인입 데이터 신호로부터 컬러 부반송파를 정확히 생성할 수 있도록 설정된다. IRD는 VCXO가 동작하는 주파수에 대응하는 BRM 값을 저장하기 위한 비휘발성 메모리를 가지고 있다. 데이터 신호를 수신할 시, IRD는 인입 데이터 신호의 클록을 국부적으로 생성된 클록과 비교하기 위한 임계값을 사용한다. 만약 클록 차이가 미리 결정된 값을 초과하면, BRM 값은 차이를 감소하기 위해 정정된다. 만약 새로운 BRM 값이 비휘발성 메모리에 저장된 BRM 값과 다르다면, 새로운 값이 비휘발성 메모리에 저장된다. 대안적인 방법은 전원이 제거될 때, 비휘발성 메모리에서 동기된 주파수에 대응하는 BRM 값을 저장하는 것이다. 이러한 저장된 값은 IRD가 다음에 다시 전원 공급될 때 사용될 것이다.

[0018] 본 발명은 위성 신호 또는 케이블 텔레비전 신호를 수신할 수 있는 셋톱 박스 또는 비디오 디코더에서 구현될 수 있다. 이러한 시스템은 일반적으로 압축된 형태로 비디오와 오디오 정보를 나타내는 데이터의 인코딩된 패킷을 수신한다. 패킷화된 인입 데이터 신호의 일부는 인코딩된 비디오 신호이고, 그 결과 컬러 신호는 적절한 주파수에서 디코딩될 때 생성되고 보여질 수 있다. 따라서, VCXO가 적절한 주파수에서 발진하도록 구성되는 것은 중요하다.

[0019] 도 1을 참조해서, 위성 텔레비전 시스템의 예시적인 실시예가 도시된다. 도 1은 전송 위성(110), 저잡음 블록(130)을 구비한 파라볼릭 디쉬 안테나(parabolic dish antenna)(120), 디지털 위성 셋톱 박스(140)와 텔레비전 모니터(150)를 도시한다.

[0020] 위성 방송 시스템은 마이크로파 신호를 광역 방송 영역으로 방송하기 위해 동작한다. 디지털 텔레비전 방송 시스템에서, 이것은 정지 위성(110)으로부터의 신호를 전송함으로써 달성된다. 정지 위성(110)은 지표면 위 약 35,786 킬로미터의 고도에서 하루에 한번 씩 지구 주위를 돈다. 디지털 텔레비전 방송 위성(110)은 일반적으로 적도 둘레를 돌므로, 그것은 지상의 위치에 대해 일정하게 동일한 위치로 유지된다. 이것은 위성 수신 안테나가 고정된 지향(look) 각도를 유지하도록 허용한다.

[0021] 디지털 텔레비전 송신 위성(110)은 업링크 송신기로부터 신호를 수신하고 그리고 나서 이 신호를 다시 지구로 재방송한다. 송신 위성(110)의 고도는 넓은 지리 영역에서의 가입자가 신호를 수신하는 것을 허용한다. 하지만, 지구로부터의 거리와 위성의 심각한 전력 보존 요구 사항은 또한 가입자에 의해 수신되는 약한 신호를 야기시킨다. 그러므로, 신호가 안테나에 의해 수신되자 마자 증폭되는 것이 중요하다. 이 요구 사항은 저잡음 블록(low noise block: LNB)(130)의 다운컨버터 증폭기를 파라볼릭 디쉬 안테나(120)의 피드 혼(feed horn)에 위치시킴으로써 달성된다.

[0022] 본 발명에 따라 예시적인 디지털 비디오 수신 시스템(200)의 블록도가 도 2에서 참조된다. 시스템(200)은 오디오, 비디오와 연관된 데이터를 나르는 신호로 변조된 방송 반송파를 함께 수신하고 디지털화하기 위한 안테나(220)와 입력 프로세서(222)를 포함한다. 시스템(200)은 또한 입력 프로세서(222)로부터의 디지털 출력을 수신하고 복조하기 위한 복조기(224)를 또한 포함한다. 또한, 시스템(200)은 사용자 입력 명령을 수신하기 위한 원격 제어 유닛(232)을 포함한다. 시스템(200)은 또한 함께 디지털 비디오 화상 데이터를 시작적 표현으로 변환하기 위한 하나 이상의 디지털-입력-디지털-출력 또는 디지털-입력-아날로그-출력 디스플레이 구동기(들)(246)와 제각기의 디지털-입력 또는 아날로그-입력 디스플레이(230)를 포함한다. 바람직한 실시예에서, 디스플레이(230)는 다중포맷 텔레비전 디스플레이 유닛이고, 이에 따라, 디스플레이 구동기(들)(246)는 디지털-입력-다중포맷-출력 디바이스이다. 본 발명이 디스플레이 디바이스를 포함하는 도 2의 예시적인 실시예에 대해 설명되지만, 본 발명은 또한 셋톱 박스, 비디오 카세트 레코더 DVD 플레이어와 같은 디스플레이 디바이스를 포함하지 않는 시스템에 적용 가능하다.

[0023] 시스템(200)은 또한 비디오 프로세서(226)를 포함한다. 일반적으로, 비디오 프로세서(226)는 원격 제어 유닛

(232)으로부터의 사용자 입력 명령을 수신하고, 복조기(224)로부터의 변조된 데이터를 수신하고, 사용자 입력 명령에 따라 복조된 데이터를 디스플레이 구동기(들)(246)를 위한 비디오 화상 데이터로 변환한다. 따라서, 비디오 프로세서(226)는 원격 인터페이스(236)와 제어기(234)를 포함한다. 원격 인터페이스(236)는 원격 제어 유닛(232)로부터 사용자 입력 명령을 수신한다. 제어기(234)는 입력 명령을 해석하고, 명령{예를 들면, 채널 및/ 또는 온-스크린 디스플레이(on-screen display: "OSD") 선택}을 수행하기 위해 프로세서(226)의 다양한 소자를 위한 설정을 적절히 제어한다. 비디오 프로세서(226)는 복조기(224)로부터의 복조된 데이터를 수신하고, 격자(trellis) 디코딩되고, 바이트 길이 데이터 세그먼트로 매핑되고, 역-인터리빙되고, 리드-솔로몬 에러-정정된 디지털 신호를 출력하기 위한 디코더(280)를 또한 포함한다. 디코더(280)로부터의 정정된 출력 데이터는 멀티플렉싱된 오디오, 비디오 및 데이터 요소를 표현하는 프로그램을 포함하는 동영상 전문가 그룹(Moving Picture Experts Group: "MPEG") 표준 호환 데이터 스트림의 형태이다.

[0024] 프로세서(226)는 또한 디코드 패킷 식별자(decode packet identifier: "PID") 선택기(238)와 전송 디코더(240)를 또한 포함한다. PID 선택기(238)는 전송 스트림에서의 선택된 패킷을 식별하고 이 패킷을 디코더(280)로부터 전송 디코더(240)로 라우팅한다. 전송 디코더(240)는 더 자세히 아래에서 논의되듯이 프로세서(226)에 의한 추가적인 처리를 위해, 이 선택된 패킷을 오디오 데이터, 비디오 데이터와 다른 데이터로 디지털적으로 디멀티플렉싱한다.

[0025] 프로세서(226)에 제공된 전송 스트림은 프로그램 채널 데이터, 보조 시스템 타이밍 정보 및 프로그램 콘텐츠 등급과 프로그램 가이드 정보와 같은 프로그램 특정의 정보를 포함하는 데이터 패킷을 포함한다. 프로그램 특정 정보를 사용해서, 전송 디코더(240)는 사용자에 의해 선택된 프로그램 채널을 포함하는 개별적인 데이터 패킷을 식별하고 조립한다. 전송 디코더(240)는 보조 정보 패킷을 제어기(234)로 지향하게 하는데, 이 제어기는 보조 정보를 분석하고 대조하여 계층적으로 배열된 테이블에 모은다.

[0026] 시스템 타이밍 정보는 시간 기준 지시자와 연관된 정정 데이터(예를 들면, 일광 절약 시간 지시자와 시간 드리프트, 윤년 등을 정정하기 위한 오프셋 정보)를 포함한다. 이 타이밍 정보는 내부 디코더{예를 들면, 아래에서 설명된 MPEG 디코더(242)}가 시간 기준 지시자를, 하루의 시간과 프로그램의 브로드캐스터에 의해 프로그램의 미래의 전송의 날짜를 설립하기 위한 시간 클록(예, 미국 동부 표준 시간과 날짜)으로 변환하기에 충분하다. 시간 클록은 프로그램 재생, 프로그램 레코딩과 프로그램 재생과 같은 스케줄된 프로그램 처리 기능을 초기화하기 위해 사용될 수 있다.

[0027] 한편, 프로그램 특정 정보는 시스템(200)이 요구되는 채널로 동조되고, 완전한 프로그램을 형성하기 위해 데이터 패킷을 조립하는 것을 가능케 하는, 조건 액세스, 네트워크 정보와 식별 및 링킹 데이터를 포함한다. 프로그램 특정 정보는 또한 이 보조 정보의 식별과 조립을 지원하는 데이터뿐만 아니라 방송 프로그램과 관련된 보조 프로그램 콘텐츠 등급 정보(예, 연령 기반의 적절성 등급), 프로그램 가이드 정보{예, 전자 프로그램 가이드(EPG)}와 설명적인 텍스트를 포함한다.

[0028] 시스템(200)은 또한 MPEG 디코더(242)를 포함한다. 전송 디코더(240)는 MPEG 호환 비디오, 오디오 및 부화상(sub-picture) 스트림을 MPEG 디코더(242)에 제공한다. 비디오 및 오디오 스트림은 선택된 채널 프로그램 콘텐츠를 나타내는 압축된 비디오와 오디오 데이터를 포함한다. 부화상 데이터는 등급 정보, 프로그램 설명 정보 등과 같은 채널 프로그램 콘텐츠와 연관된 정보를 포함한다. MPEG 디코더(242)는 전송 디코더(240)로부터의 MPEG 호환의 패킷화된 오디오와 비디오 데이터를 디코딩하고 압축 해제하고, 여기로부터 유래된 데이터를 나타내는 압축해제된 프로그램을 유도한다.

[0029] MPEG 디코더(242)는 또한 내부 OSD 모듈(미도시)로의 출력을 위한 포맷된 프로그램 가이드 데이터를 생성하기 위해 전송 디코더(240)로부터의 부화상 데이터를 모으고, 대조하고 해석한다. OSD 모듈은 서브타이틀링, 제어와, 디스플레이(230)에 표현하기 위한 선택 가능한 메뉴 옵션과 다른 항목을 포함하는 정보 메뉴 디스플레이를 나타내는 픽셀 매핑된 데이터를 생성하기 위해 부화상 데이터와 다른 정보를 처리한다. OSD 모듈에 의해 생성되는 텍스트와 그래픽을 포함하는 제어 및 정보 디스플레이를 제어기(234)의 지시하에서 오버레이 픽셀 맵 데이터의 형태로 생성된다. OSD 모듈로부터의 오버레이 픽셀 맵 데이터는 제어기(234)의 지시하에 디코더(242)로부터의 데이터를 나타내는 픽셀에 대해 동기된다. 연관된 부화상 데이터와 함께 선택된 채널 상의 비디오 프로그램을 나타내는 결합된 픽셀 맵 데이터는 MPEG 디코더(242)에 의해 인코딩된다.

[0030] 도 3은 본 발명에 따라 도시된 접적된 수신기 디코더에서 주파수 기준의 예시적인 실시예의 블록도이다. 도 3은 전송 디멀티플렉서(314), 제어기(334), VCXO(374), 디지털-아날로그 컨버터(394)와 메모리(354)를 도시한다.

[0031] 시작과 작동 중에 시스템(300)에서, 제어기(334)는 BRM 값을 VCXO(374)에 인가하여, 그 결과 VCXO(374)는 요구되는 클록 주파수에서 클록 신호를 생성한다. 클록 주파수는 컬러 신호가 적절히 디코딩되도록 선택된다. 전송 디멀티플렉서(314)는 복조기(도 2, 224)로부터 수신된 진입 패킷화된 정보를 분리시킨다. 다른 유형의 수신된 패킷화된 정보 중에서, 시간 스템프를 포함하는 적응 필드는 데이터 버스 위에서 제어기(334)로 전송된다. 제어기(334)는 시간 스템프의 수신 시간에서의 로컬 클록 시간과 이전의 시간 스템프의 수신에서 로컬 클록 시간 사이의 시간 간격을 계산하고, 이것을 두 개의 수신된 시간 스템프 사이의 차이인 시간 간격과 비교한다. 제어기(334)는 대안적으로 시간 스템프간의 간격을 대표적인 BRM 값을 변환하고, 이 값을 메모리(354)에 저장된 BRM 값과 비교한다. 만약 제어기(334)가 새롭게 계산된 시간 간격이 메모리(354) 상에 저장된 간격과 상당히 다르다고 결정하면, 제어기(334)는 새로운 값을 메모리(354)에 저장하고, 새로운 간격과 연관된 BRM 값을 VCXO(374)에 인가할 것이고, 이에 따라 VCXO(374)의 출력 클록 주파수를 정정할 것이다. 이것은 VCXO(374) 클록 주파수를 수신된 패킷화된 데이터의 시간 스템프와 상호 연관시키는 바람직한 효과를 가지는데, 이에 따라 VCXO 수정 또는 IRD 설치의 환경적인 효과와 관련된 임의의 물리적인 변화에 대한 보상을 할 것이다. 그러면 새로운 클록 주파수는 디지털 인코더(394)에 인가되고, 제어기(334)에 피드백 될 수 있다.

[0032] 예시적인 실시예에서, 디지털 인코더(394)는 그 기준 주파수로서 27.000000 MHz (+/-25ppm)에 중심이 맞추어진 VCXO(374)를 사용한다. 전압이 VCXO(374) 바라시터(varacitor)에 인가될 때, 27 MHz 중심 주파수는 근사적으로 +/-150ppm (+/-4050Hz)에 의해 조정될 수 있다. 이것은 00 BRM 값에 대해 -4050 Hz에 대응하고, FF BRM 값에 대해서는 +4050 Hz에 대응할 것이다. BRM 값에 대해 256개의 상태와 8100 Hz의 근사적 풀(pull) 범위가 존재하므로, 각 BRM 상태는 근사적으로 31.6Hz이다.

[0033] 27 MHz 클록은 수평, 수직과 크로마 버스트 타이밍을 생성하기 위해 사용된다. 크로마 버스트 타이밍은  $27.000000\text{MHz}/7.542858101 = 3.579545\text{MHz}$ 이다. 만약 27MHz 발진기가 그 최저 주파수인 26.995950MHz에 있다면,  $26.995950/7.542858101 = 3.579008\text{MHz}$ 이다. 나누어질 때, FCC 크로마 버스트 주파수( $3.579545\text{MHz}$ )로부터의 537Hz의 차이가 존재할 것이다. 이 차이는 텔레비전 세트 상에서 컬러의 손실을 야기할 정도로 충분히 크다. 일반적으로, 텔레비전 세트는 크로마 회로에서 PLL(phase lock loop)를 가지고 있는데, 이 PLL은 그 내부의 3.579545 발진기가 인입 비디오 버스트 주파수에 동기를 맞추는 것을 허용한다. 이러한 동기는 컬러 화상이 발생하기 위해 필요하다. 텔레비전 세트에 대한 일반적인 동기 범위는 +/-300Hz이다. 생성된 버스트 주파수가 동기 범위 밖에 있을 때, 그러면 흑백 화상이 디스플레이될 것이다. 만약 상기 생성된 버스트 주파수가 최대 동기 범위에 근접하다면, 무지개 컬러에 대한 효과가 텔레비전 세트 상에 디스플레이될 것이다. 만약 크로마 동기(lock)가 달성되나 근접 트래킹이 유지되지 않는다면, 텔레비전 세트는 또한 그 스크린 상에 뒤틀린(skewed) 컬러를 디스플레이할 수 있다.

[0034] 도 4는 집적된 수신기 디코더(도 1의 140)에서 주파수 기준을 생성하는 프로세스의 예시적인 실시예를 설명하는 흐름도이다. 제일 처음 전원이 들어온 후에(410) 시작 절차 동안에, IRD는 비휘발성 메모리로부터의 저장된 BRM 값을 로딩(420)할 것이다. 그리고 나서 IRD는 위성 신호를 동조하기 위해 이 BRM 값을 VCXO에 인가(430)한다. 일단 IRD가 위성 신호에 동기를 맞추면, 제어기가 시간 스템프를 포함하는 데이터 패킷을 수신(445)할 것인데, 이 시간 스템프는 패킷이 위성으로부터 전송된 시간을 지시한다. 이 시간 스템프 중의 최소 두 개가 수신된 이후에, 제어기는 VCXO에 대한 요구되는 BRM 값을 두 개 이상의 수신된 시간 스템프간의 시간 간격을 기초로 하여 계산(447)한다. 제어기는 그후 이 요구되는 BRM 값을 VCXO에 인가된 BRM 값에 대해서 비교한다(450). 만약 요구되는 값이 인가된 BRM 값과 상당히 다르다면, 제어기는 요구되는 BRM 값을 비휘발성 메모리에 저장(460)하고, 비휘발성 메모리로부터 이 BRM 값을 로딩(420)하고, 그후 이 새로운 BRM 값을 VCXO에 인가(430)한다. 새로운 BRM 값을 결정(445), 비교(450)와 가능한 생성(460)의 프로세스는 이후 미리 결정된 시간 간격 이후에 반복된다. 하지만, 만약 요구되는 BRM 값이 저장된 BRM 값과 매우 다르지 않다면, BRM 값은 생성되지 않고, 새로운 BRM 값을 결정(445), 비교(450)와 가능한 생성(460)의 프로세스가 미리 결정된 시간 간격 이후에 반복된다.

[0035] 도 5는 집적된 수신기 디코더(도 1의 140)에서 주파수 기준의 생성의 초기화 프로세스의 예시적인 실시예를 설명하는 흐름도이다. 새로운 BRM 값이 제어기에 의해 계산된 후에, VCXO에 인가된 BRM 값을 생성하는 프로세스가 개시된다(510). 제어기는 EEPROM과 같은 메모리로부터 BRM 값을 판독한다(520). 그리고 나서 제어기는 BRM 값이 유효값인지를 결정한다(530). 만약 BRM 값이 유효하지 않다면, 제어기는 디폴트 BRM 값을 계속해서 사용한다(540). 만약 이 값이 유효하다면, 제어기는 디폴트 BRM 값을 계산된 BRM 값으로 대체한다(550). 제어기는 그리고 나서 양호(fine)라고 VCXO에 인가한 BRM 값을 정정하기 위한 정정 상태를 변경한다(560). 제어기는 그리고 나서 동작 상태로 복귀한다(570).

[0036]

도 6은 집적된 수신기 디코더(도 1의 140)에서 주파수 기준의 저장된 BRM 값을 갱신하기 위한 인터럽트 동작 프로세스의 예시적인 실시예를 설명하는 흐름도이다. 이전의 BRM 갱신 아래로 일정한 기간이 경과한 후에, 제어기는 시간 스템프를 포함하는 적응 패킷이 수신될 때까지, 제어기는 인입 데이터 신호를 모니터링할 것이다. 시간 스템프를 포함하는 적응 패킷이 수신된 이후에, 제어기의 동작이 인터럽트된다(610). BRM 갱신 사이의 예시적인 기간은 1 초일 수 있으나, 시스템 동작 요구 사항 및/또는 설계 목표에 따라 보다 길거나 짧을 수 있다. 일단 인터럽트가 발생되었으면, 제어기는 일 실시예에서 로컬 클록 기준(local clock reference: LCR)이라고 부르는 값을 얻기 위해 로컬 클록을 래치(latch)하는데, 이 값은 적응 필드에서 시간 스템프가 수신되었을 때의 로컬 시간을 나타낸다(620). 다음에, 이전의 제어기는 이전에 저장된 LCR을 하나의 대체 메모리 위치로 저장한다(630). 그후 제어기는 새로운 로컬 클록 기준을 주(primary) 로컬 클록 기준 메모리 위치에 저장한다(640). 적응 필드에서 이전에 수신된 시간 스템프로부터 계산된 이전에 저장된 시스템 클록 기준(system clock reference: SCR)은 대체 SCR 메모리 위치에 저장된다(650). 새롭게 수신된 SCR은 그후 주 SCR 메모리 위치에 저장된다(660). 그후 제어기는 BRM 조정 상태 기준 변수를 결정하기 위해 적절한 메모리 값을 체크한다(670). 만약 저장된 상태 기준 변수가 개략적(rough)이라면, 제어기는 개략 조정 서브루틴을 실행했다(680). 만약 저장된 상태 기준 변수가 개략적이 아니라면, 제어기는 세밀 조정 서브루틴을 실행했다(690). 적절한 서브루틴이 완결된 후에, 제어기는 그 동작 상태로 복귀한다(695).

[0037]

도 7은 집적된 수신기 디코더(도 1의 140)에서 주파수 기준의 BRM을 미세 조정하는 프로세스의 예시적인 실시예를 설명하는 흐름도이다. 도 6에서 설명된 인터럽트 루틴이나 도 8에서 설명된 개략 조정 서브루틴은 미세 조정 서브루틴을 시작한다(705). 먼저, 제어기는 BRM 값이 마지막으로 교정(calibrated) 아래로 적절한 시간 간격이 경과되었는지를 결정한다(710). 만약 이 실시예에서 간격이 1초인, 적절한 시간 간격이 경과되었다면, 시스템 클록 기준 엘타는 이전의 SCR 값을 새로운 SCR 값으로부터 차감하는 것에 의해 계산된다(715). 그러면, 로컬 클록 기준 엘타는 이전의 로컬 클록 기준값을 새로운 로컬 클록 기준 값으로부터 차감하는 것에 의해 계산된다(720). 그러면 클록 에러는 로컬 클록 기준 엘타를 시스템 클록 기준 엘타로부터 차감하는 것에 의해 계산된다(725). 만약 클록 에러가 미리 결정된 미세 조정 임계치보다 크다면, 제어기는 개략 조정 서브루틴을 시작한다(735). 만약 클록 에러가 미리 결정된 미세 조정 임계치보다 작다면, 제어기는 클록 에러가 BRM 분해능(resolution)보다 큰 가를 결정한다(740). BRM 값은 디지털 값이므로, 이 값은 도 4의 설명에서 설명된 것처럼 유한 개의 값을 가지고 있고, 이 값은 만약 클록 에러가 BRM 분해능의 절반보다 클 경우에만 조정될 수 있다. 이 예시적인 실시예에서, BRM 값은 클록 분해능이 BRM 분해능보다 크다면 조정된다(745). 만약 클록 에러가 BRM 분해능 값보다 작다면, BRM 값은 조정되지 않는다. 제어기가 BRM 값을 조정하거나 조정하지 않은 후에, BRM 엘타는 현재의 BRM 값을 메모리에 저장된 BRM 값으로부터 차감하는 것에 의해 계산된다(750). 만약 BRM 엘타 값이 이전에 결정된 새로운 BRM 임계치보다 크다면, 현재의 BRM 값을 메모리에 저장된 이전의 BRM 값 대신에 메모리에 저장된다(760). 만약 BRM 엘타가 새로운 BRM 임계치보다 크지 않다면, 제어기는 현재의 BRM 값을 메모리에 저장하지 않으며, 이전의 BRM 값이 유지된다. 제어기는 그후 인터럽트 서브루틴으로 복귀한다(770).

[0038]

도 8은 집적된 수신기 디코더(도 1의 140)에서 주파수 기준의 BRM을 개략 조정하는 프로세스의 예시적인 실시예를 설명하는 흐름도를 도시한다. 도 6에서 설명된 인터럽트 루틴이나 도 7에서 설명된 미세 조정 루틴은 이 실시예에서 개략 조정 서브루틴을 시작시킬 수 있다(805). 먼저 제어기는 BRM 값이 교정된 마지막 순간 이후로 적절한 간격이 경과했는지를 결정한다(810). 만약 이 실시예에서 1초인, 적절한 시간 간격이 경과했다면, 시스템 클록 기준 엘타는 이전의 SCR 값을 새로운 SCR 값으로부터 차감함으로써 계산된다(815). 그리고 나서 로컬 클록 기준 엘타가 이전의 로컬 클록 기준 값을 새로운 로컬 클록 기준 값으로부터 차감함으로써 계산된다(820). 그리고 나서 클록 에러는 로컬 클록 기준 엘타를 시스템 클록 기준 엘타로부터 차감함으로써 계산된다(825). 만약 클록 에러가 미리 결정된 미세 정정 임계치보다 크고, 이 실시예에서 임계치가 0이라면, 제어기는 BRM 값을 정정한다(835). 만약 클록 에러가 클록 에러 임계치보다 작다면, 미세 정정 서브루틴이 시작된다(850). 제어기가 BRM 값을 정정한 후에, BRM 엘타는 메모리에 저장된 BRM 값으로부터 현재의 BRM 값을 차감함으로써 계산된다(840). 만약 BRM 엘타 값이 이전에 결정된 근사 임계치보다 작다면, 미세 정정 서브루틴이 시작된다(850). 미세 정정 서브루틴이 완결된 후에, 개략 정정 서브루틴이 시작되었던 서브루틴으로 되돌아 간다(855). 만약 개략 정정 임계치가 초과되지 않으면, 개략 정정 서브루틴이 시작되었던 서브루틴으로 복귀한다(855).

[0039]

본 발명이 바람직한 실시예를 참조해서 설명되었지만, 다양한 변형이 첨부된 청구항들에서 한정된, 본 발명의 정신과 범위를 이탈함이 없이 실시예에서 수행될 것이라는 것이 명백하다.

## 산업상 이용 가능성

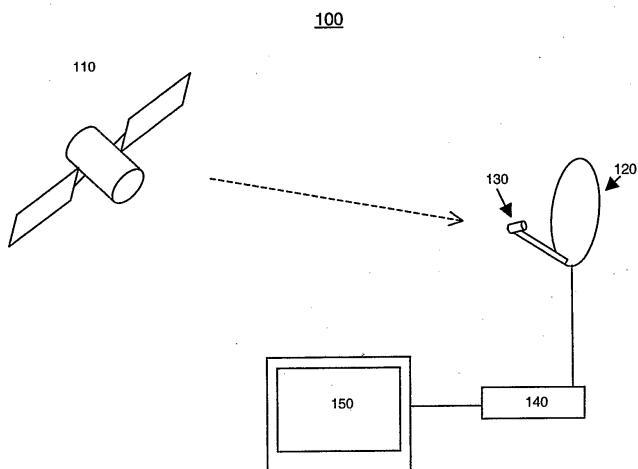
- [0040] 본 발명은 집적된 수신기 디코더(integrated receiver decoder: IRD)에서 주파수 기준을 설정하기 위한 방법과 장치에 이용 가능하다.

### 도면의 간단한 설명

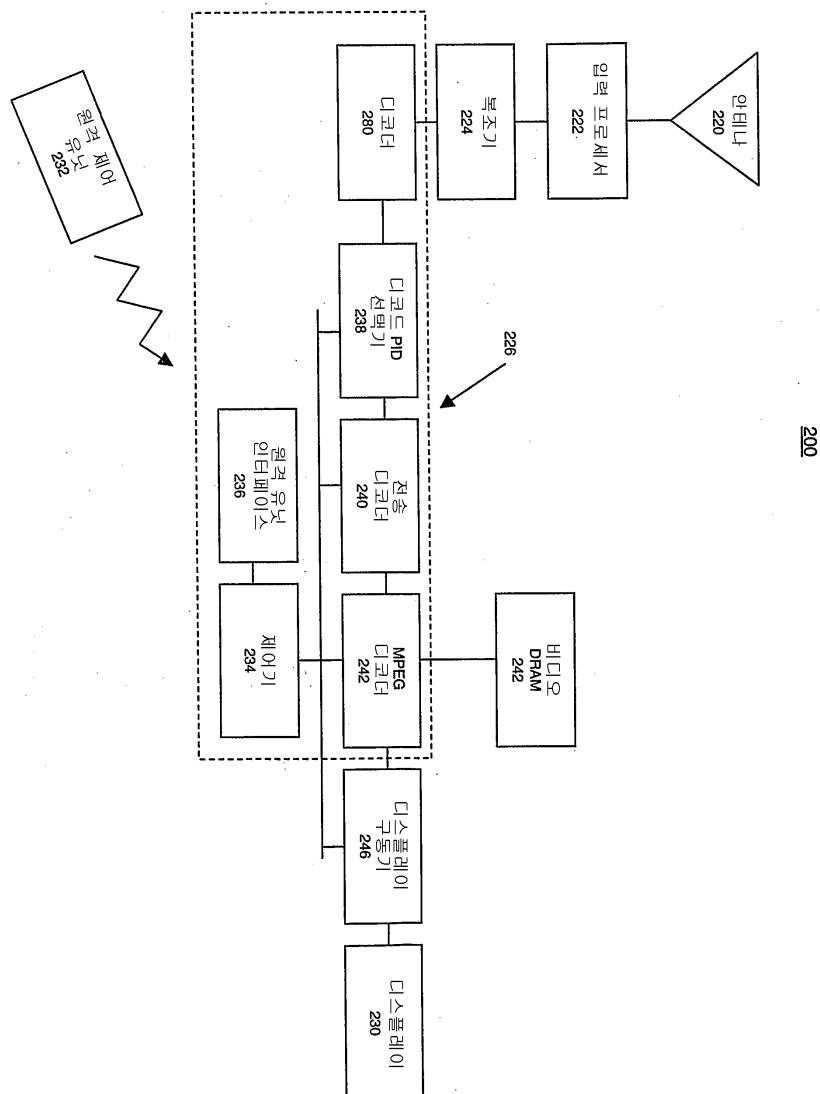
- [0008] 도 1은 디지털 위성 방송 시스템의 예시적인 실시예의 블록도.
- [0009] 도 2는 다중포맷 텔레비전 신호 처리 시스템의 블록도.
- [0010] 도 3은 집적된 수신기 디코더에서 주파수 참조의 예시적인 실시예의 블록도.
- [0011] 도 4는 집적된 수신기 디코더에서 주파수 기준을 개선하는 프로세스의 예시적인 실시예를 설명하는 흐름도.
- [0012] 도 5는 집적된 수신기 디코더에서 주파수 기준을 초기화하는 프로세스의 예시적인 실시예를 설명하는 흐름도.
- [0013] 도 6은 집적된 수신기 디코더에서 주파수 기준의 저장된 BRM 값을 개선하기 위한 동작을 방해하는 프로세스의 예시적인 실시예를 설명하는 흐름도.
- [0014] 도 7은 집적된 수신기 디코더에서 주파수 기준의 BRM의 미세 정정의 프로세스의 예시적인 실시예를 설명하는 흐름도.
- [0015] 도 8은 집적된 수신기 디코더에서 주파수 기준의 BRM의 개략 정정의 프로세스의 예시적인 실시예를 설명하는 흐름도.

### 도면

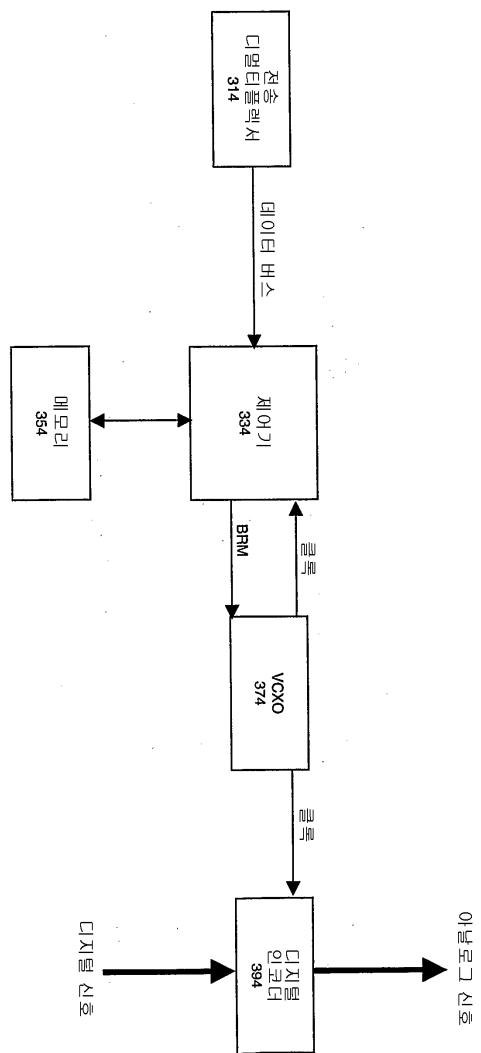
#### 도면1



도면2

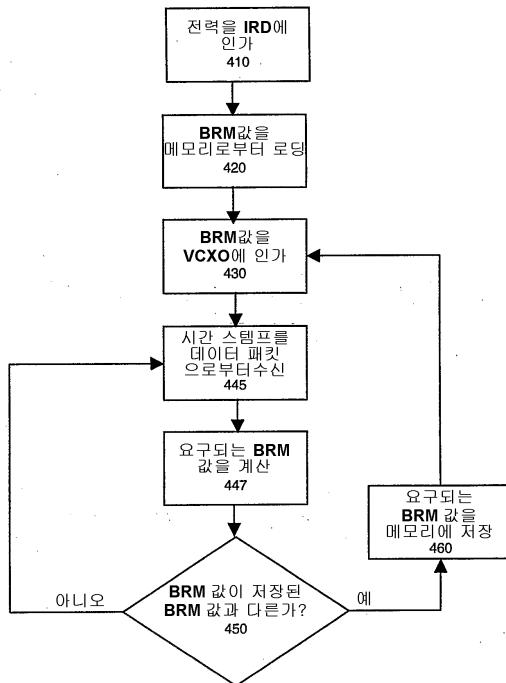


도면3

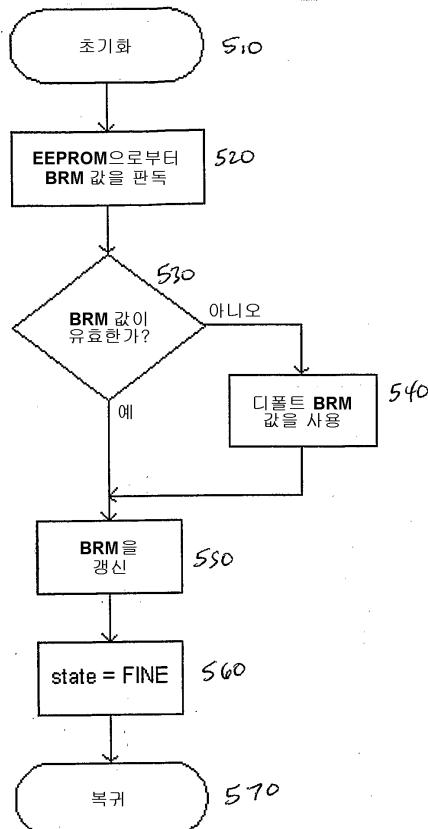


아날로그 신호

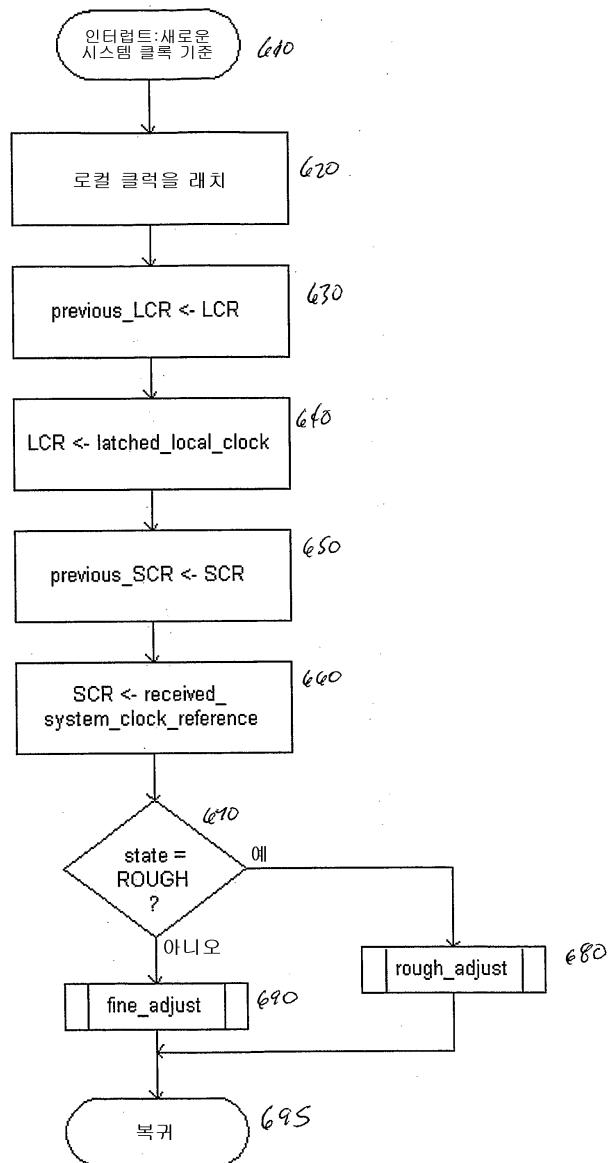
## 도면4



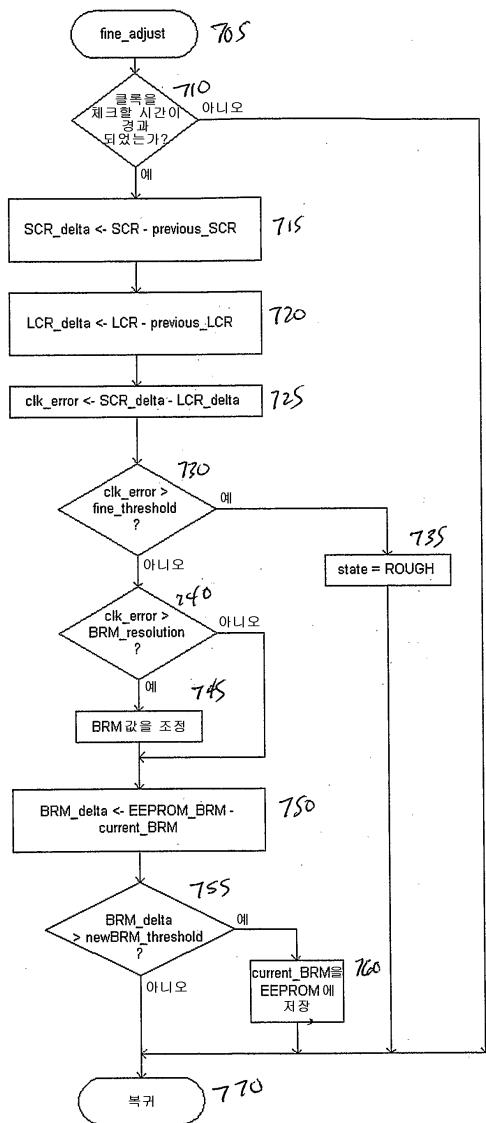
## 도면5



## 도면6



## 도면7



## 도면8

