



(12) 发明专利

(10) 授权公告号 CN 1825556 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200610051417. 6

(22) 申请日 2006. 02. 24

(30) 优先权数据

2005-050064 2005. 02. 25 JP

(73) 专利权人 佳能安内华股份有限公司

地址 日本东京

(72) 发明人 苏尼尔·威克拉玛纳雅卡

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 何腾云

(51) Int. Cl.

H01L 21/683 (2006. 01)

H01L 21/203 (2006. 01)

C23C 14/34 (2006. 01)

C23C 14/50 (2006. 01)

H05H 1/46 (2006. 01)

(56) 对比文件

CN 1540738 A, 2004. 10. 27, 说明书第 27 页

第 25 行至第 28 页第 20 行、附图 12, 附图 13.

CN 1518073 A, 2004. 08. 04, 全文.

CN 1481582 A, 2004. 03. 10, 全文.

US 2003/0196604 A1, 2003. 10. 23, 全文.

CN 1437764 A, 2003. 08. 20, 全文.

审查员 蒋显辉

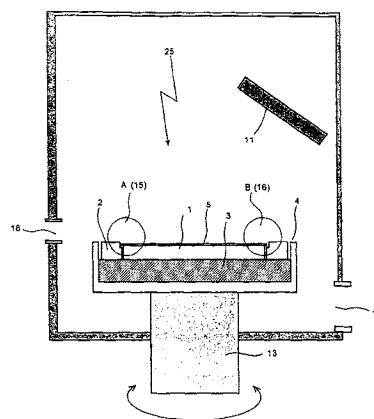
权利要求书 1 页 说明书 7 页 附图 8 页

(54) 发明名称

晶片支架

(57) 摘要

本发明的目的在于提供一种晶片台支架, 其包括晶片装载在其上的晶片台和围绕所述晶片台的晶片台外环, 其用在等离子加工腔中, 用于减小边缘隔绝 (EE) 同时防止晶片背部污染。本发明中, 晶片支架包括晶片台和围绕所述晶片台的晶片台外环, 其中, 所述晶片台具有小于装载在所述晶片台上的直径的直径, 所述晶片台外环具有在所述外环上侧处的内直径, 该内直径大于装载在所述晶片台上晶片的直径; 并且晶片台外环的上表面位于装载在所述晶片台上的晶片的上表面以上。



1. 一种成角度溅射方法,在相对于装载在晶片台上的晶片表面,使溅射粒子成角度入射的成角度溅射方法中,其特征在于,

在由晶片台外环围绕的可旋转的晶片台上设置晶片,并且

相对于该设置的晶片表面成规定的角度使溅射粒子入射,将该外环作为屏蔽并在该晶片表面上形成沉积薄膜,

该晶片台的直径小于该设置的晶片的直径,

该外环由具有分别不同的内径的上侧部和下侧部所构成,

该外环的上侧部的内径大于该外环的下侧部的内径及该上侧部的上面的高度高于该设置的晶片的上面,

该外环的下侧部的内径大于该晶片台的直径,该外环的上侧部和下侧部的分界的水平面定位成低于该设置的晶片的下面,

在该晶片台上装载晶片时,相对于从该外环的外侧向内侧的所述规定的角度的溅射粒子的入射,所述外环的上侧部的上表面设定成使得以所述的规定的角度入射的所述溅射粒子不在晶片上面产生该上侧部的阴影的高度。

2. 如权利要求 1 所述的成角度溅射方法,其特征在于,所述外环的上侧部的上面相比于该设置的晶片的上面仅仅高出 1mm ~ 10mm 的范围。

3. 一种成角度溅射装置,其中,具备支撑在绝缘块上的晶片支架,在相对于装载在该晶片支架上的晶片表面,使溅射粒子成角度入射的结构成角度溅射装置中,其特征在于,

所述晶片支架由可旋转的晶片台和围绕该晶片台的周围的晶片台外环所构成,

所述外环构成为在成角度溅射时形成晶片上的沉积薄膜的屏蔽,由具有分别不同的内径的上侧部和下侧部所构成,该上侧部高于该晶片台上面并且上侧部内径大于下侧部内径,该下侧部内径大于该晶片台直径,在该晶片台的外侧面和该外环下侧部内面之间产生间隙,并且

所述外环的上侧部和下侧部之间的分界的水平面低于该晶片台的上表面,在晶片装载于该晶片台上时,该晶片周围面和该外环的上侧部内径之间的间隙延伸到该绝缘块面,

在该晶片台上装载晶片时,相对于从该外环的外侧向内侧的所述规定的角度的溅射粒子的入射,所述外环的上侧部的上表面设定成使得以所述的规定的角度入射的所述溅射粒子不在晶片上面产生该上侧部的阴影的高度。

4. 如权利要求 1 所述的成角度溅射方法,其特征在于,

晶片台和晶片台外环是放在等离子加工腔中的晶片支架的整体部分,并且晶片支架能够围绕其中心轴旋转。

晶片支架

技术领域

[0001] 本发明涉及一种晶片支架,特别地,本发明涉及一种包括晶片台和围绕所述晶片台的晶片台外环的晶片支架,并且该晶片支架在等离子加工腔中提供,例如成角度的溅射系统的等离子加工腔。

背景技术

[0002] 在制造集成电路中,通过物理气相沉积(PVD)在Si晶片上形成许多不同薄膜是一个重要的步骤。当前在执行PVD加工中具有许多不同的构造和方法,例如离子化PVD和长距离溅射(long-through-sputtering)。

[0003] 成角度溅射是PVD技术中之一,其中靶和晶片不平行而是成角度放置(专利参考文献1)。该溅射技术的优点是其产生极均匀的薄膜。该技术的缺点在于,用于沉积在晶片表面上薄膜的边缘隔绝(edgeexclusion)(此后称为“EE”)与环绕晶片边缘的薄膜换位。这通过图5到9详细解释。

[0004] 成角度溅射系统的实例和在所述成角度溅射系统中采用的传统晶片支架50的横截面图分别在图5到8中示出。该成角度溅射系统的处理腔具有真空端口66和晶片进/出端口67。该晶片支架50包括晶片台51、围绕晶片台51的绝缘遮板52、金属外遮板53、支撑金属外遮板53的轴54和屏蔽外环55。屏蔽外环55附着到机构金属或绝缘销56上,通常3(三)个金属或绝缘销,以便向上和向下移动外环55。在图5中,通过提升销控制器65向上和向下移动绝缘销56、56。

[0005] 在晶片57装载在晶片台51上的过程中,屏蔽外环55升高。在晶片57放在晶片台51上之后,降低屏蔽外环55直到在晶片57的上表面和屏蔽外环55的背部表面之间间隔小于1mm为止。通常,不降低屏蔽外环55直到其背部表面接触晶片57为止,这是由于其通过碎片引起在晶片57的表面上产生颗粒。屏蔽外55在晶片边缘62上覆盖几微米,通常小于5mm(图7)。该覆盖区域在图7和8中由x指示(由数字63指示)。

[0006] 其它传统和通常使用的晶片支架的构造在没有屏蔽外环的图9中给出。

[0007] 专利参考文献1:日本专利公开2002-A-194540

[0008] 专利参考文献2:日本专利公开2002-A-115051

发明内容

[0009] 要解决的问题

[0010] 图7和8示出当通过图5中示出的成角度溅射系统沉积薄膜时,相对于靶58在晶片57上最近和最远位置处的薄膜沉积特征。这些位置在图6中由A(由数字15指示)和B(由数字16表示)标识。如图7所示,在位置A(15)处,来自溅射靶58的一些原子61通过在晶片57和屏蔽外环55之间的空间,并且在晶片边缘62处沉积。如图8所示,在位置B(16)处,由于存在屏蔽外环55而造成的阴影大于x(63),这是因为原子61以一个角度过来。该阴影区域在图8中由y进行限定。在位置B(16)处薄膜不在该阴影区域y(64)沉积。

因为在位置 A(15) 和 B(16) 处的这些不同沉积特征,在晶片边缘 62 处薄膜变得很不均匀。而且该不均匀区域大于 x(63),该 x(63) 是由屏蔽外环 55 物理覆盖的区域。

[0011] 该不均匀区域会向上延伸到 y(64)。例如,当 x(63) 变成 2mm 时, y(64) 会大到 10mm,导致 10mm 的边缘隔绝 (EE)。尽管能够缩短 x(63) 而减少 EE,但是只要使用屏蔽外环 55 的话就难于获得至少 5EE。与诸如小于 2mm 边缘隔绝 (EE) 之类的小边缘隔绝 (EE) 的半导体工业需求相比,这是相当大的数值。

[0012] 如果如图 9 所示不在晶片支架中采用屏蔽外环 55 的话,整个晶片上的薄膜沉积导致几乎 0EE。然而,在该条件下,薄膜环绕晶片边缘并且沉积在晶片台 51 上。这污染晶片 57 的背部。由于薄膜随时间变得越来越厚,因此在晶片台 51 上的薄膜沉积是不期望的特征。随着加工时间的增加,这加速和增加晶片背部污染。

[0013] 解决问题的手段

[0014] 为了解决上述问题,本发明的一方面提供一种晶片支架,其包括晶片台和围绕所述晶片台的晶片台外环,其中,所述晶片台具有小于装载在所述晶片台上的直径的直径,在所述外环上侧处的内直径大于装载在所述晶片台上晶片的直径;以及晶片台外环的上表面位于装载在所述晶片台上的晶片的上表面以上。

[0015] 根据本发明前面描述的晶片支架,由于在晶片台外环的上侧处的内直径稍微大于装载在晶片台上的晶片的直径,并且晶片台具有小于装载在所述晶片台的直径的直径,使得在晶片的外周和晶片台外环的内周壁之间形成窄空间。由此,能够减小边缘隔绝 (EE),例如通过前面描述的在晶片台外环的上侧处的稍微大的内直径,能够减小边缘隔绝 (EE) 小于 2mm。并且通过在晶片的外周和晶片台外环的内周壁之间存在所述窄空间,能够减小由沉积材料污染晶片背部的可能性。

[0016] 同时,由于晶片台外环的上表面稍微位于装载在所述晶片台上的晶片的上表面以上,能够防止当使用如图 9 所示的晶片支架时引起的晶片背部污染。

[0017] 在本发明前面描述的晶片支架中,所述晶片支架外环可以进一步具有在下侧处的不同内直径。也就是说,在本发明前面描述的晶片支架中,晶片台外环可以修改为具有两个不同的内直径,一个是处在所述外环上侧处的内直径,并且另一个是处在所述外环下侧处的内直径。前面描述的在所述晶片台外环上侧处的内直径稍微大于如前所述装载在所述晶片台上晶片的直径,而在所述晶片台外环下侧处的内直径稍微小于晶片的直径但稍微大于所述晶片台的直径。

[0018] 根据该构造,前面描述的在晶片外周和晶片台外环的内周壁之间的窄空间持续并延伸到在晶片台的外周壁和晶片台外环的内周壁之间的窄空间。

[0019] 因此,通过在晶片的外周和晶片台外环的内周壁之间以及在晶片台的外周壁和晶片台外环的内周壁之间的所述窄空间的存在,能够有效地减小由沉积材料污染晶片背部的可能性。

[0020] 在本发明前面描述的晶片支架中,晶片台外环具有两个不同的内直径,一个是处在所述外环上侧处的内直径,并且另一个是处在所述外环下侧处的内直径,所述晶片台外环可以修改为具有在限定外环上侧处的内直径的一个内周壁和限定外环下侧处的内直径的另一内周壁之间形成的水平面,并且所述水平面位于装载在晶片台上的晶片的背部表面以下,而不接触晶片的所述背部表面。

[0021] 根据该构造,通过在装载在晶片台上的晶片背部表面和前面描述的水平面的上表面之间的窄间隙的存在,能够减小由沉积材料污染晶片背部的可能性。

[0022] 在任一个本发明前面描述的晶片支架中,所述晶片台可以修改为由用于调节所述晶片台高度的两个或多个单独件制成,由此调节在所述晶片台的上表面和所述晶片台外环的上表面之间的空间。

[0023] 根据该构造,通过调节在所述晶片台的上表面和所述晶片台外环的上表面之间的空间,易于调节由于用于减小边缘隔绝 (EE) 的晶片台外环的存在而造成的在晶片边缘处形成的阴影区域。

[0024] 该构造可以修改成晶片台外环能够向上和向下移动,由此通过向上和向下移动晶片台外环,通过调节在晶片台的上表面和晶片台外环的上表面之间的空间,可以减小由于晶片台外环的存在而造成的在晶片边缘处形成的阴影区域,用于减小边缘隔绝 (EE)。

[0025] 同时,能够使得晶片台由用于调节所述晶片台高度的两个或多个单独件制成,并且制成能够向上和向下移动的晶片台外环。

[0026] 发明效果

[0027] 根据本发明,提供晶片支架能够减小边缘隔绝 (EE),例如在本发明的晶片支架中,边缘隔绝 (EE) 能够减小到小于 2mm 的边缘隔绝 (EE),同时能够减小由沉积材料污染装载在所述晶片支架上的晶片背部的可能性。

[0028] 在本发明的晶片支架用在成角度溅射沉积系统中的情况下,能够防止环绕晶片边缘的薄膜,也能够防止在晶片背部上的薄膜沉积,同时产生很小或零边缘隔绝 (EE)。

附图说明

[0029] 图 1 示出采用本发明的晶片支架的成角度溅射系统的横截面图,并且本发明的晶片支架在所述成角度溅射系统中提供。

[0030] 图 2 示出在图 1 中标识为 (15) 的位置 A 的放大横截面图。

[0031] 图 3 示出在图 1 中标识为 (16) 的位置 B 的放大横截面图。

[0032] 图 4 示出本发明其它晶片支架的横截面图。

[0033] 图 5 示出采用传统晶片支架的成角度溅射系统的横截面图,并且传统晶片支架在所述成角度溅射系统中提供。

[0034] 图 6 示出在图 5 中示出的传统晶片支架的放大横截面图。

[0035] 图 7 示出在图 6 中标识为 (59) 的位置 A 的放大横截面图。

[0036] 图 8 示出在图 6 中标识为 (60) 的位置 B 的放大横截面图。

[0037] 图 9 示出另一传统晶片支架的横截面图。

[0038] 附图标记的解释

[0039] 1 晶片台

[0040] 2 外环

[0041] 3 绝缘块

[0042] 4 外遮板

[0043] 5 晶片

[0044] 6 在外遮板和外环之间的窄空间

- [0045] 7 在外环和晶片台之间的窄空间
- [0046] 8 原子路径
- [0047] 9 跟在气相碰撞之后的原子路径
- [0048] 10 在晶片背部和外环之间的分隔
- [0049] 11 靶
- [0050] 12 原子
- [0051] 13 轴
- [0052] 14(高度)H
- [0053] 15 位置 A
- [0054] 16 位置 B
- [0055] 17 真空端口
- [0056] 18 晶片进 / 出端口
- [0057] 19 金属盘
- [0058] 20 绝缘盘
- [0059] 21 金属盘
- [0060] 25 晶片支架
- [0061] 51 晶片台
- [0062] 52 绝缘电介质块
- [0063] 53 金属外遮板
- [0064] 54 轴
- [0065] 55 金属或绝缘销
- [0066] 56 提升销
- [0067] 57 晶片
- [0068] 58 靶
- [0069] 59 位置 A
- [0070] 60 位置 B
- [0071] 61 原子
- [0072] 62 晶片边缘
- [0073] 63x
- [0074] 64y
- [0075] 65 提升销控制器
- [0076] 66 真空端口
- [0077] 67 晶片进 / 出端口

具体实施方式

[0078] 在下面描述的实例中使用附图详细描述本发明的优选实施例。

[0079] 实例 1

[0080] 参照图 1、2 和 3 解释本发明的一个工作实例。图 1 示出采用本发明的晶片支架 25 的成角度溅射系统的横截面图。

[0081] 如图 1 所示,晶片支架 25 放在等离子加工腔中,其中靶 11 和晶片支架 25 处于轴外,并且靶 11 放在加工腔的顶部,相对于装载在晶片支架 25 上的晶片 5 的表面具有角度。靶 11 能够固定到加工腔的顶部。尽管未示出,但是靶 11 可以平行于装载在晶片支架 25 上的晶片 5 的表面放置。

[0082] 加工腔具有真空端口 17 和晶片进 / 出端口 18。

[0083] 晶片支架 25 包括晶片台 1、围绕晶片台 1 的晶片台外环 2、绝缘块 3 和外遮板 4。在该实例中,绝缘块 3 放在晶片台 1 和外环 2 以下并且支撑它们。同时,支撑晶片台 1 和外环 2 的绝缘块 3 插入圆柱外遮板 4 中。外环 2 是 O 环形晶片台外环。

[0084] 在该实施例中,晶片台 1 和晶片台外环 2 是放在等离子加工腔中的晶片支架 25 的整体部分,并且晶片支架 25 能够围绕其中心轴旋转。

[0085] 晶片台 1 通常由金属例如铝制成。晶片台 1 的直径取几毫米,例如小于装载在晶片台 1 上的晶片 5 的直径 10mm。因此如图 1、2 和 3 所示,当晶片 5 放在晶片台 1 上时,晶片 5 的外部区域在晶片台 1 的外部延伸。

[0086] 外环的内直径

[0087] 晶片台外环 2 具有 2 个不同的内直径。一个是在外环 2 的上侧处的内直径,并且另一个是在外环 2 的下侧处的内直径。在外环 2 上侧处的内直径是几毫米,例如大于晶片 5 的直径 4mm。而在外环 2 的下侧处的内直径是几毫米,例如小于晶片 5 的直径 3mm,但是几毫米例如大于晶片台 1 的直径 3mm。也就是说,在外环 2 上侧处的内直径大于晶片 5 的直径,而在外环 2 下侧处的内直径小于晶片 5 的直径但大于晶片台 1 的直径。

[0088] 外环的外直径

[0089] 晶片台外环 2 的外直径不严格并且通常是大于晶片 5 的直径 10-30mm。

[0090] 如上所描述,由于外环 2 具有两个不同的内直径,在限定外环 2 上侧处的内直径的一个内周壁和限定外环 2 下侧处的内直径的另一个内周壁之间具有水平面。优选该水平面的位置调整到正好位于晶片 5 背部以下具有小的间隔,使得该水平面不与晶片 5 的背部物理接触。在所述水平面和晶片 5 的背部之间的间隔不严格并且能够在 0.2mm 到 10mm 的范围内,通常大于 0.5mm。

[0091] 外环上表面的高度

[0092] 外环 2 的上表面的高度严格得到期望结果。如图 1 到 3 所示,外环 2 的上表面必须稍微在晶片 5 的上表面以上。通过在外环 2 的上表面和晶片 5 的上表面之间的距离影响边缘隔绝 (EE) 和将薄膜环绕晶片边缘,该距离在图 2 和 3 中由字母 H (由数字 14 指示) 指示。优选维持距离 H 处在 1mm 到 10mm 的范围内。

[0093] 外环 2 由金属典型地由铝制成。外环 2 的表面可以涂覆有电介质材料,例如 Al_2O_3 。通常,外环 2 构造为处在电浮动状态。然而,应当指出外环 2 的电状态不影响本发明的期望特征。

[0094] 晶片台 1 放在诸如电介质块之类的绝缘块 3 上。然而,这不是获得本发明的期望特征中的主要需求。将晶片台 1 放在绝缘块 3 上的唯一原因是当必要时通过施加电功率到晶片台 1 上而控制沉积特征。

[0095] 图 1、2 和 3 示出晶片台 1 处在电浮动状态。然而,应当指出晶片 1 的电浮动状态不影响本发明的期望特征。

[0096] 相反,人们能够施加 DC 或 RF 电功率到晶片台 1 上以控制沉积过程。

[0097] 而且,人们能够在晶片台 1 的表面上制造静电卡盘 (ESC),以便在薄膜沉积过程中将晶片 5 固定在晶片台 1 上。这些功率源、ESC 或任何相关电路在图中未示出。

[0098] 晶片台 1 的高度是不严格的,但是能够在范围 1mm 到 50mm 内变化。

[0099] 再次,晶片台 1 不必由单个材料制成,相反人们能够使用由不同材料制成的符合构造,例如如图 4 所示金属和电介质的组合。在图 4 中,晶片台 1 包括金属盘 21、绝缘盘 20 和金属盘 19。也就是说,在图 4 中,晶片台 1 由三个单独件制成,使得晶片台 1 的高度例如能够通过去除绝缘盘 20 而进行调整。同时,晶片台 1 的高度能够例如通过插入进一步的绝缘盘而进行调整。使得能够容易地调整在晶片台 1 的上表面和晶片台外环 2 的上表面之间的空间。

[0100] 在薄膜沉积过程中可以或不可以加热或冷却晶片台 1。为了简化,晶片台 1 的加热或冷却机构在图中未示出。

[0101] 外遮板 4 由金属制成。外遮板 4 的内直径稍微大于外环 2 的外直径,使得在外遮板 4 的内周壁和外环 2 的外周壁之间具有几毫米的间隔。可替换地,尽管未示出,绝缘块 3 可以向上延伸到外遮板 4 的内部壁。在外遮板 4 和外环 2 之间的窄空间 6 是重要的,以便当外环 2 处在电浮动状态时维持外环 2 的电状态。

[0102] 除了上述硬件之外,晶片支架可以包括三个或四个提升销。为了简化,这些晶片提升销在图中未示出。

[0103] 如图 1 ~ 3 所示以及如前面所描述的,根据采用并且在所述成角度溅射系统中提供的本发明晶片支架 25 的成角度溅射系统,例如如下执行晶片的制造过程。

[0104] 获得本发明期望特征的过程参照图 2 和 3 进行解释,图 2 和 3 分别代表在图 1 中标识的位置 A(15) 和 B(16)。

[0105] 通常,以低于 0.1Pa 的很低压力下执行 PVD 加工。处在这些压力,包括溅射原子 12 的气体核素 (species) 的平均自由路径相对于在靶 11 到晶片 5 之间的距离变得很短。因此,几乎所有沉积原子能够被认为通过如图 2 和 3 所示的角度过来,其中如图 1 所示靶 11 相对于晶片 5 放置。

[0106] 在位置 A(15) 处的沉积

[0107] 如图 2 所示,薄膜在位置 A(15) 处沉积到晶片边缘。

[0108] 在距离靶 11 最远的位置 A(15) 处的原子路径由箭头 8 示出。如图 1 所示原子 12 以靶 11 相对于晶片 5 放置的角度过来。

[0109] 由于在外环 2 的上侧处的内直径大于晶片 5 的直径,如图 2 所示不产生任何阴影区域。因此薄膜能够在晶片边缘处沉积,并且在位置 A(15) 处能够获得例如小于 2mm EE 的很小边缘隔绝。

[0110] 由于压力低,气相碰撞很少,使得由于气相碰撞,如数字 9 所示以相反角度过来的原子不明显。然而,这不能够完全排除。即使这些分散原子 9 中的一些到达在外环 2 和晶片 5 之间的窄空间 7,这些原子沉积在外环 2 的内周壁上。

[0111] 在晶片 5 的背部表面和水平面的上表面之间具有间隔 10,上述水平面处在限定外环 2 的上侧处的内直径的内周壁和限定外环 2 下侧处的内直径的另一内周壁之间。在该实例中,间隔 10 的高度是 0.5mm。

[0112] 因为存在间隔 10, 晶片 5 的背部不被沉积材料污染。

[0113] 而且, 由于在外环 2 的上侧处的内直径大于晶片 5 的直径, 而在外环 2 的下侧处的内直径小于晶片 5 的直径但是大于晶片台 1 的直径, 如图 2 所示, 窄空间 7 向上延伸到绝缘块 3。这是为了确保没有薄膜沉积到支撑外环 2 和晶片台 1 的绝缘块 3 上。原因在于如果金属薄膜沉积并且连接外环 2 和晶片台 1 的话, 晶片台 1 和外环 2 两者的电位变得相同。如果晶片台 1 被给予 RF 或 DC 偏压作为控制沉积的手段的话, 这产生问题。

[0114] 而且, 窄空间 7 的向上延伸到绝缘块 3 进一步减少由沉积材料污染晶片 5 的背部的可能性。

[0115] 在位置 B(16) 处的沉积

[0116] 在位置 B(16) 处的薄膜沉积过程在图 13 中示出。

[0117] 如图 3 所示, 原子 12 以如图 1 所示靶 11 相对于晶片 5 放置的角度过来。因此, 外环 2 可以在晶片边缘上产生阴影。

[0118] 阴影的长度取决于外环 2 的上表面相对于晶片 5 的上表面的高度、在外环 2 和晶片 5 之间的窄空间 7 的距离、以及靶 11 相对于晶片 5 的角度。

[0119] 在该实施例中, 由于在外环 2 的上侧处的内直径大于晶片 5 的直径, 容易选择外环 2 的上表面相对于晶片 5 的上表面的高度, 该高度在图 3 中由 H 指示 (由数字 14 指示), 以便减少由外环 2 的存在而产生的阴影区域。例如, 能够易于选择高度 (H), 如图 3 所示通过该高度不产生任何阴影区域, 由此在晶片边缘处沉积薄膜, 并且能够在位置 B(16) 处能够获得例如小于 2mm EE 的很小边缘隔绝 (EE)。

[0120] 由于压力低, 气相碰撞很少, 使得由于气相碰撞如数字 9 所示以相反角度过来的原子不明显。

[0121] 即使这些分散原子 9 中的一些到达在外环 2 和晶片 5 之间的窄空间 7, 如前面描述在位置 A(15) 处的一样, 通过图 2 所示的间隔 10 的存在以及向上延伸到绝缘块 3 的窄空间 7 的存在, 晶片 5 的背部不被沉积材料污染, 由于如图 3 所示窄空间 7 向上延伸到绝缘块 3, 也没有薄膜沉积到支撑外环 2 和晶片台 1 的绝缘块 3 上。

[0122] 尽管使用附图在上面描述了本发明的优选实施例和实例, 本发明不限于前面描述的实施例和实例, 并且在由附属的权利要求和等价物限定的技术范围内本发明可以修改为不同实施例和实例。

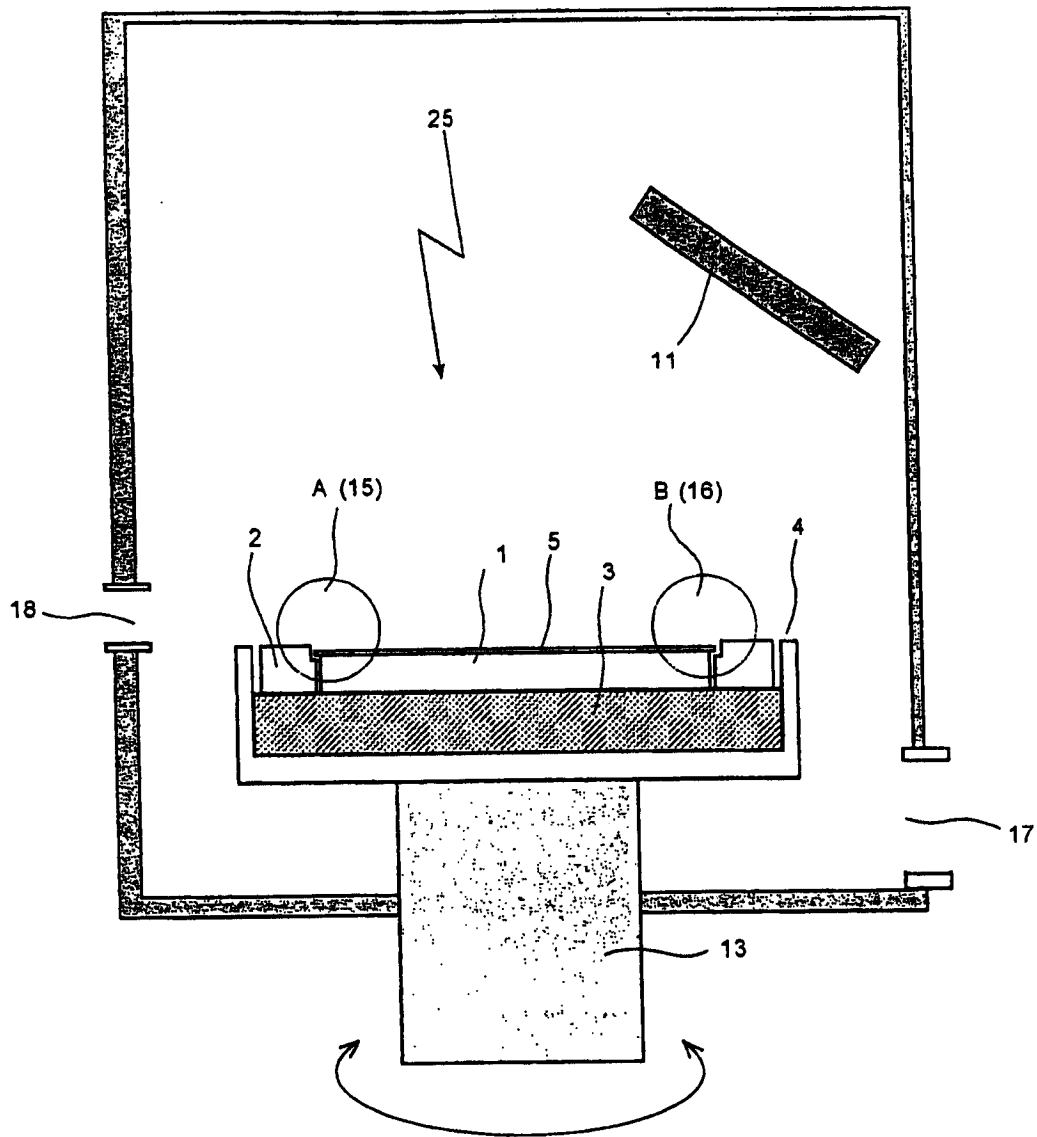


图 1

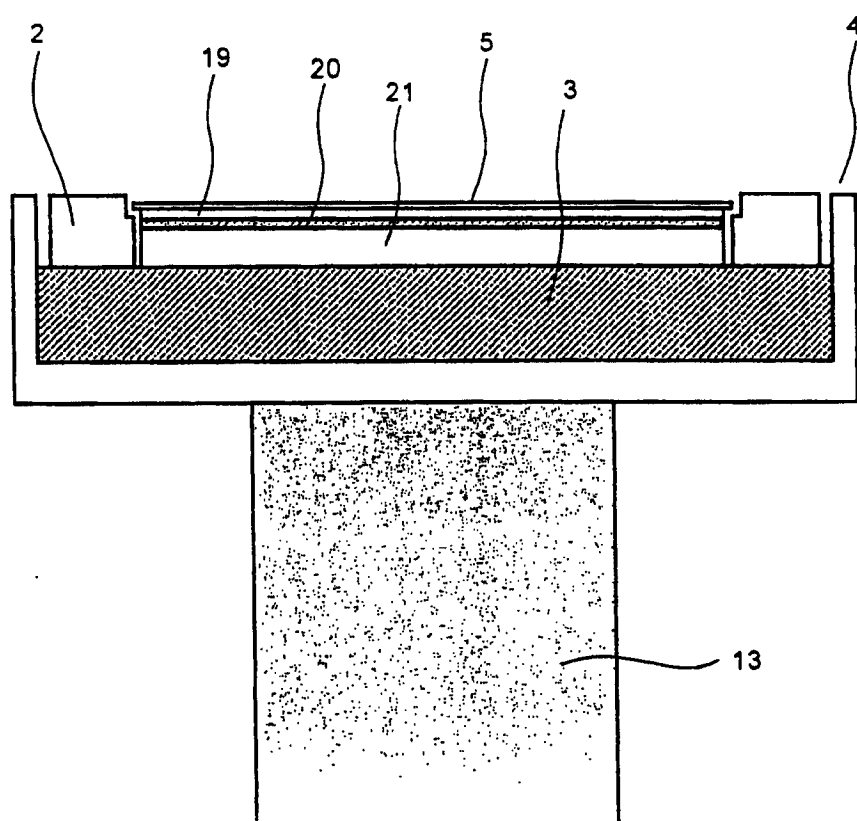


图 4

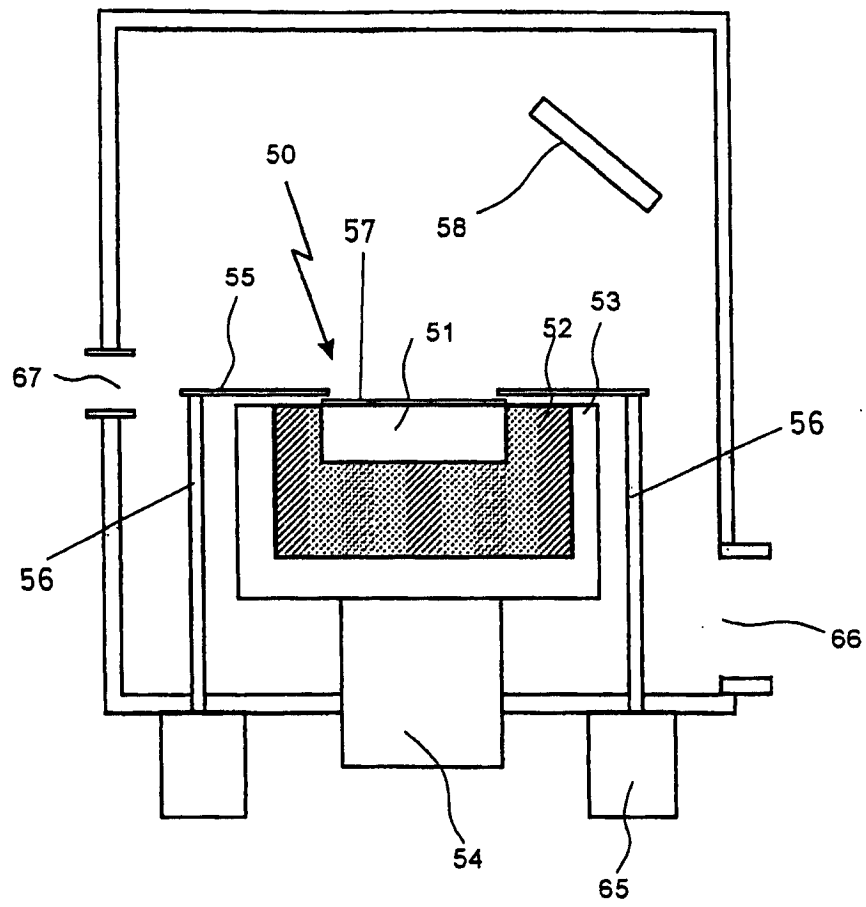


图 5

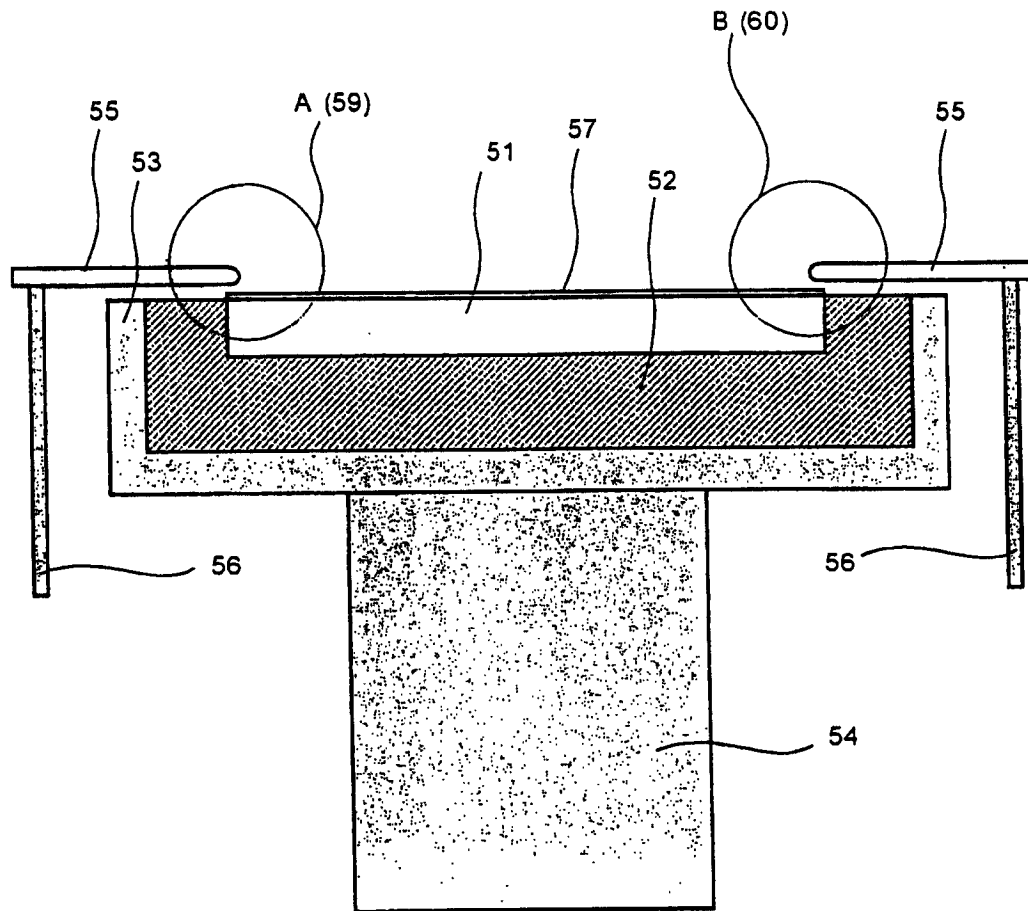


图 6

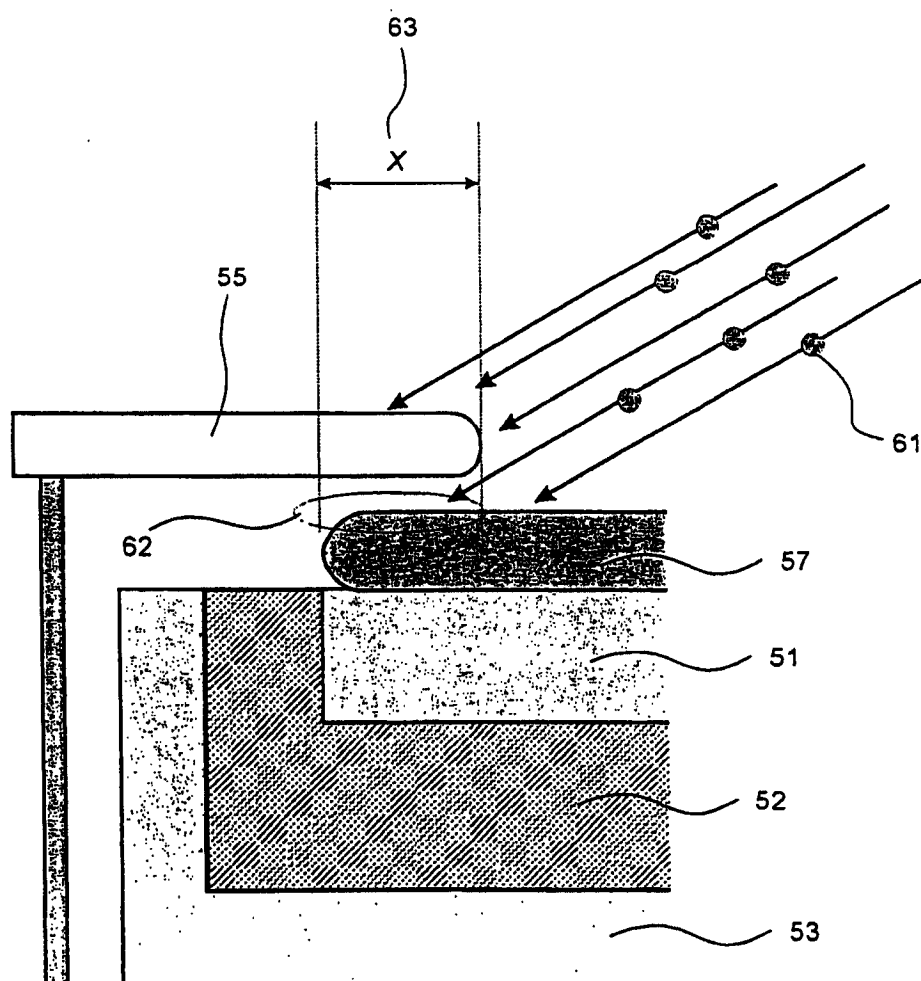


图 7

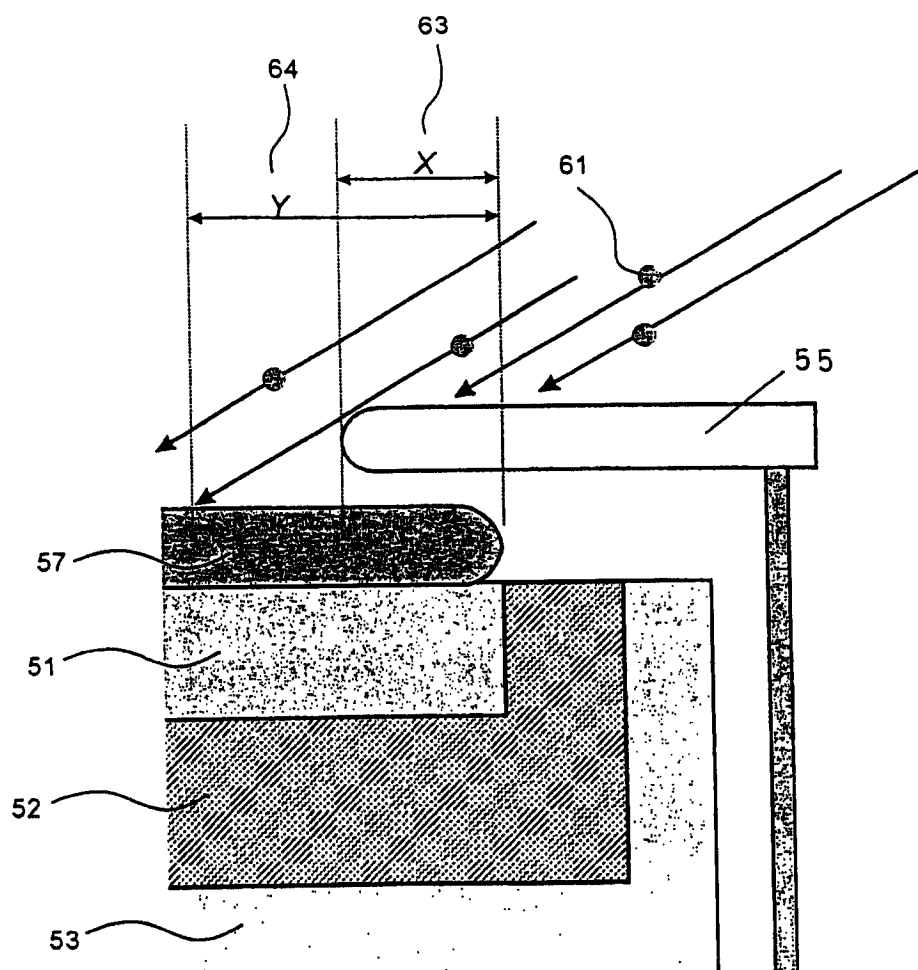


图 8

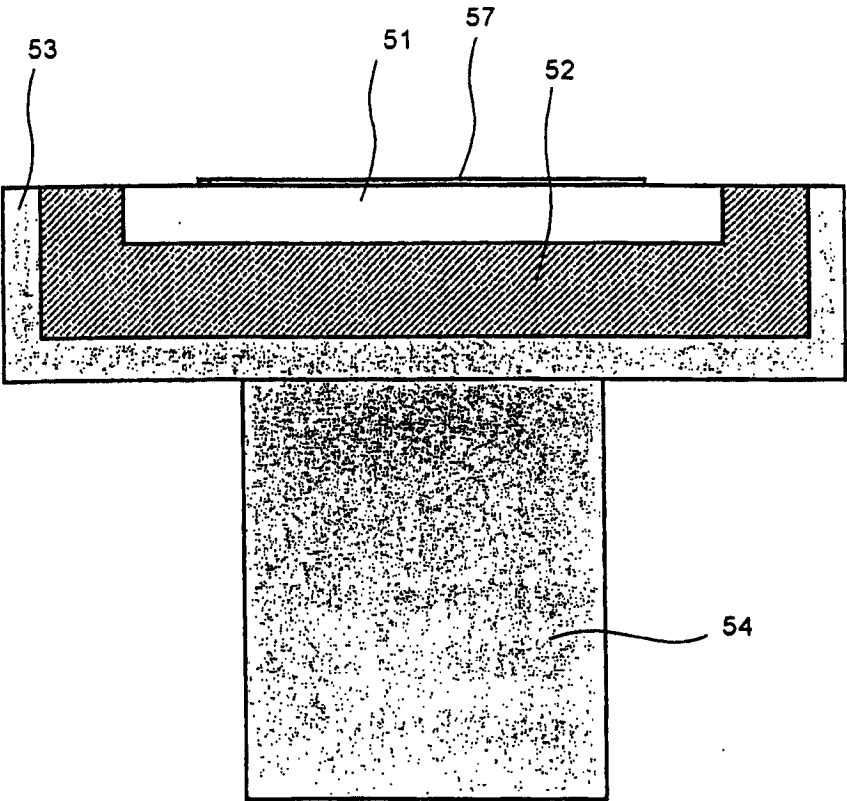


图 9