



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201810955 A

(43)公開日：中華民國 107 (2018) 年 03 月 16 日

(21)申請案號：106112232

(22)申請日：中華民國 106 (2017) 年 04 月 12 日

(51)Int. Cl. : *H03M1/10 (2006.01)* *H03M1/50 (2006.01)*

(30)優先權：	2016/04/12	美國	62/321,685
	2016/04/12	美國	62/321,668
	2016/04/12	美國	62/321,687
	2016/04/12	美國	62/321,694
	2017/04/11	美國	15/484,965

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國

(72)發明人：克里斯 布萊恩 KRIS, BRYAN (US)；杜查爾 奈爾 DEUTSCHER, NEIL (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 34 頁

(54)名稱

具有數位延遲線類比轉數位轉換器之微控制器

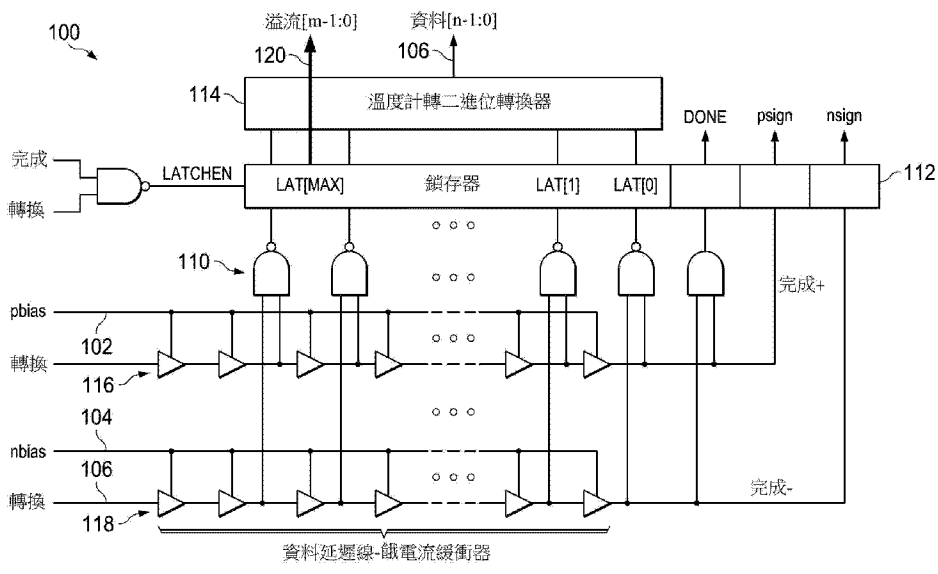
MICROCONTROLLER WITH DIGITAL DELAY LINE ANALOG-TO-DIGITAL CONVERTER

(57)摘要

本發明之實施例包含一種具有一處理器、記憶體及包含一差動數位延遲線類比轉數位轉換器 (ADC) 之周邊裝置之一微控制器。該 ADC 包含：差動數位延遲線；一電路，其包含包含於該等差動數位延遲線中之一組延遲元件；及另一電路，其包含包含於該等差動數位延遲線中之另一組延遲元件。該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料。該第二電路經組態以校準至該等差動數位延遲線之一源。

Embodiments of the present disclosure include a microcontroller with a processor, memory, and peripheral devices including a differential digital delay line analog-to-digital converter (ADC). The ADC includes differential digital delay lines, a circuit including a set of delay elements included in the differential digital delay lines, and another circuit including another set of delay elements included in the differential digital delay lines. The first circuit is configured to generate data representing an analog to digital conversion of an input. The second circuit is configured to calibrate a source to the differential digital delay lines.

指定代表圖：



【圖1】

- 符號簡單說明：
- 100 . . . 類比轉數位轉換器(ADC)
 - 102 . . . 輸入/pbias
 - 104 . . . 輸入/nbias
 - 106 . . . 轉換信號/資料
 - 112 . . . 鎖存器
 - 114 . . . 溫度計轉二進位轉換器
 - 116 . . . 緩衝器/延遲線
 - 118 . . . 緩衝器/延遲線
 - 120 . . . 溢流



201810955

申請日: 106/04/12

IPC分類:

【發明摘要】

【中文發明名稱】

具有數位延遲線類比轉數位轉換器之微控制器

【英文發明名稱】

MICROCONTROLLER WITH DIGITAL DELAY LINE ANALOG-TO-DIGITAL CONVERTER

【中文】

本發明之實施例包含一種具有一處理器、記憶體及包含一差動數位延遲線類比轉數位轉換器(ADC)之周邊裝置之一微控制器。該ADC包含：差動數位延遲線；一電路，其包含包含於該等差動數位延遲線中之一組延遲元件；及另一電路，其包含包含於該等差動數位延遲線中之另一組延遲元件。該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料。該第二電路經組態以校準至該等差動數位延遲線之一源。

【英文】

Embodiments of the present disclosure include a microcontroller with a processor, memory, and peripheral devices including a differential digital delay line analog-to-digital converter (ADC). The ADC includes differential digital delay lines, a circuit including a set of delay elements included in the differential digital delay lines, and another circuit including another set of delay elements included in the differential digital delay lines. The first circuit is configured to generate data representing an analog to digital conversion of an input. The second circuit is configured to calibrate a source to the differential

digital delay lines.

【指定代表圖】

圖 1

【代表圖之符號簡單說明】

- 100 類比轉數位轉換器(ADC)
- 102 輸入/pbias
- 104 輸入/nbias
- 106 轉換信號/資料
- 112 鎖存器
- 114 溫度計轉二進位轉換器
- 116 緩衝器/延遲線
- 118 緩衝器/延遲線
- 120 溢流

【發明說明書】

【中文發明名稱】

具有數位延遲線類比轉數位轉換器之微控制器

【英文發明名稱】

MICROCONTROLLER WITH DIGITAL DELAY LINE ANALOG-TO-DIGITAL CONVERTER

【技術領域】

本發明係關於以時間為基礎之延遲線類比轉數位轉換器(ADC)，特定言之係關於具有具背景校準、範圍調整及超出範圍(out of range)估計之此等轉換器之此等微控制器。

【先前技術】

存在許多不同種類之ADC且其等用途通常取決於應用。ADC可根據一位元大小而變化，其中類比信號將被數位化成 2^n 個不同數位值，其中ADC係一n位元轉換器，其使用n個位元來表示類比值之範圍。此外，ADC可包含類比信號之一輸入範圍。ADC之最低數位化輸出(例如，對於一8位元ADC，00000000)可對應於類比信號輸入之下限。ADC之最高數位化輸出(例如，對於一8位元ADC，11111111)可對應於類比信號輸入之上限。此等實例值可指定正值或不帶正負號值，但代替性地可使用二之補數(two's complement)二進位枚舉。一ADC可具有可對應於一取樣速率或取樣類比信號之頻率之一定義頻寬。ADC可根據不同的線性度輸出值。

【發明內容】

本發明之實施例包含一種差動數位延遲線ADC，其包含：差動數位延遲線；一第一電路，其包括包含於該等差動數位延遲線中之一組延遲元

件；及一第二電路，其包括包含於該等差動數位延遲線中之另一組延遲元件。結合上述實施例之任一者，該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料。結合上述實施例之任一者，該第二電路經組態以校準至該等差動數位延遲線之一源。結合上述實施例之任一者，該第一電路經組態以量測一輸入電壓與一參考電壓之間之一差。結合上述實施例之任一者，該ADC包含經組態以將參考電流鏡像至該等差動數位延遲線之各者之一電流源電路。結合上述實施例之任一者，該電流源電路經組態以將參考電流鏡像至該等差動數位延遲線之各者，其中該第二電路經組態以調整該等參考電流以最小化誤差。結合上述實施例之任一者，該ADC包含經組態以將一輸入差動電壓轉換為一差動電流之一跨導器，其中該第一電路經組態以量測該差動電流且產生表示該差動電壓之資料。結合上述實施例之任一者，該ADC包含一跨導器，該跨導器經組態以將一輸入差動電壓轉換為一差動電流，且接受基於該複數個差動數位延遲線之一輸入以調整一電壓轉電流範圍。結合上述實施例之任一者，各差動數位延遲線包含一連串之電流限制緩衝器。結合上述實施例之任一者，一給定差動數位延遲線經組態以依根據施加至該給定差動數位延遲線之一差動電流之一速度操作。結合上述實施例之任一者，該ADC進一步包含一鎖存器，該鎖存器經組態以在較快差動數位延遲線完成之後保存來自一較慢差動數位延遲線之資料。結合上述實施例之任一者，該ADC包含一第三電路，該第三電路包括包含於該差動數位延遲線中之另一組延遲元件，其中第三電路經組態以產生用以指示至該ADC之一輸入超出一輸入範圍之一程度之資料。

本發明之實施例包含一種差動數位延遲線ADC，其包含：差動數位

延遲線；一第一電路，其包括包含於該等差動數位延遲線中之一組延遲元件；及一第二電路，其包括包含於該等差動數位延遲線中之另一組延遲元件。結合上述實施例之任一者，該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料。結合上述實施例之任一者，該第二電路經組態以產生用以指示至該ADC之一輸入超出一輸入範圍之一程度之資料。結合上述實施例之任一者，該第一電路經組態以量測一輸入電壓與一參考電壓之間之一差。結合上述實施例之任一者，該ADC包含經組態以將參考電流鏡像至該等差動數位延遲線之各者之一電流源電路。結合上述實施例之任一者，該ADC包含經組態以將參考電流鏡像至該等差動數位延遲線之各者之一電流源電路，其中該第二電路經組態以調整該等參考電流以最小化誤差。結合上述實施例之任一者，該ADC包含經組態以將一輸入差動電壓轉換為一差動電流之一跨導器，其中該第一電路經組態以量測該差動電流且產生表示該差動電壓之資料。結合上述實施例之任一者，該跨導器經組態以接受基於該複數個差動數位延遲線之一輸入以調整一電壓轉電流範圍。結合上述實施例之任一者，各差動數位延遲線包含一連串之電流限制緩衝器。結合上述實施例之任一者，一給定差動數位延遲線經組態以依根據施加至該給定差動數位延遲線之一差動電流之一速度操作。結合上述實施例之任一者，該ADC進一步包括一鎖存器，該鎖存器經組態以在較快差動數位延遲線完成之後保存來自一較慢差動數位延遲線之資料。結合上述實施例之任一者，該ADC進一步包含一第三電路，該第三電路包括包含於該差動數位延遲線中之另一組延遲元件，其中第三電路經組態以校準至該等差動數位延遲線之一源。

本發明之實施例包含具有上述實施例之ADC之任一者處理器、微控

制器、電子裝置、晶粒封裝、半導體封裝及半導體裝置。本發明之實施例包含具有一處理器核心、記憶體及周邊裝置(包含上述實施例之ADC之任一者)之一微控制器。

本發明之實施例包含由上述實施例之ADC、處理器、微控制器、電子裝置、晶粒封裝、半導體封裝及半導體裝置之任一者執行之方法。

【圖式簡單說明】

圖1繪示根據本發明之實施例之一例示性超範圍保護(over range protection)可變解析度差動延遲線ADC；

圖2繪示根據本發明之實施例之一輸入電路之一表示；

圖3繪示根據本發明之實施例之一ADC之一典型使用模型；

圖4繪示根據本發明之實施例之ADC之一操作時序圖；

圖5繪示根據本發明之實施例之一例示性前端；

圖6繪示根據本發明之實施例之例示性延遲單元；

圖7係根據本發明之實施例之ADC之一更詳細視圖；

圖8係根據本發明之實施例之經組態以併有一ADC之一例示性系統、微控制器或另一裝置之一繪示；

圖9係根據本發明之實施例之具有一ADC之一微控制器之一繪示，該ADC以用於控制PWM之數位比較器為特徵；及

圖10係根據本發明之實施例之一ADC之另一更詳細視圖。

【實施方式】

優先權

本申請案主張各自於2016年4月12日申請之美國臨時申請案第62/321,668號、第62/321,685號、第62/321,687號及第62/321,694號之優

先權，且該等案之全文特此以引用的方式併入。

圖1繪示根據本發明之實施例之一例示性超範圍保護可變解析度差動延遲線ADC 100。

ADC 100可於例如切換模式電力系統(SMPS)中使用。一SMPS控制迴路可利用類比值之量測。控制迴路可要求快速、單執行週期量測。在一單一週期中讀取並作用於由ADC 100量測之值可改良SMPS之穩定性及效率。因此，可需要ADC 100之一極快速實施方案。ADC 100之速度可影響ADC 100之解析度，以在運行時間期間在一脈寬調變(PWM)週期期間更新PWM命令。

ADC 100可實施為一數位延遲線(DDL) ADC。透過實施為一數位延遲線ADC，與習知快閃ADC相比，ADC 100可以一較低成本及較少電力執行其之量測。在一項實施例中，ADC 100可包含背景校準。在另一實施例中，ADC 100可包含範圍調整。在另一實施例中，ADC 100可估計將量測的其之類比輸入超出一所要範圍之程度。併有背景校準或範圍調整改良效能及功能性。當ADC 100之誤差電壓超出範圍時，使用ADC 100之控制迴路可難以重新獲取一鎖定。由ADC 100產生之超出範圍估計提供誤差之方向及對誤差之一定性估計，使得一演算法可進行必要調整。即使該估計在ADC之準確範圍之外，對該估計恰在準確範圍之外多遠之一定性估計仍可容許較佳動作及效能。

ADC 100可主要由數位、低電壓邏輯實施。因此，ADC 100相對於覆蓋區或晶粒大小可為小的。此外，ADC 100可因此需要低電力。又，ADC 100可因此極快速地操作。因此，ADC 100可用作一SMPS控制迴路中之一誤差計算ADC。

背景校準可改良ADC 100在關鍵度量(諸如解析度及準確度)方面之效能。範圍調整可使SMPS控制迴路更靈活且適於實施ADC 100之任何系統之系統需求。超出範圍估計可在ADC 100超出其之線性範圍(關於其之輸入)時提供有用資訊。此外，ADC 100可將超出範圍輸入之一定性或定量大小以及其之正負號或方向指定為估計之部分。

藉由將ADC 100實施為一延遲線ADC，ADC 100可將一差動電壓轉換成差動電流。圖2繪示根據本發明之實施例之一輸入電路200之一表示。輸入電路200可與ADC 100介接或可實施為ADC 100之部分。輸入電路200可經組態以將一輸入電壓與一參考電壓之間之差動電壓轉換成一電流。特定言之，輸入電路200可將差動電壓轉換成一pbias電流及一nbias電流。輸入電路200可由一組電晶體實施。差動電流之間之差與輸入電壓與參考電壓之間之差有關。pbias電流或nbias電流之一者將比另一者更強。此外，pbias電流或nbias電流之一者將比另一者強達輸入電壓或參考電壓之一者比另一者高之一程度。

返回至圖1，可將pbias電流及nbias電流之輸出施加為輸入102、104。ADC 100可用一資料延遲線透過餓電流緩衝器116、118起作用。緩衝器116、118之各元件可在來自各自nbias 104、pbias 102電流之電流到達該元件時啟動以傳播其之輸入。緩衝器狀態最初可皆為0，且待傳播之轉換信號106可為1。在其他情況中，緩衝器狀態最初可皆為1，且待傳播之轉換信號106可為0。因為緩衝器116、118之各元件將在來自各自nbias 104、pbias 102電流之電流到達該元件時啟動以傳播其之輸入，所以與nbias 104或pbias 102電流之較大及因此較快電流相關聯之緩衝器可首先填滿。緩衝器可用來自轉換信號106之傳播值填滿。另一緩衝器可能自始

至終未填滿，而是可根據其電流之相對速度(及因此大小)填滿。因此，ADC 100可在緩衝器116、118之一者完成之後檢查緩衝器116、118之未完成緩衝器之狀態。基於經部分填充之緩衝器內的經填充元件之數目，可確定nbias 104與pbias 102之間之相對差。基於此相對差，可確定輸入電壓與參考電壓之間之差。緩衝器116、118可稱為餓電流緩衝器，此係因為緩衝器正等待啟動直至自pbias 102或nbias 104接收到電流。緩衝器116、118將依與各自差動電流之大小有關之一速度相繼啟動。

ADC 100可經組態以透過各緩衝器116、118之相對速度(透過一溫度計碼)而表示pbias 102與nbias 104之間之速度差。該碼可儲存於鎖存器112中。鎖存器112可在pbias 102及nbias 104之第一者完成之後將溫度計碼儲存為緩衝器116、118之一快照。在pbias 102或nbias 104之第一者完成之後，緩衝器116、118之各自緩衝器可輸出其之信號，代替傳播至下一延遲元件，其等之信號可分別變為done+或done-。Done+可表示緩衝器116已完成傳播(歸因於pbias 102)，且done-可表示緩衝器118已完成傳播(歸因於nbias 104)。一OR閘可組合done+及done-以產生一完成(done)信號。可將完成信號饋送為用以設定鎖存器112之值之一控制項。因此，鎖存器112可在完成信號經產生時(此將在緩衝器116、118之第一者完成之後)接受其之值。可將經設定或經完成之done+及done-之一者保存為一正負號，其指示差之正負號。可藉由所設定之psign及nsign之任一者來表示正負號。亦可根據是否已發出轉換信號而設定或重設鎖存器112。

在將設定鎖存器112之值(因為nbias 104或pbias 102已完成通過其之各自緩衝器)之時，可將緩衝器116、118之當前值載入至鎖存器112中。在一項實施例中，可將值之一經修改版本載入至鎖存器112中。例如，來

自緩衝器116、118之對應元件之值可在結果被儲存於鎖存器112之一對應元件中之前一起通過一NAND閘。因此，鎖存器112可儲存一串1其後接著一串0，且1切換為0之位置可表示當pbias 102或nbias 104之較快者到達其之各自緩衝器之末端且產生一完成信號時，pbias 102或nbias 104之較慢者在其之各自緩衝器中所到達之位置。可藉由溫度計轉二進位轉換器114中之一移位暫存器、倍增器或另一演算電路來轉換展示pbias 102或nbias 104之較慢者之此位置之溫度計碼。所得資料106可用以展示pbias 102與nbias 104之間之相對差。接著，可自所得資料106推斷產生pbias 102及nbias 104之電壓之差。在一些實施例中，諸如在電壓調節器中，此差可為調節器之實際輸出電壓與調節器之所要輸出電壓位準之間之差。

ADC 100包含用數位單元實施之緩衝器116、118。因此，ADC 100可具有一小覆蓋區或晶粒需求以及低電力。因此，ADC 100可比其他ADC更快，該等其他ADC可包含用於ADC核心操作之~200 ns、用於ADC控制之~100 ns及用於中斷延時之~80 ns、總共~380 ns之延時。相比之下，使用DDL緩衝器，ADC 100可為快的且小的。例如，ADC 100可小達55 nm。實施為一4位元正號DDL ADC之ADC 100之操作可為4.1 ns。一5位元正號DDL ADC實施方案可依8.2 ns操作且佔據36平方密耳(對於4之一群組)。一6位元正號DDL ADC可依16.4 ns操作且佔據44平方密耳(4之群組)。一7位元正號DDL ADC可依32.8 ns操作且可佔據60平方密耳(4之群組)。相比之下，實施為一習知快閃ADC之一ADC可為快的，但其在當前亞微米技術節點中可為大的且消耗大量電流。諸如ADC 100之一延遲線ADC可遠相對較小且電力較低。

圖3繪示根據本發明之實施例之一ADC 100之一典型使用模型。特定

言之，302繪示一ADC在一電壓調節器回饋判定中之使用，其中ADC未能實施本發明之教示。304繪示根據本發明之教示之ADC 100在一電壓調節器回饋中之使用。

在302中，一電壓感測(V_{sense})可感測如由一電壓調節器輸出之電壓。將比較此電壓與一參考電壓。參考電壓可由施加至一數位轉類比轉換器之一控制迴路命令碼指定，該數位轉類比轉換器可產生所要電壓參考位準之一類比信號。可將 V_{sense} 及參考電壓輸入至一比較器中。比較器亦可連接至另一電壓參考(V_{bg})以支援或適應帶正負號誤差結果。 V_{bg} 亦可由ADC本身參考。一誤差可自ADC輸出，其表示參考電壓與 V_{sense} 之間之控制迴路誤差。

在304中，可將電壓感測及參考電壓施加至ADC 100。諸如 V_{bg} 之額外元素可為非必要的。此外，於302中使用之比較器可為非必要的。

返回至圖1，在一項實施例中，ADC 100可包含用以執行超出範圍估計之延遲元件。緩衝器116、118之各者可包含 p 個延遲元件。 p 個延遲元件可足以使ADC 100以一 q 位元解析度實施一ADC轉換。可用 n 個延遲元件執行電壓差轉一二進位資料106之轉換。溫度計碼可為 n 位元寬。然而，在此 n 個延遲元件之前，緩衝器116、118之各者中可包含有實際用於電壓差計算之額外延遲元件。可存在任何適合數目個此等延遲元件，諸如1直至 m 個此等延遲元件。此等額外延遲元件之輸出可輸出為溢流120。在各自緩衝器116、118之開端處之此等額外延遲元件及所得位元可包含於ADC 100中，使得圖2之電壓轉電流轉換器之跨導器以及ADC 100之 n 個延遲單元可在線性區域內操作。在不包含 m 個延遲單元之情況下，電流通過 n 個延遲單元之速度可能不與由電壓轉電流轉換器產生之電流差精確成

比例。

在一項實施例中，ADC 100可擷取m個延遲單元之輸出作為溢流120。溢流120可用以在Vsense相對於當前設定超出範圍時產生其之電壓值之一估計。該估計可由系統中實施ADC 100之部分使用以採取校正動作。校正動作可包含改變ADC 100之一輸入範圍、改變參考電壓或其他適合動作。

例如，ADC 100之輸入範圍可為200毫伏。若參考電壓係1.0 V，且感測電壓係1.4 V，則ADC 100可產生對應於0.2 V之一電壓差之一溫度計碼。然而，考慮到ADC 100之解析度，可表示之最大差係0.2 V。因此，ADC 100可報告感測電壓與參考電壓之間之差係0.2 V。然而，此資訊之一消耗裝置可辨識，該差值係ADC 100可報告之最大值，且因此實際差可能大於所報告之值。

ADC 100可提供溢流120。當ADC 100之輸出指示ADC 100的輸入之一最大電壓差時，ADC 100之輸出之一消耗裝置可利用溢流120。在一項實施例中，可自來自緩衝器116、118中未用以表示來自ADC 100之輸入值範圍之電壓差的一部分之ADC 100之現有延遲再利用溢流120。如上文論述，可自用以用電流差線性化溫度計碼之延遲再利用溢流120。

在一項實施例中，當資料106係一最大或最小值時(其中最大與最小性質係由資料106之正負號指定)，可定性地評估溢流120。此一評估可能是因為跨導器或延遲單元之非線性範圍。

在一項實施例中，ADC 100可經組態以執行範圍調整。ADC 100之輸入範圍可經設計以例如具有一+/- 200 mV或+/- 400 mV範圍。該範圍可為可選擇的。在另一實施例中，ADC 100可基於資料106之先前輸出選擇

可用範圍(諸如 $\pm 200\text{ mV}$ 或 $\pm 400\text{ mV}$)之一者。例如，若資料106指示一最大差且輸入範圍經選擇為 $\pm 200\text{ mV}$ ，則可將輸入範圍改變為 $\pm 400\text{ mV}$ 。在另一實例中，若資料106指示電壓差小於可用輸入範圍之半且輸入範圍係 $\pm 400\text{ mV}$ ，則可將輸入範圍改變為 $\pm 200\text{ mV}$ 。較窄範圍可用以在使用相同數目個位元之同時增加有效解析度。最初可使用較廣範圍來找出一初始誤差電壓，且接著在SMPS控制迴路將量測電壓及參考電壓帶至一較接近位準時，可減小該範圍。

在一項實施例中，ADC 100可經組態以執行校準。例如，校準可藉由調整至pbias 102或nbias 104之個別者之電流而執行。在另一實例中，校準可藉由調整至pbias 102及nbias 104兩者之電流而執行。調整電流可調整pbias 102或nbias 104之速度或偏移。可根據溢流中之一校準線而調整電流。例如，若溢流指示差係大的，則可根據該差之一正負號而向上或向下調整一電流源電路中之電流。

在另一實施例中，ADC 100可經組態以藉由調整延遲線116、118之長度而執行校準。可藉由添加諸如多工器之啟用元件以選擇性地消除使用延遲線116、118中之一些延遲而有效地調整延遲線116、118之長度。

圖4繪示根據本發明之實施例之ADC 100之一操作時序圖。如所展示，一轉換信號可開始一類比轉數位轉換。清除轉換信號可充當一重設。在nbias信號或pbias信號之第一者之一者完成之後，相關聯延遲線將完成。因此，將觸發鎖存信號且將鎖存相關聯溫度計碼。可在具適合長度之一時間期間將溫度計碼解碼為一數位值。當轉換信號再次變低時，延遲線可重設。必要時可應用校準及超出範圍估計。

圖5繪示根據本發明之實施例之一例示性前端。前端可包含圖2中展

示之電壓轉電流轉換器之一實施方案。前端可用一跨導器部分實施。跨導器可將差動電壓轉換成差動電流且藉由調整其之阻抗值 R_s 而進行範圍選擇。跨導器可根據其之跨導 g_m 定義，可根據差動電流輸出除以差動電壓輸入而給出該跨導 g_m 。前端之總體輸出電流可藉由以下給出：

$$I = \frac{g_{m1}}{1 + g_{m1} \frac{R_s}{2}} \Delta V_o$$

因此，可調整前端之阻抗以調整輸出電流。

圖6繪示根據本發明之實施例之例示性延遲單元。繪示兩個對應延遲單元及一鎖存器之一相關聯部分。該三者可實施為一堆疊以本質上建立一組合元件之一三重高度的列或堆疊。在各延遲單元中，可將來自先前單元之輸出路由至一時脈信號輸入端，且可將pbias信號或nbias信號路由至一偏壓輸入端。一旦兩個輸入皆為高，便可將輸出路由至下一元件。

圖7係根據本發明之實施例之ADC 100之一更詳細視圖。如圖7中展示，在各項實施例中，延遲線116、118可劃分為視情況經修整延遲單元702、超範圍延遲單元704及資料延遲單元706。在一些實施例中，可省略經修整延遲單元702及超範圍延遲單元704之一者。此外，此等群組之單元之一或多者可劃分為根據ADC 100之所要精度之單元範圍。在一項實施例中，資料延遲單元706可劃分為根據所要精度之單元範圍。在另一實施例中，資料延遲單元706及超範圍延遲單元704可劃分為根據所要精度之單元範圍。

例如，一些延遲單元可分組成用一多工器712支援ADC 100之5位元精度所需之數個資料單元。在另一實例中，一些延遲單元可分組成用一多工器710支援ADC 100之6位元精度所需之數個資料單元，或分組成用一多工器708支援ADC 100之7位元精度所需之數個資料單元。各個此多工

器可啟用延遲線內在該多工器之後的延遲單元之延遲操作。因此，可根據一精度模式選擇性地啟動延遲線之部分。可根據ADC 100之一所要模式、使用者或軟體操作而設定精度模式，或可藉由ADC 100回應於過電壓或欠電壓情形而動態地設定精度模式。5位元精度之啟用可啟用全部後續延遲單元直至完成信號產生。類似地，6位元精度之啟用可啟用全部後續延遲單元直至完成信號產生。可執行5位元精度延遲單元之啟用。類似地，7位元精度之啟用可啟用全部後續延遲單元直至完成信號產生。可執行5位元及6位元精度延遲單元之啟用。

因此，在不同情況中且在不同時間，一些群組704與706之間可能存在重疊。未用於超範圍之單元可能用於常規資料。類似地，未用於資料之單元可能用於超範圍。此外，視情況經修整延遲單元702之組態可應用於群組704或706之元件。雖然位元分組708、710、712可用應用於一整個群組之一多工器完成，但在一給定的此位元分組內，個別多工器可應用於其之修整部分。

在群組702中，延遲單元之個別多工器可修整或省略在傳播線中之使用。在一些情況中，nbias延遲線中之延遲單元之多工器操作可不同於pbias延遲線中之對應延遲單元。因此，可調整延遲線之長度以補償偏移，使得pbias線或nbias線之一者並未通過與另一延遲線一樣多的延遲元件。可透過索引命令bp來控制用於修整pbias線之多工器，且可透過索引命令bn來控制用於修整nbias線之多工器。修整延遲線可校準各自電流值。

圖8係根據本發明之實施例之經組態以併有ADC 100之一例示性系統、微控制器800或另一裝置之一繪示。ADC 100可包含於微控制器800

中作為一DDL ADC 812。亦可包含一處理器804、記憶體808、習知ADC 810及PWM電路814。此等器件可透過一適合資料匯流排802通信地耦合。

在處理器804執行記憶體808中之指令之後，DDL ADC 812之操作可代表微控制器800而起始。指令可用於PWM 814之各個部分以執行電壓調節。作為電壓調節之部分，可藉由DDL ADC 812或習知ADC 810進行電壓比較。取決於來自DDL ADC 812之結果，處理器804可採取校正動作。例如，可基於即時導體資訊調整PWM設定。

DDL ADC 812相對於微控制器800之其餘部分之操作可在不必使用如習知ADC 810將使用之中斷服務常式(ISR)之情況下進行。此外，可無需進行直接記憶體存取(DMA)以利用DDL ADC 812，當使用習知ADC 810時將為此情況。DDL ADC 812之七個例項可小於一15 ns比較器，且與一類比比較器一樣快。

圖9係根據本發明之實施例之具有一DDL ADC之一微控制器之一繪示，該DDL ADC以用於控制PWM之數位比較器為特徵。

在其他應用中，純類比比較器可監測應用以偵測過電流或欠電流或過電壓或欠電壓狀況且直接關斷或接通PWM信號。然而，此等類比比較器受限於一單一輸出，但可能為快的。在其他應用中，ADC併有數位比較器以偵測超出範圍操作且產生對一處理器之中斷，因此軟體可對PWM進行調整。ADC可將多個位元之輸出提供至軟體，但相對於一電源控制迴路係慢的。

藉由使用ADC 100，微控制器可利用ADC 100之極高速度。例如，ADC 100之一5位元實施方案可具有8.2 ns之一轉換時間。數位比較器及

相關聯暫存器可監測ADC 100資料輸出且在資料滿足比較準則時確證數位輸出信號。此等輸出信號可連接至一PWM電路以提供對PWM輸出信號之即時控制(修改)。

ADC 100之例項可將其等之值輸出至一或多個PWM控制器或電路。此等值可透過一ADC匯流排直接路由至一或多個數位比較器。數位比較器可在各自PWM控制器或電路中實施，或可通信地耦合至各自PWM控制器或電路。數位比較器可用暫存器值或ADC 100信號中待用於一給定數位比較器之其他指示符來程式化。因此，一數位比較器可經設計以訂閱或接受來自一給定ADC 100之資料。此外，可在暫存器中指定數位比較器將比較其與ADC 100信號之一值。一PWM控制器可基於差動電壓是否大於比較值暫存器中指定之一臨限值而發出PWM信號。此外，可在不同比較值暫存器中指定不同位準。一PWM控制器可基於差動電壓所達到之臨限值而發出PWM信號。

數位比較器可各自具有兩個輸出，一第一輸出指示值大於儲存於一相關聯暫存器中之一值，且一第二輸出指示值小於或等於儲存於相關聯暫存器中之值。根據其他實施例之比較器可具有指示使用不同運算子(諸如等於、大於、小於、大於或等於、小於或等於等)之不同輸出。由比較器提供之輸出信號可用以直接控制PWM模組。此設計無需等待中斷服務常式且無需DMA傳送。

圖10係根據本發明之實施例之ADC 100之另一更詳細視圖。繪示多工器1006、1008。多工器1006、1008可用於與多工器710、712類似之一目的。多工器710可放置於距DDL末端之50%點處。多工器712可放置於距DDL末端之25%點處。其他多工器(未展示)可放置於例如距DDL末端之

12.5%點處。

ADC 100可包含用以自鎖存器載入資料之數位邏輯區塊，諸如區塊1002及區塊1004。數位邏輯區塊之啟用信號可連結至多工器啟用。例如，當多工器1006、1008將啟用全解析度時，區塊1002、1004可容許自鎖存器載入全部資料。當多工器1006、1008將啟用一半解析度時，區塊1002可關斷而區塊1004接通。未展示用於四分之一解析度之其他邏輯區塊等等。此等區塊亦與圖7之多工器協同使用。

更靠近末端之各多工器在關閉ADC 100之延遲線之部分時將解析度降低1位元但使轉換速度加倍。資料鎖存器與溫度計轉二進位碼轉換器之間之邏輯區塊之AND閘選擇適於不同解析度選擇之輸入。可代替性地在延遲線與鎖存器之間實施此等邏輯區塊。

藉由使用邏輯區塊，防止未使用之延遲線分接頭中之「多者(ones)」破壞資料結果。放置於延遲線中之多工器亦可提供用以將一重設值插入至延遲中之多個點中以在一轉換週期之後產生一較快速重設之一機制。此可減少下一轉換可開始之時間延遲。

可根據熟習此項技術者之知識、技能及理解對本發明進行添加、改變、修改或其他置換。

【符號說明】

100	類比轉數位轉換器(ADC)
102	輸入/pbias
104	輸入/nbias
106	轉換信號/資料
112	鎖存器

114	溫度計轉二進位轉換器
116	緩衝器/延遲線
118	緩衝器/延遲線
120	溢流
200	輸入電路
302	類比轉數位轉換器(ADC)在電壓調節器回饋判定中之使用
304	類比轉數位轉換器(ADC)在電壓調節器回饋中之使用
702	經修整延遲單元/群組
704	超範圍延遲單元/群組
706	資料延遲單元/群組
708	多工器/位元分組
710	多工器/位元分組
712	多工器/位元分組
800	微控制器
802	資料匯流排
804	處理器
808	記憶體
810	習知類比轉數位轉換器(ADC)
812	數位延遲線(DDL)類比轉數位轉換器(ADC)
814	PWM電路
1002	數位邏輯區塊
1004	數位邏輯區塊
1006	多工器
1008	多工器

【發明申請專利範圍】

【第1項】

一種微控制器，其包括：

一處理器核心；

記憶體；及

複數個周邊裝置，包含一差動數位延遲線類比轉數位轉換器(ADC)，該ADC包括：

複數個差動數位延遲線；

一第一電路，其包括包含於該等差動數位延遲線中之一組延遲元件；及

一第二電路，其包括包含於該等差動數位延遲線中之另一組延遲元件；其中：

該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料；及

該第二電路經組態以校準至該等差動數位延遲線之一源。

【第2項】

如請求項1之微控制器，其進一步包括經組態以由該第二電路所產生之一值調整之一電流源電路。

【第3項】

如請求項1之微控制器，其進一步包括經組態以基於來自該第二電路之該校準而將參考電流鏡像至該等差動數位延遲線之各者之一電流源電路。

【第4項】

如請求項1之微控制器，其中該第一電路經組態以量測一輸入電壓與一參考電壓之間之一差，且該第二電路經組態以基於該輸入電壓與該參考電壓之間之該量測校準該源。

【第5項】

如請求項1之微控制器，其進一步包括經組態以將一輸入差動電壓轉換為一差動電流之一跨導器，其中該第一電路經組態以量測該差動電流且產生表示該差動電壓之資料。

【第6項】

如請求項1之微控制器，其進一步包括一跨導器，該跨導器經組態以：

將一輸入差動電壓轉換為一差動電流；及

接受基於該複數個差動數位延遲線之一輸入以調整一電壓轉電流範圍。

【第7項】

如請求項1之微控制器，其中各差動數位延遲線包含一連串之電流限制緩衝器。

【第8項】

如請求項1之微控制器，其中：

一給定差動數位延遲線經組態以依根據施加至該給定差動數位延遲線之一差動電流之一速度操作；

該ADC進一步包括一鎖存器；及

該鎖存器經組態以在較快差動數位延遲線完成之後保存來自一較慢差動數位延遲線之資料。

【第9項】

如請求項1之微控制器，其進一步包括一第三電路，該第三電路包括包含於該差動數位延遲線中之另一組延遲元件，其中該第三電路經組態以產生用以指示至該ADC之一輸入超出一輸入範圍之一程度之資料。

【第10項】

一種微控制器，其包括：

一處理器核心；

記憶體；及

複數個周邊裝置，包含一差動數位延遲線類比轉數位轉換器(ADC)，該ADC包括：

複數個差動數位延遲線；

一第一電路，其包括包含於該等差動數位延遲線中之一組延遲元件；及

一第二電路，其包括包含於該等差動數位延遲線中之另一組延遲元件；其中：

該第一電路經組態以產生表示一輸入之一類比轉數位轉換之資料；及

該第二電路經組態以產生用以指示至該ADC之一輸入超出一輸入範圍之一程度之資料。

【第11項】

如請求項10之微控制器，其中該第一電路經組態以量測一輸入電壓與一參考電壓之間之一差。

【第12項】

如請求項10之微控制器，其進一步包括一脈寬調變(PWM)電路，其中該處理器核心經組態以基於至該ADC之該輸入超出該輸入範圍之該程度而調整該PWM電路之操作。

【第13項】

如請求項10之微控制器，其中該處理器核心進一步經組態以基於至該ADC之該輸入超出該輸入範圍之該程度而調整該輸入範圍。

【第14項】

如請求項10之微控制器，其進一步包括經組態以將一輸入差動電壓轉換為一差動電流之一跨導器，其中該第一電路經組態以量測該差動電流且產生表示該差動電壓之資料。

【第15項】

如請求項10之微控制器，其進一步包括一跨導器，該跨導器經組態以：

將一輸入差動電壓轉換為一差動電流；及

接受基於該複數個差動數位延遲線之一輸入以調整一電壓轉電流範圍。

【第16項】

如請求項10之微控制器，其中各差動數位延遲線包含一連串之電流限制緩衝器。

【第17項】

如請求項10之微控制器，其中：

一給定差動數位延遲線經組態以依根據施加至該給定差動數位延遲線之一差動電流之一速度操作；

該ADC進一步包括一鎖存器；及

該鎖存器經組態以在較快差動數位延遲線完成之後保存來自一較慢差動數位延遲線之資料。

【第18項】

如請求項10之微控制器，其進一步包括一第三電路，該第三電路包括包含於該差動數位延遲線中之另一組延遲元件，其中該第三電路經組態以校準至該等差動數位延遲線之一源。

【第19項】

一種微控制器，其包括：

一處理器核心；

記憶體；及

複數個周邊裝置，包含一差動數位延遲線類比轉數位轉換器(ADC)，該ADC包括：

複數個差動數位延遲線；

一第一電路，其包括包含於該等差動數位延遲線中之一組延遲元件；及

一跨導器，其經組態以：

將一輸入差動電壓轉換為一差動電流；及

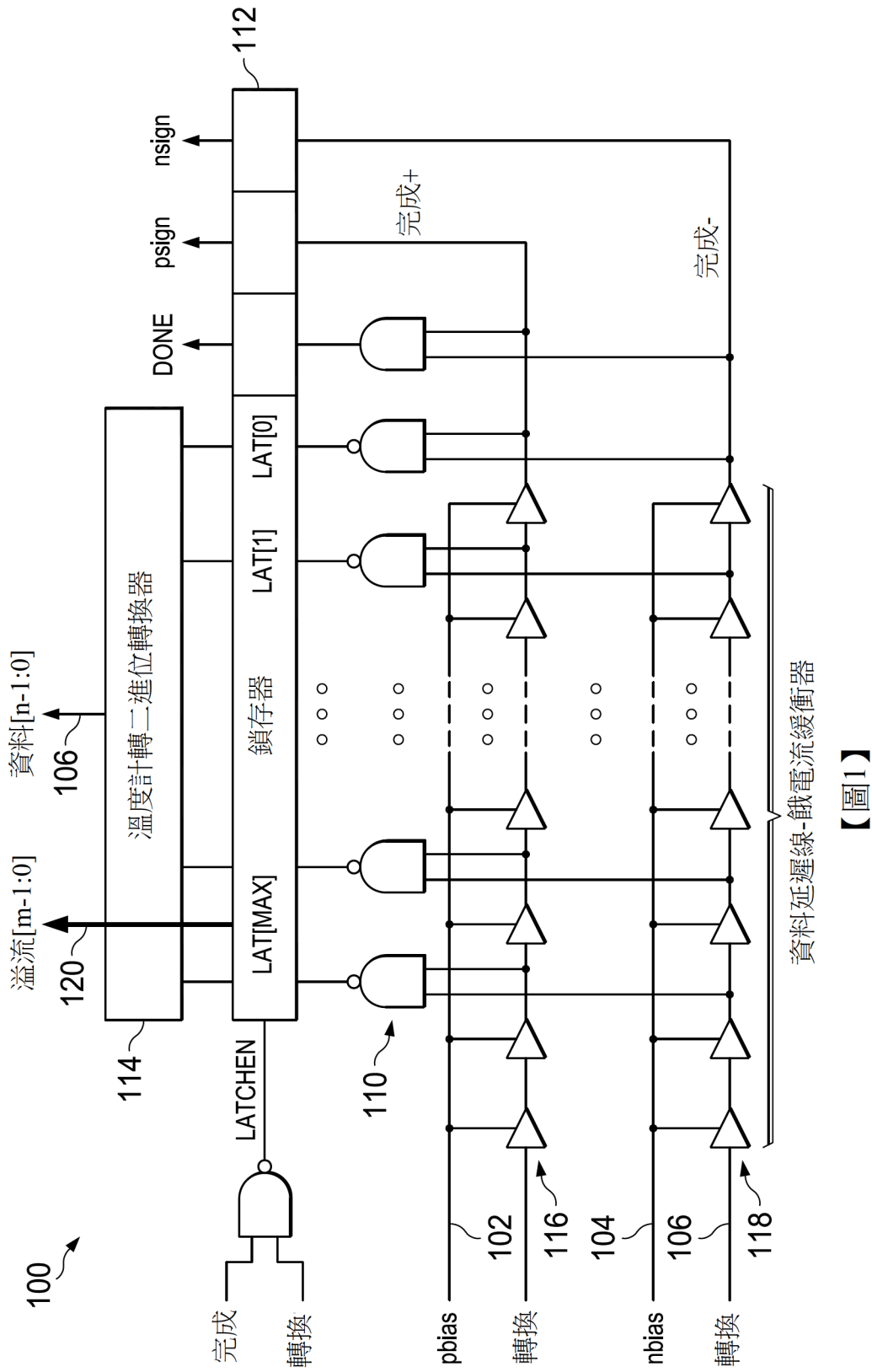
接受基於該複數個差動數位延遲線之一輸入以調整一電壓轉電流範圍。

【第20項】

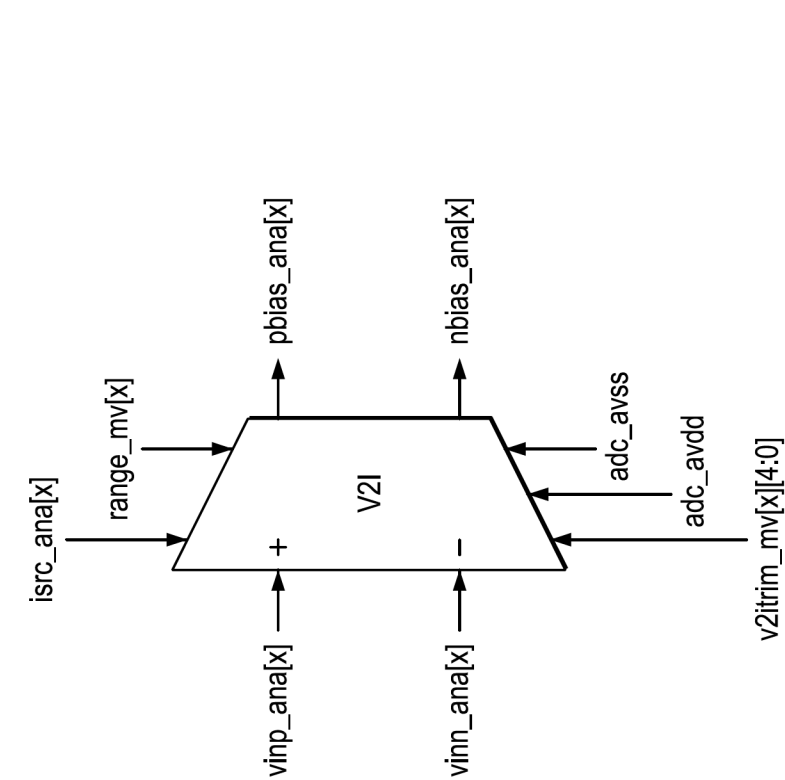
如請求項19之微控制器，其中該微控制器進一步包括一第二電路，該第二電路包括包含於該差動數位延遲線中之另一組延遲元件，其中該第

二電路經組態以產生用以指示至該 ADC 之一輸入超出一輸入範圍之一程度之資料。

【發明圖式】



【圖1】

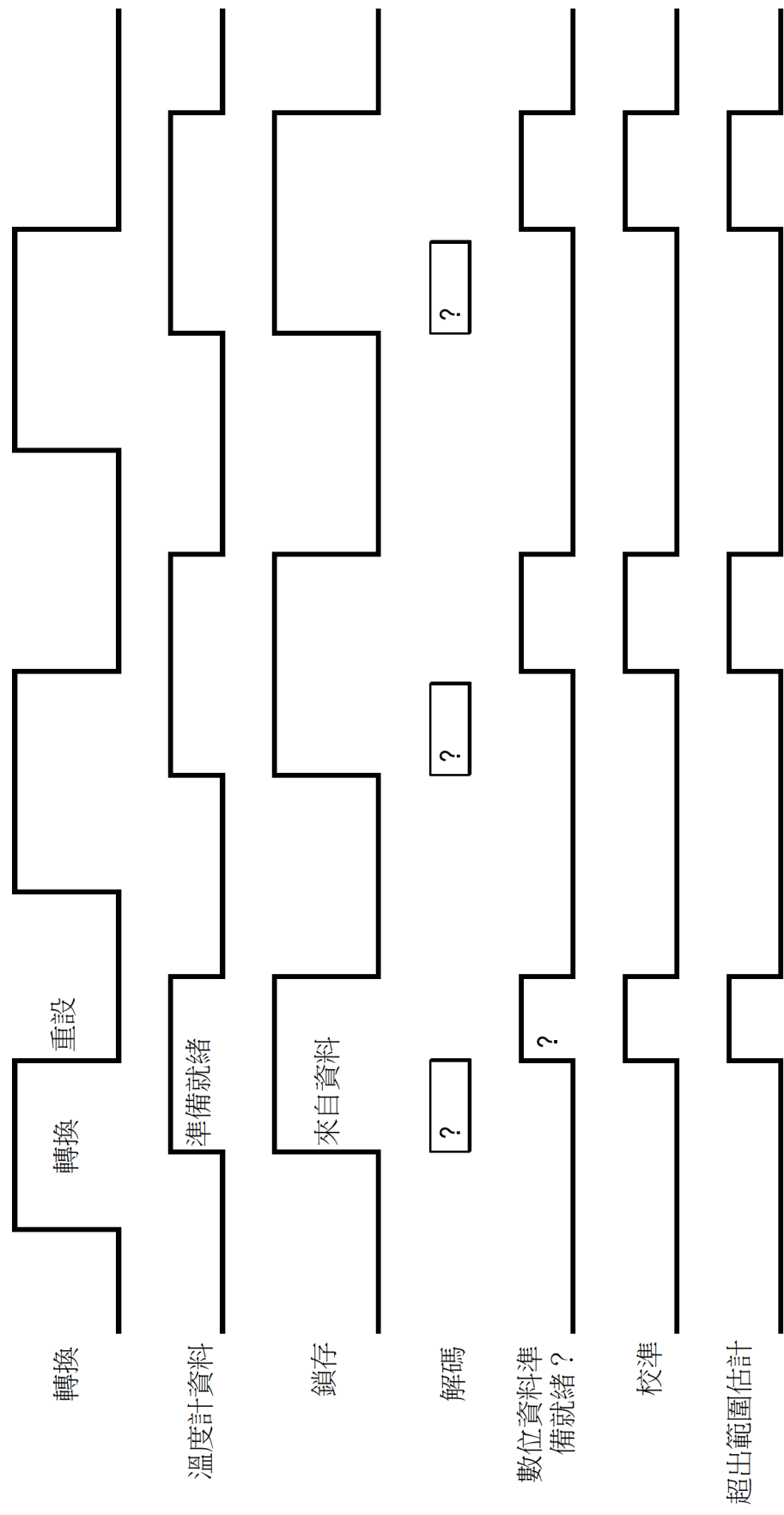


200

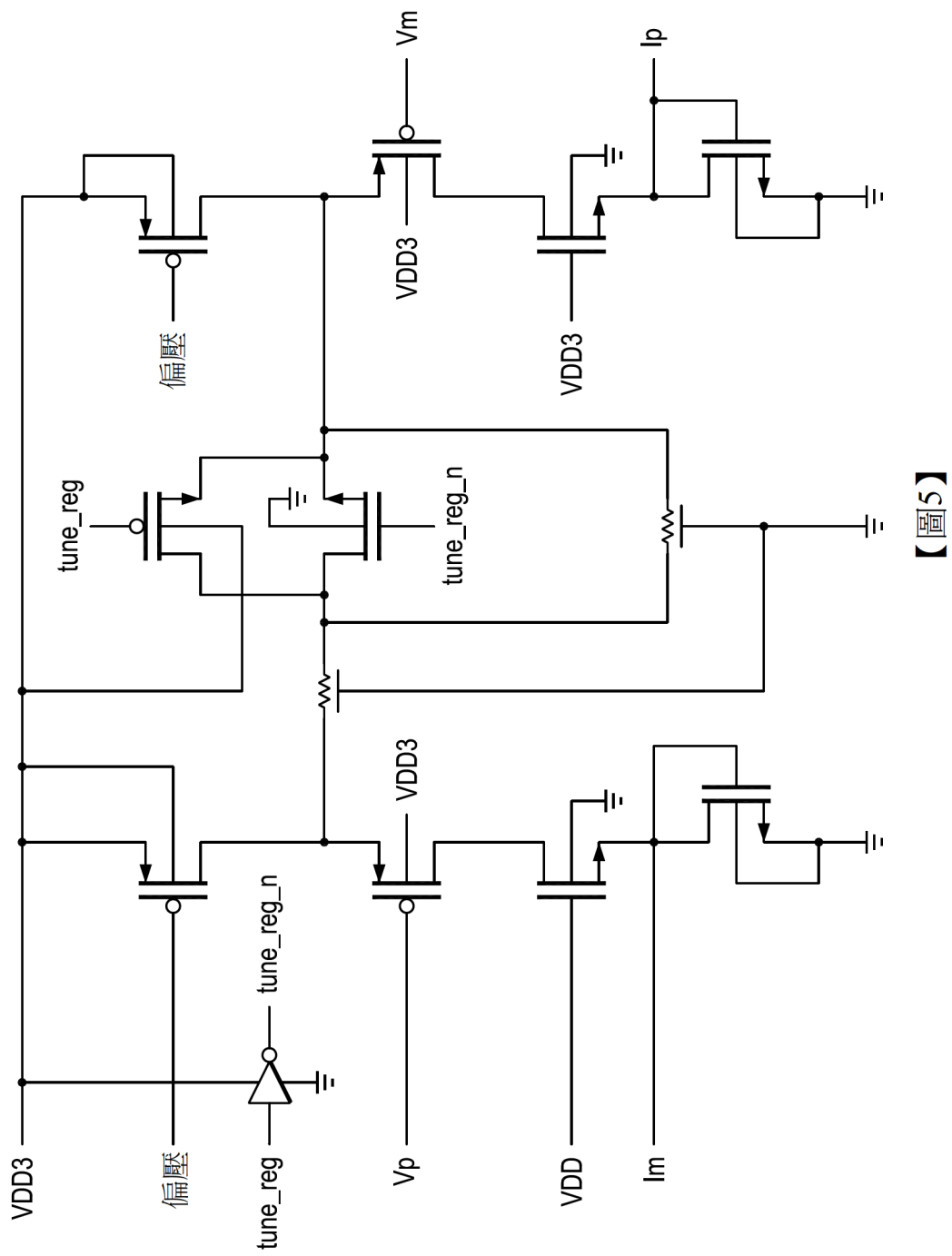
Adc_avss -類比Vss
Adc_avdd -類比Vdd
Vinp_ana[] -正類比電壓輸入
Vinn_ana[] -負類比電壓輸入
Range_mv[] -當被確證時，使輸入電壓範圍加倍；0:輸入範圍 $\pm 0.2\text{ V}$ ；1:輸入範圍 $\pm 0.4\text{ V}$
V2itrim_mv -根據外部位準修整電壓
Isrc_ana[] -偏壓電流調整
Pbias_ana -pbias輸出
Nbias_ana -nbias輸出

【圖2】

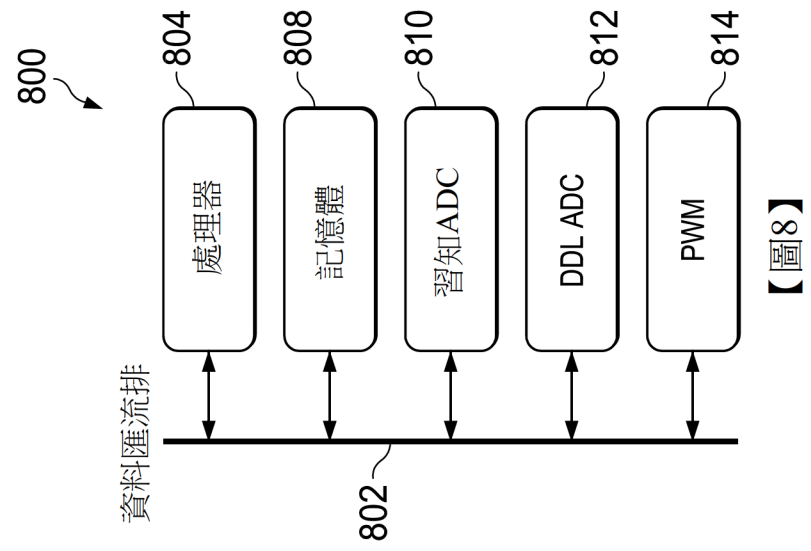
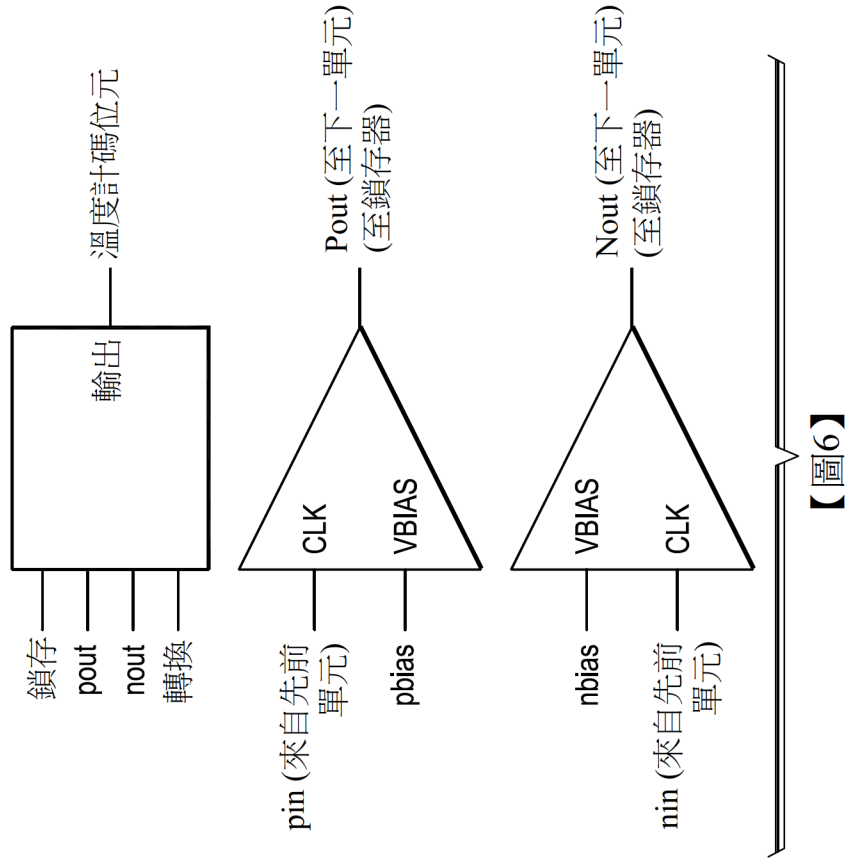


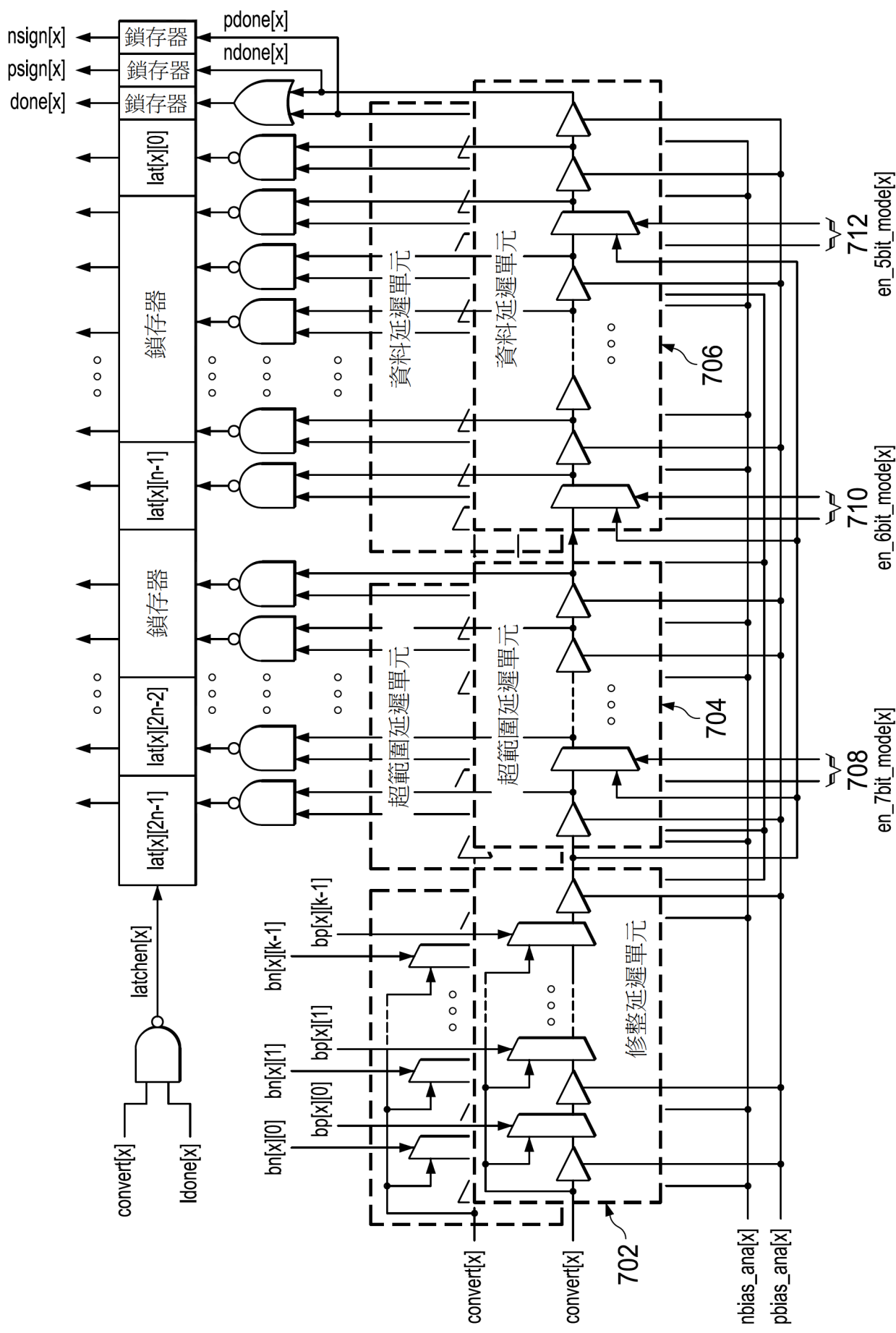


【圖4】

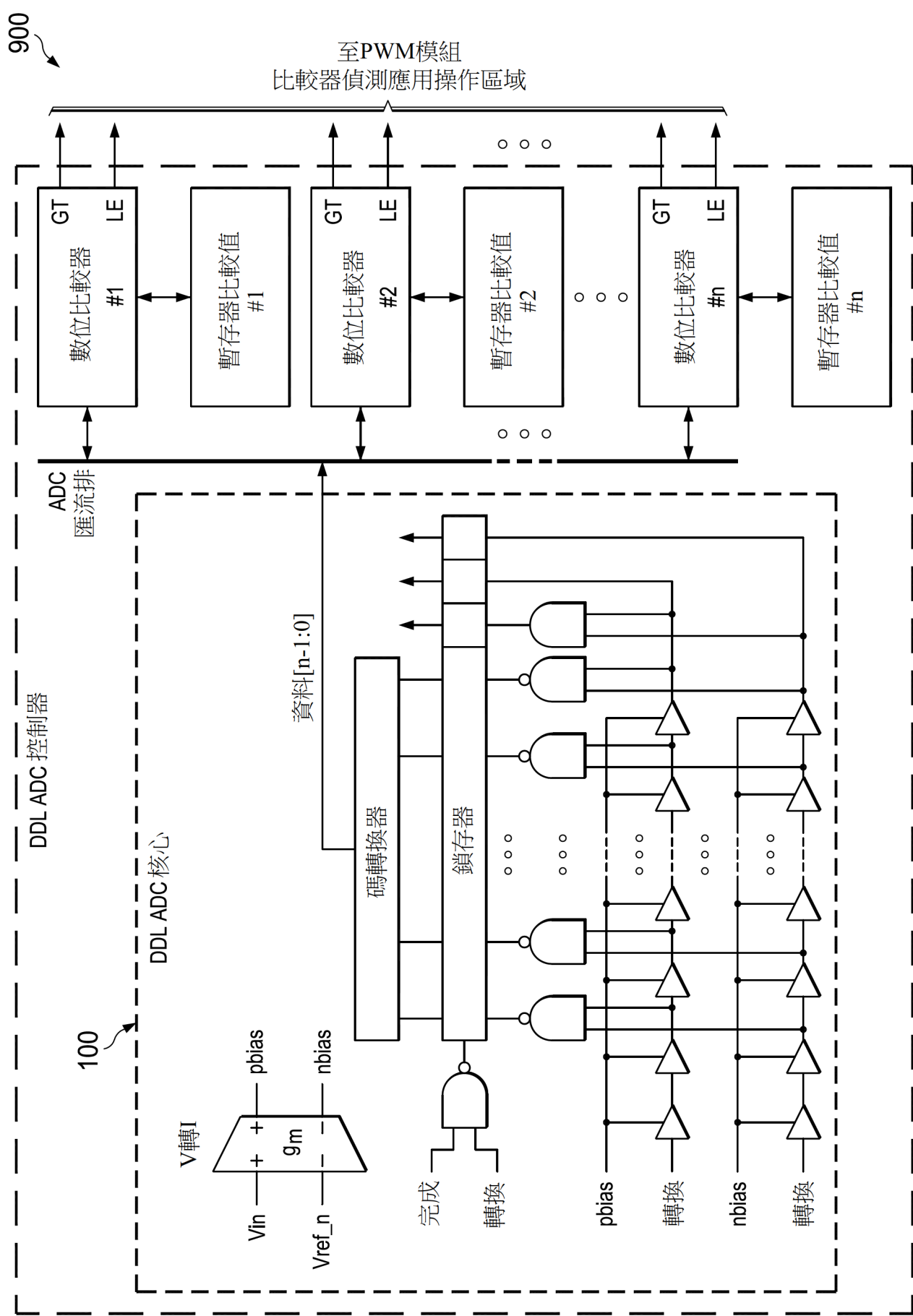


【圖5】

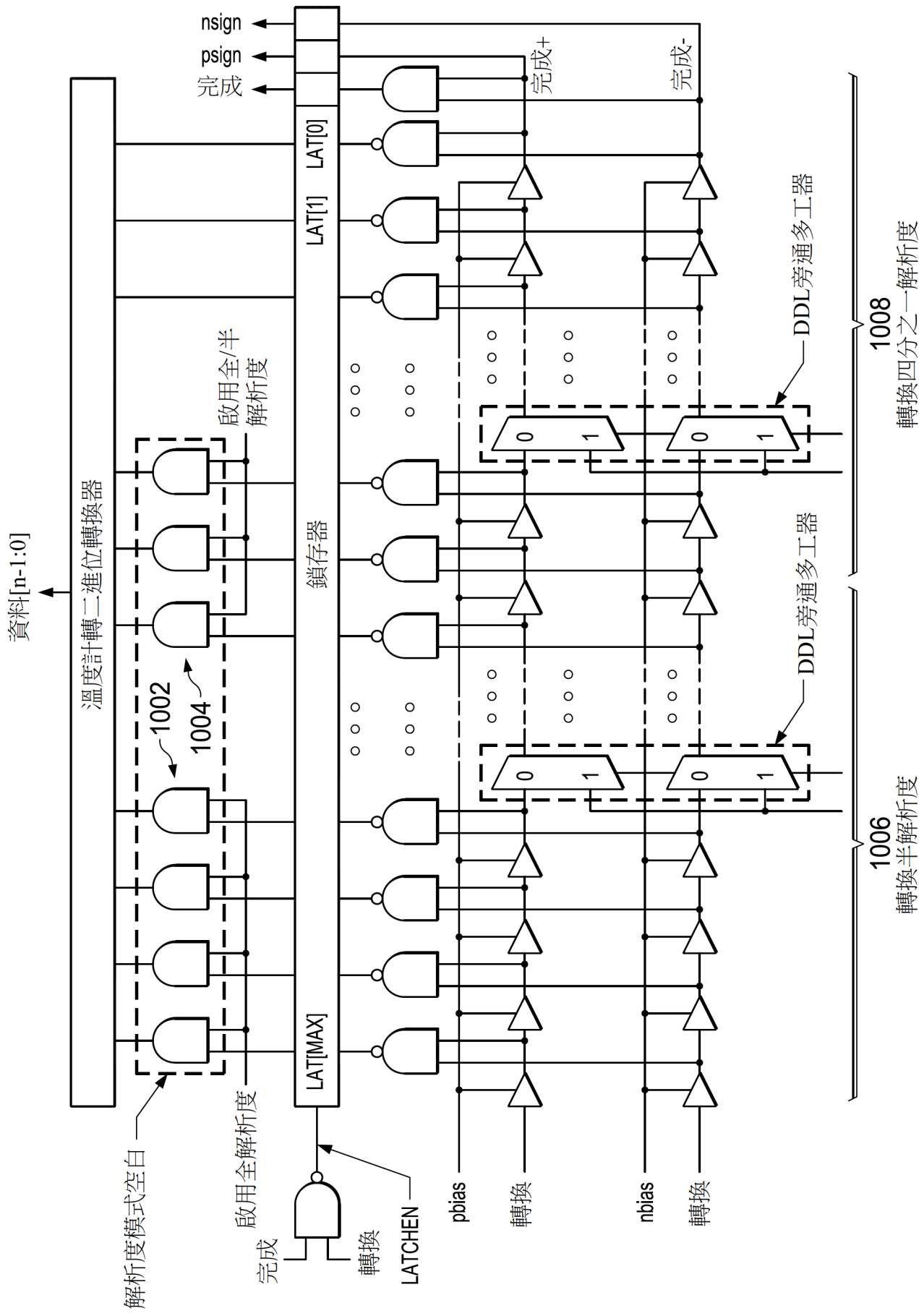




【圖7】



【圖9】



【圖10】